

TRABALHO DE CONCLUSÃO DE CURSO

**ESTUDO COMPARATIVO DE CONVERSORES
DIGITAIS-ANALÓGICOS COM DISPOSITIVOS
MONO-ELÉTRON**

Hélio Graça Mouta Neto

Brasília, julho de 2009

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

TRABALHO DE CONCLUSÃO DE CURSO

**ESTUDO COMPARATIVO DE CONVERSORES
DIGITAIS-ANALÓGICOS COM DISPOSITIVOS
MONO-ELÉTRON**

Hélio Graça Mouta Neto

Relatório submetido como requisito parcial para obtenção
do grau de Engenheiro Eletricista

Banca Examinadora

Profa. Dra. Janaína Golçalves Guimarães, UnB/ ENE
(Orientador)

Prof. Dr. Alexandre Ricardo Soares Romariz, UnB/
ENE

Prof. Dr. Marcus Vinícius Batistuta, UnB/ ENE

Dedicatória

Dedico este trabalho a todos aqueles que me auxiliaram, principalmente à minha mãe, Maria Jozélia, que sempre foi meu porto-seguro, meu apoio moral. Dedico à minha noiva, Aline, que sempre esteve ao meu lado em todas as situações. Ao meu pai, Hélio, por todo suporte. À toda minha família, que sempre incentivou nas minhas escolhas. Por fim, aos meus amigos, que são minha segunda família.

Hélio Graça Mouta Neto

Agradecimentos

Agradeço a Deus pela oportunidade de concluir este curso. Agradeço à Professora Janaína pela proposta que me foi oferecida nesse trabalho, pela sua orientação. Finalmente, agradeço a todos aqueles que contribuíram para que eu pudesse concluir esse curso de Engenharia Elétrica.

Hélio Graça Mouta Neto

RESUMO

O presente texto apresenta um estudo comparativo de conversores D/A nanoeletrônicos. Na primeira parte é feita uma revisão bibliográfica da tecnologia SET (Single Electron Transistor) e do conceito de conversor D/A. Em seguida, são feitas comparações entre circuitos de conversores D/A propostos nos dois artigos [1] e [2], bem como as suas validações. Também foi realizado um breve estudo do circuito em [3]. Na terceira parte são mostradas simulações e tabelas comparativas sobre as características estáticas, a área e o consumo. Por fim, são observadas as conclusões acerca dos resultados obtidos.

SUMÁRIO

1. INTRODUÇÃO	1
1.1.Objetivos	2
2. REVISÃO BIBLIOGRÁFICA	3
2.1. Conversor D/A	3
2.1.1. Introdução	3
2.1.2. Características estáticas de conversores D/A	4
2.2. Nanoeletrônica	5
2.2.1. Junção-Túnel	5
2.2.2. A ilha	5
2.2.3. Tunelamento	6
2.2.4. Co-tunelamento	7
2.2.5. Bloqueio de Coulomb	8
2.2.6. Cargas de fundo	8
2.2.7. Transistor Mono-Elétron	9
2.2.8. O Turnstile	9
2.3. Conversores D/A nanoeletrônicos	10
2.3.1. Introdução	10
2.3.2. Circuito 1	10
2.3.3. Circuito 2	13
2.3.4. Circuito 3	15
3. METODOLOGIA	18
3.1. Introdução	18
3.2. Validação e estudo comportamental	18
3.2.1. Circuito 1	18
3.2.2. Circuito 2	19
3.2.3. Circuito 3	20
4. RESULTADOS E DISCUSSÃO	23
4.1. Introdução	23
4.2. Resultados obtidos	23
4.2.1. Circuito 1	23
4.2.2. Circuito 2	27
4.2.3. Circuito 3	30
4.3. Análise Comparativa	31
4.3.1. Circuitos 1, 2 e 3	31
4.3.2. Conversores nanoeletrônicos x Conversores CMOS	33
5. CONCLUSÕES	34
6. REFERÊNCIAS BIBLIOGRÁFICAS	35

LISTA DE FIGURAS

Figura 2.1: Conversor D/A inserido em uma aplicação de processamento de sinais [4].....	3
Figura 2.2: Diagrama de blocos de um conversor D/A de N bits [4].....	3
Figura 2.3: Esquema mais detalhado de um conversor D/A [4].	4
Figura 2.4: junção-túnel [15].....	5
Figura 2.5: (a) SEB (Single Electron Box); (b) Nível de energia quando o dispositivo está desligado (off); (c) Nível de energia quando o dispositivo está ligado (on) [14].	6
Figura 2.6: Eventos possíveis de co-tunelamento [15].	8
Figura 2.7: Tensão x Corrente no Bloqueio de Coulomb [15].....	8
Figura 2.8: Transistor mono-elétron [15].....	9
Figura 2.9: Característica $I \times V_g$ do SET [15].....	9
Figura 2.11: Circuito 1 [1].....	11
Figura 2.12: Curva característica da SEB de três entradas [1].....	12
Figura 2.13: Diagrama esquemático da operação do turnstile. As regiões interiores aos paralelogramos maiores representam o Bloqueio de Coulomb e m representa o número de elétrons no nó central do turnstile em estados estáveis. As áreas hachuradas caracterizam regiões meta-estáveis em m e m+1 [1].....	12
Figura 2.14: Circuito 2 [2].....	13
Figura 2.15: Novo bloco de circuito, o turnstile modificado [2].....	14
Figura 2.16: Circuito de compensação [2].	14
Figura 2.17: Circuito 3 [3].....	15
Figura 2.18: Bloco básico de construção do circuito 3, SETs acoplados paralelamente[3]. ...	16
Figura 2.19: Característica $U_2 \times I$ do SET ôhmico.....	16
Figura 3.1: Circuito 1 simulado no SIMON.....	18
Figura 3.2: simulação das ondas quadradas das entradas. Entradas menos significativa (LSB) para a mais significativa (MSB) mostradas da esquerda para a direita.....	19
Figura 3.3: circuito 2.	20
Figura 3.4: circuito 3 com inversores nanoeletrônicos.	21
Figura 3.5: circuito 3 com fontes de tensão no lugar das portas inversoras.....	22
Figura 4.1: curva obtida na saída do circuito 1 com parâmetros originais, para $T = 0K$	23
Figura 4.2: circuito 1 simulado com uma temperatura de 3mK.....	24
Figura 4.3: circuito 1 simulado com uma temperatura de 1K.....	24
Figura 4.4: circuito 1 simulado com uma carga de desvio de 3%.....	25
Figura 4.5: circuito 1 simulado com carga de desvio de 5%.....	25
Figura 4.6: circuito 1 simulado com carga de desvio de 7%.....	26
Figura 4.7: simulação do circuito 1 com o parâmetro tunnel order (co-tunelamento) do SIMON ajustado em 2.....	26
Figura 4.8: saída do circuito 2 simulado com os parâmetros originais.	27
Figura 4.9: saída do circuito 2 com a temperatura ajustada em 10mK.	28
Figura 4.10: circuito 2 simulado com uma temperatura de 20mK.....	28
Figura 4.11: circuito 2 simulado com carga de desvio de 1%.....	29
Figura 4.12: circuito 2 simulado com o parâmetro tunnel order (co-tunelamento) do SIMON ajustado em 2.....	29
Figura 4.13: simulação da saída para o circuito 3.	30

LISTA DE TABELAS

Tabela 1: características estáticas do circuito 1.	27
Tabela 2: características estáticas do circuito 2.	30
Tabela 3: características estáticas do circuito 3.	31
Tabela 4: tabela comparativa dos circuitos 1, 2 e 3.	32
Tabela 5: Tabela comparativa entre DACs nanoeletrônicos e DACs CMOS.....	33

1. INTRODUÇÃO

Nas últimas décadas a humanidade tem apresentado um progresso tecnológico inimaginável. Quanto às novas tecnologias desenvolvidas nesse progresso, especialmente os campos da computação e da eletrônica têm experimentado um avanço notável, avanço esse previsto na lei de Moore. Na década de 60, Gordon Moore, então presidente da Intel, fez uma “profecia” na qual ele afirmava que, a cada 20 meses, o número de transistores por unidade de área em dispositivos eletrônicos dobraria e o seu custo reduziria. A partir daí, observou-se que essa afirmação era válida e esta virou a lei de Moore. Acontece que, nos últimos anos, a lei está chegando ao seu limite, dado que a capacidade de miniaturização está atingindo o seu limite e, mesmo se for possível miniaturizar ainda mais os presentes dispositivos, o problema de suas interconexões e da condução eletrônica, bem como o problema do comprimento da porta dos transistores, que é um dos principais limitadores dos dispositivos atuais, começa a tornar-se relevante, pois a quantidade de dispositivos por unidade de área aumenta copiosamente. É aí que entra a nanoeletrônica.

Uma alternativa para se continuar o avanço tecnológico dos circuitos eletrônicos é passar a sua escala de construção para o nm (10^{-9} m) e, assim, sair do tratamento dado pela física clássica e entrar na física quântica. Isso ocorre devido à miniaturização extrema dos componentes, pois, nessa escala, a discretização do elétron passa a ser relevante. Grandes avanços têm sido feitos nesse sentido. Como exemplo, tem-se algumas placas gráficas fabricadas atualmente, que possuem GPUs (Graphical Processing Units) na escala de 55nm por transistor, apesar de ainda operarem com a física clássica. Conquanto seja altamente promissora, ainda são necessários muitos investimentos e pesquisas na área da nanoeletrônica antes de vermos um circuito completamente funcional e comercial, já que, por exemplo, em dispositivos mono-elétron, as principais restrições são:

- A temperatura, pois os dispositivos nanoeletrônicos atuais funcionam bem apenas em temperaturas baixíssimas (alguns funcionam a 30k~40k);
- A carga de fundo, já que esses circuitos são altamente sensíveis a variações elétricas externas;
- O co-tunelamento, que é um fenômeno - que pode ocorrer no SET (Single Electron Transistor) - no qual dois elétrons fazem uma transição simultaneamente, quando não a deveriam fazer.

O estágio de pesquisa atual, acerca da nanoeletrônica, encontra-se concentrado no meio acadêmico. Isso ocasiona que as pesquisas e resultados obtidos fiquem separados em vários artigos e sem comparações e validações. Assim, no presente trabalho o estudo comparativo de três conversores D/A é realizado a partir de três artigos acadêmicos. Foi escolhido o conversor D/A (Digital/Analógico) por este, juntamente com o seu dual, o conversor A/D (Analógico/Digital), ser um componente fundamental em processamento de sinais.

Os conversores escolhidos foram os das referências [1], [2] e [3]. Cada um desses artigos traz uma proposta de um circuito de um conversor D/A de 3bits, com respectivos parâmetros de simulação que foram usados nas simulações.

Para as simulações e validação desses circuitos foi usado o SIMON 2.0 (SIMulation Of Nanostructures), programa largamente utilizado nas universidades, embora seja um software com várias limitações de funcionamento ainda, por exemplo, limitações na simulação da frequência de operação dos circuitos aqui abordados.

1.1. OBJETIVOS

O presente trabalho tem por objetivos apresentar o estudo comparativo dos conversores A/D das referências [1], [2] e [3], bem como as simulações de suas validações. Com base nos resultados obtidos nessas comparações, são observados os desempenhos dos três circuitos sob condições de adversas de temperatura, carga de fundo e co-tunelamento. Também são realizadas comparações, entre esses três circuitos, de área e consumo. Por fim, é apresentada uma breve comparação dos conversores abordados nesse trabalho com conversores na tecnologia MOS.

No capítulo 2, é feita uma breve revisão bibliográfica acerca dos conceitos nanoeletrônicos envolvidos no estudo e dos conceitos envolvidos nos conversores A/D.

No capítulo 3, é demonstrada a metodologia adotada para a realização das simulações.

No capítulo 4, são mostrados os resultados das simulações juntamente com tabelas comparativas.

Finalmente, o capítulo 5 trata das conclusões obtidas com esse trabalho.

2. REVISÃO BIBLIOGRÁFICA

2.1. CONVERSOR D/A

2.1.1. Introdução

A figura 1.1 abaixo mostra como conversores Digitais-Analógicos (D/As) são usados em sistemas de informação. Como exemplificado pela figura, a entrada de um conversor D/A consiste em uma palavra digital construída a partir sinais binários paralelos que são gerados de um sistema de processamento de sinais, o qual pode ser um computador, por exemplo [4]. Esses sinais binários paralelos são convertidos em um sinal analógico equivalente por meio de uma referência e, em seguida, o sinal resultante pode passar por um filtro e por um amplificador, caso seja necessário mais algum tipo de tratamento no sinal resultante antes deste ser aplicado ao sistema de processamento de sinal analógico. Quanto à saída analógica, esta pode ser uma tensão ou uma corrente, mas a maioria dos conversores D/A possuem saída na forma de tensão [4].

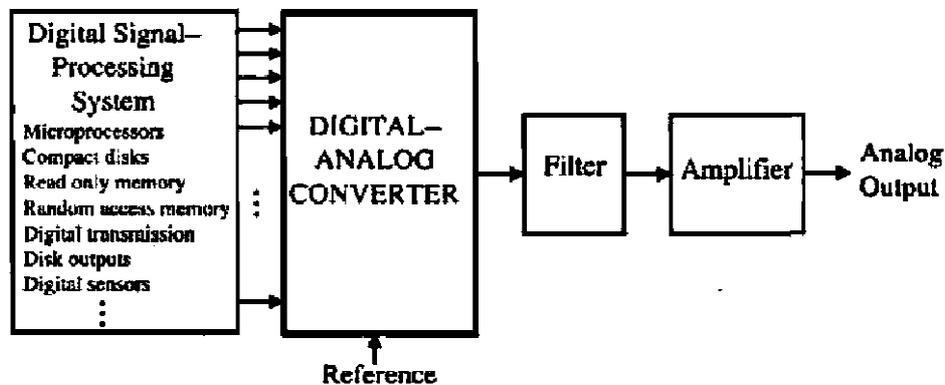


Figura 2.1: Conversor D/A inserido em uma aplicação de processamento de sinais [4].

Um conversor D/A com saída de tensão pode ser caracterizado pelo diagrama de blocos mostrado na figura 2.2 abaixo:

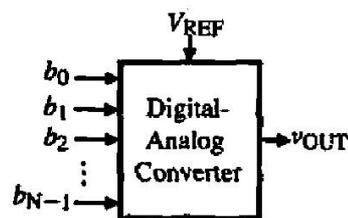


Figura 2.2: Diagrama de blocos de um conversor D/A de N bits [4].

Nesse conversor, a entrada é uma palavra digital de N bits, a tensão de referência é V_{REF} e b_0 e b_{N-1} são denominados os bits mais significativo (MSB, Most Significant Bit) e menos significativo (LSB, Less Significant Bit) respectivamente. A tensão de saída, v_{OUT} , é expressa por:

$$v_{OUT} = KV_{REF}D \quad (1) [4]$$

Na equação (1) acima, K é um fator de escalonamento e a palavra digital D é dada por:

$$D = \frac{b_0}{2^1} + \frac{b_1}{2^2} + \frac{b_2}{2^3} + \dots + \frac{b_{N-1}}{2^N} \quad (2) [4]$$

Na equação (2) acima N é o número de bits da palavra digital e b_{i-1} é o coeficiente do i -ésimo bit, que pode valer 0 ou 1. Assim, a saída de um conversor A/D pode ser dada pela combinação das equações (1) e (2) acima:

$$v_{out} = KV_{REF}D = KV_{REF}[b_02^{-1} + b_12^{-2} + b_22^{-3} + \dots + b_{N-1}2^{-N}] \quad (3) [4]$$

Finalmente, um esquema mais detalhado de um conversor D/A fornecendo uma saída analógica na forma de uma tensão é mostrado na figura 2.3. Nessa figura, pode-se observar um dispositivo para chaveamentos binários, uma rede para escalonamento e um amplificador. A rede de escalonamento e os chaveadores binários operam com a tensão de referência para produzir uma tensão escalonada pela palavra digital. A rede de escalonamento pode ser de tensão, corrente ou carga. O amplificador na saída amplifica o sinal para o nível desejado e fornece a propriedade de fornecer corrente para a carga ou de drenar corrente da carga [4].

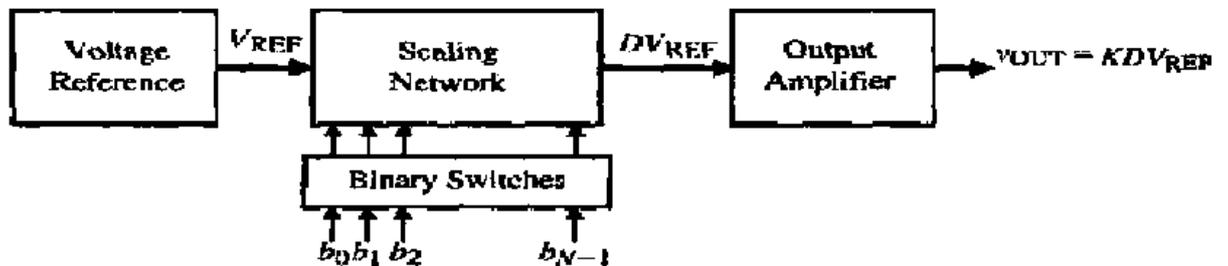


Figura 2.3: Esquema mais detalhado de um conversor D/A [4].

2.1.2. Características estáticas de conversores D/A

Neste trabalho, as seguintes características estáticas foram avaliadas:

- Resolução do conversor D/A (N): número de bits que é capaz de converter;
- *Less Significant Bit (LSB)*, separação mínima entre duas saídas analógicas convertidas:

$$LSB = \frac{V_{REF}}{2^N} \quad (4) [4];$$

- *Full Scale (FS)*, definido como a diferença entre a saída analógica da maior palavra digital e a saída da menor palavra digital:

$$Full\ Scale = V_{REF} - LSB = V_{REF} \left(1 - \frac{1}{2^N}\right) \quad (5) [4];$$

- *Full Scale Range (FSR)*, definido como o limite de FS quando N vai para infinito:

$$FSR = \lim_{N \rightarrow \infty} FS = V_{REF} \quad (6) [4];$$

- *Dynamic Range (DR)*, definida como a razão entre o FSR e a menor diferença que pode ser resolvida (que é o LSB):

$$DR = \frac{FSR}{LSB} = \frac{FSR}{FSR/2^N} = 2^N \quad (7) [4];$$

- Relação sinal-ruído (*SNR*, *Signal-to-Noise-Ratio*), que é a razão entre o valor do *Full Scale* e o valor rms do ruído de quantização. O ruído de quantização, para os conversores aqui abordados, é dado por:

$$rms = \sqrt{\frac{1}{T} \int LSB^2 \left(\frac{t}{T}\right)^2 dt} = \frac{FSR}{2^N \sqrt{3}} \quad (8);$$

A forma de onda para esse ruído é dada por uma onda do tipo *sawtooth* (ou dente-de-serra), que possui amplitude de 1 LSB e período de 1 bit [4].

Com o valor dado por (8), tem-se a seguinte equação para a *SNR*:

$$SNR = \frac{FSR}{FSR/2^N \sqrt{3}} = \frac{V_{REF} LSB}{V_{REF}/2^N \sqrt{3}} \quad (9) \quad [4];$$

- Relação sinal-ruído máxima (*SNR_{max}*), que é dependente apenas da resolução do conversor, portanto, é o mesmo valor para todos os conversores comparados:

$$SNR_{max} = \frac{FSR/2\sqrt{2}}{FSR/2^N \sqrt{12}} = \frac{FSR/2\sqrt{2}}{FSR/2^3 \sqrt{12}} = 9,80 \quad (10) \quad [4];$$

$$\text{Em dB: } SNR_{max}(dB) = 6,02N + 1,76 = 49,92 \text{ dB} \quad (11) \quad [4];$$

- *ENOB* (*Effective Number Of Bits*), que é o número efetivo de bits do conversor, é dado a partir da equação (11) acima:

$$ENOB = \frac{SNR_{atual} - 1,76}{6,02} \quad (12) \quad [4], \text{ em que } ENOB = N \text{ e } SNR_{max} = SNR_{atual}.$$

2.2. Nanoeletrônica

Nessa parte serão abordados alguns conceitos básicos da nanoeletrônica, a saber: ilha e os efeitos quânticos do tunelamento, co-tunelamento, bloqueio de Coulomb e cargas de desvio. Também será apresentado o conceito básico do transistor mono-elétron (*SET*, *Single Electron Transistor*), bem como do *turnstile*.

2.2.1. Junção-Túnel

A junção-túnel consiste em dois eletrodos metálicos separados por um isolante fino o suficiente para que os elétrons o atravessem por tunelamento. Esse dispositivo, nesse trabalho, será representado pelo símbolo mostrado na figura 2.4.

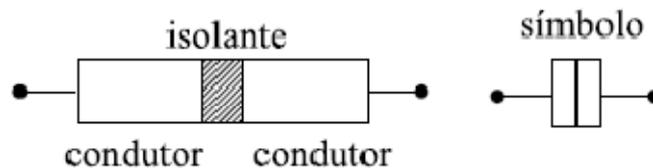


Figura 2.4: junção-túnel [15].

2.2.2. A ilha

Para demonstrar o funcionamento da ilha em dispositivos nanoeletrônicos duas junções-túnel conectadas em série serão utilizadas, formando a chamada SEB, *Single Electron Box*, mostrada na figura 2.5 (a). Nesse componente, a ilha é construída ao se colocar duas barreiras isolantes em um semiconductor, de forma que entre os isolantes é criado um lugar – ilha ou poço potencial – onde os elétrons podem residir [14]. A figura 2.5(a) ilustra uma ilha. Essas junções-túnel são dispostas de tal forma que as ilhas centrais possuem aproximadamente 10nm e, devido a essa distância tão pequena, sempre que um elétron é confinado nessa ilha a mecânica quântica restringe os níveis de energia para um número finito discreto de níveis quantizados [14]. Essa quantização de energia é a base de funcionamento dos dispositivos mono-elétron.

A única maneira de os elétrons atravessarem o dispositivo é se eles “tunelarem”, na forma da mecânica quântica, pelas duas barreiras. A probabilidade de um elétron tunelar é dependente do nível de energia do poço de energia potencial. Assim, como visto na figura 2.5(b), o dispositivo está desligado porque o nível de energia não está alinhado com a banda de condução ocupada (*Occupied Conduction Band*). Nessa situação, diz-se que a energia dos elétrons do lado de fora do poço não está alinhada com o nível de energia permitido dentro do poço [14]. Na figura 2.5(c) pode-se observar a situação em que o dispositivo está ligado, ou seja, quando o nível de energia do poço está alinhado com a banda de condução ocupada. Nessa situação, diz-se que a energia dos elétrons fora do poço está alinhada com a energia permitida dentro do poço [14].

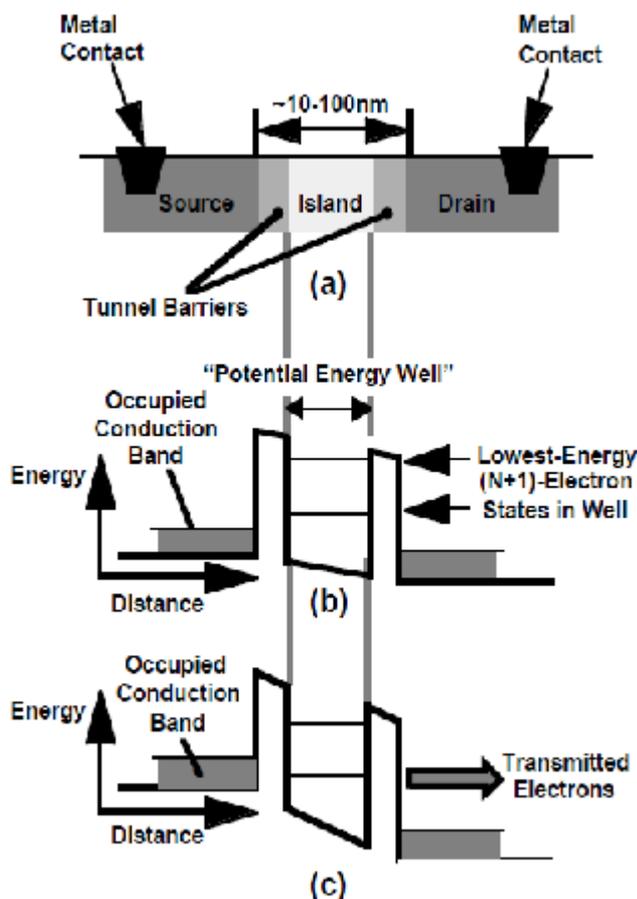


Figura 2.5: (a) SEB (*Single Electron Box*); (b) Nível de energia quando o dispositivo está desligado (*off*); (c) Nível de energia quando o dispositivo está ligado (*on*) [14].

2.2.3. Tunelamento

Já introduzido no tópico anterior, será feito um detalhamento maior sobre o efeito quântico do tunelamento nesse tópico.

Em 1923, L. de Broglie introduziu uma nova hipótese fundamental de que partículas podem ter características de ondas. Schrödinger, em 1926, expressou essa hipótese de uma forma definitiva pelo que é hoje conhecida como equação da onda de Schrödinger. Observou-se, a partir da solução dessa equação, que, devido à característica desta ser sempre diferente de zero, a função de onda que representa um elétron ou uma partícula implica uma habilidade de penetrar regiões classicamente proibidas e uma probabilidade de tunelamento de uma região classicamente permitida para outra [16].

Em 1987, Likharev e Averin formularam a teoria ortodoxa do tunelamento mono-elétron. Essa teoria descreve quantitativamente efeitos de carregamento importantes, como o Bloqueio de Coulomb [15], que será abordado no próximo tópico. Ainda segundo essa teoria [15]:

- Modelo de dimensão zero: dimensão da ilha desprezível;
- O evento de tunelamento é instantâneo;
- A redistribuição das cargas após o tunelamento também é instantânea;
- O espectro de energia em condutores e ilhas é considerado contínuo: a quantização da energia do elétron é ignorada dentro dos condutores.

Aproveitando o exposto na figura 2.5 para exemplificar o tunelamento, tem-se que: ao se aplicar uma tensão de polarização na ilha, os elétrons livres localizados na banda de condução da fonte serão induzidos a mover-se através da ilha para chegar ao eletrodo do dreno. Se isso acontecer, o que se observará será o efeito quântico do tunelamento. Entretanto, isso somente ocorrerá se houver níveis de energia vagos na ilha e estados desocupados no lado do dreno.

Ainda com base na figura 2.5, mais especificamente as partes 2.5(b) e 2.5(c), verifica-se que, na ausência de tensão aplicada à ilha, os níveis de energia do poço quântico encontrar-se-ão como o disposto na parte (b) da figura 2.5. Ao se aplicar a tensão, os níveis passarão para o disposto na parte (c) da mesma figura. Em outras palavras, se a tensão de polarização não é suficiente para baixar a energia de um estado vago no poço ao nível de energia dos elétrons da banda de condução do metal do eletrodo da fonte, a corrente não flui e o dispositivo é considerado como desligado. Se a tensão de polarização for suficiente, os níveis de energia serão alinhados e diz-se que o dispositivo está em ressonância. Dessa forma a corrente flui da fonte para o dreno o tunelamento ocorre. Do exposto aqui, também se observa que à medida que a tensão de polarização na ilha aumenta, os níveis de energia do poço diminuem em relação ao nível de energia dos elétrons da região da fonte.

Além da SEB, mencionada no tópico anterior, outro dispositivo de tunelamento é o Transistor Mono-Elétron (SET, Single-Electron Transistor). A diferença básica entre esses dispositivos são os métodos construtivos do poço de energia e a aplicação da tensão de polarização.

2.2.4. Co-tunelamento

Esse fenômeno pode ocorrer em dispositivos que possuem mais de uma junção-túnel em sua construção. Consiste em mais de um tunelamento de elétron ocorrer ao mesmo tempo em diferentes junções-túnel de um mesmo circuito. Um circuito de N junções-túnel pode apresentar um co-tunelamento de ordem N [15]. A figura 2.6 abaixo apresenta os tipos de eventos de co-tunelamento possíveis [15]:

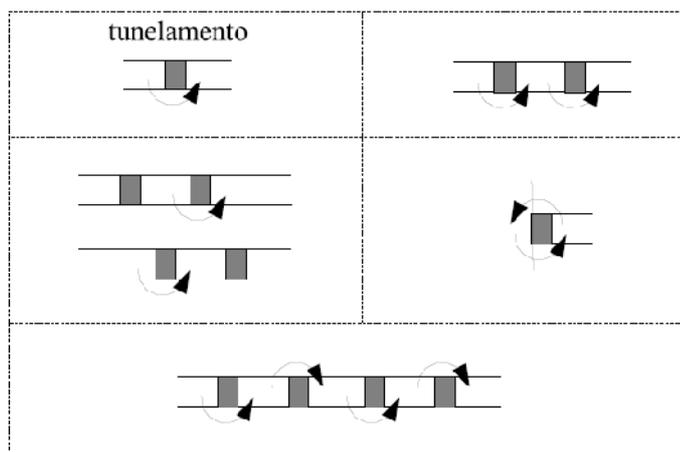


Figura 2.6: Eventos possíveis de co-tunelamento [15].

O co-tunelamento é uma fonte muito relevante de erros em dispositivos mono-elétron por estes basearem-se na detecção da presença ou ausência de elétrons [15].

2.2.5. Bloqueio de Coulomb

Em física, o Bloqueio de Coulomb é o aumento da resistência, em pequenas tensões de polarização, de um dispositivo eletrônico compreendendo uma junção-túnel de baixa capacitância, pelo menos [17].

Quando o tunelamento ocorre, por exemplo, em uma junção túnel, que é simplesmente do tipo metal-isolante-metal, onde o isolante é extremamente fino (da ordem de 10\AA [10]), o capacitor dessa junção-túnel é carregado de uma carga elementar por esse elétron que realizou o tunelamento. Esse carregamento causa um aumento na tensão de $U = e/C$, onde $e = 1,6 \times 10^{-19}\text{C}$ (carga elementar) e C é a capacitância da junção. Se a capacitância for pequena o suficiente, o aumento na tensão pode ser grande o suficiente para impedir outro elétron de realizar o tunelamento. A corrente elétrica é então anulada, em baixas tensões de polarização, e a resistência do dispositivo deixa de ser constante, como pode ser visto na figura 2.7. Esse aumento da resistência diferencial em volta do ponto de tensão de polarização nula é o chamado Bloqueio de Coulomb [17].

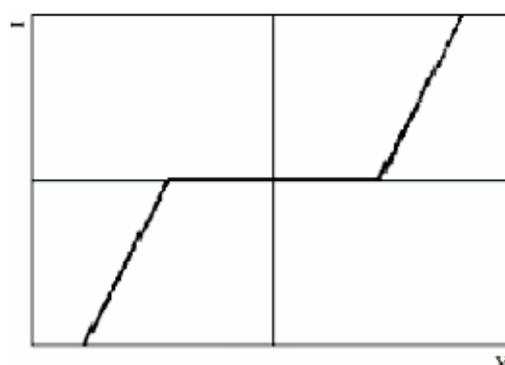


Figura 2.7: Tensão x Corrente no Bloqueio de Coulomb [15].

Ainda pela figura 2.7, percebe-se que o aumento da resistência diferencial pode ser visto como o aumento da repulsão eletrostática entre elétrons, fazendo com que um elétron bloqueie o movimento dos outros e, assim, com que a corrente vá para zero em torno da origem.

2.2.6. Cargas de fundo

Essas cargas são geralmente causadas por íons presentes nos materiais, devido a impurezas. Um dos principais problemas que as cargas de fundo – também conhecidas como *background charges* - podem causar é o levantamento do Bloqueio de Coulomb por causa da polarização causada na ilha por esse íon.

Assim, a carga de fundo é outro fator a ser levado em consideração quando se vai construir e simular um dispositivo mono-elétron.

2.2.7. Transistor Mono-Elétron

Na figura 2.8 abaixo se pode observar um transistor mono-elétron, doravante denominado por SET. Ele é constituído por uma ilha, delimitada por duas junções-túnel, na qual se acopla um capacitor, que, juntamente com a fonte de tensão V_g , funciona como a porta de controle da energia eletrostática do dispositivo.

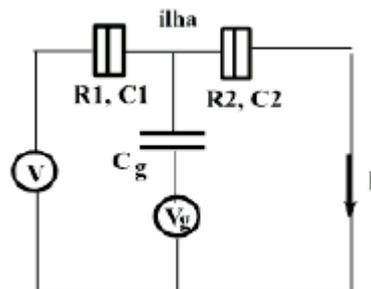


Figura 2.8: Transistor mono-elétron [15].

A corrente I é resultante do carregamento e descarregamento respectivos causados pelas junções R_1, C_1 e R_2, C_2 , respectivamente. Desse funcionamento, resulta a seguinte característica $I \times V_g$:

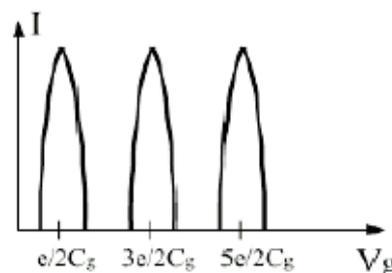


Figura 2.9: Característica $I \times V_g$ do SET [15].

A partir do gráfico da figura 2.9 percebe-se que a corrente só apresenta um valor significativo em valores específicos de V_g . Esses valores específicos ($e/2C_g, 3e/2C_g, 5e/2C_g, (2n+1)e/2C_g$) são exatamente os que o bloqueio de Coulomb é anulado e um elétron faz o tunelamento.

Quando esse valor de $V_g = e/2C_g$, que é correspondente à metade da carga de um elétron, é induzido na ilha a probabilidade de tunelamento é máxima sendo que, em o tunelamento ocorrendo, a ilha é carregada e entra em bloqueio. Essa situação de bloqueio somente deixará de existir quando a tensão da porta for $V_g = 3e/2C_g$, que é o momento no qual ocorrerá o próximo evento. A probabilidade de ocorrência desses eventos é dependente da relação $Q = C_g V_g$, em que Q é a carga, dada em Coulomb, C_g é a capacitância da porta, em Faraday, e V_g é a tensão da porta, em Volt.

2.2.8. O Turnstile

O *turnstile* foi originalmente projetado com o propósito de criar um dispositivo que gera correntes extremamente precisas. Sua forma básica pode ser observada na figura 2.10 abaixo:

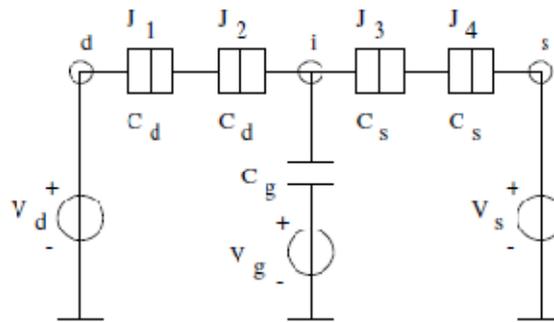


Figura 2.10: O circuito turnstile [2].

O seu funcionamento se dá da seguinte forma: assumindo que o circuito está apropriadamente polarizado por V_s e V_d , a transição de V_g do nível baixo (*low*) para o alto (*high*) resulta no transporte de exatamente um elétron da fonte (*s*) para a ilha (*i*). Enquanto o nível alto for mantido em V_g , o elétron na ilha permanecerá. Entretanto, ao se fazer a transição de V_g do nível alto para o baixo, esse elétron será transportado do nó da ilha para o do dreno (*d*). Sintetizando, a cada oscilação de tensão em V_g , o *turnstile* transporta exatamente 1 elétron da fonte (*s*) para o dreno (*d*) e, assim, a corrente que passa da fonte para o dreno é controlada com precisão pela frequência de oscilação de V_g .

2.3. Conversores D/A nanoeletrônicos

2.3.1. Introdução

A proposta deste trabalho é a de se realizar um estudo comparativo entre três circuitos de conversores D/A de três diferentes artigos. Assim, o exposto nesse tópico será a caracterização e apresentação de cada um desses circuitos.

Como todos os artigos tratam de conversores de 3bits, daqui por diante cada um dos circuitos será denominado de circuito 1, circuito 2 e circuito 3, que serão dos artigos das referências [1], [2] e [3], respectivamente, e a expressão “conversor D/A” será substituída por DAC, por simplicidade.

2.3.2. Circuito 1

Esse circuito foi proposto pelo artigo da referência [1]. Sua topologia tem a forma mostrada na figura 2.11 abaixo.

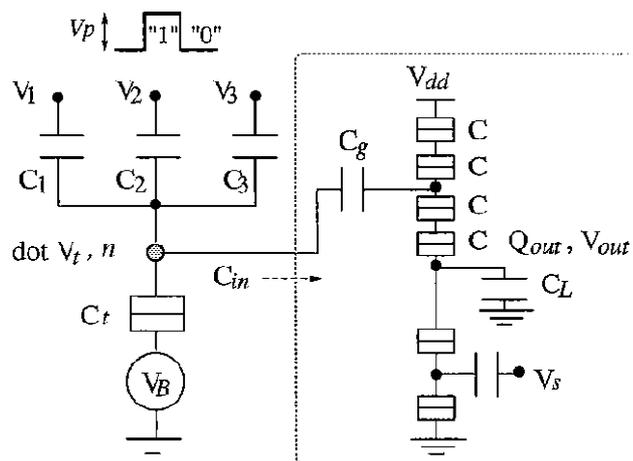


Figura 2.11: Circuito 1 [1].

Como mostrado, esse circuito consiste em uma SEB, *Single-Electron Box*, de três entradas e um *turnstile* ligado em série com um SET. O núcleo do circuito é a SEB de três entradas e o subcircuito na caixa pontilhada é uma espécie de sensor utilizado para detectar as oscilações de tensão [1].

A SEB de três entradas é composta por três capacitores de entrada, C_1 , C_2 , C_3 , seguidos de suas respectivas tensões de entrada, V_1 , V_2 , V_3 , e uma junção-túnel com capacitância C_t . Essa junção é conectada a uma fonte de tensão de polarização V_B . A tensão V_t é definida como o potencial do ponto (*dot*), isoladamente, com relação ao terra. A rede de cargas desse ponto é dada por $n(-e)$, onde n são inteiros que representam o excesso de elétrons no ponto e e é a magnitude da carga elétrica elementar [1].

A característica de tensão da SEB pode ser visualizada na figura 2.12. Nesse gráfico, Q_B é a carga gerada a partir de fontes externas – das entradas da SEB – e C_{tt} é a capacitância total conectada ao ponto. Q_B e C_{tt} são dados pelas seguintes equações [1]:

$$Q_B = C_1(V_1 - V_B) + C_2(V_2 - V_B) + C_3(V_3 - V_B) \quad (13)$$

$$C_{tt} = C_1 + C_2 + C_3 + C_t + C_{in} \quad (14)$$

Na equação (5) C_{in} representa a capacitância de entrada efetiva do circuito detector.

A condição de estabilidade é dada pela relação $e(-1/2+n) < Q_B < e(1/2+n)$, sendo esta condição válida na temperatura do zero absoluto. Considerando que $V_t = (Q_B - ne)/C_{tt}$, é mostrado na figura 2.12 que V_t é função de Q_B e que é periódica em e , com amplitude $\Delta V_t = e/C_{tt}$. A partir desse valor de amplitude e ainda com base no gráfico, tem-se que o nível máximo de tensão é dado por $V_{max} = V_B + \Delta V_t/2$, o nível mínimo por $V_{min} = V_B - \Delta V_t/2$ e que o número de elétrons aprisionados, n , aumenta de uma unidade ao se aumentar Q_B de e [1].

Para a implementação do DAC de 3 bits a base é o Q_B , dado pela equação (1). Isso porque Q_B é determinado pela soma linear de todos os sinais de entrada V_i ponderados pelas suas respectivas capacitâncias. Assim, voltando à figura 1.8, se tomarmos $C_2 = 2C_1$ e $C_3 = 2^2C_1$, temos que a entrada V_1 é o bit menos significativo (LSB, *Less Significant Bit*) e a entrada V_3 , o mais significativo (MSB, *Most Significant Bit*) de um DAC de 3 bits [1].

Suponha agora que o nível lógico “0” é dado por uma tensão de 0V e que o nível lógico “1” é dado por uma tensão V_p , onde $V_p C_1 = e$. Durante o tempo de subida dos pulsos de entrada Q_B aumenta de ne . Com isso, o número de elétrons injetados no ponto (*dot*) pela junção-túnel e o número de oscilações de V_t , causadas por essas injeções, são proporcionais a ne . Durante o tempo de descida, Q_B diminui de ne . Disso tudo, percebe-se que o número de elétrons injetados do ponto e o número de oscilações da tensão V_t são gerados na mesma quantidade no tempo de subida, bem como o número de oscilações geradas ao se extrair esses elétrons durante o tempo de descida. Conclui-se com isso que, para um sinal aplicado, à medida que Q_B sobe e desce, e varia de Q_B para $(Q_B + ne)$ e de $(Q_B + ne)$

para Q_B , respectivamente, n elétrons são injetados e extraídos e $2n$ oscilações de tensão são geradas [1].

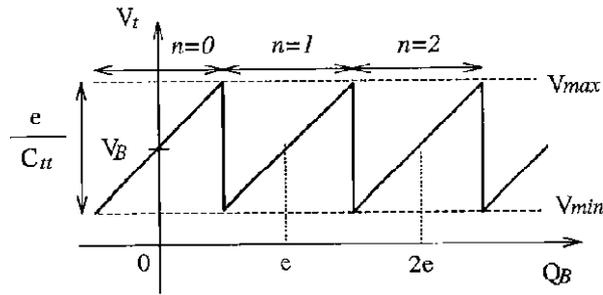


Figura 2.12: Curva característica da SEB de três entradas [1].

Olhando agora para o circuito detector das oscilações, dentro da caixa pontilhada, este foi construído de tal maneira a converter as oscilações de V_t em tensões analógicas. O circuito é composto por um *turnstile*, uma chave SET e um capacitor de carga C_L colocado entre estes. O *turnstile* consiste em quatro junções-túnel de capacitância C e um capacitor de porta C_g . Tomando $C_g = C/2$ e C_L muito maior que C , tem-se que a capacitância equivalente C_{in} do circuito na caixa pontilhada é aproximadamente igual a $C/3$. Quanto ao *turnstile*, V_{dd} é aplicada ao maior terminal potencial, V_t é aplicada ao capacitor da porta e o menor terminal potencial é conectado ao nó de saída V_{out} . A chave SET, também conectada a esse nó, é utilizada para descarregar as cargas armazenadas no capacitor de carga após uma conversão de dados [1].

Agora, considerando que o *turnstile* é utilizado para transferência de carga em um ciclo completo de tensão da porta, esse ciclo deve permitir o traçado de duas regiões estáveis adjacentes com $m = 0$ e $m = 1$, como mostrado na figura 2.13 pelo contorno fechado com setas no sentido anti-horário.

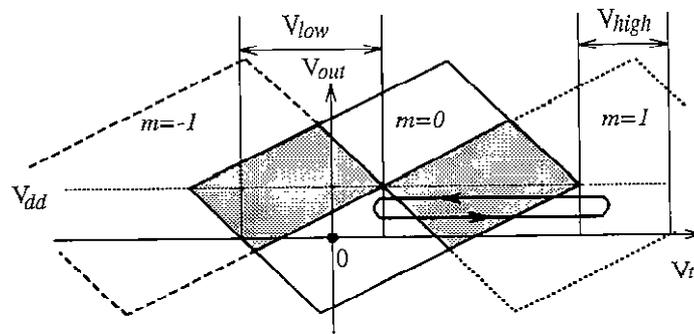


Figura 2.13: Diagrama esquemático da operação do turnstile. As regiões interiores aos paralelogramos maiores representam o Bloqueio de Coulomb e m representa o número de elétrons no nó central do turnstile em estados estáveis. As áreas hachuradas caracterizam regiões meta-estáveis em m e $m+1$ [1].

Porém, isso só deverá ocorrer se V_{dd} é mantido abaixo de $2e/3C$ e se V_{low} , ciclo de tensão de menor nível, e V_{high} , ciclo de tensão de maior nível, satisfizerem as seguintes condições $-2e/C + V_{dd} < V_{low} < V_{dd}$ e $2e/C + V_{dd} < V_{high} < 4e/C - V_{dd}$, respectivamente. Resumindo, um ciclo de tensão deve abranger o intervalo de V_{dd} a $2e/C + V_{dd}$. Também é esperado que a oscilação de tensão gerada, com amplitude ΔV_t , no circuito da SEB aja como ciclo de tensão da porta do *turnstile* e, assim, induza o número desejado de cargas a serem transferidas para o capacitor de carga. Para isso é necessário que a variação de tensão ΔV_t cubra o intervalo de V_{dd} a $2e/C + V_{dd}$. Para esse requisito têm-se as seguintes equações [1]:

$$V_{max} = V_B + \frac{e}{2C_{tt}} \geq \frac{2e}{C} + V_{dd} \quad (15)$$

$$V_{min} = V_B - \frac{e}{2C_{tt}} \leq V_{dd} \quad (16)$$

Sob a condição de que V_B é colocado no centro da amplitude da tensão de oscilação ($V_B = e/C + V_{dd}$), é preciso que $\Delta V_t \geq 2e/C$. Assim, para $V_{dd} = 2e/3C$, $V_B = 5e/3C$ e $C \geq 6(C_1 + C_2 + C_t)$, e a tensão de saída é dada por $V_{out} = Q_{out}/C_L$, onde Q_{out} são as cargas armazenadas no capacitor de carga e é proporcional ao número de oscilações da tensão V_t [1].

2.3.3. Circuito 2

Circuito construído no artigo da referência [2], tem a seguinte topologia:

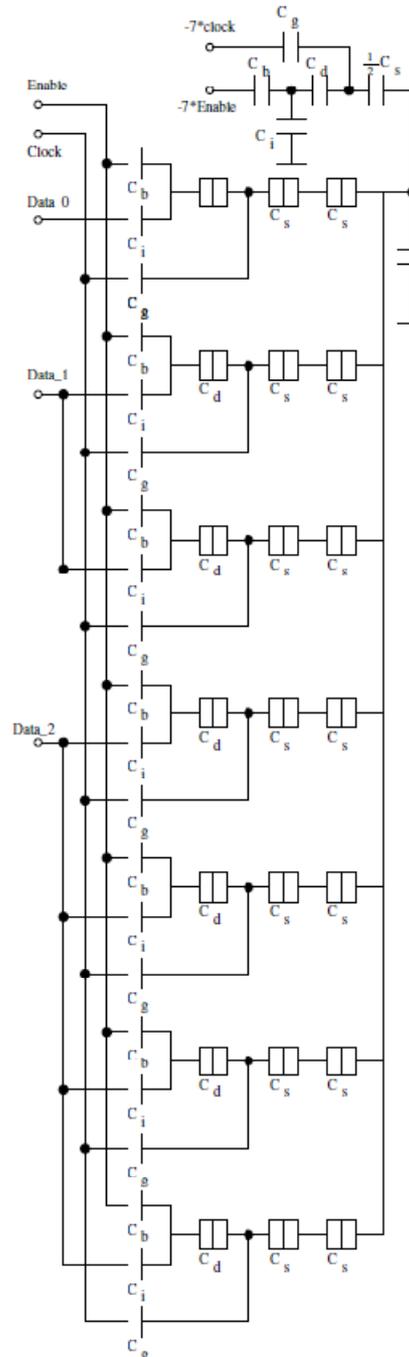


Figura 2.14: Circuito 2 [2].

O funcionamento desse circuito baseia-se numa versão modificada do *turnstile*.

Quanto ao circuito *turnstile* modificado, mostrado na figura 2.15, este usa a base de funcionamento do original para que um elétron seja transportado da fonte para o dreno somente se V_g estiver no nível alto.

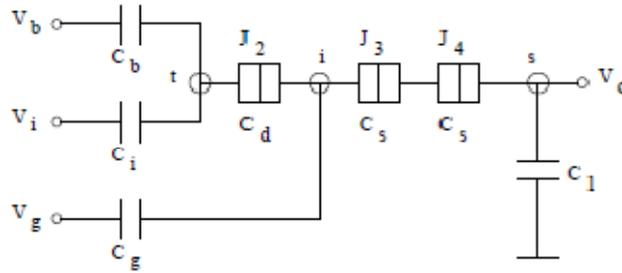


Figura 2.15: Novo bloco de circuito, o *turnstile* modificado [2].

Como visualizado na figura 2.15, a fonte de tensão V_s , antes presente no original da figura 2.14, foi substituída pelo capacitor C_1 . Novamente com base na figura 2.14, a junção J_1 foi substituída por dois capacitores em paralelo, C_b e C_i , sendo que C_i foi conectado à entrada de tensão V_i do circuito e C_b à tensão de polarização V_b , e a saída do circuito passou a ser a tensão no capacitor C_1 [2].

Quanto a sua operação, ela se dá como se segue. A tensão de polarização V_b atua como um sinal de controle do tipo *enable* e a tensão V_g , como um sinal de frequência (clock). A tensão V_i atua como uma entrada digital, assumindo '0' ou '1'. Na situação em que os sinais de controle V_b e V_i estão em nível lógico alto, juntamente com um pulso em V_g (clock), um elétron é transportado de C_1 – nó da fonte (s) – através da ilha para o nó de armadilha t (trap node), onde o elétron é mantido enquanto V_b for mantido em nível lógico alto. Com isso, o transporte de um elétron da fonte (s) para a armadilha (t) resulta no aumento da tensão de saída V_o . Vale ressaltar que o elétron é mantido no nó de armadilha, em detrimento de quaisquer alterações de V_i e V_g , enquanto V_b for mantido em nível lógico alto [2]. Mudar o nível lógico de V_b para o nível lógico baixo faz com que o elétron retorne ao nó da fonte, resultando no retorno do circuito ao estado original [2].

Um dos problemas em potencial que podem surgir ao se conectar vários desses circuitos a um único capacitor de carga, que é o que acontece no conversor completo, é o surgimento de efeitos analógicos, causados por V_b e V_g , na saída e no resto do circuito do conversor. Isso se dá porque o circuito *turnstile* modificado consiste em capacitores e junções que agem também como capacitores em termos da divisão de tensão [2].

Esses efeitos indesejados podem ser completamente removidos com a adição de um circuito de compensação ao C_1 . Esse circuito de compensação possui uma topologia muito similar à do circuito *turnstile* modificado. As diferenças são a ausência do capacitor C_1 e a substituição de todas as junções por capacitores de mesmo valor e nos quais sinais de controle negativos são usados, como mostrado na figura 2.16 [2].

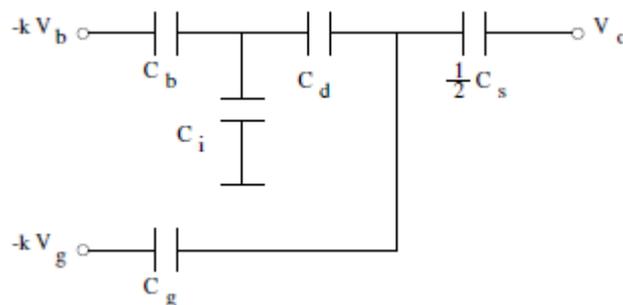


Figura 2.16: Circuito de compensação [2].

Como o conversor é constituído de vários *turnstiles* modificados conectados ao capacitor de carga C_1 , onde todos esses circuitos usam os sinais V_b e V_g , os efeitos indesejados previamente

mencionados somam-se na saída. Assim, se um número k desses circuitos modificados são conectados ao capacitor de carga C_1 localizado na saída, a rede de compensação proposta na figura 1.14 deverá ter sinais de controle $-kV_b$ e $-kV_g$ [2].

Quanto aos parâmetros do circuito, são utilizadas as seguintes equações. Para a entrada booleana V_i :

- Nível lógico '0' = 0V;
- Nível lógico '1' = 16mV;

Partindo da premissa de que o transporte de carga não ocorre com apenas V_i e V_b em nível lógico alto, é necessário que $C_i V_i + C_b V_b < 0.83e$. Se um elétron é transportado para o nó da ilha quando V_g está em nível alto, este somente atravessará a junção J_2 quando V_g retornar ao nível lógico baixo. Assim: $C_i V_i + C_b V_b < 0.5e$. Escolhendo-se $C_i V_i + C_b V_b = 0.6e$, $C_i = 0.8C$ e $C_b = 0.2C$, tem-se $V_b = 2.7e/C$. Agora, dada a restrição de que as junções J_2 e J_3 só fazem transporte de carga quando $V_i = '1'$: $0.9e/C < V_g < 0.96e/C$. Por último, escolheu-se $V_g 'high' = 0.93e/C$ e assumiu-se $C_1 \gg C$ juntamente com $3e/4C_1$ sendo considerado nível lógico alto na saída.

2.3.4. Circuito 3

O circuito 3 é apresentado na figura 2.17 abaixo:

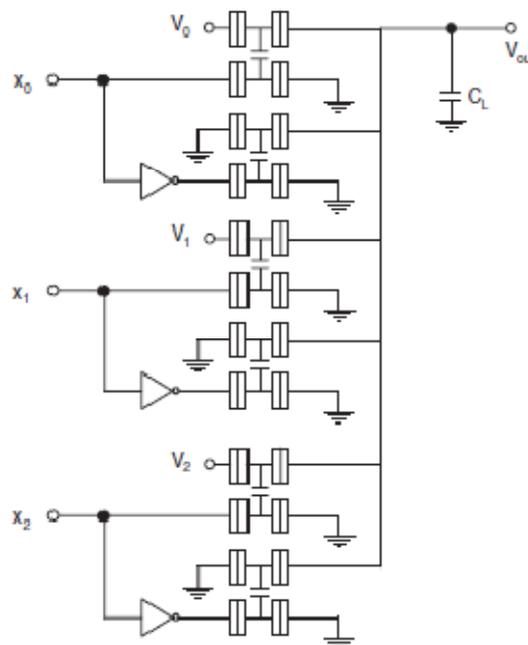


Figura 2.17: Circuito 3 [3].

A proposta deste artigo foi a de construir um DAC de 3bits a partir do bloco de construção básico mostrado na figura 2.18:

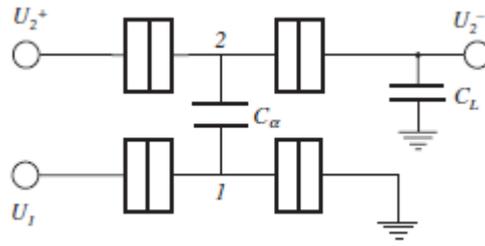


Figura 2.18: Bloco básico de construção do circuito 3, SETs acoplados paralelamente[3].

Como pode ser observado, o circuito da figura 2.18 consiste em duas ilhas acopladas por meio da capacitância C_{α} , e cada ilha, por sua vez, está conectada aos seus respectivos fonte e dreno por meio de junções-túnel de capacitância C e resistência R . A ilha 1 serve como eletrodo de porta para a ilha 2 e vice-versa, portanto, o par de junções que compõem a ilha 1 será denominado de *SET controlador* e o par da ilha 2 de *SET ôhmico*. O Set ôhmico apresenta características ôhmicas, como o próprio nome diz, e o SET controlador funciona como uma chave [3].

O controle realizado pelo SET controlador se dá por meio da tensão U_1 . Para melhor explicar o funcionamento desse controle tem-se a figura 2.19 abaixo. Nessa figura, pode-se observar que a corrente I_2 , pertencente ao SET ôhmico (os subscritos 1 e 2 corresponderão aos SET controlador e ôhmico, respectivamente, de agora em diante), dada pela equação (17), apresenta um comportamento ôhmico para $-V_{CB} < U_2 < V_{CB}$ [3].

$$I_2 = GU_2 \quad (17)$$

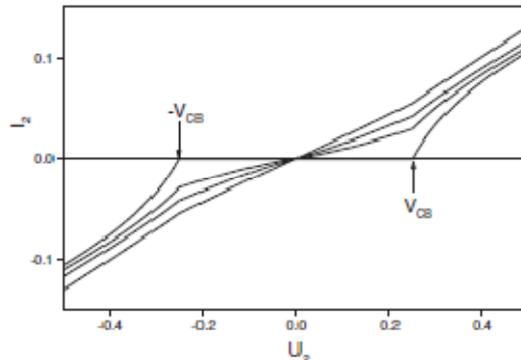


Figura 2.19: Característica $U_2 \times I$ do SET ôhmico.

Na equação (17), G é função de U_1 :

- $G = 0$ para $U_1 < V_t$;
- $G \neq 0$ para $U_1 > V_t$;

Aqui, V_t é uma tensão de limiar que é maior que V_{CB} , porém da mesma ordem, e

$$G \cong (U_1 - V_t)^{1/p} \quad p/ U_1 > V_t \quad (18),$$

onde p é igual a 2 ou 3.

Com isso, esse comportamento de G permite que o SET controlador atue como uma chave liga-desliga para o SET ôhmico. Em outras palavras, se $U_1 < V_t$ o SET ôhmico permanece em um estado não-condutor do Bloqueio de Coulomb e se $U_1 > V_t$ o SET ôhmico conduz.

Para a construção do DAC da figura 2.17, implementa-se unidades casadas do bloco de construção básico, sendo que, a cada dupla dos blocos básico, há uma entrada lógica. Como observado, cada entrada x_i ('0' ou '1') e seu inverso são alimentados aos SETs controladores de cada bloco [3]. A entrada lógica '0' é uma tensão v_0 menor que V_t e a entrada lógica '1' é uma tensão v_1 maior que V_t .

Exemplificando o seu funcionamento, considere uma entrada qualquer $x_i = 1$. Já que $v_1 > V_t$, o SET controlador polarizado por esta tensão passa para o estado *on* e o seu par ôhmico, que está polarizado com $V_i = 2^i V_p$, passa a conduzir com uma corrente $G(2^i V_p - V_{out})$. Do outro lado, já que $v_0 < V_t$, o SET controlado alimentado pelo bit invertido permanece no estado *off*. A tensão V_i pondera os bits, ou seja, para do bit menos significativo para o mais significativo: $V_0 = 2^0 V_p$, $V_1 = 2^1 V_p$ e $V_2 = 2^2 V_p$. Tomando agora $x_i = 0$, a situação se inverte: o SET controlador alimentado pelo bit invertido passa para o estado *on* e o seu respectivo SET ôhmico passa a conduzir com uma corrente $-GV_{out}$. Do exposto, tem-se a seguintes equação:

$$C_L \frac{dV}{dt} = \sum_{i=0}^{N-1} G(2^i V_0 - V_{out})x_i + \sum_{i=0}^{N-1} GV_{out}(x_i - 1) \quad (19)$$

E, no estado estacionário:

$$V_{out} = \frac{V_0}{N} \sum_{i=0}^{N-1} 2^i x_i \quad (20)$$

3. METODOLOGIA

3.1. Introdução

Nesta seção tratará dos procedimentos adotados para realizar o estudo.

Assim, será explicado como foi feita a validação dos circuitos em questão, o estudo do comportamento destes circuitos e a análise comparativa.

Tanto a validação como o estudo do comportamento foram realizados com o auxílio do programa SIMON. Esse programa é específico para a simulação de circuitos nanoeletrônicos que utilizam SETs, já que calcula probabilidades de co-tunelamento, leva em conta carga de fundo e inclui a influência da temperatura nas simulações. Para isso, ele calcula a probabilidade de tunelamento para cada evento possível por meio do método de Monte-Carlo, que escolhe o evento em um conjunto de possíveis eventos, em cada instante de tempo. Nesse modo, o número de eventos definidos é simulado para cada intervalo de tempo especificado, e a velocidade do gerador randômico indica se um novo conjunto de eventos deve ser calculado. Por último, cada evento túnel é considerado independente e exponencialmente distribuído [18].

3.2. Validação e estudo comportamental

O procedimento adotado para a validação foi o de simular os circuitos, por meio do SIMON, substituindo os parâmetros propostos pelos autores dos artigos.

3.2.1. Circuito 1

Para o circuito deste artigo, o seguinte circuito foi simulado com o SIMON:

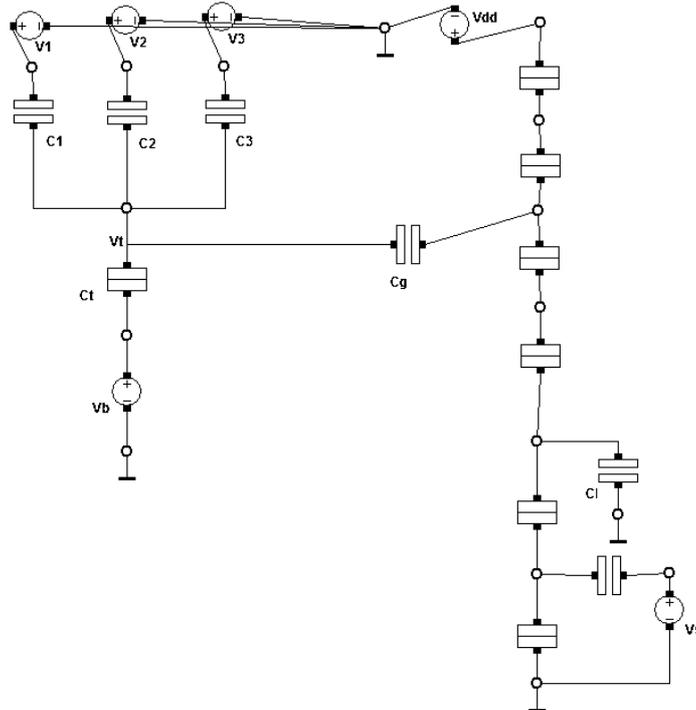


Figura 3.1: Circuito 1 simulado no SIMON.

Os parâmetros utilizados foram os propostos pelo artigo, quais sejam: $C_1 = 0.32\text{aF}$, $C_2 = 0.64\text{aF}$, $C_3 = 1.28\text{aF}$, $C_t = 0.5\text{aF}$, $C_g = 9.36\text{aF}$, $C = 18.72\text{aF}$, $C_L = 2.8\text{fF}$, $V_p = 0.5\text{V}$, $V_B = 14.2\text{mV}$ e $V_{dd} = 4.5\text{mV}$ [1].

Em seguida, as fontes de tensão conectadas às entradas foram configuradas de forma a simularem geradores de ondas quadradas com períodos diferentes, para que entradas digitais variando de 000 a 111 fossem simuladas. A simulação dessas entradas por meio das ondas quadradas pode ser observada na figura 3.2.

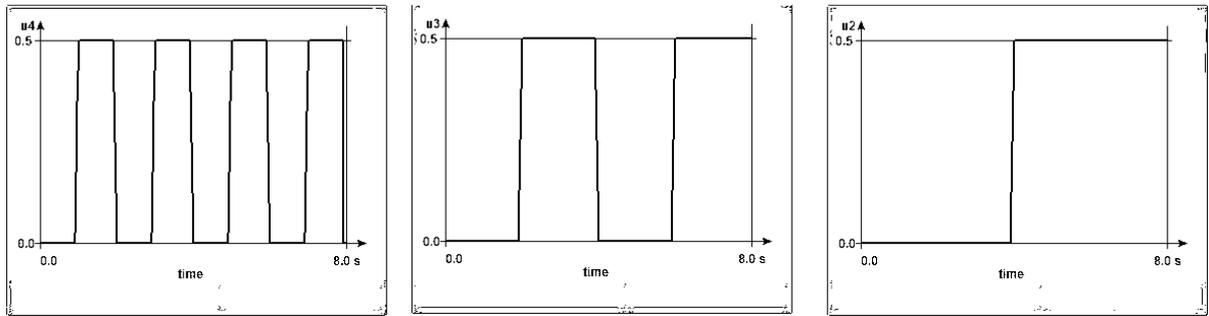


Figura 3.2: simulação das ondas quadradas das entradas. Entradas menos significativa (LSB) para a mais significativa (MSB) mostradas da esquerda para a direita.

Após esse ajuste nas entradas, o circuito foi simulado em diversas situações, para que o comportamento pudesse ser avaliado:

- A primeira delas foi com modificações na temperatura apenas. Aumentou-se a temperatura para valores acima do zero absoluto até que o comportamento normal da saída deixasse de ser observado;
- Na segunda, foram feitas alterações na carga de fundo e, novamente, a partir de um valor inicial de 1% de alteração da carga de fundo do circuito, alterou-se até que o comportamento da saída fosse alterado.
- Feito isso, variou-se para 2 o parâmetro chamado de *tunel order*, que insere propositalmente um co-tunelamento de ordem 2, e observou-se a saída.
- Por último, já com os limiares de cada uma das alterações acima, foi feita uma simulação com todos esses parâmetros alterados ao mesmo tempo.

Colocando os parâmetros temperatura, carga de fundo e co-tunelamento de volta aos valores iniciais, foi acoplado um resistor de 0.01Ω para que medições dos valores de corrente pudessem ser feitas, e um valor aproximado da potência consumida pudesse ser estimado.

Finalmente, cálculos da área aproximada e das características estáticas foram realizados. Para o cálculo da área foi considerado o diâmetro de 8nm por ilha [19] e a esse número um acréscimo de 50% foi feito para se levar em consideração as interconexões. Quanto às características estáticas, as calculadas foram as descritas na parte 2.1.2. da revisão bibliográfica.

3.2.2. Circuito 2

Neste caso, as mesmas entradas, com ondas quadradas, que foram utilizadas no circuito 1, e que estão mostradas na figura 3.3, foram usadas. O mesmo estudo comportamental realizado para o circuito 1 também foi realizado aqui.

Nessa parte, o seguinte circuito foi simulado:

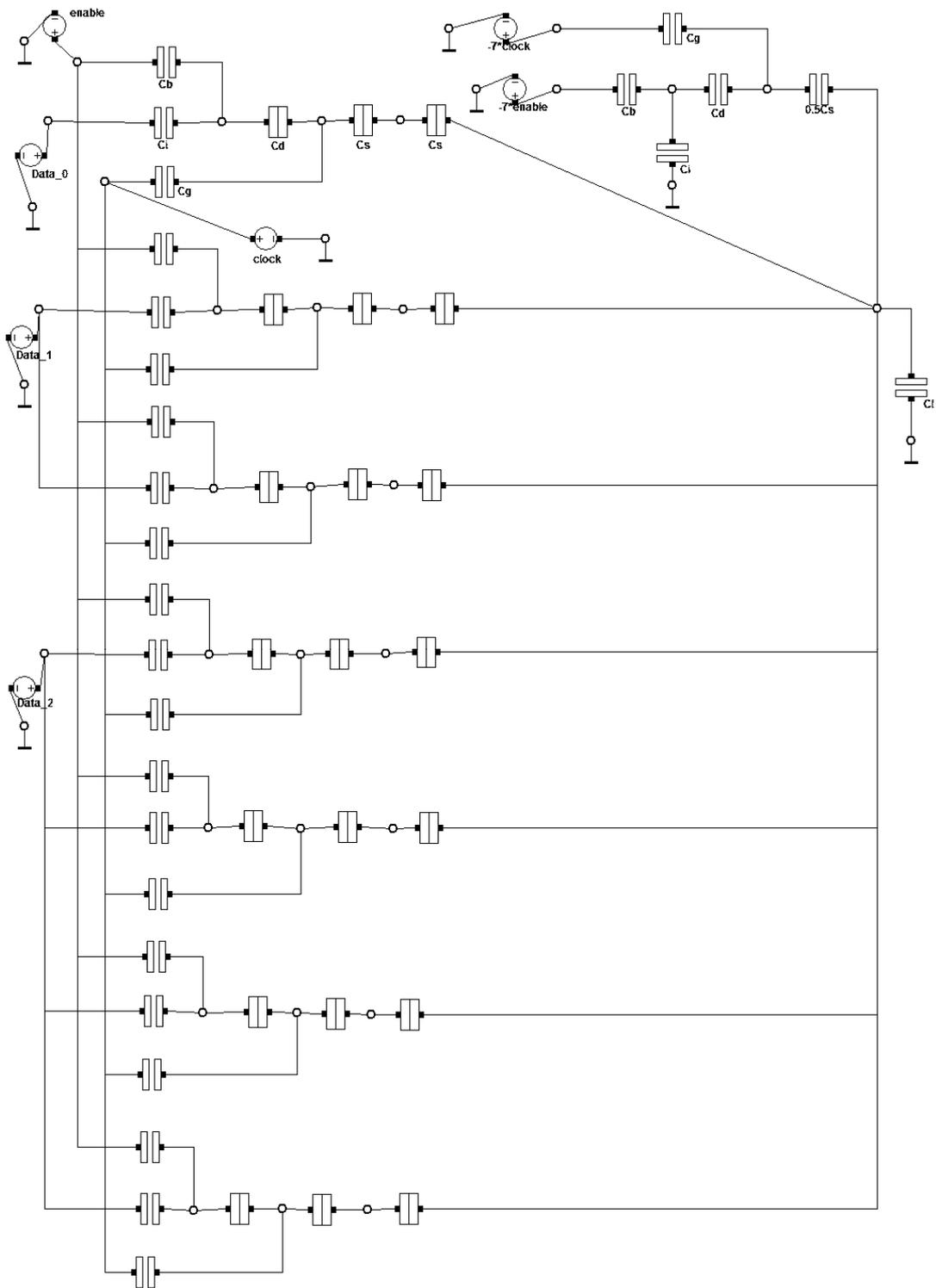


Figura 3.3: circuito 2.

Os parâmetros utilizados para essa simulação, tirados do próprio artigo [2], foram: $C_b = 0.2\text{aF}$, $C_i = 0.8\text{aF}$, $C_g = 0.5\text{aF}$, $C_d = 1.0\text{aF}$, $C_s = 2.0\text{aF}$, $C_l = 100\text{aF}$, $V_b \text{ 'high'} = 432\text{mV}$, $V_g \text{ 'high'} = 149\text{mV}$, $V_i \text{ '1'} = 16\text{mV}$, $V_i \text{ '0'} = 0\text{mV}$.

3.2.3. Circuito 3

O circuito 3 pode ser visto na figura 2.17 da revisão bibliográfica. Este circuito teve duas abordagens diferentes já que, para a simulação das portas inversoras, dois métodos foram tentados.

Em ambos os métodos foram utilizados os seguintes parâmetros, obtidos do artigo [3]: $C = 1\text{aF}$, $R = 100\text{k}\Omega$, $C_a = 2\text{aF}$, $C_L = 500\text{aF}$. As tensões para os bits '0' e '1' são 0V e 100mV , respectivamente, e $V_0 = 5\text{mV}$.

Na primeira abordagem tentou-se simular os inversores lógicos com um inversor nanoeletrônico, como observado na figura 3.4 abaixo.

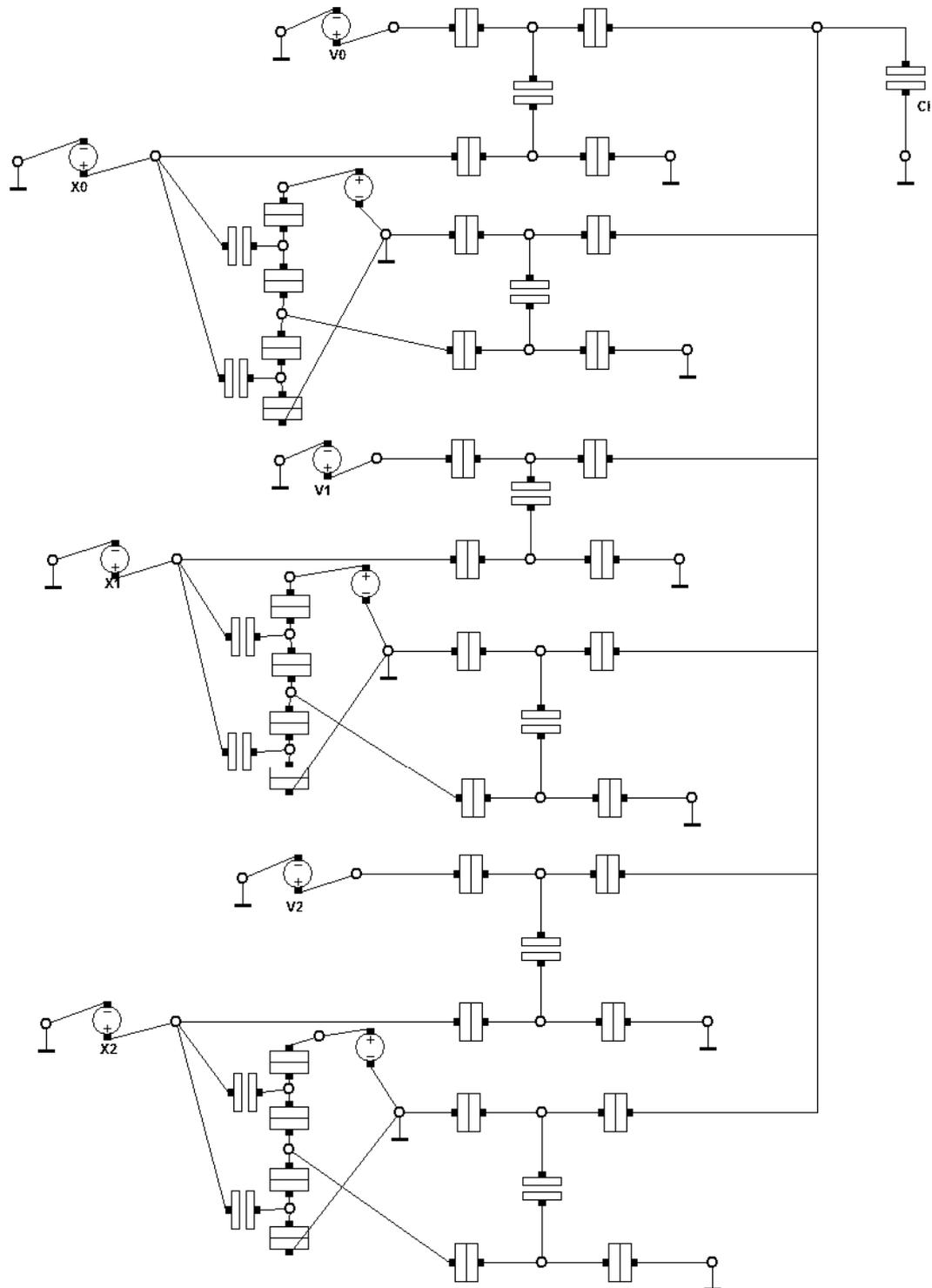


Figura 3.4: circuito 3 com inversores nanoeletrônicos.

Na segunda abordagem, fontes de tensão foram usadas para simular a inversão lógica. Assim, quando uma das entradas digitais estavam em nível lógico '1', sua respectiva porta inversora, agora

simulada pelas fontes de tensão, era ajustada para o nível lógico '0'. O circuito simulado nessa abordagem é o da figura 3.5.

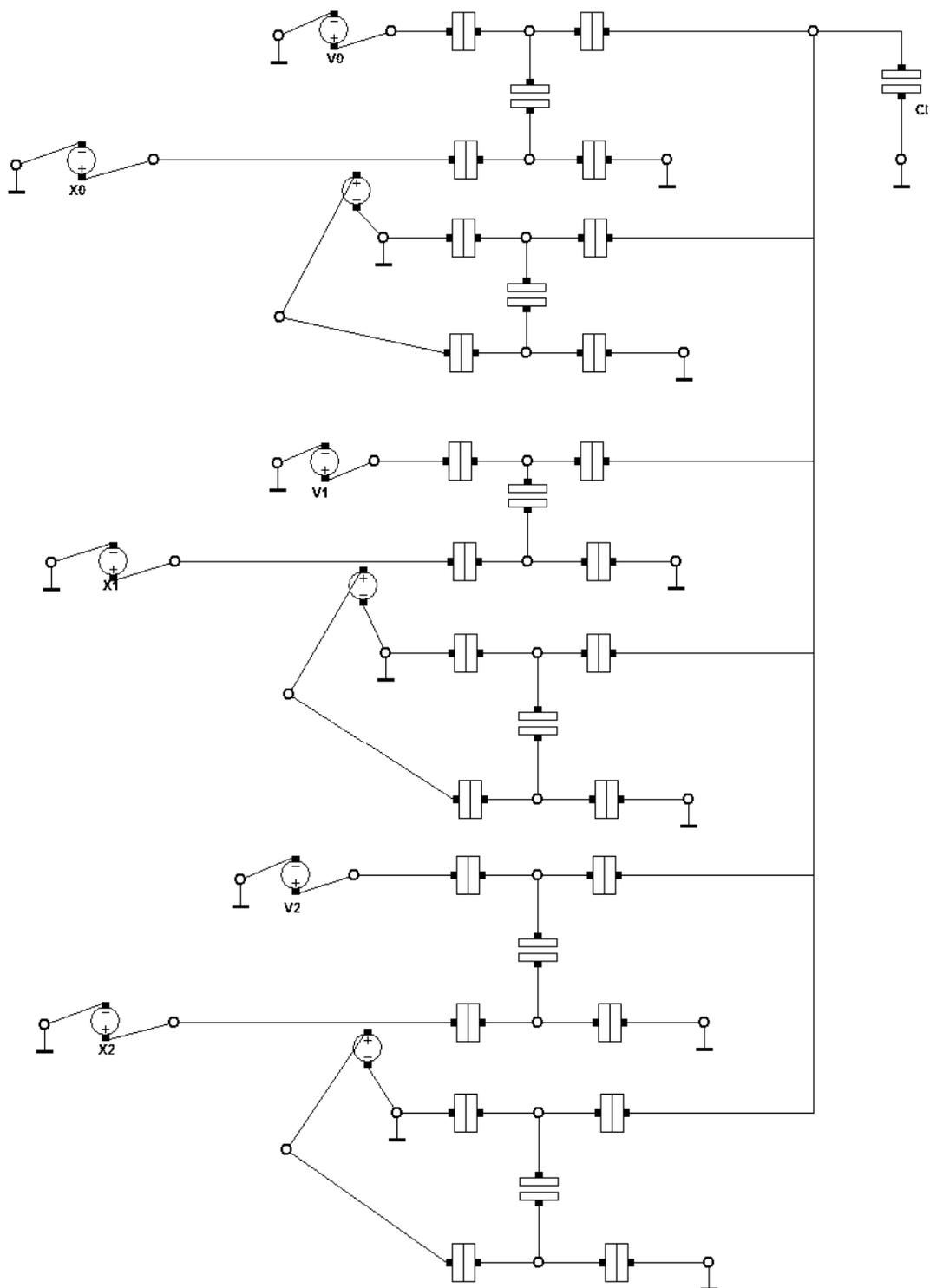


Figura 3.5: circuito 3 com fontes de tensão no lugar das portas inversoras.

Nos dois métodos, as palavras digitais foram simuladas uma de cada vez (de 000 à 111), já que o circuito não permitiu o uso das ondas quadradas utilizadas nos circuitos anteriores, e a saída do circuito, referente a cada palavra por vez, foi registrada.

4. RESULTADOS E DISCUSSÃO

4.1. Introdução

Nesta seção serão apresentados os resultados obtidos e será feita uma comparação entre esses resultados. Também será realizada a apresentação de algumas tabelas comparativas.

4.2. Resultados obtidos

4.2.1. Circuito 1

Para este circuito, como explicado na metodologia, foi realizada primeiramente uma simulação com os parâmetros originais, fornecidos no artigo [1] e repetidos na seção 3.2.1. O resultado desta simulação pode ser observado na figura 4.1:

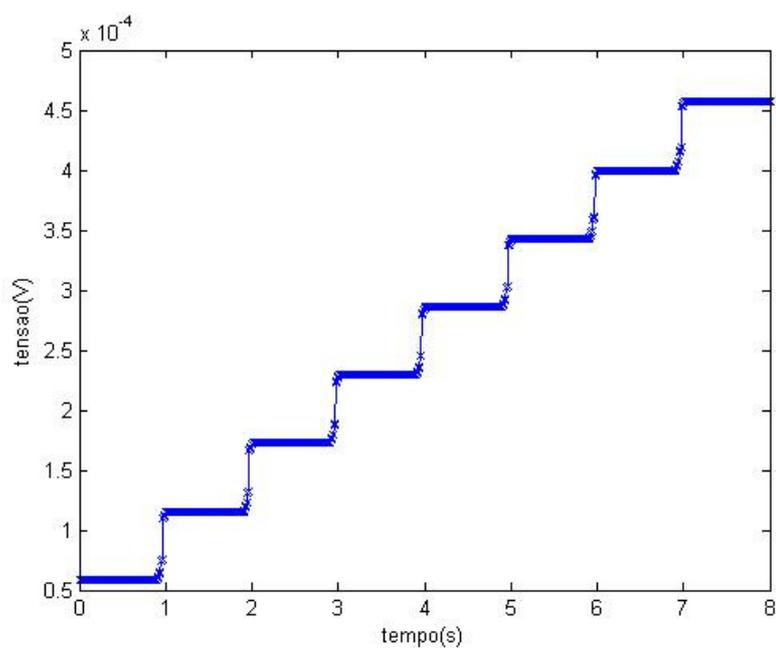


Figura 4.1: curva obtida na saída do circuito 1 com parâmetros originais, para $T = 0K$.

A partir de gráfico acima, percebe-se que o circuito foi validado com os parâmetros sugeridos, pois a saída apresentou a curva esperada.

Em seguida, serão apresentados os gráficos para as simulações com variações apenas nos parâmetros temperatura, carga de fundo e co-tunelamento, respectivamente.

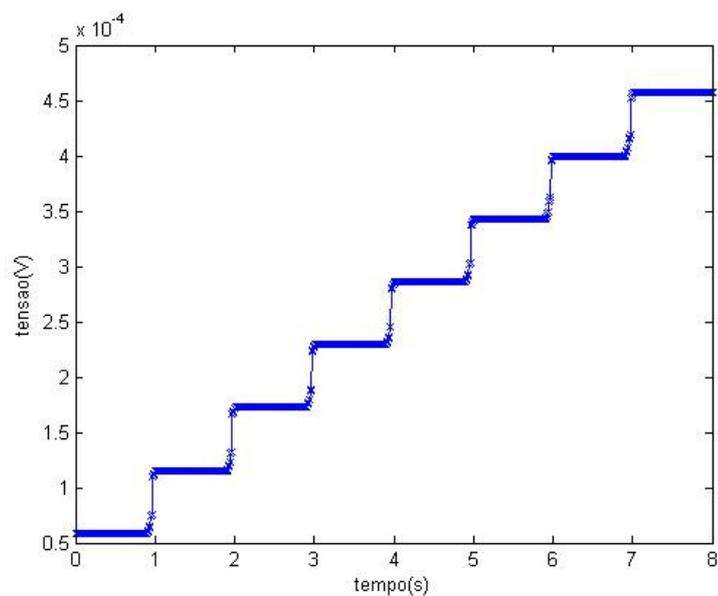


Figura 4.2: circuito 1 simulado com uma temperatura de 3mK.

A temperatura de 3mK foi a maior temperatura na qual o circuito 1 operou sem distorção da saída. A título ilustrativo, a figura 4.3 mostra a operação do circuito a uma temperatura de 1K:

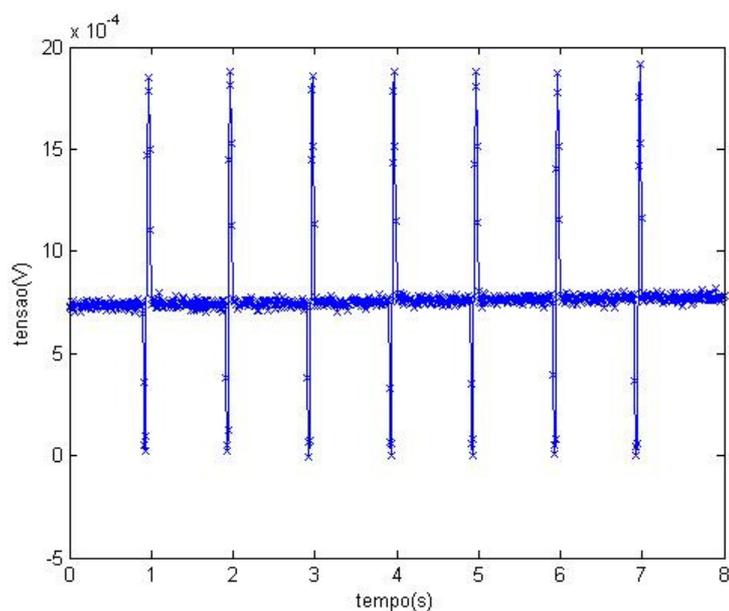


Figura 4.3: circuito 1 simulado com uma temperatura de 1K.

Alterando a carga de fundo a partir de um valor de 1%, chegou-se ao valor de 3% de alteração sem que a saída do conversor fosse alterada, como pode ser observado na figura 4.4:

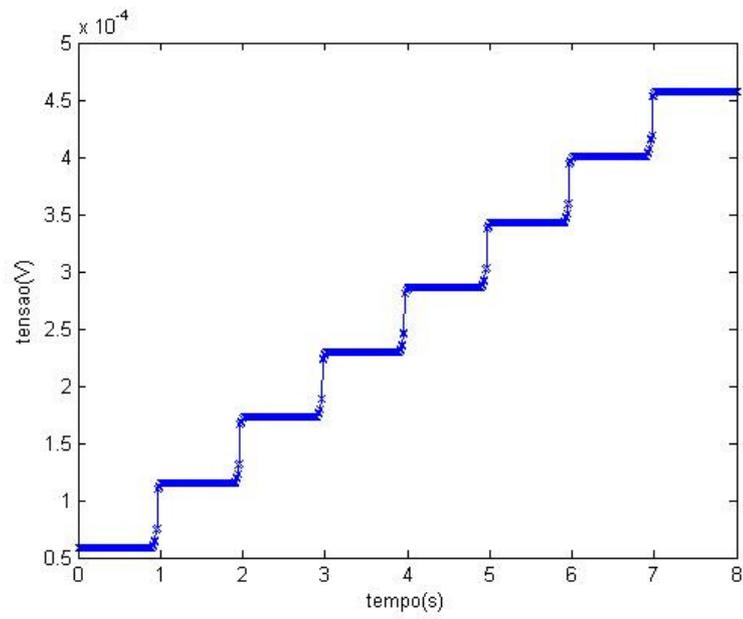


Figura 4.4: circuito 1 simulado com uma carga de fundo de 3%.

Foram feitas mais simulações, mostradas nas figuras 4.5 e 4.6, com cargas de desvio de 5% e 7%, mas, como observado, a característica da saída não se manteve.

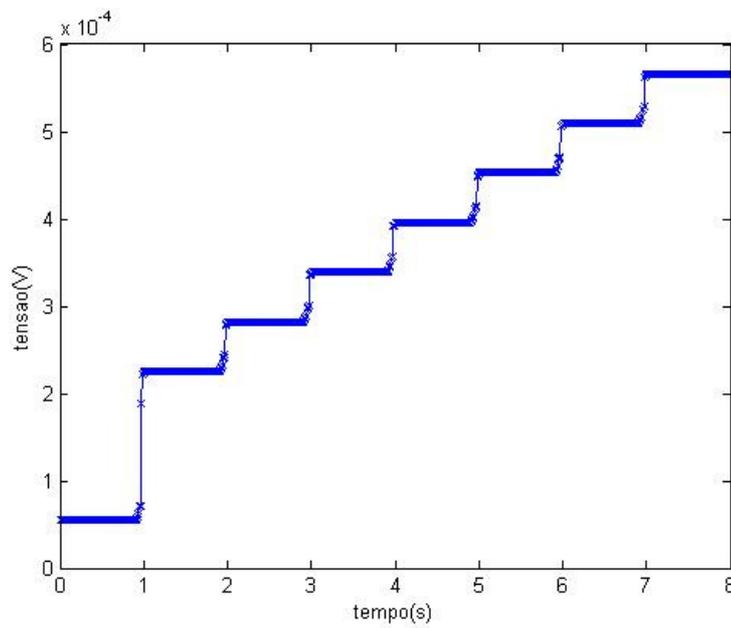


Figura 4.5: circuito 1 simulado com carga de desvio de 5%.

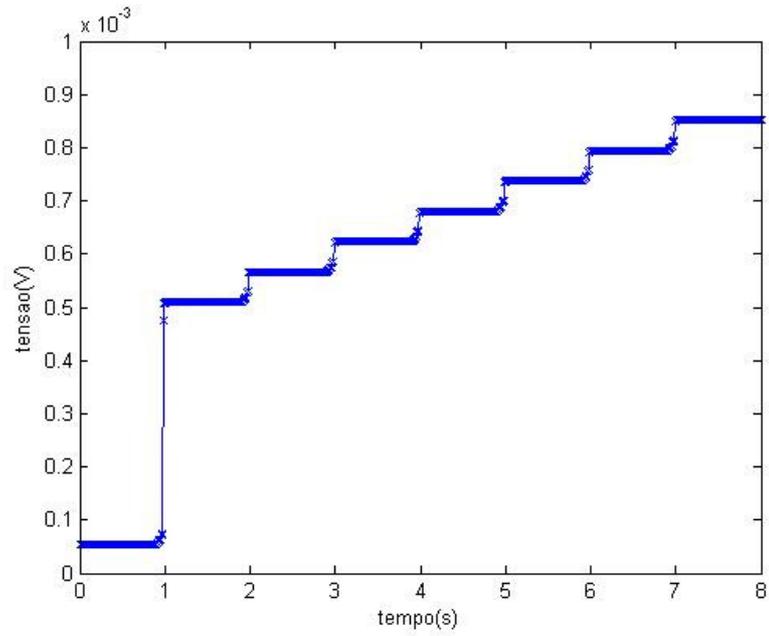


Figura 4.6: circuito 1 simulado com carga de desvio de 7%.

No caso do co-tunelamento, este circuito mostrou-se completamente intolerante, como o observado na figura 4.7.

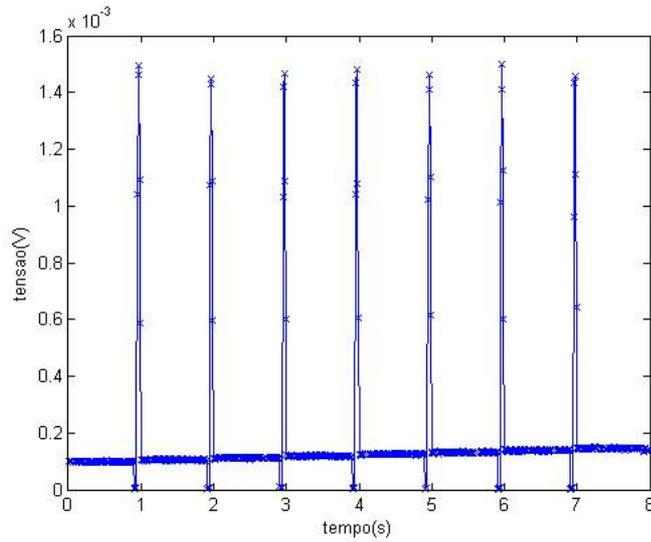


Figura 4.7: simulação do circuito 1 com o parâmetro tunnel order (co-tunelamento) do SIMON ajustado em 2.

As características estáticas calculadas para o circuito 1 foram as mostradas na tabela 1 (assumindo diâmetro da ilha de 8nm [19]):

Tabela 1: características estáticas do circuito 1.

Número de ilhas	7
Número de capacitores	5 + 1 de carga
Área das ilhas	351,86nm ²
Área das interconexões	175,93nm ²
Área total	527,79nm ²
LSB	10,63mV
FS	74,38mV
FSR	85mV
DR	18,06dB
SNR	21,67dB
SNR _{max}	49,92dB
ENOB	3,3bits
Potência _{max}	4,5μW

Agora, fazendo uma breve comparação dos resultados obtidos aqui com os previstos no artigo [1], percebeu-se uma discrepância, que foi quanto à temperatura. Enquanto o artigo [1] mostrou resultados razoáveis para a operação do circuito a até 100mK, o que constatou-se na simulação realizada acima foi uma tolerância de temperatura de até 1mK. Para a carga de fundo não foram encontradas discrepâncias. Quanto à frequência de operação, não foi possível reproduzir o que foi proposto pelo artigo, e nem realizar um estudo à parte, por limitações técnicas do *software* de simulação.

4.2.2. Circuito 2

Simulando o circuito 2 a partir dos parâmetros – originais do artigo [2] - descritos na metodologia, obteve-se o seguinte gráfico da figura 4.8 para a saída do circuito:

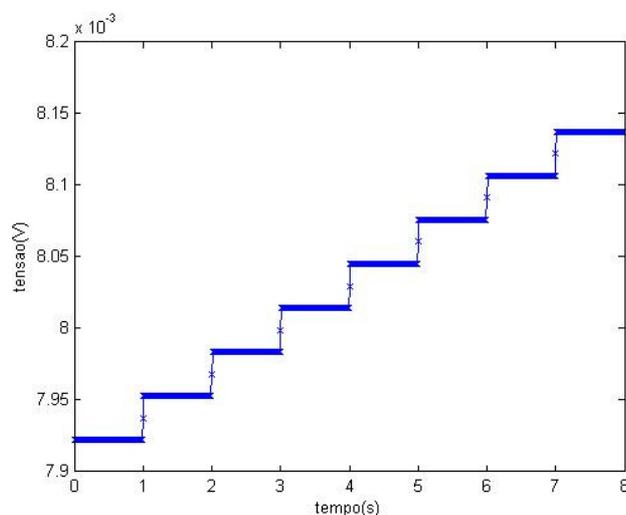


Figura 4.8: saída do circuito 2 simulado com os parâmetros originais.

Como foi realizado para o circuito 1, serão exibidos agora os gráficos com a saída do circuito 2 para valores de temperatura, carga de fundo e co-tunelamento, respectivamente.

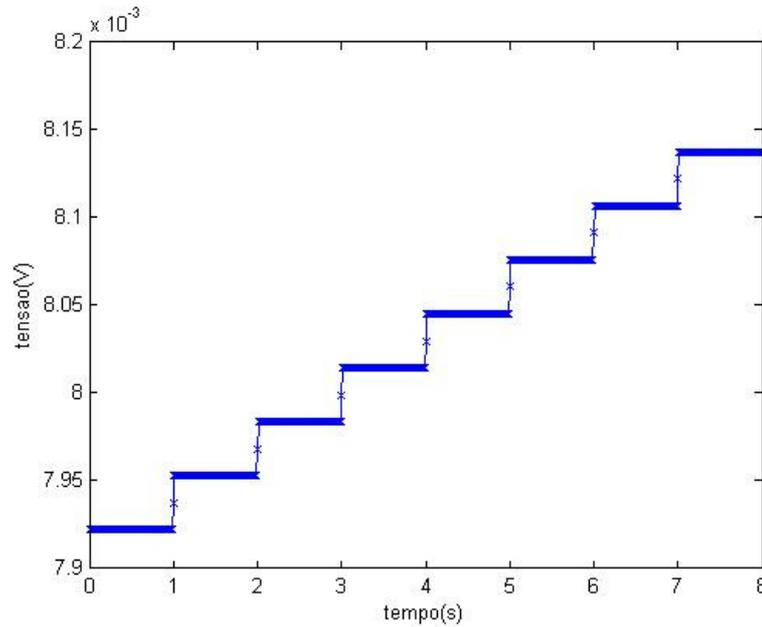


Figura 4.9: saída do circuito 2 com a temperatura ajustada em 10mK.

Para qualquer outra temperatura simulada, acima de 10mK, a característica da saída do circuito não se manteve. Como exemplo, a temperatura de 20mK foi simulada e é mostrada na figura 4.10 abaixo.

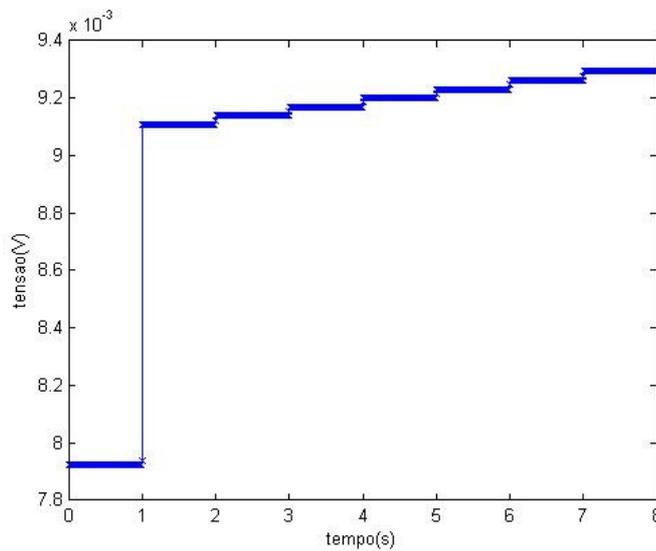


Figura 4.10: circuito 2 simulado com uma temperatura de 20mK.

Quanto a cargas de desvio, o circuito não apresentou tolerância alguma, como pode ser observado na figura 3.11 abaixo. Nessa simulação, foi usada uma carga de fundo de apenas 1%.

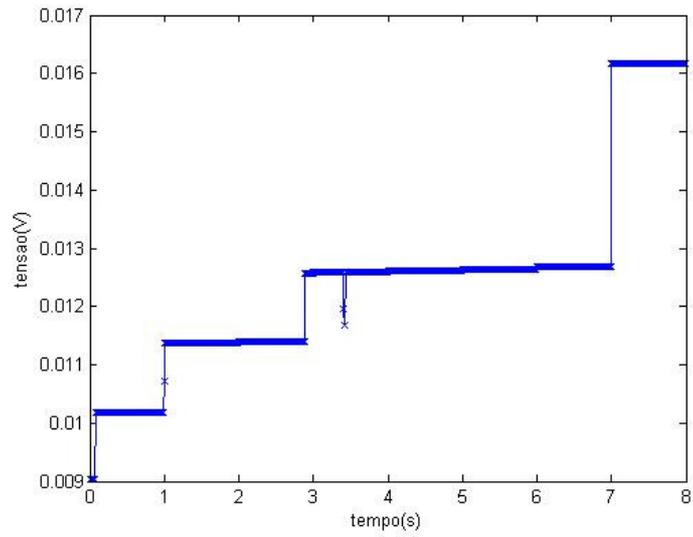


Figura 4.11: circuito 2 simulado com carga de desvio de 1%.

Também para o co-tunelamento não houve tolerância alguma do circuito:

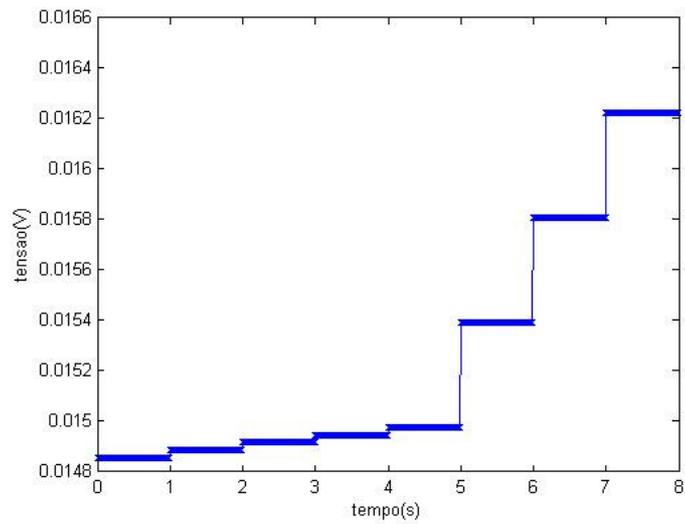


Figura 4.12: circuito 2 simulado com o parâmetro tunnel order (co-tunelamento) do SIMON ajustado em 2.

As características calculadas para esse circuito estão tabeladas abaixo:

Tabela 2: características estáticas do circuito 2.

Número de ilhas	21
Número de capacitores	26 + 1 de carga
Área das ilhas	1055,56nm ²
Área das interconexões	527,79nm ²
Área total	1583,36nm ²
LSB	128mV
FS	112mV
FSR	128mV
DR	18,06dB
SNR	21,67dB
SNR _{max}	49,92dB
ENOB	3,3bits
Potência _{max}	378μW

No caso desse circuito, não é possível fazer uma comparação entre temperaturas, cargas de fundo e co-tunelamento do artigo [2] e as simulações realizadas acima. Como mencionado na parte do circuito 1, simulações quanto à frequência não foram possíveis devido a limitações do SIMON.

4.2.3. Circuito 3

Para esse circuito, não foi possível fazer simulações conclusivas nem para os parâmetros propostos pelo artigo [3] e nem para outros parâmetros, já que o autor do artigo não propôs nenhuma arquitetura de inversor digital a ser utilizado. A melhor simulação que se conseguiu, realizada colocando as palavras digitais uma por vez, é a mostrada na figura 4.13.

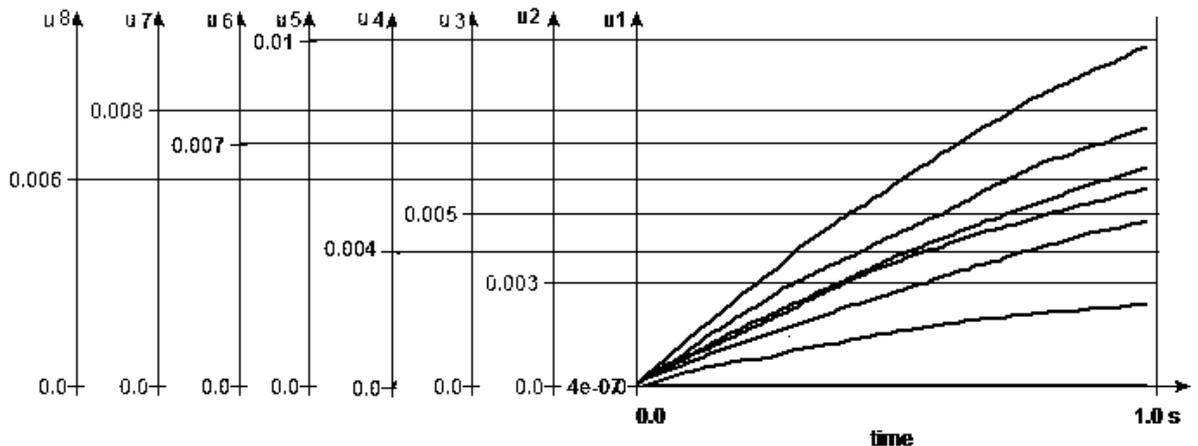


Figura 4.13: simulação da saída para o circuito 3.

Como pode ser observado, este circuito converte cada palavra em uma tensão final, durante o tempo de simulação, não sendo possível simular todas as palavras digitais ao mesmo tempo, como nos outros circuitos. Outra discrepância que se observa é que os níveis de tensão correspondentes a cada palavra digital não estão em ordem, por exemplo, a palavra digital 100 apresenta um nível de tensão maior que o da 111.

Entretanto, quanto às características estáticas, o que é visualizado na tabela 3 foi calculado:

Tabela 3: características estáticas do circuito 3.

Número de ilhas	24
Número de capacitores	6 + 1 de carga
Área das ilhas	1206,37nm ²
Área das interconexões	603,19nm ²
Área total	1809,56nm ²
LSB	1,3mV
FS	9,1mV
FSR	10,4mV
DR	18,06dB
SNR	21,67dB
SNR _{max}	49,92dB
ENOB	3,3bits
Potência _{max}	12μW

Uma observação a ser feita quanto à área do dispositivo e à potência consumida é que, nesse caso, ambas podem aumentar de acordo com o tipo de inversor a ser adotado. Assim, nessa tabela, tanto as áreas quanto a potência foram calculadas levando em consideração a configuração na qual os inversores estão substituídos por fontes de tensão.

4.3. Análise Comparativa

4.3.1. Circuitos 1, 2 e 3

Nessa parte serão feitas algumas comparações entre os circuitos estudados. Para começar, a tabela 4 abaixo apresenta todas as características estáticas calculadas para os circuitos, de forma comparativa:

Tabela 4: tabela comparativa dos circuitos 1, 2 e 3.

	Circuito 1	Circuito 2	Circuito 3
Número de ilhas	7	21	24
Número de capacitores	5 + 1 de carga	26 + 1 de carga	6 + 1 de carga
Área das ilhas	351,86nm ²	1055,56nm ²	1206,37nm ²
Área das interconexões	175,93nm ²	527,79nm ²	603,19nm ²
Área total	527,79nm ²	1583,36nm ²	1809,56nm ²
LSB (= V_{REF})	10,63mV	128mV	1,3mV
FS	74,38mV	112mV	9,1mV
FSR	85mV	128mV	10,4mV
DR	18,06dB	18,06dB	18,06dB
SNR	21,67dB	21,67dB	21,67dB
SNR_{max}	49,92dB	49,92dB	49,92dB
ENOB	3,3bits	3,3bits	3,3bits
Potência_{max}	4,5μW	378μW	12μW
Potência/unidade de área	8,52 nW/nm ²	238,73 nW/nm ²	6,63 nW/nm ²

Começando pela potência, pode ser observado que o consumo do circuito 2 é muito superior ao dos circuitos 1 e 3, que estão na mesma ordem de grandeza. Isso se deve, basicamente, ao elevado número de capacitores e à quantidade maior de fontes polarizadoras ativas, bem como à sua área. Quanto às áreas de consumo, especificamente comparando a do circuito 3 com as dos outros circuitos, percebe-se que, apesar da área do circuito 3 ser da mesma ordem da do circuito 2, o seu consumo, por sua vez, é similar ao do circuito 1. Mais uma vez, isso é decorrente de um número reduzido de capacitores, muito próximo ao número de capacitores do circuito 1. Com o exposto aqui, pode-se concluir que as ilhas, em si, consomem muito pouca potência e que os dispositivos que realmente consomem são os capacitores.

Quanto ao consumo de potência por unidade de área, o que possui menor consumo é o circuito 3. Dessa vez, a causa é a grande área desse circuito, em comparação com os outros dois, bem como a potência reduzida (em comparação com o circuito 2).

Olhando agora para as outras características estáticas, o LSB, o FS e o FSR são as principais diferenças restantes, já que as outras características são iguais para todos os circuitos. Ainda com base nessas três características, o circuito 2 é o que possui os maiores valores, o que contribui para o seu maior consumo de potência.

Para os parâmetros DR, SNR, SNR_{max}, ENOB os valores encontrados foram iguais para os três circuitos. Isso aconteceu em decorrência das equações, mencionadas na revisão bibliográfica, e porque todos os conversores possuem o mesmo número de bits.

Por último, não foi possível fazer uma comparação com DACs de 3bits fabricados na tecnologia MOS por falta de dados disponíveis na literatura.

4.3.2. Conversores nanoeletrônicos x Conversores CMOS

Nessa seção será apresentada uma breve comparação entre os DACs abordados nesse trabalho e alguns da tecnologia CMOS. Para tanto será feita uma extrapolação dos DACs dos circuitos 1, 2 e 3 para que a comparação seja compatível, já que os DACs CMOS que serão usados possuem 8 bits e os neste trabalho abordados possuem 3 bits.

Os DACs CMOS que serão utilizados são os da tabela 2 da referência [20]. Assim, mais uma vez, por questão de simplicidade, os DACs CMOS dessa referência serão aqui designados por CMOS 1, CMOS 2 e CMOS 3.

Na tabela 5 abaixo podemos visualizar as principais diferenças entre os DACs nanoeletrônicos e os da tecnologia CMOS:

Tabela 5: Tabela comparativa entre DACs nanoeletrônicos e DACs CMOS

	Circuito 1	Circuito 2	Circuito 3	CMOS 1	CMOS 2	CMOS 3
Tecnologia	-	-	-	0,35 μ m	0,35 μ m	0,25 μ m
Potência	7,5 μ W	27,99mW	32 μ W	2,5mW	54,3mW	2mW
Fonte de Tensão	10,63mV	128mV	1,3mV	3,3V	3,3V	2V
Área Total	527,79 + 175,93 = 703,72nm ²	1583,36nm ² + 41431,19nm ² = 43014,55nm ²	1809,56 + 3495,95 = 5305,51nm ²	0,04mm ²	0,45mm ²	0,25mm ²

Observando a tabela acima, nota-se que as potências dos circuitos 1 e 3 tiveram um aumento pequeno em comparação com os valores de potência de antes do aumento e com o aumento do circuito 2. O grande aumento de área e potência do circuito 2 se deve à sua topologia, que leva em consideração a implementação de 2ⁿ *turnstiles* modificados para cada *n* bit. Assim, mesmo que a tecnologia nanoeletrônica seja vantajosa em termos de consumo de potência e área ocupada, um estudo cuidadoso da topologia a ser adotada é recomendado, para que haja vantagens em se utilizar tal tecnologia em detrimento da CMOS.

5. CONCLUSÕES

Com esse trabalho, conclui-se que ainda há muito pouca pesquisa no campo dos conversores D/A (e também no dos A/D) nanoeletrônicos. Isso se deve à pouca quantidade de artigos disponíveis sobre esse assunto e à falta de informações precisas destes, já que, usando como exemplo o circuito 3, não foi possível fazer uma validação precisa por causa da falta de informações fornecidas na referência [3], que foram demasiadamente resumidas, e apenas sugestivas em algumas situações.

Quanto ao estudo que foi aqui realizado, pode-se concluir que os dispositivos nanoeletrônicos apresentam um grande potencial para serem o próximo passo no mundo dos dispositivos eletrônicos, em especial os empregados na fabricação de computadores (processadores, memórias, etc), já que a quantidade de transistores por unidade de área aumenta consideravelmente e a potência consumida diminui sensivelmente.

Sobre os circuitos abordados nesse trabalho, notou-se que o que apresentou as melhores características foi o circuito 1, por apresentar a menor área de integração juntamente com uma potência de consumo reduzida, apesar da potência consumida por unidade de área ser maior que a do circuito 3. Observou-se também, quando os circuitos aqui estudados foram comparados com circuitos construídos na tecnologia CMOS, que um estudo cuidadoso da topologia do circuito nanoeletrônico a ser implementado deve ser realizado para que o uso deste seja vantajoso em relação à tecnologia CMOS.

Por fim, propõe-se que o estudo aqui realizado continue no aspecto de se realizar estudos comportamentais – dinâmicos –, uma vez que o software utilizado, o SIMON, não possui essa opção. Com isso, sugere-se que se utilize outro software, como o SPICE, para a realização desses estudos.

Seria também interessante que o estudo continuasse no sentido de mudar os parâmetros dos circuitos aqui abordados para que estes funcionem em temperaturas mais elevadas, por meio da elaboração de uma metodologia de projeto para cada circuito.

6. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] **A Simple Digital-to-Analog Conversion Technique Using Single-Electron Transistor.** S. J Ahn, D. M. Kim. IEICE Trans. Electron, vol. E81-C, n° 4 abril 2008. Pohang University of Science and Technology.
- [2] **Digital to Analog Conversion Performed in Single Electron Technology.** C. L. Sorin, C. S. Vassiliadis. Electrical Engineering Department, Delft University of Technology, Delft, The Netherlands.
- [3] **Digital-to-Analog Converter Using Single-Electron Tunnel Junctions.** M. Shin, J. B. Choi. Japanese Journal of Applied Physics, vol 43 n° 5A, 2004, pp. 2795-2796. School of Engineering, Information and Communications. University. Dept. of Physics, Chungbuk National University.
- [4] **CMOS Analog Circuit Design, 2nd edition.** P. E. Allen, D. R. Holberg. Capítulo 10. Oxford University Press, 2002.
- [5] **Design of a Hamming neural network based on single-electron tunneling devices.** J.G. Guimarães, L. M. Nóbrega, J. C. da Costa. Microelectronics Journal 37 (2006) 510–518. Departamento de Engenharia Elétrica. Universidade de Brasília.
- [6] **Modeling Negative Differential Resistance (NDR) Devices using Radial Basis Function Neural Networks.** M. C. Bandeira, J. G. Guimarães, J. A. Durães, L. M. Silva, A. M. Ceshin, M. J. A. Sales, J. C. Costa. Departamento de Engenharia Elétrica. Universidade de Brasília.
- [7] **Interconnection effects in the performance of basic subcircuits with single-electron tunneling devices.** V. G. A. Carneiro, J. G. Guimarães, J. C. da Costa. Departamento de Engenharia Elétrica. Applied Surface Science, 2008, Elsevier - www.elsevier.com/locate/apsusc. Universidade de Brasília.
- [8] **Quantum-dot Cellular Automata.** G. L. Snider, A. O. Orlov, I. Amlani, X. Zuo, G. H. Bernstein, C. S. Lent, J. L. Merz, W. Porod. Department of Electrical Engineering. University of Notre Dame. Janeiro, 1999.
- [9] **Single Electronics.** Konstantin K. Likharev, Tord Claeson. Scientific American Magazine. Junho 1992.
- [10] **Single-electron transfer in metallic nanostructures.** Michel H. Devoret, Daniel Esteve, Cristian Urbina. Nature Magazine, vol 360. December 1992.
- [11] **Single-electron Transistors: electrostatic analogs of the DC Squid.** K. K. Likharev. IEEE Transactions on Magnetics, vol. mag-23, no. 2, March 1987.
- [12] **Resonant Tunneling Device Logic Circuits.** Christian Pacha, Peter Glösekötter, Karl Goser Werner Prost, Uwe Auer, Franz-J. Tegude Technical Report July 1998 - July 1999.
- [13] **Nanoelectronics and Nanosystems.** Karl Goser.
- [14] **A Brief Overview of Nanoelectronic Devices.** J. C. Ellenbogen – January 1998.
- [15] **Arquiteturas de redes neurais nanoeletrônicas para processadores em escala GIGA ou TERA.** J. G. Guimarães. Tese de Doutorado em Engenharia Elétrica, Publicação PPGENE.TD - 005/05, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 128p.
- [16] <http://www.iue.tuwien.ac.at/phd/wasshuber/node17.html>, em 15/06/2009
- [17] http://en.wikipedia.org/wiki/Single_electron_transistor, em 15/06/2009
- [18] **Desenvolvimento de uma memória associativa estocástica utilizando transistores mono-elétron.** H. Carmo. Dissertação de mestrado em Engenharia Elétrica, Publicação PPGENE.DM-288A/06, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 150p.
- [19] **Room temperature operational single electron transistor fabricated by focused ion beam deposition.** P. Santosh Kumar Karrea, Paul L. Bergstrom, Govind Mallick, Shashi P. Karna – julho 2007.
- [20] **A small area 8 bits 50 MHz CMOS DAC for Bluetooth transmitter.** H. Hernández, W. Van Noije, E. Roa, J. Navarro – 2008.