

**UNIVERSIDADE DE BRASÍLIA
FACULDADE DE TECNOLOGIA
DEPARTAMENTO DE ENGENHARIA
ELÉTRICA**

CONVERSOR ANALÓGICO DIGITAL

$\Sigma\Delta$

PARA UM SISTEMA EM CHIP

DANIEL FÁVERO

98/19941

Disciplina:
ESTÁGIO SUPERVISIONADO II

Orientador:
JOSÉ CAMARGO DA COSTA

RESUMO

O escopo principal desta monografia é o projeto de um conversor analógico digital em chip empregando a tecnologia Sigma-Delta com a utilização de um modulador de segunda ordem. Neste trabalho são abordadas análises e metodologias de projeto dos componentes necessários a implementação do modulador, componente do processamento analógico e uma simples especificação do decimador, componente do processamento digital.

O desenvolvimento deste conversor é parte integrante de um sistema hardware/software para comunicação sem fio, constituindo-se de um microprocessador com arquitetura RISC de 16-bits, Memórias, Interface analógica e digital e seção de RF que serão implementados em um único chip.

A arquitetura sigma delta de 2ª ordem empregada a uma taxa de sobre-amostragem de 42X é capaz de alcançar uma resolução de 10-bits convertendo sinais analógicos a uma taxa de até 20KHz. São desenvolvidos os módulos constituintes do modulador (integrador, quantizador e conversor D/A) e seus respectivos sub-blocos utilizando toda a tecnologia de integração CMOS de 0,35 μ m, operando a uma frequência de amostragem 1,68MS/s e alcançando uma faixa dinâmica de até 62dB com uma fonte de alimentação de 3.3V.

FICHA CATALOGRÁFICA

DANIEL FÁVERO

Conversor Analógico Digital para uma sistema em Chip

[Distrito Federal] 2003

297 mm (ENE / FT / UnB, Graduação, Engenharia Elétrica, 2003).

Monografia em Engenharia Elétrica – Universidade de Brasília

Faculdade de Tecnologia – Departamento de Engenharia Elétrica

1. Conversor A/D
Sigma Delta

2. Projeto VLSI

ÍNDICE

1.	Introdução.....	10
1.1.	Motivação.....	10
1.1.1.	Aspectos de projeto.....	10
1.1.2.	Módulo Coletor de dados.....	12
1.1.3.	Conversor A/D.....	13
1.2.	Escolha do conversor A/D.....	14
2.	Princípios básicos de um conversor A/D.....	16
2.1.	Análise do Conversor A/D $\Sigma\Delta$	16
2.2.	Fundamentos de aquisição de dados.....	17
2.2.1.	Amostragem.....	17
2.2.2.	Ruído de Quantização.....	17
2.2.3.	Quantização de ruído no modulador Sigma-Delta.....	19
2.3.	Operação quantizada e contínua.....	20
2.4.	Modulador Sigma Delta.....	21
2.4.1.	Desempenho do modulador.....	21
2.4.2.	Peak SNR, peak SNRD e Faixa Dinâmica.....	22
2.4.3.	Taxa de Nyquist.....	23
2.4.4.	Dissipação de Potência.....	23
2.5.	Conceitos Básicos.....	24
2.6.	Estabilidade dos moduladores.....	27
3.	Projeto do Sistema.....	31
3.1.	Projeto do Modulador.....	31
3.1.1.	Faixa do sinal.....	33
3.1.2.	Ruído Eletrônico.....	35
3.1.3.	Sampling Jitter.....	36
3.2.	Especificação do integrador.....	37
3.2.1.	Ganho DC.....	38
3.2.2.	Estabilização Linear e Slew Rate.....	40
3.2.3.	Excursão de saída.....	41
3.2.4.	Ruído Térmico.....	42
3.3.	Comparador.....	43
3.4.	Especificação do conversor.....	44
4.	Metodologia de Projeto.....	46
4.1.	Metodologia utilizada no Conversor.....	46
4.2.	Metodologia para o projeto do Integrador.....	48
4.3.	Chave de Transmissão CMOS.....	48
4.4.	Metodologia para o projeto do amplificador.....	49
4.5.	Circuito de Polarização.....	54
4.6.	Projeto de Comparador.....	55
4.7.	Gerador do <i>Clock</i>	56
4.8.	Conversor D/A.....	57
4.9.	Decimador.....	59
5.	Implementação e resultados.....	62
5.1.	Comparador.....	62
5.2.	Gerador de Clock.....	63

5.3.	Amplificador Operacional.....	66
5.4.	Conversor D/A	70
5.5.	Chave de Transmissão CMOS	71
6.	Conclusões	73
6.1.	Observações sobre os resultados obtidos	73
6.2.	Trabalhos Futuros.....	73
7.	Bibliografia.....	74
8.	Apêndice A – MODELO DOS TRANSISTORES	75

LISTA DE FIGURAS

Figura 1-1 – Visão esquemática do sistema de controle, destacando a comunicação sem fio entre cada coletor de dados e a unidade central.	12
Figura 1-2 – Visão esquemática do sistema de controle, destacando a comunicação da central com os nós.	12
Figura 1-3 – Diagrama de blocos do coletor de dados, indicando a possibilidade de interação com diferentes tipos de sensores.	13
Figura 2-1 – Esquema de um conversor A/D $\Sigma\Delta$ de 1ª ordem.	16
Figura 2-2 – Espectro de um sinal sobre-amostrado.	17
Figura 2-3 – Espectro da quantização de ruído.	19
Figura 2-4 – <i>Noise Shaping</i> de um modulador Sigma Delta.	19
Figura 2-5 – (a) Integrador a Capacitor Chaveado (b) Integrador de Tempo Contínuo	21
Figura 2-6 – Curvas de relação sinal ruído e sinal ruído mais distorção.	23
Figura 2-7 - Diagrama de Blocos de Modulador Sigma-Delta	24
Figura 2-8 - Diagrama de Blocos do integrador.	24
Figura 2-9 – Lugar geométrico de um sistema de primeira ordem.	28
Figura 2-10 – Lugar geométrico de um sistema de segunda ordem.	29
Figura 2-11 – Lugar geométrico de um sistema de terceira ordem.	30
Figura 3-1 – Diagrama de Blocos do modulador de segunda ordem tradicional.	32
Figura 3-2 – Diagrama de Blocos do modulador de segunda ordem modificada.	34
Figura 3-3 – Densidade de probabilidade na saída dos integradores para as arquiteturas tradicional e modificada.	35
Figura 3-4 – Influencia da faixa de saída do integrador sobre a quantização de ruído de banda base.	35
Figura 3-5 – Integrador de Capacitor Chaveado com Ganho DC.	39
Figura 3.6 – Curva de <i>peak SNDR</i> em função do <i>slew rate</i> e tempo de estabilização.	41
Figura 3.7 – Configurações de Saída de Amplificadores Operacionais (a) <i>Cascode</i> e (b) <i>Fonte Comum</i>	42
Figura 3-8 – Influência da hysteresse do comparador no ruído de quantização em banda base	44
Figura 4-1 – Implementação do modulador Sigma Delta	46
Figura 4-2 – Chave de transmissão CMOS.	49
Figura 4-3 – Amplificador Operacional com Saída Cascode.	50
Figura 4-4 – Circuito de Polarização.	54
Figura 4-5 – Comparador Dinâmico	55
Figura 4-6 – Gerador de clock.	56
Figura 4-7 – Forma de onda do Clock.	57
Figura 4-8 – Conversor D/A.	58
Figura 4-9 – Resposta do filtro FIR.	59
Figura 5-1 – Resultado da implementação do comparador.	63
Figura 5-2 – Curva característica do Inversor MOS.	64
Figura 5-3 – Ciclo de Clock para S1 e S1d.	65
Figura 5-4 Ciclo de Clock para S2 e S2d.	65
Figura 5-5 – Ganho de tensão na saída do Amp Op.	68
Figura 5-6 – Distorção de saída do Amplificador a uma entrada senoidal de 1KHz.	68
Figura 5-7 – Resposta em frequência.	69

Figura 5-8 – Resposta DC do amplificador.....	69
Figura 5-9 – Slew rate	70
Figura 5-10 – Simulação do funcionamento do conversor D/A.....	71
Figura 5-11 – Resistência ON da chave CMOS.....	72
Figura A-1 – Seção cruzada do Wafer	75

LISTA DE TABELAS

Tabela 1-1 Comparação entre vários conversores A/D [17].	15
Tabela 3-1 – Especificação da interface A/D.	45
Tabela 4-1 – Especificação do Amp Op.	49
Tabela 4-2 – Parâmetros de Simulação utilizados	50
Tabela 5-1 – Razão de Aspecto dos Transistores do Comparador.	62
Tabela 5-2 – Razão de aspecto do inversor MOS	63
Tabela 5-3 – Razão de aspecto do Amplificador	67
Tabela 5-4 – Tensão de polarização	67
Tabela 5-3 – Razão de aspecto do circuito polarizador	67
Tabela 5-4 – Resultados obtidos para o Amp Op.	70
Tabela A-1 - Parâmetros estruturais e geométricos	76
Tabela A-2 - MOS 3.3V N-Chanel Parametros Elétricos	77
Tabela A-3 - MOS 3.3V P-Chanel Parâmetros Elétricos.	78

LISTA DE EQUAÇÕES

Eq. 2-1 – Potência de quantização de ruído.....	18
Eq. 2-2 – relação sinal quantização de ruído.....	18
Eq. 2-3 – Potência de quantização de ruído para sobreamostragem.....	18
Eq. 2-4 – Resolução do modulador pela faixa dinâmica.....	22
Eq. 2-5 – Função de transferência do integrador.....	25
Eq. 2-6 – Função de Transferência Linearizada para modulador de L^{th} ordem [6].....	25
Eq.2-7 – Quantização de Potência de Ruído.....	25
Eq.2-8 – Variância do erro de quantização.....	26
Eq.2-9 – Potência de Ruído de Quantização.....	26
Eq.2-10 – Faixa Dinâmica do modulador.....	26
Eq. 2-11 – Função de transferência de primeira ordem.....	27
Eq. 2-13 – Função de transferência de terceira ordem.....	29
Eq 3-1 – Ruído de quantização para o modulador de segunda ordem.....	32
Eq. 3-2 – incerteza da amostragem.....	36
Eq. 3-3 – potência de erro do sinal.....	37
Eq. 3-4 - potência de erro <i>in-band</i>	37
Eq. 3-5 – Função de Transferência do Integrador $H(z)$	39
Eq. 3-6 – Cálculo do Slew Rate.....	40
Eq. 3-8 – Excursão de saída no cascode.....	41
Eq. 3-9 – Excursão de saída no cascode.....	42
Eq. 3-10 – Especificação de Faixa Dinâmica.....	43
Eq. 4-1 – Limite superior para tolerância do <i>clock jitter</i>	47
Eq. 4-2 – Relação SNDR para obtenção de C_S em função do ruído térmico.....	48
Eq. 4-3 – Resistência da chave CMOS.....	49
Eq. 4-4 – Corrente máxima exigida pelo SR.....	51
Eq.4-5 – Razão de aspecto entre os transistores 6 e 4.....	51
Eq. 4-6 – Razão de aspecto dos transistores 9 e 6.....	51
Eq. 4-7 – Tensão de saturação pela excursão.....	52
Eq. 4-8 – Tensão mínima para saturação dos transistores NMOS.....	52
Eq. 4-9 – Tensão mínima para saturação dos transistores PMOS.....	52
Eq. 4-10 – Tensão de polarização para os cascodes NMOS.....	52
Eq. 4-11 – Tensão de polarização para os cascodes PMOS.....	52
Eq. 4-12 – Entrada máxima de CMR.....	53
Eq. 4-13 – Ganho do amplificador.....	53
Eq. 4-14 – Largura de banda do amplificador.....	53
Eq. 4-15 – Tensão mínima de entrada.....	54
Eq. 4-16 – Tensão V_{DS} no transistor CMOS como carga ativa.....	55
Eq. 4-17 – Ordem do Filtro Digital.....	60
Eq. 4-18 – Multiplicações por segundo.....	60
Eq. 4-19 – Adições por segundo.....	60
Eq. 4-20 – Adições por segundo.....	60

1. INTRODUÇÃO

1.1.MOTIVAÇÃO

A necessidade de aquisição de dados analógicos, a comunicação a distância e uma longa autonomia de funcionamento, idealizaram a implementação de um sistema de comunicação sem fio, em um único chip. Este sistema tem ampla funcionalidade, podendo ser empregado em diversas aplicações, sendo uma delas a agricultura, que engloba este sistema como parte integrante do projeto Milênio.

Os aspectos gerais que fazem parte deste projeto são a capacidade de se fazer agricultura de precisão, o controle de irrigação, a obtenção de parâmetros do solo e a gestão do uso da água (Informações georeferenciadas e dados climatológicos/hidrológicos).

1.1.1. ASPECTOS DE PROJETO

Para efetuar a aplicação deste sistema de comunicação, será executada a instrumentação eletrônica associada a tensiômetros (sensores de pressão), possuirá a comunicação remota wireless via RF, com um raio de ação de cerca de 500m (~100hectares) e de modo a torna-lo viável, a autonomia energética deve ser de aproximadamente 1 ano com a utilização de pilhas alcalinas considerando ainda a possibilidade de operação com alimentação por painéis solares dedicados.

Para a implementação do sistema, há a necessidade de maior detalhamento das especificações, assim apresenta-se agora aspectos particulares deste sistema de controle de irrigação.

Aspectos Particulares:

- Faixas de operação: temperaturas externas: do ar: -10 a +70 Celsius e do solo: 0 a +50 Celsius;
- Faixa de pressões a efetua medições: 0 a 80 centibar;
- Incluir a profundidade em que a pressão é medida como parâmetro;
- Tensão de alimentação: 3,3 V;
- Conversão A/D: 10 bits;
- Considerar a possibilidade de trabalhar com o equipamento totalmente enterrado (inclusive a antena);
- Sensor de pressão: transdutor integrado (membrana de silício com piezoresistor ou piezojunção);
- Relógio de tempo real;
- Potência de saída do transceptor de RF do coletor de dados compatível com a autonomia desejada (indicação : <10 mW);
- Operação intermitente (repouso / desligado, exceto nos períodos de aquisição e transmissão de dados);
- Portas de entrada e saída digitais no sistema associado ao coletor;
- Especificação do transceptor da unidade central (área típica de 100 ha), considerando a possibilidade de operação simultânea de diversas unidades centrais na cobertura de áreas maiores;
- Frequência de relógio do microprocessador: compatível com os requisitos de autonomia energética e de complexidade.

Dados os aspectos do sistema, este possuirá dois pontos principais. Um é o módulo coletor de dados em que consiste a captação dos sinais externos por meio do sensor, conversão A/D, processamento e envio por meio de RF; o segundo módulo é chamado de central, que por sua vez controla todo o sistema de válvulas. O sistema de comunicação pode ser simplificaradamente observado pela figura 1-1.

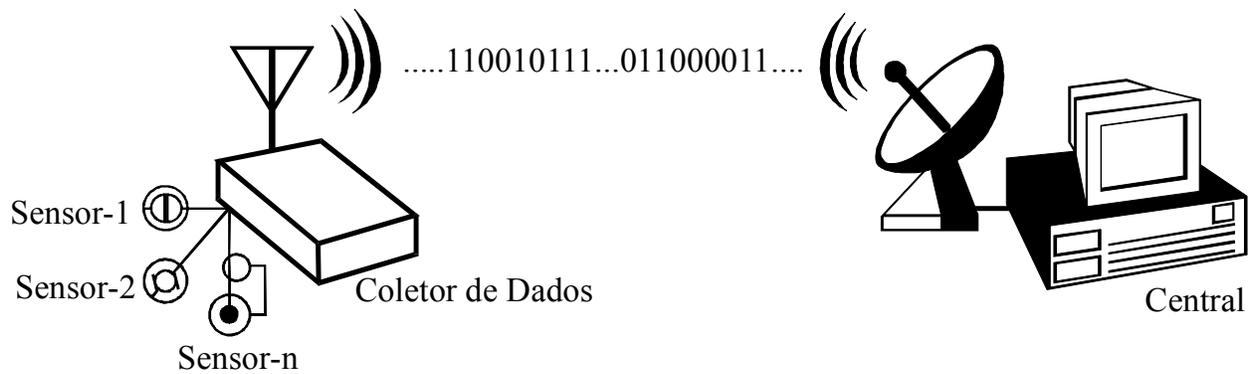


Figura 1-1 – Visão esquemática do sistema de controle, destacando a comunicação sem fio entre cada coletor de dados e a unidade central.

Na figura 1-2 é mostrada apenas a interação da central com apenas um único módulo, mas na verdade os módulos coletores de dados estão todos distribuídos pelo ambiente de estudo podendo ainda ter a possibilidade de comunicação entre si, conforme figura 1-2.

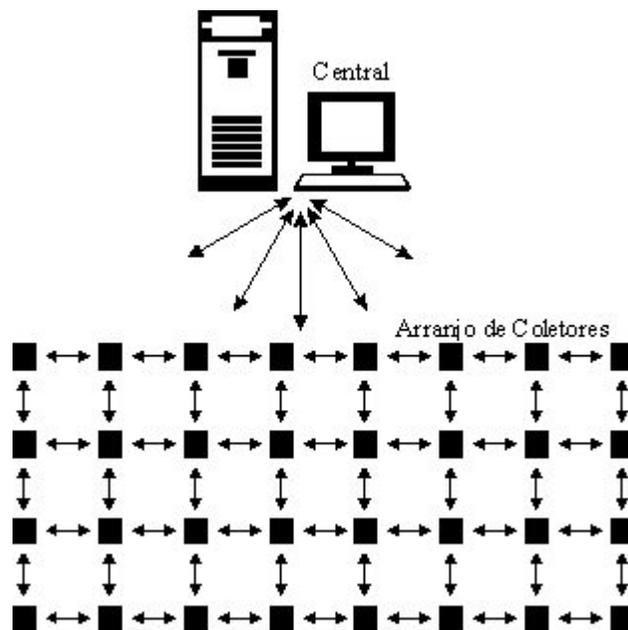


Figura 1-2 – Visão esquemática do sistema de controle, destacando a comunicação da central com os nós.

1.1.2. MÓDULO COLETOR DE DADOS

O módulo coletor de dados é a interface do sistema com o mundo externo. Deverá ser considerado neste projeto que este módulo permaneça enterrado. Como apresentado anteriormente, ele tem a possibilidade de interação com diversos tipos de sensores que podem traduzir a temperatura ambiente e a umidade do ar, por exemplo.

O sinal elétrico destes sensores é aplicado a um conformador de sinal que o aplica a um multiplexador e em seguida ao conversor A/D que será tratado em detalhe mais adiante. O sinal digitalizado é então microprocessado e entregue ao sistema de RF onde é enviado à central, que comanda todo o sistema. Ainda existe a possibilidade de a central se comunicar com o módulo para programação do sistema, que guarda suas informações em memória. Todo o sistema acima descrito é implementado em um único chip em tecnologia CMOS 0.35 micron quatro-metais, onde se tem a possibilidade de trabalhar em economia de energia que é um fator essencial para a viabilidade do sistema. Pela figura 1-3 pode-se observar os principais blocos que compõem este sistema.

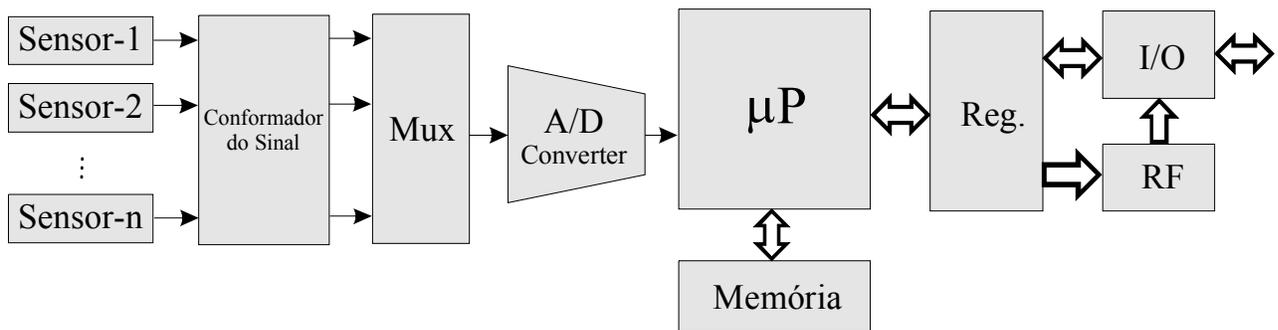


Figura 1-3 – Diagrama de blocos do coletor de dados, indicando a possibilidade de interação com diferentes tipos de sensores.

1.1.3. CONVERSOR A/D

Apresentado todo o sistema de forma simplificada, aqui se dá o início a uma breve explanação do que é realmente o escopo deste trabalho, o conversor A/D.

No mundo real os sinais estão todos de forma analógica, e o conversor A/D é o módulo que faz a ligação entre este mundo analógico e o mundo digital. Uma motivação desta conversão é a eficiência de transmissão e o armazenamento dos sinais digitais. Processamentos complexos dos sinais às vezes podem necessitar de conversão A/D, desde que alguns processamentos só podem ser efetuados por computadores digitais ou em propostas especiais de processamento como os DSPs (*Digital Signal Processors*).

A utilização de sinais digitais é muito útil em qualquer área, mas principalmente naquelas em que se requer o fornecimento de um serviço de alta precisão, e uma das técnicas utilizadas para alcançar esta precisão é a utilização de um modulador sigma-delta. A vantagem da utilização deste modulador é a conversão utilizando quantizadores de apenas 1-bit e, além disso, o processo para os circuitos dos sinais analógicos exige menos precisão do que todos os outros conversores.

Embora a conversão sigma-delta já exista desde a metade do século passado, esta só se tornou mais atrativa há duas décadas, devido ao avanço da tecnologia VLSI para a fabricação de circuitos altamente rápidos e densos no chip, o que fez a tecnologia dos circuitos digitais correrem. A tecnologia sigma-delta só pode ser usada para alta resolução quando se trata de sinais de baixa a média largura de banda.

1.2. ESCOLHA DO CONVERSOR A/D

Definida a necessidade de utilização de um conversor A/D, um primeiro passo é definir que tipo de conversor será utilizado. Um estudo simplificado sobre as características de alguns conversores é observado na tabela 1.1. Além da tabela a seguir existem outros fatores que influenciaram o procedimento de seleção: a não necessidade de circuito amostrador e segurador, baixa tensão, filtro *anti-alias* de fácil construção e redução dos blocos analógicos exigidos.

TABELA 1-1 COMPARAÇÃO ENTRE VÁRIOS CONVERSORES A/D [17].

Atributo	Aplicação		
	Dual Slope	Sigma-Delta	Aproximação Sucessiva
Resolução	++	+++	++
Linearidade	+++	+++	+
Ajuste Zero	+++	+++	+++
Corrente de polarização	+++	++	+
Resposta de Entrada para Onda Quadrada	++	+	+++
Rejeição de Ruído para Fonte de Alimentação	++	+++	+
Fonte de Corrente	+++	++	-
Alimentação em 3V	+++	+++	+
Facilidade de Interface de Processador	++	+++	++
Custo	+++	++	-

(Grau de excelência +)

Baseando-se em aspetos como resolução, facilidade de interface com processador, linearidade e rejeição de ruído para fonte de alimentação, o conversor sigma-delta é o escolhido entre as opções disponíveis.

2. PRINCÍPIOS BÁSICOS DE UM CONVERSOR A/D

2.1. ANÁLISE DO CONVERSOR A/D $\Sigma\Delta$

Escolhido o conversor a ser utilizado neste projeto, será mostrada uma breve análise do seu diagrama de blocos. O diagrama da figura 2-1 mostra um conversor A/D $\Sigma\Delta$ de 1ª ordem. Pela figura pode-se observar que a conversão do sinal pode ser separada em dois pontos, uma em que se faz o processamento analógico e outra onde se faz o processamento digital.

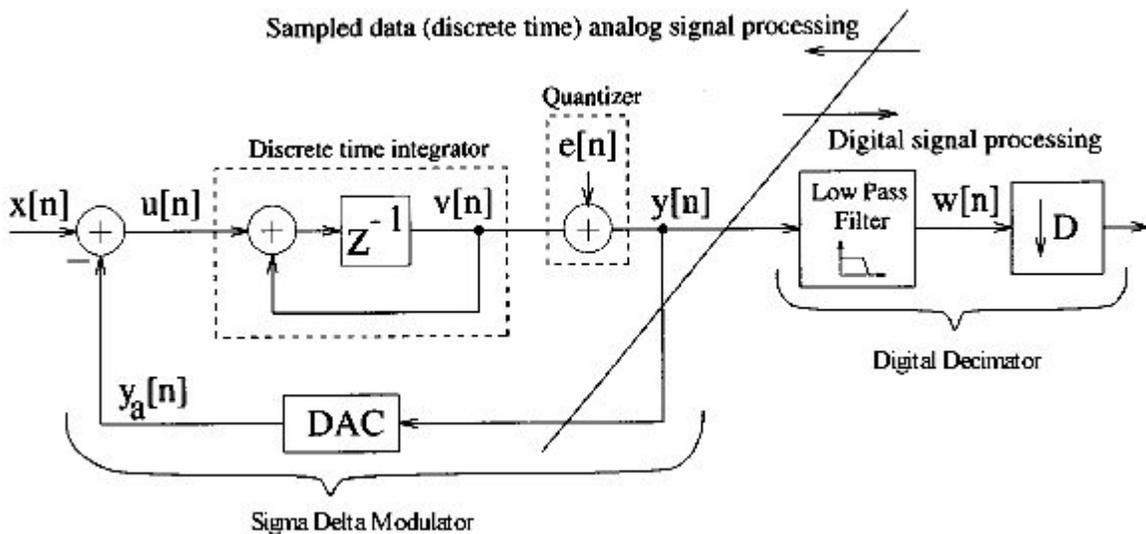


Figura 2-1 – Esquema de um conversor A/D $\Sigma\Delta$ de 1ª ordem.

Processamento analógico – É onde consta o modulador que caracteriza o conversor como $\Sigma\Delta$. O Sinal x de entrada vai ao modulador entrando direto no integrador que alimenta o comparador agindo como um quantizador de 1 bit. A saída do comparador volta a entrada via um conversor digital-analógico. Esta realimentação força a média do sinal y_a para ser igual a entrada x . Nesta etapa do processamento, o sinal mesmo sendo discreto no tempo é tratado como analógico devido a utilização de capacitores chaveados para implementação dos integradores.

É no processamento analógico que é feita a principal função do conversor $\Sigma\Delta$. Estes conversores usam a técnica de *noise shaping* que trabalham com a função de expulsar o ruído de quantização de baixas frequências em direção as altas frequências. Esta técnica em um conjunto

com a sobre-amostragem é usada para aumentar a resolução do conversor em comparação com os métodos clássicos.

Processamento digital – Após a saída do comparador, este alimenta o decimador digital que é composto de um filtro digital passa baixa, seguido de um *downsampler* para retornar o sinal à taxa de amostragem de Nyquist sem perda da informação.

2.2. FUNDAMENTOS DE AQUISIÇÃO DE DADOS

2.2.1. AMOSTRAGEM

Quando se trata de digitalizar um sinal a amostragem deste é fator essencial. O teorema da amostragem de Nyquist definiu que para poder recuperar completamente um sinal evitando o *aliasing* a frequência de amostragem deve ser no mínimo duas vezes a banda do sinal.

Assim quando o sinal é amostrado seu espectro é copiado e espelhado em múltiplos da frequência de amostragem. Desse fato conclui-se que para tal amostragem a obtenção do sinal em banda base deve ser feita por um filtro praticamente ideal o que não é realizável. Surge aí a necessidade de se trabalhar com a sobre-amostragem do sinal, esta técnica afasta as cópias do sinal umas das outras evitando assim o *aliasing*.

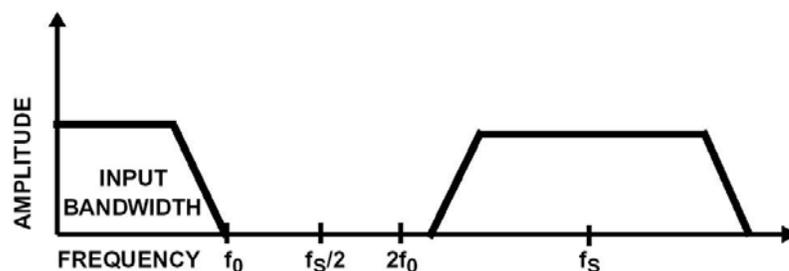


Figura 2-2 – Espectro de um sinal sobre-amostrado.

2.2.2. RUÍDO DE QUANTIZAÇÃO

Quando um sinal é amostrado existe a possibilidade de que o valor quantizado esteja errado gerando um código digital equivocado, isso indica um erro da quantização. Se assumirmos

que o processo de quantização é aleatório, o que normalmente é verdade, o processo do erro de quantização ou ruído pode ser tratado como ruído branco[4].

Pode-se então obter a potência de quantização de ruído como [5]:

$$\sigma_e^2 = \frac{\Delta^2}{12} = \left(\frac{2V^2}{2^N - 1} \right)^2 / 12 \cong \left(\frac{2V^2}{2^N} \right)^2 / 12$$

Eq. 2-1 – Potência de quantização de ruído.

Onde V é a tensão de fundo escala e N é a quantidade de bits. Se então o sinal de entrada é tratado como um processo aleatório e sua potência é σ_x^2 , então a relação sinal quantização de ruído é dada por [5]:

$$SNR = 10 \log \left(\frac{\sigma_x^2}{\sigma_e^2} \right) = 10 \log \left(\frac{\sigma_x^2}{V^2} \right) + 4.77 + 6.02N \text{ (dB)}$$

Eq. 2-2 – relação sinal quantização de ruído.

Considerando-se um sistema sobre-amostrado, é obvio observar que a quantidade total de potência de ruído injetada no sistema será a mesma, mas a sua distribuição no espectro de frequência é diferente devido a sua maior taxa de amostragem.

Determina-se a potência de quantização de ruído para o caso de sobre-amostragem dado por:

$$\sigma_{ey}^2 = \sigma_{ey}^2 \left(\frac{2f_B}{f_S} \right)$$

Eq. 2-3 – Potência de quantização de ruído para sobreamostragem.

É assim determinado então que a sobre-amostragem espalha a quantização de ruído diminuindo-a na banda de interesse conforme figura 2-3.

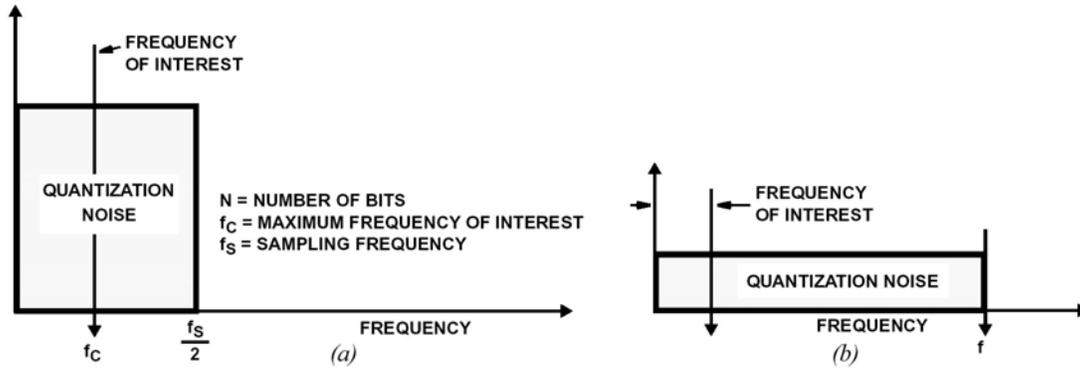


Figura 2-3 – Espectro da quantização de ruído.

2.2.3. QUANTIZAÇÃO DE RUÍDO NO MODULADOR SIGMA-DELTA

Um modulador Sigma Delta consiste de um filtro analógico e um quantizador fechado em uma malha de realimentação. Junto com o filtro esta realimentação trabalha para atenuar o ruído de quantização em baixas frequências acentuando-o em altas frequências. Desde que o sinal seja amostrado a uma taxa muito maior que a taxa de Nyquist, o ruído de quantização de altas frequências pode ser eliminado sem afetar a banda do sinal. Isso é feito pela utilização de um filtro digital na saída do modulador conforme a figura 2-3, visto anteriormente.

O processo de atenuação de ruído em baixas frequências e acentuação em altas é chamado de “*noise shaping*” e é um enorme benefício para a eliminação do ruído de quantização na banda de interesse como pode ser observado na figura 2-4.

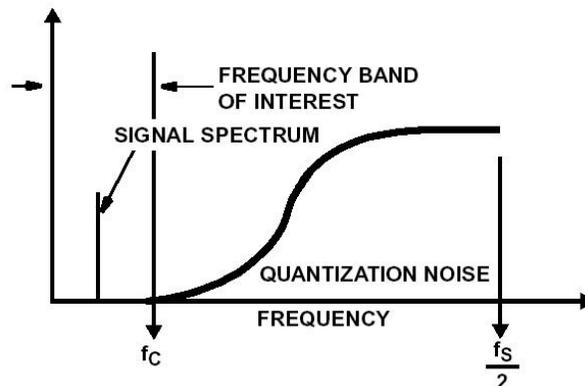


Figura 2-4 – *Noise Shaping* de um modulador Sigma Delta

2.3. OPERAÇÃO QUANTIZADA E CONTÍNUA

Para se implementar moduladores sigma-delta, existem dois métodos a selecionar: em sistema de operação quantizada ou no domínio de tempo contínuo. Obviamente, há uma variedade de vantagens e desvantagens associada a cada opção, conforme será descrito abaixo. A maior diferença entre sistemas de operação quantizada e sistemas de tempo contínuo é que a primeira usa os integradores a capacitores chaveados e a segunda usa integradores de RC ativo nos moduladores. Além disso, resistores em chip, com alta linearidade, são difíceis de se construir em processos padronizados CMOS. Assim, integradores a capacitores chaveados eliminam a necessidade de resistores físicos, tirando vantagem das capacidades de VLSI. Para minimizar o ruído térmico, os resistores que são usados nos integradores de tempo contínuo devem ser pequenos, porém para manter a constante de tempo é preciso diminuir o tamanho dos resistores e, ao mesmo tempo, aumentar o tamanho dos capacitores. A desvantagem disto é que os capacitores podem ficar inviáveis para SOC. Por outro lado, se implementados, ocupariam uma grande área.

A resposta em frequência pode ser precisamente calculada. A constante de tempo dos integradores de capacitores chaveados é simplesmente uma função da razão de capacitores (C_S/C_I) e da frequência de amostragem. Em comparação com os sistemas de operação quantizados, os sistemas de integradores no tempo contínuo sofrem severas variações de processo porque são compostos de um resistor e um capacitor. Resistores de *poly* geralmente variam 30% do valor desejado, considerando que as razões de capacitores são comumente melhor controladas, (característica de variação é de 1%), quando colocados em chip. Oscilações de *clock* é a maneira segundo a qual o op-amp estabiliza, não afetam o desempenho de sistemas sigma-delta de capacitor chaveado. Não importa se o op-amp segue o sinal de entrada ou se estabiliza linearmente, contanto que o op-amp estabilize com a precisão desejada. Para integradores de tempo contínuo a linearidade deve ser sempre mantida.

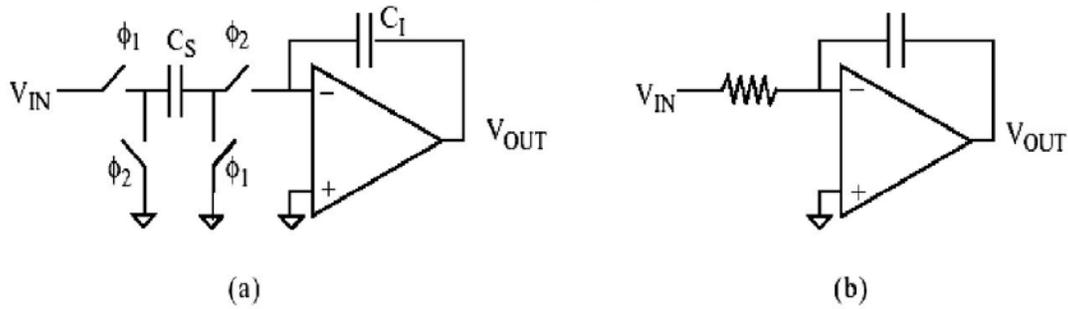


Figura 2-5 – (a) Integrador a Capacitor Chaveado (b) Integrador de Tempo Contínuo

O sistema em tempo contínuo tem também vantagens sobre os de operação quantizada. Taxas altas de sobre-amostragem são realizáveis porque um integrador RC ativo não precisa estabilizar precisamente a cada meio ciclo de *clock*. Então, em integradores de capacitores chaveados, a taxa de sobre-amostragem é limitada pela banda. Isto faz com que os moduladores sigma-delta de tempo contínuo sejam atraentes para aplicações de alta velocidade. Em suma, sistemas de tempo contínuo não precisam de filtro de *anti-alias* antes do conversor sigma delta. O filtro de *anti-alias* é um pré-requisito para sistemas de operação quantizada. A função dele é atenuar energias de frequências múltiplas da de amostragem para as quais pode variar a banda base. É também obtido um valor significativo de economia de consumo na eliminação deste filtro.

Aqui serão considerados integradores a capacitor chaveado porque resistores em chip com linearidade alta são difíceis de se construir em processos padronizados de CMOS.

2.4. MODULADOR SIGMA DELTA

2.4.1. DESEMPENHO DO MODULADOR

Para efetuar-se um projeto de um conversor $\Sigma\Delta$ deve-se definir como se efetuar a avaliação de desempenho de um modulador sigma-delta. Para a aplicação de baixa frequência, as exigências para um modulador sigma-delta são: faixa dinâmica, taxa de sobre-amostragem, resolução e dissipação de potência. Além disto, projetistas sigma-delta normalmente especificam

pico da SNR e pico da SNRD, que medem a degradação do sinal causado, apenas pelo ruído, e devido a uma combinação de ruído e distorção.

2.4.2. PEAK SNR, PEAK SNRD E FAIXA DINÂMICA

Pico da *SNR*, pico da *SNRD* e faixa dinâmica são especificações relacionadas e serão definidas em conjunto. Faixa dinâmica é a relação em potência entre o nível máximo de sinal de entrada que o modulador pode controlar e o sinal mínimo de entrada perceptível. *SNR* é a relação da potência de sinal de saída do modulador com a potência de ruído que inclui todas as fontes de ruído no modulador: térmica e quantização. *SNRD* é a relação da potência de sinal à saída do modulador com a soma do ruído mais a distorção dos harmônicos. O pico da *SNRD* é uma medição útil por avaliar a capacidade de um modulador sigma-delta para controlar uma grande faixa de sinais com linearidade aceitável e é especialmente importante para aplicações como áudio digital [6]. Nota-se que o pico da *SNRD* é dependente da frequência e pode ser usado para medir a degradação de desempenho de modulador quando aumenta a frequência do sinal de entrada. *Peak SNR*, *SNRD* e faixa dinâmica são mostrados na figura 2-6. O gráfico mostra *SNR* e *SNRD* como uma função de potência de sinal de entrada em dB em relação à escala máxima do modulador. Para pequenos níveis de sinal, a distorção não é importante considerando que o *SNR* e *SNRD* são aproximadamente iguais. Para grandes níveis de sinal, a distorção degrada o desempenho do modulador, e o *SNR* será menor que o *SNRD*. A faixa dinâmica do modulador pode ser obtida do gráfico como a faixa em o sinal de entrada causa uma diferença entre *SNR/SNRD* de 3dB até o ponto em que a *SNR* e *SNRD* seja igual a 0dB.

Uma especificação fortemente relacionada com a faixa dinâmica é a resolução do modulador expressa em bits. A resolução em bit (*N*) é definida na Eq. 2-4 onde a *DR* é a faixa dinâmica do modulador expressa em dB. A correspondência é tal que para cada bit extra de resolução é equivalente a um aumento de 6dB de faixa dinâmica.

$$N = \frac{DR - 2}{6}$$

Eq. 2-4 – Resolução do modulador pela faixa dinâmica

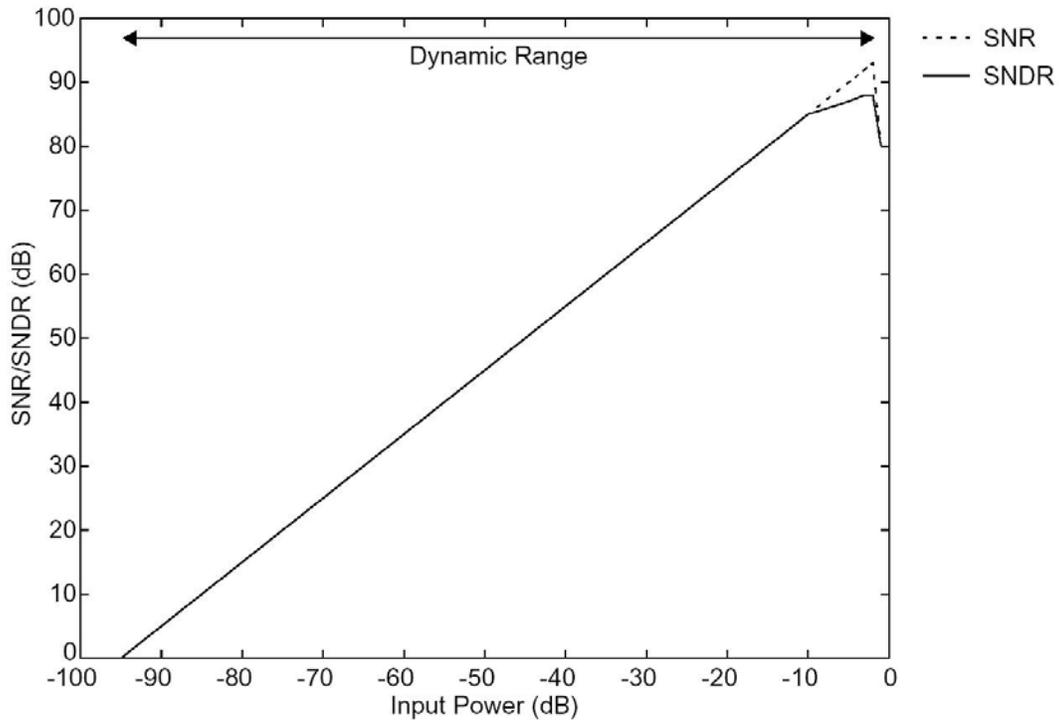


Figura 2-6 – Curvas de relação sinal ruído e sinal ruído mais distorção.

2.4.3. TAXA DE NYQUIST

A taxa de Nyquist é a medida da velocidade de um modulador de sigma-delta. Segundo o teorema de Nyquist, para evitar *aliasing*, um sinal de faixa-baixa deve ser amostrado a uma taxa duas vezes superior à sua largura de banda. Como resultado, definir a taxa de Nyquist é equivalente a especificar a largura de banda de entrada de modulador[6].

2.4.4. DISSIPACÃO DE POTÊNCIA

Dissipação de potência é o limite fundamental de projeto para maioria das aplicações. Qualquer projetista tem que controlar os parâmetros de desempenho como faixa dinâmica, taxa de Nyquist e linearidade, para que seja minimizada a dissipação de potência.

2.5. CONCEITOS BÁSICOS

O esquema de um modulador sigma-delta consiste de uma série de integradores (podendo ou não estarem no caminho direto da malha) e um quantizador em uma malha de re-alimentação como mostrada na figura 2-7.

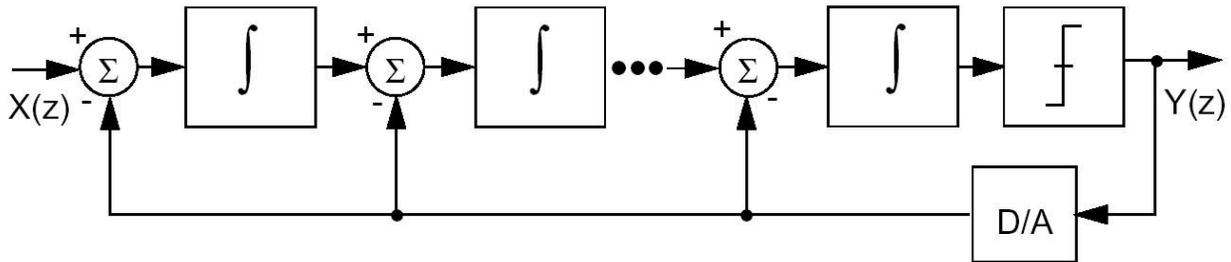


Figura 2-7 - Diagrama de Blocos de Modulador Sigma-Delta

A entrada de cada integrador é a diferença entre a saída de integrador anterior e a saída do conversor D/A. O efeito da malha de re-alimentação é trazer o valor médio na entrada do primeiro integrador para zero. Isto indica que a saída do conversor D/A está em média igual ao sinal de entrada $X(z)$. Como a saída do conversor D/A é somente uma representação analógica da saída digital $Y(z)$ do quantizador, então $Y(z)$ está em média igual $X(z)$. Se o modulador amostra o sinal de entrada a uma taxa mais alta que o requerido pelo critério de Nyquist e as múltiplas amostras são uma média para produzir uma saída digital $Y(z)$, então o modulador sigma-delta pode ser usado então como um conversor sobre-amostrado de A/D.

A ordem (L) de um modulador sigma-delta é o número de integradores no caminho direto. A relação de sobre-amostragem (M) é definida como a relação da taxa de amostra do modulador sobre a taxa de Nyquist [6]. O quantizador e conversor D/A provêm B bits de resolução.

Define-se que cada integrador tem o diagrama de blocos identificado na figura 2-8.

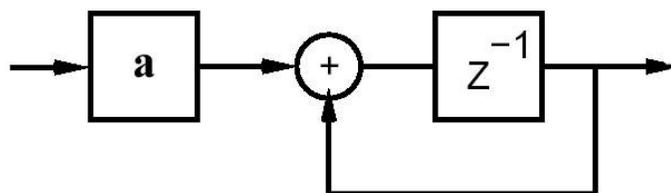


Figura 2-8 - Diagrama de Blocos do integrador.

A função de transferência que descreve este diagrama é mostrada na Equação 2-5.

$$I(z) = a \frac{z^{-1}}{1 - z^{-1}}$$

Eq. 2-5 – Função de transferência do integrador

O quantizador pode ser modelado como uma fonte de erro aditiva $E(z)$ e podem também ser modelados erros no conversor D/A como uma fonte de erro aditiva $E_{DAC}(z)$. Então, a função de transferência linearizada de um modulador sigma-delta com ordem L pode ser expressa na forma da Eq. 2-6.

$$Y(z) = X(z) + \frac{(1 - z^{-1})^L}{G} E(z) - E_{DAC}(z)$$

Eq. 2-6 – Função de Transferência Linearizada para modulador de L^{th} ordem [6].

Onde G é o ganho no *caminho direto* da entrada para o quantizador [6]. A Equação 2-6 indica que erros no conversor D/A somam-se diretamente à entrada da malha sigma-delta indicando que o conversor D/A deve ser fortemente linear à resolução máxima do modulador sigma-delta, para que seja evitando a degradação do modulador. Um modo para assegurar que este requisito de linearidade seja satisfeito é usar quantizador de um 1-bit e conversor D/A com dois níveis. Um conversor D/A com dois níveis é linear e só pode resultar em um deslocamento DC à entrada do modulador [7]. Conversores D/A de vários bits requerem algum tipo de calibração para satisfazer este requisito de linearidade [8].

Considere toda a potência de ruído de quantização dentro da banda base ($-f_b, f_b$) que pode ser encontrada integrando o termo de erro de quantização em Equação 2-7, o que é avaliado no círculo de unidade [7]. Note que a relação de sobre-amostragem (M) na Equação 2-7 é $f_s/(2f_B)$, onde f_B é a banda do sinal e f_s a frequência de amostragem.

$$S_{qe} \approx \frac{\sigma_e^2}{f_s} \int_{-f_b}^{f_b} \left| \frac{(1 - e^{-j2\pi f / f_s})}{G} \right|^2 df \approx \frac{\sigma_e^2}{G^2} \frac{\pi^{2L}}{2L+1} \frac{1}{M^{2L+1}}$$

Eq.2-7 – Quantização de Potência de Ruído

O fator σ_e^2 é a variância do erro de quantização e será calculada agora.

$$\delta = \frac{\Delta}{2^B - 1}$$

Eq.2-8 – Variância do erro de quantização

Considere um quantizador que pode ser modelado por uma faixa de entrada linear $\left(-\frac{\Delta}{2}, \frac{\Delta}{2}\right)$ e B bits de resolução. O bit menos significativo (LSB) terá o valor encontrado na Eq. 2-8. Assumindo-se que o erro de quantização pode ser modelado como ruído branco e uniformemente distribuído entre $\left(-\frac{\delta}{2}, \frac{\delta}{2}\right)$. Seguindo de uma análise estatística que se expressa a potência de ruído de quantização como na Eq. 2-10 [7].

$$\sigma_e^2 = \frac{\delta^2}{12}$$

Eq.2-9 – Potência de Ruído de Quantização

Concluída esta análise, agora é possível combinar os resultados das Eq. 2-7, Eq. 2-8 e Eq. 2-9 para calcular a faixa dinâmica do modulador de sigma-delta. A faixa dinâmica é a relação em potência de um sinal senoidal de fundo de escala ($\Delta^2/8$) e a potência do sinal que rende um SNR de 0 dB. Isto resulta na expressão seguinte para a faixa dinâmica (DR) de modulador de sigma-delta [6]:

$$DR = \frac{3}{2} \frac{2L+1}{\pi^{2L}} G^2 M^{2L+1} (2^B - 1)^2$$

Eq.2-10 – Faixa Dinâmica do modulador

A faixa dinâmica de um modulador sigma-delta é uma forte função da relação de sobre-amostragem e da ordem da malha. Isto propicia para o projetista trocar entre ordem e relação de sobre-amostragem para satisfazer uma determinada exigência de faixa dinâmica. Como descrita anteriormente, quantizadores de 1-bit e conversor D/A são preferíveis do ponto de vista que eles são intrinsecamente lineares. Porém, a análise estatística do erro de quantização que resulta na

Eq. 2-7 não são particularmente precisas para quantizadores de 1-bit. Como resultado, a Eq. 2-10 deveria ser vista como um limite superior na faixa dinâmica.

A discussão até agora tem negligenciado os assuntos de estabilidade. Moduladores de ordem ($L > 2$) só são estáveis condicionalmente [7]. A estabilização de uma malha de alta-ordem requer o uso de funções de transferência mais complexas do que em uma cascata de integradores no *caminho direto* do modulador, e possivelmente o uso de circuitos que reajustem as variáveis de estado no integrador quando a instabilidade é detectada. Infelizmente, os métodos exigidos para estabilizar uma malha de alta-ordem reduzem faixa dinâmica do modulador abaixo do *limite superior* da Eq. 2-10.

2.6. ESTABILIDADE DOS MODULADORES

A estabilidade do modulador sigma-delta será analisada sucintamente só para efetivar a escolha do modulador posteriormente.

O modulador $\Sigma\Delta$ mais simples é o de primeira ordem, assim será este o que dará início a esta seção. A análise de estabilidade pelo método do lugar geométrico das raízes usando “a” como o parâmetro. No sistema de primeira ordem será analisado:

$$I(z) = a \frac{z^{-1}}{1 - z^{-1}}$$

Eq. 2-11 – Função de transferência de primeira ordem.

O lugar geométrico começa em $z=1$ e termina em $z=\infty$. Na figura 2-9 é mostrado o lugar geométrico plotado com o auxílio do software Matlab[®]. O sistema é estável para valores de “a” até 2 e conta com uma configuração ociosa em $f_s/2$ para $z=-1$.

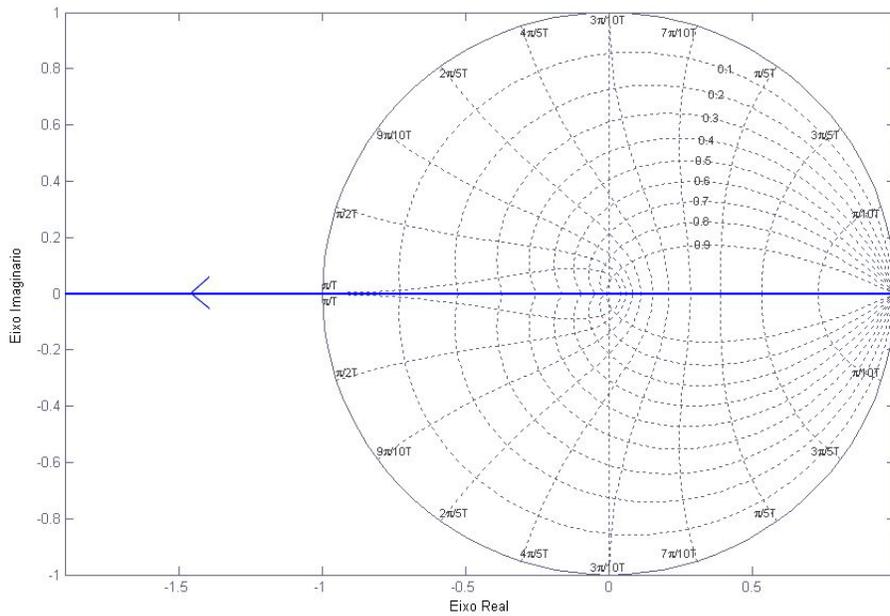


Figura 2-9 – Lugar geométrico de um sistema de primeira ordem.

Adicionando um novo integrador é configurado um modulador de segunda ordem. Para este modulador a estabilidade do sistema é analisada segundo [10] com a função de transferência:

O lugar geométrico inicia em um pólo duplo em $z=1$ e termina em $z=0.5$ e $z=\infty$ respectivamente. Na figura 2-10 é mostrado o lugar geométrico. Assumindo que um padrão oscilatório estável com um pequeno sinal de entrada em $f_s/2$, então o ganho a pode ser calculado conforme a Eq. 2-12.

$$I(z) = a \frac{2z - 1}{(z - 1)^2}$$

Eq. 2-12 – Função de transferência de segunda ordem

Até o momento os moduladores se mostraram estáveis dentro do círculo unitário dado pela transformada z , agora a inserção de mais um integrador formando um modulador de terceira ordem requer maiores cuidados para a operação estável.

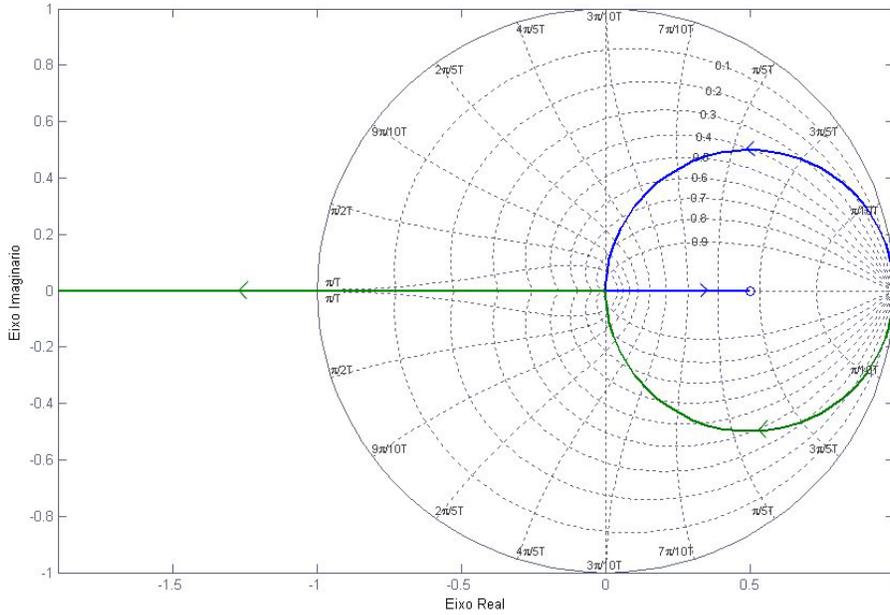


Figura 2-10 – Lugar geométrico de um sistema de segunda ordem.

De acordo com a teoria desenvolvida em [10] a estabilidade do sistema de terceira ordem é analisada na Eq. 2-13.

$$K(z) = \frac{(a_0 - a_1 + a_2) + (a_1 - 2a_2)z + a_2z^2}{(z - 1)^3}$$

Eq. 2-13 – Função de transferência de terceira ordem.

Para uma ótima performance do modulador utiliza-se [10]:

$$a_2 = 1.500$$

$$a_1 = 0.375$$

$$a_0 = 0.125$$

Baseado na função de transferência construiu-se o lugar geométrico apresentado na figura 2-11. O ganho mínimo que apresenta um sistema é obtido quando o lugar das raízes cruza $|z|=1$. Do lugar geométrico pode ser visto que quando o ganho do sinal é reduzido abaixo de 0.0975 o sistema se torna instável. Uma escolha propensa do nível limite do quantizador e do D/A evita a o problema da instabilidade do sistema. Da implementação do *noise-shaper* de terceira ordem, foi

mostrado que os coeficientes como foram usados na Eq. 2-13 resultam em uma máxima faixa dinâmica.

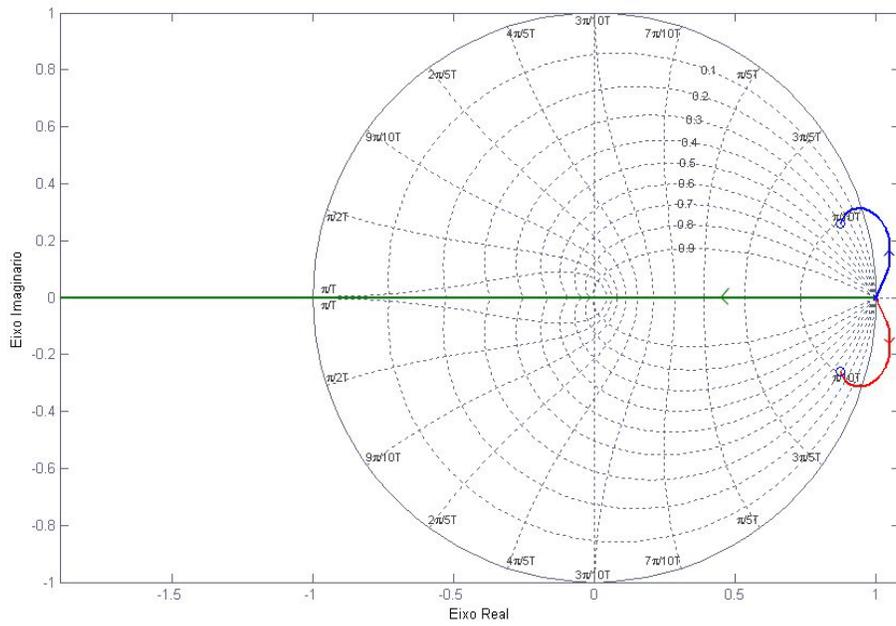


Figura 2-11 – Lugar geométrico de um sistema de terceira ordem.

3. PROJETO DO SISTEMA

3.1. PROJETO DO MODULADOR

Como mostrado anteriormente o modulador $\Sigma\Delta$ de primeira ordem é o mais simples. Contudo o ruído de quantização de um modulador de primeira ordem ainda não foi disperso de forma eficiente da banda base [11], por esse motivo a taxa de sobre-amostragem para alcançar resoluções maiores que 12 bits é extremamente alta.

Moduladores de maior ordem contem mais de um integrador no caminho direto oferecendo o potencial de incremento na resolução. Contudo moduladores com mais de dois integradores sofrem de um potencial de instabilidade devido ao acúmulo de boa parte do sinal nos integradores [12]. Uma arquitetura com a qual alguns moduladores de primeira ordem são cascateados de modo a alcançar uma performance que comparado com os moduladores de maior ordem é sugerida de modo a resolver o problema de instabilidade [13]. Essas arquiteturas, porém necessitam de um ganho preciso de casamento entre as seções individuais de primeira ordem, um requerimento que conflita com a meta de projeto de um conversor A/D que são especialmente insensíveis à tolerância de parâmetros e descasamento de componentes.

Moduladores $\Sigma\Delta$ de segunda ordem são particularmente atraentes para conversão em alta resolução. A efetividade da arquitetura de um modulador $\Sigma\Delta$ de segunda ordem já foi mostrada em várias aplicações. Processamento digital de sinal de voz e codificação da voz em telecomunicações já foram implementadas e a extensão da performance alcançada de cada arquitetura para níveis requeridos de áudio digital foi demonstrada.

A figura 3-1 mostra diagrama de blocos de um modulador $\Sigma\Delta$ de segunda ordem. O sinal de entrada analógico $x(t)$ é amostrado em uma frequência de amostragem $f_s=1/T$. Um quantizador com somente dois níveis em $\pm\Delta/2$ é empregado para evitar as distorções harmônicas geradas pelo descasamento do tamanho do passo em quantizadores de vários bits. O ruído de quantização fora da banda nas saídas dos moduladores é eliminado com um filtro decimador digital que também retorna o sinal para a taxa de Nyquist. A potência SN de ruído na saída do

filtro é a soma da quantização de ruído dentro da banda SD junto ao acréscimo de ruído devido a outras fontes de erro tal como ruído de temperatura ou erros causados pelo *jitter* no tempo de amostragem.

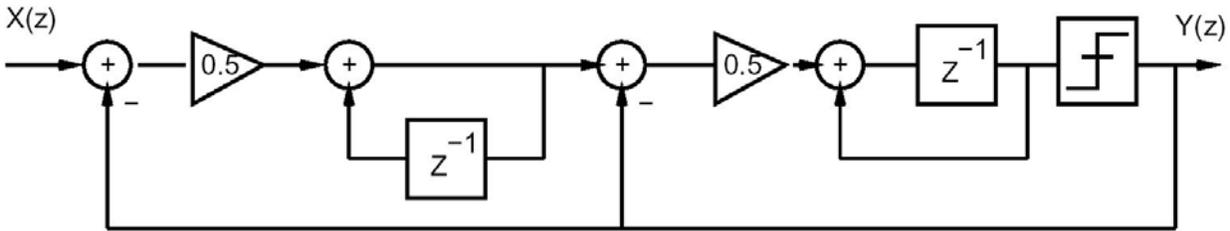


Figura 3-1 – Diagrama de Blocos do modulador de segunda ordem tradicional.

Uma expressão aproximada para o ruído de quantização quando o quantizador é modelado por uma fonte de ruído branco é [12]:

$$S_B = \frac{\pi^4}{5} \frac{1}{M} \frac{\Delta^2}{12}, \quad M \gg 1$$

Eq 3-1 – Ruído de quantização para o modulador de segunda ordem

Para cada oitava de sobre-amostragem o ruído de quantização dentro da banda é reduzido de 15 dB.

A performance de um conversor A/D para o processamento de sinais e aplicações em comunicações é usualmente caracterizado pela relação sinal ruído. Duas definições para essa relação serão usadas aqui. A TSNR é a relação de potência de sinal para o ruído total dentro da banda, considerando que o SNR conta somente para o ruído não correlacionado e também sem distorção harmônica. A faixa usual do sinal ou faixa dinâmica (DR) de um conversor A/D para sinais de entrada senoidais é definida como a razão da potência de saída na frequência de entrada senoidal para uma entrada de fundo de escala para a potência do sinal de saída de um sinal pequeno para qual a TSNR é 0dB.

A faixa dinâmica de um conversor PCM a uma taxa uniforme de Nyquist com b bits é $DR = 3 \cdot 2^{2b-1}$. Essa definição de faixa dinâmica é um modo simples de comparar a resolução de

conversores a taxa sobre-amostrada e a taxa de Nyquist. Por exemplo, um conversor A/D de 16 bits a taxa de Nyquist corresponde a um conversor sobre-amostrado com 98 dB de faixa dinâmica.

Para um projeto e integração bem sucedidos de um modulador $\Sigma\Delta$ de segunda ordem é importante estabelecer a sensibilidade da performance do sistema para várias não linearidades do circuito. Técnicas funcionais de simulação devem ser usadas para examinar o compromisso de projeto porque a aplicação de circuito e métodos de análise de sistemas para estudar moduladores de alta ordem tem se demonstrado intratável. A simulação de circuitos sozinha não é uma aproximação efetiva ao projeto desde que eles não são ilustrados explicitamente a necessidade fundamental no processo do projeto. A aproximação levada aqui é baseada sobre o uso de um programa de simulação que incorpora modelos quantitativos de elementos funcionais incluindo um modulador $\Sigma\Delta$ que reflete não linearidades na característica daqueles elementos. A descrição desses elementos é pega de forma genérica, tal que eles podem ser mapeados para uma ampla variedade de possibilidades de implementação de circuitos. Alguns tipos de não linearidades são características da implementação de circuitos analógicos de moduladores $\Sigma\Delta$ têm sido estudadas. Faixa do sinal, ruído eletrônico e *timing jitter* são discutidos a seguir. A sensibilidade da performance do modulador das características dos integradores e comparadores também serão consideradas.

3.1.1. FAIXA DO SINAL

Para a arquitetura convencional do modulador $\Sigma\Delta$ de segunda ordem, mostrado na figura 3-2, simulações revelam que a faixa do sinal requerida na saída dos dois integradores são algumas vezes a faixa do sinal analógico de fundo de escala $\pm\Delta/2$. Este requerimento representa um sério problema em circuitos com tecnologia semelhantes a CMOS VLSI onde a faixa dinâmica é restrita.

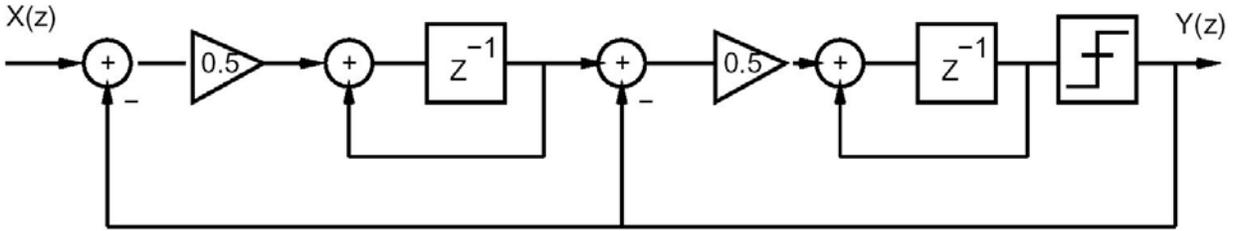


Figura 3-2 – Diagrama de Blocos do modulador de segunda ordem modificada

A arquitetura do modulador modificado, mostrada na figura 3-2, leva em consideração a faixa de pequenos sinais entre os integradores. Essa arquitetura difere da configuração tradicional de duas formas. O atraso no caminho direto é incluído em ambos os integradores, desse modo simplificando a implementação do modulador com amostragem dos dados diretamente do circuito analógico e cada integrador é precedido por uma atenuação de 0,5. A extração da arquitetura modificada da estrutura convencional resulta em uma configuração com uma atenuação de 0,5 precedendo o primeiro integrador e um ganho de 2 na entrada do segundo integrador. Porém visto que o segundo integrador é seguido imediatamente por um quantizador de um nível, este ganho pode ser ajustado arbitrariamente sem prejudicar a performance do modulador [14].

A figura 3-3 mostra a densidade de probabilidade na saída dos dois integradores para ambas as arquiteturas de moduladores $\Sigma\Delta$ apresentadas. Considerando o sinal na saída de ambos os integradores amplifica-se somente uma parcela sem importância além da entrada *full scale* para o projeto do modulador modificado, a faixa dos sinais é consideravelmente larga para a arquitetura tradicional. A arquitetura modificada do modulador conseqüentemente requer uma faixa de sinal nos integradores em uma parcela insignificamente mais larga que a faixa de entrada em fundo de escala do conversor A/D. A figura 3-4 mostra o momento relativo no ruído de banda base que resulta no corte da saída do integrador para sinais de entrada de 1 a 2 dB abaixo da sobrecarga.

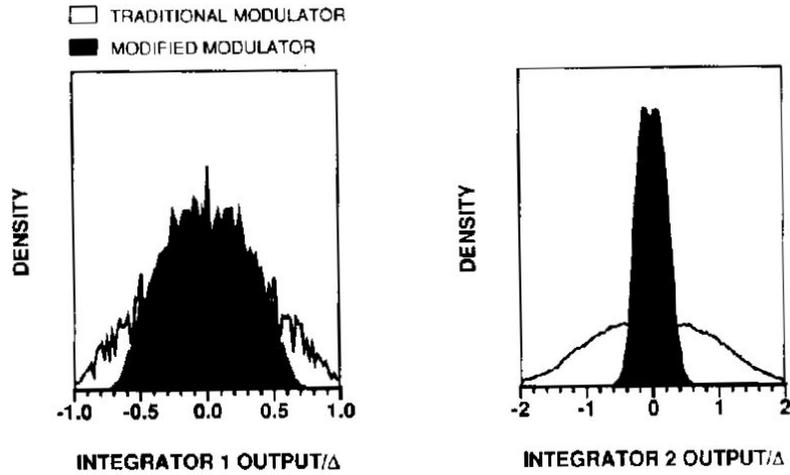


Figura 3-3 – Densidade de probabilidade na saída dos integradores para as arquiteturas tradicional e modificada

Destes, resultam que aparentemente para sinais tão grande quanto 1dB abaixo da sobrecarga, a penalidade na performance é desprezível quando o sinal em ambos os integradores para faixa de aproximadamente 70% da entrada total.

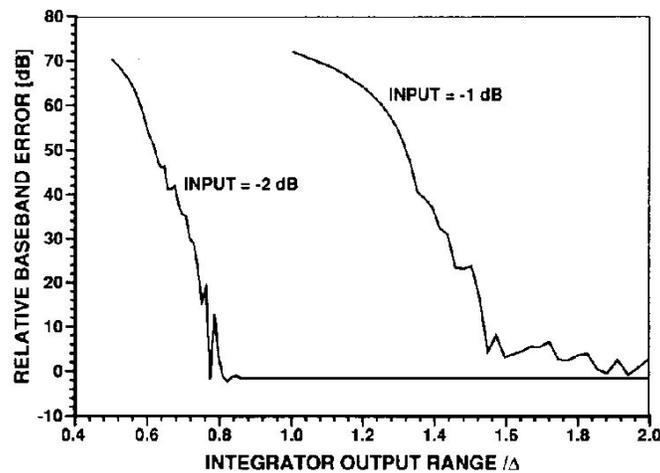


Figura 3-4 – Influencia da faixa de saída do integrador sobre a quantização de ruído de banda base

3.1.2. RUÍDO ELETRÔNICO

Nas implementações de moduladores sigma-delta o sinal é corrompido não somente pelo erro de quantização, mas também pelo ruído eletrônico gerado pelos constituintes do circuito. O ruído injetado na entrada do modulador é a contribuição dominante. A referência de ruído de

entrada do comparador passa a mesma diferenciação de segunda ordem como o ruído de quantização e o ruído injetado na entrada do segundo integrador sujeito a uma função diferencial de segunda ordem. O ruído fora de banda é eliminado pelo filtro decimador, mas ruído de alta frequência que são múltiplos da frequência de amostragem terão *aliased* na banda base. A entrada total referida a potência de ruído dentro da banda base contribui para S_N e assim limita a resolução do conversor A/D.

O *Offset* é uma especificação que não muita importância em alguns sistemas de aquisição de sinais, devido à quantização uniforme. O *offset* na entrada do primeiro integrador é somente uma contribuição significativa por causa do *offset* no segundo integrador e no comparador que são suprimidos pelo largo ganho dos integradores em baixa frequência. Na prática, *offsets* excessivos devem ser evitados devido a conseqüente redução na faixa efetiva do sinal nos integradores.

3.1.3. SAMPLING JITTER

O teorema da amostragem comprova que o sinal amostrado pode ser perfeitamente reconstruído desde que a frequência de amostragem seja duas vezes a banda do sinal e as amostras devem ocorrer distribuídas uniformemente nos instantes de tempo. Um filtro *anti-aliasing* precedido o amostrador garante que o primeiro requerimento é cumprido. Conversores A/D sobre-amostrados colocam consideravelmente menores requerimentos que um conversor a taxa de Nyquist desde que o sinal seja amostrado em uma frequência de uma larga banda.

A amostragem do *clock jitter* resulta em uma amostragem não uniforme e acrescenta na potência total de erro na saída do quantizador. A magnitude deste erro aumenta numa função de propriedades estatísticas da *sampling jitter* e a entrada do conversor A/D.

O resultante da amostragem de um sinal senoidal com amplitude A e frequência f_x , em um instante em que o erro tem uma quantidade δ de:

$$x(t + \delta) - x(t) \approx 2\pi f_x \delta A \cos 2\pi f_x t$$

Eq. 3-2 – incerteza da amostragem

Sobre esta suposição de que a incerteza da amostragem δ é um processo aleatório Gaussiano não correlacionado com desvio padrão de Δt , a potência deste erro do sinal é:

$$S_{\delta} = \frac{A^2}{2} (2\pi f_x \Delta t)^2$$

Eq. 3-3 – potência de erro do sinal

Com um espectro que é uma versão escalada e modulada (pelo sinal de entrada) do *timing jitter* δ . Em conversores A/D sobre-amostrados, o filtro decimador remove o conteúdo deste sinal em frequências acima do sinal de banda base. Desde que o *clock jitter* é assumido como sendo ruído branco, a potência total de ruído é reduzida pela taxa de sobre-amostragem M no processo de decimação. A potência de erro na banda base é por consequência

$$S_{\Delta t} \leq \frac{\Delta^2}{8} \frac{(2\pi B \Delta t)^2}{M}$$

Eq. 3-4 - potência de erro *in-band*

Na expressão apresentada, a amplitude de pior caso ($\pm\Delta/2$) e a frequência do sinal (B) têm sido usadas de modo a estabelecer o limite superior sobre a potência de erro.

O erro causado pelo *clock jitter* é inversamente proporcional a taxa de sobre-amostragem M e mais diretamente a potência total de erro S_N na saída do conversor. Desde que a quantização de ruído na banda base S_B é inversamente proporcional a quinta ordem de M , a quantidade do *clock jitter* que pode ser tolerada diminuindo ou aumentando à taxa de sobre-amostragem.

3.2. ESPECIFICAÇÃO DO INTEGRADOR

Em um modulador sigma-delta o desempenho do integrador é definido em termos de diferenças de limites de faixa dinâmica e de velocidade de operação do modulador inteiro. Parâmetros como ganho DC, *slew rate* e estabilização linear pode elevar o ruído de quantização de base ou pode introduzir uma distorção que depende das circunstâncias. A excursão disponível na saída dos integradores determina o nível de sobrecarga de modulador (capacidade para controlar o sinal máximo de entrada).

O ruído térmico introduzido pelo processo de amostragem (kT/C) e também pelos amplificadores é acrescentado ao ruído de quantização para fixar o sinal mínimo detectável. O efeito de cada uma destas desigualdades no modulador será estudado e serão descritos procedimentos para especificar desempenho do integrador.

3.2.1. GANHO DC

O ganho DC de um amplificador pode degradar a distorção e o desempenho de ruído do um modulador sigma-delta. Dependendo da arquitetura do modulador, distorção ou ruído do quantizador fixarão uma restrição mais severa em ganho DC de amplificador. Distorções de terceira-ordem devido a não linearidades na função de transferência DC do amplificador sobre faixa de saída determina a exigência de ganho DC no primeiro integrador do conversor. O tratamento de ruído da malha relaxa essa exigência de ganho DC para integradores subsequentes.

Considerando que estas não linearidades são relacionadas inversamente ao ganho DC do amplificador, o ganho deve ser aumentado ao ponto que o desempenho do modulador não seja degradado. Esta especificação de ganho DC não é particularmente severa; um ganho DC moderado de 60dB é mais que adequado para 16 bits de desempenho [15]. Também é importante notar que a especificação de distorção é relativamente independente da arquitetura para uma faixa dinâmica fixa.

Um segundo efeito do ganho DC finito do amplificador é mudar as posições dos pólos em um integrador de capacitor chaveado. O diagrama de bloco de um integrador de capacitor chaveado com um amplificador de ganho DC de A é mostrado na figura 3-5. O diagrama é para uma saída por conveniência, mas os resultados se aplicam às implementações completamente diferencial.

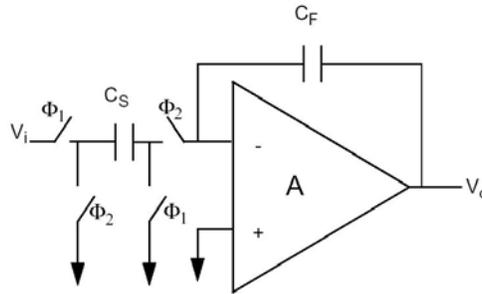


Figura 3-5 – Integrador de Capacitor Chaveado com Ganho DC

$$H(z) = \frac{V_o(Z)}{V_i(Z)} = - \frac{(C_S/C_F)z^{-1}}{1 - (1 - \varepsilon)z^{-1}}$$

onde $(1 - \varepsilon) = \frac{1}{1 + C_S/(AC_F)}$

Eq. 3-5 – Função de Transferência do Integrador H(z)

Análise de conservação de carga no domínio-z rende a função de transferência do integrador, H(z) na equação 3-5. O efeito do ganho DC finito do amplificador é deslocar o pólo H(z) ligeiramente para fora do círculo de unidade. Este deslocamento do pólo conhecido como vazamento aumentará a quantização do ruído base na banda base. Em um modulador de malha única, este efeito é menos severo que distorção; um ganho DC na ordem da relação de sobre-amostragem fará isto desprezível [1]. O efeito do vazamento do integrador devido ao ganho DC do amplificador pode ser severo em moduladores sigma-delta cascadeados. O cancelamento total do erro digital requer que os pólos do integrador estejam em z=1; um deslocamento nestes pólos fará ruído de quantização do primeiro estágio da cascata vazar para a saída do modulador. A especificação do vazamento sobre o ganho DC terá um impacto na escolha da topologia do amplificador operacional. Visto que a distorção ε_1 e ε_2 , para os integradores do modulador é muito pequena para ganhos DC razoáveis, é difícil de se retirar o efeito de vazamento. Mas como solução basta projetar-se amplificadores com ganho DC grandes o suficiente para que o efeito do vazamento seja desprezível.

3.2.2. ESTABILIZAÇÃO LINEAR E SLEW RATE

A estabilização linear e o *slew rate* especificam o desempenho da velocidade de pequenos e grandes sinais no integrador respectivamente. Em um modulador sigma-delta, um erro de estabilização linear resulta em um erro de ganho de integrador enquanto o *slew rate* resulta em distorção harmônica [15].

Distorção harmônica devido ao *slew rate* do amplificador pode degradar diretamente o desempenho do modulador. O *slew rate* em cada amplificador deve ser grande o suficiente para que a distorção introduzida seja mais baixa que o ruído base do modulador. Devido à relação baixa de g_m/I de dispositivos CMOS com canal curto e a operação em alta velocidade, esta restrição de distorção será satisfeita se o amplificador saltar em uma pequena fração do período de estabilização e gastar uma maior tempo em um regime estável.

Para quantificar o efeito do *slew rate* e da estabilização linear em moduladores sigma-delta são necessárias simulações. As simulações assumem um amp op com um único pólo com características de *slew rate* e aplica o método descrito em [16]. Este modelo de amplificador é uma exagerada simplificação para projetos na qual necessitam mais do que dois estágios de amplificação. A figura 3.6 mostra o pico *SNDR* como uma função de várias combinações precisas de *slew rate* e estabilização linear para o primeiro integrador do modulador. Projetos robustos vão operar na faixa plana a direita onde a performance é independente de pequenos deslocamentos na precisão da estabilização do amplificador.

O *slew rate* normalizado (SR_N) na figura 3-6 pode ser convertido para uma especificação física de *slew rate* pela eq. 3-6, onde SR é o *slew rate* desnormalizado e a SR_N *slew rate* normalizado. V_{MAX} é o nível diferencial de referência do DAC.

$$SR = \frac{2SR_N V_{MAX}}{T_S}$$

Eq. 3-6 – Cálculo do Slew Rate

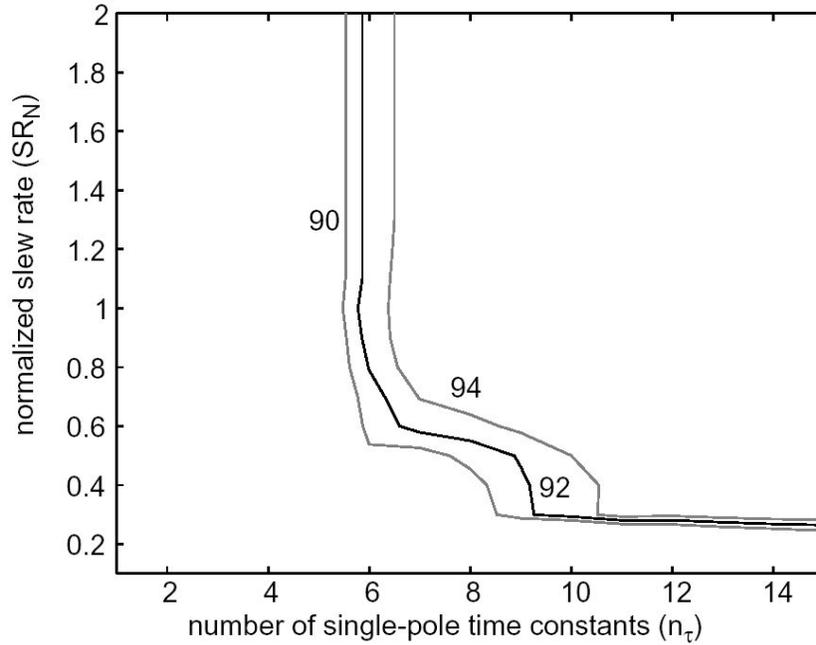


Figura 3.6 – Curva de *peak SNDR* em função do *slew rate* e tempo de estabilização

3.2.3. EXCURSÃO DE SAÍDA

Excursão da saída define a capacidade máxima de controle de sinal de um amplificador operacional e é diretamente relacionado ao nível sobrecarga de entrada de modulador. Maximizando a excursão da saída aumentará a capacidade máxima de controle de sinal do modulador. O desenho limitado por ruído de kT/C , isto minimizará a exigida capacitância de amostragem e dissipação de potência como descrita em capítulos anteriores. Excursão da saída está limitada pela fonte de alimentação, mas em desenhos práticos a excursão da saída será mais baixa devido à exigência que os dispositivos de saída permanecem em saturação.

Os circuitos na figura 3-7 representam os estágios de saída dos amplificadores de dois estágios. Para um amplificador com dispositivos de *cascode* à saída, a excursão da saída será dada pela Equação 3-7. A configuração de fonte comum tem a excursão da saída dada pela Equação 3-8.

$$V_{SWING} = V_{DD} - 2V_{DSAT,N} - 2V_{DSAT,P}$$

Eq. 3-8 – Excursão de saída no cascode

$$V_{SWING} = V_{DD} - V_{DSAT,N} - V_{DSAT,P}$$

Eq. 3-9 – Excursão de saída no cascode

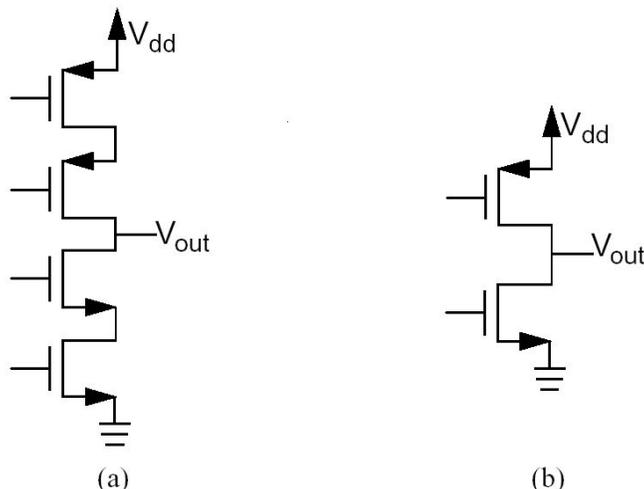


Figura 3.7 – Configurações de Saída de Amplificadores Operacionais (a) *Cascode* e (b) *Fonte Comum*

Excursão da saída é muito importante em desenhos que usam as fontes de alimentação de 3.3V ou a potências mais baixas. Se um amplificador de dois estágios é requerido, maximizando a excursão da saída favorece a configuração de fonte comum. Tensões $V_{dsat,n}$ e $V_{dsat,p}$ deveriam ser minimizadas como sugerida pela Equação 4-5.

Na prática, $V_{dsat,n}$ precisará ser bastante grande para polarizar o dispositivo NMOS que as exigências de estabilização podem ser compridas. $V_{dsat,p}$ precisará ser bastante grande que os parasíticos de dispositivo não carreguem a saída de amplificador. Como resultado, excursão da saída vai comprometer as exigências de estabilização de amplificador. Para maximizar a capacidade de controle de sinal, as fontes de alimentação de 3.3V de um amplificador com configuração de fonte comum deveriam ser utilizadas.

3.2.4. RÚIDO TÉRMICO

Ruído térmico coloca limites fundamentais na dissipação de potência e faixa dinâmica de um integrador de capacitor chaveado. Enquanto o escalamento do capacitor pode reduzir o efeito de ruído térmico na dissipação de potência de integradores posterior na cascata, reduzindo a contribuição de ruído térmico ao nível de desenho de integrador pode resultar em consumo. Para

cumprir uma determinada especificação de faixa dinâmica, um modulador de sigma-delta deve satisfazer a equação seguinte,

$$DR = \frac{\sqrt[4]{V_{IN,MAX}}}{2 \left(S_{N,TH} + S_{N,Q} + S_{N,1/f} \right)}$$

Eq. 3-10 – Especificação de Faixa Dinâmica

Onde, $S_{N,TH}$ denota o ruído térmico na banda total de entrada, $S_{N,Q}$ denota o ruído de quantização e $S_{N,1/f}$ denota o ruído de entrada $1/f$.

Como resultado, o desenhista deveria comprometer o ruído de quantização e térmico para minimizar dissipação de potência. Se ruído térmico pode ser tolerado, os capacitores menores de amostragem podem ser usados. Isto reduz a dissipação de potência no integrador. Então, a arquitetura de sigma-delta deveria colocar o ruído de quantização inclusive com todas as fontes de erros, abaixo do ruído térmico para alcançar uma solução de baixa-potência. Uma regra boa é fazer a faixa dinâmica do modulador que exclui ruído térmico para ser pelo menos a 1 bit (6 dB) maior que a especificação total de faixa dinâmica. Isto faz para a contribuição de ruído térmico pelo menos 3X a contribuição do ruído de quantização. Uma vez que as exigências de ruído térmico são calculadas, o capacitor de escala especifica a capacitância de amostragem exigida, a cada entrada de integrador. Para reduzir o tamanho desta capacitância, o desenhista precisa minimizar o efeito de ruído térmico dos dispositivos de amplificador em lugar de kT/C . Isto leva a selecionar uma topologia de amplificador operacional com o mínimo número de dispositivos que contribuem para o ruído térmico. Isto será descrita adequadamente na seção seguinte.

3.3.COMPARADOR

O comparador de 1bit do caminho direto do modulador pode ser realizado com uma comparação. Os principais parâmetros de projeto deste comparador são velocidade, que precisa ser adequada para alcançar o taxa de amostragem desejada, offset de entrada, o ruído referenciado de entrada e hysteresis. É apontado que o *offset* e o ruído no comparador são

suprimidos pela realimentação do modulador. A figura 3-8 mostra a performance do A/D convertido como uma função da histerese do comparador, definida como a mínima alimentação requerida para carregar a saída. A potência do ruído na banda, S_N , é virtualmente invariável para histereses maiores que 10% da faixa de entrada do conversor e cresce a 20dB por década acima deste ponto.

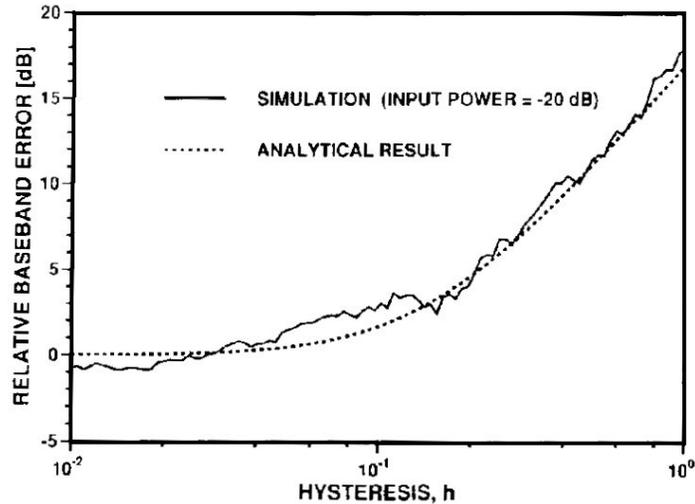


Figura 3-8 – Influência da histerese do comparador no ruído de quantização em banda base

A sensibilidade de performance do conversor A/D a histerese do comparador é modelada precisamente por um ruído branco aditivo com potência $(h \Delta/2)^2$, onde h é a magnitude da histerese do comparador relativa a Δ . O ruído submete-se a mesma forma espectral da quantização de ruído. A soma do ruído de quantização S_B , com a histerese é por consequência. O fator 4 reflete o ajuste escalar prescindindo o segundo integrador de 2 para 0.5. A sensibilidade do modulador para a histerese do comparado é algumas ordens de amplitude menor que a taxa de conversão de Nyquist. Isto é evidente do modelo que é atribuído a presença da realimentação negativa com alto ganho no modulador sigma delta.

3.4.ESPECIFICAÇÃO DO CONVERSOR

Um dos pontos fundamentais para a operação do modulador é a definição da sua frequência de operação. Foi mostrado anteriormente que moduladores sigma-delta necessitam de operação sobre-amostrada para em conjunto com a técnica de *noise shaping* alcançar a resolução desejada.

Dado como necessidade do projeto, ao qual este conversor será inserido, é necessário uma resolução de 10bits e uma banda base de 20KHz. Além disso, foi definida a faixa de operação de 0,3 a 2,7 V. Esta definição de projeto nos permite calcular a SNR necessária para operação do sistema.

Sendo a potência de quantização de ruído definida na Eq. 2-1 e a relação sinal ruído definida pela Eq. 2-2, obtem-se a SNR mínima e dada por

$$SNR=61,96dB$$

Pode-se ainda pela resolução exigida calcular a faixa dinâmica do modulador definida pela Eq. 2-4 e será dada por

$$DR=62dB$$

Baseando-se então neste cálculo de faixa dinâmica e considerando que é utilizado no modulador um quantizador de 1bit em uma malha de segunda ordem pode-se obter a taxa de sobre-amostragem definida na Eq. 2-10 como sendo

$$M=42$$

Assim pode-se encontrar na tabela 3-1 a especificação completa da interface A/D.

TABELA 3-1 – ESPECIFICAÇÃO DA INTERFACE A/D

Faixa da Banda Base (f_B)	20KHz
Frequência de Nyquist ($2f_B$)	40KHz
Taxa de sobre-amostragem	42X
Resolução	10 Bits
Malha Única	2
Arquitetura	2ª Ordem
SNR	61,96dB
Faixa Dinâmica	62dB
Slew Rate	>50V/ μ s
Alimentação	3,3V
Tecnologia	0.35 μ m double-poly, four-metal CMOS

saída do conversor D/A das entradas de cada integrador. A comparação da saída do segundo integrador é feita durante a fase 1 e o comparador reseta durante a fase 2. Com esse arranjo do *clock* o tempo avaliado para a integração e para a comparação são ambos de metade do ciclo de *clock*.

Para a primeira ordem, a carga injetada pelas chaves MOS no circuito da figura 4-1 é um sinal em modo comum que é cancelado pela implementação diferencial do modulador. A dependência do sinal da injeção de cargas é afastada pela abertura das chaves S1d e S2d imediatamente em conjunto com as chaves S1 e S2. Desde que a chave S1 esteja conectada ao terra ou a um nó de terra virtual ela não exhibe dependência do sinal à injeção de carga. Uma vez que S1 ou S2 esteja aberta e antes que outra esteja fechada o capacitor está flutuando, então a subsequente abertura de S1 e S1d durante o intervalo de quando as chaves S2 e S2d não estão abertas para primeira ordem não há injeção de carga em C1. As chaves são fechadas quando o controle de *clock* está alto. O *clock* precisa ser não sobreposto de modo a prevenir uma parte da carga. O *clock* para S1d e S2d são gerados pelo atraso do *clock* S1 e S2. Um limite superior para a tolerância do *clock jitter* segue da eq. 4-2.

$$\Delta t \leq \frac{1}{2\pi B 2^b} \sqrt{\frac{2M}{3}}$$

Eq. 4-1 – Limite superior para tolerância do *clock jitter*

Se o erro da potência de banda base induzido pelo *clock jitter* está sendo menor que o resultado do erro de quantização de um modulador ideal então é necessário que $\Delta t \leq 41,12\text{ns}$ para $B = 20\text{KHz}$.

A escolha da faixa de entrada analógica de fundo de escala do conversor que é igual a largura de passo do quantizador envolve *trade-off* ao longo de um número de especificação do projeto. Uma grande faixa de sinal é desejada devido à presença de ruído eletrônico nos circuitos analógicos, porém uma grande faixa de sinal resulta em um aumento nas distorções harmônicas devido a não linearidade do integrador. Além disso, o aumento da faixa de sinal chama para o amplificador operacional uma alta taxa de *slew rate*. Simulações indicam que a faixa do sinal de saída de ambos os integrados deve ser no mínimo 50% maior que a faixa total de entrada do sinal analógico para evitar significantes degradações de performance.

4.2. METODOLOGIA PARA O PROJETO DO INTEGRADOR

O projeto do amplificador operacional diferencial é a chave para sucesso da realização do integrador. As especificações para este amplificador seguem os requisitos de performance para o integrador. Uma consideração de que o ganho do amplificador em malha aberta deve ser no mínimo igual à taxa de amostragem. Porém o ganho deve ser maior que isso, de modo a adequadamente suprimir distorções harmônicas.

De modo a estabelecer a concordância com o diagrama de blocos da figura 4-1 onde mostra que o ganho de cada integrador deve ser de 0,5. Dessa forma pode-se utilizar a eq. 4-2 para estabelecer o capacitor amostrador mínimo [17].

$$SNDR = \frac{V_{rms}^2}{4 \frac{kT}{MC_S}} + q_{rms}^2$$

Eq. 4-2 – Relação SNDR para obtenção de C_S em função do ruído térmico

De acordo com [17] pode-se obter que a uma taxa de $M = 42$, o mínimo C_S para alcançar uma relação SNDR de 62dB é 1,30fF. O valor escolhido para $C_S = 0,1\text{pF}$ é empregado para reduzir o nível de ruído térmico no circuito e maiores transistores de entrada no limite do *flicker noise*. Pelo valor C_S se determina $C_I = 0.2\text{pF}$ para alcançar o ganho de 0,5 determinado anteriormente.

4.3. CHAVE DE TRANSMISSÃO CMOS

Encontra-se facilmente uma infinidade de utilizações para a chave de transmissão CMOS. Em circuitos analógicos, em multiplexação, modulação e diversas outras funções. Neste projeto a sua utilidade é para a aplicação em circuitos analógicos especificamente para a implementação dos capacitores chaveados.

O circuito utilizado para a implementação desta chave é dado da figura 4-2.

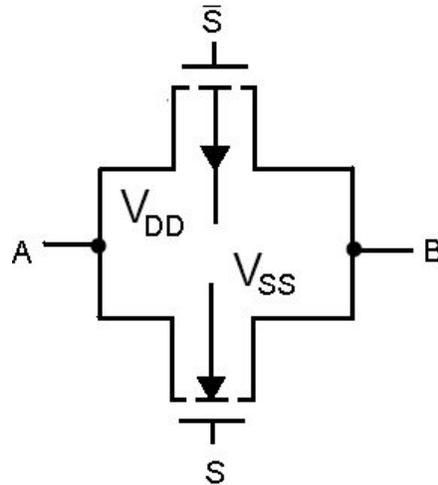


Figura 4-2 – Chave de transmissão CMOS

Onde a resistência da chave na posição acionada é dada por:

$$R_{ON} = \left(\frac{L}{K'_N W (V_{GS} - V_T)} \right)_{NMOS} // \left(\frac{L}{K'_P W (V_{GS} - V_T)} \right)_{PMOS}$$

Eq. 4-3 – Resistência da chave CMOS

4.4. METODOLOGIA PARA O PROJETO DO AMPLIFICADOR

A Especificação do Amp Op será seguida da tabela a seguir

TABELA 4-1 – ESPECIFICAÇÃO DO AMP OP

Ganho	>1000
Largura de Banda	5MHz
Slew rate	>50V/μs
Alimentação	3,3V
Excursão de Saída	3V
Capacitância de Carga C_L	0,1pF

Para esta especificação os parâmetros de fabricação empregados para as simulações seguem na tabela 4-2.

TABELA 4-2 – PARÂMETROS DE SIMULAÇÃO UTILIZADOS

Parâmetros de Fabricação	
Espessura do óxido de porta	7,6nm
Permissividade do oxido (ϵ_{OX})	$3,9\epsilon_0$
Capacitância do oxido (C_{OX})	$0,454\mu F/cm^2$
Parâmetro Simulado (λ)	$0,44 V^{-1}$
NMOS	
Tensão limiar (V_{TH})	0,52V
Comprimento efetivo do canal	$0,38\mu m$
Fator de corpo	$0,58V^{1/2}$
Mobilidade efetiva (μ)	$370 cm^2/Vs$
Parâmetro de transcondutância (K_N')	$170\mu A/V^2$
PMOS	
Tensão limiar (V_{TH})	0,70V
Comprimento efetivo do canal	$0,5\mu m$
Fator de corpo	$0,5V^{1/2}$
Mobilidade efetiva (μ)	$126 cm^2/Vs$
Parâmetro de transcondutância (K_N')	$60\mu A/V^2$

O amplificador operacional utilizado é um com estágio de saída cascode onde é mostrado na figura 4-3.

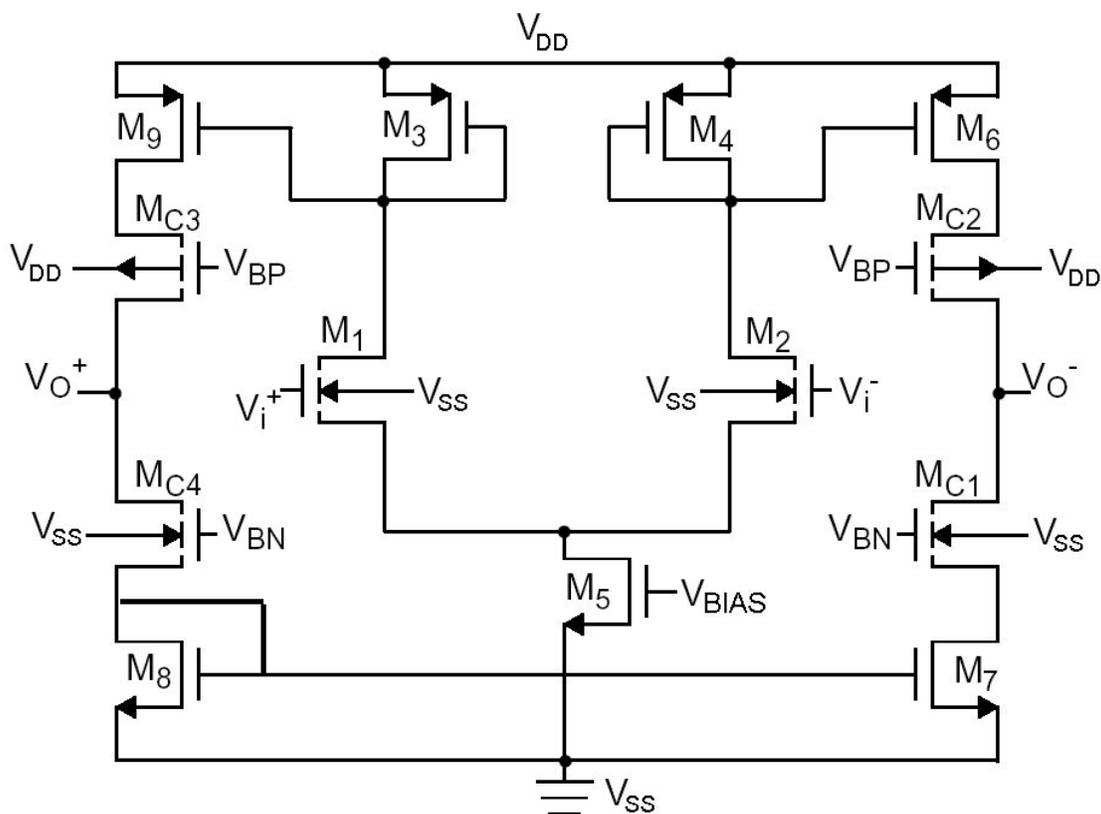


Figura 4-3 – Amplificador Operacional com Saída Cascode

Existem várias maneiras de aproximar as especificações acima para a elaboração do sistema. Um procedimento que promove o projeto do amplificador operacional é dado a seguir.

1. O primeiro passo será encontrar a máxima corrente de fonte/dreno obtida a partir do *slew rate* e da capacitância de carga como.

$$I_{SOURCE/SINK} = C_L \cdot SR$$

Eq. 4-4 – Corrente máxima exigida pelo SR

2. Agora algumas restrições de W/L baseadas nas correntes de fonte e dreno são desenvolvidas. Sobre condições dinâmicas toda a corrente de I_5 vai fluir em M_4 , assim pode-se dizer que:

$$Max.I_{OUT}(Source) = \left(\frac{S_6}{S_4} \right) I_5$$

Eq.4-5 – Razão de aspecto entre os transistores 6 e 4.

onde S_i é a razão de aspecto.

A máxima corrente de saída drenada é igual a máxima corrente da fonte. Conclui-se assim que:

$$S_3 = S_4, S_6 = S_9 \text{ e } S_7 = S_8$$

3. Escolhe-se uma corrente para I_5 . Lembrando que pode se necessário ser alterada no futuro. Desta obtem-se:

$$S_9 = S_6 = \frac{I_{OUT}(Max)}{I_5} S_3 = \frac{I_{OUT}(Max)}{I_5} S_4$$

Eq. 4-6 – Razão de aspecto dos transistores 9 e 6

4. Para projetar a capacidade de saída. Assume-se que a saída precisa fornecer ou drenar a corrente máxima no pico de saída. Então pode-se obter as tensões de mínimas de fonte /dreno na saturação necessárias para esta excursão.

$$V_{DSC1}(sat) = V_{DSC7}(sat) = (V_{DD} - V_{SWING})/4$$

Eq. 4-7 – Tensão de saturação pela excursão

Assim sobre o pico da mínima excursão assume-se que $I_{C1} = I_7 = I_{OUT(max)}$

$$V_{DSC1}(sat) = V_{DS7}(sat) = \left[\frac{2I_7}{K'_N S_7} \right]^{1/2} = \left[\frac{2I_{C1}}{K'_N S_{C1}} \right]^{1/2}$$

Eq. 4-8 – Tensão mínima para saturação dos transistores NMOS

Usando a mesma aproximação dada anteriormente para a máxima excursão:

$$V_{DSC2}(sat) = V_{DS6}(sat) = \left[\frac{2I_6}{K'_N S_6} \right]^{1/2} = \left[\frac{2I_{C2}}{K'_N S_{C2}} \right]^{1/2}$$

Eq. 4-9 – Tensão mínima para saturação dos transistores PMOS

Destas equações obtem-se finalmente S_6 , S_7 , S_{C1} e S_{C2} .

5. No próximo passo serão projetadas as tensões de polarização V_{BP} e V_{BN} . Primeiro considere V_{BN} . Assumindo que o fluxo de corrente em M_{C1} e M_7 é $I_{OUT(max)}$. Ignorando o efeito de corpo de M_{C1} , a condição de saturação para M_{C1} pode ser dada como:

$$V_{DSC1}(sat) = V_{GSC1} - V_{TC1} = (V_{DD} - V_{SWING})/4$$

Eq. 4-10 – Tensão de polarização para os cascodes NMOS

Resolvendo para V_{GSC1} encontra-se a tensão de polarização V_{BN} . Usando este mesmo procedimento a condição de saturação para M_{C2} é dada como

$$V_{DSC2}(sat) = V_{GSC2} - |V_{TC2}| = (V_{DD} - V_{SWING})/4$$

Eq. 4-11 – Tensão de polarização para os cascodes PMOS

Resolvendo para V_{GSC2} encontra-se a tensão de polarização V_{BP}

6. Agora devemos considerar a possibilidade de conflito entre as especificações. Por exemplo, a entrada CMR influenciará S_3 e S_4 que já foram definidos anteriormente. Usando a Eq. 4-12 encontra-se o valor mínimo de S_3 .

$$V_{IN(MAX)} = V_{DD} - \left(\frac{I_5}{K_3' S_3} \right)^{1/2} - |V_{TO3}|_{(max)} + V_{T1(min)}$$

Eq. 4-12 – Entrada máxima de CMR

7. Agora encontra-se $g_{m1}(g_{m2})$. Existem duas maneiras de calcular g_{m1} . A primeira da especificação do ganho A_v . este ganho é dado pelo produto do ganho do primeiro estágio A_{V1} pelo do segundo estágio A_{V2} .

$$A_{V1} = \frac{g_{m2}}{g_{m4}} = \frac{g_{m1}}{g_{m3}} \quad e \quad A_{V2} = \left(\frac{g_{m6} + g_{m7}}{2} \right) R_{II}$$

Eq. 4-13 – Ganho do amplificador

onde $R_{II} = (g_{mC6} r_{dsC6} r_{ds6}) // (g_{mC7} r_{dsC7} r_{ds7})$

Pela especificação de ganho encontra-se finalmente g_{m1} .

Um outro método de encontrar g_{m1} é pela especificação da largura de banda. Multiplicando o ganho pelo pólo dominante ($1/C_{II}R_{II}$) temos:

$$GB = \frac{g_{m1}(g_{m6} + g_{m7})}{2g_{m4}C_{II}}$$

Eq. 4-14 – Largura de banda do amplificador

8. A próxima etapa é checar que S_1 e S_2 são grande o suficiente para encontrar a especificação de CMR. Da Eq. 4-15 obtem-se o valor de V_{DS5} . Um valor pequeno para V_{DS5} implica que os valores de S_1 e S_2 não são grandes o suficiente. Escolhe-se então um valor para S_5 de modo que V_{DS5} não seja muito próximo e que as especificações de ganho e banda passante estejam satisfeitas.

$$V_{IN(MIN)} = V_{SS} - \left(\frac{I_5}{K_1' S_1} \right)^{1/2} + V_{T1(max)} + V_{DS5(sat)}$$

Eq. 4-15 – Tensão mínima de entrada

onde $V_{DS(sat)} = \left(\frac{2I_{DS}}{K'S} \right)$

- Finalmente precisa-se projetar o valor de polarização V_{BIAS} que pode ser obtido dos valores de S_5 e I_5 calculados previamente.

4.5. CIRCUITO DE POLARIZAÇÃO

Para que o amplificador operacional implementado possa funcionar, deve-se implementar um circuito que seja capaz de fornecer a ele a tensão de polarização necessária dada em projeto.

A figura 4-2 mostra o circuito utilizado para efetuar tal polarização, utilizando cargas ativas para alcançar a tensão desejada.

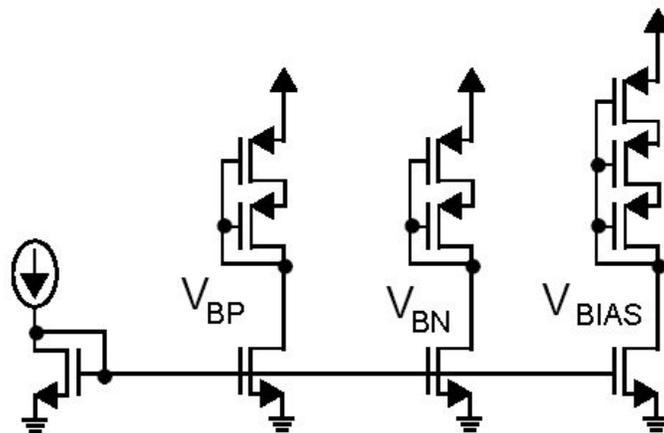


Figura 4-4 – Circuito de Polarização

O cálculo da tensão de polarização é efetuado determinando-se a corrente que fluirá através do sumidouro de corrente e aplicando a equação da corrente no transistor, dada por:

$$V = V_T + \sqrt{\frac{2IL}{K_p'W}}$$

Eq. 4-16 – Tensão V_{DS} no transistor CMOS como carga ativa

4.6. PROJETO DE COMPARADOR

Nem a sensibilidade nem as considerações de *offset* são essenciais às restrições de projeto para o comparador de um modulador de segunda ordem. Os dois integradores promovem uma pré-amplificação do sinal e devido a realimentação o *offset* do comparador é armazenado no segundo integrador. Os dados na figura 3-8 implicam que a hysteresis do comparador não é maior do que 5% da faixa total de entrada e tem um desprezível impacto sobre a performance do conversor A/D. Um simples *latch* regenerativo sem pre-amplificação ou cancelamento de *offset* como é mostrado em [17] executa as requisições do comparador.

O comparador dinâmico na figura 4-5 é implementado para fazer comparação com zero. O sinal diferencial varia a resistência da região de triodo dos dispositivos M1 e M2. Quando o sinal do *latch* é baixo a saída do comparador é precarregada para VDD pelos dispositivos M7 e M10. Na borda de subida do sinal do *latch* a saída dos inversores acoplados cruzadamente formado pelos transistores M3, M4, M7 e M8 mudam em uma direção apropriada baseada na resistência diferencial da região de triodo dos dispositivos de entrada.

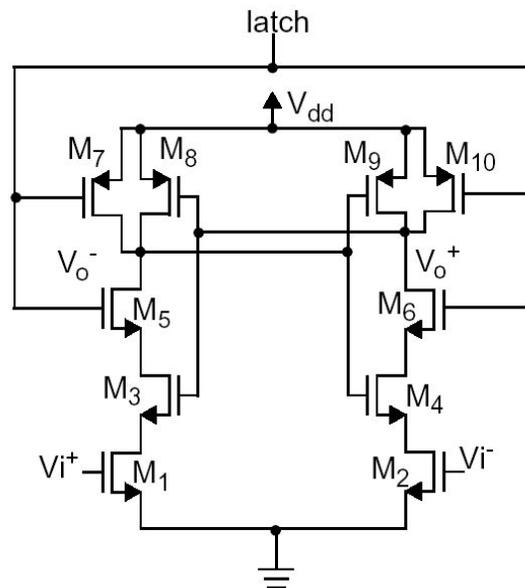


Figura 4-5 – Comparador Dinâmico

4.7. GERADOR DO *CLOCK*

Circuitos a capacitores chaveados requerem a geração de um *clock* de duas fases não sobrepostas com *clock* atrasado para reduzir a injeção de cargas. O circuito na figura 4-6 executa essa geração de *clock* [42]. O circuito do inversor dinâmico formado por M1, M2 e M3 e M4, M5 e M6 permitem que a borda de subida dos *clocks* atrasados seja linear com a borda de subida dos *clocks* não atrasados, como mostra a figura 4-7. Esta forma de borda dá ao amplificador tempo adicional para a estabilização, comparado com o caso onde a borda de subida do *clock* atrasado é atrasada pela mesma quantidade da borda de descida.

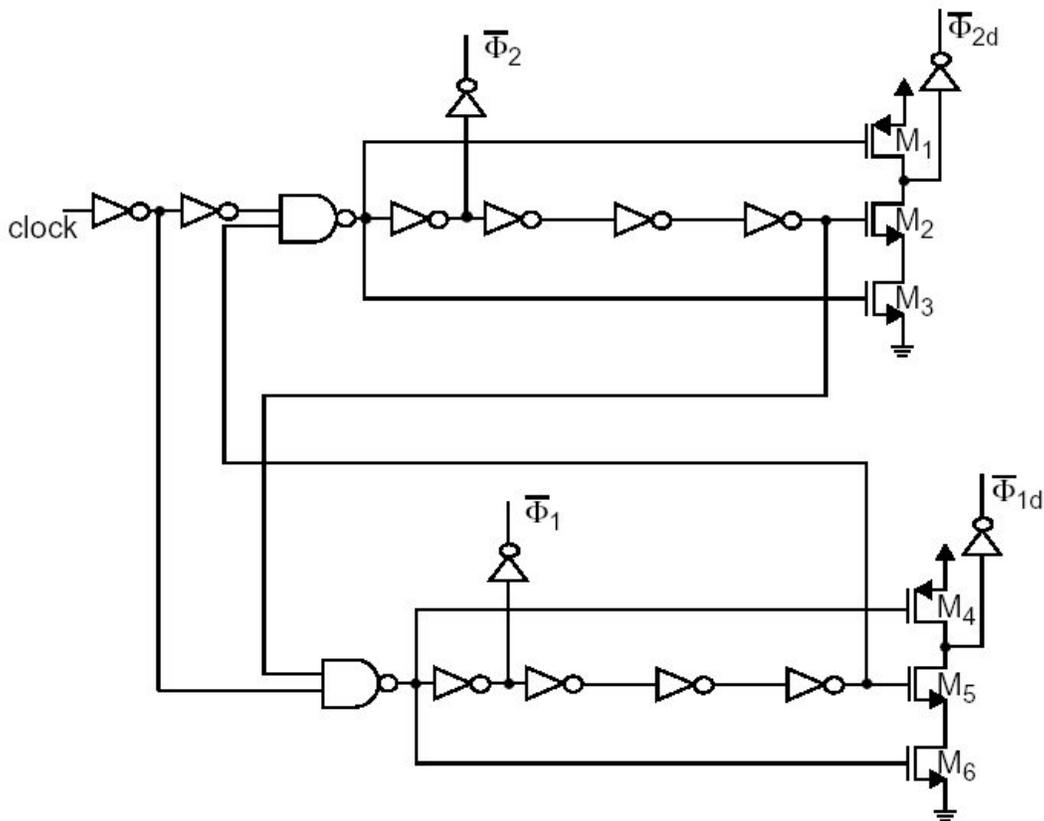


Figura 4-6 – Gerador de clock

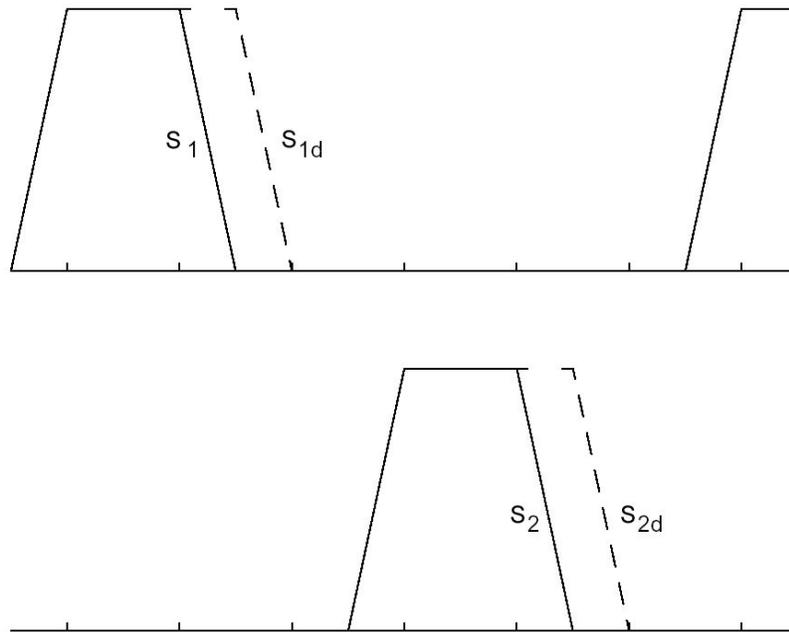


Figura 4-7 – Forma de onda do Clock

4.8. CONVERSOR D/A

A proposta da realimentação pelo conversor D/A sobre o modulador é para converter a saída do sinal digital de volta em uma forma analógica para ser comparada com o sinal analógico de entrada. Porém a performance do modulador é completamente dependente da precisão do DAC e a forma com a qual a saída é comparada com o sinal de entrada. O DAC é composto por chaves, capacitores e uma tensão de referência na qual será usada como referência pelo comparador. Dependendo da saída do modulador o conversor irá saturar em $+V_{REF}$ ou $-V_{REF}$. A tensão de referência é externa ao circuito.

Linearidade é o principal requisito de um DAC. Por esta razão DACs de 1 bit são amplamente usados devido a sua linearidade natural. Tendo eles somente dois níveis estes DACs são garantidos como sendo livres da não linearidade diferencial (DNL), sendo que todos os tamanhos dos passos são idênticos (só existe somente um *step*).

A diferença entre a tensão de referência e a tensão de entrada amostrada pode ser implementada de duas maneiras, usando o mesmo ramo de entrada, ou seja como exemplo o

mesmo capacitor CS ou usando um ramo independente, como por exemplo um outro capacitor que pode ser chamado de CIF. Esta segunda aproximação aumenta um ruído térmico devido ao capacitor CIF. Este não é um problema desde que o capacitor original seja aumentado para 0,1pF para melhorar o casamento. Este aumento já atende os requisitos para a SNR desejados. Porém uma opção foi feita sobre o ramo independente que também tem a vantagem de não ter distorção da colocação incompleta de CIF, desde que a carga não seja dependente sobre a tensão de entrada. De acordo com o ganho definido anteriormente o capacitor CIF para o primeiro integrador é igual ao do segundo integrador, sendo igual a 0,1pF.

A figura 4-8 mostra o DAC usado. Este circuito garante que a referência sempre esteja na mesma carga, independente da densidade de transição, desde que ambos os capacitores sejam carregados entre a referência e o terra analógico em todos os ciclos.

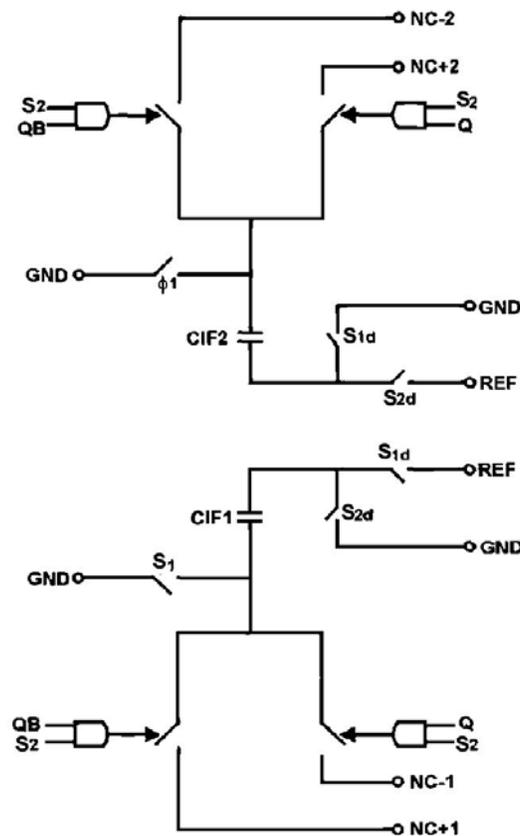


Figura 4-8 – Conversor D/A

4.9. DECIMADOR

Decimador é o processo de diminuir a taxa de amostragem. Seguindo a operação de diminuir a taxa de amostragem frequências acima da taxa de Nyquist são indistinguíveis das frequências abaixo dessa taxa. A operação consiste de uma banda limite do espectro de entrada via um filtro de modo que quando a taxa de dados é reduzida os efeitos de *aliasing* são reduzidos a um nível especificado. A interpolação do espectro do processo de decimação é mostrada na figura 4-9 para fator de decimação de quatro. A entrada do espectro mostra duas componentes discretas de frequência acima do espectro de energia do sinal. Um sinal discreto está entre a banda passante de saída desejada e, um outro sinal amostrado, fora da banda passante.

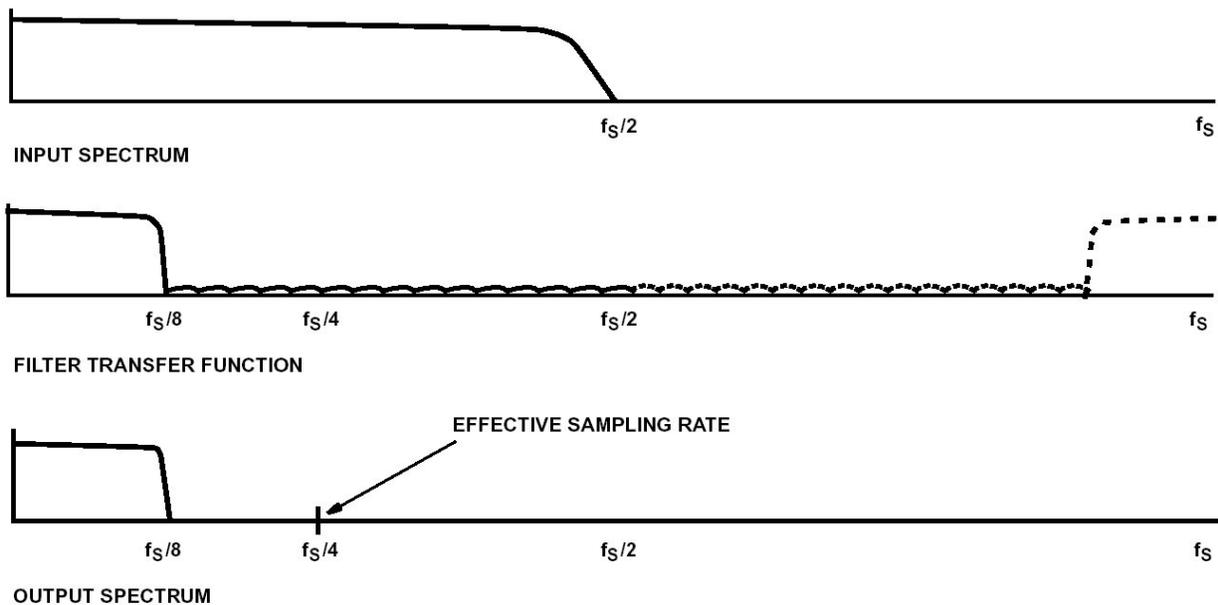


Figura 4-9 – Resposta do filtro FIR

O sinal fora da banda é uma fonte potencial de interferência devido ao *aliasing* depois do processo de redução da taxa de amostragem. O filtro *antialiasing* deve atenuar todos os sinais de interferência que estão dentro da banda passante depois da redução da taxa de amostragem. O espectro de saída do filtro mostra o espectro *aliased* entre a banda passante. Dois tipos de erro resultam disso. Sinais de interferência representam a banda passante dos sinais e o ruído fora da banda dobra para dentro da banda. Os sinais de interferência podem resultar em falsas detecções e o ruído causa a degradação na performance devido ao alto nível de ruído causado pela baixa

taxa de SNR dentro da banda. O espectro repetido é mostrado como múltiplos da taxa de amostragem de saída.

Como a taxa de amostragem para o modulador é de 1,68MHz, a banda do sinal desejado é de 20KHz.

A banda passante desejada é a mesma da banda base do sistema ou seja como descrito na especificações é necessário ter uma $f_p=20KHz$. Outros fatores determinantes são os desvios da banda passante e o da banda de parada. Por [18] pode-se considerar o desvio da banda passante (δ_p) em torno de 0,1 e o desvio da banda de parada (δ_s) em 0,001.

Usando o critério para um *aliasing* permitido na região de transição, uma aproximação pode ser calculada por Parks-McClellan (PM) para a otimização de projeto de projeto de um filtro FIR.

$$N = \frac{-10 \log(\delta_p * \delta_s) - C_1}{C_2(f_s - f_p)/F} + 1$$

Eq. 4-17 – Ordem do Filtro Digital

Onde $f_s = \frac{F}{D} - f_p$ e $C_1=15$ e $C_2=14$ por[18].

O valor da taxa de decimação D é dependente de uma resolução da complexidade de hardware e software implementada. Para uma estimativa de certa forma imprecisa, vamos assumir que a complexidade seja proporcional aos requisitos computacionais de multiplicações por segundo (MPS), adições por segundo (APS) e requisitos de armazenamento como definido nas equações seguintes.

$$MPS = F(N + 1) / 2D$$

Eq. 4-18 – Multiplicações por segundo

$$APS = F(N - 1) / D$$

Eq. 4-19 – Adições por segundo

$$S = 2N + 1$$

Eq. 4-20 – Adições por segundo

As expressões para os cálculos são baseadas em operações sendo realizadas na taxa de amostragem seguindo a decimação dos dados.

Uma otimização das funções apresentadas informa que o mínimo requisito de multiplicação é para $D=6$ ($MPS=2.10E+6$, $APS=3.64E+6$ e $S=29$) que resulta em uma ordem do filtro igual a $N=14$. E a partir disso implementa-se o Decimador necessário para a aquisição dos dados provenientes do modulador $\Sigma\Delta$.

5. IMPLEMENTAÇÃO E RESULTADOS

5.1. COMPARADOR

Para o Comparador dinâmico implementado, os transistores foram projetados para manter a relação do balanço de corrente constante entre os NMOS e PMOS.

Os transistores M₅, M₆, M₇ e M₁₀ tem a função de chave, assim suas razões de aspecto foram escolhidas de modo a manter suas resistências iguais assim escolhendo para o NMOS a razão (1/0,35) temos que

$$R_{ON} = \left(\frac{L}{K'_P W (V_{GS} - V_T)} \right)_{PMOS} = \left(\frac{L}{K'_N W (V_{GS} - V_T)} \right)_{NMOS} \quad \therefore \frac{W}{L}_{PMOS} = 2,9$$

Os inversores foram escolhidos de modo que $K'_N S_N = K'_P S_P$, se $S_N = (1/0,35)$ então $S_P = 2,9$. A tabela 5-1 apresenta um resumos das razões de aspecto calculadas.

TABELA 5-1 – RAZÃO DE ASPECTO DOS TRANSISTORES DO COMPARADOR

NMOS	M1	M2	M3	M4	M5
Aspecto	(1/0.35)	(1/0.35)	(1/0.35)	(1/0.35)	(1/0.35)
PMOS	M6	M7	M8	M9	M10
Aspecto	(2,9/0.35)	(2,9/0.35)	(2,9/0.35)	(2,9/0.35)	(2,9/0.35)

De modo a comprovar a funcionalidade do bloco comparador aplicou-se a cada uma de suas entradas um sinal senoidal e observou-se o resultado da comparação.

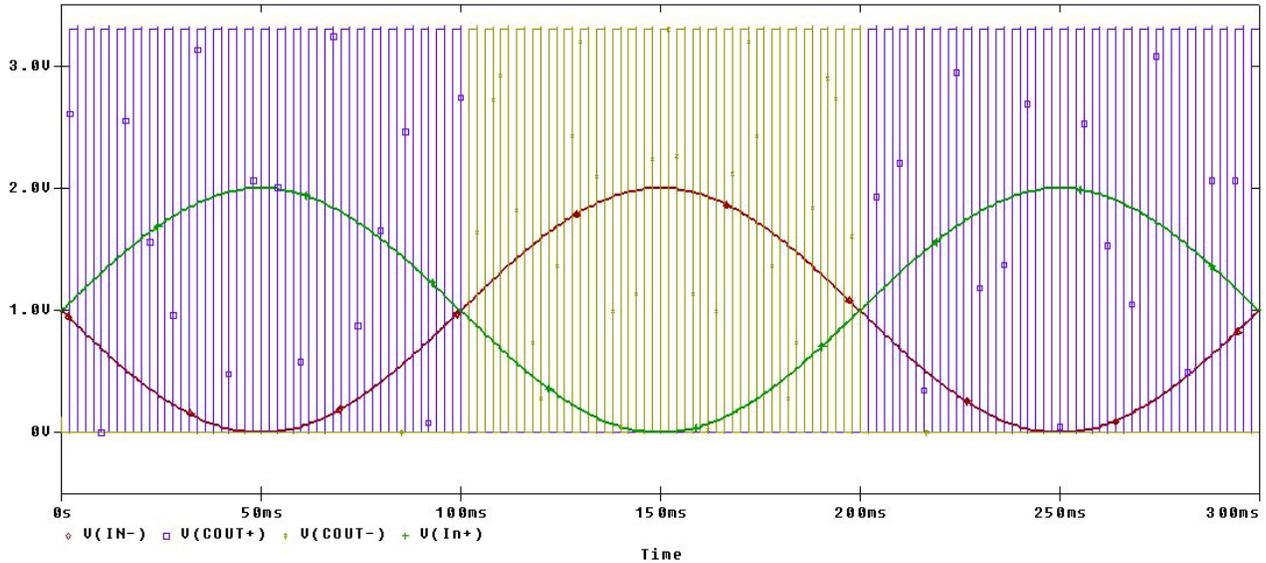


Figura 5-1 – Resultado da implementação do comparador

5.2.GERADOR DE CLOCK

Conforme o circuito utilizado para a geração do clock o sub-bloco mais utilizado foi o inversor MOS, é deste que se partiu o início da implementação. Para se manter a linearidade da resposta DC do inversor os transistores foram escolhidos de modo a apresentar a mesma proporção de corrente ou seja:

$$K'_N S_N = K'_P S_P$$

A partir dos parâmetros de fabricação as razões de aspecto para o inversor são:

TABELA 5-2 – RAZÃO DE ASPECTO DO INVERSOR MOS

NMOS	M1
Aspecto	(1/0.35)
PMOS	M6
Aspecto	(2,9/0.35)

Uma implementação deste subsistema apresentou a curva característica dada pela figura 5-2.

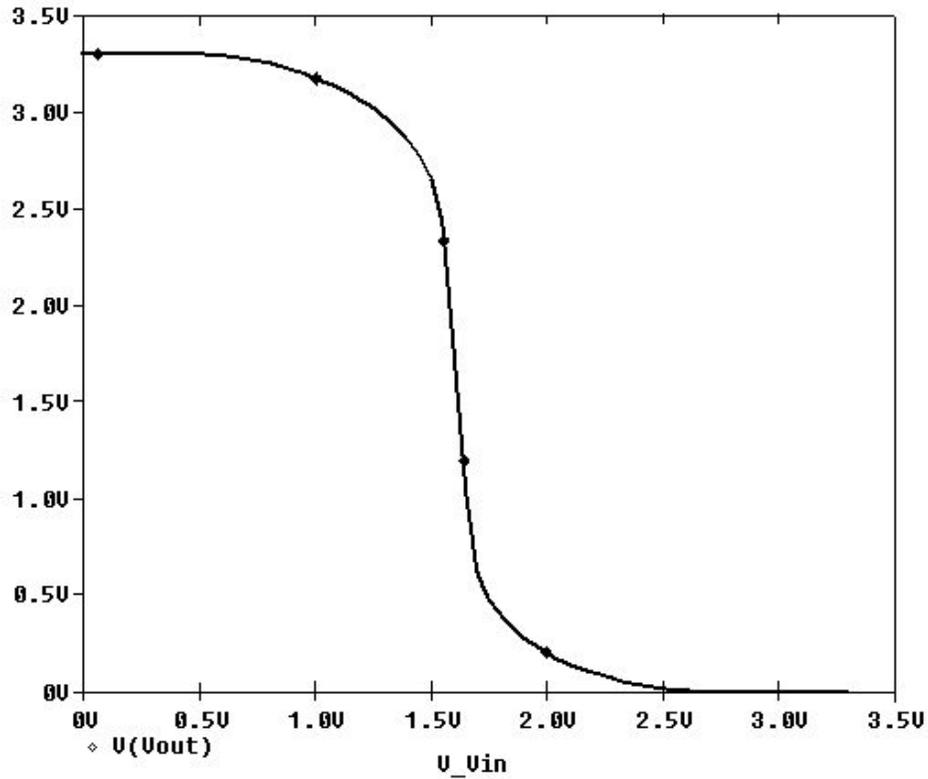


Figura 5-2 – Curva característica do Inversor MOS

A porta NAND implementada também utilizou a mesma razão de aspecto.

A implementação do sistema então apresenta os resultados focados nos pontos alteração. Na figura 2-2 observa-se a subida do clock para S1 e S1d e as descidas defasadas para o clock S2 e S2d respectivamente.

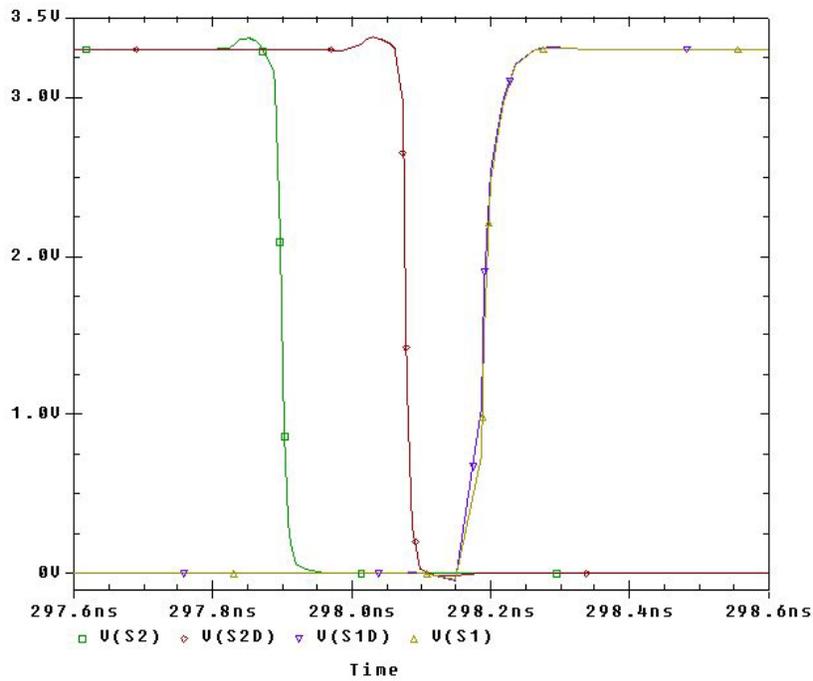


Figura 5-3 – Ciclo de Clock para S1 e S1d

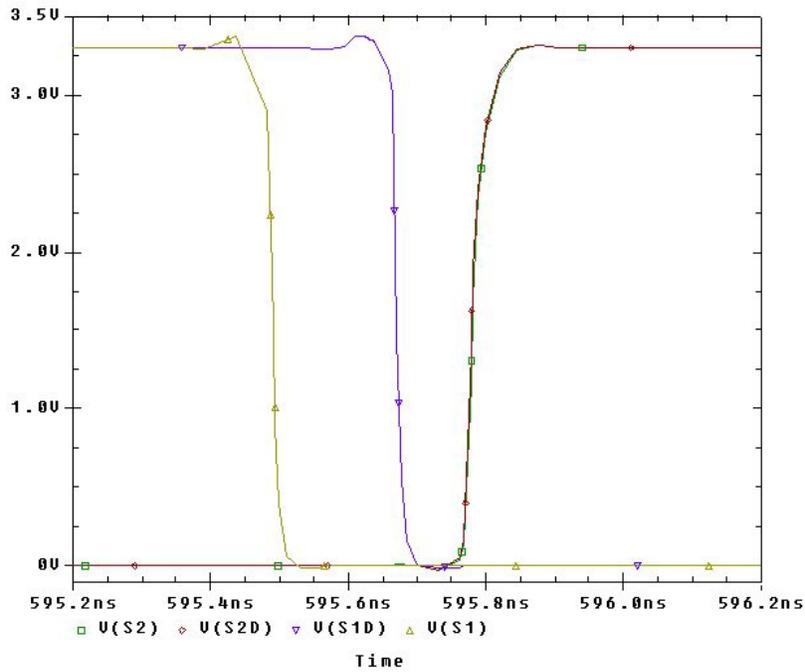


Figura 5-4 Ciclo de Clock para S2 e S2d

5.3. AMPLIFICADOR OPERACIONAL

Para encontrar as razões de aspecto dos transistores do Amp Op, seguiu-se o procedimento de projeto descrito na seção anterior e o memorial de cálculo é dado a seguir.

1. Em um primeiro passo, a partir da especificação de slew rate (50V/μs) e do capacitor amostrador (0,1pF) determinou-se a corrente máxima de saída como:

$$I_{SOURCE} = SR \cdot C_I = 5\mu A$$

2. Em condições em que a corrente máxima vai fluir em M₄ e adotando uma corrente máxima sobre M₄ de 5μA encontra-se:

$$S_3 = S_4 = S_6 = S_9 = S_7 = S_8$$

3. Se a excursão de saída especificada é de 2,7V pode-se encontrar a tensão V_{DS} de saturação sobre os transistores cascode de saída como:

$$V_{DSC1} = V_{DSC2} = V_{DSC3} = V_{DSC4} = 0,15V$$

4. Da tensão de saturação pode-se encontrar as razões de aspectos da saída.

$$S_{C1} = S_7 = S_{C4} = S_8 = 2ID/K'_N V_{DS}(sat)^2 (1 + \lambda V_{DS}(sat)) = 2,45$$

e

$$S_{C2} = S_6 = S_{C3} = S_9 = 2ID/K'_P V_{DS}(sat)^2 (1 + \lambda V_{DS}(sat)) = 6,95$$

5. Para obter-se o ponto de polarização, sabe-se que para a saturação V_{DS}(sat) = V_{GS} - V_T. Assim V_{GSC1} = 0,15 + 0,55 o que leva a:

$$V_{BN} = V_{GSC1} + V_{GS7} = V_{GSC1} + V_{DS7} + V_T = 1,4V$$

Utilizando o mesmo raciocínio obtém-se V_{BP}.

$$V_{BP} = V_{DD} - V_{GSC2} + V_{GS9} = V_{GSC1} + V_{DS9} + V_T = 1,74V$$

6. Pela especificação do ganho pode-se obter a razão de aspecto de M₁.

$$1000 = \frac{g_{M1}}{g_{M3}} \left(\frac{g_{M6} + g_{M7}}{2} \right) (g_{MC6} r_{DSC6} r_{DS6} / g_{MC7} r_{DSC7} r_{DS7})$$

Para satisfazer esta equação g_{M1} = 106,04μA/V² o que resulta em S₁ = 13,23

7. Adotando-se uma valor para S₅ = 10 encontra-se a polarização como

$$V_{GS} = V_T + \sqrt{\frac{2I_5}{K'_N S_5 (1 + \lambda V_{DS})}} = 0,62V = V_{BIAS}$$

dos valores obtidos anteriormente efetuou-se simulações e otimizações foram efetuadas para o ponto de polarização. As dimensões para os transistores e a polarização do circuito podem ser observadas nas tabelas 5-3 e 5-4.

TABELA 5-3 – RAZÃO DE ASPECTO DO AMPLIFICADOR

NMOS	M1	M2	M7	M8	MC1	MC4	M5
Aspecto	(4,63/0.35)	(4,63/0.35)	(0,86/0.35)	(0,86/0.35)	(0,86/0.35)	(0,86/0.35)	(3,5/0,35)
PMOS	M3	M4	M6	M9	MC2	MC3	-
Aspecto	(2,43/0.35)	(2,43/0.35)	(2,43/0.35)	(2,43/0.35)	(2,43/0.35)	(2,43/0.35)	-

TABELA 5-4 – TENSÃO DE POLARIZAÇÃO

$V_{BIAS} = 0.62V$	$V_{BN}=1.463V$	$V_{BP}=1.7V$
--------------------	-----------------	---------------

Dadas as tensões de polarização necessárias ao amplificador, calculou-se as dimensões necessárias dos transistores para o circuito de polarização da figura 4-4 e para um espelho de corrente drenando $2\mu A$. Da corrente de polarização obtem-se da equação:

$$V_{DS} = V_T + \sqrt{\frac{2I_D}{K'_N S_5}}$$

Observa-se as dimensões encontradas a seguir na tabela 5-3 .

TABELA 5-3 – RAZÃO DE ASPECTO DO CIRCUITO POLARIZADOR

	$V_{BIAS} = 0.62V$	$V_{BN}=1.463V$	$V_{BP}=1.7V$
NMOS	(3.5/0.35)	(3.5/0.35)	(3.5/0.35)
PMOS	3*(0.35/0.364)	2*(0.807/0.35)	2*(0.35/0.488)
ESPELHO	(3.5/0.35)		

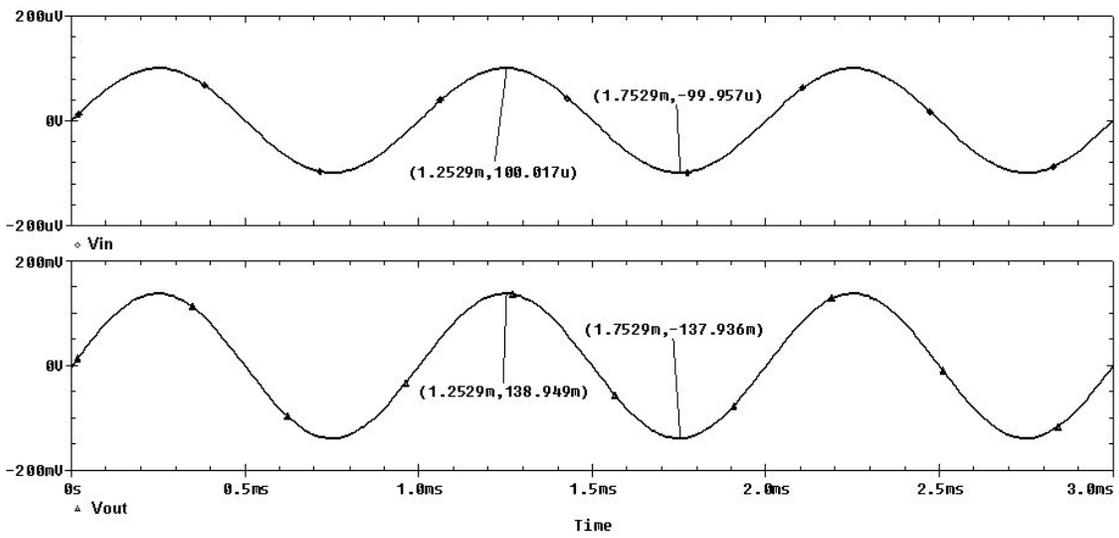


Figura 5-5 – Ganho de tensão na saída do Amp Op

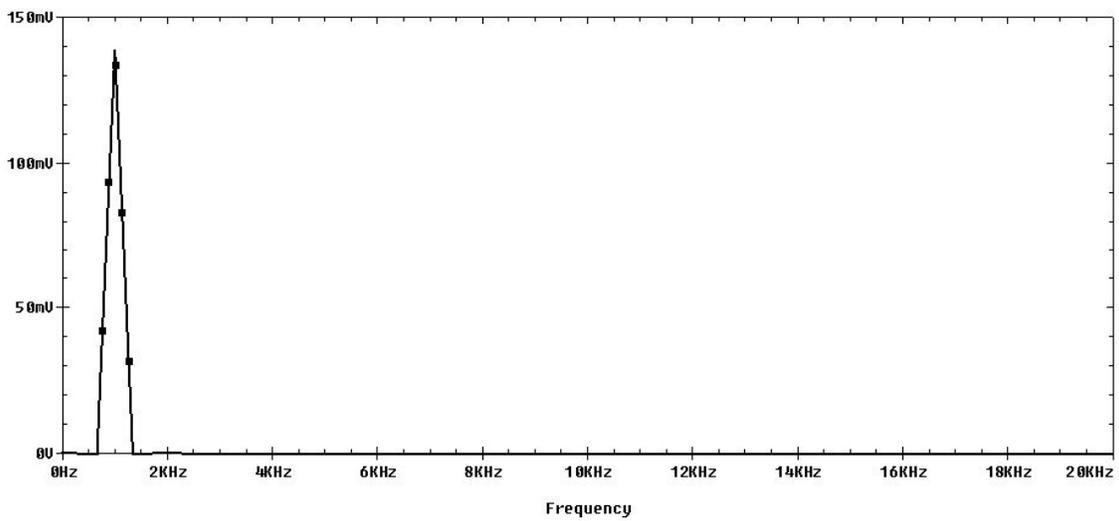


Figura 5-6 – Distorção de saída do Amplificador a uma entrada senoidal de 1KHz

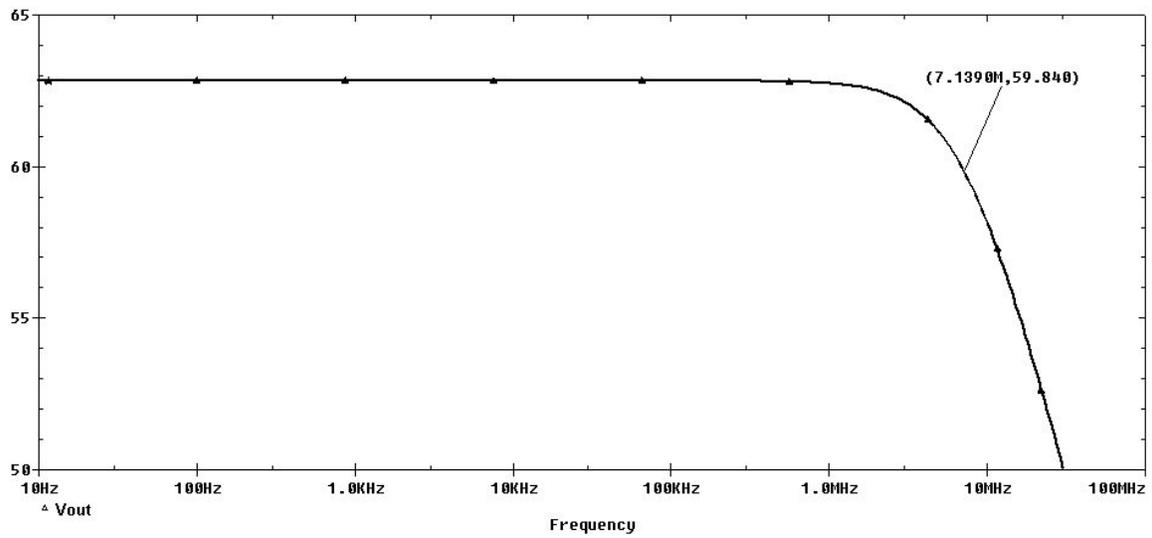


Figura 5-7 – Resposta em frequência

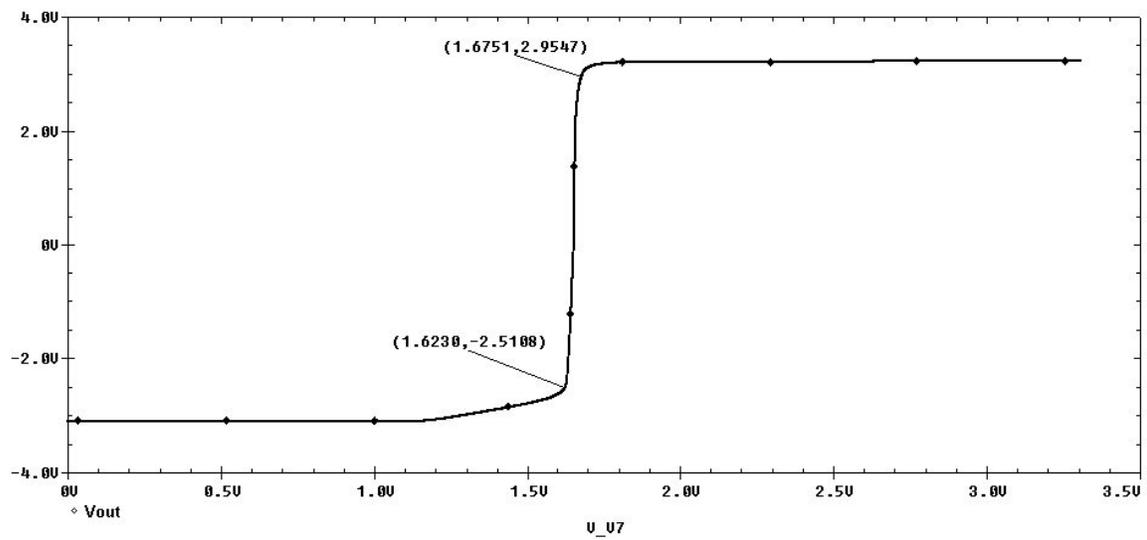


Figura 5-8 – Resposta DC do amplificador

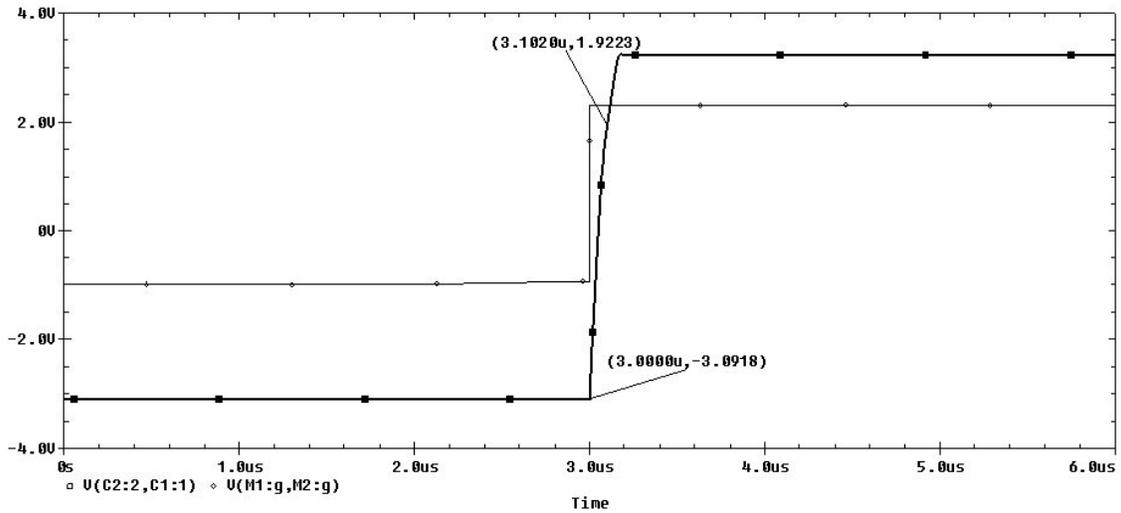


Figura 5-9 – Slew rate

Uma análise as curvas apresentadas mostram que o amplificador obteve ótimo desempenho, pecando apenas em excursão do sinal de saída, os resultados podem ser observados na tabela 5-4.

TABELA 5-4 – RESULTADOS OBTIDOS PARA O AMP OP

Parâmetro	Especificado	Obtido
Ganho A_V	>1000	1380
Largura de Banda	>5MHz	7,139MHz
Excursão	$\pm 3V$	+2.95V e -2.51V
Slew Rate	>50V/ μs	50,14V/ μs

5.4. CONVERSOR D/A

A implementação do conversor D/A é muito simples. De modo a verificar a sua funcionalidade, inseriu-se em uma das saídas um capacitor de carga $C_L=0.1\mu F$. A idéia é que no momento em as chaves S2 e S2d estejam ligadas haverá um divisor de tensão entre os capacitores C_L e C_{IF} .

Aplicou-se então um sinal DC de 1,5V e obteve-se o resultado da figura 5-10.

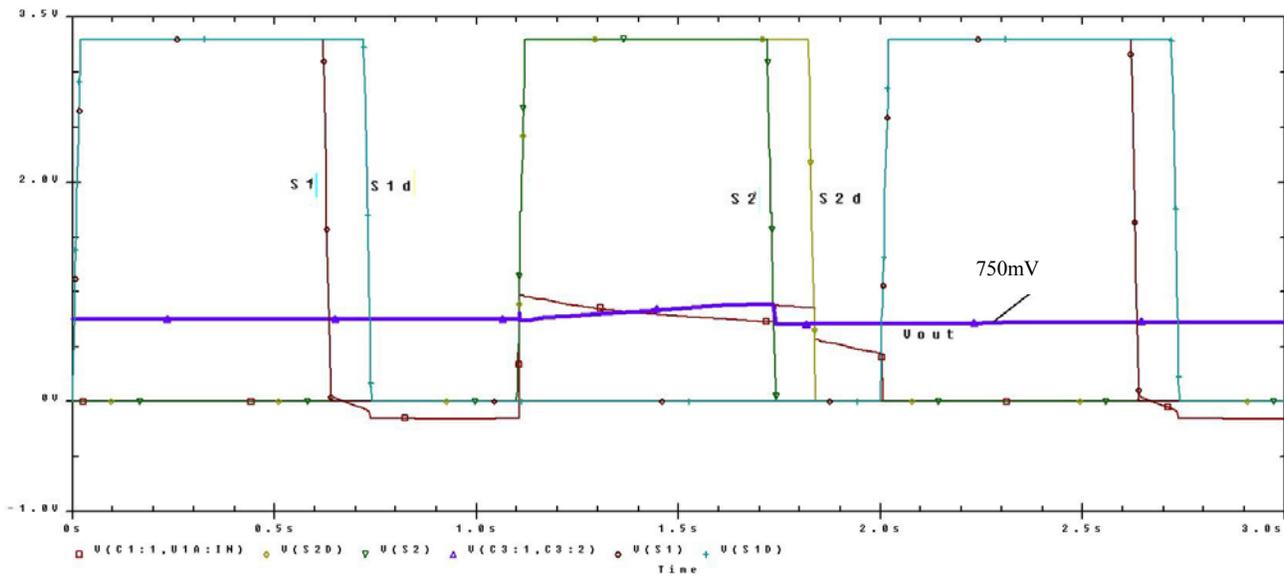


Figura 5-10 – Simulação do funcionamento do conversor D/A

Observa-se que a curva do capacitor de saída se mantém no nível de 0,75V que é a metade do sinal aplicado, isso se dá pela elevada resistência dos capacitores a uma fonte DC. Nota-se ainda que no período em que a chave S2 está aberta o capacitor ainda mantém a carga armazenada no ciclo anterior.

5.5.CHAVE DE TRANSMISSÃO CMOS

Para a implementação da chave CMOS no sistema, é necessário se considerar que no momento em que a chave está ligada há nela uma resistência associada. Isso pode ser bastante prejudicial se o sistema não tiver altas impedâncias de entrada. Para quantificar este fato uma implementação da chave CMOS buscando a sua resistência R_{ON} foi elaborada, com uma razão de aspecto de $W/L=1/0.35$ para ambos NMOS e PMOS a chave mostrou uma curva de resistência dada pela figura 5-11.

Observando-se que a operação em nosso sistema se dá em alimentação de 3,3V pode-se observar que a resistência R_{ON} está da ordem de $4K\Omega$.

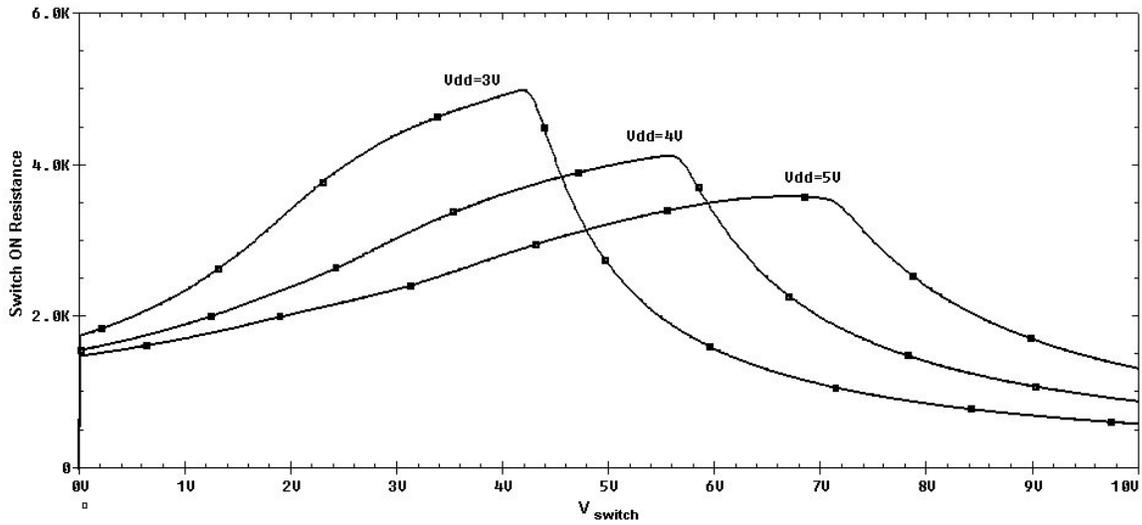


Figura 5-11 – Resistência ON da chave CMOS

6. CONCLUSÕES

6.1. OBSERVAÇÕES SOBRE OS RESULTADOS OBTIDOS

O projeto deu a oportunidade de investigar a fundo a operação de um modulador sigma delta. Foram implementados as topologias de todos os circuitos, subcircuitos e células necessárias para a prática do modulador sigma-delta de segunda ordem. Ainda, é feita de forma simples uma especificação básica para o decimador, que será extremamente necessário na saída do modulador.

As topologias apresentadas foram testadas e validadas apresentando o desempenho necessário para a implementação do modulador, que é o próximo passo a ser executado. O sistema estando todo completo será exaustivamente testado de modo a refinar e otimizar as especificações de projeto exigidas.

Ainda foram levantados estudos sobre a tecnologia de $0,35\mu\text{m}$ utilizada para fabricação pela AMS. Este estudo foi de suma importância para o projeto, pois quanto mais os modelos do fabricante se aproximarem do real, maiores as chances dos resultados apresentados serem na prática verificados.

6.2. TRABALHOS FUTUROS

A estrutura de blocos do modulador está completa, mas ainda é necessário a implementação e simulação do modulador. Este é o passo imediatamente a seguir deste projeto além da exaustiva simulação para otimização do circuito.

A arquitetura de segunda ordem será implementada em tecnologia de $0,35\mu\text{m}$, assim um estudo do funcionamento Cadence para a execução do *layout* será necessário. Tendo as ferramentas acertadas a seqüência mostra a seguida para a implementação do *Layout*.

Estando o sistema apresentado em *layout* de fabricação, será novamente exaustivamente simulado de modo a validar parâmetros ainda não considerados na fase da validação da topologia, e se necessário efetuar novas alterações.

7. BIBLIOGRAFIA

- [1] B. E. Boser, B. A. Wooley, "The design of Sigma-Delta Modulation Analog-to-Digital Converters", IEEE Journal of Solid-State Circuits, Vol. 23, n° 6, December 1988, pp.1298-1308.
- [2] M. W. Hauser, R. W. Brodersen, "Circuit and Technology Considerations for MOS Delta-Sigma A/D Converters", IEEE Proceedings ISCAS'86, May 1986, pp. 1310-1315.
- [3] C. R. T. de Mori, P. C. Crepaldi, T. C. Pimenta, "A 3-V 12-Bit Second Order Sigma-Delta Modulator Design in 0.8 μ m CMOS", IEEE, 2001, pp. 124-129.
- [4] D. Jarman, "A brief introduction to Sigma Delta Conversion", May 1985, Intersil.
- [5] P. M. Aziz, H. V. Sorensen, "An Overview of Sigma-Delta Converters", IEEE Signal Processing Magazine", Jan 1996, pp. 61-84.
- [6] A. R. Feldman, High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications, University of California, Berkeley.
- [7] Louis Williams, Modeling and Design of High-Resolution Sigma-Delta Modulators, PhD. Dissertation, Stanford University, 1993.
- [8] James Candy and Gabor Temes, "Oversampling Methods for A/D and D/A Conversion," in *Oversampling Delta-Sigma Data Converters*. IEEE Press, New York, 1992.
- [9] Bernhard Boser and Bruce Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," *IEEE Journal of Solid-State Circuits*, Vol. 23, No. 6. pp. 1298-1308., December 1988.
- [10] R. V. De Plashe, "Integrated Analog-to-Digital and Digital-to-Analog Converters", Kluwer Academic Press, 1994.
- [11] R. Gray, "Spectral analysis of sigma-delta quantization noise", to be published in IEEE Trans. Commun.
- [12] J. C. Candy, "Decimation for sigma delta modulation" IEEE Trans. Commun., vol. COM-34, pp. 72-76, Jan 1986.
- [13] K. Uchimura, T. Hayashi, "VLSI A/D e D/A convertes with multi – stage noise shaping modulators" em Proc. ICASSP, abril 1996 pp. 1545-1548.
- [14] J. C. Candy, "Private communication", 1985.
- [15] Brian Brandt, et al. "Analog Circuit Design for $\Delta\Sigma$ ADCs" in *Delta-Sigma Data Converters Theory Design and Simulation*, IEEE Press, New York, 1997.
- [16] Louis Williams, *Modeling and Design of High-Resolution Sigma-Delta Modulators*, PhD. Dissertation, Stanford University, 1993.
- [17] S. Bagga, Interface Analógica e Digital(Serial) para um Sistema em Chip (Soc) [Distrito Federal] 2002. 60 p, 297 mm (ENE / FT / UnB, Mestre, Engenharia Elétrica, 2002).
- [18] D. J. DeFatta, J. G. Lucas, W. S. Hodgkiss; "Digital Signal Processing: A System Design Approach", Wiley, 1988

8. APÊNDICE A – MODELO DOS TRANSISTORES

Os modelos dos transistores a serem empregados neste sistema são de uma tecnologia 0.35 μm , quatro metais. Para a implementação os modelos Spice tanto para NMOS e PMOS foram obtidos dos seguintes parâmetros mostrando de início a seção cruzada do wafer para esta tecnologia.

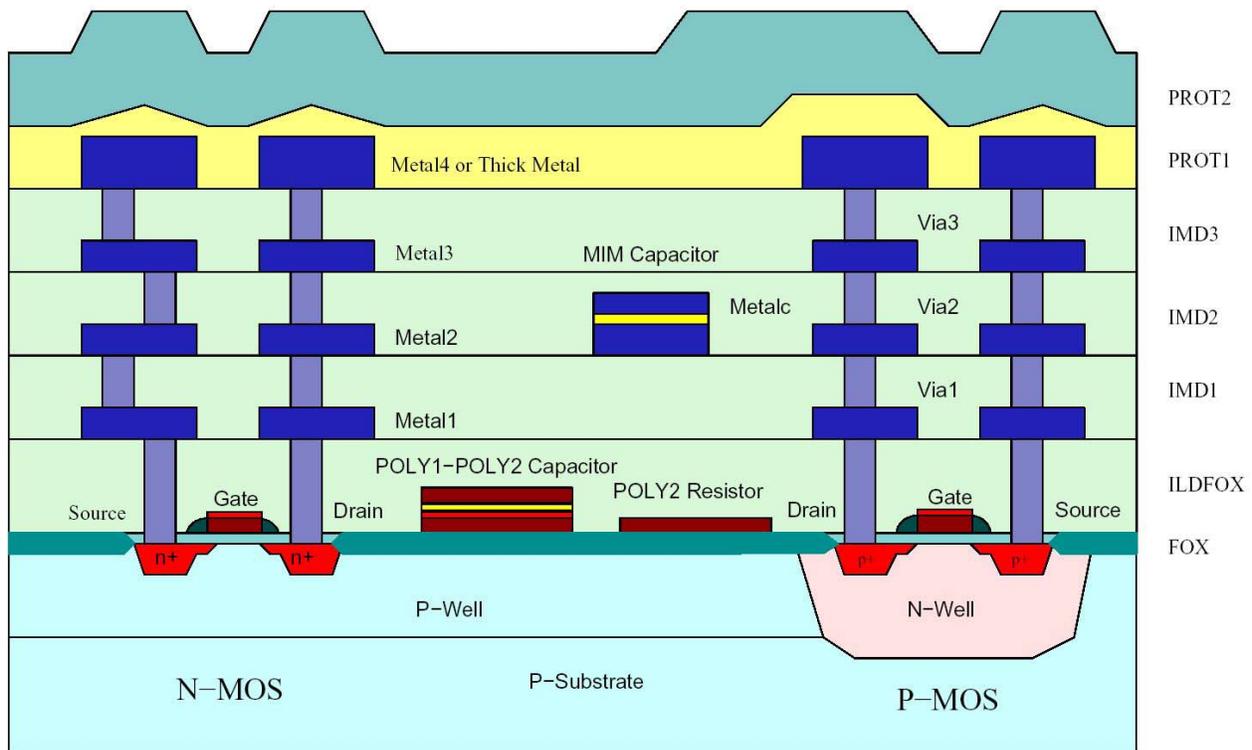


Figura A-1 – Seção cruzada do Wafer

Esta estrutura de tecnologia possui parâmetros estruturais, geométricos e elétricos que são variáveis com o processo de fabricação onde tem uma faixa de valores dentro dos limites de fábrica aceitáveis para utilização. As tabelas a seguir possuem tais valores especificados, de onde foram tirados os modelos para os cálculos manuais.

TABELA A-1 - PARÂMETROS ESTRUTURAIS E GEOMÉTRICOS

PASS/FAIL PARAMETERS					
Parameter	Symbol	Min	Typ	Max	Unit
field oxide thickness	TFOX	260	290	320	nm
gate oxide thickness	TGOX	7.1	7.6	8.1	nm
poly1 thickness	TPOLY1	264	282	300	nm
metal1-poly oxide thickness (field region)	TILDFOX	395	645	895	nm
metal2-metal1 oxide thickness	TIMD1	620	1000	1380	nm
metal3-metal2 oxide thickness	TIMD2	620	1000	1380	nm
metal1 thickness	TMET1	565	665	765	nm
metal2 thickness	TMET2	540	640	740	nm
metal3 thickness (top metal)	TMET3T	775	925	1075	nm
passivation thickness 1	TPROT1	800	900	1000	nm
passivation thickness 2	TPROT2	800	1000	1200	nm
INFORMATION PARAMETERS					
metal1-poly oxide thickness (active region)	TILDDIFF	1140	1290	1440	nm
n+ junction depth	XJN		0.2		μm
p+ junction depth	XJP		0.2		μm
n-well junction depth	XJNW		2.0		μm
wafer substrate resistivity (non epi)	RSWAF	14	19	24	Ω cm
wafer thickness	TWAF	710		740	μm

TABELA A-2 - MOS 3.3V N-CHANNEL PARÂMETROS ELÉTRICOS

PASS/FAIL PARAMETERS					
Parameter	Symbol	Min	Typ	Max	Unit
threshold voltage long channel 10x10	VTO10X10N	0.36	0.46	0.56	V
threshold voltage short channel 10x0.35	VTO10X035N	0.40	0.50	0.60	V
threshold voltage short channel 10x0.35 (measured in linear region)	VT_N3	0.49	0.59	0.69	V
threshold voltage poly on field 0.6 μ m	VTFPN	15	> 20		V
effective channel length 0.35 μ m	LEFF035N	0.30	0.38	0.46	μ m
effective channel width 0.4 μ m	WEFF04N	0.20	0.35	0.50	μ m
body factor long channel 10x10	GAMMAN	0.48	0.58	0.68	V ^{1/2}
gain factor	KPN	150	170	190	μ A/V ²
drain-source breakdown 0.35 μ m	BVDS035N	7	> 8		V
saturation current 0.35 μ m	IDS035N	450	540	630	μ A/ μ m
substrate current 0.35 μ m	ISUB035N		1.5	3	μ A/ μ m
subthreshold leakage current 0.35 μ m	SLEAK035N		0.5	2	pA/ μ m
gate oxide breakdown	BVGOXN	7	> 8		V
INFORMATION PARAMETERS					
active channel length 0.35 μ m	LACT035N		0.29		μ m
threshold voltage narrow channel 0.4x10	VTO04X10N		0.46		V
threshold voltage small channel 0.4x0.35	VTO04X035N		0.48		V
threshold voltage temperature coefficient	TCVTON		-1.1		mV/K
effective substrate doping	NSUBN		212		10 ¹⁵ /cm ³
effective mobility	UON		370		cm ² /Vs
mobility exponent	BEXN		-1.8		-

TABELA A-3 - MOS 3.3V P-CHANNEL PARÂMETROS ELÉTRICOS

PASS/FAIL PARAMETERS					
Parameter	Symbol	Min	Typ	Max	Unit
threshold voltage long channel 10x10	VTO10X10P	-0.58	-0.68	-0.78	V
threshold voltage short channel 10x0.35	VTO10X035P	-0.55	-0.65	-0.75	V
threshold voltage short channel 10x0.35 (measured in linear region)	VT_P3	-0.62	-0.72	-0.82	V
threshold voltage poly on field 0.6 μ m	VTFPP	-15	< -20		V
effective channel length 0.35 μ m	LEFF035P	0.42	0.50	0.58	μ m
effective channel width 0.4 μ m	WEFF04P	0.20	0.35	0.50	μ m
body factor long channel 10x10	GAMMAP	-0.32	-0.40	-0.48	V ^{1/2}
gain factor	KPP	48	58	68	μ A/V ²
drain-source breakdown 0.35 μ m	BVDS035P	-7	< -8		V
saturation current 0.35 μ m	IDS035P	-180	-240	-300	μ A/ μ m
subthreshold leakage current 0.35 μ m	SLEAK035P		-0.5	-2	pA/ μ m
gate oxide breakdown	BVGXP	-7	< -8		V
INFORMATION PARAMETERS					
active channel length 0.35 μ m	LACT035P		0.31		μ m
threshold voltage narrow channel 0.4x10	VTO04X10P		-0.90		V
threshold voltage small channel 0.4x0.35	VTO04X035P		-0.68		V
threshold voltage temperature coefficient	TCVTOP		1.8		mV/K
effective substrate doping	NSUBP		101		10 ¹⁵ /cm ³
effective mobility	UOP		126		cm ² /Vs
mobility exponent	BEXP		-1.30		-