

TRABALHO DE GRADUAÇÃO

O RÁDIO DEFINIDO POR SOFTWARE

Letícia Garcia de Barros

Brasília, dezembro de 2007

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE GRADUAÇÃO

O RÁDIO DEFINIDO POR SOFTWARE

Letícia Garcia de Barros

Relatório submetido ao Departamento de Engenharia Elétrica como requisito parcial
para obtenção do grau de Engenharia Eletricista

Banca Examinadora

Prof. Lúcio Martins Silva- Doutor, ENE/UnB
(Orientador)

Prof. Rafael Granja Neves

Prof. Flávio Ferreira Lima

Dedicatória

Dedico este trabalho aos meus pais, Carlos e Beatriz.

Letícia Garcia de Barros

Agradecimentos

Ao professor Lúcio Martins Silva, meu orientador, por ter sido um grande professor durante minha graduação. Aos amigos que fiz na época do grupo de Rádio Definido por Software, que no decorrer deste trabalho me auxiliaram. E também a todos os mestres que contribuíram para a minha formação.

A minha família que sempre me deu apoio nas horas difíceis, a eles devo todas as minhas conquistas e tudo que sou.

Aos amigos que fiz no decorrer do curso, pelas longas horas de estudo juntos e pela jornada percorrida nesses anos de graduação, sem eles tudo seria menos divertido, e aos amigos de longa data, por serem sempre presentes e na minha vida.

Ao meu companheiro e amigo Jorge, por estar ao meu lado e dar apoio sempre que precisei.

A Deus, por me dar força durante todos esses anos de universidade.

Letícia Garcia de Barros

RESUMO

A constante busca de informações de todos os tipos é cada vez maior, com usuários mais exigentes. A união entre o desenvolvimento da tecnologia móvel e a popularização da internet foram fatores essenciais para estreitar a relação entre o usuário comum e a informação.

Neste cenário o rádio definido por software é um forte candidato a fornecer as possíveis soluções de interoperabilidade necessária a essa convergência de tecnologias, devido justamente a reconfigurabilidade deste sistema.

O rádio definido por software é uma tecnologia amplamente estudada, pois apresenta alta flexibilidade e proporciona portabilidade aos sistemas exigentes, adequando uma resposta viável e interessante para os sistemas de comunicação existentes.

O objetivo dessa dissertação é de forma explicativa e completa, analisar os dispositivos mais importantes que compõem o rádio definido por software, abordando algumas arquiteturas dos componentes mais importantes dessa tecnologia.

ABSTRACT

The constant search of all the types of information is each bigger time, with more demanding users. The union between the development of the mobile technology and the popularity of the Internet had been essential factors to narrow the relation between the common user and the information.

In this scene the software defined radio is a strong candidate to supply the possible solutions of necessary interoperability to this convergence of technologies, because exactly of the reconfigurability of this system.

The software defined radio is a widely studied technology, therefore it presents high flexibility and it provides portability to the demanding systems, adjusting a viable and interesting reply for the existing systems of communication.

This dissertation objective is in an explicated and complete form, to analyze the most important devices that compose the software defined radio, approaching some architectures of the most important components of this technology.

SUMÁRIO

1	INTRODUÇÃO	1
1.1.	CONTEXTUALIZAÇÃO	1
1.2.	ESTRUTURA DA DISSERTAÇÃO	3
2	CONCEITUAÇÃO	5
2.1.	O QUE É RÁDIO DEFINIDO POR SOFTWARE?	5
2.2.	ARQUITETURA DO RÁDIO DEFINIDO POR SOFTWARE	6
3	MÓDULOS DE RÁDIO FREQUÊNCIA	10
3.1.	ANTENAS	10
3.1.1.	Definição de antenas inteligentes	11
3.1.2.	Vantagens gerais no uso das antenas inteligentes	13
3.1.3.	Algoritmos de obtenção da Estimção da Direção de Chegada (DOA)	14
3.1.4.	Métodos baseados em estimação espectral	14
3.1.4.1.	Método Atraso e Soma	14
3.1.4.2.	Método Capon	15
3.1.5.	Métodos baseados em subespaço	16
3.1.5.1.	Método MUSIC	16
3.1.5.2.	Método ESPRIT	17
3.2.	O FRONT-END RF	17
3.2.1.	A frequência intermediária no RDS	19
3.2.2.	O conversor super-heteródino	21
3.2.3.	Arquitetura de conversão direta	22
3.2.4.	Arquitetura de conversão múltipla	23
3.2.5.	Arquitetura de frequência intermediária (FI) baixa	25
4	MÓDULOS DE PROCESSAMENTO DIGITAL	26
4.1.	O FRONT-END DIGITAL	26
4.2.	CONVERSORES A/D/A	27
4.2.1.	Técnicas de Amostragem	27
4.2.1.1.	Critério de Nyquist	27
4.2.1.2.	Técnica de superamostragem do sinal	29
4.2.1.3.	Técnica de subamostragem do sinal	29
4.2.2.	Arquitetura dos conversores A/D/A	30
4.2.2.1.	Conversores <i>flash</i>	31
4.2.2.2.	Conversores sigma-delta	32

4.2.2.3.	Conversores de multi-estágio.....	33
4.2.2.4.	Conversores de digital-analógicos.....	34
4.2.3.	Ruídos e distorções nos conversores A/D/A.....	34
4.2.3.1.	Ruído de quantização.....	34
4.2.3.2.	Distorção de saturação.....	35
4.2.3.3.	Ruído térmico.....	36
4.2.3.4.	<i>Jitter</i> de abertura.....	36
4.2.3.5.	Distorções de não linearidade diferencial.....	37
4.2.3.6.	Conseqüências sobre o ADC.....	38
4.3.	O DIGITAL DOWNCONVERTER E O DIGITAL UPCONVERTER.....	39
4.3.1.	O <i>digital downconverter</i> (DDC).....	39
4.3.2.	O <i>digital upconverter</i> (DUC).....	41
4.4.	SOFTWARE COMMUNICATIONS ARCHITECTURE (SCA).....	42
4.5.	PROCESSADORES DE SINAIS.....	43
4.5.1.	DSP.....	44
4.5.2.	FPGA.....	45
4.5.3.	ASIC.....	46
4.5.4.	Análise comparativa entre DSP, FPGA e ASIC.....	47
4.5.5.	Relação de projeto entre hardware e software.....	48
5	CONCLUSÃO.....	50
	REFERÊNCIAS BIBLIOGRÁFICAS.....	52

Lista de figuras

Figura 1.1 - Usos do RDS.....	3
Figura 2.1 - Transceptor RDS ideal.....	6
Figura 2.2 - Transceptor RDS real.....	8
Figura 2.3 - Outra arquitetura para o transceptor RDS real.....	9
Figura 3.1 - Módulos de rádio frequência	10
Figura 3.2 - Arranjo linear uniforme (ULA) para antenas inteligentes.	12
Figura 3.3 - Arranjo regular planar para antenas inteligentes.	13
Figura 3.4 - Comparação entre métodos atraso e soma e Capon	16
Figura 3.5 - Comparação entre o MUSIC e o Capon	17
Figura 3.6 - Misturador do conversor heteródino.....	19
Figura 3.7 - Técnica de conversão em quadratura.	21
Figura 3.8 - Conversor super-heteródino de um estágio	21
Figura 3.9 - Conversor super-heteródino de dois estágios.....	22
Figura 3.10 - Arquitetura de conversão direta na recepção.	22
Figura 3.11 - Arquitetura de conversão direta na transmissão.....	23
Figura 3.12 - Arquitetura de conversão múltipla na recepção.	24
Figura 3.13 - Arquitetura de conversão múltipla na transmissão.....	24
Figura 4.1 - Front-end digital	26
Figura 4.2 - Critério de Nyquist	28
Figura 4.3 - Intervalo dinâmico do conversor AD.....	28
Figura 4.4 - Superamostragem de um sinal.	29
Figura 4.5 - Arquitetura de um ADC flash.....	32
Figura 4.6 - Arquitetura de um ADC Sigma-Delta	33
Figura 4.7 - Arquitetura de um ADC multi-estágio	33
Figura 4.8 - <i>Jitter</i> de abertura	36
Figura 4.9 - Não linearidade diferencial.....	37
Figura 4.10 - ENOB em um ADC considerando um <i>jitter</i> de abertura de 0.5ps	39
Figura 4.11 - Arquitetura de modelo para DDC	40
Figura 4.12 - Arquitetura de modelo para DUC	42
Figura 4.13- Análise comparativa entre DSP, FPGA e ASIC	48

Lista de tabelas

Tabela 4.1 - Estratégias de amostragem de um RDS	30
Tabela 4.2 - Comparação entre DSP, FPGA e ASIC	47

Lista de símbolos

ADC – Analog-to-Digital Converter
ASIC – Application-Specific Integrated Circuit
CORBA – Common Object Request Broker
CORDIC – Coordinate Rotation Digital Computer
DAC – Digital-to-Analog Converter
DDC – Digital Down Converter
DOA – Direction of Arrival
DSP – Digital Signal Processor
DUC – Digital Up Converter
ENOB – Effective Number of Bits
ESPRIT – Estimation of Signal Parameters via Rotational Invariance Techniques
FFT – Fast Fourier Transform
FI – Frequênciã intermediária
FIR – Finite Impulse Response
FPGA – Field Programmable Gate Array
JTRS – Joint Tactical Radio System
MUSIC – Multiple Signal Classification
NCO – Numerically Controlled Oscillator
OL – Oscilador local
PLD – Programmable logic devices
RDS – Rádio definido por software
RF – Rádio frequênciã
ROM – Read-Only Memory
SCA – Software Communication Architecture
SNR – Signal Noise Rate
ULA – Uniform linear array
VHDL – VHSIC Hardware Description Language

1 INTRODUÇÃO

1.1. CONTEXTUALIZAÇÃO

O rádio definido por software (RDS), em inglês software defined radio (SDR), é uma tecnologia que emergiu nas últimas décadas devido, principalmente, ao grande cenário favorável à reconfigurabilidade de dispositivos para suprir uma alta demanda de acesso e busca a informações [11].

Como essa busca por informações é cada vez maior, os usuários tornam-se cada vez mais exigentes. A computação pessoal, a melhoria do sistema de telefonia fixa, a popularização da internet e o desenvolvimento da telefonia móvel revolucionaram a relação entre usuários comuns e a informação e, conseqüentemente, seu modo de vida foi amplamente modificado, no âmbito profissional ou pessoal (a maioria das pessoas hoje não trabalha sem e-mail e sua maior fonte de notícias é a Internet). Além disso, existe a busca de informações, a necessidade de comunicação, com qualquer pessoa em qualquer lugar.

O RDS tem como origem as pesquisas militares, mas cada vez mais ocorre uma migração para o campo comercial, devido ao SDR Fórum [9]. Sob a concepção militar a tecnologia tem o objetivo de integrar as diversas interfaces aéreas, operando de diversos modos e em diversas bandas de frequências e reconfiguráveis, no campo de batalha. Para que a comunicação ocorresse de forma mais barata e eficiente. Ao tratar-se do campo comercial, tem-se um caminho para a integração dos sistemas de comunicação, além de favorecer interfaces multimodo e multibanda para o usuário comum, isso para tecnologias futuras, como os sistemas de 4ª geração (4G) [5].

O RDS saiu da obscuridade nos últimos anos, sendo amplamente estudado, por oferecer uma solução interessante a um problema de comunicações móveis; o cenário de terminal reconfigurável, adaptável a diversas interfaces de rádio, parece ser bastante atrativo. Na realidade o RDS oferece diversas aplicações possíveis e em um futuro próximo o impacto da tecnologia em diversos ramos comerciais (rede, serviços, estruturas industriais) será profundo [11].

Ele reflete a convergência de dois ramos diferentes de estudo da década de 90, o rádio digital e a tecnologia de software. Nesta época, a explosão da tecnologia *wireless* facilitou tanto a utilização em massa dos telefones celulares quanto o uso massivo da internet. O crescimento constante e a convergência desses dois mercados agregam aplicações nas gerações futuras das redes de celulares e também na constante e crescente onda de crescimento do uso da internet [11].

Esta integração entre os sistemas móveis pode ter-se iniciado em 1970, quando o Departamento de Defesa Americano desenvolveu o primeiro rádio multibanda com espalhamento espectral. Nesta mesma linha de pesquisa, na década de 80, o JARECO (Jam Resistant Communication) projetou um sistema que podia emular voz digital. Entretanto, apenas em 1992 surgiu o primeiro rádio programável, devido a diversos projetos na área. Vários projetos paralelos, para solucionar problemas específicos a cada uso do rádio digital, como a necessidade de maior interoperabilidade, maior capacidade em um equipamento, maximizar a flexibilidade e melhorar a programabilidade são estudados deste então [5, 11]. Logo, o RDS seria uma alternativa viável para os problemas encontrados historicamente.

Com o avanço das tecnologias disponíveis ao usuário comum, como a TV digital, o VoIP, IPTV, a idéia então é integrar os serviços, de forma a convergi-los e entregá-los em apenas um dispositivo ao consumidor. Agregar hardware ao equipamento requer um aumento no consumo de potência e nas dimensões do mesmo, afetando a portabilidade dos dispositivos. Em telefonia móvel, por exemplo, a portabilidade é extremamente atraente, o que agregaria problema para a tecnologia. A solução seria justamente na reconfiguração em software do equipamento, usando o RDS.

Além da reconfigurabilidade, uma grande vantagem do RDS é o barateamento do custo dos dispositivos, pois os equipamentos podem ter uma produção mais padronizada em hardware, sendo que as funções de cada aparelho são definidas por um software instalado posteriormente. Ou seja, cria-se uma economia na produção do hardware do sistema, aproveita-se o baixo custo do desenvolvimento do software e o usuário final sai beneficiado [2].

Podemos dizer que no futuro, o RDS poderá contribuir para a interoperabilidade entre sistemas e serviços agregando inúmeras vantagens se for utilizado. Como por exemplo, a interoperabilidade transparente entre padrões diferentes, devido a

reconfiguração do sistema supondo que diferentes padrões utilizem ou não frequências de operação; a otimização dos parâmetros de transmissão do rádio, que varia com demanda; a alta capacidade do usuário escolher em qual rede prefere falar, considerando qualidade da mesma, custo. Além disso, o RDS ainda possui duas aplicações potenciais, a militar (em projetos como o SPEAKEasy – criado pelo Departamento de Defesa Americano para ser um sistema de rádio multimodo e multibanda) e a civil (como o Bluetooth, WLAN, entre outros) [4, 5, 11].

O uso do RDS tende a aumentar, logo há um aumento na capacidade do sistema e conseqüentemente mais serviços aos usuários. Este aumento é ilustrado na Figura 1.1 [4], fazendo uma analogia as próximas gerações de telefonia móvel.

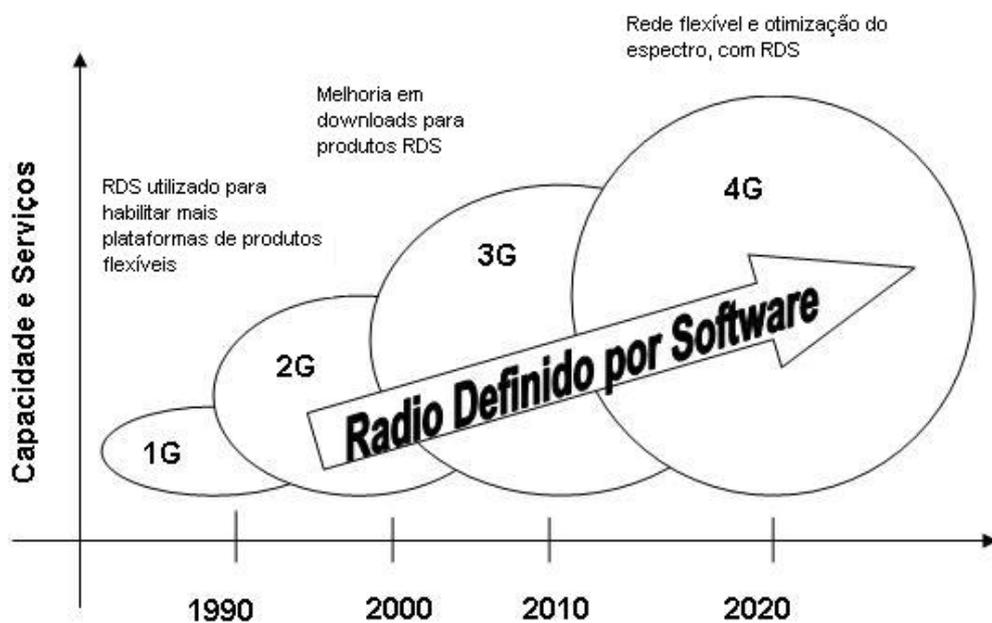


Figura 1.1 - Usos do RDS

1.2. ESTRUTURA DA DISSERTAÇÃO

A dissertação está estruturada da seguinte forma, no Capítulo 2 é feita uma conceituação do rádio definido por software, abordando o conceito e a arquitetura básica do RDS.

O Capítulo 3 aborda os módulos de rádio frequência do RDS, como as antenas inteligentes, sua definição, suas vantagens e os algoritmos de obtenção da estimação da

direção de chegada do sinal; o *front-end* RF, o porquê desse dispositivo ainda ser essencial para a construção de um RDS, mesmo sendo limitado.

O Capítulo 4 aborda os módulos de processamento digital, como o *front-end* digital. E dentro desse módulo, há o aprofundamento dos dois grandes fatores limitantes do RDS atualmente, os conversores A/D/A e os processadores de sinais.

O Capítulo 5 contém as conclusões do estudo.

2 CONCEITUAÇÃO

2.1. O QUE É RÁDIO DEFINIDO POR SOFTWARE?

O rádio definido por software (RDS) não é facilmente definido atualmente. Pelo fato de ser uma tecnologia emergente e por ser associado a inúmeros tipos de tecnologia, não existe ainda uma padronização clara para o termo.

Segundo Kenington [2], rádio definido por software é todo transceptor de rádio cujos parâmetros chave são definidos em software e cujos aspectos fundamentais para o funcionamento podem ser reconfigurados apenas com uma atualização (*upgrade*) do software.

Entretanto, utilizando uma definição mais ampla de Mitola [3], “um rádio definido por software é um rádio cuja modulação das formas de onda do canal é definida em software. Isto é, as formas de onda são geradas como sinais digitais amostrados, convertidas de digitais para analógicas por um conversor digital analógico (DAC) de banda larga, que captura todos os canais do nó do RDS. O receptor, por sua vez, captura o sinal, faz um abaixamento de frequência e demodula a forma de onda do canal por meio de um software que roda sobre um processador de uso geral”.

Sendo assim, o que se espera da tecnologia RDS é justamente transformar problemas de hardware em problemas de software, ou seja, fazer um transceptor reconfigurável. Apesar de atualmente quase todos os rádios utilizarem-se de software, não significa que este é um rádio definido por software propriamente dito, mas são geralmente rádios que são baseados em software [5].

Um RDS deve digitalizar o sinal o mais próximo possível da antena, diminuindo o processamento em hardware do recurso utilizado. Idealmente, os conversores analógico-digital e digital-analógico deveriam estar localizados logo após a antena do rádio, que para acompanhar a reconfigurabilidade do rádio, opta-se por uma antena inteligente, e todo o processamento do sinal seria realizado por meio de um software rodando em um dispositivo reconfigurável. A Figura 2.1 ilustra essa idéia.

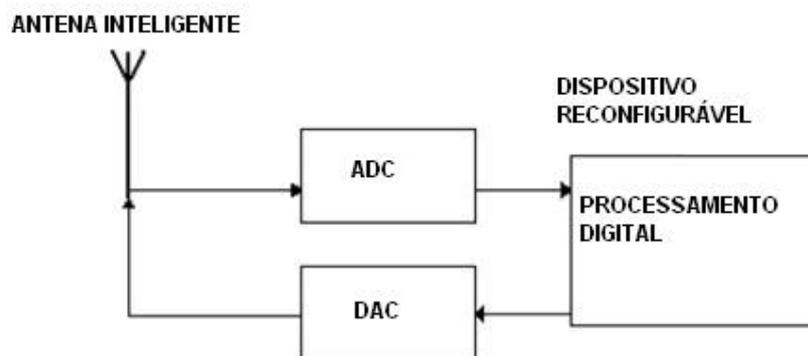


Figura 2.1 - Transceptor RDS ideal.

Um RDS ideal busca as seguintes características como primordiais:

- i. Reconfigurabilidade: Capacidade de alterar o funcionamento do rádio. Esta é uma característica promissora, pois a idéia de se reconfigurar um rádio a distância, sem intervenção física é justamente a promessa do conceito de RDS.
- ii. Flexibilidade: Aceitar, sem mudanças na arquitetura do rádio, toda a reconfigurabilidade aplicada.
- iii. Modularidade: As partes que definem o sistema são executadas em módulos distintos. Essa característica implica na alta flexibilidade do sistema, já que se porventura alguma modificação for realizada em algum dos módulos, não afetará todo o sistema do RDS.

2.2. ARQUITETURA DO RÁDIO DEFINIDO POR SOFTWARE

A arquitetura de um rádio digital comum é dividida em duas áreas majoritárias de atuação, a de rádio *front end* que é relacionado aos aspectos de frequência e rádio *back end*, relacionando ao processamento do sinal [4]. O que leva a uma idéia errônea de que o hardware é o elemento dominante na primeira área e que o software aplicado no hardware domina a segunda área. É interessante realçar que o rádio definido por software visa justamente diminuir esta idéia e conforme já foi realçado, transformar problemas de hardware em problemas de software, muito mais maleáveis e fáceis de trabalhar [1].

O modelo do transceptor RDS ideal, mostrado na Figura 2.1, não pode ser implementado com a tecnologia existente atualmente. Na realidade, os conversores analógicos-digitais e digitais-analógicos e os dispositivos de processamento são ainda bastante limitados tecnologicamente para atender os requisitos de um RDS, as versões mais modernas são capazes atualmente de digitalizar sinais na banda de frequência na ordem de 100 MHz. Esta se torna uma barreira no desenvolvimento da tecnologia RDS e na construção de plataformas [4]. Para se encontrar a reconfigurabilidade esperada, trabalhando em diversas frequências, necessita-se de conversores AD que façam à conversão a uma taxa de amostragem bastante alta, capaz de digitalizar sinais na banda de frequências da ordem de GHz, e que o consumo de potência não ultrapasse valores aceitáveis. O dispositivo de processamento também deve ser capaz de operar de modo a processar a enorme quantidade de informação recebida e ao mesmo tempo enviá-la ao conversor DA a uma taxa considerável. Cada dispositivo possui limitações e qualidades. Cabe ao projetista desenvolver e escolher o melhor equipamento para a função designada ao RDS. [4].

Os principais fatores limitadores dos conversores de frequência são a taxa de amostragem, o *range* dinâmico, o *jitter* de abertura, e alguns ruídos e distorções associados aos próprios conversores, como o ruído térmico, ruído de quantização e distorções não-lineares (haverá um item abordando todos esses aspectos) [1, 4, 12]. Como essas limitações agravam-se com a alta taxa de amostragem dos conversores, para trabalhar em altas frequências os conversores AD e DA são os maiores limitantes, ao se tratar do *range* dinâmico, largura de banda e consumo de potência do RDS.

Como essas barreiras tecnológicas existem, o RDS ideal é impossível de ser realizado hoje em dia. Logo, há a necessidade de se introduzir um estágio, ou um novo módulo, que realize uma ampliação, controle do ganho, abaixamento para uma frequência intermediária e uma filtragem *anti-alias*, preparando o sinal para a conversão AD, este módulo, de pré-processamento é chamado de *front-end* de radiofrequência (*front-end RF*) [1].

Após a digitalização, que ocorre em frequência intermediária, que varia dependendo da arquitetura utilizada no conversor, o sinal deverá ser processado pelo processador digital, em software. Para atender ao teorema da amostragem [6, 10], a taxa de amostragem para esta digitalização ocorreria em velocidades de processamento muito altas. Então entram os dispositivos que fazem o deslocamento de frequência do sinal

digitalizado, da frequência intermediária para a banda-base: o digital down-converter (DDC) e o digital up-converter (DUC). A Figura 2.2 ilustra de forma simplificada um transceptor RDS real.

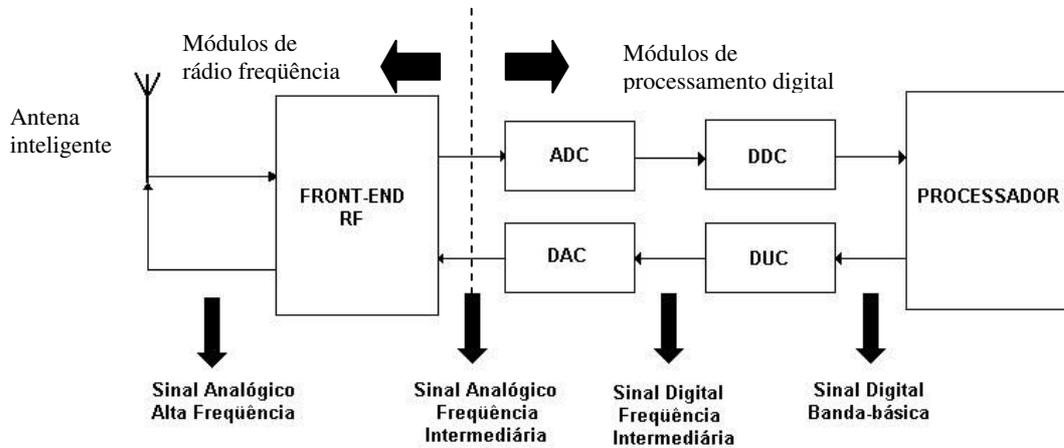


Figura 2.2 - Transceptor RDS real

De modo a minimizar o problema do processamento do sinal em frequência intermediária, é interessante fazer um deslocamento de frequência do sinal para a banda básica, o que contornaria o problema de alta velocidade de processamento devido ao teorema da amostragem [6]. Por isso o uso do DDC e do DUC. O DDC faz uma conversão digital para baixo, como o nome já informa, translada o sinal para banda-base e faz uma re-amostragem do sinal, diminuindo a taxa de throughput, exigindo menos do processador, que assim como os conversores, são fatores limitantes na arquitetura do RDS. Sendo que para a transmissão do sinal, o problema seria solucionado de forma análoga com o DUC.

Uma arquitetura simplificada que pode ser ilustrada como na Figura 2.3, visto que os ADC e DAC e os DDC e DUC poderiam ser ilustrados em apenas um módulo, chamado de *front-end* digital, que pode ser dito como uma ponte entre processamento em rádio frequência e processamento em banda-base.

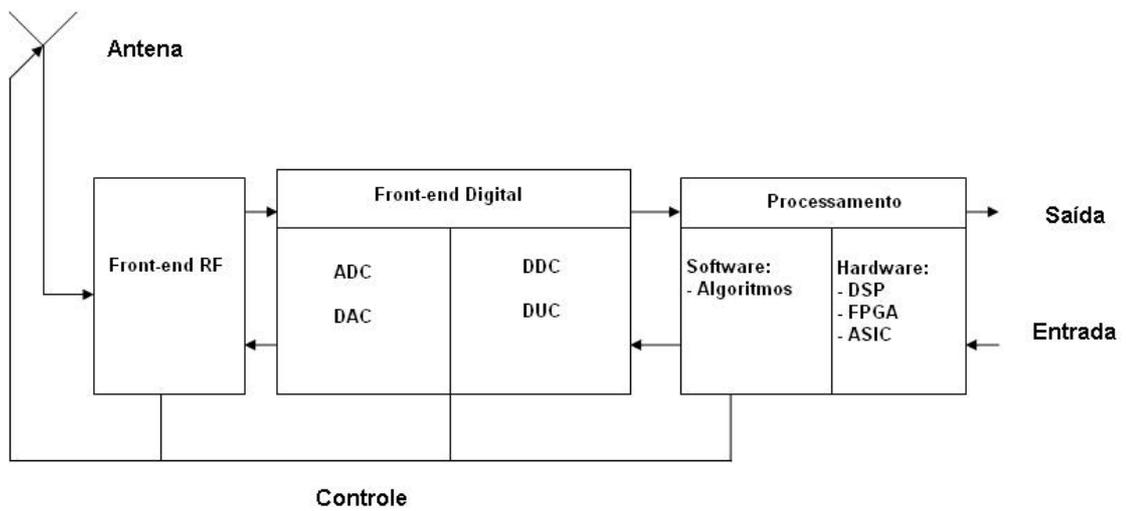


Figura 2.3 - Outra arquitetura para o transceptor RDS real

Nos capítulos seguintes serão abordados os aspectos dessa estrutura de forma minuciosa. Os capítulos serão divididos entre os módulos do RDS que sejam semelhantes entre si, ou seja, entre os módulos de rádio frequência (antena inteligente e *front-end* RF) e módulos de processamento digital (conversores A/D/A, DDC e DUC e os dispositivos de processamento digital).

3 MÓDULOS DE RÁDIO FREQUÊNCIA

Esse módulo estuda primordialmente o módulo de rádio frequência do rádio definido por software. Faz um estudo de toda a parte de recepção e transmissão do rádio que é desenvolvido em rádio frequência. No caso desta dissertação o estudo foi realizado em dois módulos distintos. Um módulo que discute sobre as antenas inteligentes, dispositivos que se encaixam muito bem a idéia do RDS e um módulo sobre o *front-end* RF que mesmo com suas limitações, ainda são de suma importância para o RDS, nesse módulo, é interessante verificar uma análise dos conversores de frequência do sinal. A Figura 3.1 ilustra os dois módulos de rádio frequência.

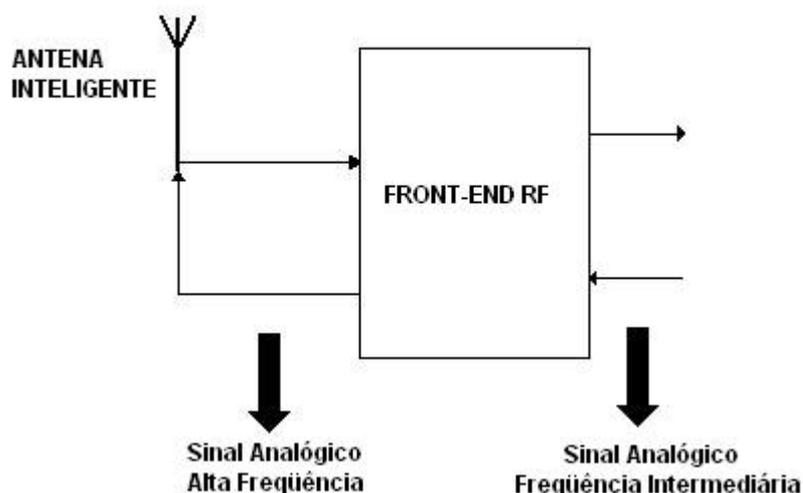


Figura 3.1 - Módulos de rádio frequência

3.1. ANTENAS

A antena utilizada em RDS deve seguir a mesma idéia de todo o dispositivo em si. Como o RDS é um dispositivo reconfigurável, permitindo a utilização de terminais multimodo, essas características implicam em se utilizar antenas banda larga ou multibanda, que se ajustem dinamicamente as necessidades do RDS [10].

São diversas as faixas de frequências de operação de serviços que podem utilizar os terminais do RDS, variando da ordem de MHz a GHz. Além disso, a largura de banda de alguns serviços também se difere bastante. Um grande problema vinculado a essa situação, em diversos sistemas de comunicação, é a auto-interferência, que limita a capacidade [10].

Para diminuir o problema entre a capacidade das antenas comuns e a necessidade de antenas reconfiguráveis e que diminuam a questão da auto-interferência surge o conceito de antenas inteligentes e antenas fractais. Pois um projeto de uma antena banda larga que atenda as necessidades de alguns sistemas de comunicação, como já foi abordado aqui, é bastante complicado e provavelmente essas antenas terão baixos ganhos.

Neste trabalho, será feito um estudo sobre as antenas inteligentes, visto que a idéia é o estudo do RDS e não de antenas, as antenas fractais não serão abordadas.

3.1.1. Definição de antenas inteligentes

Antenas inteligentes consistem em um conjunto de antenas capazes de ajustar dinamicamente a interferência e o multipercurso, Rappaport [7]. De acordo com Godara [8], o termo antenas inteligentes incorpora todas as situações em que o sistema usa um arranjo de antenas e que esse arranjo é capaz de ajustar-se dinamicamente, de acordo com os requisitos necessários ao sistema em uso.

Essas definições se completam e se encaixa na idéia do RDS, como é desejável, pois a antena deve acompanhar as mudanças sofridas pelo rádio, sem sofrer perda de qualidade na recepção em qualquer faixa de frequência que se deseje trabalhar. Além disso, a antena pode ser responsável por receber as informações do canal de transmissão e recepção, a fim de prover ao rádio as informações para sua reconfiguração e, da maneira mais adequada, fazer o mesmo com a própria antena.

Utilizando um algoritmo de detecção da DOA (*Direction of Arrival*) é possível orientar o lóbulo principal do feixe da antena de modo a orientá-lo na direção de chegada do sinal desejado. Pode-se, então, dizer que com a antena inteligente é fácil privilegiar os sinais desejados, mesmo que em diferentes direções e desta forma, pode-se minimizar os efeitos do multipercurso e da interferência [7].

O conjunto de antenas, disposto em arranjos, é arbitrário. Entretanto, é mais utilizado o arranjo linear e o planar, por sua facilidade de manuseio: o ULA (*Uniform Linear Array*). No ULA os elementos estão distantes de uma distância d . O que define a DOA de cada usuário é o ângulo θ e $d \cdot \sin \theta$ refere-se ao atraso entre duas antenas consecutivas [7]. A Figura 3.2 mostra um arranjo em ULA.

Arranjo com M antenas, K usuários, L multipercursos, θ DOA de cada usuário.

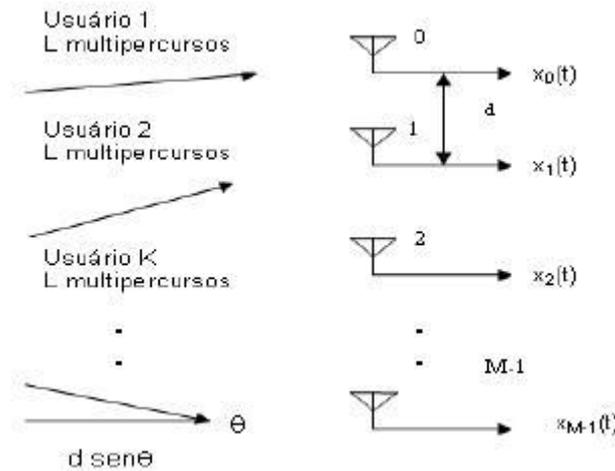


Figura 3.2 - Arranjo linear uniforme (ULA) para antenas inteligentes.

Dependendo do algoritmo de detecção da DOA utilizado, os arranjos do conjunto de antenas podem ser escolhidos. Além do aqui já citado, vou explicitar outro bastante utilizado, o Arranjo Regular Planar [7].

Os elementos no Arranjo Regular Planar estão distantes entre si de d que é igual a meio comprimento de onda, a frequência depende do sistema considerado. Os usuários estão localizados em um ponto distante, por isso pode-se considerar que o campo seja plano. Como há obstáculos no percurso do sinal, o multipercurso, acarreta em um mesmo sinal chegando à antena atrasado e atenuado de diferentes formas. Com isso, alguns aspectos são considerados. Os sinais que chegam à antena inteligente são compostos de um número limitado de ondas planas, devido ao percurso direto. Aqueles que resultam do multipercurso, são distantes de forma que as frentes de onda incidentes também são planas. As antenas são próximas o suficiente de forma que a amplitude dos sinais recebidos por dois elementos do arranjo não tenham mudanças. As antenas têm o mesmo padrão de irradiação. A Figura 3.3 [10] mostra um arranjo regular planar:

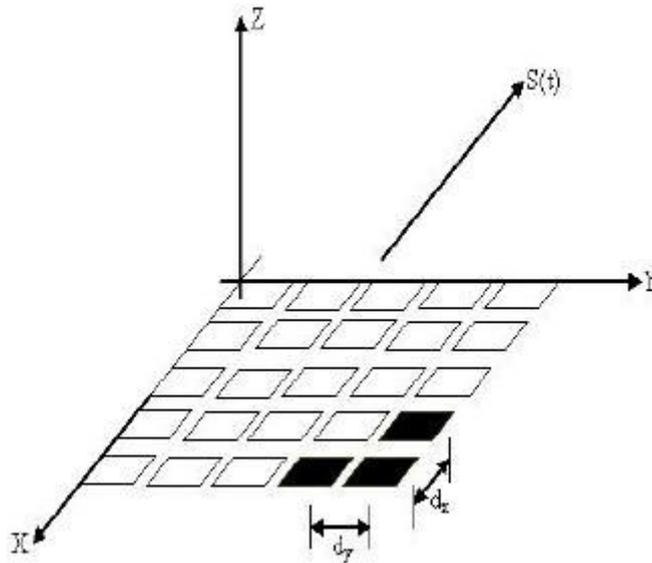


Figura 3.3 - Arranjo regular planar para antenas inteligentes.

3.1.2. Vantagens gerais no uso das antenas inteligentes

O uso de antenas inteligentes é amplamente estudado para os sistemas de telefonia móvel, resolvendo a limitação de canal, proveniente de antenas comuns, e solucionando o problema do aumento exponencial do número de usuários. Pode-se dizer isto, pois baseado na própria definição exposta acima, a antena inteligente é reconfigurável e ajusta-se dinamicamente, de acordo com os requisitos necessários do sistema usado. Ajustando os problemas de interferência e multipercurso.

As antenas inteligentes são capazes de priorizar um sinal em alguma direção sobre outros que não são de interesse. No modo transmissão, o arranjo alinha a energia em determinada direção, diminuindo os efeitos do desvanecimento por multipercurso. Quanto ao modo recepção o arranjo compensa esse efeito, adiciona sinais de outras células, após a compensação do atraso [7].

Além disso, as antenas inteligentes incrementam a relação sinal ruído (SNR) [6] de um sistema sem fio, permitindo o cancelamento e a remoção da interferência entre canais. Logo, ela pode ser usada tanto para aumentar o número de usuários e a taxa de transmissão em um sistema.

As vantagens abordadas até agora, dentro da telefonia móvel, poderiam não ser compatível ao uso no RDS, entretanto é de maior importância observar que o uso do RDS na telefonia móvel vem sendo amplamente estudado, devido à reconfigurabilidade

e flexibilidade deste sistema, o que se encaixa na telefonia móvel. Logo, a antena seria responsável por receber os dados na interface aérea e repassa-los ao sistema responsável pela reconfiguração do sistema, no caso estudado, o RDS.

3.1.3. Algoritmos de obtenção da Estimação da Direção de Chegada (DOA)

A DOA é definida como o ângulo com o qual a frente de onda do sinal atinge as antenas [7], logo se pretende descobrir a direção de chegada do sinal. Os algoritmos de obtenção da DOA são importantes no estudo da direção de chegada dos sinais nas antenas inteligentes, mas possuem também outras aplicações como no caso de sensores de presença (radares, sonares, exploração sísmica) e também no caso de um *array* de microfones, por exemplo.

Os algoritmos para obtenção da DOA são vários, porém os mais utilizados são:

- Métodos baseados em estimação espectral:
 - i. Atraso e Soma;
 - ii. CAPON.
- Métodos baseados em subespaço:
 - i. MUSIC;
 - ii. ESPRIT.

3.1.4. Métodos baseados em estimação espectral

Nestes métodos de obtenção da DOA calcula-se a potência de saída do sinal que incide sobre o arranjo de antenas e depois se estima sobre o máximo dos sinais. Esses métodos baseiam-se na geração de nulos e conformação do feixe [7, 8].

3.1.4.1. Método Atraso e Soma

Este método, do inglês, *Delay-and-sum Method* (DS), também conhecido como Método de Fourier; baseia-se em estimação espectral. Utiliza-se de atrasos e somas para estimar a potência média recebida nas diversas direções [7]. Ao apontar o feixe de maior potência do arranjo para alguma direção gera a melhor estimativa de energia recebida nesta direção. Sendo assim, a maior potência dita a DOA.

Por ser bastante simples, o método trabalha bem apenas com um sinal presente na recepção das antenas. O acréscimo de sinais pode causar colisões e, conclusivamente em uma imprecisão da direção, a potência de saída não teria contribuições apenas do sinal desejado, mas também dos espúrios indesejados das outras direções. Além de uma resolução pobre, o que dependendo do estudo realizado pode afetar muito as amostras. Para incrementar a resolução, uma solução seria aumentar o número de elementos no arranjo [7].

3.1.4.2. Método Capon

O método Atraso e Soma afirma que apontar o arranjo em uma determinada direção é a melhor forma de se estimar a potência desta direção. Este método utiliza-se de diversos recursos para apontar o arranjo para esta direção [7]. Por isso que na presença de interferência, o acréscimo de outros sinais, a potência de saída tem contribuições de interferência tanto do sinal principal, quanto dos outros sinais espúrios.

O Capon visa, de forma simples, superar problemas encontrados no método atraso e soma. A técnica do Capon varre os ângulos de direção de determinada área. Usa amostras dessa varredura para formar um feixe na direção desejada e ao mesmo tempo forma nulos na direção dos sinais de interferência. Sendo assim, mantendo o ganho constante na direção principal, minimiza a contribuição da interferência advinda dos sinais indesejados [7].

As desvantagens deste método estão ligadas aos seus benefícios. Minimizando a energia de saída, os componentes podem combinar-se destrutivamente, anulando as estimativas [7].

A Figura 3.4 ilustra uma comparação entre os métodos atraso e soma e Capon. Neste exemplo, dois sinais de mesma potência, mesma SNR, chegam a um array de 6 antenas com espaçamento uniforme e seus elementos distantes a meio comprimento de onda e com ângulos variando entre 90° e 100° [7].

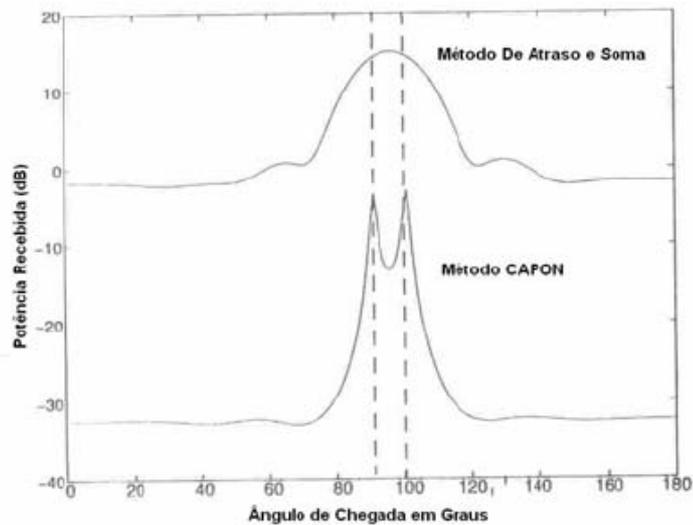


Figura 3.4 - Comparação entre métodos atraso e soma e Capon [7]

3.1.5. Métodos baseados em subespaço

Baseiam-se nas propriedades da matriz de correlação de saída [7, 8], o espaço percorrido pelos autovetores da matriz pode ser dividido em dois subespaços ortogonais: o subespaço do sinal e o do ruído; os vetores diretores, sinais incidentes, pertencem ao subespaço do sinal, que por definição é ortogonal ao subespaço do ruído.

Os maiores autovalores, associados aos maiores autovetores da matriz de correlação, percorrem o subespaço do sinal, enquanto, os menores autovalores percorrem o subespaço do ruído.

3.1.5.1. Método MUSIC

O MUSIC, do inglês *Multiple Signal Classification*, baseia-se no fato do espaço vetorial associado ao sinal ser ortogonal ao espaço vetorial associado ao ruído [7,8]. Como os autovalores associados ao ruído são menores que os autovalores associados ao sinal, o ruído é identificado facilmente e a partir das simplificações a DOA é estimada.

Por ser um método relativamente simples, é altamente utilizado para a estimativa da DOA.

A Figura 3.5 mostra uma comparação entre os métodos MUSIC e Capon. Neste caso, tem-se dois sinais de mesma potência, mesma SNR, chega em um array de 6 antenas com espaçamento uniforme e seus elementos distantes a meio comprimento de onda e com ângulos variando entre 90° e 95° [7].

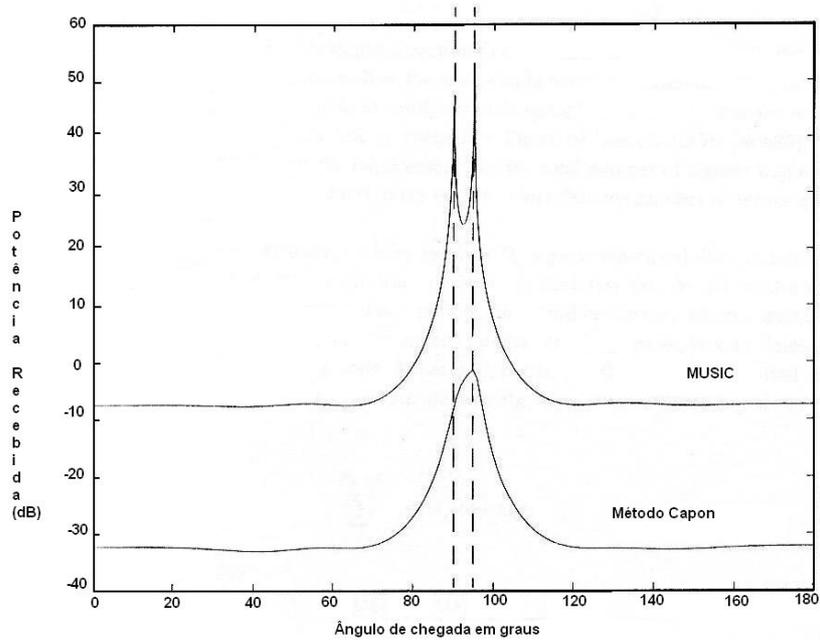


Figura 3.5 - Comparação entre o MUSIC e o Capon [7]

3.1.5.2. Método ESPRIT

O ESPRIT, do inglês *Estimation of Signal Parameters via Rotacional Invariance Technique*, reduz os requisitos computacionais e de armazenamento, necessários ao MUSIC, pois os vetores diretores não precisam ser amplamente investigados para encontrar a DOA [7, 8]. No ESPRIT os elementos do arranjo são divididos em dois sub-arranjos idênticos, pares de antenas, e deslocados por um vetor constante e assim, a DOA é estimada.

3.2. O FRONT-END RF

Idealmente, o rádio definido por software conseguiria transmitir sinais em qualquer faixa de frequência, nível de potência, largura de banda e técnica de modulação. Como esse modelo ideal ainda está longe de ser atingido, o módulo de radiofrequência deve ser amplamente estudado.

As limitações tecnológicas dos conversores AD e DA dos sinais recebidos e transmitidos pelo rádio já são conhecidas. Neste contexto a introdução de um módulo que trata da radiofrequência, ente a antena e o conversor, torna-se de grande importância no desenvolvimento do RDS [1].

Entretanto, a introdução do *front-end* RF, quando tratamos da reconfigurabilidade, deixa a desejar. O módulo é necessário para o funcionamento do rádio, mas o limita quanto à flexibilidade. Alguns dos problemas mais comuns estão relacionados aos filtros analógicos do dispositivo, que não sustentam uma alta seletividade trabalhando em um grande range de frequências. O uso de antenas comuns também é um problema para a reconfigurabilidade do rádio. Logo, a adição de flexibilidade ao *front-end* é uma solução interessante. Ou seja, com o custo de adicionar hardware para o mesmo operar em diversas faixas de frequências e o sistema de antenas inteligentes, abordadas neste texto [1, 2].

Depois dessa abordagem simplória das funções do *front-end* RF, fica claro que para uma descrição mais detalhada das funções deste módulo, duas grandes divisões de tarefas podem ser feitas, o processamento do sinal advindo da antena que será entregue ao conversor AD e a que processa o sinal do conversor DA que será transmitido pela antena.

Em relação ao sinal recebido o módulo *front-end* RF deve amplificar o sinal, realizar a translação de frequência para uma frequência intermediária, realizar um controle do ganho e a filtragem *anti-alias*. Sendo assim, o conversor AD pode operar na frequência intermediária mais baixa, não comprometendo seu funcionamento devido às altas frequências e a provável oscilação de amplitude do sinal. Quanto ao sinal que será transmitido, o *front-end* RF realiza a translação da frequência para a frequência de transmissão, filtra possíveis sinais interferência e amplifica a potencia. Sendo assim, a antena pode transmitir o sinal conforme esperado, deve-se adequar o sinal aos padrões que se deseja operar [1].

As multitarefas realizadas por este estágio podem ser estudadas de diversas maneiras. É exatamente isso que será abordado a seguir. Algumas arquiteturas diferentes para a solução do mesmo problema. A grande diferença entre as arquiteturas do *front-end* RF está ligada ao número de estágios que serão necessários para realizar a conversão de frequência, seja no estágio da recepção do sinal ou da transmissão do sinal [4].

3.2.1. A frequência intermediária no RDS

A frequência intermediária (FI) no RDS deve ser suficientemente baixa de modo a atender as especificações do rádio, para não prejudicar o processamento do sinal. A FI normalmente corresponde a uma faixa de frequências de áudio, que varia entre 0 Hz até a frequência de Nyquist (metade da taxa de amostragem utilizada nos conversores). Sendo assim, se a taxa de amostragem de um sinal for de $x\text{Hz}$, os sinais da FI são processados em uma banda que varia entre 0 e $x/2\text{ Hz}$.

O RDS rejeita a frequência imagem no processamento do sinal e isso permite que o mesmo receba uma faixa de frequências que comporta as frequências positivas e negativas do sinal, ou seja, a taxa de frequências varia entre $-x/2$ e $x/2\text{ Hz}$, em torno da frequência do oscilador local. Conseqüentemente, a banda recebida em um RDS é igual à taxa de amostragem.

Conforme se pode verificar, é interessante conhecer o princípio de um conversor de frequência, para podermos entender a estrutura do *front-end* RF. Sendo assim, cabe aqui explicar a idéia do conversor heteródino. Este conversor é baseado em um circuito não linear, como por exemplo, um transistor. Nesse tipo de conversão, o misturador, baseado na sua não linearidade, une os dois sinais, a frequência de entrada (F) e a frequência do oscilador local (Fo). No caso do super heteródino, o termo de conversão é, normalmente, quadrático. Na Figura 3.6, observa-se de forma bastante simplificada uma arquitetura de conversor heteródino.

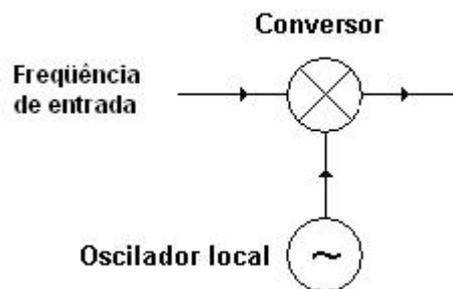


Figura 3.6 – Misturador do conversor heteródino

Analisando o misturador podemos dizer que o mesmo recebe $F+Fo$, e efetua uma soma dos quadrados, ou seja, $(F + Fo)^2 = F^2 + 2 \cdot F \cdot Fo + Fo^2$. O termo responsável

pela conversão de frequência, é o termo $2 \cdot F \cdot Fo$, que corresponde justamente ao produto de duas funções senoidais. Pode-se então fazer a seguinte análise:

Sendo $F = m \cdot \cos(\omega_c t + \varphi)$ e $Fo = s \cdot \cos(\omega_l t)$, seguindo a idéia da soma dos quadrados acima, podemos fazer a seguinte análise:

$$Y = (F = m \cdot \cos(\omega_c t + \varphi) + Fo = s \cdot \cos(\omega_l t))^2 \quad (3.1)$$

$$Y = \frac{m^2}{2} (1 + \cos(2 \cdot \omega_c t + 2\varphi)) + \frac{s^2}{2} (1 + \cos(2 \cdot \omega_l t)) \quad (3.2)$$

$$+ m \cdot s [\cos((\omega_c + \omega_l)t + \varphi) + \cos((\omega_c - \omega_l)t + \varphi)]$$

$$Y = \frac{m^2}{2} + \frac{s^2}{2} \rightarrow \text{componente constante} + \frac{m^2}{2} \cos(2 \cdot \omega_c t + 2\varphi) + \frac{s^2}{2} \cos(2 \cdot \omega_l t) + m \cdot s \cos((\omega_c + \omega_l)t + \varphi) \quad (3.3)$$

↳ *componente de alta frequência*

$$+ m \cdot s \cos((\omega_c - \omega_l)t + \varphi) \rightarrow \text{componente desejada}$$

As componentes de alta frequência são filtradas por um filtro passa baixos. Neste caso desenvolvido, a frequência imagem do sinal poderá ser observada no espectro do sinal, lembrando que o sinal possui componentes positivas e, teoricamente, negativas. Ao fazer a conversão de frequência, os espectros se sobrepõem, se o teorema da amostragem não for respeitado [6]. Para solucionar este tipo de problema, usa-se um conversor super-heteródino, que além de outras funções possui um filtro pré-seletor antes do misturador do conversor, que filtra as componentes indesejadas do sinal.

No RDS, a rejeição da frequência imagem pode ser feita também com o conversor em quadratura.

A conversão em quadratura é uma técnica de amostragem utilizada em conversores AD e DA. Neste caso, o sinal é dividido em duas componentes complexas, componentes em fase (I) e em quadratura (Q). Cada componente ocupa metade da banda ocupada, inicialmente, pelo sinal original.

Esta técnica permite que a taxa de amostragem do conversor seja pelo menos duas vezes menor já que a largura de banda é menor. Porém, são utilizados dois conversores, ao contrário de utilizar apenas um. Entretanto, são utilizados dois conversores ao invés de apenas um. A arquitetura da técnica de conversão em quadratura pode ser observada na Figura 3.7.

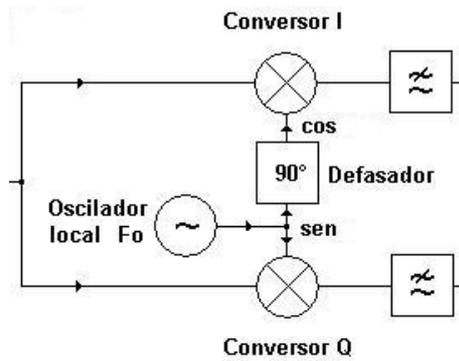


Figura 3.7 - Técnica de conversão em quadratura.

3.2.2. O conversor super-heteródino

No conversor super-heteródino o sinal recebido é transladado para a frequência intermediária, que deve ser mais baixa que a frequência central do sinal recebido e maior que a largura de banda do sinal de saída desejado. A Figura 3.8 ilustra um conversor super-heteródino padrão, com apenas um estágio [24].

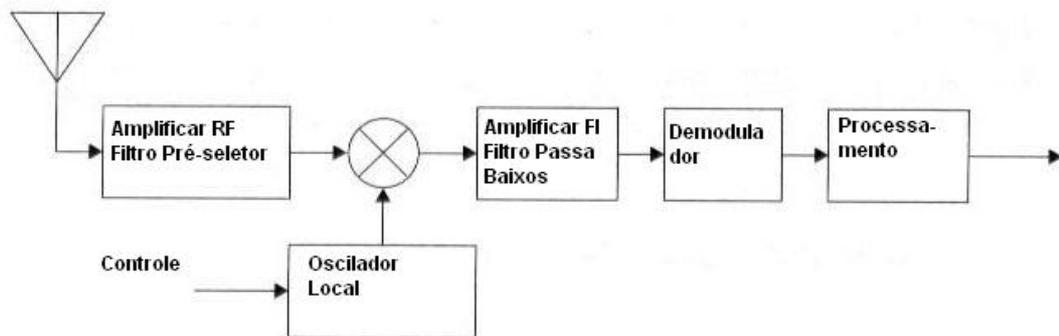


Figura 3.8 - Conversor super-heteródino de um estágio

Normalmente a conversão do sinal é feita em dois estágios, pois a arquitetura precisa de menor qualidade nos filtros e não necessita de um isolamento entre os misturadores da entrada e os osciladores locais. Porém, o acréscimo de estágios pode levar a um consumo de potência e a necessidade de usar filtros *anti-alias* após cada estágio, para evitar possíveis sinais espúrios indesejados provenientes dos estágios

anteriores [1, 6]. A Figura 3.9 [1] mostra a arquitetura de um conversor super-heteródino de dois estágios para a recepção do sinal.

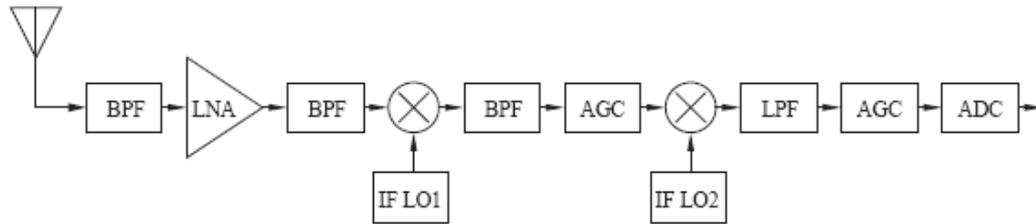


Figura 3.9 - Conversor super-heteródino de dois estágios.

O conversor super-heteródino é utilizado em situações em que o sistema não necessita de alta flexibilidade, mas é interessante entender seu funcionamento para, assim, entender arquiteturas mais utilizadas no RDS.

3.2.3. Arquitetura de conversão direta

Se a conversão da frequência acontece em apenas um estágio, diz-se que a arquitetura usada é a de conversão direta, sendo na recepção ou na transmissão do sinal. O sinal recebido pela antena é mixado com duas senóides geradas em quadratura por um oscilador local de frequência variável. O sinal é deslocado para banda-base, resultando em dois sinais em quadratura. Então esses sinais são filtrados e amplificados para então passar pelo conversor AD [1, 2]. Para a arquitetura RDS que utiliza a conversão direta na recepção pode-se observar a Figura 3.10 e para o modelo referente à transmissão, a Figura 3.11 [1]:

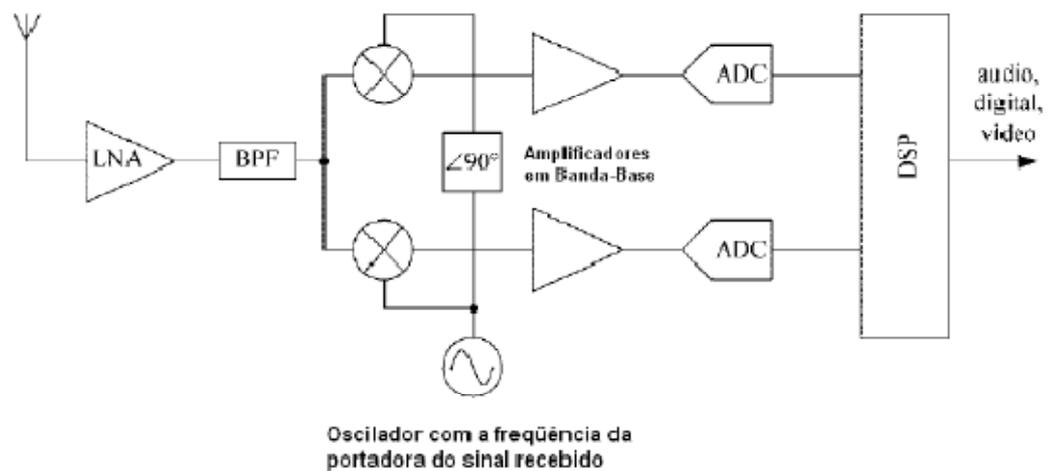


Figura 3.10 - Arquitetura de conversão direta na recepção.

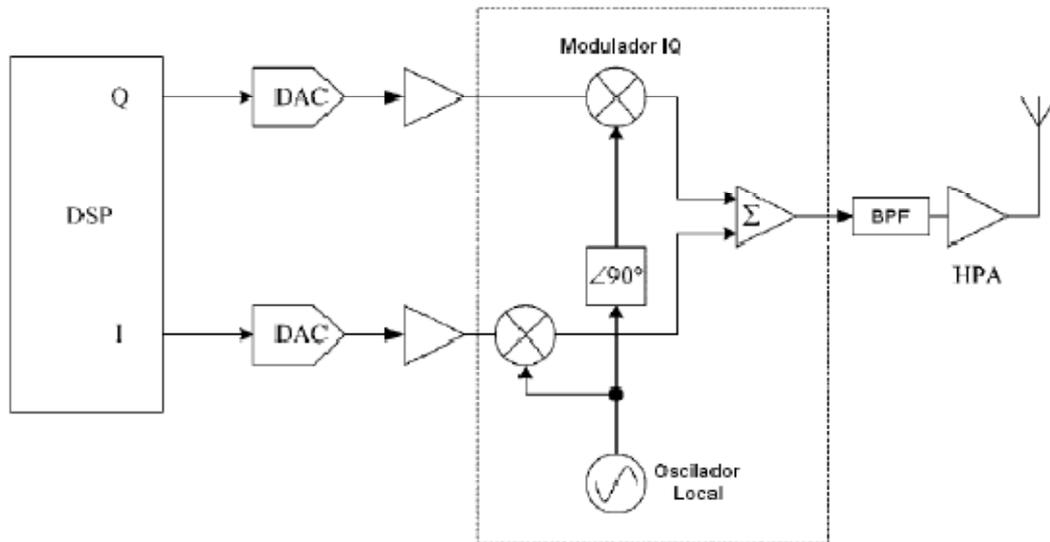


Figura 3.11 - Arquitetura de conversão direta na transmissão.

A maior vantagem desta arquitetura está justamente na sua baixa complexidade, sendo assim, pode ser integrada em apenas um chip. Os filtros analógicos utilizados e a supressão de frequências imagem são bastante simples, se comparado a outras arquiteturas. Quanto à desvantagem está à necessidade de um oscilador local de frequência variável que gere duas senóides em quadratura e balanceadas em amplitude, considerando um grande range de faixas de frequências. Além disso, tem-se problema no espalhamento espectral dos osciladores e no retorno das frequências indesejadas à antena; essas frequências serão irradiadas ou retransmitidas ao receptor, causando um nível DC variante no tempo no sinal [1, 2, 4].

3.2.4. Arquitetura de conversão múltipla

Quando a conversão para banda-base ocorre em múltiplos estágios, o receptor possui uma arquitetura conhecida como conversão múltipla. O sinal recebido pela antena é filtrado e amplificado depois é misturado a uma senóide gerada por um oscilador local de frequência variável, segue filtrado e amplificado outra vez, passa pelo conversor AD e então sofre o segundo abaixamento de frequência, com a geração dos sinais de quadratura, desta vez digitalmente [4]. Para a arquitetura RDS que utiliza a conversão múltipla na recepção pode-se observar a Figura 3.12 e para o modelo referente à transmissão, a Figura 3.13 [4]:

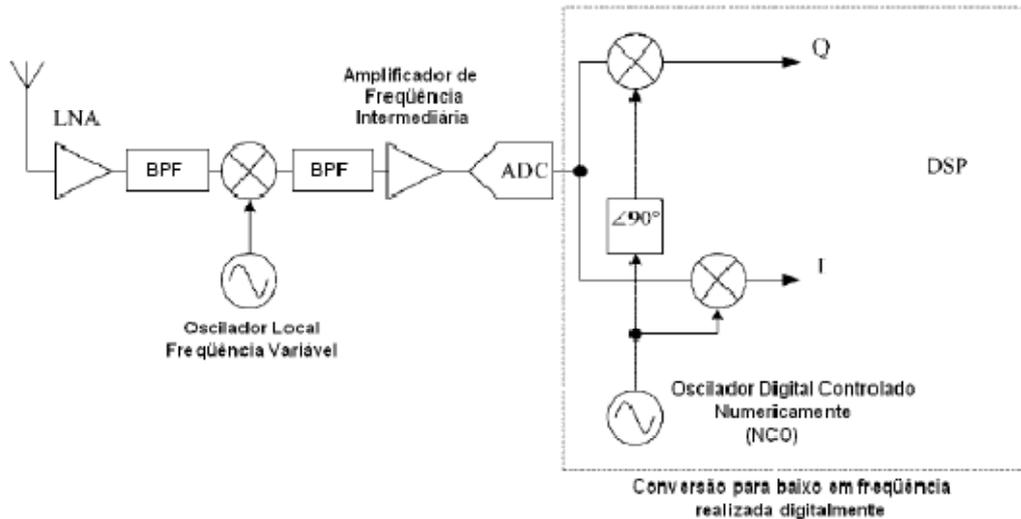


Figura 3.12 - Arquitetura de conversão múltipla na recepção.

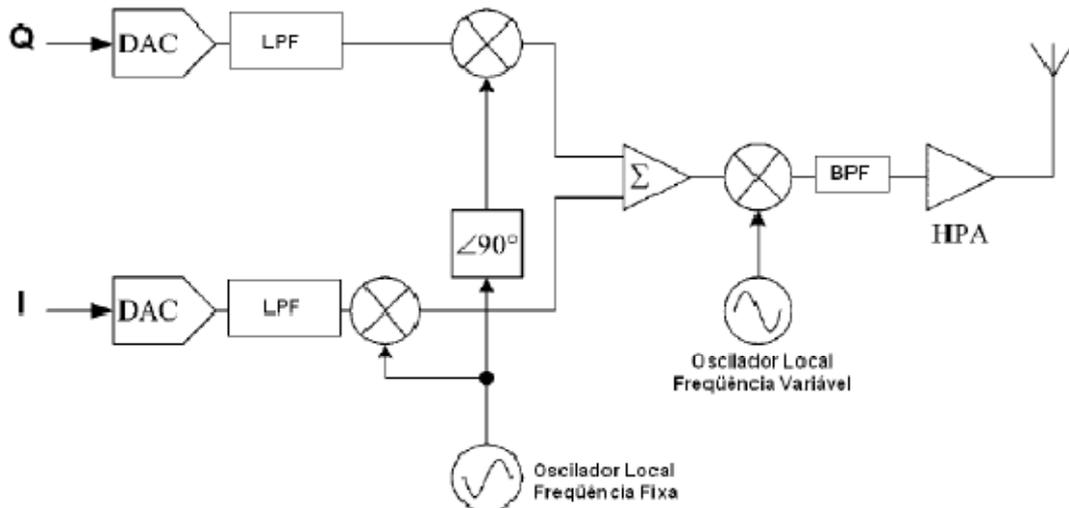


Figura 3.13 - Arquitetura de conversão múltipla na transmissão.

Sobre a desvantagem desta arquitetura está justamente à alta complexidade, sendo necessário o uso de diversos osciladores locais de frequência variável e de vários filtros de frequência intermediária, logo a implementação em apenas um *chip* seria inviável. Quanto à vantagem ter-se-ia a boa seletividade oferecida pelos diversos filtros de pré-seleção e canalização [6] e também pelo fato da conversão dos sinais de quadratura ser realizada em uma frequência intermediária fixa [4].

Considerando as tecnologias disponíveis atualmente no âmbito do RDS e as vantagens e desvantagens desses métodos, pode-se considerar que a arquitetura de conversão múltipla é a mais aplicada atualmente [4, 9].

3.2.5. Arquitetura de frequência intermediária (FI) baixa

A arquitetura de FI baixa representa uma tentativa de utilizar, num mesmo sistema, as vantagens do conversor super-heteródino e as vantagens da arquitetura de conversão direta. Ter a FI baixa significa, de maneira simplificada, que a quantidade de sinais imagem indesejados não é tão onerosa quanto no caso do conversor super-heteródino e que o nível DC variante no tempo, referente a frequências indesejadas devido ao espalhamento espectral devido ao oscilador local não é tão problemático quanto no caso do conversor direto [4].

As vantagens desta arquitetura estão em minimizar os problemas referentes ao conversor super-heteródino e ao conversor direto. Como desvantagem pode-se citar que será desejável uma melhor seletividade de rejeição de sinais imagem espúrios se comparado ao conversor direto [4].

4 MÓDULOS DE PROCESSAMENTO DIGITAL

Este módulo estuda as componentes de processamento digital do rádio definido por software, desde a sua conversão em sinal digital em frequência intermediária, a conversão de frequência intermediária para frequência em banda básica e o processamento digital de sinais, junto com os dispositivos necessários para este processamento. A Figura 4.1 ilustra os módulos de processamento digital.

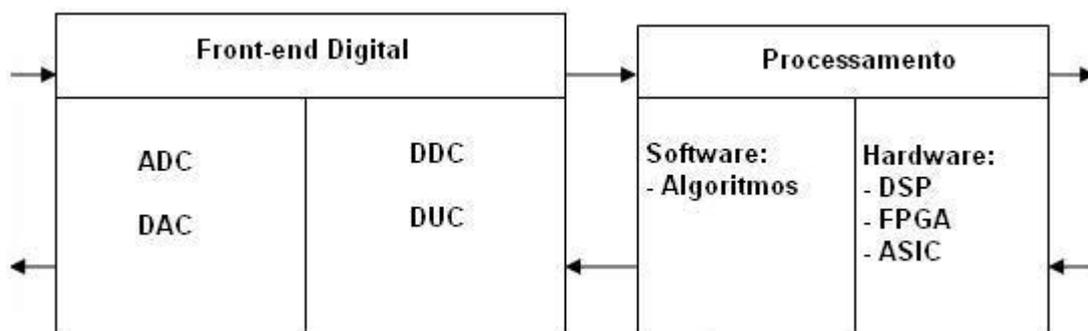


Figura 4.1 - Front-end digital

Neste capítulo, serão apresentados os conversores A/D/A, o DDC e o DUC, o processamento digital de sinais e os elementos necessários para este processamento.

4.1. O FRONT-END DIGITAL

O *front-end* digital é uma ponte entre processamento em rádio frequência e processamento em banda-base. Como já foi abordado neste trabalho, o RDS ideal ainda possui barreiras tecnológicas para ser desenvolvido. E os principais limitantes são os conversores A/D/A e os processadores digitais [4].

O papel do *front-end* digital é com a entrada do sinal analógico proveniente do *front-end* RF, digitalizar o sinal, amostrá-lo e passar o sinal para banda-base. Logo, o

front-end digital deve prover um sinal digital com determinada largura de banda, centrado na frequência de banda básica e com certa taxa de amostragem [4].

4.2. CONVERSORES A/D/A

Ao tratar-se do custo e da performance do Rádio Definido por Software os dispositivos mais importantes são os conversores analógico-digitais (ADC) e conversores digital-analógicos (DAC), entretanto, eles também são os dispositivos mais limitados tecnologicamente. Para melhorar o desempenho dos ADC e DAC, eles devem estar o mais próximo possível da antena. Como já foi abordado, o módulo do *front-end* RF foi incluído neste processo justamente para realizar o processamento que os conversores não desempenham. Contudo, o RDS é prejudicado, implicando em uma menor flexibilidade do rádio [1].

4.2.1. Técnicas de Amostragem

4.2.1.1. Critério de Nyquist

O Critério de Nyquist é o conceito básico para se entender as técnicas de conversão analógica digital [6, 10]. O Critério de Nyquist conceitua que supondo um sinal com largura de banda B Hz, ele deve ser amostrado a uma taxa $f_s > 2.B$ para que as informações do sinal não sejam perdidas.

O teorema pode ser observado se um sinal analógico contínuo no tempo for observado. Quando amostrado o espectro do sinal é repetido continuamente nos múltiplos inteiros da frequência de amostragem, considerando $f_s > 2.B$. Se o critério não for atendido, ocorrerá sobreposição de espectros. Podemos verificar o Critério de Nyquist pela Figura 4.2.

Sendo a largura da banda de Nyquist definida como o espectro do sinal compreendido entre o nível DC e $f_s/2$. Caso existam sinais indesejados acima da frequência máxima do sinal estudado em banda básica, aparecerão sinais imagem na banda de estudo, provocando a interferência conhecida como *alising*. Por isso utiliza-se o filtro *anti-alising* já mencionado aqui, tornando mínima a interferência de sinais

imagens. O filtro *anti-aliasing* é um fator limitador do processo de amostragem do sinal, nos conversores atuais [6, 10].

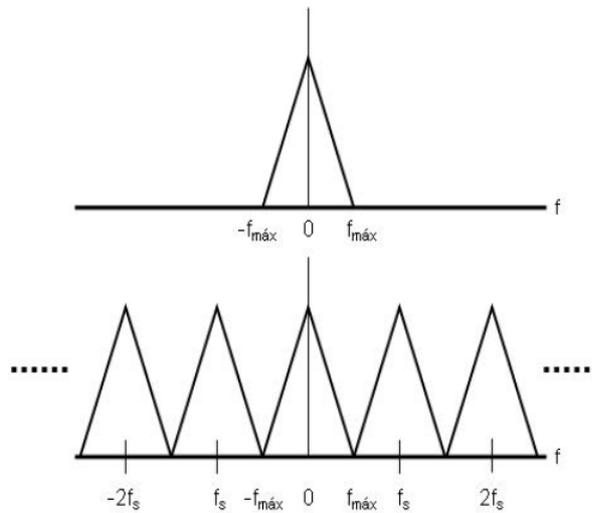


Figura 4.2 - Critério de Nyquist

A curva da relação custo x benefício entre frequência de corte do filtro *anti-aliasing* e o decaimento de atenuação deve ser analisada, para encontrar uma melhor relação entre esses parâmetros. Como estamos considerando o Critério de Nyquist válido, o filtro apresenta uma variação, até a máxima atenuação, no espaço compreendido entre B e $(f_s - B)$, o que pode ser relacionado ao intervalo dinâmico, conforme observado na Figura 4.3.

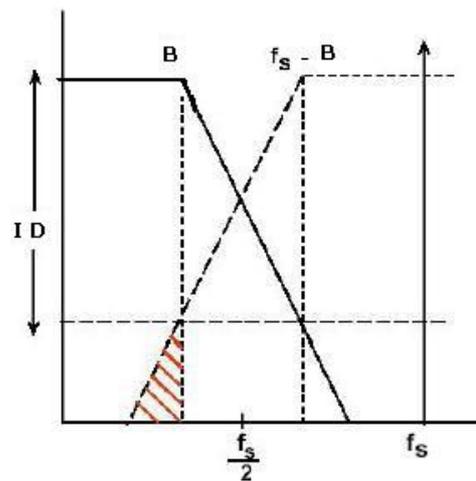


Figura 4.3 - Intervalo dinâmico do conversor AD.

4.2.1.2. Técnica de superamostragem do sinal

Usa-se uma frequência de amostragem maior, logo, a distância entre os espectros de frequência amostrados em Nyquist também aumenta, entretanto, o intervalo dinâmico continua constante. Considerando isto, o intervalo de decaimento da atenuação do filtro será maior, sendo assim, o corte do filtro ocorre de forma menos abrupta, até $(K \cdot f_s - B)$ [10], conforme a Figura 4.4.

Este método pode ser utilizado caso os conversores possuam uma maior capacidade de amostragem que a exigida pelo critério de Nyquist e também uma maior capacidade de processamento. A amostragem é feita de forma a se utilizar um maior número de amostras e diminuir a seletividade do filtro [1].

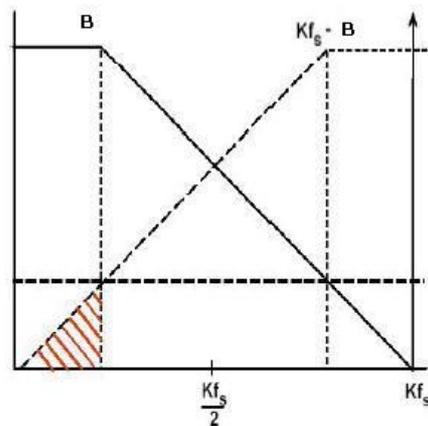


Figura 4.4 - Superamostragem de um sinal.

4.2.1.3. Técnica de subamostragem do sinal

Este método, também conhecido como amostragem passa-banda, pode ser utilizado apenas se a taxa de amostragem do sinal for de no mínimo duas vezes a largura de banda do sinal amostrado. Consiste, basicamente, em se utilizar o *alias* a seu favor, ou seja, o sinal passa por um filtro passa-banda seletivo e é replicado várias vezes no domínio da frequência, repetindo-se nas frequências múltiplas da frequência de amostragem [1].

Para evitar a interferência de sinais nesta técnica, por meio da sobreposição no processo de amostragem, considera-se que a largura de banda do sinal é delimitada pela frequência mínima e máxima do sinal [10]. Atendendo, desta forma, as seguintes equações:

$$f_s > 2 \cdot (f_{\max} - f_{\min}) \quad (4.1)$$

$$2.(f_{\max} - f_{\min}) \leq f_s \leq 2.f_{\max} \quad (4.2)$$

$$\frac{2.f_{\max}}{k} \leq f_s \leq \frac{2.f_{\min}}{k-1} \quad (4.3)$$

$$K \in \mathbb{Z} \quad (4.4)$$

$$2 \leq k \leq \frac{f_{\max}}{f_{\max} - f_{\min}} \quad (4.5)$$

$$f_{\max} - f_{\min} \leq f_{\min} \quad (4.6)$$

No método da subamostragem, os conversores devem operar em altas frequências, mas pode ser observado que, no geral, os fabricantes especificam seus produtos para operarem abaixo da taxa de amostragem máxima, o que pode ser um problema. O desempenho desses dispositivos é degradado quando funcionam em altas frequências. Os filtros passa-banda analógicos utilizados para prevenir a distorção do sinal por sinais espúrios são dispositivos também limitadores deste método.

Algumas estratégias de amostragem são apresentadas na Tabela 4.1:

Tabela 4.1 - Estratégias de amostragem de um RDS [4]

Arquitetura do Rádio RX	Saída Analógica	Estratégia de Amostragem
Conversão direta	I/Q em banda básica	Quadratura em banda básica
Super-heteródino	I/Q em banda básica Sinal FI	Quadratura em banda básica Amostragem da FI sigma-delta em passa-banda
FI baixa	Frequência FI (1/4 da frequência de amostragem)	Amostragem direta

A Tabela 4.1 ilustra a relação entre a arquitetura do receptor e a técnica de amostragem, que já foram abordados neste texto.

4.2.2. Arquitetura dos conversores A/D/A

Existem várias arquiteturas de conversores desenvolvidas e em desenvolvimento. Todas as estruturas buscam reduzir as limitações impostas pelos conversores atuais, visando, sempre aprimorar e melhorar tecnologicamente a resposta do dispositivo. Sendo assim, buscam aumentar a velocidade de amostragem e suas resoluções

mantendo a potência e a tensão baixas. Conhecer as estruturas é de maior importância para um bom projeto de RDS, para se saber qual arquitetura utilizar em cada caso.

4.2.2.1. Conversores *flash*

Os conversores *flash*, também conhecidos como conversores paralelos são os conversores de maior velocidade disponíveis hoje no mercado. Sua arquitetura básica pode ser observada na Figura 4.5 [4]. Esses conversores basicamente comparam a tensão de entrada com níveis de tensão distribuídos entre a referência de tensão. Esses conversores utilizam da lógica combinacional para realizar a conversão, pois a saída é descrita de forma binária [4, 12].

O conversor da Figura 4.6 converte o sinal analógico em uma saída binária digital em um ciclo de *clock* que possui um período de duas fases. Durante a primeira fase, a entrada analógica é amostrada e aplicada a entrada do comparador. Na segunda fase, a lógica decodificadora determina a saída binária digital e a armazena em um *buffer* [12].

Uma vantagem de se utilizar o ADC *flash* está na alta capacidade de realizar a conversão em alta velocidade. Uma desvantagem nesta arquitetura está no fato do número de comparadores crescerem exponencialmente com a precisão desejada na saída do conversor, quase não existem ADC *flash* maiores que 10 bits no mercado. Sendo assim, para arquiteturas que não necessitem de alta resolução, o ADC *flash* é bastante utilizado, oferecendo um bom desempenho e a baixo custo [1, 4].

O desempenho do ADC *flash* depende da habilidade de se amostrar a entrada diminuindo o *jitter* aplicado. Existem duas técnicas utilizadas nos ADC *flash* para essa melhor performance. A primeira seria utilizar um circuito amostrar-e-segurar na entrada, a maior desvantagem de se utilizar este circuito é que o tempo de amostragem neste caso pode não ser pequeno o suficiente. A segunda técnica seria a de usar comparadores com *clock*, que é uma maneira interessante de se diminuir o *jitter* [12].

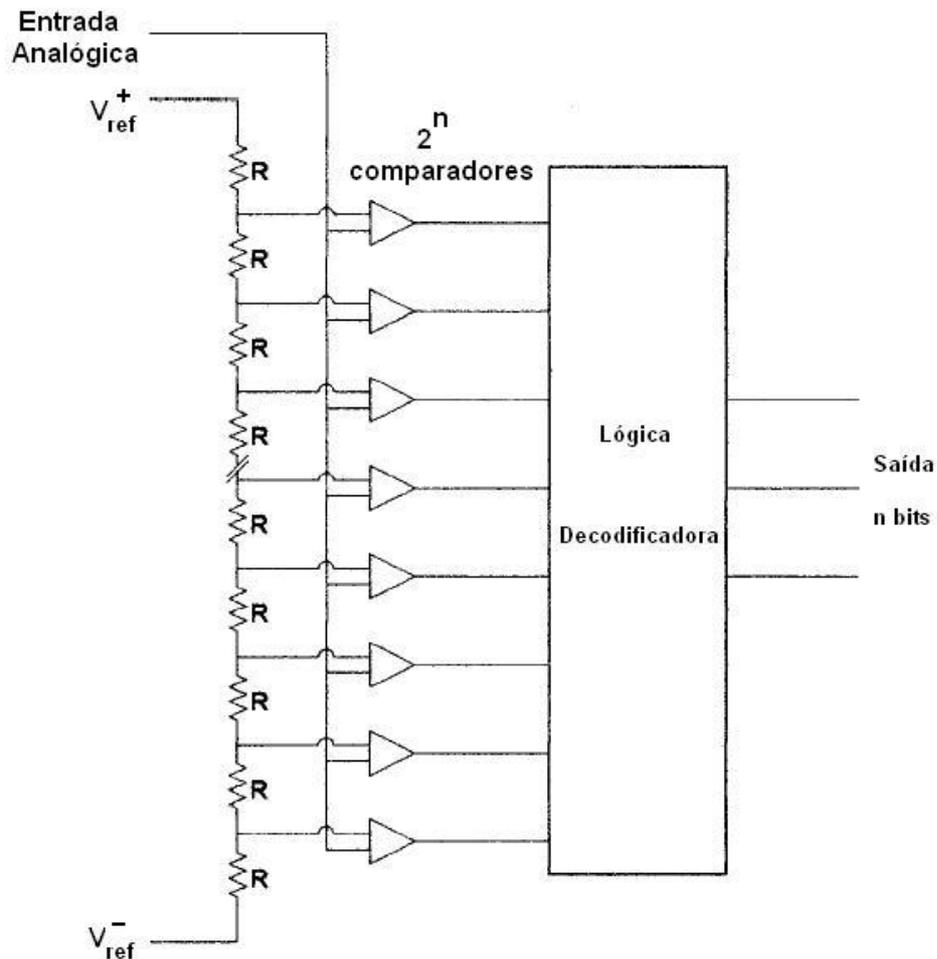


Figura 4.5 - Arquitetura de um ADC flash

4.2.2.2. Conversores sigma-delta

Os conversores sigma-delta são os conversores mais modernos existentes hoje em dia. Eles são altamente utilizados no campo dos sistemas de comunicação. Sua arquitetura básica pode ser observada na Figura 4.6 [1]. Eles possuem um comparador que diz se o sinal na entrada é maior ou menor que o sinal da saída. A saída é incrementada se a entrada for maior que a saída. Se a entrada for menor que a saída, a saída é decrementada [4].

Os moduladores sigma-delta trabalham com uma taxa de amostragem maior que a taxa de amostragem de Nyquist e fazem com que a densidade espectral de potência do ruído de quantização seja baixa, próxima de zero, em uma faixa estreita de frequência. Logo o ADC sigma-delta amostra utilizando a técnica da superamostragem abordada aqui neste texto [4, 12].

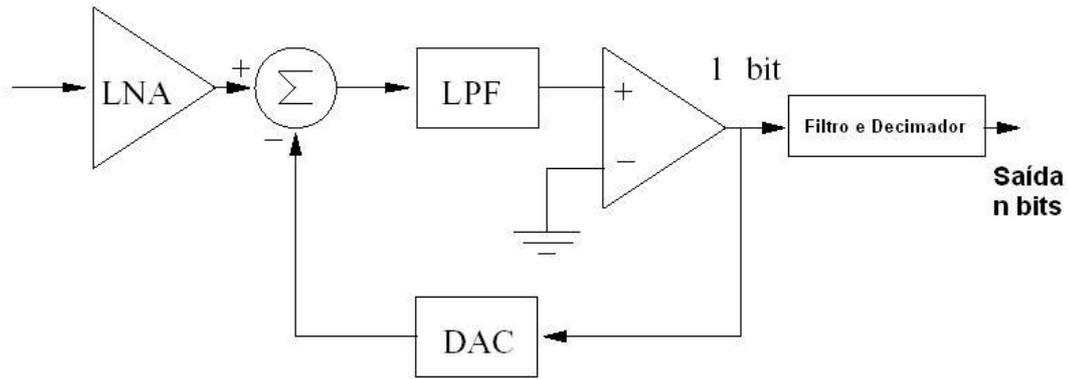


Figura 4.6 - Arquitetura de um ADC Sigma-Delta

As vantagens dos ADC sigma-delta são várias, mas os fatores chave para um alto desenvolvimento desta arquitetura está no baixo custo de implementação e na boa linearidade. Além disso, essa arquitetura não necessita de alta precisão e de uma grande gama de componentes analógicos complexos, na verdade o ADC sigma-delta utiliza apenas comparadores e integradores, o que reduz o custo na implementação [4].

4.2.2.3. Conversores de multi-estágio

Outra arquitetura bastante popular usada para alta velocidade de resposta e alta resolução é a dos conversores de multi-estágio. Sua arquitetura básica pode ser observada na Figura 4.7 [4].

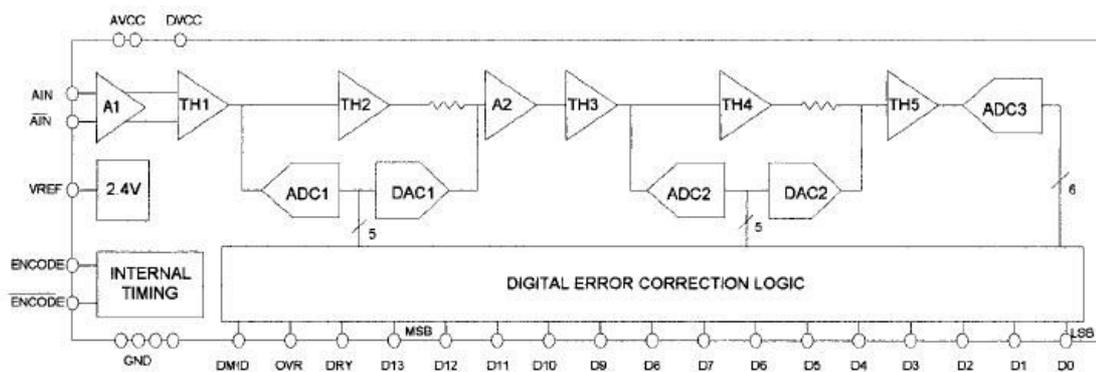


Figura 4.7 - Arquitetura de um ADC multi-estágio

O sinal é digitalizado em um estágio e depois é novamente convertido em analógico, depois é feita uma subtração entre o sinal analógico inicial e o convertido. O resultado da subtração segue para o próximo estágio e assim sucessivamente. Pode-se dizer que a idéia chave desta arquitetura é a escalabilidade, a precisão final pode ser

facilmente manipulada incrementando ou decrementando a precisão de bit de cada estágio [4].

Os ADC multi-estágio são vantajosos, pois podem aumentar a precisão do conversor, sem aumentar muito o número de componentes do circuito e sem aumentar o atraso, por esses motivos são altamente utilizados em RDS. Se comparados a outras arquiteturas eles proporcionam um menor gasto de potência e um menor custo de implementação [4].

Apesar das várias vantagens, esta arquitetura possui desvantagem em seu *design*. Como mencionado, o conversor DA do primeiro estágio deve ser muito preciso, por ser referência para todos os outros estágios do ADC multi-estágio, sendo assim, necessitaria de uma precisão maior do que a do conversor AD inteiro.

4.2.2.4. Conversores de digital-analógicos

As características, estáticas e dinâmicas, dos conversores DA são de grande importância para o estudo de seu *design* [12].

As características estáticas que limitam o ADC são a resolução, que é o número de bits da palavra digital na entrada, o ruído de quantização, o range dinâmico, a razão sinal-ruído e erros de conversão estática.

As características dinâmicas que limitam o DAC são a velocidade de conversão, que é a velocidade de uma palavra digital tornar-se um sinal analógico, esta velocidade depende do tipo do DAC, como no caso dos ADC. E o erro de ganho.

4.2.3. Ruídos e distorções nos conversores A/D/A

Em um receptor wireless, ruídos e distorções podem ser resultantes de vários motivos. No RDS, os ruídos e distorções mais frequentemente encontrados são atribuídos ao ruído térmico, distorções de não linearidade diferencial, *jitter* de abertura, distorções relacionadas à saturação, distorções harmônicas, ruído de quantização, entre outras [4]. A análise de algumas distorções e ruídos será feita aqui.

4.2.3.1. Ruído de quantização

O ruído de quantização refere-se à distorção que a própria quantização propõe, ou seja, ao erro associado a se representar sinais contínuos em sinais discretos, ou seja, em se digitalizar o sinal [1, 6]. Em teoria, a quantização de uma entrada analógica resulta

em 2^N níveis de saída para o range analógico de saída, sendo N o número de bits físicos que o conversor representa [4].

Para os conversores *flash* com quantização linear, a razão sinal ruído de quantização (SNR_Q) é dada como é observado pela equação 4.7, considerando uma distribuição gaussiana do sinal, variância σ , a proporção de superamostragem OSR , V_{pp} a tensão pico-a-pico, logo, o máximo range de amplitude [4].

$$SNR_Q = 6.02 \cdot N + 10.8 + 10 \cdot \log OSR + 20 \cdot \log \frac{\sigma}{V_{pp}} \quad (4.7)$$

Para os conversores sigma-delta, a análise do ruído de quantização é feita de maneira diferente. Para uma modulação de ordem L , com ruído senoidal, a razão sinal ruído de quantização é dada pela equação 4.8 [4].

$$SNR_Q = 6.02 \cdot N + 10.8 + (2 \cdot L + 1) \cdot 10 \cdot \log OSR + 20 \cdot \log \frac{\sigma}{V_{pp}} + 10 \cdot \log \frac{2 \cdot L + 1}{\pi^{2 \cdot L}}, OSR \geq 4 \quad (4.8)$$

O efeito da quantização do sinal pode ser modelado, então, como sendo uma fonte de ruído sendo seu efeito sobre o sinal indiretamente relacionado a resolução do conversor e a taxa de superamostragem do sinal. Sendo assim, o efeito deste ruído sobre o sinal será menor se a resolução do conversor e a taxa da superamostragem do sinal forem altas.

4.2.3.2. Distorção de saturação

A distorção de saturação como sendo a questão da tensão de entrada do conversor analógico-digital ser maior do que o range de tensão que ADC suporta [1].

É realmente complicado evitar a distorção de saturação, essa saturação pode significar, entretanto, em um menor SNR o que pode ser útil para permitir alguma distorção, sendo assim, reduzir o ganho o que implica em diminuir o número de bits utilizado, o que conseqüentemente afeta o tempo de resposta do ADC, que muito rápido ou muito lento, afeta a resolução do ADC [1].

4.2.3.3. Ruído térmico

O ruído térmico relaciona-se ao design e ao processo de fabricação do que o conversor é submetido, sendo que está presente nos componentes eletrônicos em geral. Logo, ele é diretamente relacionado à movimentação de elétrons no condutor, devido à agitação térmica dos átomos no mesmo [4]. A equação 4.9 é a variância relacionada ao ruído térmico.

$$\sigma_n^2 = \sqrt{4kTR} \quad (4.9)$$

Sendo que k é a Constante de Boltzmann, $1,38 \times 10^{-23} J/K$, T é a temperatura em Kelvin e R a resistência em ohms.

4.2.3.4. Jitter de abertura

O *jitter* de abertura refere-se à incerteza ao momento que a amostragem é realizada. Sendo a frequência de amostragem f_s , o período de realização entre duas amostras é $T_s = 1/f_s$, porém deve-se ressaltar a incerteza deste tempo de amostragem [1]. Os termos jitter de abertura e incerteza de abertura são usados como sinônimos em muitas literaturas. A taxa de variação do sinal em determinado instante pode acarretar que mesmo com uma pequena variação no tempo há um grande erro na saída [4], como ilustrado na Figura 4.8 [4].

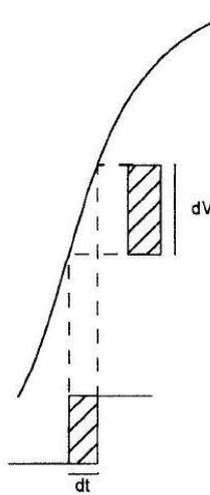


Figura 4.8 - Jitter de abertura

Considerando agora uma onda senoidal, seu *slew rate* está no cruzamento do zero. Neste ponto, o *slew rate* é definido como a primeira derivada da função seno, sendo $t = 0$:

$$v(t) = y = A \sin(2\pi ft) \quad (4.10)$$

$$\frac{\partial y}{\partial x} = A \cdot 2\pi f \cos(2\pi ft) \quad (4.11)$$

Se $t=0$, temos:

$$\frac{\partial y}{\partial x} = A \cdot 2\pi f \quad (4.12)$$

Agora, em um esquema de amostragem, o tempo ministra a taxa de amostragem de um sinal; se o tempo de amostragem possui uma incerteza, logo um erro na tensão de saída é gerado. O erro na tensão (v) pode ser determinado se multiplicarmos o *slew rate* (SR) do sinal de entrada pelo *jitter* de abertura.

$$v = SR \times jitter \quad (4.13)$$

Analisando a equação 4.13, se a entrada de frequência analógica é incrementada o erro associado também é incrementado na proporção direta do *jitter* de abertura [4].

4.2.3.5. Distorções de não linearidade diferencial

Os níveis de quantização nunca são perfeitos na prática, sendo assim, as distorções de não linearidade diferenciais referem-se à distribuição não-equitativa desses níveis de quantização, dentro de um determinado nível de tensão. Este erro de quantização embutido pode ser observado na Figura 4.9 [4].

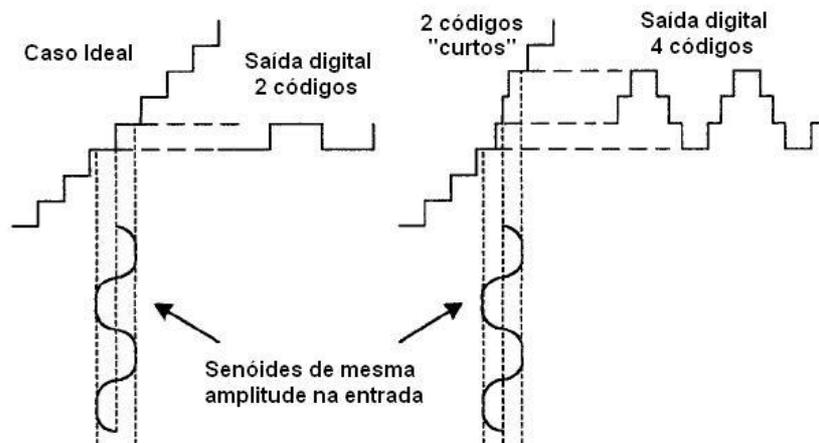


Figura 4.9 - Não linearidade diferencial

Esta distorção é bastante significativa e muitas vezes devido à alta tecnologia do processo de fabricação dos dispositivos, este erro é o grande fator limitador do desempenho do ADC. Entretanto, se a distorção de não-linearidade diferencial for de âmbito local, considerando o sinal analógico de entrada grande em relação a esta fração, este erro em pequena escala não afetará tanto a performance do ADC. Contudo, se o nível do sinal aumentar em relação ao sinal analógico de entrada, essas distorções tornam-se significativas [4].

O melhor é saber encontrar um meio termo em que a distorção de não linearidade diferencial não seja muito grande para que o ruído não seja significativo e para reduzir a sensibilidade do receptor.

4.2.3.6. Conseqüências sobre o ADC

Todos esses ruídos e distorções apresentados, obviamente têm conseqüências sobre a resolução do ADC. Calcula-se o número efetivo de bits de resolução do conversor (ENOB), conforme a equação 4.14. Para essa abordagem, considera-se apenas o *jitter* de abertura, que são o problema mais significativo para os conversores [1].

$$ENOB = \frac{SNR_{medida} - 1.763dB}{6.02} \quad (4.14)$$

Para este caso específico, a relação sinal ruído (SNR) é dada de acordo com a equação 4.15, sendo que f_s é a frequência de amostragem do conversor e $\overline{\sigma_n^2}$ é a variância do *jitter* de abertura.

$$SNR = -\log_{10}(2\pi^2 f_s^2 \overline{\sigma_n^2}) \quad (4.15)$$

Pelas equações 4.14 e 4.15 pode-se observar uma relação logarítmica entre o ENOB e f_s . Esta relação pode ser observada na Figura 4.10, considerando um *jitter* de abertura de 0.5 ps [4].

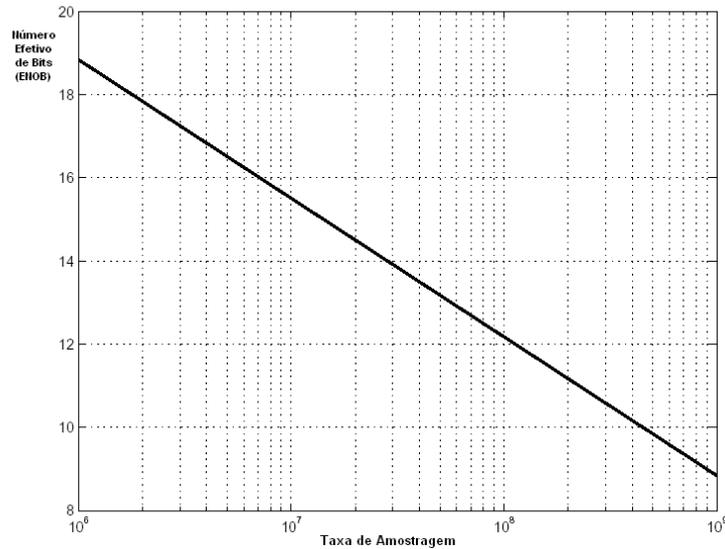


Figura 4.10 - ENOB em um ADC considerando um *jitter* de abertura de 0.5ps

4.3. O DIGITAL DOWNCONVERTER E O DIGITAL UPCONVERTER

4.3.1. O digital downconverter (DDC)

O *digital downconverter* está presente no módulo de *front-end* digital e é responsável por fazer um deslocamento de frequência do sinal digitalizado, da frequência intermediária para a banda-base. É utilizado e conjunto com a arquitetura de um receptor de conversão múltipla, mais utilizado para o desenvolvimento do RDS na atualidade [4].

O sinal sucedido do ADC é mixado com duas senóides, provenientes de um oscilador local, na frequência intermediária e em quadratura, decompondo o sinal em componentes complexas. Depois o sinal decomposto passa por um filtro digital decimador, que seleciona a faixa de frequência de interesse e reduz a taxa de dados que é encaminhado ao processador [15]. Uma arquitetura modelo para um DDC pode ser observada na Figura 4.11.

As senóides são geradas por meio de um dispositivo comandado pelo rádio, conhecido como *numerically controlled oscillator* (NCO). Um NCO tem a seguinte arquitetura: na sua entrada existe um clock e um incremento de fase, a cada clock o NCO incrementa o acumulador de fase e na sua saída apresenta a fase, seno e cosseno,

armazenada no acumulador de fase. O NCO também pode ser usado como modulador de frequência e fase, se utilizar as portadoras digitais criadas pelo NCO a entrada de sinais digitais, modulando-as em frequência ou fase. Poderia ser utilizado um VCO (oscilador controlador de tensão) [15, 19], porém para o escopo deste trabalho, o NCO se encaixa melhor.

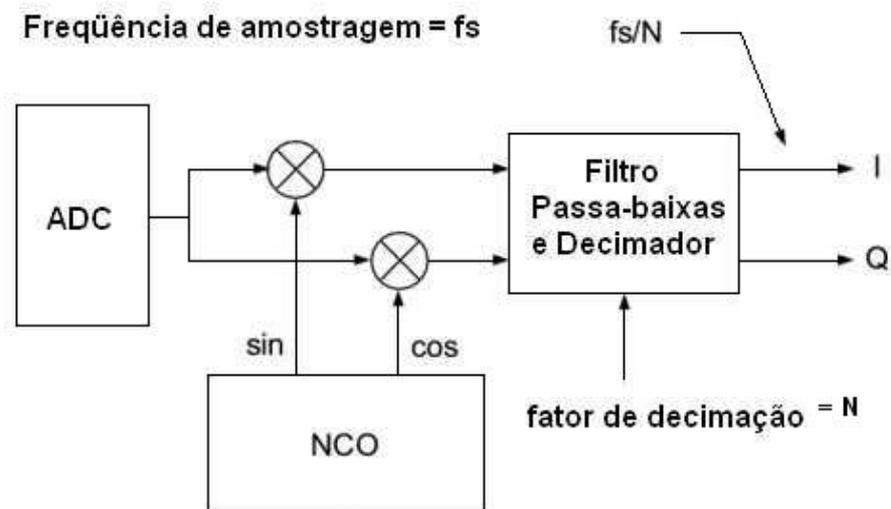


Figura 4.11 - Arquitetura de modelo para DDC

O NCO é interessante, pois pode ser implementado em diversas arquiteturas distintas, ele depende apenas da memória do dispositivo e da frequência de saída, como observamos ele incrementa a fase e depende da faixa de frequência de saída. Sendo assim, um NCO pode ser desenvolvido em uma tabela *look-up* em uma ROM, utilizando algoritmo CORDIC ou multiplicadores no próprio hardware do sistema [4].

Se desenvolvido em uma tabela *look-up* em uma ROM a arquitetura pode tanto ser rápida e sem que a memória seja um fator limitante, no caso de uma grande ROM, em que os argumentos são armazenados em todos os argumentos possíveis ao acumulador de fase. E pode ser não tão veloz, mas que não necessitem de tanta memória do sistema, como no caso de pequenas ROM, que armazenam os argumentos em apenas 1/8 dos argumentos possíveis, essas são ideais para casos que precisem de frequências de saída altas [1, 4]. A arquitetura baseada em multiplicadores no hardware do sistema utiliza-se de multiplicadores em hardware que calculam o seno e o cosseno necessário por meio de uma Série de Taylor.

O algoritmo CORDIC (Coordinate Rotation Digital Computer) é um algoritmo numérico que calcula funções trigonométricas por meio de rotações fasoriais, para se aproximar ao máximo do argumento de entrada. É um algoritmo de boa performance, o que pode substituir o hardware requerido para utilizar multiplicadores ou a grande memória necessária para tabela *look-up* em grandes ROM [4].

As senóides em quadratura provenientes do NCO são mixadas com o sinal digital do ADC, por meio de multiplicadores digitais. O sinal resultante contém sinais espúrios, sendo assim o mesmo deve passar por um filtro digital de resposta finita a um impulso (FIR), muitas vezes os filtros são evitados devido à característica não-linear que algumas vezes distorce o sinal. O FIR deve ter uma característica de passa-baixo visando eliminar o espectro do sinal resultante da mixagem do sinal [1, 4].

O sinal, agora em banda base pode ser decimado, respeitando sempre o critério de Nyquist para evitar o alias [6]. Após a decimação as componentes complexas do sinal em banda base podem ser encaminhadas ao próximo módulo, de processamento.

4.3.2. O *digital upconverter* (DUC)

O digital upconverter tem uma função análoga ao DDC, entretanto no sentido contrário. Ou seja, a resposta do processador digital, em banda base deve sofrer um deslocamento de frequência para a frequência intermediária, de modo a facilitar a conversão digital analógica do sinal.

O DUC recebe as componentes complexas do sinal processado pelo dispositivo de processamento. Ele interpola os pontos para obter uma maior quantidade de amostras, faz a mixagem com duas senóides em quadratura geradas pelo NCO. Além disso, subtrai as componentes complexas entre si para obter um sinal real. Então o sinal passa pelo DAC para depois seguir analógico para o *front-end* RF e depois ser transmitido. Uma arquitetura modelo para um DUC pode ser observada na Figura 4.12.

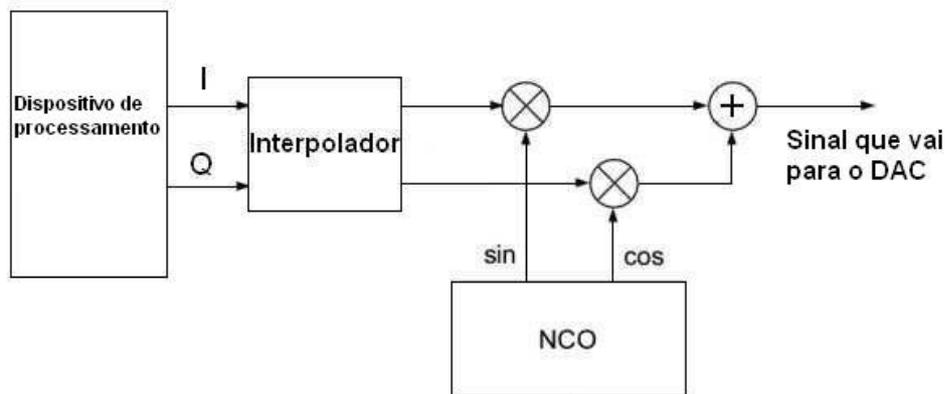


Figura 4.12 - Arquitetura de modelo para DUC

4.4. SOFTWARE COMMUNICATIONS ARCHITECTURE (SCA)

Conforme descrito neste trabalho, é enorme a variedade de arquiteturas disponíveis de hardware e software para o desenvolvimento de um RDS isso reflete no problema de aplicações muito específicas sendo desenvolvidas para determinadas plataformas. Essa especificidade gera um problema de adaptabilidade entre plataformas, ou seja, dispositivos desenvolvidos para uma arquitetura específica não podem ser aproveitados em outras situações [1].

Visando minimizar este problema nos sistemas militares de rádio dos EUA, o JTRS (*Joint Tactical Radio System*) do exército norte americano criou o SCA. Que é uma arquitetura aberta de software que possibilita o gerenciamento e interconexão de recursos de software em um ambiente computacional [1]. O SCA estabelece certos padrões para o desenvolvimento do RDS, especificando todos os módulos que possam estar envolvidos na construção do dispositivo, como interface aérea, desenvolvimento de software de processamento.

O SCA adotou o *middleware* CORBA (*Common Object Request Broker Architecture*), que garante independência entre hardware e software [1]. O *middleware* CORBA automatiza várias funções de programação da rede como registro de objeto, localização e ativação [4].

O SCA ainda não é adotada por todas as plataformas RDS desenvolvidas, entretanto o RDS fórum vem adotando essa arquitetura como padrão, para diminuir os problemas já especificados [9].

O SCA viabiliza a interoperabilidade entre os dispositivos já existentes no mercado e os que ainda serão desenvolvidos. Como o rádio definido por software busca interoperabilidade, além de outros fatores já abordados aqui, seria sensato adotar a arquitetura SCA para proporcionar este objetivo.

Além do SCA existem outras arquiteturas que foram desenvolvidas a partir desta. Logo, conhecer o SCA já seria suficientemente interessante dentro do escopo deste trabalho. Uma arquitetura usual em que o SCA foi usado de base para seu desenvolvimento seria o SWRadio, que é um projeto para construir uma plataforma comercial internacional.

4.5. PROCESSADORES DE SINAIS

A Lei de Moore prevê que a capacidade de integração nos chips de computador, mantém uma regra de aumento. As evoluções dos chips trouxeram incontáveis benefícios para a sociedade atual, tais como o próprio computador, dispositivos de comunicação mais sofisticados [4, 10]. A evolução dos processadores digitais está intimamente ligada com essa relação.

Os dispositivos de processamento, assim como os conversores A/D/A são os maiores limitadores de um sistema RDS. Logo a escolha de qual hardware será utilizado é de suma importância no desenvolvimento de um RDS. Nessa escolha deve ser levada em consideração além dos recursos disponíveis em cada dispositivo, a finalidade de cada rádio. Fatores como tempo de reconfiguração, capacidade de processamento, consumo de potência, custo, programabilidade devem ser levadas em consideração na hora de se escolher o dispositivo [1].

Existem várias opções de dispositivos de processamento em RDS, entretanto, as mais usuais nas comunicações móveis e que serão abordadas neste trabalho são os processadores digitais de sinais (DSP), os conjuntos de portas lógicas programáveis em campo (FPGA) e os circuitos integrados de aplicações específicas (ASIC). Sendo que cada dispositivo apresenta vantagens e desvantagens que serão abordadas nas subseções seguintes [10].

É interessante observar que para cada situação específica de projeto um dispositivo de processamento encaixar-se-á melhor, visando flexibilidade e desempenho de cada

dispositivo. Também não se pode desconsiderar a possibilidade da utilização de sistemas híbridos, que utiliza vantagens de dois ou mais processadores [1].

Os processadores de uso geral seriam uma alternativa de menor custo, maior capacidade de processamento e maior programabilidade. Entretanto, tratando-se de processamento digital de sinais, os processadores ficam aquém das alternativas já mencionadas aqui, principalmente devido ao fato de não possuir instrução otimizada para o processamento requerido. Ao se tentar otimizar com processadores que possuem o *clock* mais elevado, o problema passa a ser o alto consumo de energia. Porém, por ser uma alternativa razoável, muitas plataformas RDS utilizam-se do PC para fazer o processamento digital de sinais, restringindo a portabilidade do sistema [1].

4.5.1. DSP

Os DSPs são basicamente microprocessadores com características peculiares atualmente, são bastante populares. Eles podem ser programados e foram projetados para processar o sinal digital em tempo real, superando a velocidade de microprocessadores comuns. Sendo assim, como consequência de seu objetivo, os DSPs possuem uma arquitetura específica e executam instruções de forma a realizar operações matriciais complicadas, como convoluções, FFT [4].

A programação de um DSP pode ser baseada em linguagens de alto nível como C ou C++ ou baseadas em linguagens de nível mais baixo, como o *Assembly*, não necessitando de um alto conhecimento em códigos *Assembly*, pois muitos DSPs possuem seu próprio código e ferramentas de desenvolvimento oferecidas pelo fabricante. Os compiladores estão mais próximos do que a dinâmica de mercado necessita [4, 10]. Algumas interfaces utilizadas nos DSPs são o *Code Composer Studio*, da Texas Instruments, o *Analog Devices CROSSCORE*, da AD e o *CodeWarrior*, da Motorola [10].

A maior diferença entre operações e instruções em um DSP depende da complexidade da instrução e a compatibilidade com o dispositivo. Ou seja, um dispositivo DSP em particular deve ser capaz de executar mais de uma operação por instrução [4].

Várias otimizações podem ser realizadas nos DSPs normalmente visando três valores maiores, a capacidade de controle (adicionar maior recurso de memória e

processamento, em aplicações que requerem um maior controle das interfaces físicas para o usuário); o consumo de energia (dispositivos portáteis que consomem menos energia, aumentando a portabilidade do sistema); e o range de performance (melhorar o *trade-off* custo e performance dependendo das especificações de processamento do projeto do sistema) [4].

Sendo assim, o DSP tem alta reconfigurabilidade, pois para executar trabalhos diferentes, bastaria fazer um *upload* do novo programa na memória do dispositivo. A reconfiguração dá-se, então, em software. Conseqüentemente, o hardware de um DSP não pode ser otimizado pelo projetista para realizar funções diversas [1, 4].

Para compensar o fato dos DSPs terem funções específicas e sua otimização não ser simples seus componentes são bastante baratos, se compararmos com outros dispositivos de processamento. Esse baixo custo ocorre pela alta popularidade dos DSPs em diversas aplicações na indústria de eletrônicos e telecomunicações. Essa popularidade proporciona uma vantagem econômica que por muitas vezes é responsável pela alta utilização dos DSPs no RDS [1].

4.5.2. FPGA

O FPGA é um dispositivo lógico programável (PLD). Consiste basicamente em um chip configurável em software, muito potente e que programa circuitos digitais, tais como processadores, interfaces, controladores, decodificadores [20]. Trata-se de um arranjo de módulos iguais de circuitos pequenos, composto por portas lógicas programáveis e flip-flops, ou seja, blocos lógicos configuráveis. As conexões entre módulos são realizadas por meio de um protocolo simples [20, 21]. A função destes dispositivos configuráveis pode ser redefinida durante todo o tempo de operação do dispositivo. [4].

Cada bloco lógico configurável deve formar uma pequena tabela *look-up* de saídas reprogramáveis com os valores recebidos na entrada, para poder, assim, implementar as funções lógicas específicas. Como as funções são normalmente seqüenciais, há a necessidade de um dispositivo de memória, para armazenar os estados, como um flip-flop, e uma entrada de sincronização, o *clock* [4, 20].

O FPGA é formado por um conjunto desses blocos lógicos configuráveis. Sendo que se unindo vários desses blocos, circuitos lógicos complexos podem ser construídos,

tais como filtros digitais, máquinas de estados. A disposição dos elementos em forma de matriz, com os pinos de entrada e saída conectados a chaves programáveis, conectando os blocos, permite a reconfigurabilidade do sistema, pois a disposição dos blocos pode ser alterada e também a construção de circuitos cada vez mais complexos. Muitas vezes alguns elementos de hardware auxiliares são adicionados ao FPGA de modo a melhorar seu desempenho [4, 20, 21].

A reconfigurabilidade em hardware, obtida por meio da arquitetura do dispositivo, é um grande atrativo do FPGA para aplicações como a do RDS. Pois em diversas situações seria interessante realizar uma parte do processamento em hardware, devido ao melhor desempenho, sem perder a flexibilidade do sistema [4].

Existem três aspectos principais que definem a arquitetura de um FPGA, que estão intimamente ligados ao desempenho do FPGA:

- Tipo de tecnologia de programação utilizada;
- Arquitetura dos blocos lógicos;
- Estrutura da arquitetura de roteamento.

As linguagens utilizadas para a programação dos FPGAs são as linguagens de programação em hardware, tornando o dispositivo mais complexo de se programar de forma eficiente, como o VHDL [10]. As linguagens de programação em hardware permitem que o circuito seja descrito de maneira física ou comportamental, a programação de cada bloco específico não é importante [20]. O programa é executado por um programa sintetizador que gera uma *netlist* a partir do código desenvolvido. A *netlist* é um arquivo binário que é carregado ao FPGA, programando os blocos e as portas lógicas programáveis [20, 21].

4.5.3. ASIC

O ASIC possui a grande vantagem de ser o dispositivo de processamento mais veloz. Porém, seu maior empecilho no uso do sistema RDS é a falta de flexibilidade e reconfigurabilidade, pois executam tarefas fixas, obrigando o dispositivo a ter diferentes *chips* para cada tarefa a ser executada. Outra vantagem é o custo, pois a falta de flexibilidade implica em dispositivos semelhantes, o que facilita a produção em alta escala. Claro que muitas vezes é adicionado hardware ao sistema, sob o custo de encarecê-lo, de modo a buscar reconfigurabilidade funcional ao rádio [1, 10].

O ASIC normalmente é utilizado em conjunto com dispositivos de processamento programável, devido ao seu alto desempenho. Pode ser utilizado tanto em conjunto com o DSP quanto com o FPGA, dentro da abordagem deste trabalho. Com o seu alto desempenho, o ASIC pode exercer algumas funções críticas de processamento no RDS. E esta plataforma de conjunto com outros dispositivos pode ser uma opção mais econômica do que o custo de projeto e desenvolvimento do DSP ou do FPGA para aplicações de processamento que o ASIC já executa [2].

4.5.4. Análise comparativa entre DSP, FPGA e ASIC

A comparação entre os dispositivos abordados neste trabalho dá-se prioritariamente relacionando-se reconfigurabilidade e desempenho. A Tabela 4.2 mostra uma comparação sintetizada dos dispositivos [22].

Tabela 4.2 - Comparação entre DSP, FPGA e ASIC

<i>Característica</i>	<i>DSP</i>	<i>FPGA</i>	<i>ASIC</i>
Frequência de operação (MHz)	100 - 600	100– 300	>1000
Consumo de energia	Muito alta	Alto	Moderado
Execução paralela	Serial	Máxima (flexível)	Máxima
Complexidade do projeto	Programas complexos	Muito alta	Muito alta
Tamanho	Moderado	Muito grande	Grande
Evolução	Alta	Alta	Sem
Customização	Muito fácil	Fácil	Difícil
Verificação do projeto	Moderada	Moderada	Muito difícil
Ferramentas para projeto	Bom	Muito bom	Bom

A partir da Tabela 4.2 e das características abordadas nas subseções anteriores, algumas análises comparativas podem ser realizadas.

O ASIC não apresenta a flexibilidade necessária ao projeto do RDS. Possui uma alta frequência de operação, o calor dissipado no *chip* é alto o que acarreta em um aquecimento dispensável ao sistema. Outro fator negativo é tamanho do dispositivo, pois para obter a portabilidade almejada pelos sistemas, a tendência é a de processadores cada vez menores. A falta de evoluções do ASIC também impossibilitaria a utilização do ASIC como processador de sinal no RDS que exige reconfigurabilidade. Entretanto, o uso paralelo a outros processadores de sinal é bastante usual e customiza o preço do projeto e desenvolvimento do RDS [22].

Os DSPs possuem o melhor tempo de reprogramação, sendo assim, bastante flexível, de fácil customização, o que é desejável para o processador de sinal no RDS. Entretanto, essa maior flexibilidade está intimamente ligada ao baixo desempenho, se comparado a outros dispositivos de processamento de sinal [22].

Os FPGAs seriam um meio termo entre os ASICs e os DSPs. O tempo de reconfiguração é maior que o do DSP, entretanto com o hardware configurável, o que no sistema RDS é bastante interessante. Seu desempenho situa-se em ser maior que o do DSP e menor que o do ASIC [22].

A Figura 4.13 ilustra a comparação dos dispositivos de processamento de sinal, DSP, FPGA e ASIC, abordando o desempenho e a flexibilidade dos dispositivos.

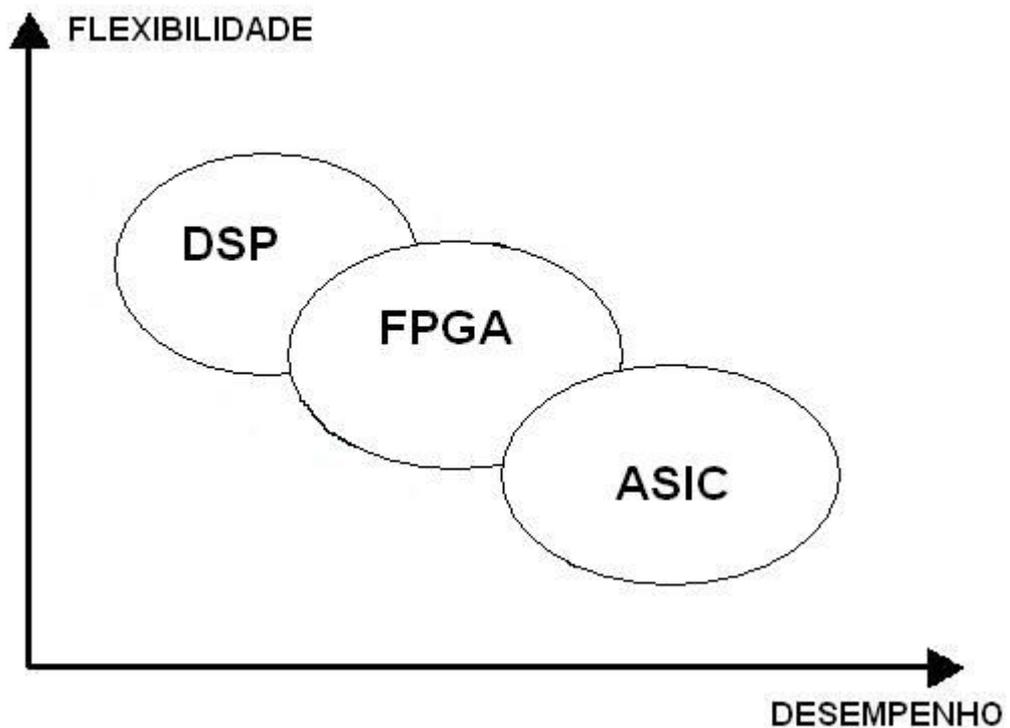


Figura 4.13- Análise comparativa entre DSP, FPGA e ASIC

4.5.5. Relação de projeto entre hardware e software

Atualmente é interessante possuir sistemas de comunicação embarcados, ou seja, sistemas menores inseridos em sistemas maiores. Quando tratamos de sistemas embarcados, normalmente os dispositivos disponíveis não têm memória disponível nem

grande capacidade de processamento. Sendo assim é interessante buscar um ponto ótimo no projeto de distribuição de tarefas entre hardware e software, minimizando esses problemas [23].

Os processos realizados em hardware possuem melhor performance se comparados aos processos em software, entretanto, para se obter este alto desempenho, agrega-se hardware ao sistema, aumentando o custo e perdendo flexibilidade. Como nas maiorias dos impasses dos dispositivos, o grande problema é apontar um ponto ótimo entre os projetos de hardware e software que resolva o *trade-off* entre desempenho e custo. Ou seja, manter o alto desempenho dos processos em hardware, porém agregando flexibilidade pelas implementações em software [23].

Em um sistema RDS essa idéia não é diferente. Porém aumentando o uso do hardware, ou seja, as funções mais críticas do processamento de sinais em software serem desenvolvidas em hardware. Logo, a idéia seria buscar um equilíbrio com o desempenho mais interessante em uma determinada arquitetura entre blocos de processamento de sinal para hardware e software.

5 CONCLUSÃO

O rádio definido por software é um ramo de pesquisa extremamente amplo e que está em constante mudança e desenvolvimento, sendo assim, seria impossível abordar todos os tópicos relativos a esta tecnologia. Essa não era a idéia do trabalho. O escopo do trabalho era mostrar e analisar os módulos da arquitetura de um rádio definido por software de maneira didática, de modo que pessoas leigas no assunto conseguissem aprender e entender pelo menos o básico de uma tecnologia tão ampla e tão usual nos dias atuais.

Primeiramente o RDS foi conceituado. Como foi abordado, não existe um conceito formado para a tecnologia, portanto, vários autores foram citados e analisados. Dentro deste mesmo capítulo uma amostra geral da arquitetura de um RDS real foi abordada. Seguindo esta arquitetura do transceptor real do RDS este trabalho foi redigido. Logo houve uma divisão já nos módulos de rádio frequência e de processamento digital.

Nos módulos de rádio frequência, foi feito um estudo sobre as antenas utilizadas em RDS, conforme abordado no trabalho, apenas as antenas inteligentes, mais usuais nos sistemas de comunicação baseados em RDS foram estudadas. Quanto às antenas inteligentes foi de maior importância fazer uma análise conceitual sobre esse tipo peculiar de antena que é dinâmica e se adapta bem às necessidades do rádio reconfigurável sem excluir a necessidade da abordagem dos algoritmos de chegada (DOA) que estimam a direção de chegada do sinal, o que no caso das antenas é de extrema importância. Além disso, dentro deste módulo ainda foi feito um estudo sobre o *front-end* RF que é ainda importante na utilização do RDS devido às limitações tecnológicas existentes.

Nos módulos de processamento digital, dois grandes módulos foram estudados os conversores A/D/A e os dispositivos de processamento digital. Os grandes limitadores da tecnologia RDS. Já que eles são limitadores devido a seus dispositivos e tecnologia que fica aquém do que se espera que um RDS possa realizar e ao mesmo tempo o rádio é totalmente ligado a esses dispositivos. Pois sem os conversores o processamento do sinal ou a transmissão do sinal não seria possível. E sem os processadores, toda a idéia

do RDS seria limitada e não existiria. Claro que como descrito na dissertação existam maneiras utilizadas atualmente que visam melhorar os trade-offs provenientes deste retrocesso tecnológico. Como análise de custo, performance e desempenho dos dispositivos.

Conclusivamente, este trabalho dentro do escopo proposto por ele, proporcionou uma análise e uma abordagem dos principais dispositivos existentes hoje nos sistemas RDS.

O RDS é uma área enorme de pesquisa e estudos. Depois do estudo dessa tecnologia, alguns paradigmas na área de comunicações digitais foram quebrados, como no caso do desenvolvimento de áreas recentes como a telefonia móvel com as gerações futuras, propiciando tanto uma maior integração entre usuário e rede. O surgimento dessa tecnologia está ligado ao início do estudo dos circuitos integrados.

Sendo assim, a área de comunicações digitais está intrinsecamente ligada ao RDS e ao seu desenvolvimento tecnológico. Claro então que inúmeros trabalhos futuros poderiam ser abordados, considerando este fato. As tecnologias emergentes de comunicações móveis, TV Digital, VoIP, todas elas podem utilizar o RDS como forma de integrá-los ou seja, convergi-los e entregá-los em apenas um dispositivo ao usuário.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] ISOMÄKI, P.; AVESSTAH, N. *An Overview of Software Defined Radio Technologies*. 2004. Disponível online em: <http://www.tucs.fi/publications/attachment.php?fname=TR652.pdf>. Acessado em 01/08/2007.
- [2] KENINGTON, P. B. *RF and Baseband Techniques for Software Defined Radio*. Artech House, 2005.
- [3] MITOLA, J. *Software Radio Architecture*. Wiley, 2000.
- [4] TUTTLEBEE, W. *Software Defined Radio: Enabling Technologies*. Wiley, 2002.
- [5] LIMA, A. G. M. Rádio Definido por Software: o próximo salto no mundo das telecomunicações e computação. *Revista Digital Online*, V. 2, Outubro 2003. Disponível online em: <http://www.revdigonline.com>. Acessado em 07/09/2007.
- [6] LATHI, B. P. *Modern Digital and Analog Communication Systems*. Oxford University Press, 1998.
- [7] RAPPAPORT, T.S; LIBERTI, J. C. *Smart Antennas for Wireless Communications*. Prentice Hall, 1999.
- [8] GODARA, L. C. *Smart Antennas*. CRC Press, 2004.
- [9] SDR FORUM. <http://www.sdrforum.org>. Acessado em 04/12/2007.
- [10] LIMA, A. G. M. *Reconfigurabilidade em um Sistema de Comunicação Móvel Baseado na Arquitetura de um Rádio Definido por Software*. Tese de Doutorado em Engenharia Elétrica, Publicação PPGENE.DM – 006ª/2006, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 179p.
- [11] TUTTLEBEE, W. *Software Defined Radio – Origins, Drivers and International Perspective*. Wiley, 2002.
- [12] ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. Oxford University Press, 2002.
- [13] PAQUELET, S.; MOY, C.; AUBERT, L. Rf front-end considerations for SDR ultra-wideband communications systems. *RF Design Magazine – Wireless Communication and Radio Frequency Circuit Design for RF Engineers*, V. 1, July 2004.
- [14] TUTTLEBEE, W. *Software Defined Radio – Architectures, Systems and Functions*. Wiley, 2002.

- [15] SJÖSTROM, U.; CARLSSON, M., HÖRLIN, M. Design and implementation of a digital downconverter chip. *The European Association for Signal and Image Processing*, 1996.
- [16] SALCIC, Z.; MECKLENBRAUKER, C.F. Software Radio: Architectural Requirements, Research and Development Challenges, *IEEE*, 2002. Acessado em 20/11/2007.
- [17] PEREIRA, J. Reconfigurable Radio: the envolving perspectives of different players, *IEEE*, 2001. Acessado em 20/11/2007.
- [18] SOUZA, M. N. Antenas Multibanda para Rádio Definido por Software: Possibilidades e limitações. *Revista Digital Online*, V. 3, agosto 2004. Disponível online em: <http://www.revdigonline.com>. Acessado em 07/09/2007.
- [19] RUDRA, A. FPGA – based applications for software radio. *RF Design Magazine – Signal Processing*, V. 1, May 2004.
- [20] ZELENOVSKY, R.; MENDONÇA, A. *Eletrônica Digital*. MZ Editora, 2004.
- [21] WAKERLY, J. F. *Digital Design – Principals and Practices*. Prentice Hall, 2000.
- [22] HARUYAMA, S. *Software Defined Radio Technologies*. Kluwer Academic Publishers, July 2000.
- [23] JERRAYA, A. A. Long term trends for embedded system design. *Digital System Design, 2004. DSD 2004. Euromicro Symposium on*, V.1, 2004.
- [24] LEE, T. H., *The Design of CMOS Radio Frequency integrated circuits*. Cambridge University Press, 1998.