

TRABALHO DE GRADUAÇÃO

IMPLEMENTAÇÃO FINAL DO MÓDULO DE SAÍDA
DE UM TRANSECTOR DE RF A 900MHZ
EM SOC CMOS

José Edil Guimarães de Medeiros

Brasília, Julho de 2007

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE GRADUAÇÃO

IMPLEMENTAÇÃO FINAL DO MÓDULO DE SAÍDA
DE UM TRANSECTOR DE RF A 900MHZ
EM SOC CMOS

José Edil Guimarães de Medeiros

*Relatório submetido ao Departamento de Engenharia
Elétrica como requisito parcial para obtenção
do grau de Engenheiro Eletricista*

Banca Examinadora

Prof. José Camargo da Costa, ENE/UnB

Orientador

Prof. Janaína Gonçalves Guimarães, ENE/UnB

Co-orientadora

Prof. Paulo H. Portela Carvalho, ENE/UnB

Examinador interno

Eng. Wagner A. Araújo, Brasil Semicondutores

Examinador externo

Dedicatória

Aos meus melhores amigos: meus pais...

José Edil Guimarães de Medeiros

Agradecimentos

Agradeço aos meus pais por criarem as condições para que eu pudesse estudar numa das melhores escolas de nível superior do Brasil. A meus irmãos Érico, Gabriel e Gabriela pelo apoio e pelas horas de descontração ao longo da vida.

A minha namorada Lidia, e a toda sua família, pelo amor e compreensão que sempre tiveram comigo. Vocês são minha segunda família.

Aos meus professores e amigos José Camargo da Costa, Janaína Gonçalves Guimarães e Paulo H. Portela de Carvalho, pela dedicação a Universidade e a seus alunos. Aos amigos e engenheiros Gilmar S. Beserra, Éder Gillian S. Beserra, Hélder H. Guimarães, Genival M. de Araújo, Fernando M. L. Tavares e aos outros amigos do LTSD/LPCI. Aos companheiros do LEMOM, Charles, Leonardo e Nassif. Um agradecimento especial ao engenheiro e amigo Wagner A. Araújo pela amizade, pela ajuda na conclusão deste texto e por aceitar participar da minha banca de avaliação.

A todo o pessoal da minha turma de Engenharia, desejo muito sucesso para todos vocês. A todos aqueles que de forma direta ou indireta me ajudaram a chegar até aqui, muito obrigado.

José Edil Guimarães de Medeiros

RESUMO

O presente trabalho apresenta um proposta de arquitetura para transceptor de RF para aplicação em SoC CMOS para rede de sensores sem fio. Foi feita a revisão da arquitetura especificada em trabalhos anteriores e observadas as suas vulnerabilidades. Também foram propostas topologias para integração do transceptor no sistema em chip do qual ele fará parte. A descrição apresentada neste texto irá orientar o desenvolvimento dos circuitos de rádio integrantes do sistema em chip.

SUMÁRIO

1	INTRODUÇÃO	1
1.1	O SoC-SCI	1
1.2	DEFINIÇÃO DO PROBLEMA	2
1.3	OBJETIVOS DO PROJETO	2
1.4	APRESENTAÇÃO DO MANUSCRITO	3
2	REVISÃO BIBLIOGRÁFICA	4
2.1	ARQUITETURAS DE RECEPTORES DE RÁDIO	4
2.1.1	RECEPTOR COM FREQUÊNCIA DE RÁDIO SINTONIZADA	4
2.1.2	RECEPTOR SUPER-REGENERATIVO	5
2.1.3	RECEPTOR SUPER-HETERÓDINO	6
2.1.4	RECEPTOR DE CONVERSÃO DIRETA	8
2.1.5	RECEPTORES DIGITAIS	8
2.2	TÉCNICAS DE MODULAÇÃO DIGITAL	9
2.2.1	ANÁLISE ESPECTRAL DE SINAIS DIGITAIS EM BANDA PASSANTE	9
2.2.2	MODULAÇÃO EM AMPLITUDE	11
2.2.3	MODULAÇÃO EM FREQUÊNCIA	12
2.2.4	MODULAÇÃO EM FASE	13
2.2.5	DETECÇÃO ÓTIMA	13
2.2.6	DETECÇÃO COERENTE DE SINAIS OOK, BPSK E FSK	14
2.2.7	ENVOLTÓRIA DE UM SINAL SENOIDAL COM RUÍDO	16
2.2.8	DETECÇÃO NÃO-COERENTE DE SINAIS OOK	17
2.2.9	DETECÇÃO NÃO-COERENTE DE SINAIS FSK	18
2.2.10	COMPARAÇÃO ENTRE OS ESQUEMAS DE MODULAÇÃO DIGITAL	19
2.3	PROJETO DE SISTEMAS DE RÁDIO	19
2.3.1	SENSIBILIDADE	20
2.3.2	FIGURA DE RUÍDO	21
2.3.3	BANDA	21
2.3.4	COMPRESSÃO DE GANHO	22
2.3.5	PONTO DE INTERCEPTAÇÃO DE TERCEIRA ORDEM	22
2.4	O TRANCEPTOR DE RF ORIGINAL	22
3	METODOLOGIA	25
3.1	FLUXOS DE PROJETO DE CIRCUITOS INTEGRADOS	25

3.2	METODOLOGIA GERAL PARA O TRANSCEPTOR DE RF	26
4	PROJETO	28
4.1	ESPECIFICAÇÃO DA SEÇÃO ANALÓGICA	28
4.2	PROJETO DA SEÇÃO DIGITAL	30
4.2.1	DESCRIÇÃO DO CONTROLADOR DIGITAL DO TRANSCEPTOR	30
4.2.2	CODEC MANCHESTER	32
5	RESULTADOS	35
5.1	SIMULAÇÕES	35
5.1.1	ALCANCE	35
5.1.2	SENSIBILIDADE	35
5.1.3	MÁQUINA DE CONTROLE DO TRANSCEPTOR	36
5.2	IMPACTO DA ARQUITETURA NO DESEMPENHO GERAL DO SISTEMA.....	36
5.3	TOPOLOGIA FINAL.....	37
6	CONCLUSÕES	40
	REFERÊNCIAS BIBLIOGRÁFICAS	42
	ANEXOS.....	44
I	CÓDIGOS MATLAB	45
II	SIMULAÇÃO DA MÁQUINA DE ESTADOS DO TRANSCEPTOR.....	47

LISTA DE FIGURAS

1.1	Estrutura do sistema de controle de irrigação.	2
1.2	Estrutura do nó do sistema de controle de irrigação.	2
2.1	Receptor de rádio com frequência sintonizada	4
2.2	Diagrama de blocos de um receptor super-regenerativo [7]	5
2.3	Receptor super-heteródino	6
2.4	Problema de imagem na recepção heteródina [8]	7
2.5	<i>Mixer</i> de rejeição de imagem proposto por Hartley [8]	7
2.6	Arquiteturas de receptores digitais	9
2.7	Formas de onda para as modulações digitais mais simples (ASK, PSK e FSK)	10
2.8	Densidade espectral de potência da modulação ASK [18]	12
2.9	Detector baseado em filtro casado	14
2.10	Detector de correlação	15
2.11	Comportamento da função densidade de probabilidade para o envelope de uma senóide mais ruído [18]	17
2.12	Receptor OOK não coerente	17
2.13	Densidades de probabilidade para OOK não-coerente [18]	18
2.14	Detector não-coerente para sistema FSK	19
2.15	Probabilidade de erro de bit para algumas modulações digitais	20
2.16	Arquitetura original do transceptor de RF para o SoC-SCI [21]	23
3.1	Metodologia de projeto de circuitos integrados.	26
4.1	Arquitetura proposta para o transceptor de RF	28
4.2	<i>Data slicer</i> utilizado como comparador	30
4.3	Diagrama de estados da máquina de controle do transceptor de RF	32
4.4	Símbolos utilizados na codificação Manchester	33
4.5	Diferentes posições para a borda de subida na codificação Manchester	34
5.1	Comportamento da potência recebida pela distância propagada.	36
5.2	Comportamento da sensibilidade frente a figura de ruído	37
5.3	Simulação da máquina de estados do controle do transceptor de RF	38
5.4	Arquitetura completa do transceptor de RF	39

LISTA DE TABELAS

2.1	Comparação entre sistemas de modulação digital	19
2.2	Especificações originais do transceptor de RF do SoC-SCI	22
4.1	Descrição dos registradores de RF.....	30
4.2	Descrição do registrador \$RFC0.	31
4.3	Descrição do registrador \$RFC1.	31
4.4	Resumo dos modos de operação do transceptor	31
4.5	Sinais de saída da máquina de controle do transceptor	32
4.6	Tabela-verdade para decodificação Manchester	34
5.1	Especificações para o transceptor de RF	38

LISTA DE SÍMBOLOS

Siglas

ADC	Analog to Digital Converter – Conversor analógico-digital
ANATEL	Agência Nacional de Telecomunicações
ASK	Amplitude Shift Keying – Modulação por chaveamento de amplitude
CMOS	Complementary Metal-Oxide Semiconductor
Embrapa	Empresa Brasileira de Pesquisa Agropecuária
FSK	Frequency Shift Keying – Modulação por chaveamento de frequência
ISM	Industrial, Scientific and Medical
LNA	Low-Noise Amplifier – Amplificador de baixo ruído
LPF	Low-pass Filter – Filtro passa-baixa
NAMITEC	Tecnologias de Micro e Nanoeletrônicas para Sistemas Integrados Inteligentes
NF	Noise Figure – Figura de ruído
OOK	On-Off Keying
PA	Power Amplifier – Amplificador de potência
PSK	Phase Shift Keying – Modulação por chaveamento de fase
RF	Radio-Frequency – Frequência de rádio
SCI	Sistema de controle de irrigação
SoC	System on Chip – Sistema em chip
VHDL	VHSIC Hardware Description Language
VHDL-AMS	Analog and Mixed-Signal VHDL

Capítulo 1

Introdução

Este trabalho apresenta a revisão das especificações para o transceptor de rádio-freqüência de um sistema em chip. Também será apresentada a especificação da máquina digital de controle do módulo de comunicação e de sua comunicação com a seção digital do sistema.

1.1 O SoC-SCI

A agricultura se transformou em uma atividade extremamente complexa, principalmente após a primeira fase da Revolução Industrial. Desde então, a automação do trabalho no campo e as crescentes pesquisas no setor têm levado ao aumento na produtividade dos produtos agrícolas. O uso da tecnologia da informação para a obtenção de dados mais precisos sobre as condições ambientais deu origem à chamada Agricultura de Precisão. Nesta modalidade, o campo de cultivo é segmentado em áreas menores, possibilitando a aplicação de água e fertilizantes necessários às demandas locais, em quantidade e tempo adequados, otimizando o uso de insumos agrícolas e provendo maior produtividade e lucratividade [1].

A Universidade de Brasília, em parceria com a Embrapa e o NAMITEC, participa do desenvolvimento de um sistema de controle de irrigação visando à otimização do uso de recursos hídricos na agricultura brasileira. Este sistema é constituído de três elementos básicos: nós, estação de campo e estação de base, conforme mostra a Figura 1.1 [2].

Os nós são os pontos de medição e atuação na área de cultivo. Sua função é coletar processar e transmitir as informações referentes ao estado do solo (temperatura e umidade), além de controlar o sistema de irrigação referente à sua localidade. As estações de campo podem se comunicar com até 255 nós espalhados em uma área de até 100 hectares, recebendo dados e retransmitindo para a estação de campo que concentra as informações do sistema para a tomada de decisões.

Cada nó do sistema será constituído de sensores de umidade e temperatura, baterias e painel solar, um atuador para acionamento do sistema de irrigação, antena e um sistema em *chip*, conforme mostrado na figura 1.2.

O *chip* é formado por um microprocessador RISC de 16 bits, memórias RAM e ROM, interfaces analógicas e digitais e um transceptor de RF. A comunicação dos nós via rádio irá operar na faixa

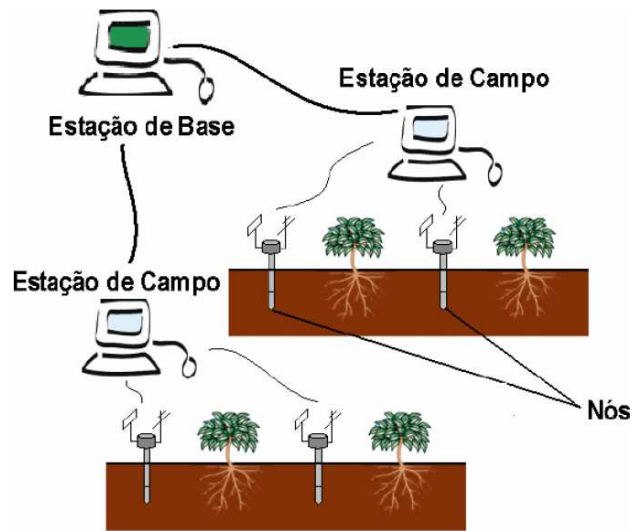


Figura 1.1: Estrutura do sistema de controle de irrigação.

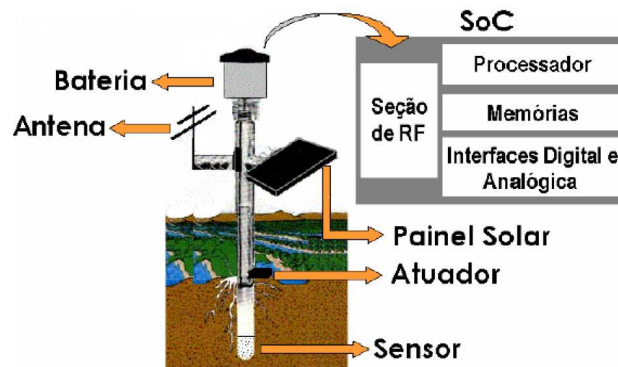


Figura 1.2: Estrutura do nó do sistema de controle de irrigação

ISM de 915MHz a 928MHz [3].

1.2 Definição do problema

Analisar os problemas encontrados na especificação original do transceptor de RF [2] e propor uma nova arquitetura para a seção de RF do SoC-SCI.

1.3 Objetivos do projeto

Formular a especificação final do transceptor de RF do sistema em *chip* em desenvolvimento. Verificar a especificação através de modelagem apropriada e simulação. Detalhar a comunicação entre o bloco de rádio e as outras seções do sistema em chip.

1.4 Apresentação do manuscrito

No capítulo 2 é feita uma revisão bibliográfica sobre o tema de estudo. Em seguida, o capítulo 3 descreve a metodologia empregada no desenvolvimento do projeto. A descrição dos circuitos é apresentada no capítulo 4, seguida dos resultados e discussões no capítulo 5. O capítulo 6 apresenta as conclusões do trabalho. Os anexos contêm material complementar.

Capítulo 2

Revisão Bibliográfica

Neste capítulo serão revistas algumas arquiteturas de receptores de rádio, parâmetros importantes para o projeto de sistemas sem fio e algumas técnicas de modulação digital. A intenção não é esgotar o assunto, mas sim, apresentar alguns dos conceitos teóricos estudados durante o desenvolvimento deste trabalho.

2.1 Arquiteturas de receptores de rádio

Em geral, é o receptor que determina o desempenho geral de um sistema de rádio. As principais considerações que devem ser observadas para a escolha de uma topologia para o receptor envolvem simplicidade, custo, tamanho e consumo de potência. O receptor super-heteródino é o mais utilizado em aplicações de curta distância, mas o conhecimento de outras topologias permite ao projetista selecionar a mais adequada para a sua aplicação [4].

2.1.1 Receptor com frequência de rádio sintonizada

Conceitualmente, o receptor sintonizado é o mais simples. Conforme mostrado na Figura 2.1, a antena é seguida por um filtro passa-faixa ou um circuito sintonizado na frequência desejada. O sinal recebido é amplificado e então detectado, geralmente por um detector de envoltória. O sinal em banda-base é então entregue a um comparador para restaurar os níveis digitais de tensão.

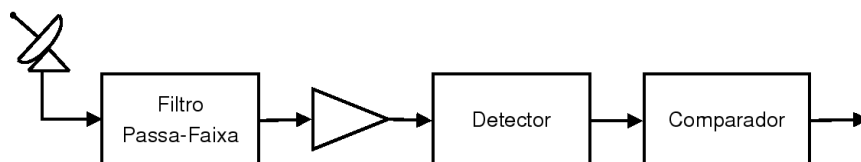


Figura 2.1: Receptor de rádio com frequência sintonizada

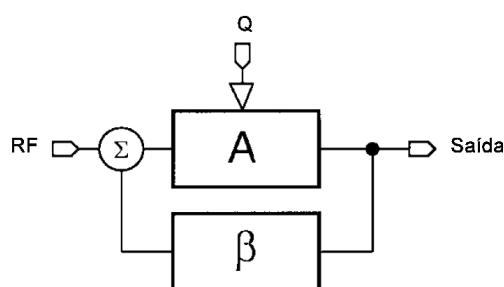
O ganho de tensão que pode ser obtido é limitado porque amplificadores de alto ganho em frequências na faixa de UHF estão sujeitos a realimentação positiva causada por elementos parasitas, o que pode levar a instabilidade do amplificador. Este fato limita a sensibilidade que pode ser alcançada por este tipo de topologia, fazendo com que ela só seja aplicada em links de alcance

muito curto (alguns metros). Uma grande vantagem desta topologia é que ela não utiliza osciladores ou qualquer outra fonte radiante, o que minimiza o ruído gerado pelo transceptor no restante do sistema em *chip* [5].

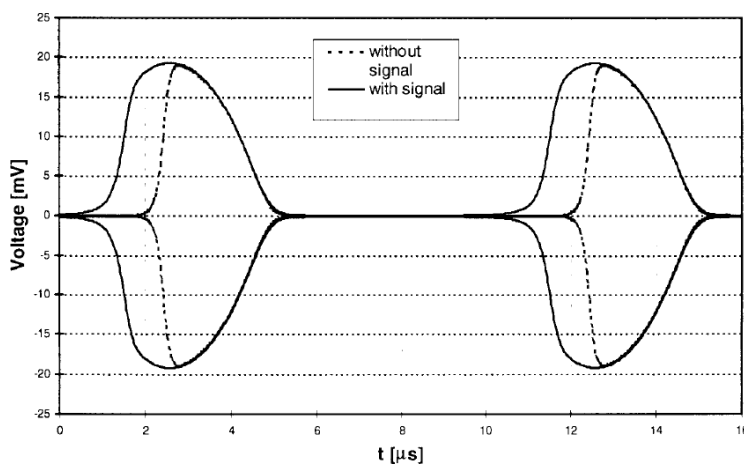
2.1.2 Receptor super-regenerativo

Esta topologia foi inventada em 1922 por Armstrong [6] e amplamente utilizada até a década de 1950, quando foi gradualmente substituída pelo receptor super-heteródino devido a sua melhor seletividade. A melhoria das técnicas utilizadas na concepção de circuitos integrados analógicos tornou possível aumentar a banda e a sensibilidade deste tipo de receptor, tornando-o novamente atrativo para aplicações de curta distância.

A Figura 2.2 mostra o princípio de funcionamento do receptor super-regenerativo [7].



(a) Receptor super-regenerativo



(b) Envoltória do sinal de saída do oscilador

Figura 2.2: Diagrama de blocos de um receptor super-regenerativo [7]

O sistema consiste em um oscilador formado pelo bloco de ganho A e pela rede de realimentação seletiva β . A entrada de RF introduz energia vinda da antena aumentando o tempo necessário para que o circuito comece a oscilar. O sinal Q , gerado internamente, modifica o ganho de malha fechada do sistema periodicamente, removendo ou promovendo a condição de oscilação.

Sem sinais de RF, o tempo de partida do oscilador é fixado pelos parâmetros do sistema. Um sinal injetado no oscilador irá modificar o tempo de partida da rede, conforme mostrado na Figura 2.2(b). O tamanho desta modificação depende da potência do sinal recebido e da diferença entre

a frequência do distúrbio e a frequência de oscilação do sistema. A medida do tempo de partida deste oscilador reflete a potência do sinal de RF injetado no sistema.

Apesar de sua grande sensibilidade e simplicidade, o receptor super-regenerativo apresenta algumas desvantagens: re-irradia ruído para os circuitos posicionados em torno do bloco, é bastante sensível a interferências e só pode ser utilizado em conjunto com modulações ASK ou FSK (com detecção por envoltória).

2.1.3 Receptor super-heteródino

A configuração super-heteródina é a mais utilizada para comunicação via rádio. Sua operação consiste em levar os sinais recebidos para uma frequência intermediária onde seja mais fácil amplificar, filtrar e detectar o sinal recebido. O bom desempenho desta topologia é possível pelo fato de que os estágios de filtragem e amplificação são realizados em uma frequência que não muda conforme se altera o canal de recepção. Além disto, em baixas frequências, é possível realizar amplificadores de maior ganho sem o risco de instabilidade [4].

A Figura 2.3 mostra a construção básica de um receptor deste tipo. A antena é seguida por um filtro passa-faixa, responsável por atenuar todos os sinais fora da banda de atuação do receptor. O amplificador de RF é normalmente um amplificador de baixo-ruído (LNA) sintonizado que pode incorporar a função do filtro de entrada do sistema. O *mixer* multiplica os sinais de rádio recebidos pelo sinais de um sintetizador de frequências local ajustável. Na saída do *mixer* obtêm-se sinais centrados em $\omega_{RF} + \omega_{LO}$ e $\omega_{RF} - \omega_{LO}$, onde ω_{RF} é a frequência do sinal de RF e ω_{LO} é a frequência do oscilador local. O filtro na saída do *mixer* é ajustado para rejeitar uma destas duas frequências geradas. Tem-se, então, um sinal análogo ao recebido pela antena mas centrado em uma frequência mais baixa, chamada de frequência intermediária (ω_{IF}). Este sinal pode agora ser amplificado e demodulado. Em um receptor de dados digitais, um condicionador de sinais é adicionado na saída do demodulador para restaurar os níveis lógicos do sistema digital.

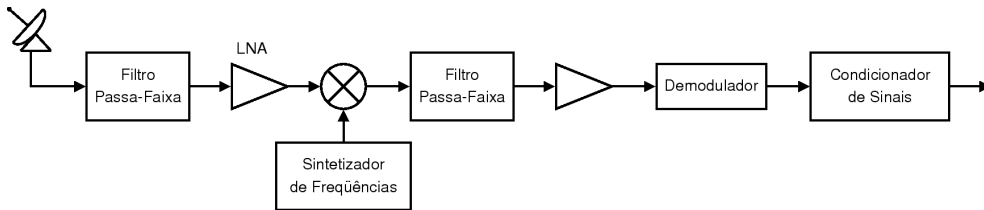


Figura 2.3: Receptor super-heteródino

O diagrama da Figura 2.3 mostra apenas a configuração básica. Algumas variações são largamente utilizadas para melhorar o desempenho geral do sistema, como por exemplo, o uso de duas frequências intermediárias.

O uso de frequências intermediárias no processo de demodulação faz surgir o problema da *frequência imagem*. Este fenômeno surge porque um multiplicador analógico não preserva a polaridade da diferença de frequência entre os dois sinais de entrada, isto é, para $x_1(t) = A_1 \cos(\omega_1 t)$ e $x_2(t) = A_2 \cos(\omega_2 t)$ o produto de $x_1(t)$ e $x_2(t)$ (considerando apenas a banda inferior) terá a forma

$\cos(\omega_1 - \omega_2)t$, sem diferença de $\cos(\omega_2 - \omega_1)t$ [8]. Assim, em um receptor heteródino, as bandas localizadas simetricamente em relação a ω_{LO} são convertidas para a mesma frequência, conforme mostrado na Figura 2.4. Se a banda de interesse está centrada em torno de $\omega_1 (= \omega_{LO} - \omega_{IF})$, a imagem estará em torno de $2\omega_{LO} - \omega_1 (= \omega_{LO} + \omega_{IF})$.

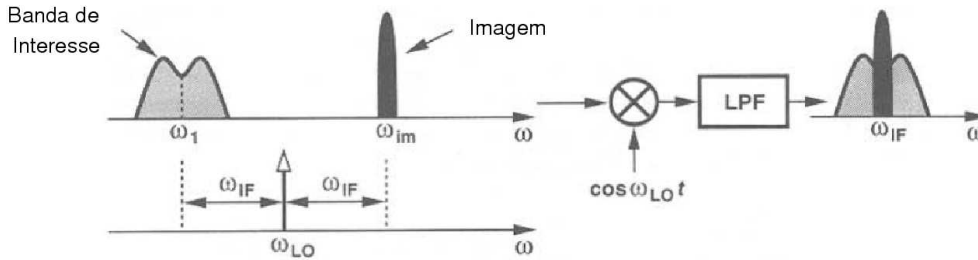


Figura 2.4: Problema de imagem na recepção heteródina [8]

Este problema de imagem degrada a recepção pois permite que um sinal interferente atue no sistema. Mesmo na ausência de um interferente, o ruído presente na banda da imagem degrada a relação sinal-ruído do receptor de aproximadamente $3dB$. A solução para este problema está no uso de um filtro de rejeição de imagem, posicionado antes do *mixer*. Este filtro deve ter baixa atenuação na banda de interesse e alta rejeição na frequência da imagem, dois requisitos que só podem ser respeitados se a frequência ω_{IF} for suficientemente alta.

Outra solução frequentemente adotada em receptores de rádio de baixo custo [9, 10, 11, 12] consiste na utilização de um *mixer* com rejeição de imagem. Uma das soluções mais utilizadas é a arquitetura de Hartley [13], mostrada na figura 2.5.

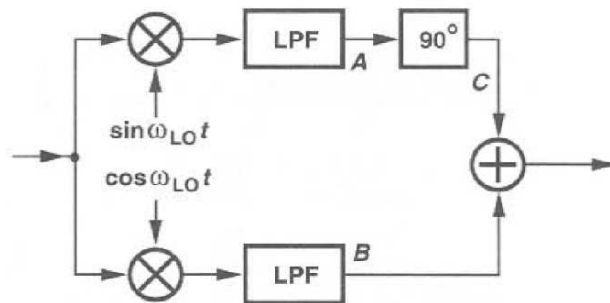


Figura 2.5: *Mixer* de rejeição de imagem proposto por Hartley [8]

Supondo que o sinal de entrada do *mixer* seja $x(t) = A_{RF} \cos(\omega_{RF}t) + A_{IM} \cos(\omega_{IM}t)$, onde o primeiro termo representa o canal de interesse e o segundo termo a imagem. Assumindo que a frequência do oscilador local seja menor que a frequência da portadora de rádio, de forma que $\omega_{RF} - \omega_{LO} = \omega_{LO} - \omega_{IM}$. Nos pontos *A* e *B*, teremos

$$x_A(t) = \frac{A_{RF}}{2} \sin(\omega_{LO} - \omega_{RF})t + \frac{A_{IM}}{2} \sin(\omega_{LO} - \omega_{IM})t$$

e

$$x_B(t) = \frac{A_{RF}}{2} \cos(\omega_{LO} - \omega_{RF})t + \frac{A_{IM}}{2} \cos(\omega_{LO} - \omega_{IM})t.$$

No ponto C teremos

$$x_C(t) = \frac{A_{RF}}{2} \cos(\omega_{RF} - \omega_{LO})t - \frac{A_{IM}}{2} \cos(\omega_{LO} - \omega_{IM})t.$$

Na saída do *mixer* obtém-se

$$A_{RF} \cos(\omega_{LO} - \omega_{RF})t.$$

A principal desvantagem desta arquitetura é sua sensibilidade a descasamento entre os componentes de circuito. Apesar disto, implementações em tecnologia CMOS que alcançam rejeição de imagem da ordem de 30dB e ganho de conversão da ordem de 20dB já foram reportados na literatura [14, 15].

2.1.4 Receptor de conversão direta

O receptor de conversão direta, ou homódino, se assemelha bastante ao super-heteródino mostrado na Figura 2.3, mas neste caso, a frequência intermediária é zero. Nesta arquitetura, a imagem coincide com o sinal desejado, não sendo um problema.

O lado negativo desta topologia consiste no fato de que o oscilador local deve ser sintonizado na mesma frequência do sinal desejado, criando potencial para interferências devido à injeção do sinal do oscilador no sinal advindo da antena.

Ao utilizar este tipo de receptor com uma modulação em amplitude, surge um problema devido à falta de sincronia entre a fase da portadora e a fase do sinal proveniente do oscilador local. Para $x_1(t) = A(t) \cos(\omega_1 t + \theta_1)$ e $x_2(t) = \cos(\omega_1 t + \theta_2)$, a saída do mixer após um filtro passa-baixas será $A(t) \cos(\Delta\theta)/2$, onde $\Delta\theta$ é a diferença de fase entre a portadora do sinal desejado e o sinal do oscilador local. A eliminação deste fator de atenuação pode ser feita através do uso de um *Phase locked loop*.

2.1.5 Receptores digitais

Os receptores digitais vêm ganhando popularidade em aplicações de curta distância devido à redução dos custos de componentes com capacidade de processamento digital de sinais e ao aumento na demanda por soluções com melhor desempenho e que atendam os requisitos de múltiplos padrões de comunicação [4].

As duas arquiteturas básicas são mostradas na Figura 2.6. Na primeira (Fig. 2.6(a)), a amostragem e conversão analógico-digital são realizadas na frequência do sinal de rádio. A segunda (Fig. 2.6(b)) consiste em uma arquitetura super-heteródina onde a conversão analógico-digital é realizada após a redução da frequência do sinal de rádio. A filtragem e demodulação são feitas no domínio digital para ambos os casos. Esta abordagem permite atender a múltiplos padrões de comunicação operando em bandas diferentes, além de oferecer ganhos com relação ao consumo de potência, área do circuito, custo e consumo de energia quando comparada a soluções mais tradicionais [16].

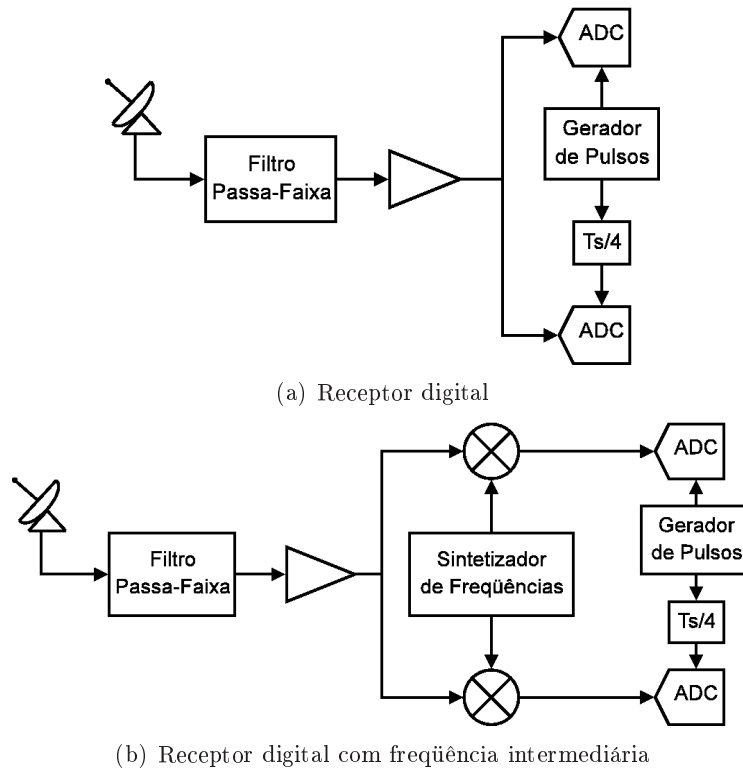


Figura 2.6: Arquiteturas de receptores digitais

2.2 Técnicas de modulação digital

Sistemas de comunicação digital são geralmente mais complexos que os sistemas analógicos. Entretanto, esquemas digitais de comunicação apresentam uma série de vantagens que compensam este aumento de complexidade: são mais bem adaptados para transmissão de dados, maior possibilidade de integração com a eletrônica digital de processamento de sinais, as informações são facilmente codificadas visando compressão, há a possibilidade do uso de códigos de linha para minimizar efeitos de ruído e distorção, entre outras [17].

Em sistemas digitais de RF, a portadora é modulada por um sinal banda base digital. A figura 2.7 ilustra as formas de onda para as modulações binárias em amplitude (ASK), fase (PSK) e frequência (FSK).

2.2.1 Análise espectral de sinais digitais em banda passante

Qualquer sinal modulado pode ser representado por dois sinais em quadratura

$$x_c(t) = A_c[x_i(t) \cos(\omega_c t + \theta) - x_q(t) \text{sen}(\omega_c t + \theta)], \quad (2.1)$$

onde ω_c , A_c e θ representam a frequência, a amplitude e a fase da portadora e são mantidos constantes. Os termos $x_i(t)$ e $x_q(t)$ contêm a informação e representam as componentes em fase e em quadratura, respectivamente. Considerando que $x_i(t)$ e $x_q(t)$ são estatisticamente independentes,

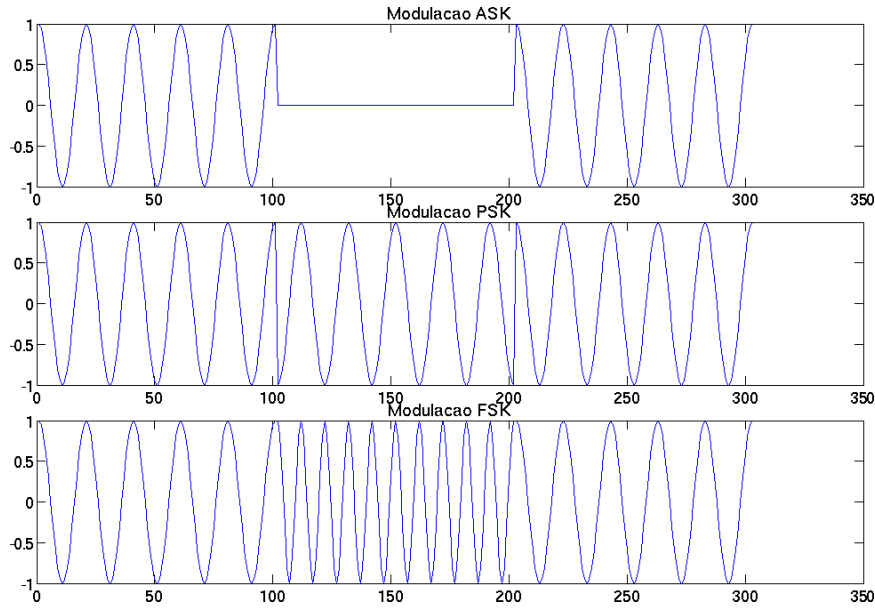


Figura 2.7: Formas de onda para as modulações digitais mais simples (ASK, PSK e FSK)

a densidade espectral de potência de $x_c(t)$ pode ser escrito na forma

$$G_c(f) = \frac{A_c^2}{4}[G_i(f - f_c) + G_i(f + f_c) + G_q(f - f_c) + G_q(f + f_c)],$$

onde $G_i(f)$ e $G_q(f)$ representam a densidade espectral de potência das componentes em fase e em quadratura.

Introduzindo a notação para o espectro de potência em banda base

$$G_{bb}(f) = G_i(f) + G_q(f),$$

obtem-se

$$G_c(f) = \frac{A_c^2}{4}[G_{bb}(f - f_c) + G_{bb}(f + f_c)].$$

Assim, por simples translação na frequência, é possível obter o espectro em banda passante a partir do espectro em banda base de um sinal.

Assumindo que a componente em fase é um sinal digital na forma

$$x_i(t) = \sum_k a_k p(t - k/r), \quad (2.2)$$

onde $p(t)$ é a função que define a forma do pulso utilizado, $r = 1/D$ é a taxa de transmissão e $k = 0, 1, 2, \dots$; seu espectro de potência pode ser escrito como [18]

$$G_i(f) = \sigma_a^2 |P(f)|^2 + (m_a r)^2 \sum_{n=-\infty}^{\infty} |P(nr)|^2 \delta(f - nr), \quad (2.3)$$

onde σ_a denota a variância do sinal (definida como o valor rms do sinal), m_a representa a compo-

nente dc do sinal e $P(f)$ é a densidade espectral de potência da função $p(t)$. A mesma expressão se aplica para a componente em quadratura se esta for uma forma de onda digital independente da componente em fase.

No caso da transmissão de pulsos quadrados,

$$p(t) = u(t) - u(t - D) = \begin{cases} 1 & 0 \leq t \leq D \\ 0 & \text{caso contrário} \end{cases} \quad (2.4)$$

cuja transformada de Fourier gera

$$|P(f)|^2 = D^2 \text{sinc}^2(fD) = \frac{1}{r^2} \text{sinc}^2 \frac{f}{r}. \quad (2.5)$$

Como $|P(f)|^2$ não é limitado em banda para o caso de pulsos quadrados, é necessário que $f_c \gg r$ para produzir um sinal banda passante.

2.2.2 Modulação em amplitude

No caso geral, uma forma de onda ASK M-ária tem $M - 1$ valores discretos não-nulos de amplitude. Como não há variações de fase, a componente em quadratura pode ser considerada zero. Escrevendo a componente em fase como na equação 2.2, com $k = 0, 1, 2, \dots, M - 1$, e utilizando o pulso quadrado definido na equação 2.4, obtém-se

$$m_a = \frac{M - 1}{2} \quad \sigma_a^2 = \frac{M^2 - 1}{12}. \quad (2.6)$$

Utilizando a equação 2.3 obtém-se

$$G_{bb}(f) = G_i(f) = \frac{M^2 - 1}{12r} \text{sinc}^2 \frac{f}{r} + \frac{(M - 1)^2}{4} \delta(f). \quad (2.7)$$

A figura 2.8 mostra o espectro em banda passante de um sinal ASK. A maior parte do sinal está contida na faixa de $f_c \pm r/2$ e é usual estimar a banda de transmissão como sendo $B_T \approx r$. Se um sinal ASK representa dados binários a um taxa de $r_b = r \log_2 M$, então a eficiência espectral deste esquema será

$$\frac{r_b}{B_T} \approx \log_2 M \quad \text{bps/Hz}. \quad (2.8)$$

O sistema OOK (*on-off keying*) é o que apresenta a pior eficiência espectral, pois $r_b/B_T \approx 1 \text{bps/Hz}$ quando $M = 2$. É possível dobrar a eficiência do sistema ASK utilizando a componente em quadratura para transmitir informação. Esta técnica é chamada QAM (*Quadrature Amplitude Modulation*).

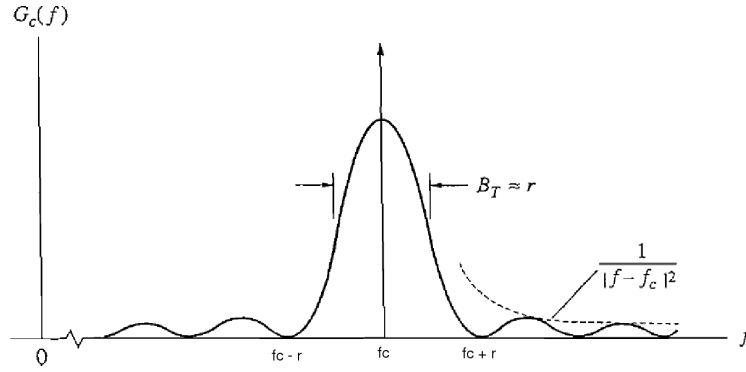


Figura 2.8: Densidade espectral de potência da modulação ASK [18]

2.2.3 Modulação em frequência

Considerando um sinal FSK de fase contínua, isto é, não são permitidas variações de fase durante o chaveamento da frequência, pode-se escrever

$$x_c(t) = A_c \sum_k \cos(\omega_c t + \theta + \omega_d a_k t) p_d(t - kD),$$

onde $f_k = f_c + f_d a_k$ $a_k = \pm 1, \pm 2, \dots, \pm(M-1)$. A continuidade da forma de onda é garantida em $t = kD$ se $2\omega_d D = 2\pi N$, onde N é um inteiro.

As relações a seguir definem uma versão binária conhecida como FSK de Sunde.

$$M = 2 \quad D = T_b = 1/r_b \quad N = 1$$

$$p_D(t) = u(t) - U(t - kT_b)$$

$$f_d = r_b/2.$$

Após expansão trigonométrica de $x_c(t)$ e usando o fato de que $a_k = \pm 1$, pode-se escrever

$$\cos \omega_d a_k t = \cos \omega_d t \quad \text{sen } \omega_d a_k t = a_k \text{ sen } \omega_d t$$

$$x_i(t) = \cos \pi r_b t \tag{2.9}$$

$$x_q(t) = \sum_k Q_k p(t - kT_b) \quad Q_k = (-1)^k a_k, \tag{2.10}$$

onde

$$p(t) = \text{sen}(\pi r_b t) [u(t) - u(t - T_b)].$$

O densidade espectral de potência deste sinal será

$$G_{bb}(f) = \frac{1}{4} \left[\delta \left(f - \frac{r_b}{2} \right) + \delta \left(f + \frac{r_b}{2} \right) \right] + r_b |P(f)|^2, \tag{2.11}$$

onde

$$|P(f)|^2 = \frac{4}{\pi^2 r_b^2} \left[\frac{\cos(\pi f/r_b)}{(2f/r_b)^2 - 1} \right]^2.$$

Apesar do lobo principal do espectro de potência neste caso ser cerca de 50% maior que nas modulações ASK e PSK, a banda é usualmente definida como $B_T \approx r_b$ por causa da diminuição muito mais acentuada da energia fora desta banda quando comparada com os outros esquemas.

2.2.4 Modulação em fase

Um sinal PSK pode ser expresso na forma geral

$$x_c(t) = A_c \sum_k \cos(\omega_c t + \theta + \phi_k) p_D(t - kD),$$

para o intervalo de tempo $kD < t < (k+1)D$. Escrevendo na forma em quadratura,

$$x_i(t) = \sum_k I_k p_D(t - kD) \quad x_q(t) = \sum_k Q_k p_d(t - kD), \quad (2.12)$$

onde

$$I_k = \cos \phi_k \quad Q_k = \sin \phi_k.$$

Geralmente se utiliza

$$\phi_k = \pi(2a_k + N)/M \quad a_k = 0, 1, \dots, M-1$$

de forma a garantir a maior distância entre as fases utilizadas para modulação.

Supondo que as componentes em fase e em quadratura são estatisticamente independentes, obtém-se

$$G_{bb}(f) = 2 \frac{r}{2} |P_D(f)|^2 = \frac{1}{r} \text{sinc}^2 \frac{f}{r}. \quad (2.13)$$

Comparando este resultado com o obtido para modulação ASK, conclui-se que a modulação PSK é mais eficiente em termos de potência por não enviar uma componente discreta com a portadora, mas mantém a mesma banda ocupada.

2.2.5 Detecção ótima

Escrevendo a equação 2.1 de maneira mais geral, obtém-se

$$x_c(t) = A_c \left\{ \left[\sum_k I_k p_i(t - kT_b) \right] \cos(\omega_c t + \theta) - \left[\sum_k Q_k p_q(t - kT_b) \right] \sin(\omega_c t + \theta) \right\}.$$

Para sistemas coerentes práticos, a portadora deve ser sincronizada com a onda modulante digital. Assim, $\theta = 0$ e

$$f_c = N_c/T_b = N_c r_b, \quad (2.14)$$

onde N_c é um inteiro grande. Assim

$$x_c(t) = A_c \sum_k [I_k p_i(t - kT_b) \cos \omega_c(t - kT_b) - Q_k p_q(t - kT_b) \sin \omega_c(t - kT_b)]. \quad (2.15)$$

Reduzindo a notação para considerar o intervalo de apenas um bit, obtém-se

$$x_c(t) = s_m(t - kT_b) \quad kT_b < t < (k + 1)T_b, \quad (2.16)$$

onde

$$s_m(t) = A_c [I_k p_i(t) \cos \omega_c t - Q_k p_q(t) \sin \omega_c t]$$

representa as formas de onda dos bits da mensagem ($s_0(t)$ para $m = 0$ e $s_1(t)$ para $m = 1$).

A Figura 2.9 mostra a arquitetura do receptor ótimo. O sinal filtrado mais o ruído é amostrado em $t_k = (k + 1)T_b$, o fim do intervalo do bit, e comparado com um valor de limiar para restaurar o bit da mensagem. Deve-se escolher $h(t)$ (a resposta ao impulso do filtro) e o valor de limiar V de modo a reduzir a probabilidade de erro na detecção: $h(t) = K[s_1(T_b - t) - s_0(T_b - t)]$ e $V = (z_1 + z_0)/2$, onde $z_m(t) = s_m(t - kT_b) * h(t)$ [18].

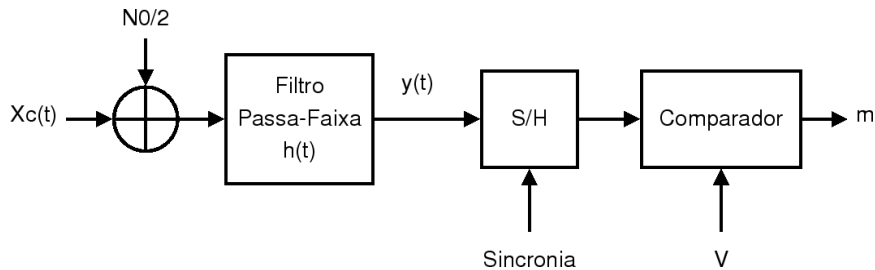


Figura 2.9: Detector baseado em filtro casado

É possível também implementar um detector ótimo utilizando a arquitetura mostrada na figura 2.10, que só requer dois multiplicadores e dois integradores, além de cópias de $s_0(t)$ e $s_1(t)$ geradas localmente. Este tipo de sistema é chamado de detector de correlação porque ele calcula a correlação entre o sinal recebido com ruído e as cópias locais sem ruído. É importante dizer também que os detectores baseados em filtros casados e os de correlação só são equivalentes no instante de amostragem.

Para o detector de correlação, $V = K(E_1 - E_0)/2$, onde E_m é a energia do bit.

2.2.6 Detecção coerente de sinais OOK, BPSK e FSK

As formas de onda para a modulação OOK podem ser escritas como

$$s_1(t) = A_c p_{T_b}(t) \cos(\omega_c t) \quad s_0(t) = 0.$$

A condição $f_c = N_c/T_b$ implica que $s_1(t - kT_b) = A_c \cos(\omega_c t)$ para qualquer intervalo de bit não nulo.

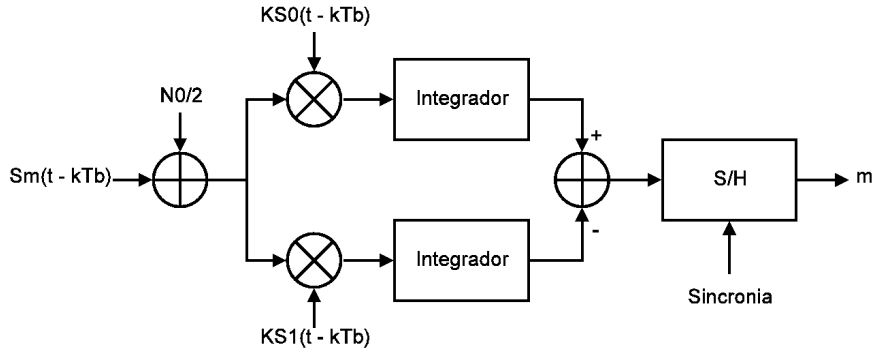


Figura 2.10: Detector de correlação

Neste esquema de modulação, $E_0 = E_{10} = 0$ e

$$E_1 = A_c^2 \int_0^{T_b} \cos^2 \omega_c t dt = \frac{A_c^2 T_b}{2} \left[1 + \text{sinc} \frac{4f_c}{r_b} \right] \approx \frac{A_c^2 T_b}{2}.$$

Assim, $E_b \approx A_c^2 T_b / 4$ e o limiar de comparação deve ser escolhido de forma que $V = K E_b$. Neste caso, a probabilidade de erro de bit será $P_e = Q(\sqrt{E_b / N_0}) = Q(\sqrt{\gamma_b})$, onde $Q(x)$ é a função erro complementar, definida como

$$\text{erfc}(x) = \frac{2}{\sqrt{\pi}} \int_x^{\infty} e^{-t^2} dt$$

Considerando o caso da modulação BPSK,

$$s_1(t) = A_c p_{T_b}(t) \cos \omega_c t \quad s_1(t) = -s_1(t).$$

Segue que

$$E_b = E_1 = E_0 = A_c^2 T_b / 2 \quad E_{10} = -E_b$$

e

$$P_e = Q(\sqrt{2E_b / N_0}) = Q(\sqrt{2\gamma_b}).$$

O sistema BPSK necessita da metade da energia de bit para obter a mesma performance da modulação OOK, mantidos os outros parâmetros constantes.

Considerando agora a modulação FSK com deslocamento de frequência $\pm f_d$ e formas de onda

$$s_1(t) = A_c p_{T_b}(t) \cos 2\pi(f_c + f_d)t$$

e

$$s_0(t) = A_c p_{T_b}(t) \cos 2\pi(f_c - f_d)t.$$

Quando $f_c \pm f_d \gg r_b$, $E_b \approx A_c^2 T_b / 2$ e $E_{10} = E_b \text{sinc}(4f_d / r_b)$. Se $f_d = r_b / 2$ (FSK de Sunde), $E_{10} = 0$ e a probabilidade de erro será a mesma da modulação OOK. É possível obter uma performance melhor no esquema FSK permitindo descontinuidades de fase na forma de onda, mas isto implica em grande aumento na complexidade do receptor e no aumento da banda utilizada.

2.2.7 Envoltória de um sinal senoidal com ruído

Antes de comentar os esquemas de detecção não-coerente, é conveniente analisar a envoltória de um sinal senoidal sob influência de ruído.

Considere uma senóide $A_c \cos(\omega_c t + \theta)$ mais ruído gaussiano com média zero e variância σ^2 . Utilizando a expansão em quadratura

$$n(t) = n_i(t) \cos(\omega_c t + \theta) - n_q(t) \sin(\omega_c t + \theta)$$

pode-se escrever a soma como

$$A_c \cos(\omega_c t + \theta) + n(t) = A(t) \cos[\omega_c t + \theta + \phi(t)].$$

Em qualquer instante t ,

$$A = \sqrt{(A_c + n_i)^2 + n_q^2} \quad \phi = \arctan\left(\frac{n_q}{A_c + n_i}\right).$$

A função densidade de probabilidade da envoltória do sinal para o caso geral será dada pela distribuição de Rician [18]:

$$p_A(A) = \frac{A}{\sigma^2} e^{-(A^2 + A_c^2)/2\sigma^2} I_0\left(\frac{A_c A}{\sigma^2}\right) \quad A \geq 0, \quad (2.17)$$

onde $I_0(v)$ representa a função de Bessel modificada de primeiro tipo e de ordem zero, definida como

$$I_0(v) = \frac{1}{2\pi} \int_{-\pi}^{\pi} \exp(v \cos \phi) d\phi, \quad (2.18)$$

e com a propriedade que

$$I_0(v) \approx \begin{cases} e^{v^2/4} & v \ll 1 \\ \frac{e^v}{\sqrt{2\pi v}} & v \gg 1 \end{cases}. \quad (2.19)$$

A Figura 2.11 mostra o comportamento da distribuição de Rician a medida que a razão A/σ se torna maior.

Quando $A_c = 0$, ou seja, apenas o ruído está presente, A se reduz ao envelope do ruído A_n com a função densidade de probabilidade sendo dada pela distribuição de Rayleigh

$$p_{A_n}(A_n) = \frac{A_n}{\sigma^2} e^{-A_n^2/2\sigma^2} \quad A_n \geq 0. \quad (2.20)$$

No outro extremo, quando $A_c \gg \sigma$, a distribuição de A será aproximadamente gaussiana

$$p_A(A) \approx \sqrt{\frac{A}{2\pi A_c \sigma^2}} e^{-(A - A_c)^2/2\sigma^2} \quad A_c \gg \sigma, \quad (2.21)$$

onde foi utilizada a propriedade para $v \gg 1$ na equação 2.19.

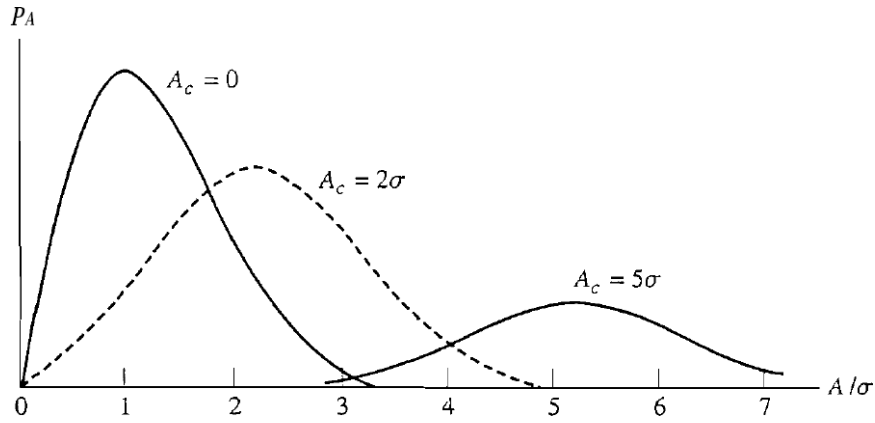


Figura 2.11: Comportamento da função densidade de probabilidade para o envelope de uma senóide mais ruído [18]

2.2.8 Detecção não-coerente de sinais OOK

Em geral, sistemas OOK são concebidos visando simplicidade. A portadora não é sincronizada e podemos escrever para um intervalo arbitrário de bit

$$x_c(t) = A_c a_k p_{T_b}(t - kT_b) \cos(\omega_c t + \theta) \quad a_k = \{0, 1\}.$$

As energias de bit são $E_0 = 0$ e (assumindo $f_c \gg r_b$)

$$E_1 = \frac{a_c T_b}{2} \left[1 + \frac{\sin(2\omega_c T_b + 2\theta) - \sin(2\theta)}{2\omega_c T_b} \right] \approx \frac{A_c^2 T_b}{2}.$$

Assumindo que zeros e uns são igualmente prováveis, $E_b = E_1/2 \approx A_c^2 T_b/4$.

A Figura 2.12 mostra o esquema de recepção. O filtro passa-faixa é um filtro casado com $h(t) = K A_c p_{T_b}(t) \cos(\omega_c t)$ que ignora a fase θ . Dessa forma, quando $a_k = 1$, a o valor de pico da envoltória do sinal recebido é $A_b = K E_b$. Escolhendo $K = A_c/E_b$ por conveniência, temos

$$A_c^2/\sigma^2 = 4E_b/N_0 = 4\gamma_b.$$

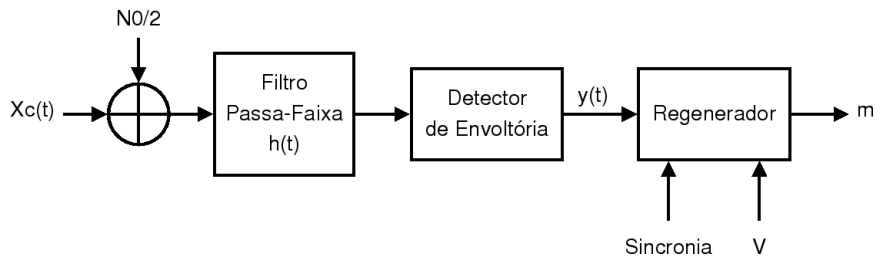


Figura 2.12: Receptor OOK não coerente

A Figura 2.13 mostra as funções densidade de probabilidade condicionais para o sistema OOK

não-coerente. O ponto de intersecção entre as curvas define o limiar de comparação ótimo

$$V \approx \frac{A_c}{2} \sqrt{1 + \frac{2}{\gamma_b}} \approx \frac{A_c}{2} \quad \gamma_b \gg 1.$$

Como não se tem simetria nesta situação, $P_{e1} \neq P_{e0}$ quando P_e é mínimo.

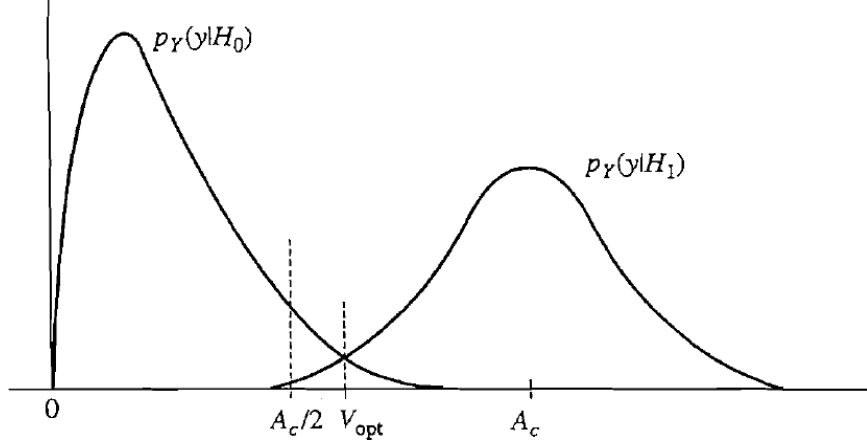


Figura 2.13: Densidades de probabilidade para OOK não-coerente [18]

Para manter a simplicidade, sistemas OOK requerem $\gamma_b \gg 1$ para manter uma performance razoável e o limiar V é normalmente escolhido como $A_c/2$. Com estas considerações, as probabilidades de erro serão

$$P_{e0} = \int_{A_c/2}^{\infty} p_{A_n}(y) dy = e^{-A_c^2/8\sigma^2} = e^{-\gamma_b/2} \quad (2.22)$$

$$P_{e1} = \int_0^{A_c/2} p_A(y) dy \approx Q\left(\frac{A_c}{2\sigma}\right) = Q(\sqrt{\gamma_b}) \approx \frac{1}{\sqrt{2\pi\gamma_b}} e^{-\gamma_b/2} \quad \gamma_b \gg 1. \quad (2.23)$$

Das equações 2.22 e 2.23 conclui-se que

$$P_{e1} \ll P_{e0}$$

quando $\gamma_b \gg 1$ e

$$P_e = (P_{e0} + P_{e1})/2 = \frac{1}{2}[e^{-\gamma_b/2} + Q(\sqrt{\gamma_b})] \approx \frac{1}{2}e^{-\gamma_b/2} \quad \gamma_b \gg 1. \quad (2.24)$$

2.2.9 Detecção não-coerente de sinais FSK

Examinando a Figura 2.7, pode-se perceber que a modulação FSK binária pode ser entendida como dois sinais OOK entrelaçados, com a mesma amplitude A , mas frequências diferentes $f_1 = f_c + f_d$ e $f_0 = f_c - f_d$. Assim, a detecção não-coerente de sinais FSK pode ser realizada utilizando o esquema mostrado na Figura 2.14, onde $h_1(t) = KA_c p_{T_b}(t) \cos(\omega_1 t)$ e $h_0(t) = KA_c p_{T_b}(t) \cos(\omega_0 t)$. Novamente adotando $K = A_c/E_b$ e notando que $E_b = E_1 = E_0 \approx A_c^2 T_b/2$, tem-se

$$A_c^2/\sigma^2 = 2E_b/N_0 = 2\gamma_b.$$

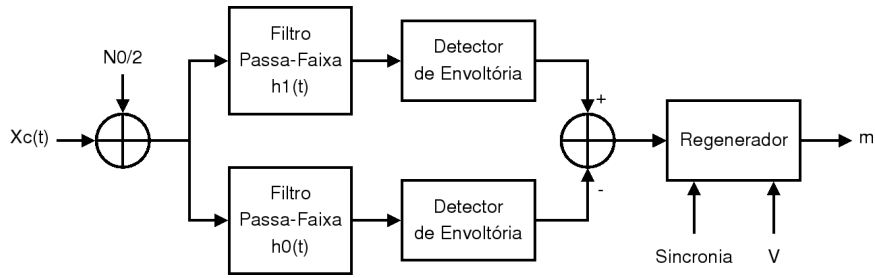


Figura 2.14: Detector não-coerente para sistema FSK

Para garantir que os filtros separem de maneira eficiente as frequências f_1 e f_0 , de forma que o ruído nas duas bandas não seja correlacionado no instante da amostragem, deve-se utilizar o espaçamento entre as frequências de forma a respeitar a condição de Sunde, $f_1 - f_0 = 2f_d$. No instante da amostragem, quando $A_k = 1$, a amostra obtida pelo ramo superior segue a distribuição de Rician enquanto a do ramo inferior segue a distribuição de Rayleigh e vice-versa para $a_k = 0$. Seguindo procedimento análogo ao caso anterior, tem-se

$$P_{e1} = P_{e0} = P_e$$

e

$$P_e = \frac{1}{2}e^{-A_c^2/4\sigma^2} = \frac{1}{2}e^{-\gamma_b/2} \quad (2.25)$$

Apesar da probabilidade de erro ser muito parecida para $\gamma_b \gg 1$, o esquema FSK apresenta três grandes vantagens sobre o esquema OOK: envelope constante, probabilidades de erro iguais para os bits 0 e 1 e limiar de comparação $V = 0$.

2.2.10 Comparação entre os esquemas de modulação digital

Neste trabalho, serão considerados apenas a eficiência espectral da modulação, r_b/B_T , e a probabilidade de erro de bit, P_{be} para a comparação entre os esquemas de modulação. A Tabela 2.1 resume os parâmetros para alguns esquemas de modulação digital e a Figura 2.15 mostra o comportamento da taxa de erro de bit.

Modulação	Deteção	r_b/B_T	P_{be}
OOK	Envelope	1	$\frac{1}{2}e^{-\gamma_b/2}$
FSK ($f_d = r_b/2$)	Envelope	1	$\frac{1}{2}e^{-\gamma_b/2}$
BPSK	Coerente	1	$Q(\sqrt{2\gamma_b})$

Tabela 2.1: Comparação entre sistemas de modulação digital

2.3 Projeto de sistemas de rádio

O projeto de sistemas é feito conceituando um conjunto de blocos funcionais, e suas especificações, que vão interagir de maneira a produzir a performance desejada do sistema. Para obter

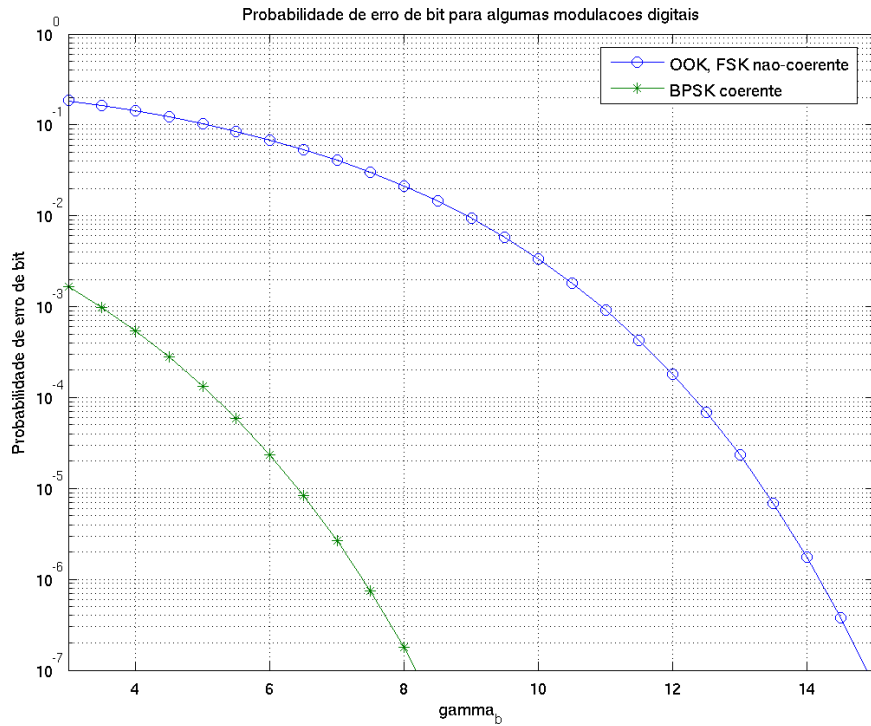


Figura 2.15: Probabilidade de erro de bit para algumas modulações digitais

sucesso, são necessários imaginação e entendimento dos custos para se obter determinada especificação. Também é necessário saber como a performance individual dos blocos afeta a performance global do sistema [19]. Esta seção apresenta os principais parâmetros utilizados para especificar um sistema de rádio.

2.3.1 Sensibilidade

A sensibilidade de um sistema de rádio é a menor potência de sinal na entrada do receptor que permite uma taxa de erro de bit aceitável na saída. Esta variável irá depender do ruído na entrada do sistema, da figura de ruído, da banda e da relação sinal-ruído necessária para detecção do sinal, conforme escrito na equação 2.26.

$$(P_{min})_{dB} = (N_{in})_{dBm} + (NF)_{dB} + (10 \log B)_{dB} + (SNR_{receptor})_{dB}, \quad (2.26)$$

onde N_{in} é a densidade de potência de ruído na entrada do sistema, NF é a figura de ruído do receptor, B é a banda equivalente de ruído do sistema e SNR é a relação sinal-ruído na entrada do demodulador.

A densidade de potência de ruído disponível na entrada do sistema é a máxima potência que a fonte de ruído pode transferir para uma carga numa banda de 1Hz. Segundo o teorema da máxima transferência de potência, esta condição será atingida quando a impedância de saída da fonte de ruído for igual ao complexo conjugado da impedância de entrada do sistema, uma condição muito

desejável nos estágios de entrada e saída de sistemas de RF. Seu valor numérico será dado por

$$N_{in} = kT,$$

onde k é a constante de Boltzman ($1,38 \cdot 10^{-23} J/K$) e T é a temperatura de ruído equivalente da fonte. Para antenas apontadas para o horizonte, pode-se considerar a temperatura equivalente de ruído como sendo $T = 290K$. Para antenas apontadas para o céu, esta temperatura é normalmente bem mais baixa, tipicamente $50K$ [20]. Considerando estes valores, $(N_{in})_{dBm} = -174dBm$.

2.3.2 Figura de ruído

A figura de ruído representa a quantidade de ruído introduzida no sinal devido aos componentes eletrônicos utilizados no receptor. Uma maneira prática de expressar este parâmetro é

$$(NF)_{dB} = (SNR_{in})_{dB} - (SNR_{out})_{dB}.$$

Para encontrar a figura de ruído de sistemas em cascata, utiliza-se a fórmula de Friis

$$F_{total} = F_1 + \frac{(F_2 - 1)}{G_1} + \frac{(F_3 - 1)}{(G_1 G_2)} + \dots, \quad (2.27)$$

onde F_n é o fator de ruído do estágio n (definido como $F = 10^{NF_{dB}/10}$) e G_n é o ganho do estágio n . A partir desta expressão é possível notar que o uso de um LNA nos primeiros estágios de recepção faz com que as especificações de ruído dos blocos subsequentes sejam menos restritivas.

2.3.3 Banda

A equação 2.26 mostra a importância de se utilizar a menor banda possível em um sistema para obter a máxima sensibilidade. Este fato faz com que uma solução de compromisso deva ser procurada pois a redução na banda do sistema obriga o uso de taxas de transmissão menores de modo a evitar interferência inter-simbólica causada pela distorção das formas de onda devido a pouca banda disponível.

Para um sistema digital, a menor banda teórica que deve ser utilizada é a banda de Nyquist, definida como metade da taxa de transmissão. Em receptores super-heteródinos, a banda do canal é determinada pelo filtro sintonizado na frequência intermediária. Para satisfazer os requisitos de banda, filtros com alto fator de qualidade são necessários, mas os requisitos de sincronização se tornam mais críticos para evitar interferência inter-simbólica. Em receptores de baixo custo, utilizam-se filtros menos seletivos e com a banda maior que a taxa de transmissão de modo a evitar a distorção do sinal.

A definição usual de banda de um filtro é a diferença entre as frequências onde a atenuação aumenta de 3dB comparada com a frequência central. No cálculo da sensibilidade, entretanto,

Frequência de operação	915 - 927MHz
Modulação empregada	OOK
Técnica de acesso	FDMA
Largura dos canais de transmissão	50kHz
Taxa de transmissão	9,6kpbs
Alcance	500m
Alimentação	3,3V

Tabela 2.2: Especificações originais do transceptor de RF do SoC-SCI

deve-se utilizar a banda equivalente de ruído, definida como

$$B_n = \frac{1}{H_0^2} \int_0^\infty |H(f)|^2 df, \quad (2.28)$$

onde H_0^2 é o máximo ganho de potência do filtro.

2.3.4 Compressão de ganho

Todos os circuitos apresentam um limite para a potência do sinal de entrada que eles podem amplificar com ganho constante. A medida que a entrada fica mais forte, o ganho de um amplificador se reduz devido ao efeito de saturação. Uma medida muito comum deste efeito é o ponto de compressão de 1dB, definido como o ponto onde o ganho do amplificador se reduz de 1dB em relação à curva de ganho constante.

Este é um parâmetro importante em receptores de rádio pois um sinal interferente de alta intensidade pode causar a compressão do ganho, tornando o receptor insensível a um sinal de interesse que seja de baixa amplitude (dessensibilização do receptor).

2.3.5 Ponto de interceptação de terceira ordem

Assim como o ponto de compressão de 1dB, o ponto de interceptação de terceira ordem, IIP3, é também um parâmetro que quantifica a não-linearidade de um circuito, sendo a figura de mérito que quantifica o fenômeno de intermodulação. O IIP3 determina o nível de sinal de entrada para o qual a amplitude da componente de terceira ordem na saída do circuito alcança a amplitude do sinal puro desejado [4].

2.4 O transceptor de RF original

O SoC-SCI prevê um transceptor de RF para viabilizar a comunicação sem fio entre os nós da rede e as estações de campo [2]. Este transceptor deve operar na faixa ISM de 915MHz a 927MHz [3] com modulação OOK e canais de 50kHz.

A tabela 2.2 resume as especificações para o transceptor de RF utilizadas como referência.

A Figura 2.16 mostra o diagrama de blocos da arquitetura que foi originalmente idealizada.

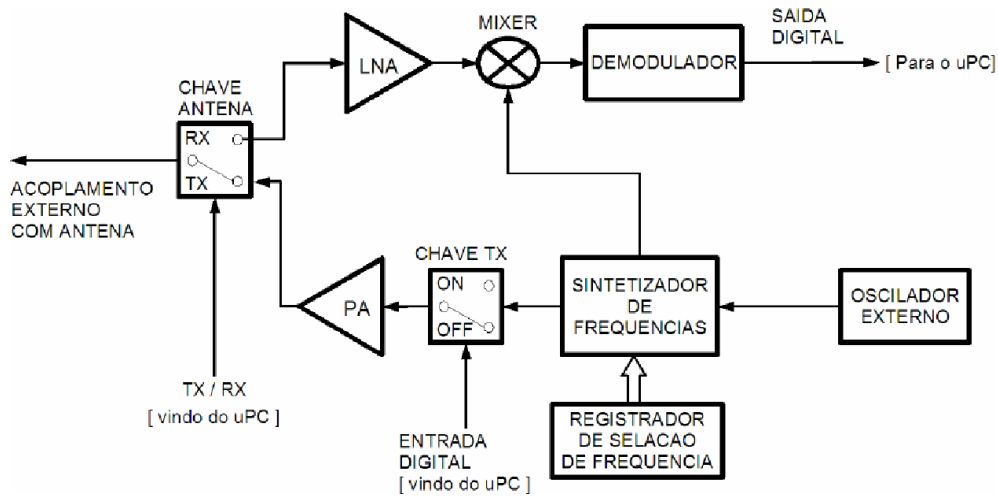


Figura 2.16: Arquitetura original do transceptor de RF para o SoC-SCI [21]

O sintetizador de frequências [21] converte a frequência de referência, obtida a partir de um oscilador externo, na frequência do canal de comunicação, chamada frequência de *front-end*, de acordo com o dado programado pelo processador no registrador de seleção de frequência.

A saída do sintetizador é chaveada por um *buffer* controlado pelo processador antes de atingir o amplificador de potência (PA) [22]. O PA amplifica o sinal já modulado de forma a obter a potência necessária a transmissão.

O sistema *half-duplex* utiliza uma chave controlada pelo processador para selecionar o modo de operação do transceptor (TX ou RX).

O amplificador de baixo ruído (LNA) [23] aumenta a intensidade do sinal recebido pela antena de modo a permitir a demodulação do sinal.

A saída do LNA é mixada com um sinal proveniente do sintetizador de frequências, trasladando o sinal modulado em um sinal de informação banda-base, que é a frequência que esse sinal será tratado pelo processador. O demodulador [24] consiste em um comparador que ajusta e amplifica a saída do *mixer* para atingir níveis digitais de sinal. A saída do demodulador é lida diretamente pelo processador através de um registrador dedicado.

Durante as fases iniciais deste trabalho, foram identificadas algumas vulnerabilidades com relação a esta arquitetura inicial. Como discutido na seção 2.1.4, um receptor homódino necessita de uma estrutura de sincronização de fase entre o sinal recebido e o sinal gerado pelo oscilador local. Além disso, se faz necessária a introdução de um filtro após o *mixer* para rejeição dos canais de comunicação adjacentes. Foram observadas também algumas incompatibilidades entre a saída de alguns módulos e a entrada de outros, gerando a necessidade do uso de redes de casamento de impedância ou capacitores de acoplamento, o que aumenta a área total do transceptor quando implementado em silício.

Além disto, a especificação original não contempla a forma como será feita a interconexão do bloco de RF e a seção digital do SoC-SCI. Uma primeira implementação foi realizada com controle via registradores mapeados em memória. Esta solução, apesar de simples, traz grandes limitações

ao projeto: o processador fica ocupado durante todo o tempo de transmissão e recepção, pois é ele o responsável por modular os dados para o transceptor (através da chave TX) e sincronizar a amostragem do dado recebido (através do registrador de entrada de dados).

Capítulo 3

Metodologia

Este capítulo apresentará a metodologia de projeto utilizada no desenvolvimento de circuitos integrados analógicos e digitais. A metodologia utilizada no desenvolvimento deste trabalho também será detalhada.

3.1 Fluxos de projeto de circuitos integrados

A metodologia de projeto de circuitos integrados adotada está mostrada na figura 3.1.

O projeto se inicia na fase de concepção. Nesta etapa são levantados os objetivos e as necessidades do projeto. Desta etapa nasce uma especificação que deve ser verificada através de simulações comportamentais. Os blocos construtivos do sistema são identificados e descritos. Este trabalho se concentra nesta etapa do projeto do transceptor de RF do SoC-SCI.

Para os blocos analógicos e de rádio-freqüência (amplificadores, misturadores etc), segue-se o ramo esquerdo do fluxograma mostrado na figura 3.1. Conhecido como *full-custom*, este fluxo de projeto parte da especificação e segue com o projeto elétrico dos blocos e sua posterior implementação física. Trabalhos recentes desenvolvidos no Laboratório de Estruturas de Microondas e Ondas Milimétricas (LEMOM) da Universidade de Brasília visam incorporar nesta etapa do fluxo de projeto a otimização de circuitos utilizando algoritmos genéticos e outras abordagens inovadoras.

Para os blocos digitais (processador, memórias etc), segue-se o ramo direito do fluxograma da figura 3.1. Conhecido como *standard-cell based*, este fluxo de projeto se inicia com a elaboração de uma descrição do sistema em linguagem de descrição de hardware e progride para a implementação final com o auxílio de ferramentas de síntese lógica e física.

Todas as etapas são contempladas com técnicas de projeto voltado a testabilidade. Para os circuitos digitais, é feita a modelagem de falhas e levantados os vetores de teste necessários para a caracterização do sistema. Técnicas de *scan-chain* são utilizadas para a verificação de circuitos seqüenciais. Para os circuitos analógicos, são empregadas técnicas para aumento da observabilidade dos circuitos.

As etapas de *layout* são orientadas por técnicas de compatibilidade eletromagnética visando

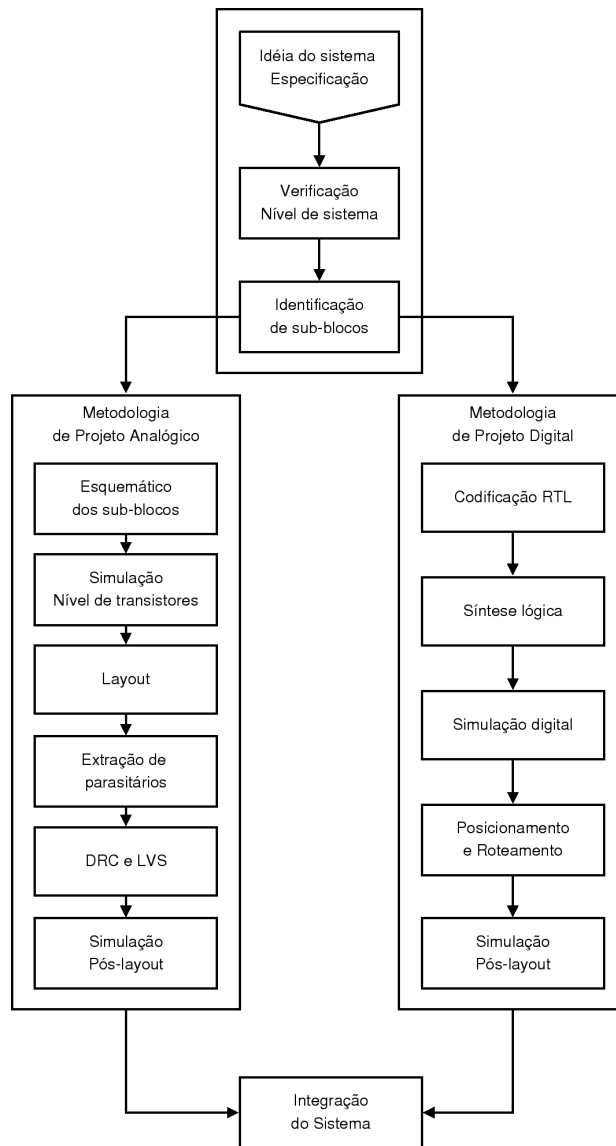


Figura 3.1: Metodologia de projeto de circuitos integrados.

isolar os sistemas de RF de sistemas analógicos de alta precisão (conversores analógico-digitais) e das seções digitais.

É feito também um co-projeto entre software de aplicação e hardware, onde as necessidades de uma área impactam diretamente nas decisões de projeto tomadas na outra.

Este trabalho se concentra na etapa inicial do projeto, onde é realizada a concepção e especificação do sistema. Todos os blocos apresentados serão implementados posteriormente em silício seguindo-se a metodologia descrita.

3.2 Metodologia geral para o transceptor de RF

Após a análise e constatação das vulnerabilidades do projeto original do transceptor de RF do SoC-SCI, foi feita uma extensa revisão bibliográfica contemplando tópicos como técnicas de modu-

lação digital, arquiteturas de transmissores e receptores de rádio e projeto de circuitos integrados de rádio-frequência. Uma arquitetura foi escolhida com base na simplicidade de implementação e possibilidade de integração total no sistema em chip utilizando o máximo de blocos projetados em trabalhos anteriores. Após esta escolha, foram identificados os blocos que ainda carecem de implementação e dimensionados todos os parâmetros importantes para o projeto destes blocos.

Conhecendo a arquitetura do transceptor, foram identificados todos os sinais de controle necessários e uma máquina digital de controle foi descrita utilizando uma linguagem de descrição de hardware. Todas as etapas de dimensionamento foram verificadas utilizando cálculos teóricos ou simulações.

Capítulo 4

Projeto

Neste capítulo serão apresentadas a topologia para o transceptor de RF e a descrição do seu módulo digital de controle.

4.1 Especificação da seção analógica

Uma arquitetura super-heteródina com baixa frequência intermediária se revelou a solução de compromisso entre simplicidade de implementação e o mínimo de alterações nos blocos projetados em trabalhos anteriores. A Figura 4.1 mostra a arquitetura proposta para o transceptor de RF do SoC-SCI. A frequência intermediária será de 450kHz, permitindo o uso do mesmo sintetizador de frequências para a transmissão e recepção. Tal escolha inviabiliza o uso de filtros integrados para rejeição de imagem mas permite o uso do sintetizador de frequências já existente, desde que sejam feitas algumas alterações na distribuição dos canais de comunicação.

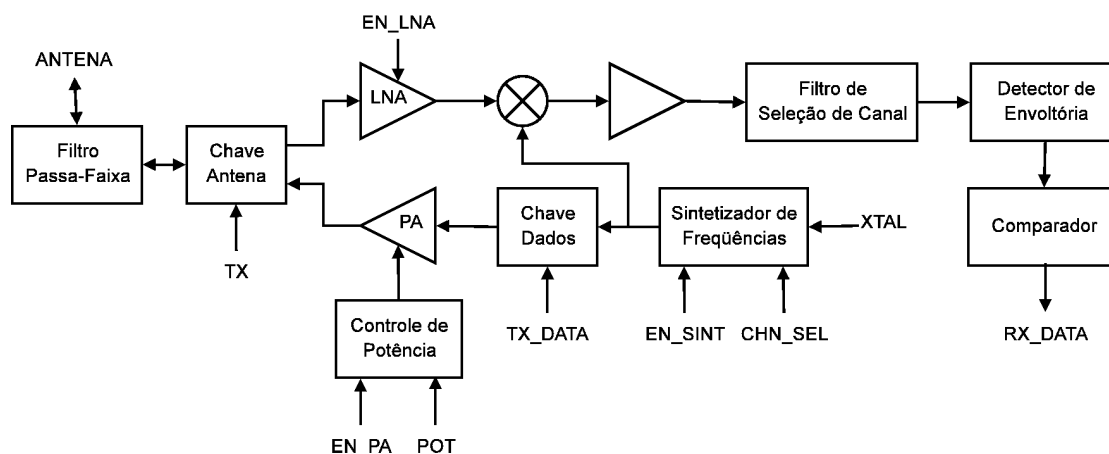


Figura 4.1: Arquitetura proposta para o transceptor de RF

A escolha da nova arquitetura para o transceptor de RF do SoC-SCI foi feita visando o mínimo de reprojeto de blocos implementados em trabalhos anteriores. O LNA e o sintetizador de frequências, implementados como trabalhos de mestrado [21, 23], serão aproveitados com correções no seu

layout final para otimização de área. O projeto elétrico do PA está sendo otimizado pela equipe de projetistas do LEMOM, mantendo a topologia original mas procurando valores ótimos para os componentes utilizando algoritmos genéticos. O atual *mixer* e comparador não poderão ser utilizados como estão devido ao problema de imagem, sendo necessário um novo projeto destes blocos para adaptá-los às necessidades do receptor heteródino. As chaves TX/RX e de dados também deverão ser reprojatadas visando à diminuição do consumo de potência do sistema.

A modulação OOK continuará sendo utilizada. Desta maneira, a topologia do ramo de transmissão do sistema permanece inalterada. A mudança na frequência de operação do sistema acarretaria a necessidade de otimização de todos os circuitos implementados (por se tratarem de circuitos sintonizados) e também não será realizada. A potência máxima de transmissão é regulada pela ANATEL e também não pode ser modificada.

As alterações consistem na inclusão de um filtro entre a chave de seleção TX/RX e a antena para limitar o espectro de entrada do sistema, o uso de um *mixer* com arquitetura de Hartley para rejeição de imagem, a adição de um estágio amplificador na frequência intermediária, o uso de um filtro para seleção de canal, a adição de um detector de envoltória para detecção não-coerente do sinal e a mudança na topologia do circuito comparador.

O filtro entre a antena e a chave de seleção TX/RX, apesar de aumentar a figura de ruído global do sistema, atenua os sinais interferentes fora da faixa de sintonia do transceptor (915MHz a 927MHz) diminuindo a potência entregue ao LNA e tornando o sistema mais imune a desensibilização. Além disso, esse filtro reduz as emissões fora da faixa licenciada para funcionamento do sistema. Este filtro pode ser implementado fora do *chip*, junto a rede de casamento entre o SoC-SCI e a antena.

O *mixer* a ser utilizado será implementado utilizando arquitetura de Hartley para rejeição de imagem. É muito difícil implementar um filtro de rejeição de imagem quando a frequência intermediária é muito baixa, em virtude da seletividade necessária. As implementações deste tipo de *mixer* presentes na literatura apontam para rejeição de imagem da ordem de 25-30dB, ganho de conversão de 5-15dB, IIP3 de aproximadamente -3dB e figura de ruído da ordem de 8dB [15, 25].

O filtro de seleção de canal deve estar centrado na frequência intermediária de 450kHz. Podem ser utilizadas três topologias para este circuito: filtro RLC passivo, filtro a capacitor chaveado ou uma topologia Gm-C, que consiste em um amplificador de transcondutância seguido por um capacitor. A primeira opção garante a simplicidade do projeto deste filtro, mas não é eficiente em termos de área e seletividade. O uso de filtros a capacitor chaveado permite a implementação de filtros com alta seletividade mas com aumento na complexidade de projeto. A topologia Gm-C vem sendo largamente utilizada em projeto de circuitos integrados por não utilizar resistores nem necessitarem de circuitos externos de controle, como é o caso dos filtros a capacitor chaveado, embora sejam sensíveis às variações do processo de fabricação.

Para o circuito comparador, uma topologia *data slicer*, mostrada na figura 4.2, pode ser utilizada. Este tipo de circuito permite ajustar automaticamente o limiar de comparação de acordo com a potência de sinal recebido através da carga de um capacitor. A descarga do capacitor nos momentos de inatividade do transceptor (quando este encontra-se desligado ou em modo de transmissão por exemplo) faz com que a detecção dos primeiros bits recebidos ocorra com alta taxa

de erro, sendo necessária a inclusão de um preâmbulo no protocolo de comunicação para evitar a perda de dados em virtude deste problema.

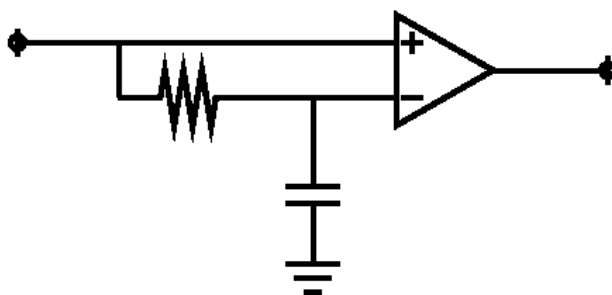


Figura 4.2: *Data slicer* utilizado como comparador

4.2 Projeto da seção digital

Esta seção do transceptor é responsável por gerar os sinais de controle descritos na seção anterior necessários para o funcionamento do sistema.

4.2.1 Descrição do controlador digital do transceptor

Visando facilitar a integração do transceptor de RF com a seção digital do SoC-SCI, todo o acesso digital ao bloco será realizado através do barramento interno do sistema. Esta abordagem faz com que o transceptor de RF seja transparente ao usuário, sendo acessado como um banco de memória.

O controle do transceptor será realizado através de um conjunto de 18 registradores de 16 bits, descritos na Tabela 4.1, sendo 16 deles para dados e 2 para palavras de controle.

Registrador	Função
\$RFC0	Seleção de canal, de potência de transmissão e de taxa de transmissão.
\$RFC1	Modo de operação.
\$RFT0 ↓ \$RFT7	Acesso aos dados para transmissão
\$RFR0 ↓ \$RFR7	Acesso aos dados recebidos

Tabela 4.1: Descrição dos registradores de RF.

O transceptor de RF tem três modos de operação distintos: TX, RX e *Idle*. No modo TX será realizada a transmissão de dados e no modo RX, a recepção. No modo *Idle*, os circuitos de alto consumo são desligados visando economia de energia nos momentos de inatividade do transceptor.

As Tabelas 4.2 e 4.3 mostram a estrutura lógica dos registradores \$RFC0 e \$RFC1, respectivamente.

\$RFC0		
0 - 5	6 - 13	14 - 15
Potência de transmissão	Canal de transmissão ou recepção	Taxa de transmissão

Tabela 4.2: Descrição do registrador \$RFC0.

\$RFC1			
0 - 13	13	14	15
Livre	EN_WRITE	TX_FLAG	RX_FLAG

Tabela 4.3: Descrição do registrador \$RFC1.

O registrador \$RFC0 irá armazenar as informações relativas à potência de transmissão desejada, ao canal de comunicação que deve ser utilizado e à taxa de transmissão.

A potência de transmissão poderá variar de 1mW a 10mW com passos de 1mW. Para isto seriam necessários apenas 4 bits de controle. Os dois bits adicionais podem ser utilizados para expansão do sistema ou para o projeto de um circuito de controle de potência com até 64 níveis.

A seleção do canal de comunicação é feita através de um registrador de 8 bits presente no sintetizador de frequências [21] sendo suficiente para gerar portadoras espaçadas de 50kHz dentro da faixa de sintonia do transceptor. O circuito original não será modificado.

Os dois bits de seleção da taxa de transmissão permitem configurar o transceptor para operar com taxa de 9600bps, 4800bps, 1200bps e 600bps. A taxa de 9600bps será utilizada como padrão no sistema de controle de irrigação. Taxas menores permitem viabilizar a comunicação em situações onde a relação sinal-ruído encontra-se muito reduzida (chuva, presença de obstáculos, etc).

O registrador \$RFC1 conterá a palavra de controle que permite ao programador saber em qual modo de operação encontra-se o transceptor, além de atuar no bloco para ordenar o início de um transmissão ou de recepção. O bit 14 seleciona o modo de operação TX e o bit 15 o modo de operação RX. Quando os dois bits estão em zero, o modo *Idle* é selecionado. O modo teste pode ser acessado através de um pino externo. A tabela 4.4 resume estes modos de operação. Os demais bits podem ser utilizados para expansões na arquitetura do transceptor.

Modo de operação	Bit 14	Bit 15
TX	1	0
RX	0	1
<i>Idle</i>	0	0
	1	1

Tabela 4.4: Resumo dos modos de operação do transceptor

A Figura 4.3 mostra o diagrama de estados da máquina de controle do transceptor. Neste diagrama estão mostrados os possíveis estados para o transceptor de RF e as condições que levam a sua transição.

O modo *Idle* é o estado padrão da máquina. Sempre que uma transmissão ou recepção forem completadas, o transceptor irá para este modo de operação até que o programa de aplicação o configure para recepção ou transmissão.

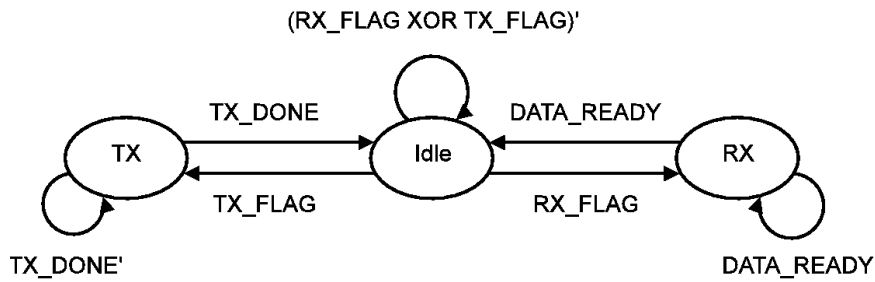


Figura 4.3: Diagrama de estados da máquina de controle do transceptor de RF

No modo TX, devem ser ligados o PA e o sintetizador de frequências. Os dados a transmitir serão carregados a partir do banco de registradores de transmissão (\$RFT0 a \$RFT7) e entregues ao codificador Manchester que controla a chave de dados através do sinal TX_DATA. O LNA permanece desligado neste estado.

No modo RX, devem ser ativados o LNA e o sintetizador de frequências. Os dados recebidos serão encaminhados diretamente ao decodificador Manchester e entregues em forma de uma palavra de 128 bits ao banco de registradores de recepção (\$RFR0 a \$RFR7). O PA permanece desligado neste modo de operação.

A Tabela 4.5 resume todos os sinais gerados pela máquina de estados de controle.

Sinal	Bits	Direção	Idle	TX	RX	Descrição
TX	1	Saída	0	1	0	Controle TX/RX
EN_PA	1	Saída	0	1	0	Habilita PA
EN_SINT	1	Saída	0	1	1	Habilita sintetizador
EN_LNA	1	Saída	0	0	1	Habilita LNA
EN_ENCOD	1	Saída	1	0	0	Inicia codificação Manchester
TX_FLAG	1	Entrada				Controla a transmissão de dados
RX_FLAG	1	Entrada				Controla a recepção de dados
TX_DONE	1	Entrada				Sinaliza final de transmissão
DATA_RDY	1	Entrada				Sinaliza final de recepção

Tabela 4.5: Sinais de saída da máquina de controle do transceptor

4.2.2 Codec Manchester

Devido ao uso de várias taxas de transmissão, a sincronização do sistema de comunicação se torna mais difícil. Algum tipo de codificação de linha é frequentemente utilizada quando não se dispõe de um canal de controle e sincronização.

A codificação Manchester é a codificação de linha mais utilizada em sistemas de baixo custo por apresentar grande simplicidade na codificação, evitar longas seqüências de zeros e uns consecutivos e transmitir informação sobre o clock utilizado na codificação em conjunto com a informação. Estas características permitem o uso de taxas de transmissão configuráveis mesmo com circuitos geradores de clock de baixa precisão.

A Figura 4.4 mostra os símbolos utilizados na codificação Manchester. Neste esquema, os bits

são representados pelas transições entre os níveis lógicos, sendo o bit 1 representado por uma transição de 0 para 1 e o bit 0 sendo representado por uma transição de 1 para 0.

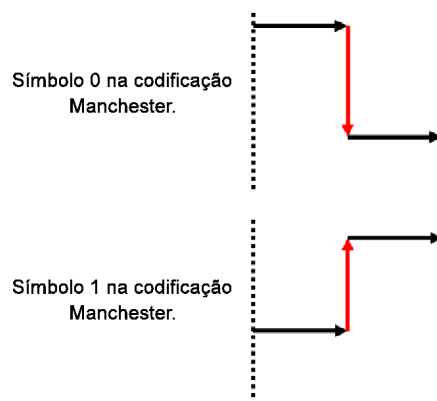


Figura 4.4: Símbolos utilizados na codificação Manchester

O codificador consiste num bloco que recebe uma palavra digital na forma paralela e faz a conversão paralelo-serial, da informação, substituindo um bit 1 por uma seqüência 01 e um bit 0 por uma seqüência 10. Ao final da conversão, o bloco sinaliza para o controlador do transceptor o fim da codificação através da flag TX_DONE.

O decodificador recebe os dados codificados serialmente e os disponibiliza na forma paralela após a decodificação. A flag DATA_READY sinaliza à máquina de controle o final da decodificação. Para comportar várias taxas de transmissão, além de atrasos causados pela propagação no link de rádio, é utilizado na decodificação um clock mais rápido que o utilizado na codificação. A idéia básica é medir o tempo entre duas bordas de subida do sinal e compará-lo com um tempo de referência.

Na codificação Manchester, uma borda de subida pode ocorrer no meio do bit ou entre dois bits de informação. O tempo entre duas bordas positivas pode ser de um, um e meio e dois bits, conforme mostrado na figura 4.5. O conhecimento destas duas informações é suficiente para a decodificação.

No início da decodificação, não é possível saber se uma borda de subida ocorreu no meio ou no fim de um bit de dados, mas existem algumas informações que permitem decidir. Se foi medido o tempo de um bit entre duas bordas de subida, o local onde a borda positiva foi detectada permanece igual (no meio ou no final de um bit de dados). Se o tempo foi de um bit e meio, a posição da borda de subida foi trocada (do meio do bit para o fim ou vice-versa). Se foi medido o tempo de dois bits, a transição tem de estar no meio do bit de dados.

Baseado nestas afirmações, pode-se ter certeza da posição da borda de subida quando é detectado o tempo de dois bits entre duas bordas positivas. Quando isto ocorre pela primeira vez, diz-se que o decodificador está sincronizado, pois a partir daí pode ser feita a decodificação sem ambigüidades. Após isso, a decodificação segue a tabela-verdade mostrada na Tabela 4.6.



Figura 4.5: Diferentes posições para a borda de subida na codificação Manchester

Tempo medido	Posição da borda de subida	Valor decodificado	Próximo valor decodificado
1 bit	Meio	1	NA
1 bit	Fim	0	NA
1,5 bits	Meio	0	1
1,5 bits	Fim	0	NA
2 bits	Meio	0	1

Tabela 4.6: Tabela-verdade para decodificação Manchester

Capítulo 5

Resultados

Esta seção discute os impactos da nova arquitetura no desempenho global do sistema e resume a topologia final do transceptor de RF.

5.1 Simulações

5.1.1 Alcance

A Figura 5.1 mostra o comportamento da potência recebida em função da distância de propagação da radiação para várias potências de transmissão. Para o cálculo, foi considerada propagação em espaço livre, com antenas dipolo para transmissão e recepção e uma margem de desvanecimento de 20dB, incluída para considerar efeitos não modelados como obstáculos (árvores e animais) e chuva.

É possível observar que, para esta condição particular, será possível atender a especificação de 500m de alcance para o nó transmissor do sistema. Embora este seja um resultado animador, a modelagem mais precisa do ambiente de propagação deve ser feita para garantir a robustez do sistema.

5.1.2 Sensibilidade

A Figura 5.2 mostra o comportamento da sensibilidade do receptor em função da figura de ruído do sistema.

Foi utilizada a equação 2.26 para obtenção deste gráfico. Para a consideração sobre a banda do sistema, foi utilizado um filtro passivo RLC, por apresentar a maior banda de ruído entre as arquiteturas sugeridas na seção 4.1 (cerca de 57% mais do que a banda de 3dB do filtro, segundo a equação 2.28) e conseqüentemente menor sensibilidade de acordo com a equação 2.26.

Nesta figura é possível ver que a sensibilidade do transceptor pode ser aumentada com relação a especificação se a figura de ruído do transmissor não ultrapassar os 15dB. O uso de um filtro mais seletivo também deve melhorar o resultado obtido em virtude da diminuição da banda equivalente

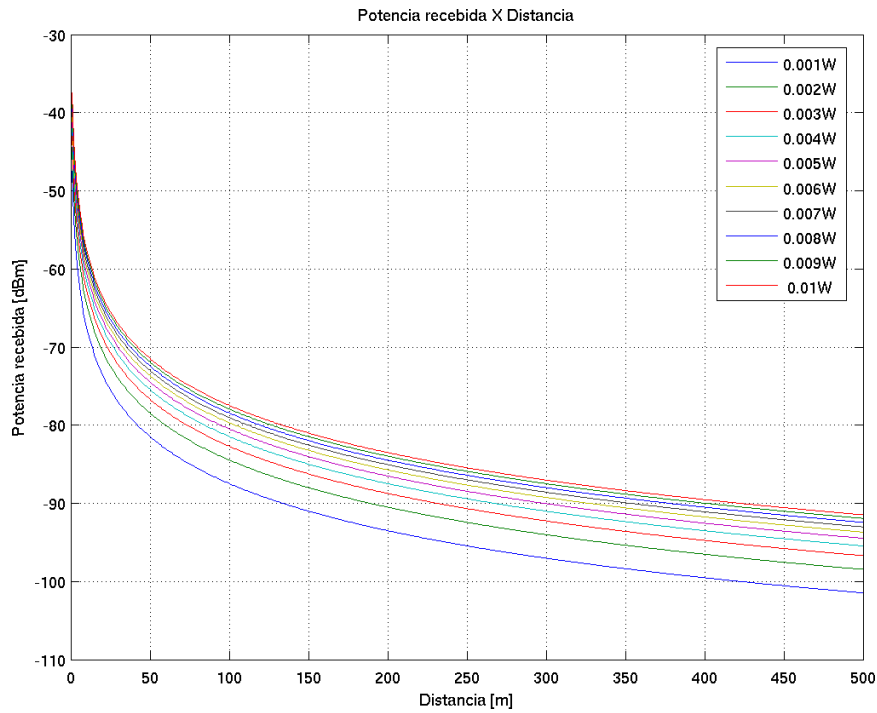


Figura 5.1: Comportamento da potência recebida pela distância propagada.

de ruído do receptor.

5.1.3 Máquina de controle do transceptor

A Figura 5.3 mostra a simulação realizada para a máquina de controle digital do transceptor de RF.

Neste exemplo, é possível observar o funcionamento da máquina de controle digital nas condições propostas. Após a liberação do sinal de RESET, o sinal MODE indica para qual estado deve ir o transceptor. O modo TX é definido pela palavra 10 e o modo RX pela palavra 01. As palavras 00 e 11 definem o modo Idle. No modo TX, são habilitados os sinais EN_CODER, que inicia a codificação do dado disponível em DATA_OUT, o EN_PA e EN_SINT. Após detectar o sinal TX_DONE, a máquina retorna ao estado *Idle* de onde espera nova ordem para mudança de estado. No modo RX, a máquina habilita os sinais EN_LNA e EN_SINT e espera o término da decodificação dos bits recebidos, indicada pelo sinal DEC_DATA_READY.

Esta é uma simulação funcional para validação do código VHDL desenvolvido pela equipe de projeto digital. Este bloco de código ainda será validado pela equipe de verificação antes de ser incorporado ao SoC-SCI.

5.2 Impacto da arquitetura no desempenho geral do sistema

Em primeiro lugar, a nova arquitetura proposta impõe que algumas restrições no desenvolvimento do protocolo de comunicação: a utilização de frames fixos de 128 bits para dados, endere-

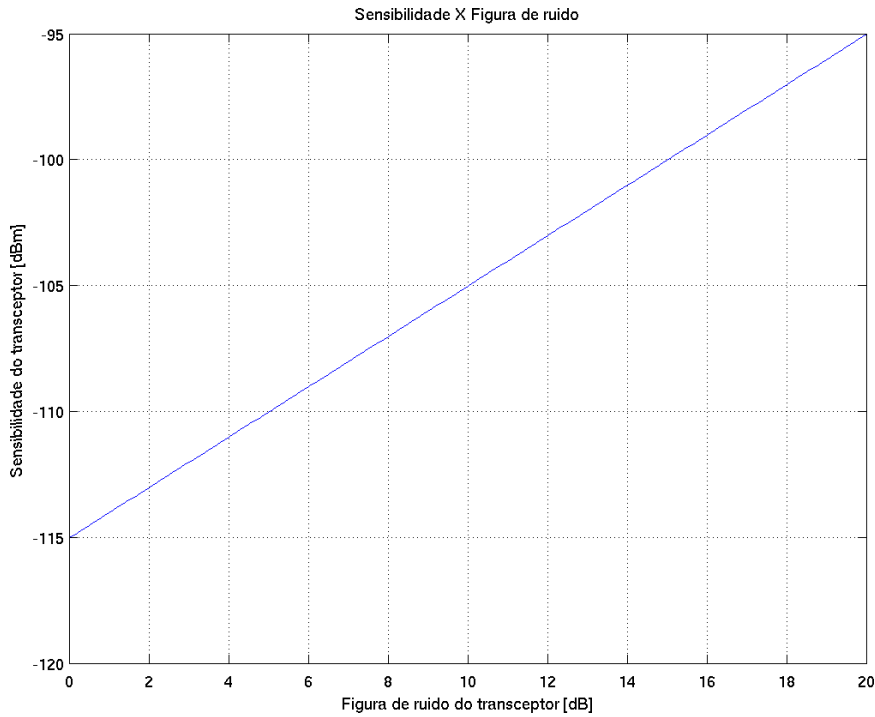


Figura 5.2: Comportamento da sensibilidade frente a figura de ruído

çamento e códigos de correção de erros e a obrigação do uso de um preâmbulo para estabilização dos circuitos de recepção (principalmente o *data slicer*) e sincronia do decodificador Manchester. Esta restrição de tamanho visa a simplificação do projeto do hardware digital. O preâmbulo será adicionado automaticamente pelo codificador Manchester e não impõe nenhuma restrição para o programador, que fica livre para montar os *strings* para transmissão.

Em segundo lugar, um reordenamento no uso das portadoras deve ser previsto. A codificação Manchester faz com que a banda necessária para a transmissão de um trem de bits seja dobrada em virtude de serem utilizados pulsos com a metade da largura original após a codificação. Esse aumento na banda ocupada de cada canal faz com que uma banda de guarda entre cada canal seja necessária para garantir que a filtragem realizada com filtros pouco seletivos não cause problemas.

O último ponto a ressaltar é a comunicação do processador com o transceptor de RF. O acesso via registradores específicos e através do barramento facilita a elaboração dos programas de aplicação que fazem uso de comunicação via rádio. O esquema anterior de acesso via registradores mapeados em memória ocupava o processador durante todo o tempo de recepção e transmissão, pois ele era o responsável por sincronizar o envio e recepção de dados. A nova topologia proposta permite ao processador realizar outras tarefas durante as fases de recepção e transmissão, tornando o sistema mais robusto e eficiente.

5.3 Topologia final

A Figura 5.4 mostra o diagrama de blocos completo do transceptor de RF.

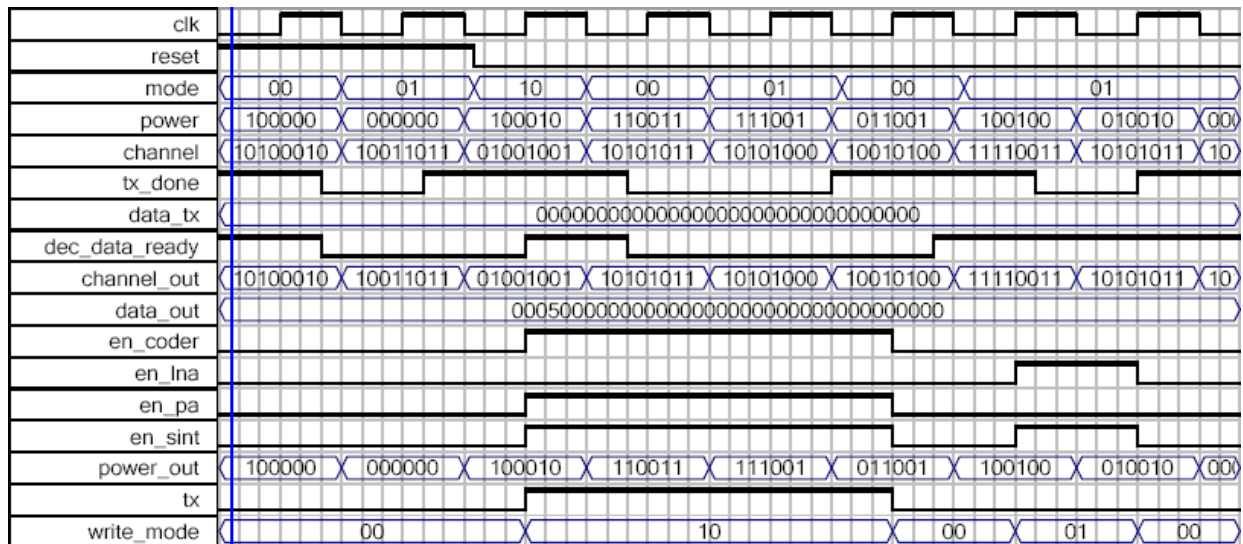


Figura 5.3: Simulação da máquina de estados do controle do transceptor de RF

A Tabela 5.1 resume as especificações finais para o transceptor de RF.

Transceptor	
Frequência de operação	915 - 927MHz
Modulação empregada	OOK
Técnica de acesso	FDMA
Alcance máximo	500m
Cristal de referência	16MHz
Receptor	
Sensibilidade	-100dBm
Impedância de entrada	50Ω
Frequência intermediária	450kHz
Transmissor	
Taxa de transmissão	9600, 2400, 1200 e 600bps
Largura dos canais de transmissão	50kHz
Potência máxima	10mW
Impedância de saída	50Ω

Tabela 5.1: Especificações para o transceptor de RF

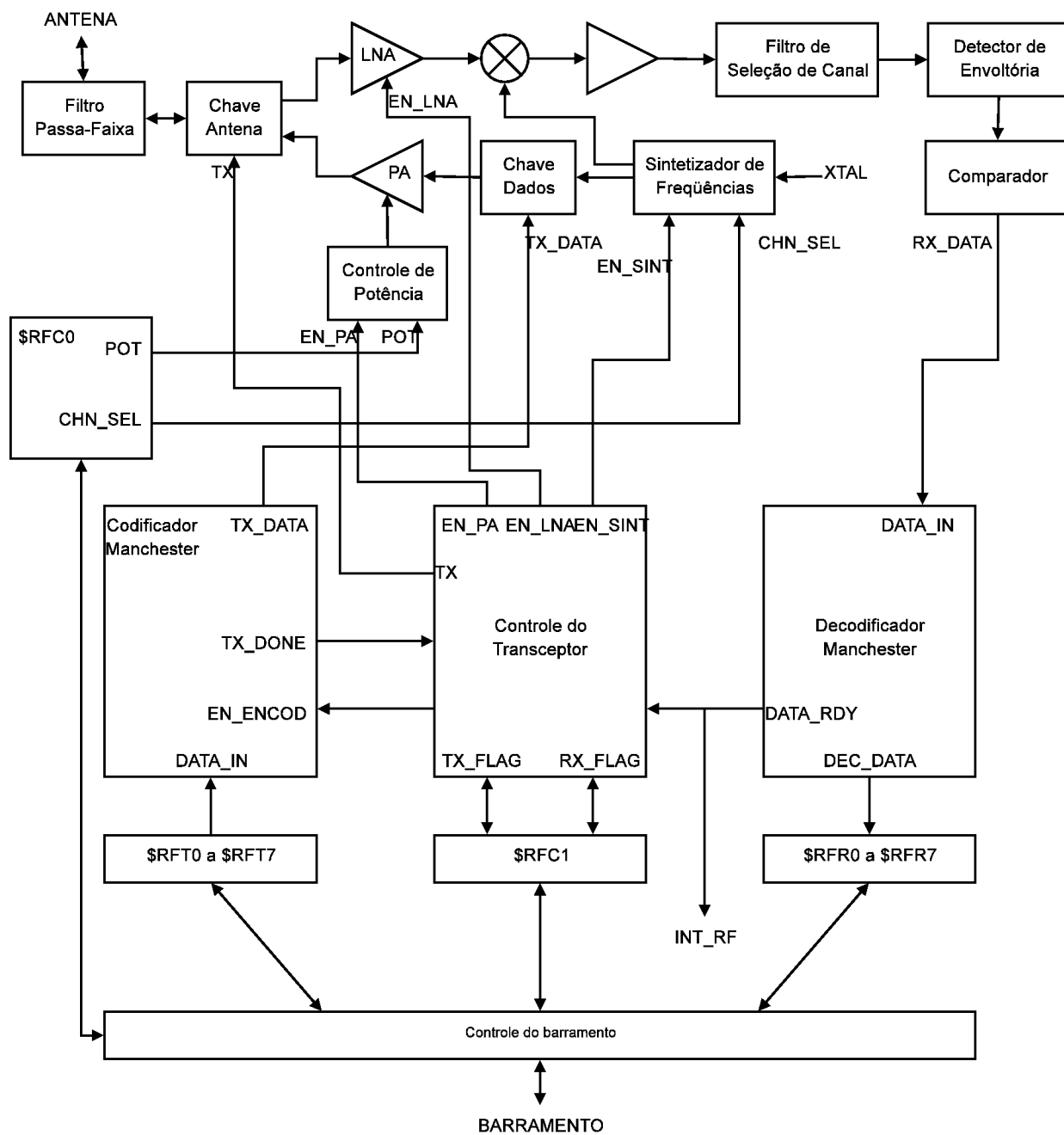


Figura 5.4: Arquitetura completa do transceptor de RF

Capítulo 6

Conclusões

Foi apresentada a especificação de um transceptor de RF para uso em SoC CMOS. A motivação para este SoC é o controle de irrigação através de rede de sensores sem fio, mas outras aplicações como rede de sensores prediais ou automotivas podem ser viáveis.

A arquitetura super-heteródina proposta visa combater os problemas encontrados na especificação original da arquitetura para a seção de RF enquanto permite o uso do maior número de blocos projetados em trabalhos anteriores.

Foi possível atingir o objetivo proposto de especificar o transceptor de RF. A especificação proposta foi verificada funcionalmente embora uma modelagem mais detalhada e precisa do problema não tenha sido realizada. Linguagens de descrição de hardware analógico de alto nível como VHDL-AMS permitem verificar funcionalmente um sistema complexo sem a preocupação da implementação dos circuitos para posterior verificação reduzindo o tempo de projeto.

O objetivo de detalhar a comunicação entre os blocos digital e de rádio do SoC também foi atingido. Com a topologia proposta, o programador do sistema terá grande liberdade no uso do transceptor para comunicação sem fio. A realização do projeto em módulos separados permitirá a inclusão de outras funcionalidades desejáveis a este tipo de sistema como checagem de bits de paridade via hardware dedicado.

Um ponto negativo do trabalho é a não inclusão de um modo de teste do transceptor com acesso externo ou pelo programa de aplicação. Este trabalho já está sendo desenvolvido com auxílio da equipe de projeto digital do SoC-SCI.

Como sugestão de trabalhos futuros, pode-se citar:

- A modelagem precisa do ambiente de propagação onde o sistema deverá se comunicar para confirmar se o alcance desejado pode ser conseguido com as especificações propostas.
- A inclusão do modo teste do transceptor que permita a verificação dos blocos analógicos e dos blocos digitais. Este teste deve poder ser acessado pelo programa de aplicação e também através de pinos externos, para que o teste possa ser realizado sem a dependência do programa de aplicação.
- O término da descrição em VHDL do codificador e decodificador Manchester descrito neste

trabalho. Este trabalho já foi iniciado, mas a funcionalidade desejada ainda não foi alcançada.

- A descrição completa do transceptor em linguagem de descrição de hardware analógico (VHDL-AMS) para comprovação da funcionalidade do sistema.
- A implementação dos circuitos em silício e posterior verificação da funcionalidade do sistema em campo.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] TSCHIEDEL, M.; FERREIRA, M. F. Introdução à agricultura de precisão: conceitos e vantagens. *Ciência Rural*, v. 32, n. 1, p. 159–163, January 2002.
- [2] INSTITUTO DO MILÊNIO. *O livro branco do sistema de controle de irrigação*. [S.l.], 2003.
- [3] AGÊNCIA NACIONAL DE TELECOMUNICAÇÕES. *Plano de atribuição, destinação e distribuição de faixas de frequências no Brasil*. [S.l.], 2007.
- [4] BENSKY, A. *Short-range Wireless Communication: Fundamentals of RF System Design and Application*. [S.l.]: Newnes, 2004.
- [5] YAZAKI, T. et al. Low-power ask receiver circuit for wireless communication system. *Circuits and Systems, 2002. APCCAS'02. 2002 Asia-Pacific Conference on*, v. 2, 2002.
- [6] ARMSTRONG, E. Some recent developments of regenerative circuits. *Proc. IRE*, v. 10, p. 244–260, 1922.
- [7] FAVRE, P. et al. A 2-V 600- μ A 1-GHz BiCMOS super-regenerative receiver for ISM applications. *Solid-State Circuits, IEEE Journal of*, v. 33, n. 12, p. 2186–2196, 1998.
- [8] RAZAVI, B. *RF microelectronics*. [S.l.]: Prentice-Hall, Inc. Upper Saddle River, NJ, USA, 1998.
- [9] TEXAS INSTRUMENTS. *CC1000: Single chip very low power RF transceiver*. [S.l.].
- [10] TEXAS INSTRUMENTS. *CC1021: Single chip low power RF transceiver for narrowband systems*. [S.l.].
- [11] ATMEL. *UHF ASK/FSK receiver T5760/T5761*. [S.l.].
- [12] MAXIM. *315MH \pm 34MHz low-power, 3V/5V ASK/FSK superheterodyne receiver*. [S.l.].
- [13] HARTLEY, R. *Modulation system*. Abril 1928. U.S. Patent 1.666.206.
- [14] PASCOLI, S. D. et al. Fully integrated heterodyne RF receiver for ISM band applications. *Signals, Circuits and Systems, 2003. SCS 2003. International Symposium on*, v. 1, 2003.
- [15] PACHE, D. et al. An improved 3 V 2 GHz BiCMOS image reject mixer IC. *Custom Integrated Circuits Conference, 1995., Proceedings of the IEEE 1995*, p. 95–98, 1995.

- [16] PEKAU, H.; HASLETT, J. A comparison of analog front end architectures for digital receivers. *Electrical and Computer Engineering, 2005. Canadian Conference on*, p. 1073–1077, 2005.
- [17] GLOVER, I.; GRANT, P. *Digital communications*. [S.l.]: Prentice Hall, 1997.
- [18] CARLSON, A. *Communication Systems: An Introduction to Signals and Noise in Electrical Communication*. [S.l.]: McGraw-Hill, 1986.
- [19] EGAN, W. *Practical RF System Design*. [S.l.]: Wiley, 2003.
- [20] ROGERS, J.; PLETT, C. *Radio Frequency Integrated Circuit Design*. [S.l.]: Artech House Boston, 2003.
- [21] SOARES, R. R. P. *Sintetizador de frequência para transceptor de RF integrado em um SoC CMOS*. Agosto 2005.
- [22] ASSUNÇÃO, L. A. *Amplificador de potência com controle digital em tecnologia CMOS*. 2004.
- [23] AMARAL, W. A. do. *Amplificador de baixo ruído a 900MHz em tecnologia CMOS para transceptor de RF em SoC*. Novembro 2004.
- [24] VOGEL, P. R. O. *Demodulador em tecnologia CMOS para um transceptor de RF a 900MHz em um sistema em chip*. Dezembro 2005.
- [25] UGAJIN, M.; KODATE, J.; TSUKAHARA, T. A 1 V 12 mW 2 GHz receiver with 49 dB image rejection in CMOS/SIMOX. *Solid-State Circuits Conference, 2001. Digest of Technical Papers. ISSCC. 2001 IEEE International*, p. 288–289, 2001.

ANEXOS

I. CÓDIGOS MATLAB

Código-fonte utilizado para analisar o comportamento da potência recebida pela distância de transmissão e da sensibilidade frente a figura de ruído.

```
close all
clear all

% Ganho da antena de recepcao [dB]
5 gr_db = 2.15;
% Ganho da antena de transmissao [dB]
gt_db = 2.15;
% Frequencia de operacao [Hz]
f = 927.75e6;
10 % Velocidade da luz [m/s]
c = 3e8;
% Potencia de transmissao [W]
pt = (1:1:10).*1e-3;
% Distancia entre os nos [m]
15 d = 1:1:500;
% Margem de desvanecimento [dB]
fading = 20;

% Calcula a potencia recebida, em dBm, segundo a
20 % formula de Friss para propagacao em espaco livre.
gr = 10^(gr_db/10);
gt = 10^(gt_db/10);
lambda = c/f;

25 for n = 1:length(pt)
    pr(n,:) = (pt(n) .* gr .* gt) ./ ((4 .* pi .* d ./ lambda).^2);
end
pr_dbm = 10.*log10(pr./1e-3) - fading;

30 figure;
plot(d, pr_dbm);
grid on;
legend(strcat(num2str(pt)'), 'W');
xlabel('Distancia [m]');
35 ylabel('Potencia recebida [dBm]');
title('Potencia recebida X Distancia');

% Ruído
noise = 10 * log10(1.38e-23 * 290 / 1e-3);
40 % Banda
B = 10*log10(50e3 * 1.57);
% Relação sinal-ruído no receptor
SNR = 10;

45 %Figura de ruído
```

```
NF = 0:0.1:20;

% Calcula a sensibilidade
sens = noise + NF + B + SNR;
50
figure;
plot(NF, sens);
grid on;
xlabel('Figura de ruido do transceptor [dB]');
55 ylabel('Sensibilidade do transceptor [dBm]');
title('Sensibilidade X Figura de ruido');
```

II. SIMULAÇÃO DA MÁQUINA DE ESTADOS DO TRANSCEPTOR

Código-fonte utilizado para validar a máquina de estados do transceptor.

```
library IEEE;
use IEEE.std_logic_1164.all;
use ieee.std_logic_arith.all;
use ieee.std_logic_unsigned.all;
5
ENTITY transceptor_sm IS
    PORT
    (
        clk                : IN    STD_LOGIC;
10        reset            : IN    STD_LOGIC;
        mode               : IN    STD_LOGIC_VECTOR(1 DOWNTO 0);
        channel            : IN    STD_LOGIC_VECTOR(7 DOWNTO 0);
        power              : IN    STD_LOGIC_VECTOR(5 DOWNTO 0);
        data_tx            : IN    STD_LOGIC_VECTOR(127 DOWNTO 0);
15        dec_data_ready   : IN    STD_LOGIC;
        tx_done            : IN    STD_LOGIC;
        tx, en_pa, en_lna  : OUT   STD_LOGIC;
        en_sint            : OUT   STD_LOGIC;
        en_coder           : OUT   STD_LOGIC;
20        data_out         : OUT   STD_LOGIC_VECTOR(143 DOWNTO 0);
        channel_out       : OUT   STD_LOGIC_VECTOR(7 DOWNTO 0);
        power_out         : OUT   STD_LOGIC_VECTOR(5 DOWNTO 0);
        write_mode        : OUT   STD_LOGIC_VECTOR(1 DOWNTO 0)
    );
25 END transceptor_sm;

ARCHITECTURE rtl OF transceptor_sm IS

CONSTANT data_slicer_preamble: STD_LOGIC_VECTOR(15 DOWNTO 0) := "0000000000000101";
30
function int2ustd(value : integer; width : integer) return std_logic_vector is
    — convert integer to unsigned std_logicvector
    variable temp : std_logic_vector(width-1 downto 0);
    begin
35    if (width>0) then
        temp:=conv_std_logic_vector(conv_unsigned(value, width), width);
    end if ;
    return temp;
40 end int2ustd;

TYPE state_type IS (IDLE, TRANSMIT, RECEIVE);
SIGNAL state: state_type;
SIGNAL tx_flag: STD_LOGIC := '0';
45 SIGNAL rx_flag: STD_LOGIC := '0';
```

```

        SIGNAL reg_dec_data : STD_LOGIC_VECTOR(15 DOWNTO 0) := (OTHERS=>'0');
        SIGNAL reg_dec_data_ready : STD_LOGIC := '0';

BEGIN

50  data_out <= data_slicer_preamble & data_tx;
    reg_dec_data_ready <= dec_data_ready;

    channel_out <= channel;
55  power_out <= power;
    tx_flag <= mode(1) and (not mode(0));
    rx_flag <= (not mode(1)) and mode(0);
    -- Sequential block to create state registers and state transitions

60  registro_de_estados :
        PROCESS (clk, reset)
        BEGIN
            IF reset = '1' THEN
                state <= IDLE;
65  ELSIF clk'EVENT AND clk = '1' THEN
                CASE state IS
                    WHEN IDLE =>
                        IF tx_flag = '1' THEN
                            state <= TRANSMIT;
70  ELSIF rx_flag = '1' THEN
                            state <= RECEIVE;
                        ELSE
                            state <= IDLE;
                        END IF;

75  WHEN TRANSMIT =>
                        IF tx_done = '1' THEN
                            state <= IDLE;
                        ELSE
80  state <= TRANSMIT;
                        END IF;

                    WHEN RECEIVE =>
                        IF reg_dec_data_ready = '1' THEN
85  state <= IDLE;
                        ELSE
                            state <= RECEIVE;
                        END IF;
                END CASE;
90  END IF;
    END PROCESS registro_de_estados;

    --Combinational logic to create outputs for each state
    WITH state SELECT
95  en_coder <= '0' WHEN IDLE,
        '1' WHEN TRANSMIT,
        '0' WHEN RECEIVE;

    WITH state SELECT

```

```

100         tx      <=      '0'          WHEN  IDLE ,
          '1'          WHEN  TRANSMIT ,
          '0'          WHEN  RECEIVE ;

      WITH state SELECT
105         en_pa   <=      '0'          WHEN  IDLE ,
          '1'          WHEN  TRANSMIT ,
          '0'          WHEN  RECEIVE ;

      WITH state SELECT
110         en_lna  <=      '0'          WHEN  IDLE ,
          '0'          WHEN  TRANSMIT ,
          '1'          WHEN  RECEIVE ;

      WITH state SELECT
115         en_sint <=      '0'          WHEN  IDLE ,
          '1'          WHEN  TRANSMIT ,
          '1'          WHEN  RECEIVE ;

      WITH state SELECT
120         write_mode <=      "00"      WHEN  IDLE ,
          "10"        WHEN  TRANSMIT ,
          "01"        WHEN  RECEIVE ;

END rtl;

```
