



TRABALHO DE GRADUAÇÃO

**DESENVOLVIMENTO DO HARDWARE
UTILIZADO NA ESTIMAÇÃO DE DOA POR MEIO DE ARRANJO
DE SENSORES: PRÓTESE AUDITIVA INTELIGENTE**

Rodrigo Neiva Carvalho

Darfe Diogo Borges Leite

Tiago Braga Borgo

Brasília, julho de 2008

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRÁSILIA

Faculdade de Tecnologia

TRABALHO DE GRADUAÇÃO

DESENVOLVIMENTO DO HARDWARE

UTILIZADO NA ESTIMAÇÃO DE DOA POR MEIO DE ARRANJO DE SENSORES: PRÓTESE AUDITIVA INTELIGENTE

Rodrigo Neiva Carvalho

Darfe Diogo Borges Leite

Tiago Braga Borgo

Relatório submetido ao Departamento de Engenharia Elétrica
da Faculdade de Tecnologia da Universidade de Brasília como
requisito parcial para obtenção do grau de Engenheiro Eletricista

Banca Examinadora

Ricardo Zelenovsky, Doutor, PUC-RJ, UnB/
ENE (Orientador)

Giuler Alberto Cruz Silva

Marcelo A. Villegas Sanchez

FICHA CATALOGRÁFICA

CARVALHO, RODRIGO NEIVA

BORGES LEITE, DARFE DIOGO

BORGIO, TIAGO BRAGA

Desenvolvimento do Hardware Utilizado na Estimaco de DOA por Meio de Arranjos de Sensores: Prtese Auditiva Inteligente [Distrito Federal] 2008.

x,46P. (ENE/FT/UnB, Engenheiro Eletricista, 2008)

Monografia de Graduao – Universidade de Braslia.

Faculdade de Tecnologia

Departamento de Engenharia Eltrica.

1. Direo de chegada

2. Arranjo de sensores

3. Prtese auditiva inteligente

4. Processamento de Sinais

I. ENE/FT/UnB

REFERNCIA BIBLIOGRÁFICA

CARVALHO, RODRIGO NEIVA; BORGES LEITE, DARFE DIOGO e BORGIO, TIAGO BRAGA (2008). Desenvolvimento do Hardware Utilizado na Estimaco de DOA por Meio de Arranjos de Sensores: Prtese Auditiva Inteligente. Monografia de Graduao, Publicaco ENE 01/2008, Departamento de Engenharia Eltrica, Universidade de Braslia, Braslia, DF, 46p.

CESSO DE DIREITOS

NOME DOS AUTORES: Darfe Diogo Borges Leite, Rodrigo Neiva Carvalho e Tiago Braga Borgo.

TÍTULO: Desenvolvimento do Hardware Utilizado na Estimação de DOA por Meio de Arranjos de Sensores: Prótese Auditiva Inteligente.

GRAU/ANO: Engenheiro Eletricista/2008.

É concedida à Universidade de Brasília permissão para reproduzir cópias desta monografia de graduação e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte desta monografia de graduação pode ser reproduzida sem a autorização por escrito do autor.

Darfe Diogo Borges Leite

QI 23, Lotes 02/06, Bloco A, Apartamento 134,

CEP: 70.060-230 Brasília – DF – Brasil.

Rodrigo Neiva Carvalho

SQS 213, Bloco A, Apartamento 202,

CEP: 70.292-010 Brasília – DF – Brasil.

Tiago Braga Borgo

Q. 08, Conjunto D, Casa 12,

CEP: 73.005-084 Sobradinho – DF – Brasil

Dedicatórias

Dedico este trabalho graduação a todas as pessoas que me ajudaram e me apoiaram na realização deste, aos amigos, a Deus, à minha família, ao pessoal no ENE e aos meus companheiros de projeto Darfe Diogo Borges Leite e Tiago Braga Borgo.

Rodrigo Neiva Carvalho

Dedico este trabalho de graduação principalmente ao professor Zelenovsky pela ajuda e compreensão, aos amigos pelo apoio incondicional, a família pelo suporte durante toda a graduação, a todos que das mais diversas formas influenciaram positivamente e aos companheiros de projeto Rodrigo Neiva Carvalho e Tiago Braga Borgo.

Darfe Diogo Borges Leite

Dedico esse trabalho à minha família por todo o apoio durante a minha graduação, ao professor Zelenovsky pela dedicação e orientação nesse projeto, aos colegas de curso pela companhia e ajuda nesses anos, e aos meus companheiros de projeto Darfe Diogo Borges Leite e Rodrigo Neiva Carvalho.

Tiago Braga Borgo

Agradecimentos

À minha família por ter me dado condições e formação, que me permitiram conquistar tudo o que tenho e terei.

Aos que já não são mais amigos, e sim verdadeiros irmãos de escolha. Pela paciência nos momentos de reclamação e auxílios, pela presença nos momentos alegres e pelo apoio nos instantes de dúvidas.

Ao professor Zelenovsky por sua compreensão e sabedoria compartilhada. Pelo apoio, pela paciência, pelos elogios e pelas boas conversas.

Aos amigos e colegas das Engenharias que participaram desse período tão rico em experiências, que serão motivadoras do meu caráter no resto de minha vida. Em especial aos que ajudaram, direta e indiretamente, na conclusão deste trabalho.

Também aos colegas e amigos do curso que me introduziu na Universidade de Brasília.

0622173006200806532510072008

Darfe Diogo Borges Leite

Gostaria de agradecer a Deus por toda a força e direcionamento que nos foi dado durante todo o projeto.

À minha família que me deu todo o apoio que precisei durante o curso, obrigado pela confiança depositada em mim. Esta vitória também é de vocês.

Ao professor Zelenovsky que sempre nos apoiou. Sem a orientação desse professor este projeto jamais tomaria as devidas proporções que tomou.

Aos amigos da Engenharia Elétrica que me acolheram muito bem durante todo o curso. E também ao amigo Marcelo Villegas que ajudou muito nos orientando com o microprocessador ARM.

E a todos aqueles que contribuíram e esqueci-me de mencionar fica aqui o meu agradecimento.

Rodrigo Neiva Carvalho

À minha família em primeiro lugar, pelo incentivo aos estudos desde cedo e pelo apoio incondicional.

Aos meus amigos Érico Hoff, Pablo Duda e Renan Guedes, por toda a ajuda nos momentos finais do curso, pelo companheirismo e pelos momentos de distração. Ao Marcello Sasaki, pela grande disposição em ajudar no momento mais difícil desse trabalho. Ao Marcelo Villegas, por apontar direções e orientar nossas pesquisas. Ao Rodrigo Almeida e ao Edson Ramos, pela companhia no começo do curso. A todos os amigos que fizeram parte da minha vida acadêmica.

Ao professor Zelenovsky, por todo o esforço e dedicação, por ter, através de suas aulas, me motivado a continuar no curso de engenharia elétrica, pela atenção dispensada a esse trabalho e pela orientação e apoio ao nosso grupo.

Aos meus companheiros nesse projeto, Darfe e Rodrigo. Sem a ajuda deles, esse trabalho não teria sido possível.

Tiago Braga Borgo

RESUMO

O presente trabalho trata do desenvolvimento do hardware de um protótipo de prótese auditiva inteligente com utilização de arranjo de microfones para estimação da direção de chegada – DOA – de sinais de voz e implementação de uma identificação espacial baseada em métodos como o DS (*delay-and-sum*), o CAPON e o MUSIC a fim de otimizar a qualidade sonora percebida por um usuário de prótese auditiva. O foco principal deste projeto como um todo está no desenvolvimento de uma placa que recebe os sinais analógicos, pré amplifica, filtra, amostra e digitaliza de forma adequada os sinais a serem enviados ao microcontrolador ARM, que aplica o algoritmo de estimação da direção de chega – DOA.

No hardware desenvolvido, os sinais de voz são capturados por oito microfones, pré amplificados e filtrados analogicamente em banda com frequências de corte próximas as frequências limites para o espectro de voz. A digitalização dos sinais é feita com a ajuda de oito *sample and holder* e o uso de um conversor A/D de oito canais. Os *sample and holder* objetivam amostrar os oito canais simultaneamente, e manter esta amostra, para que as diferenças de fase entre eles sejam perceptíveis no momento da conversão A/D. Os sinais digitalizados estarão prontos para serem exportados ao microcontrolador ARM de forma adequada, onde os algoritmos de estimação DOA e filtragem espacial serão executados e os resultados produzidos.

ABSTRACT

This project attends to the development of an intelligent hearing aid prototype hardware with microphones array to estimate the incoming direction – DOA – of voice signals and implementation of a spatial estimator based on methods for like DS (delay-and-sum), CAPON and MUSIC with the purpose of enhancing the voice quality to the user of this prosthesis. The main objective of this project is based in developing a board responsible for receiving analogical signals, pre amplifying, filtering, sampling and digitalizing them properly, to send to the ARM microcontroller, which is responsible for running an incoming direction estimation algorithm.

In this hardware, the voice signals are captured by eight microphones, pre-amplified and band-filtered, with cutoff frequencies similar to the voice frequency spectrum. The digital conversion is done using eight sample-and-holders and an 8-channel A/D converter.

The sample-and-holders are used to sample the eight channels simultaneously and hold them, keeping their phase differences until the A/D conversion. The digital signals will be ready to be exported to the ARM properly, where the incoming direction estimation algorithms and spatial filtering are executed, and results are produced.

1. INTRODUÇÃO	1
1.1 DEFICIÊNCIA AUDITIVA	1
1.2 MOTIVAÇÕES PARA O PROJETO	2
1.3 CONTEÚDO.....	3
2. O HARDWARE DO PROJETO PAI	4
2.1 MICROFONES CAPTADORES E PRÉ-AMPLIFICADORES	5
2.2 FILTROS ANALÓGICOS	6
2.3 <i>SAMPLE AND HOLDER</i> E <i>OFFSET</i>	17
2.4 CONVERSOR ANALÓGICO/DIGITAL	20
2.5 PLACA ARM	22
2.6 CIRCUITOS DE ALIMENTAÇÃO	23
3. RESULTADOS EXPERIMENTAIS	25
3.1 FILTROS ANALÓGICOS	25
3.2 <i>SAMPLE AND HOLDER</i> E <i>OFFSET</i>	27
3.3 CONVERSOR ANALÓGICO/DIGITAL	28
3.4 CIRCUITOS DE ALIMENTAÇÃO	29
4. CONCLUSÕES E CONSIDERAÇÕES FINAIS	30
REFERÊNCIAS BIBLIOGRÁFICAS	32
ANEXOS.....	33
I. LISTA DE MATERIAIS	33
II. DIAGRAMAS ESQUEMÁTICOS.....	35

LISTA DE FIGURAS

Figura 2.1 Diagrama esquemático simplificado do projeto PAI.....	4
Figura 2.2 Diagrama de blocos da etapa de filtragem analógica	8
Figura 2.3 Esquema do filtro passa-baixas de 3ª ordem, $f_c = 5$ KHz.....	8
Figura 2.4 Esquema do filtro passa-altas de 3ª ordem, $f_c = 100$ Hz	9
Figura 2.5 FPB de 3ª ordem com componentes calculados.....	11
Figura 2.6 FPB de 6ª ordem com componentes calculados.....	11
Figura 2.7 FPA de 3ª ordem com componentes calculados.....	12
Figura 2.8 FPA de 6ª ordem com componentes calculados.....	12
Figura 2.9 FPF de 6ª ordem com componentes calculados	13
Figura 2.10 FPB de 3ª ordem com componentes comerciais	14
Figura 2.11 FPB de 6ª ordem com componentes comerciais	14
Figura 2.12 FPA de 3ª ordem com componentes comerciais	15
Figura 2.13 FPA de 6ª ordem com componentes comerciais	15
Figura 2.14 FPF de 6ª ordem com componentes comerciais.....	16
Figura 2.15 Tempos de amostra em <i>sample and holder</i>	17
Figura 2.16 Esquemático do <i>sample and holder</i>	18
Figura 2.17 Esquemático do SMP04.....	19
Figura 2.18 Arranjo de diodos para as tensões de 1,4 V e 2,4 V.....	19
Figura 2.19 Introdução do offset em um dos oito canais	20
Figura 2.20 Esquemático do ADC	21
Figura 2.21 Registradores de deslocamento de 8 bits	22
Figura 2.22 Alimentação de 5 V	23
Figura 2.23 Alimentação de -5 V	24
Figura 2.24 Alimentação de 3,3 V	24
Figura 3.1 FPF de 6ª ordem real.....	25
Figura 3.2 FPF de 6ª ordem real.....	26
Figura A.1 Planta geral	35
Figura A.2 Sample and Holder.....	36
Figura A.3 ADC.....	37
Figura A.4 Filtros do canal 1	38
Figura A.5 Filtros do canal 2	39
Figura A.6 Filtros do canal 3	40
Figura A.7 Filtros do canal 4	41
Figura A.8 Filtros do canal 5	42
Figura A.9 Filtros do canal 6	43
Figura A.10 Filtros do canal 7	44
Figura A.11 Filtros do canal 8	45
Figura A.12 Regulador de tensão	46

LISTA DE TABELAS

Tabela 2.1: Relação entre componentes teóricos e comerciais.....	13
Tabela 2.2: Freqüências de corte para as simulações no <i>Circuit Maker</i>	16
Tabela 3.1: Medições no <i>sample and holder</i>	27
Tabela A.1: Lista de materiais.....	33

LISTA DE SÍMBOLOS

Símbolos Gregos

θ	Ângulo de incidência do azimute	[rad]
ϕ	Ângulo de incidência de elevada	[rad]
φ	Defasagem angular	[rad]
λ	Comprimento de onda	[m]
Φ	Matriz diagonal de defasamentos no ESPRIT	
Ψ	Matriz de transformação	

Outros Símbolos

d	Distância entre elementos	[m]
v	Velocidade da onda	[m/s]
f	Frequência da onda	[Hz]
t	Tempo	[s]
ω	Velocidade angular	[rad/s]
X	Eixo de plano cartesiano no modelo do URA	
Y	Eixo de plano cartesiano no modelo do URA	
Z	Eixo de plano cartesiano no modelo do URA	
\mathbf{U}	Vetor unitário na direção X	
\mathbf{V}	Vetor unitário na direção Y	
\mathbf{W}	Vetor unitário na direção Z	
$A(\theta), A$	Matriz Diretora	
$a(\theta)$	Vetor volante, ou vetor diretor, ou <i>steering vector</i>	

S, s	Vetor ou matriz de sinais incidentes no arranjo de sensores
N, n	Vetor ou matriz de ruído branco aditivo (AWGN)
DOA	Vetor tridimensional representando a direção de chegada
i	Linha do plano de sensores no URA
j	Coluna do plano de sensores no URA
M	Quantidade de sensores do ULA ou quantidade de sensores em uma linha do URA
DP	Distância percorrida pelo sinal até o sensor (i,j)
D	Distância entre dois elementos no URA
θ_k	Direção de chegada da fonte de sinais para o sensor k
K	Quantidade de fontes de sinais
E_n	Vetor ou Matriz de autovetores de ruído
σ_n^2	Variância do ruído
R_{xx}	Matriz de correlação da saída dos sensores
R_{ss}	Matriz de correlação da saída dos sinais
I	Matriz identidade
$E\{ \}$	Valor Esperado
P_{DS}	Potência no algoritmo de estimação DS
P_{CA}	Potência no algoritmo de estimação CAPON
P_{MUS}	Potência no algoritmo de estimação MUSIC

Sobrescritos

- Variação temporal

- Valor médio
- † Operador Hermitiano (conjugado do transposto)

Siglas

ADC	<i>Analogic to digital converter</i>
A/D	Analógico para digital
ARM	<i>Advances Risc Machines Ltda.</i>
BW	<i>Band Width</i>
CAPON	Algoritmo de estimação de direção de chegada
CDMA	<i>Code Division Multiple Acess</i>
D/A	Digital para analógico
DC	<i>Direct Current</i>
DS	<i>Delay and Sum</i> – Atraso e soma
DOA	<i>Direction of Arrival</i>
DSP	<i>Digital Signal Processor</i>
ESPRIT	<i>Estimation of Signal Parameters via Rotational Invariance Technique</i> - Estimação de parâmetros do sinal por meio de técnicas de rotação invariantes
FFT	<i>Fast Fourier Transform</i> – Transformada Rápida de Fourier
MATLAB	É marca registrada da MathWorks, Inc.
MUSIC	<i>Multiple Signal Classification</i> – Classificação de múltiplos sinais
MUX	Multiplexador
PAI	Prótese Auditiva inteligente
PCI	<i>Peripheral Component Interconnect</i>

PCM	<i>Pulse code modulation</i>
RNID	<i>Royal National Institute for Deaf People</i>
SDMA	<i>Spatial Division Multiple Access</i>
SMD	<i>Surface Mounting Device</i>
SNR	<i>Signal – Noise Range</i>
SPI	<i>Serial Peripheral Interface - Interface serial de periférico</i>
THD	<i>Total Harmonic Distortion</i>
ULA	<i>Uniform Linear Array</i>
URA	<i>Uniform rectangular array</i>
USB	<i>Universal Serial Bus - Barramento serial universal</i>

1 INTRODUÇÃO

Este projeto tem por objetivo construir e caracterizar os módulos do *hardware* para tratamento analógico do sinal de voz, parte do protótipo de uma prótese auditiva inteligente (PAI).

A prótese deve ser capaz de fazer a filtragem espacial, permitindo assim que o usuário escolha o que deseja ouvir. Para desempenhar tal função, é utilizado um arranjo de sensores, de forma que eles forneçam condições para se fazer a estimativa da direção de chegada dos sinais e a filtragem espacial.

Essa prática é muito comum em diversas aplicações. Antenas inteligentes, por exemplo, utilizam métodos de estimação para que sejam direcionadas para o emissor de determinado sinal. Várias outras tecnologias utilizam arranjos de antenas para este fim, entre elas, as que se referem as terceira e quarta gerações de telefonia móvel. Além da maximização da capacidade de exploração da banda, nota-se uma economia no consumo de energia, visto que a antena estará voltada para a direção de chegada do sinal de interesse.

Em arranjos de microfones, a maior utilidade está na possibilidade de escolha de determinados sinais sonoros e atenuação de outros. É possível fazer uma filtragem espacial, ignorando ruídos gerados no mesmo ambiente. Diante dessas características, fica evidente que tal prática é de grande importância para o desenvolvimento de próteses para deficientes auditivos.

1.1 DEFICIÊNCIAS AUDITIVAS

As deficiências auditivas podem ser classificadas em congênitas – quando causadas antes ou durante o nascimento – ou adquiridas. Em ambos os casos, caracterizam-se pela

perda da capacidade de detectar a energia sonora. Dependendo do grau de perda, cujas classificações são leve, moderada, severa e profunda, as próteses auditivas podem ser utilizadas para o tratamento dessa deficiência.

As conseqüências de deficiências auditivas são diversas. Indivíduos com perda de audição por causas genéticas ou adquiridas enquanto crianças podem resultar em grande prejuízo no aprendizado, na vida social e profissional. Já aqueles que adquiriram mais tarde, não necessariamente sentirão as mesmas conseqüências, visto que já consolidaram o aprendizado da linguagem. Independente da forma como ocorreu a deficiência, pode-se perceber que a perda da audição causa maior dificuldade de raciocínio que a perda de outros sentidos, como a visão, por isso, se possível, ela deve ser sempre tratada.

Além da perda de audição adquirida por lesões, é comum acontecer a debilidade deste sentido com o avanço da idade. Estima-se que mais da metade da população acima de 60 anos tenha algum tipo de deficiência auditiva.

1.2 MOTIVAÇÕES PARA O PROJETO

Em casos de danos reversíveis, as deficiências podem ser tratadas cirurgicamente ou por uso de medicamento. Caso contrário, a solução é utilizar uma prótese. As próteses tradicionais recebem os sinais do ambiente, amplificam, e reproduzem junto ao aparelho auditivo do deficiente. Em vários casos, elas se mostram uma boa solução, mas em ambientes ruidosos, por exemplo, elas amplificarão também os sinais indesejados.

O projeto da prótese auditiva inteligente consiste em oferecer uma solução para este problema. Será possível priorizar os sons de uma conversa em meio a barulhos de máquinas, outras pessoas conversando, ou qualquer outro som indesejável ao usuário.

A prótese prevê inicialmente dois modos de funcionamento: um automático, e um manual. No primeiro, a filtragem espacial do som será feita a partir de critérios pré-estabelecidos. No segundo, o usuário, por meio de um potenciômetro, poderá escolher aquilo que lhe convém, de forma semelhante à sintonia de uma rádio. Deve ser possível ainda desligar a inteligência da prótese, para ocasiões imprevistas em que esta não se comporta de forma agradável ao usuário. Neste caso, a prótese passa a funcionar como uma prótese comum, mas com alto ganho devido à quantidade de microfones.

1.3 CONTEÚDO

No capítulo 2 será descrita cada etapa do *hardware* desenvolvido, incluindo simulações feitas via *software*. Os resultados experimentais obtidos serão apresentados no capítulo 3, e comparados com as simulações no capítulo 4. Neste último capítulo, também serão abordados os problemas encontrados durante o desenvolvimento do *hardware* e propostas para projetos futuros.

2 O *HARDWARE* DO PROJETO PAI

Neste capítulo, vamos apresentar parte do hardware que será utilizado no projeto PAI, detalhando cada bloco fundamental da composição do equipamento utilizado. Vamos seguir a seqüência que vai desde a captação do sinal sonoro até a conversão A/D para estimação da direção de chegada – *DOA* – no microcontrolador ARM. O diagrama esquemático do hardware PAI simplificado é dado por

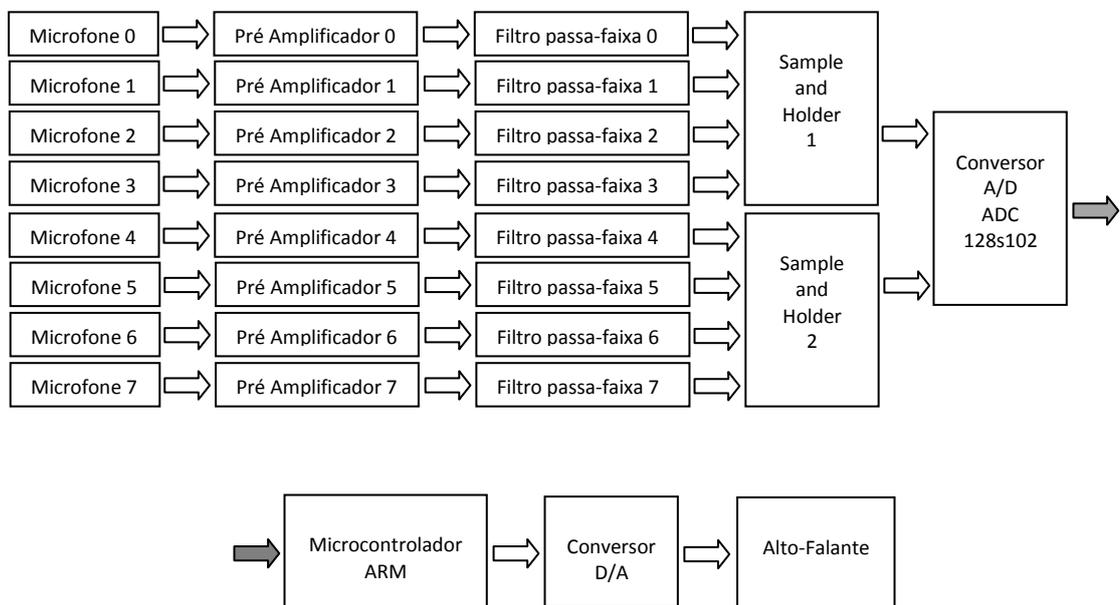


Figura 2.1: Diagrama esquemático simplificado do projeto PAI

Neste diagrama estão representados, em seqüência simplificada:

- Os microfones de cada canal;
- Os pré amplificadores de cada canal;
- Os filtros passa-faixa de cada canal;
- Os dois CI's *Sample and Holder*;
- O conversor A/D;

- O microcontrolador ARM;
- O conversor D/A;
- O alto-falante.

Primeiramente, o sinal deve ser captado por oito microfones, pré-amplificado e filtrado. Em seguida, é digitalizado e enviado a um microcontrolador ARM. Este, por sua vez, executa algoritmos de estimação da direção de chegada e filtragem espacial. Por fim, o sinal é convertido para analógico e emitido por um alto-falante.

Para a caracterização do hardware utilizado no projeto PAI, é necessário que conheçamos os parâmetros essenciais de cada equipamento utilizado bem como o impacto que esses parâmetros poderão, ou irão, oferecer no resultado final do projeto.

O foco do presente projeto é a caracterização da “placa-mãe” da PAI, que contém os filtros passa-faixa de cada canal, os *sample and holder's*, o conversor A/D e todos os circuitos necessários ao correto funcionamento desses.

Cabe lembrar que o protótipo foi desenvolvido para fins acadêmicos, portanto não se preocupou com o seu tamanho. Os conceitos aqui estudados serão utilizados em uma futura miniaturização, viabilizando assim o objeto do projeto PAI.

2.1 MICROFONES CAPTADORES E PRÉ-AMPLIFICADORES

A placa principal do projeto está preparada para receber dos microfones um nível de sinal elétrico entre ± 1 V. No mercado foram encontrados microfones com pré-amplificadores embutidos que oferecem uma saída com excursão de até ± 250 mV para níveis normais de conversação (*SNR* de ± 2 dB). [2]

Considerando que a solução apresentada é mais do que satisfatória, optou-se por utilizar-la, permitindo maior ênfase nos demais módulos da PAI.

2.2 FILTROS ANALÓGICOS

Sabemos que o sinal de voz é um sinal que conta com uma banda de frequência muito extensa, aproximadamente desde 100 Hz até 10 kHz para alguns timbres de voz. Contudo, para uma compreensão clara e consistente do sinal de voz humano, podemos captar este sinal analógico em uma faixa entre 100 Hz e 5 kHz, uma vez que esta faixa concentra mais de 90% da potência total do sinal de voz. A fim de alcançar este feito, foram implementados na placa principal do projeto PAI filtros analógicos tipo passa-faixa com frequências de corte para o passa-altas em 100 Hz e para o passa-baixas em 5 kHz.

Para uma satisfatória estimação da *DOA*, alguns requisitos devem ser atendidos pelo tratamento analógico e digital dos sinais. Os sinais analógicos devem ser restringidos a uma faixa de frequências que seja interessante ao objetivo do projeto, no caso, a faixa de frequências da voz humana. Quanto menor essa faixa de frequências, maior a eficácia da PAI em termos de seletividade. Para o tratamento digital dos sinais, a fase desses deve se manter o mais próximo possível da original, mesmo após as etapas de tratamento de sinais. É justamente nesta informação do sinal, fase, que os métodos de estimação da *DOA* se basearam para produzir o resultado esperado. Com tais requisitos definidos, passa-se à elaboração dos filtros de forma que estes atendam as especificações da forma mais satisfatória possível.

Considerando a resposta em fase como a característica de maior relevância para o projeto da PAI, optou-se pelo filtro de Bessel, que possui o menor atraso em grupo, ou seja, a resposta em fase mais plana para filtros analógicos. Além disso, dos tipos de filtro que

apresentam menor atraso de fase, o filtro tipo Bessel apresenta a menor taxa de mudança de fase ao longo de sua resposta em frequência.

Tentando obter uma resposta em frequência satisfatória, sem o prejuízo a resposta em fase, optou-se pela utilização de filtros de Bessel de ordem elevada. Visando simplificar a elaboração dos filtros de ordem elevada, utilizaram-se quatro filtros de ordem menor em cascata.

São empregados dois filtros de Bessel de sexta ordem: um passa-baixas (FPB) e outro passa-altas (FPA) que cascadeados formam o filtro passa-faixa (FPF) de décima segunda ordem. Os filtros de sexta ordem são formados por uma cascata de dois filtros de terceira ordem.

A finalidade dos filtros passa-altas é a redução dos níveis DC captados pelo sistema e proporcionar imunidade ao significativo ruído de 60 Hz proporcionado pela rede elétrica. Já os filtros passa-baixas com frequência de corte em 5 kHz servem como filtros *anti-aliasing* e também como filtros de ruídos de altas frequências indesejáveis, uma vez que os microfones captadores têm resposta em frequência extensa – 20 Hz a 22 kHz. De acordo com o projeto do hardware da placa principal do PAI, todos os quatro estágios dos filtros analógicos podem ser desabilitados por *jumpers* disponíveis na placa. Isto facilita o diagnóstico de problemas e também facilita medições no sentido de obter a contribuição de cada um dos estágios no resultado final da filtragem da placa.

Os filtros foram implementados seguindo a forma do diagrama abaixo. Dois estágios do FPB com frequência de corte em 5 kHz e dois estágios do FPA com frequência de corte em 100 Hz.

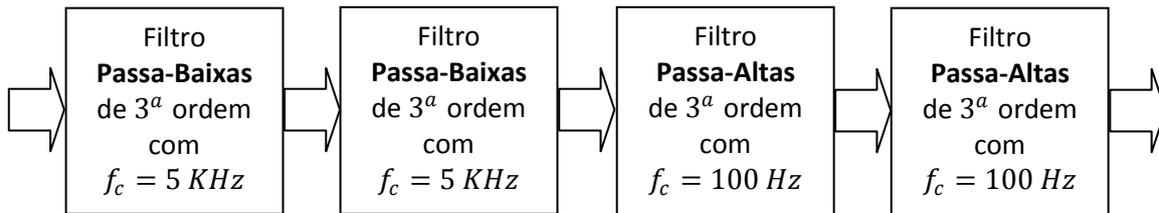


Figura 2.2: Diagrama de blocos da etapa de filtragem analógica

O projeto do FPB foi baseado em [5], pág 10-8. Foi projetado o FPB de 3ª ordem e com a cascata de dois filtros desse tipo obteve-se o FPB de 6ª ordem.

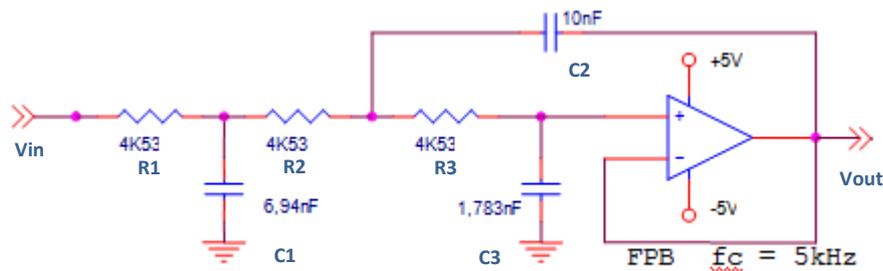


Figura 2.3: Esquema do filtro passa-baixas de 3ª ordem, $f_c = 5$ KHz

O projeto do FPB vai usar $C2 = 10$ nF e $f_c = 5$ kHz, os demais componentes tem seus valores calculados abaixo e são apresentados na figura 2.3.

- 1) Capacitores da Tabela 10.3 de [5]:

$$C1'' = 0,9880 \quad C2'' = 1,423 \quad C3'' = 0,2538$$

- 2) Cálculo de $C1'$, $C2'$ e $C3'$:

$$C1' = \frac{C1''}{2\pi f_c} = \frac{0,9880}{2\pi 5k} = 31,45\mu$$

$$C2' = \frac{C2''}{2\pi f_c} = \frac{1,423}{2\pi 5k} = 45,30\mu$$

$$C3' = \frac{C3''}{2\pi f_c} = \frac{0,2538}{2\pi 5k} = 8,079\mu$$

3) Fazendo $C2=0,01\mu F$, calcula-se R, C1 e C3:

$$R = \frac{C2'}{C2} = \frac{45,30\mu}{0,01\mu F} = 4,53K\Omega$$

$$C1 = \frac{C1'}{R} = \frac{31,45\mu}{4,53k\Omega} = 6,94nF$$

$$C3 = \frac{C3'}{R} = \frac{8,079\mu}{4,53k\Omega} = 1,783nF$$

A expressão do ganho A_v do FPB é dado por $A_v = \frac{V_o}{V_i} = \frac{1}{A.S^3 + B.S^2 + C.S + 1}$, onde

$$A = C1.C2.C3.R1.R2.R3$$

$$B = R3.C2.C3 (R1 + R2) + C1.C3.R1(R2 + R3)$$

$$C = C1.R1 + C3 (R1 + R2 + R3)$$

O projeto do FPA foi baseado em [5], pag. 11-7. Foi projetado o FPA de 3^a ordem e com a cascata de dois filtros desse tipo obteve-se o FPA de 6^a ordem.

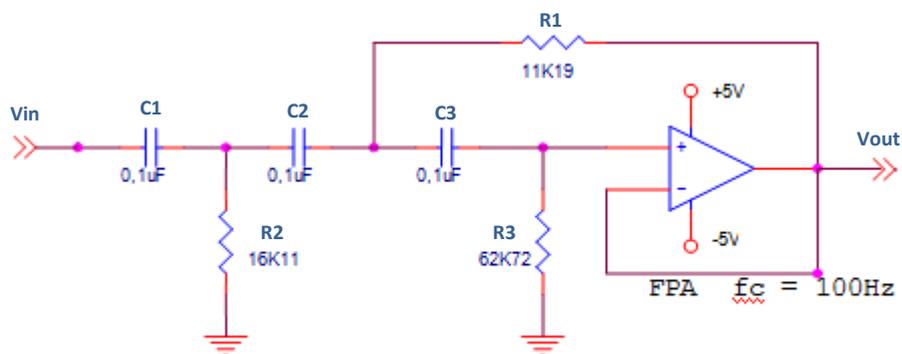


Figura 2.4: Esquema do filtro passa-altas de 3^a ordem, $f_c = 100$ Hz

O projeto do FPA vai usar $C_n = 0,1 \mu\text{F}$ e $f_c = 100 \text{ Hz}$, os demais componentes tem seus valores calculados abaixo e são apresentados na figura 2.4.

4) Resistores da Tabela 11.2 de [5]:

$$R1' = 0,7027 \quad R2' = 1,012 \quad R3' = 3,940$$

5) Cálculo de C:

$$C = \frac{1}{2\pi f_c} = \frac{1}{2\pi 100} = 1,592m$$

6) Cálculo de K para levar a um capacitor prático, escolhe-se $C_n = 0,1 \mu\text{F}$:

$$C_n = C1 = C2 = C3 = \frac{C}{K} \Rightarrow K = \frac{1,592m}{0,1\mu} = 15,92k$$

7) Cálculo de R1, R2 e R3:

$$R1 = K.R1' = 15,92k.0,7027 = 11,19K\Omega$$

$$R2 = K.R2' = 15,92k.1,012 = 16,11K\Omega$$

$$R3 = K.R3' = 15,92k.3,940 = 62,72K\Omega$$

A expressão do ganho A_v do FPB é dado por $A_v = \frac{V_o}{V_i} = \frac{S^3}{S^3 + D.S^2 + E.S + F}$, onde

$$D = \frac{1}{R3} \left(\frac{1}{C1} + \frac{1}{C2} + \frac{1}{C3} \right) + \frac{1}{R2.C1}$$

$$E = \frac{1}{R3} \left(\frac{1}{R1.C2.C3} + \frac{1}{R1.C1.C3} + \frac{1}{R2.C1.C3} + \frac{1}{R2.C1.C2} \right)$$

$$F = \frac{1}{R1.R2.R3.C1.C2.C3}$$

As respostas teóricas dos filtros passa-baixas, dos filtros passa-altas e do passa-faixa, com os componentes calculados, são apresentadas a seguir:

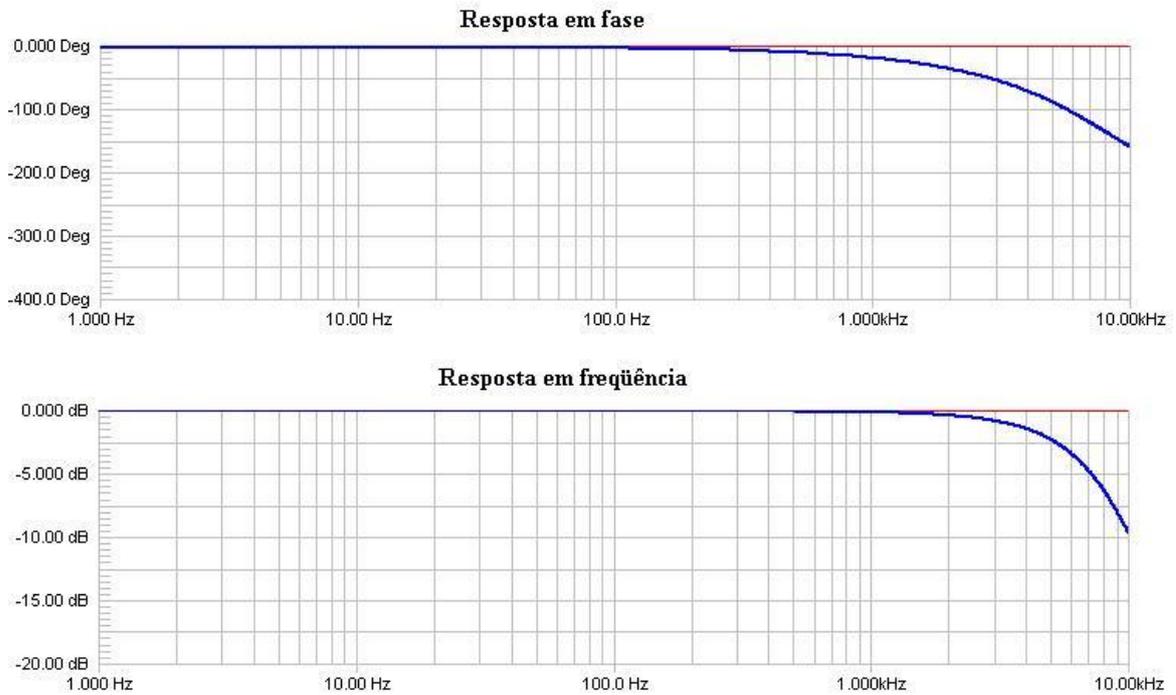


Figura 2.5: FPB de 3ª ordem com componentes calculados

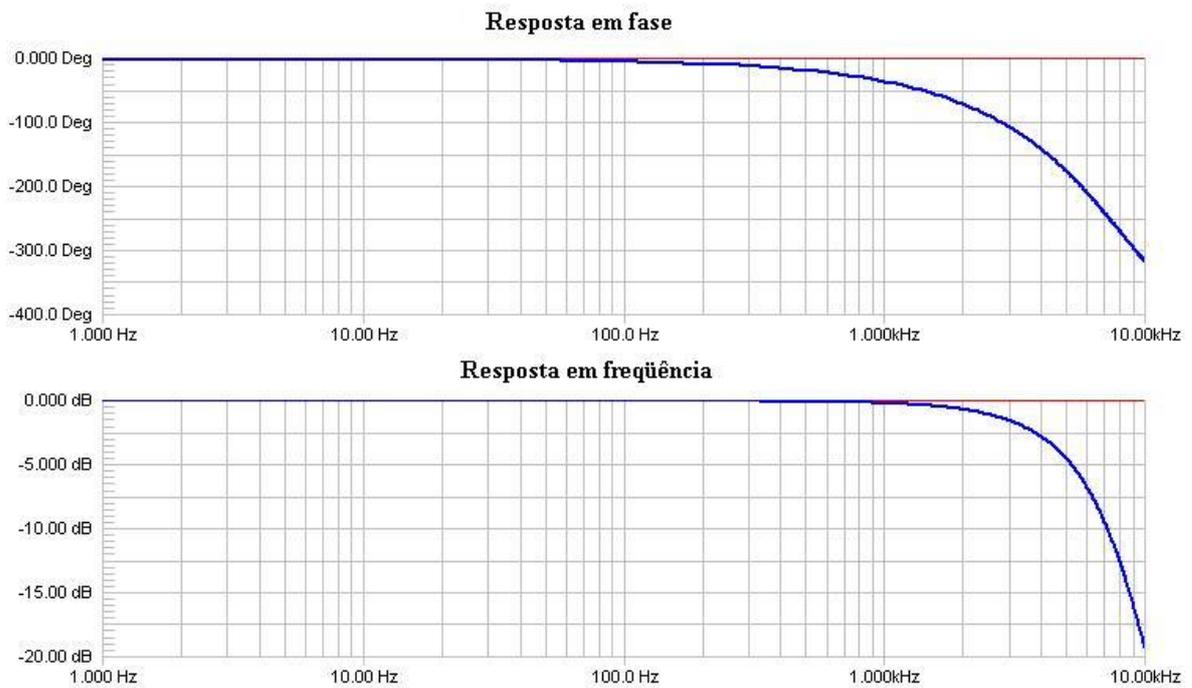


Figura 2.6: FPB de 6ª ordem com componentes calculados

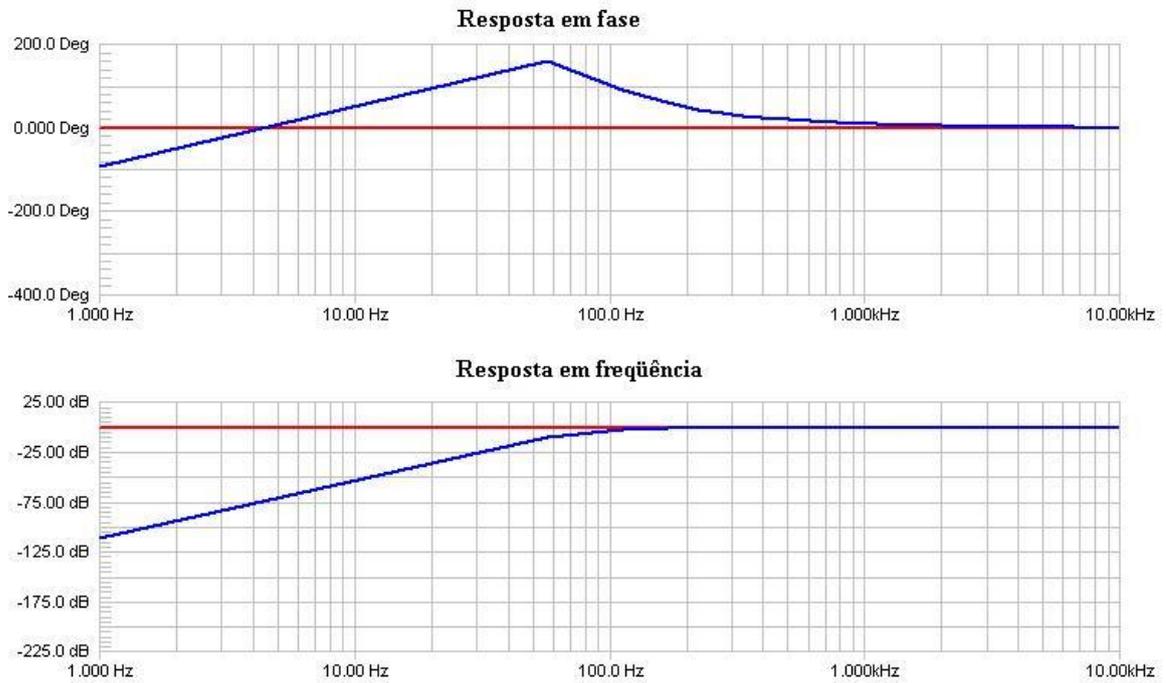


Figura 2.7: FPA de 3ª ordem com componentes calculados

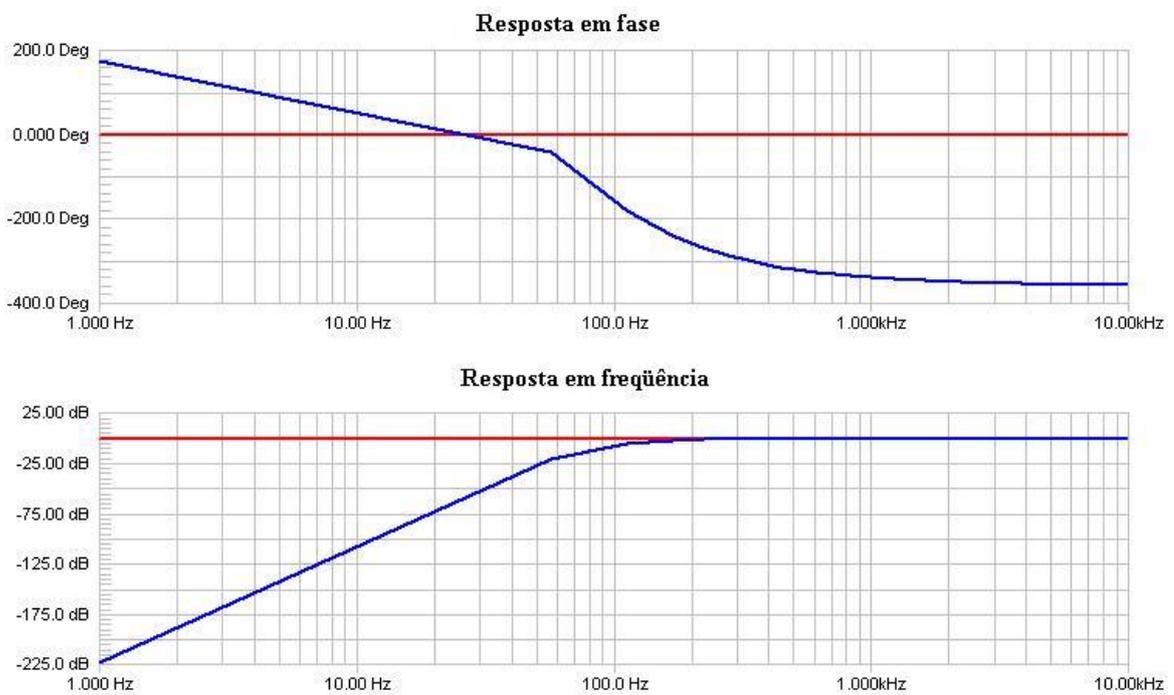


Figura 2.8: FPA de 6ª ordem com componentes calculados

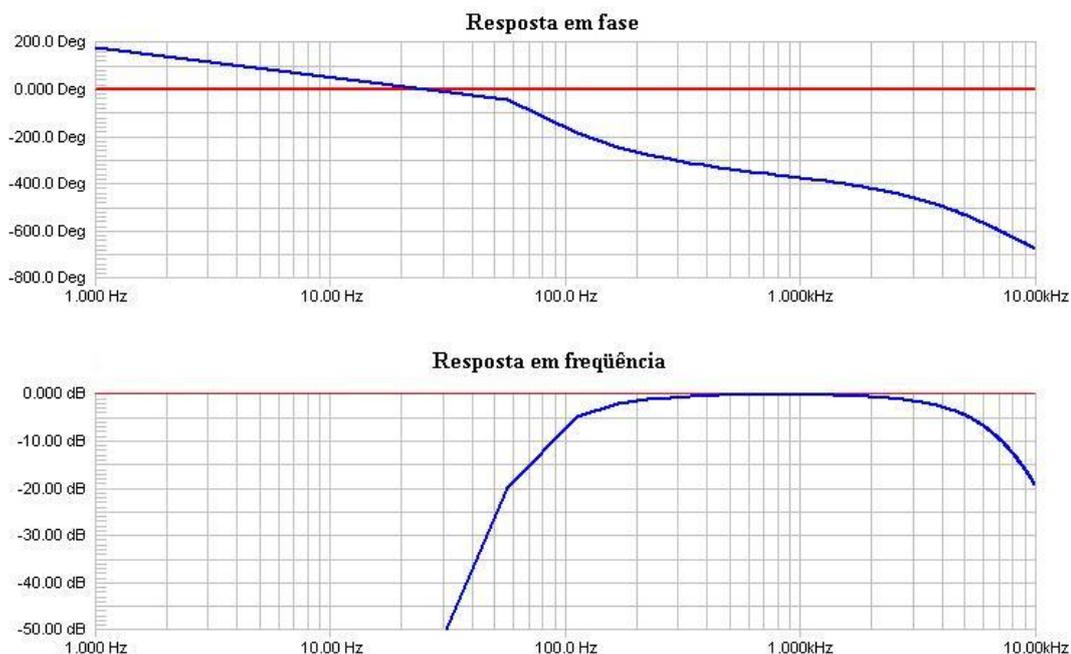


Figura 2.9: FPF de 6ª ordem com componentes calculados

Foi utilizado o *software Circuit Maker* para a obtenção das figuras apresentadas, onde os respectivos circuitos foram simulados com um sinal senoidal de 2 Vpp como entrada.

Como nem sempre é possível encontrar componentes com os valores calculados. Eles foram aproximados para valores comerciais.

Tabela 2.1: Relação entre componentes teóricos e comerciais

Nome	FPB		FPA	
	Calculado	Comercial	Calculado	Comercial
R1	4,53 kΩ	4,7 kΩ	11,19 kΩ	12,0 kΩ
R2	4,53 kΩ	4,7 kΩ	16,11 kΩ	15,0 kΩ
R3	4,53 kΩ	4,7 kΩ	62,72 kΩ	68,0 kΩ
C1	6,94 nF	6,8 nF	0,1 μF	0,1 μF
C2	10,0 nF	10,0 nF	0,1 μF	0,1 μF
C3	1,783 nF	1,5 nF	0,1 μF	0,1 μF

Com base nos valores comerciais dos componentes utilizados, as novas frequências de corte são obtidas das simulações realizadas no *software Circuit Maker*.

As respostas teóricas dos filtros passa-baixas, dos filtros passa-altas e do passa-faixa, com os componentes comerciais, são apresentadas a seguir:

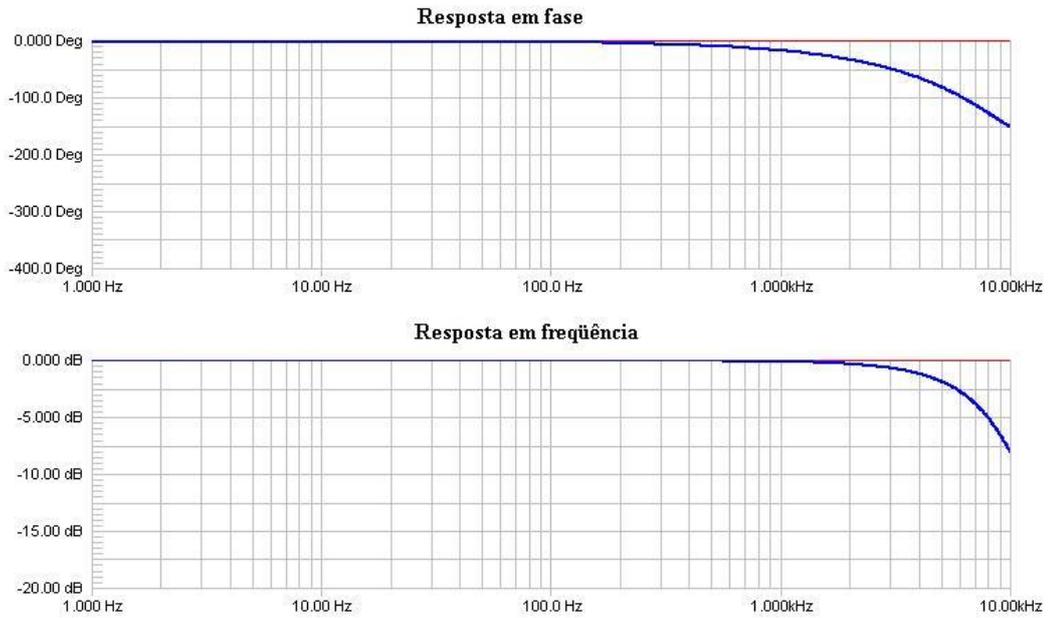


Figura 2.10: FPB de 3ª ordem com componentes comerciais

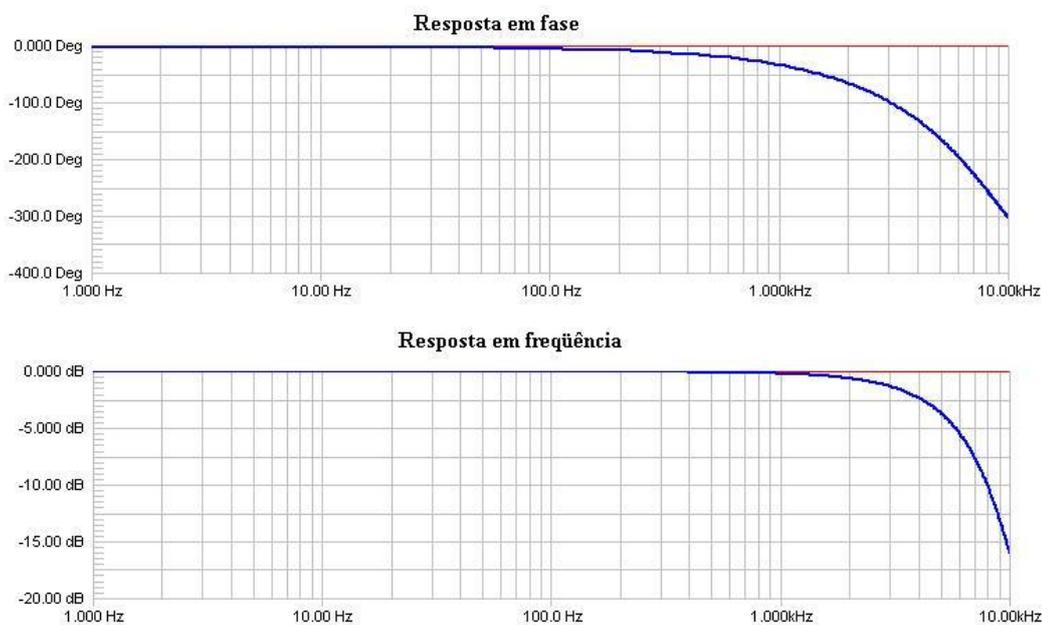


Figura 2.11: FPB de 6ª ordem com componentes comerciais

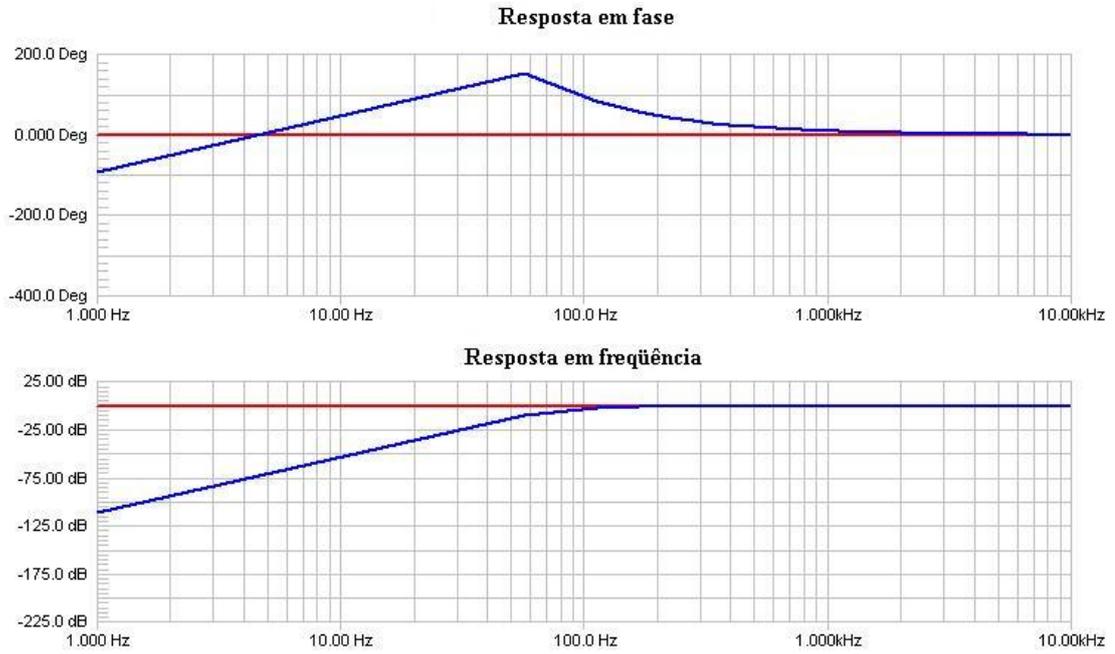


Figura 2.12: FPA de 3ª ordem com componentes comerciais



Figura 2.13: FPA de 6ª ordem com componentes comerciais

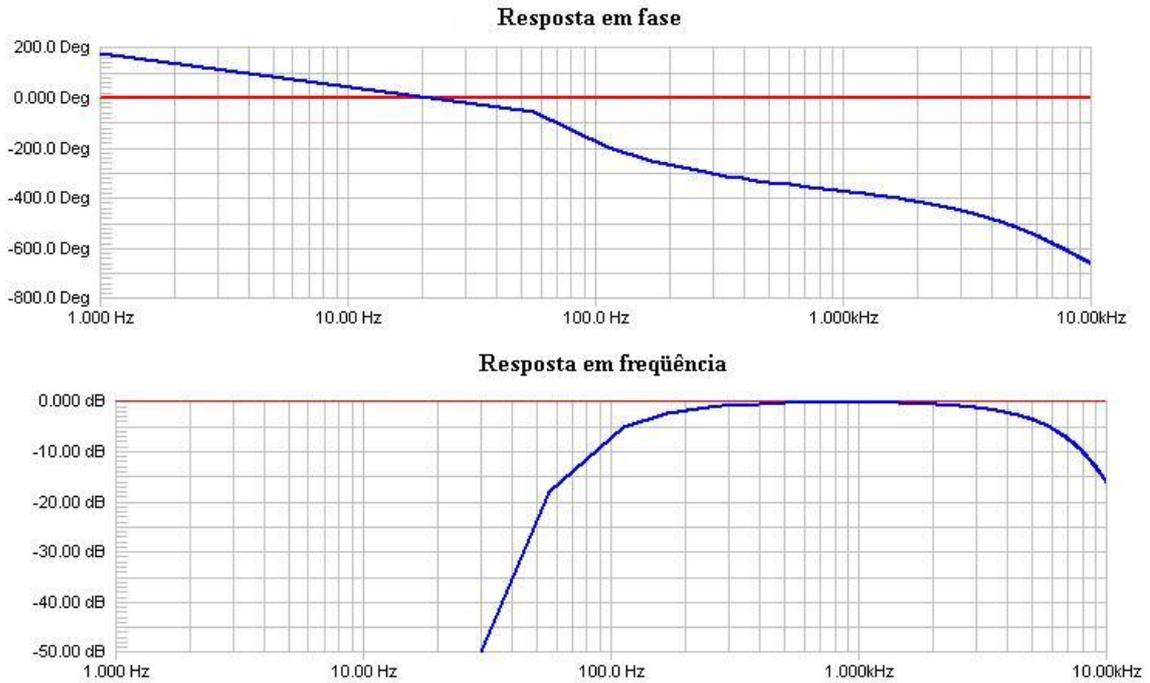


Figura 2.14: FPF de 6ª ordem com componentes comerciais

Tabela 2.2: Frequências de corte para as simulações no *Circuit Maker*

Filtros	Frequências de corte	
	Componentes calculados	Componentes comerciais
FPB de 3ª ordem	5,66 kHz	6,35 kHz
FPB de 6ª ordem	4,13 kHz	4,56 kHz
FPA de 3ª ordem	106 Hz	107 Hz
FPA de 6ª ordem	144 Hz	154 Hz
FPF de 6ª ordem	144 Hz e 4,13 kHz	154 Hz e 4,56 kHz

As frequências de corte foram obtidas através dos gráficos verificando o ponto onde havia queda de 3dB.

A peça chave para a implementação com sucesso desses filtros é o amplificador operacional TL084. [9] Por isso vamos enumerar características básicas que nos levaram a escolher este componente:

- Larga faixa de trabalho para voltagem;
- BIAS de entrada e corrente de *offset* baixos;
- Alta impedância de entrada;
- Compensação interna de frequência;
- *Slew-rate* elevado;
- Baixo ruído;
- Baixo custo;
- 4 amp-ops no mesmo *package* – implementa todos os 4 filtros em um *chip*.

2.3 SAMPLE AND HOLDER E OFFSET

O *sample and holder* é um dispositivo usado para se armazenar valores analógicos por certo período, para que o dispositivo seguinte não perca estes valores enquanto faz algum processamento.

A figura seguinte mostra a sua aplicação. As linhas verticais indicam os momentos de amostra, a onda cinza é o sinal analógico a ser amostrado. Em cada momento de amostra, o *sample and holder* mantém o valor analógico até a amostra seguinte.

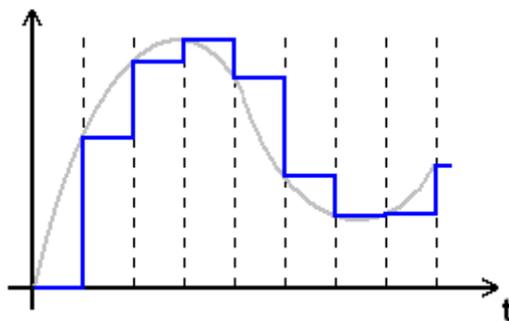


Figura 2.15: Tempos de amostra em *sample and holder*

Neste projeto, o *sample and holder* tem a função de garantir que o ADC converta os oito sinais com amostras coletadas ao mesmo tempo.

Caso o ADC fosse conectado diretamente ao estágio anterior, ele precisaria de tempo para efetuar a conversão de um determinado canal e esse tempo poderia incluir um atraso significativo na amostra do canal seguinte, ocasionando um erro na estimação da DOA.

O esquemático dessa etapa é mostrado na figura seguinte. São necessários dois desses circuitos, pois cada circuito integrado possui quatro *sample and holder*.

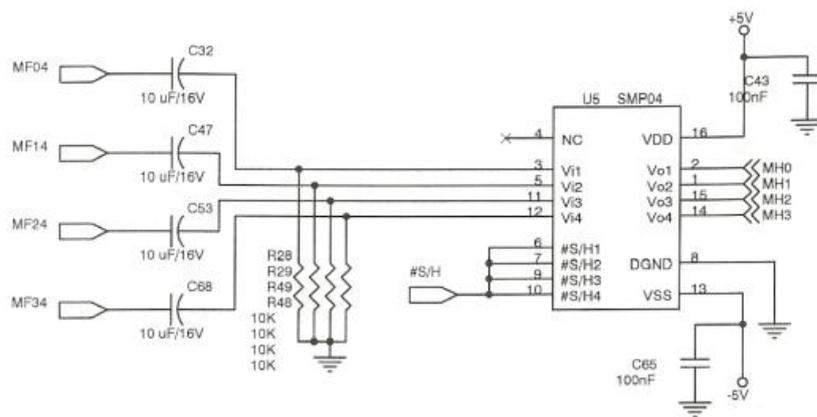


Figura 2.16: Esquemático do *sample and holder*

Após a filtragem, existem conjuntos tipo capacitor-resistor, capacitores de valor $10 \mu F/16 V$ e resistores de valor $10 K\Omega$ que foram introduzidos devido a restrições impostas pelo fabricante do *Sample and Holder* para correto condicionamento do sinal na entrada deste dispositivo. Os capacitores de $100 nF$ conectados em VDD e VSS são recomendações do fabricante do SMP04, com o intuito de reduzir ruídos de alta frequência [7].

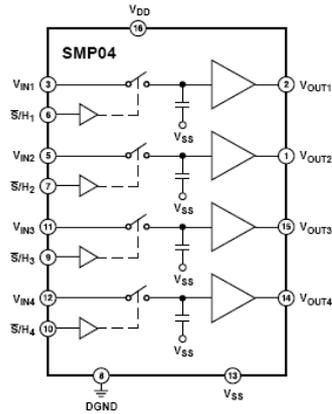


Figura 2.17: Esquemático do SMP04 [15]

Após o *sample and holder*, é feita uma elevação no *offset* do sinal, antes de este chegar no ADC. A inserção de uma tensão DC no sinal tem por objetivo colocar um *offset* de 1,4 V ou 2,4 V para compatibilizar com os valores exigidos pelo ADC128S102 ou pelo ARM.

Para conseguir 1,4 V, foram usados dois diodos em série, já que cada um garante aproximadamente 0,7 V entre seus terminais. A tensão de 2,4 V foi conseguida a partir de um diodo *Zener*.

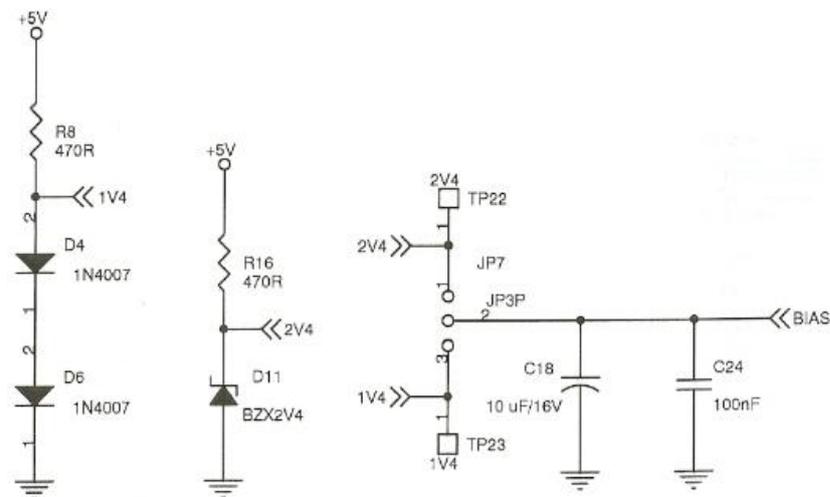


Figura 2.18: Arranjo de diodos para as tensões de 1,4 V e 2,4 V

Na imagem anterior estão as configurações dos diodos. O terceiro circuito mostra os conectores para se seleccionar 1,4 V ou 2,4 V, onde a saída é chamada BIAS. Essa saída é conectada às saídas do *sample and holder* conforme mostrado na figura seguinte:

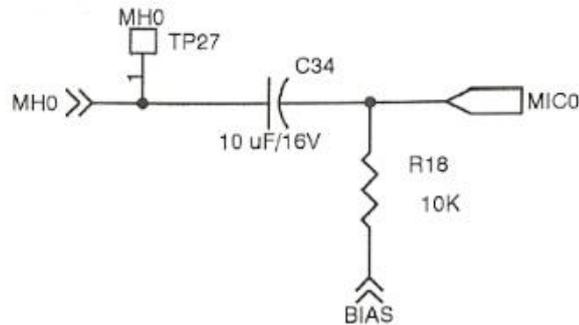


Figura 2.19: Introdução do *offset* em um dos oito canais

2.4 CONVERSOR ANALÓGICO/DIGITAL

O conversor tem o papel de converter sinais analógicos em digitais, para ser usado em circuitos digitais posteriores. Neste projeto, o objetivo é enviar os sinais de voz digitalizados para o ARM.

O projeto possibilita o uso de dois conversores. O primeiro é o do ARM, que possui 8 canais, tem resolução de 10 bits, taxa máxima de 533 kSps e trabalha com 8 MHz [8]. O segundo é o ADC128S102, que possui também oito canais, mas 12 bits, taxa de conversão entre 500 kSps e 1 MSps e trabalha com frequências de 8 MHz e 16 MHz [6]. Este último possui um multiplexador e utiliza um barramento SPI, portanto sua saída é serial.

O *sample and holder* garante as amostras sejam feitas no mesmo instante e mantidas durante todo o período de amostragem. Neste caso, os conversores A/D em questão, que possuem apenas um conversor interno, têm um tempo equivalente a esse período para obter e

converter as amostras dos oito canais, sem prejuízo na diferença de fase entre eles, que é essencial para estimar a direção de chegada.

Os canais são amostrados simultaneamente a 10kHz cada, resultando em 100µs entre cada amostragem. O ARM leva aproximadamente 2µs para a conversão em cada canal, enquanto o ADC128S102 leva 1µs [1]. O *sample and holder* leva no máximo 11µs por amostra [7]. Portanto, os tempos excedentes são, para o ADC128S102 e para o ARM, respectivamente:

$$t_1 = 100 - 11 - 1 \times 8 = 81 \mu s$$

$$t_2 = 100 - 11 - 2 \times 8 = 73 \mu s$$

Esses são os tempos que o ARM terá para enviar o sinal via USB.

Apesar da possibilidade do uso do ARM, demos ênfase ao ADC182S102. O módulo responsável pela conversão está representado na figura seguinte.

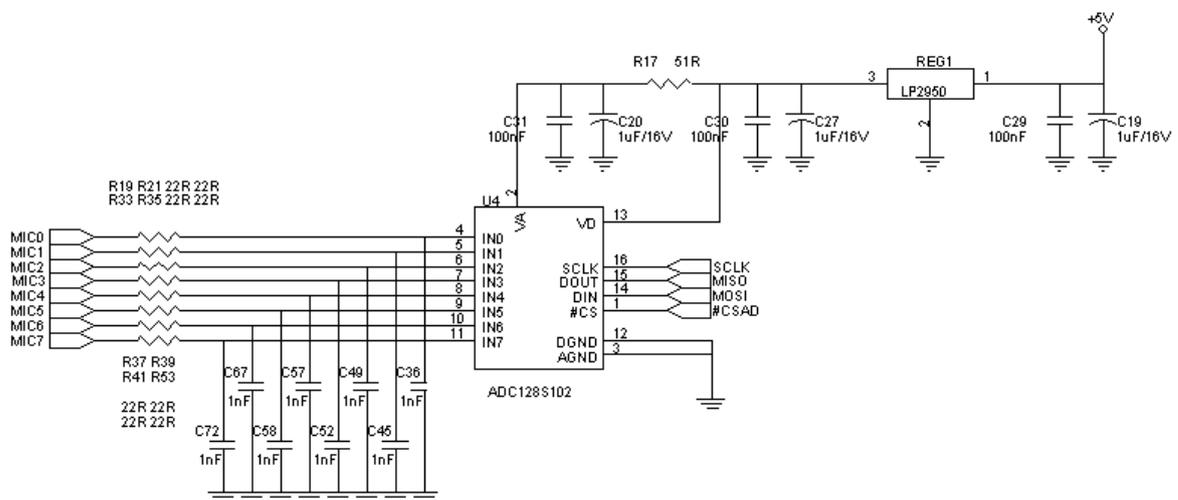


Figura 2.20: Esquemático do ADC

Para compatibilizar o sinal do ADC com o ARM, o conversor foi alimentado com uma tensão de 3,3V, gerada pelo LP2950. O ADC trabalha com alimentação unipolar, portanto um único regulador de tensão é suficiente [6].

Como mencionado anteriormente, o ADC128S102 utiliza o barramento SPI (*Serial Peripheral Interface*). A princípio, o SPI é usado para comunicações síncronas entre um *host* e periféricos, mas também é possível entre *hosts*. Basicamente, são usados quatro sinais: SCLK (*clock serial*), SDI (entrada de dados serial), SDO (saída de dados serial) e CS (seletor de *chip* ou periférico). Em alguns conversores A/D, o CS é usado para iniciar a conversão.

O *host* começa a comunicação definindo o SCLK, que deve ser menor ou igual ao suportando pelo periférico, colocando CS em nível baixo, e em seguida enviando um bit pelo SDI, depois o periférico responde com um bit no SDO.

Normalmente, a troca de dados é feita por meio de registradores de deslocamento no *host* e no periférico. Geralmente, se transmite o bit mais significativo, e um novo bit menos significativo é deslocado para o registrador.

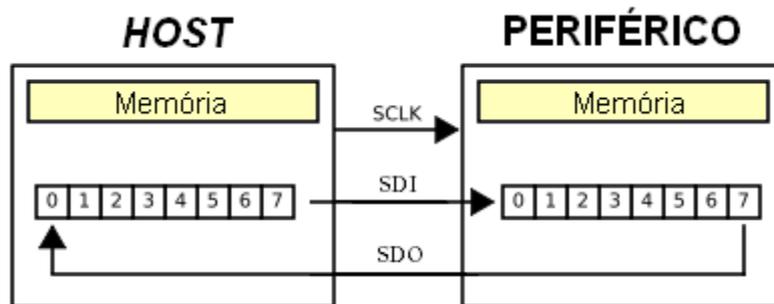


Figura 2.21: Registradores de deslocamento de 8 bits

2.5 PLACA ARM

A placa ARM tem como função o tratamento do sinal digitalizado, a fim de obter a DOA e com isso filtrar espacialmente o sinal captado pelos microfones. Esse tratamento é realizado por meio de algoritmos de estimação de chegada, elaborados em projetos anteriores, que deveriam ser enviados a placa ARM. Após a produção dos resultados, esses deveriam ser convertidos em sinais analógicos e enviados aos auto-falantes. No entanto, não foi possível a

conclusão dessa etapa no período estipulado, motivada pelas dificuldades encontradas na comunicação com a placa ARM.

2.6 CIRCUITOS DE ALIMENTAÇÃO

Para a alimentação dos componentes ativos do *hardware*, fornecemos à placa 12 V AC e usamos reguladores de tensão para se obter as voltagens necessárias. Boa parte deles, como amp. ops. e *sample and holder* necessita de alimentações de ± 5 V. O conversor A/D é alimentado com 3,3 V.

O LM7805 foi o regulador de tensão usado para garantir 5 V. De acordo com as especificações do fabricante, a tensão máxima de entrada é 35 V a precisão é de aproximadamente 4%, com erro máximo de 5% [4].

O circuito para geração de 5 V é mostrado na figura seguinte. Os diodos garantem que sempre chegará uma tensão positiva no regulador. Caso seja colocada uma tensão positiva no terminal superior, D3 conduzirá, e chegará uma tensão positiva em VIN. Se a tensão for invertida, D8 conduzirá (e D3 não), colocando também uma tensão positiva em VIN.

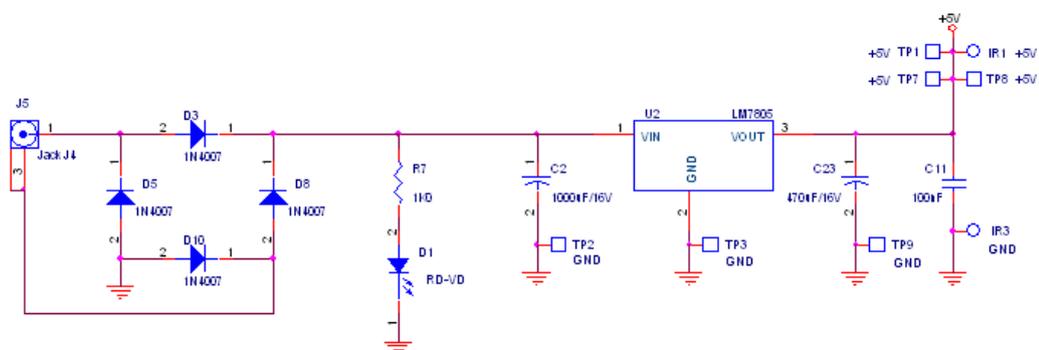


Figura 2.22: alimentação de 5 V

Para a tensão de -5 V, utilizamos o LM7905. Este possui as mesmas especificações que o LM7805, porém a tensão de entrada deve ser negativa [4].

A análise da ponte de diodos é semelhante ao do caso anterior, e é usada para garantir tensão negativa na entrada do regulador de tensão. O circuito é mostrado na figura seguinte:

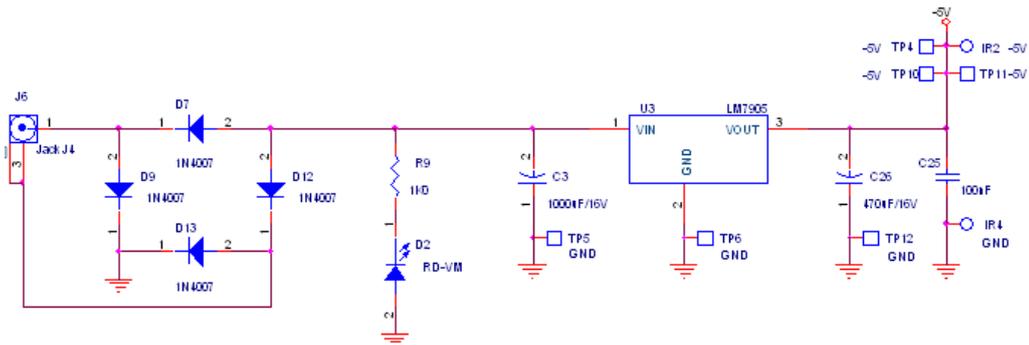


Figura 2.23: alimentação de -5 V

A tensão de 3,3 V foi gerada a partir de um LP2950, que é um regulador de alta precisão e baixa potência. Sua precisão é de aproximadamente 1%, com erro máximo de 2%, e o valor máximo de entrada é 30 V [4].

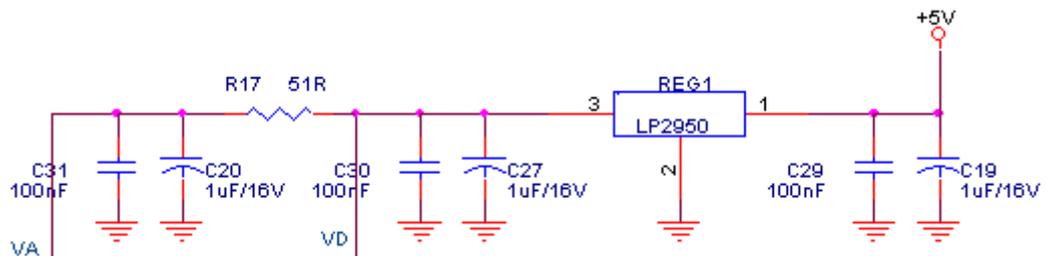


Figura 2.24: alimentação de 3,3 V

3 RESULTADOS EXPERIMENTAIS

3.1 FILTROS ANALÓGICOS

Em laboratório foi obtida a resposta em frequência para o filtro passa-faixa de 6^a ordem medindo-se a amplitude de saída e a fase do sinal para diversas frequências. A curva foi otimizada com o *software Microsoft Excel* para melhor comparação e eliminação de erros de leitura.

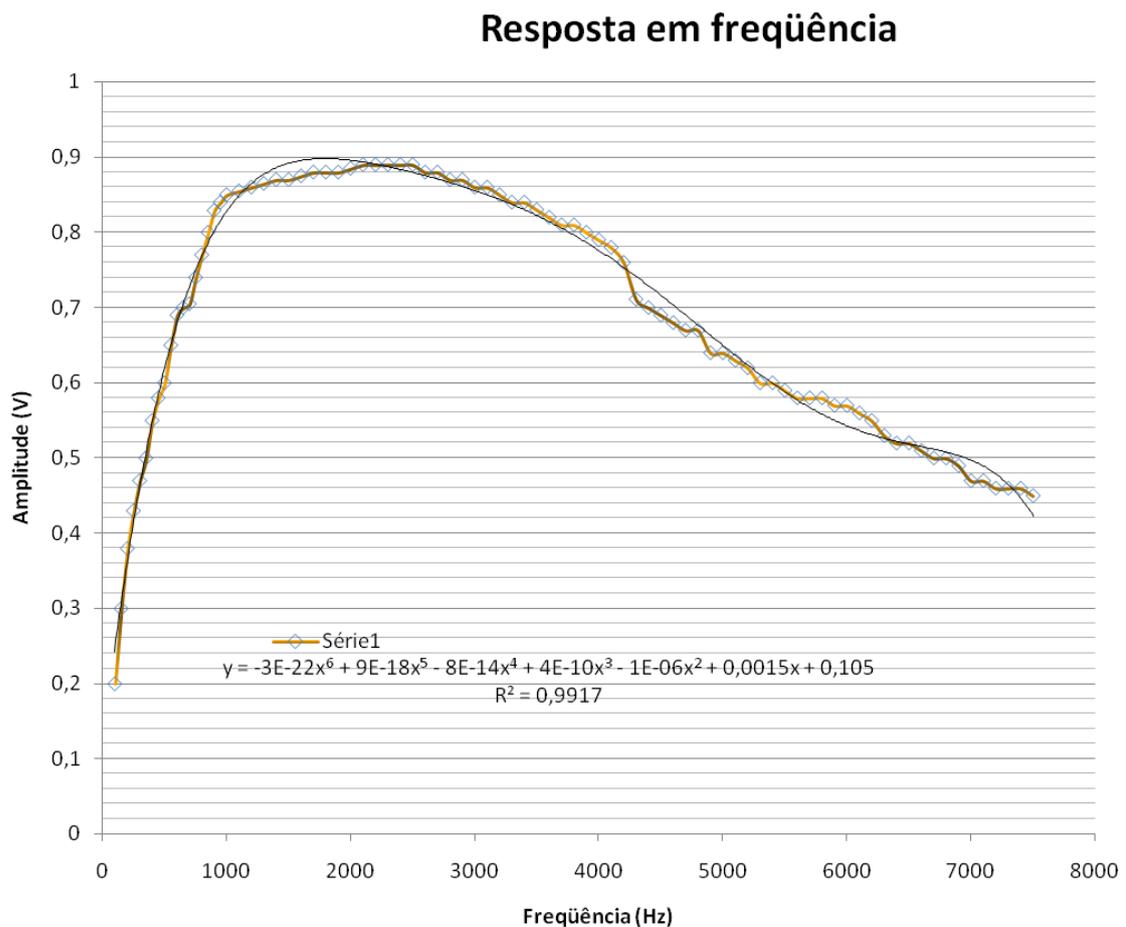


Figura 3.1: FPF de 6^a ordem real

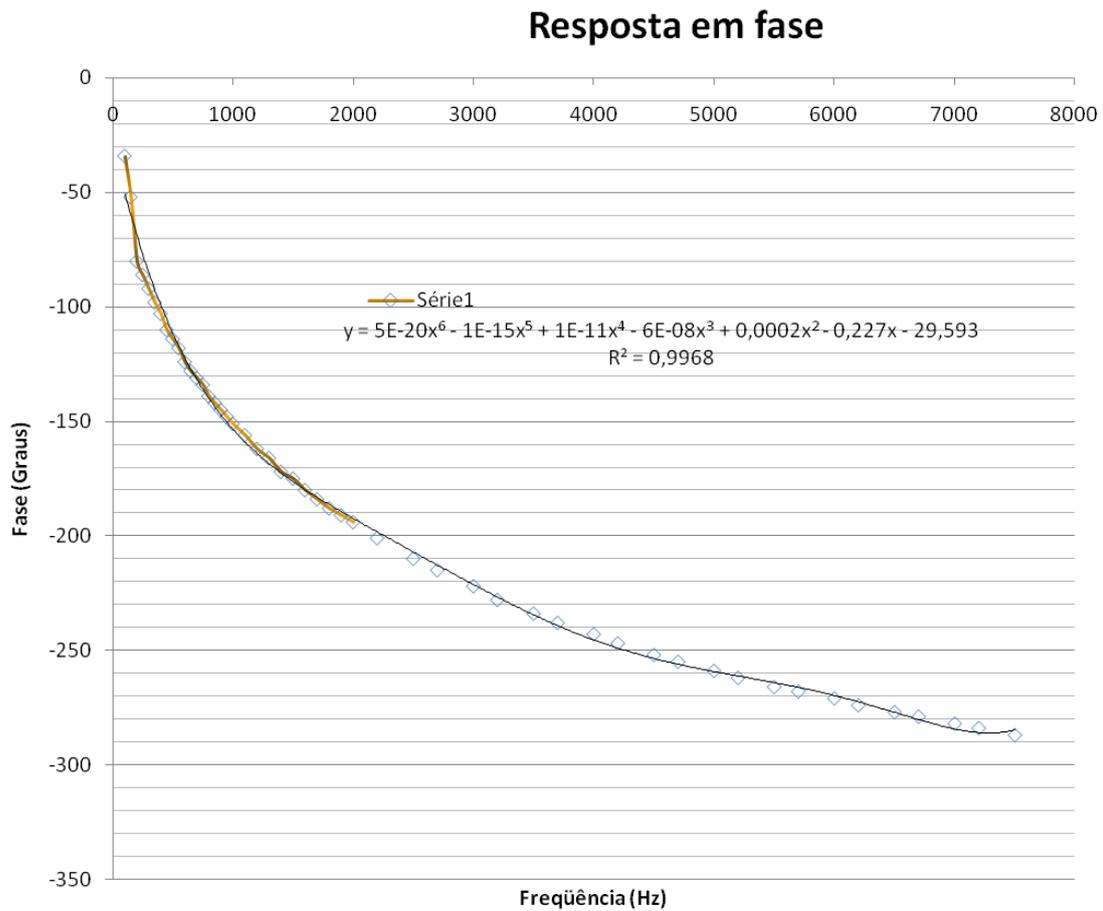


Figura 3.2: FPF de 6ª ordem real

Notamos que a resposta em freqüência para a placa principal PAI se aproxima em muito daquela que esperávamos nas simulações teóricas. De fato, a resposta em amplitude não é tão significativa para os propósitos do projeto e esta resposta real obtida em laboratório se apresenta mais do que satisfatória para que a banda do sinal de voz seja cortada nas freqüências apropriadas. Para o filtro Bessel de 6ª ordem encontramos a freqüência de corte de 3 dB para o conjunto filtro passa-altas em 710 Hz e para o conjunto filtro passa-baixos em 4,35 kHz. Note que, naturalmente, há diferenças entre as freqüências de corte projetadas para os filtros e as freqüências obtidas. Estas diferenças devem-se principalmente à precisão dos componentes utilizados – em regra 10 % – e também as diferenças de valores anteriormente citadas. Contudo, não há comprometimento do resultado desejado por estas diferenças uma

vez que a banda encontrada entre 710 Hz e 4,35 kHz para a voz ainda concentra a maior parte – ou quase toda – da potência encontrada na faixa de frequências de voz, ficando as frequências superiores responsáveis tão somente pelo contorno e características próprias de cada locutor, mas não pela inteligibilidade em si da voz proferida.

Em se tratando de fase, as respostas reais e teóricas se apresentaram quase idênticas e eventuais diferenças podem ser justificadas pelos mesmos motivos explicitados anteriormente.

3.2 SAMPLE AND HOLDER E OFFSET

Já era esperada uma queda de tensão na saída do *sample and holder*. Para quantificar essa perda, colocamos na sua entrada uma fonte de tensão e manualmente fizemos abrir e fechar a passagem do sinal de entrada para a saída, colocando o pino S/H mostrado na figura 2.16 em 0 V e em 5 V. Por fim, verificamos a saída para diversos valores inseridos, enquanto o *sample and holder* guardava os valores.

Os valores medidos foram:

Tabela 3.1: Medições no *sample and holder*

Tensão de entrada	Tensão de saída	Erro %
300mV	295mV	1,7
520mV	489mV	5,9
680mV	637mV	6,3
1,0V	0,896V	1,0
1,5V	1,430V	4,7
2,0V	1,936V	3,2
2,5V	2,421V	4,1

3,0V	2,905V	3,2
4,0V	3,455V	13,6

Devido ao fato do *sample and holder* armazenar a tensão usando um capacitor, é esperado que haja perdas em função do tempo. Segundo as especificações do fabricante, a perda típica é de 2,5 mV por segundo, com máximo de 25 mV/s [7]. Portanto, o resultado das medições pode indicar perdas superiores às reais.

Vale lembrar ainda que a fonte de tensão disponível não possuía uma alta precisão, os valores de entrada são aproximados.

No arranjo para se conseguir a tensão de 1,4 V com dois diodos, medimos a diferença de potencial em cada um deles. Os valores obtidos foram 0,669 V e 0,675 V, que em série resultam em 1,344 V. Para a tensão de 2,4 V, usamos um diodo Zener de 2,4 V, onde foi medido 2,449 V.

3.3 CONVERSOR ANALÓGICO/DIGITAL

Ao contrário dos módulos anteriores, o ADC não permite medições de forma isolada. Não é possível acompanhar a saída por meio de osciloscópio, ponta lógica ou outros aparelhos disponíveis, porque ela é feita de forma serial a taxas elevadas.

Para testar o funcionamento do ADC, uma solução seria mandar as saídas para o ARM e transmitir para um computador via USB. Mas não dispomos de uma placa com o código funcional para os oito canais. No trabalho [3], foi desenvolvido um *firmware* para este fim, porém só foi possível a transmissão de até quatro canais.

3.4 CIRCUITOS DE ALIMENTAÇÃO

Com duas fontes de 12 V AC conectadas a placa, mediu-se a tensão entre o terra e as saídas dos reguladores de tensão. O valor encontrado na saída do LM7805 foi de 5,13 V, para o 7905 foi de -5.16 V e para o 2950, de 3.28 V. Dessa forma, os circuitos de alimentação apresentaram valores dentro dos esperados.

4 CONCLUSÕES E CONSIDERAÇÕES FINAIS

Conforme mostrado nas simulações e nos valores obtidos experimentalmente, os filtros produzem mudanças de fase nos sinais em função da frequência. Após a aquisição dos sinais digitalizados via USB, as distorções relativas à fase causadas pelos filtros devem ser amenizadas por meio de software.

Apesar das interferências citadas anteriormente, a resposta do *sample and holder* se mostrou satisfatória para sinais de entrada com excursão máxima igual a 3 V. Devido à polarização usada e condições do circuito, para valores acima de 3 V, mais significativo fica o erro.

Para verificar se haveria diferença entre o sinal de entrada e de saída com a chave fechada (ou seja, o *sample and holder* não retém o sinal, mas deixa passar para a saída o sinal que está na entrada), inserimos uma onda senoidal e verificamos a resposta através do osciloscópio. Assim, poderíamos verificar a resposta sem a influência da descarga do capacitor. Mas neste caso, os dois sinais eram semelhantes dentro do que se pode medir com a precisão dos osciloscópios disponíveis no laboratório

Os valores do *offset* se mostraram suficientes para colocar o sinal nos valores exigidos pelo ADC.

Não foi possível caracterizar o ADC, mas de acordo com os valores obtidos nos resultados experimentais do *sample and holder* e do *offset*, e devido ao regulador de tensão de 3,3V, as condições necessárias para o bom funcionamento do conversor foram atendidas.

Os possíveis erros especificamente no módulo do ADC deveriam ser constatados através do uso do ARM para a comunicação USB e posterior verificação no computador.

Durante a produção desse trabalho, muito se pesquisou sobre o funcionamento do ARM e sobre o desenvolvimento de um *firmware* para a comunicação entre o *hardware*

desenvolvido e o PC. Não conseguimos, porém, chegar a um resultado satisfatório. Em [3] está o desenvolvimento de um *firmware* para este fim, mas que só é capaz de transmitir quatro canais ao PC, supostamente por limitações do microcontrolador.

É importante ressaltar que o ARM é mencionado várias vezes por se tratar da proposta inicial deste projeto, mas é possível utilizar outros meios para a comunicação desejada. Em [2], foi usada uma interface PCI. Outra opção pode ser o uso de FPGAs (*Field Programmable Gate Array*) – que se tratam de dispositivos reprogramáveis compostos por portas lógicas não-e, a partir das quais é possível formar quaisquer funções lógicas – sugerida em [1]. É possível que com o uso de uma FPGA, a limitação no ARM citada por [3] seja resolvida.

Para futuros projetos relacionados ao PAI, sugere-se o estudo da comunicação entre o *hardware* e o PC usando o ARM a partir dos resultados obtidos em [3], a fim de corrigir as limitações já mencionadas, ou o desenvolvimento de outra ferramenta para tal comunicação. Resolvido este problema, deve-se desenvolver um código no MATLAB para efetuar a estimação da direção de chegada, e posteriormente a transcrição deste para C, a fim de programá-lo no ARM.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] COSTA, A. R. A. da; GARCIA, F. A. da C. *Desenvolvimento do Hardware para Obtenção de DOA por meio de Arranjo de Sensores: Aplicação em Prótese Auditiva*. 88 p. Monografia (Projeto Final de Graduação em Engenharia Elétrica) — Faculdade de Tecnologia, Universidade de Brasília, Brasília, Dezembro 2006.
- [2] GONTIJO, A. T; COSTA, M. V. S. *Desenvolvimento do Hardware e estudo dos métodos utilizados na obtenção de DOA por meio de sensores: Prótese Auditiva inteligente*. 75 p. Monografia (Projeto Final de Graduação em Engenharia Elétrica) — Faculdade de Tecnologia, Universidade de Brasília, Brasília, Dezembro 2007.
- [3] SASAKI, M. G.; CAIXETA, O. V. *Desenvolvimento de uma Interface USB para Aquisição de Dados de um Arranjo de Microfones: Aplicação em Prótese Auditiva*. 98 p. Monografia (Projeto Final de Graduação em Engenharia Elétrica) — Faculdade de Tecnologia, Universidade de Brasília, Brasília, Dezembro 2006.
- [4] 2001. Disponível online <http://www.fairchildsemi.com>.
- [5] D.F. STOUT and M. KAUFMANN, *Handbook of Operational Amplifier Circuit Design*, McGraw Hill, 1976.
- [6] 2005. Disponível online <http://www.national.com>.
- [7] 1998. Disponível online <http://www.analog.com>.
- [8] 2006. Disponível online <http://www.atmel.com>.
- [9] 1999. Disponível online <http://www.stl.com>.

I. LISTA DE MATERIAIS

Tabela A.1: Lista de materiais

Descrição	Designação	Quantidade	Valor
Capacitor Eletrolítico	C2, C3	2	1000uF/16V
Capacitor Eletrolítico	C23, C26	2	470uF/25V
Capacitor Eletrolítico	C4, C18, C21, C32, C33, C34, C35, C46, C47, C48, C50, C51, C55, C56, C68, C69, C70, C71, C73, C78, C115, C122, C159	23	10uF/16V
Capacitor Eletrolítico	C19, C20, C27	3	1uF/50V
Capacitor	C6, C13, C38, C60, C80, C86, C92, C98, C104, C110, C124, C130, C136, C142, C148, C154	16	10nF
Capacitor	C5, C12, C37, C59, C79, C85, C91, C97, C103, C109, C123, C129, C135, C141, C147, C153	16	6,8nF
Capacitor	C1, C8, C9, C10, C11, C15, C16, C17, C22, C24, C25, C28, C29, C30, C31, C40, C41, C42, C43, C44, C62, C63, C64, C65, C66, C74, C75, C76, C77, C82, C83, C84, C88, C89, C90, C94, C95, C96, C100, C101, C102, C106, C107, C108, C112, C113, C114, C116, C117, C118, C119, C120, C121, C126, C127, C128, C132, C133, C134, C138, C139, C140, C144, C145, C146, C150, C151, C152, C146, C157, C158, C160, C161, C162	74	100nF
Capacitor	C7, C14, C39, C61, C81, C87, C93, C99, C105, C111, C125, C131, C137, C143, C149, C155	16	1,5nF
Capacitor	C36, C45, C49, C52, C57, C58, C67, C72	8	1nF
Resistor	R6, R15, R27, R47, R59, R65, R71, R77, R83, R89, R95, R101, R107, R113, R119, R125	16	68K
Resistor	R4, R13, R25, R45, R57, R63, R69, R75, R81, R87, R93, R99, R105, R111, R117, R123	16	15K
Resistor	R5, R14, R26, R46, R58, R64, R70, R76, R82, R88, R94, R100, R106, R112, R118, R124	16	12K
Resistor	R18, R20, R28, R29, R30, R31, R32, R34, R38, R40, R48, R49, R50, R51, R51	15	10K
Resistor	R1, R2, R3, R10, R11, R12, R22, R23, R24, R42, R43, R44, R54, R55, R56, R60, R61, R62, R66, R67, R68, R72, R73, R74, R78, R79, R80, R84, R85, R86, R90, R91, R92, R96, R97, R98, R102, R103, R104, R108, R109, R110, R114, R115, R116, R120, R121, R122	48	4K7
Resistor	R7, R9	2	1K
Resistor	R8, R16	2	470
Resistor	R17	1	47
Resistor	R19, R21, R33, R35, R37, R39, R41, R53	8	22

Jack 3 condutores	J4, J7, J8, J9, J10, J11, J12, J15	8	-
Header, 22-pinos	JP11	1	-
Header, 2-Pinos	JP1, JP4, JP8, JP12, JP15, JP22, JP29, JP36	8	-
Header, 3-Pinos	JP2, JP3, JP5, JP6, JP7, JP9, JP10, JP13, JP14, JP16, JP17, JP18, JP19, JP20, JP21, JP23, JP24, JP25, JP26, JP27, JP28, JP30, JP31, JP32, JP33, JP34, JP35, JP37, JP38, JP39, JP40, JP41, JP42	33	-
Amplificador Operacional TL084	U1, U7, U8, U9, U10, U11, U12, U13 (A, B, C, D)	8	-
Sample Hold 4 canais SMP04	U5, U6	2	-
Conversor AD ADC128S102	U4	1	-
Regulador de Tensão LM7805	U2	1	-
Regulador de Tensão LM7805	U3	1	-
Regulador de tensão LP2950	REG1	1	-
Diodo 1N4007	D1, D2, D3, D4, D5, D6, D7, D8, D9, D10, D12, D13	12	-
Diodo Zener BZX2V4	D11	1	-

II. DIAGRAMAS ESQUEMÁTICOS

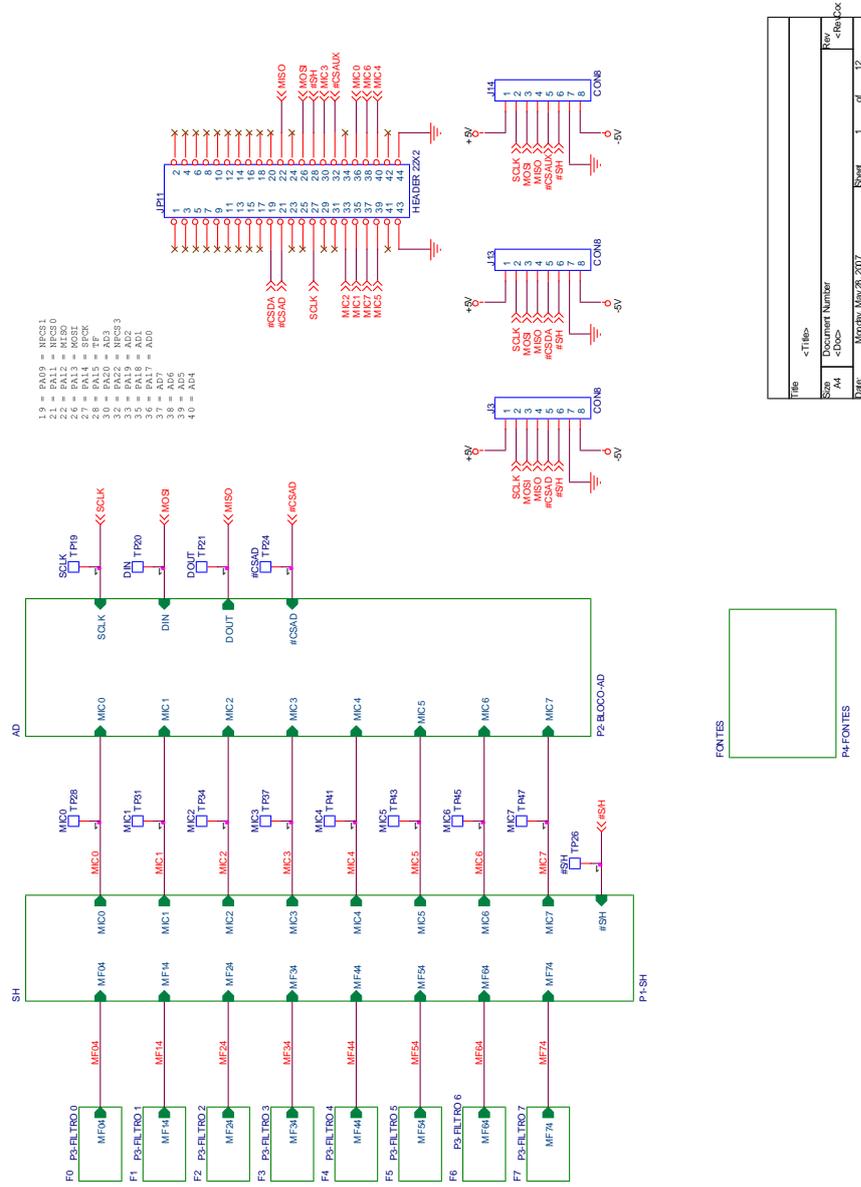


Figura A.1: Planta geral

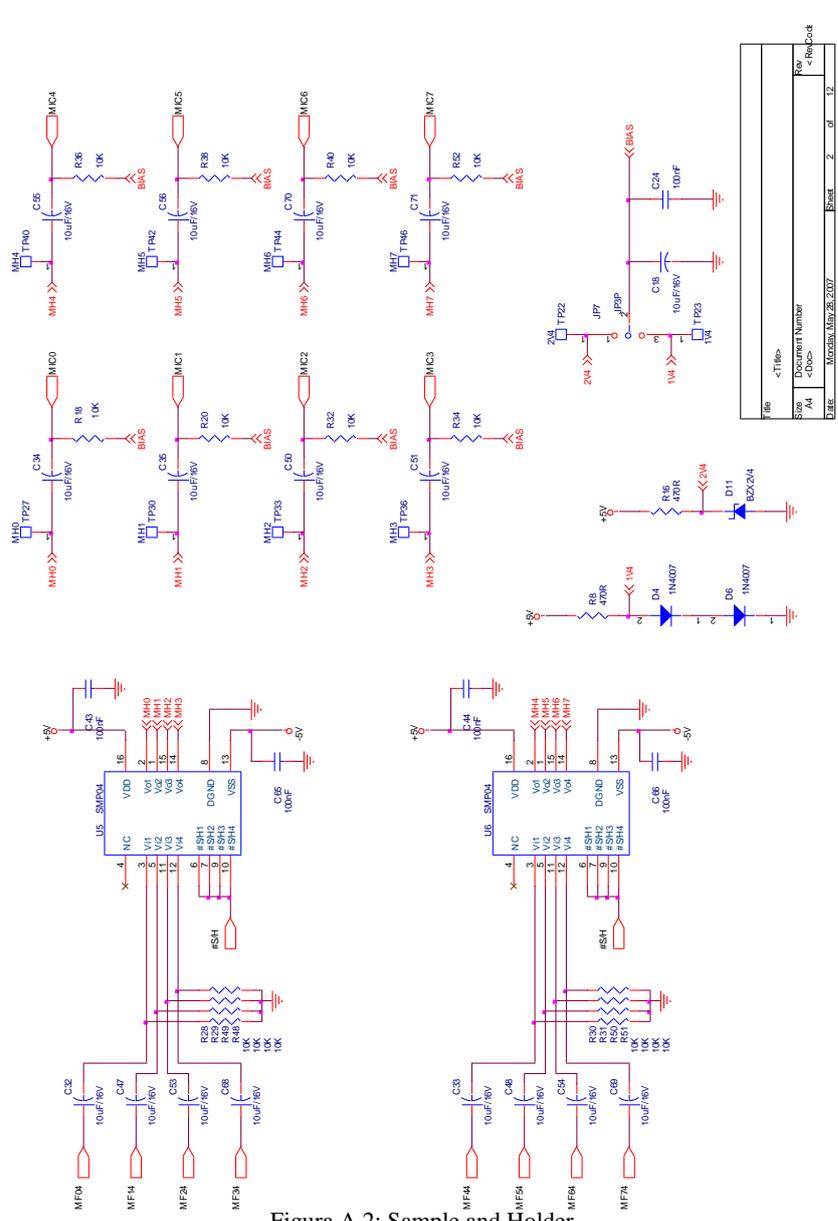


Figure A.2: Sample and Holder

File	<TIFile>
Sheet	2 of 12
Doc	<Doc>
Rev	<Rev>
Doc Number	1005514.May.28.2007
Sheet	2 of 12
Rev	<Rev>

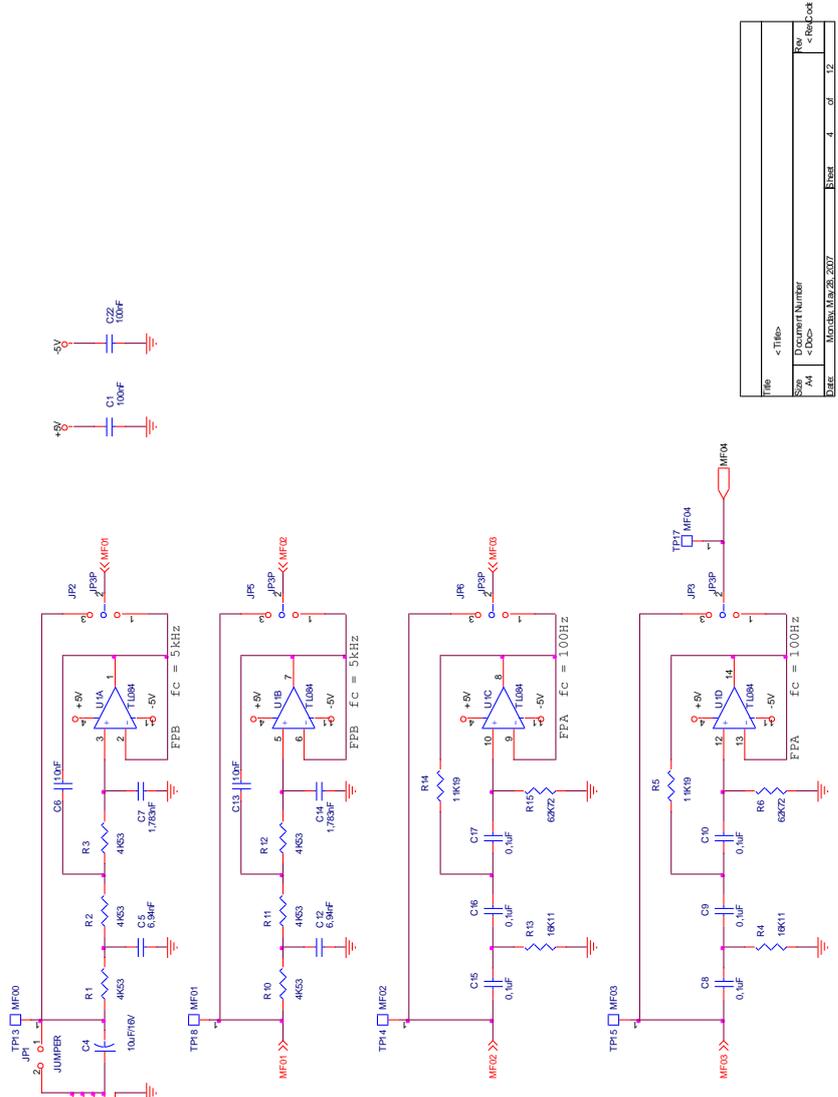


Figura A.4: Filtros do canal 1

File	< Title >
Size	Document Number
Rev	< Doc >
Date	March 28, 2007
Page	4 of 12

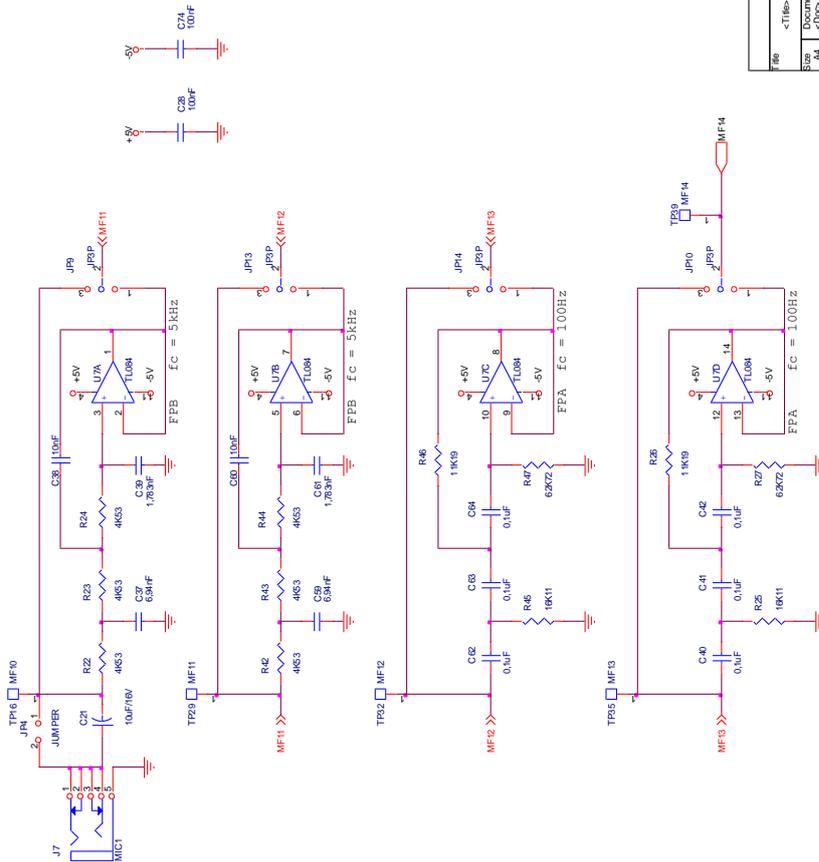


Figura A.5: Filtros do canal 2

File	<Title>	Rev	
Sheet	Document Number	Rev	<RevCode>
44	4000	5	12
Date	Monday, May 28, 2007	Sheet	5 of 12

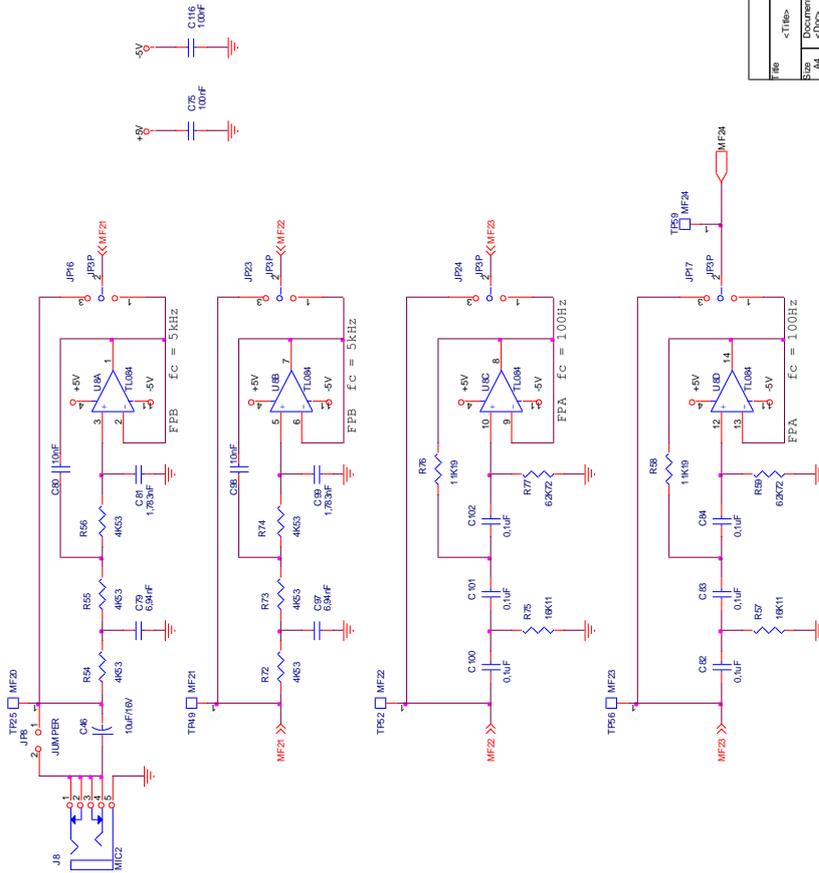


Figura A.6: Filtros do canal 3

File	<Title>	Rev	
Sheet	Document Number	Rev	<Rev>
7/4	7000	6	12
Date	Monday, May 28, 2007	Sheet	6 of 12

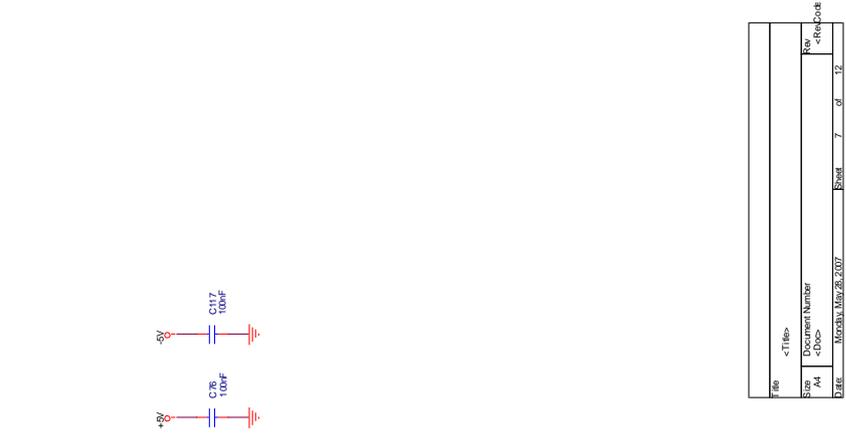


Figura A.7: Filtros do canal 4

File	<Title>	Rev	
Sheet	Document Number	Rev	<RevCode>
7/4	606	7	12
Date	Monday, May 28, 2007	Sheet	7 of 12

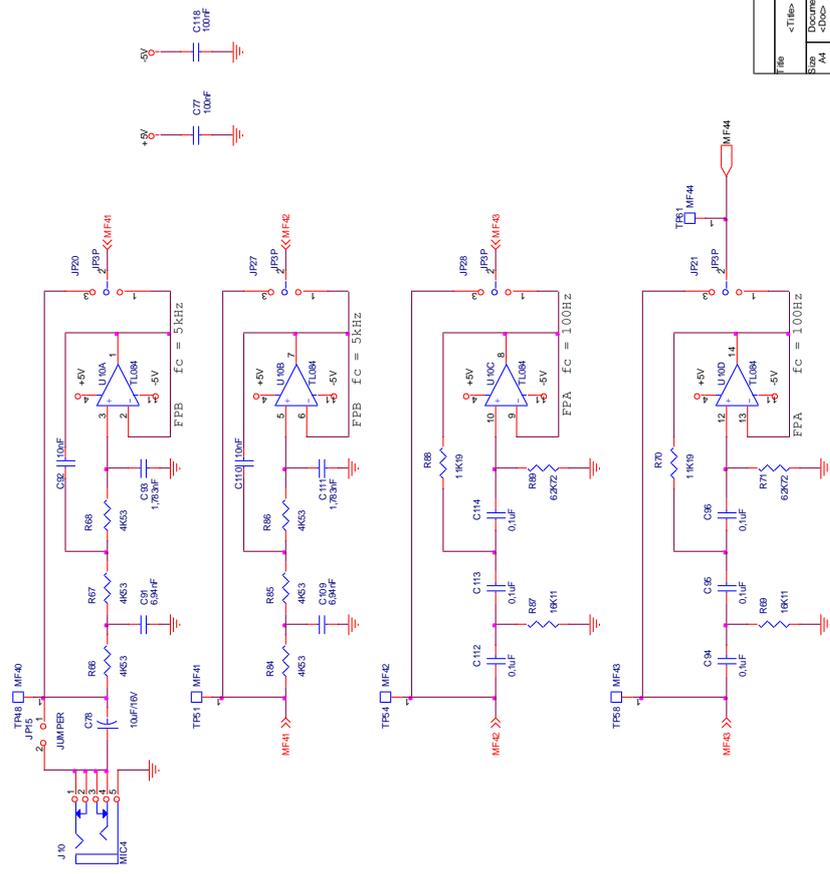


Figura A.8: Filtros do canal 5

File	<Title>	Rev	
Sheet	Document Number	Rev	<Rev>
Date	Moody, May 28, 2007	Sheet	8 of 12

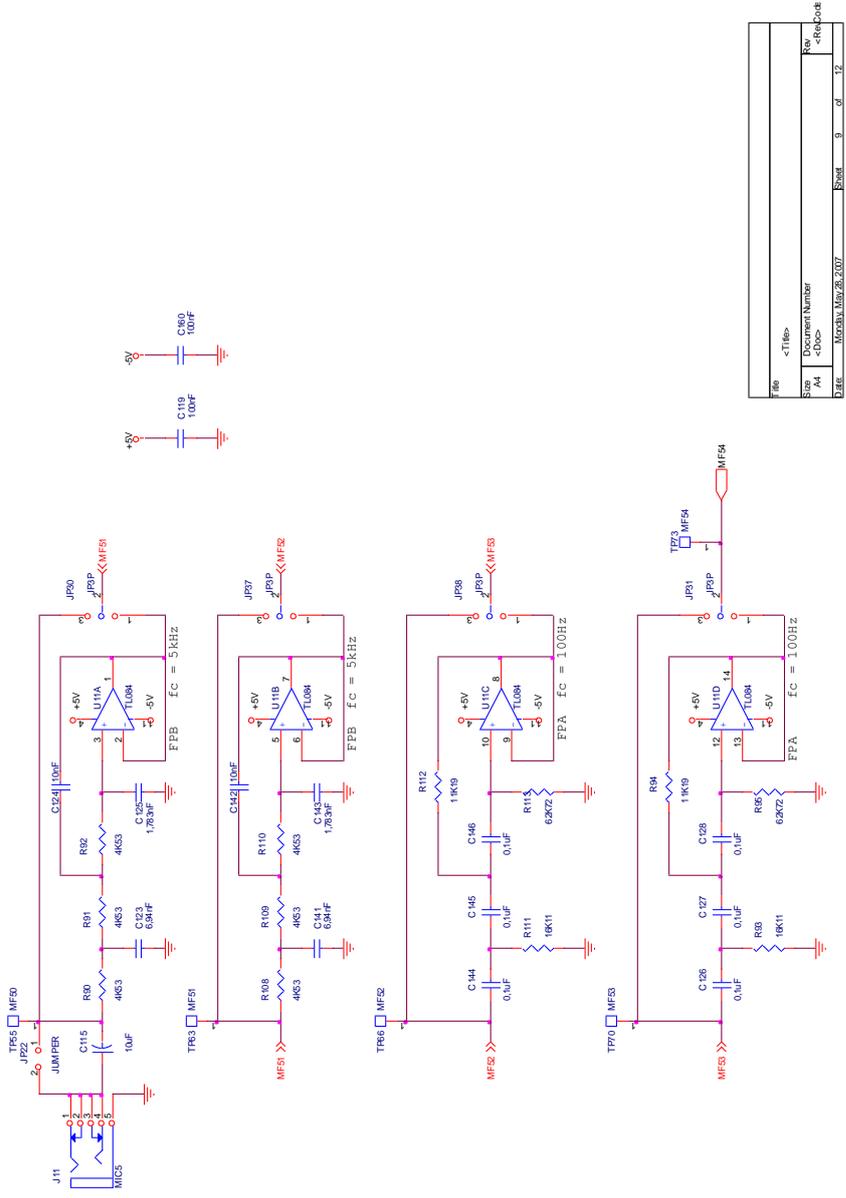


Figura A.9: Filtros do canal 6

File	<Title>	Rev	
Sheet	Document Number	Rev	
7/4	7000	<RevCode>	
Date	Monday, May 28, 2007	Sheet	9 of 12

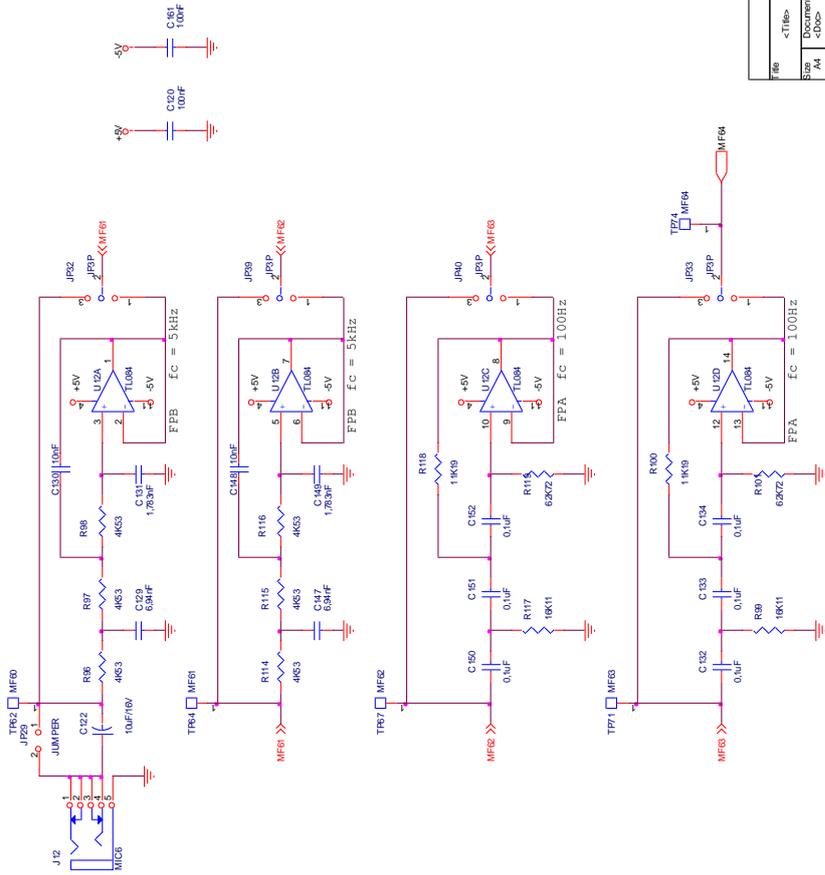


Figura A.10: Filtros do canal 7

File	<Title>	Rev	
Sheet	Document Number	Rev	
Page	44	1.00	<RevCode>
Date	Monday, May 28, 2007	Sheet	10 of 12

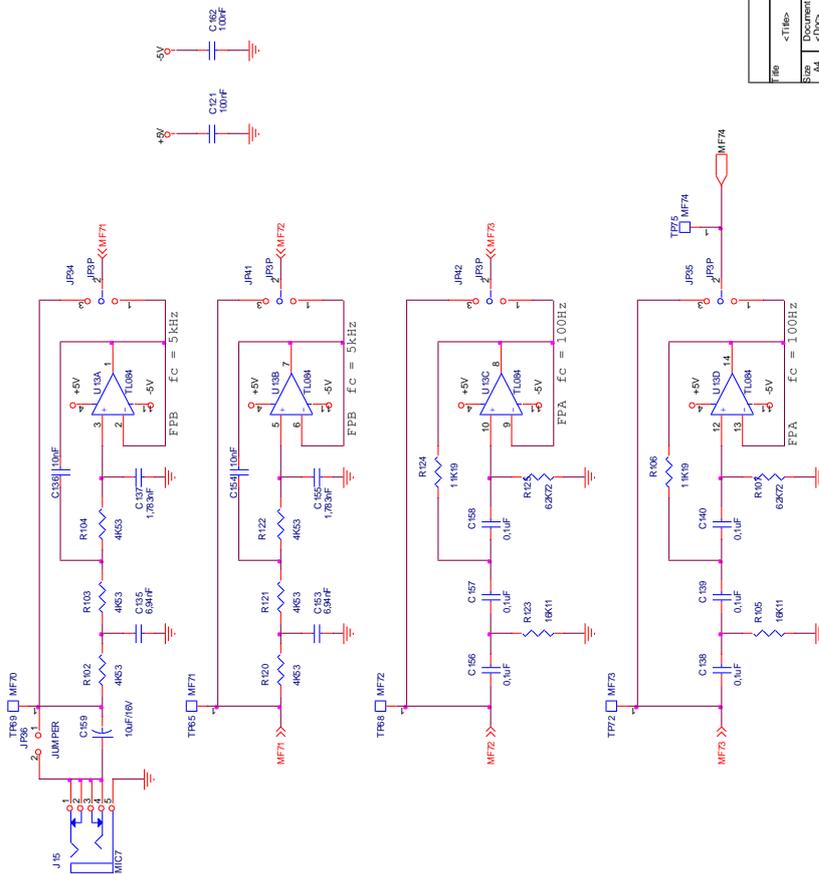


Figura A.11: Filtros do canal 8

File	<Title>
Sheet	Document Number
Rev	Rev
Date	Month, Day, Year
	Sheet 11 of 12

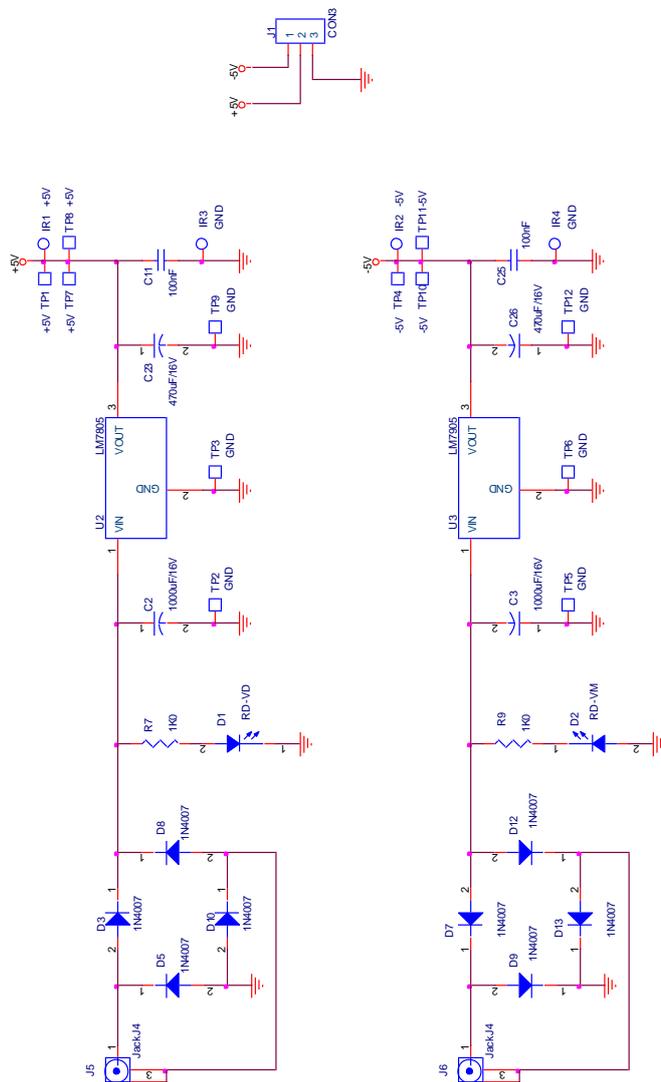


Figura A.12: Regulador de tensão

File	<Title>
Sheet	Document Number
14	-Disc-
Date	Monday, May 29, 2007
Sheet	12 of 12
	<Rev-Crds>