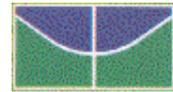


Universidade de Brasília – UnB  
Faculdade de Tecnologia  
Departamento de Engenharia Elétrica



# **Células Básicas para Redes Neurais Artificiais Utilizando Transistor Mono-Elétron**

**Helen Carvalho do Carmo**  
**matrícula 96/55689**

Orientador: José Camargo da Costa

**Brasília**  
**Setembro de 2002**

À minha Família!

## **AGRADECIMENTOS**

Agradeço a Deus em primeiro lugar, por estar sempre comigo.

Aos meus pais, Estela e Eurípedes, por toda a paciência e apoio.

Aos meus irmãos, Elisa e Junior, pela ajuda em todos os sentidos.

Ao professor Camargo, por acreditar o tempo todo.

A professora Janaína, por iluminar os caminhos do meu aprendizado, a qual sem sua ajuda eu não teria chegado até aqui.

Ao meu amigo Antônio, por todos os cuidados que teve comigo, e por todos os ensinamentos.

A minha amiga Juliana, pela grande ajuda na hora exata.

E a todos aqueles que de uma forma ou de outra contribuíram para a conclusão deste trabalho.

## **RESUMO**

O projeto de circuitos integrados de alta performance necessita de novas estruturas para novos dispositivos. Assim neste trabalho realizou-se a implementação de uma rede neural artificial composta por uma célula básica, cujo circuito formado por dispositivos SET foi desenvolvido para sua implementação.

|   |           |
|---|-----------|
| <b>1 - INTRODUÇÃO</b>                               | <b>1</b>  |
| 1.1 - OBJETIVO                                      | 2         |
| 1.2 - REVISÃO BIBLIOGRÁFICA                         | 3         |
| <b>2 - FORMULAÇÃO DO PROBLEMA</b>                   | <b>4</b>  |
| 2.1 - EVOLUÇÃO DA ELETRÔNICA – NOVAS NECESSIDADES   | 4         |
| 2.2 - LIMITES DA TECNOLOGIA ATUAL                   | 6         |
| 2.3 - ALTERNATIVAS POSSÍVEIS                        | 8         |
| 2.3.1 - O TRANSISTOR SET                            | 11        |
| 2.4 - CIRCUITOS NANOELETRÔNICOS                     | 15        |
| <b>3 - METODOLOGIA</b>                              | <b>21</b> |
| 3.1 - IDENTIFICAÇÃO DA ARQUITETURA DE REDES NEURAIS | 21        |
| 3.2 - CÉLULAS BÁSICAS                               | 23        |
| 3.3 - VALIDAÇÃO POR SIMULAÇÃO                       | 24        |
| <b>4 - RESULTADOS E DISCUSSÕES</b>                  | <b>28</b> |
| 4.1 - INVERSOR-SOMADOR                              | 29        |
| 4.1.1 - INVERSOR                                    | 33        |
| 4.1.2 - SOMADOR DECIMAL                             | 35        |
| 4.1.3 - INVERSOR-SOMADOR CIRCUITO INTERCONECTADO    | 37        |

|                                 |           |
|---------------------------------|-----------|
| <b>4.2 - REDE COMPETITIVA</b>   | <b>41</b> |
| 4.2.1 - NEURÔNIO                | 43        |
| 4.2.2 - REDE COM TRÊS NEURÔNIOS | 44        |
| <b>5 - CONCLUSÃO</b>            | <b>50</b> |
| <b>APÊNDICE</b>                 | <b>57</b> |

---

## ÍNDICE DE FIGURAS

|   |    |
|---|----|
| Figura 1 - Poço quântico para um Diodo de Tunelamento Ressonante [07].                      | 10 |
| Figura 2 - Transistor SET: curvas características [29].                                     | 12 |
| Figura 3 - Localização do aparecimento da nanoeletrônica segundo previsões.                 | 16 |
| Figura 4 - Processador de alto desempenho   | 21 |
| Figura 5 - Editor Gráfico do Simon – Circuito para Simulação do Transistor.                 | 25 |
| Figura 6 - Janela dos Parâmetros de Simulação.  | 26 |
| Figura 7 - Resultados Gráficos de uma Simulação.  | 26 |
| Figura 8 - Subcircuitos (a) Inversor SET (b) Somador Decimal SET.                           | 30 |
| Figura 9 - Circuito Interconectado Inversor-Somador   | 30 |
| Figura 10 - Circuito Inversor (a) Entrada $V_E$ (b) Saída $V_S = V_E$ .                     | 34 |
| Figura 11 - Entradas do Somador Decimal $V_{1E}$ e $V_{2E}$ .                               | 35 |
| Figura 12 - Saída $Q_S$ do Somador a 77K.   | 36 |
| Figura 13 - Saída do Somador (a) $Q_S$ a 0K (b) $Q_S$ a 300K                                | 37 |
| Figura 14 - Entrada do Primeiro Estágio – Inversor a 77K.                                   | 38 |
| Figura 15 - Entradas dos Segundo Estágio – Somador a 77K (a) $V_{1E}=V_{SI}$ (b) $V_{2E}$ . | 39 |
| Figura 16 - Saída do Circuito Interconectado $Q_{SS}$ a 77K.                                | 40 |
| Figura 17 - Saída em Carga do Circuito Interconectado (a) 0K (b) 300K                       | 40 |
| Figura 18 - Neurônio SET  | 41 |
| Figura 19 - Sinais de Tensão do Neurônio $V_1$ e $V_2$ .                                    | 43 |
| Figura 20 - Rede com Três Neurônios   | 46 |
| Figura 21 - Saídas da Rede SET com Três Neurônios a 1K                                      | 47 |
| Figura 22 - Saída da Rede CMOS para dois Neurônios [33].                                    | 47 |

Figura 23 - Saídas da Rede SET com Três Neurônios (a) 120K (b) 150K ..... 48

Figura A - I: Rede Neural WTA MOSFET ..... 58

Figura A - II: O neurônio ..... 58

## ÍNDICE DE TABELAS

|   |    |
|---|----|
| Tabela 1 - Dimensões dos Subcircuitos .....               | 32 |
| Tabela 2 - Circuito Interconectado Inversor-Somador ..... | 32 |
| Tabela 3 - Parâmetros de Simulação .....                  | 32 |
| Tabela 4 - Circuito do Neurônio .....                     | 42 |

# 1 - INTRODUÇÃO

Com o passar do tempo, o computador passou a ser item essencial da vida moderna. Desde o surgimento da tecnologia de projeto de circuitos integrados, a relação custo/performance tem feito com que computadores cada vez melhores sejam produzidos a um preço ao alcance de quase todos, em um espaço de tempo cada vez menor.

Atualmente, a indústria de semicondutores se encontra em um impasse. Seu item de maior sucesso, o transistor CMOS, não pode ser mais reduzido, interferindo na regra geral de geração de lucros – diminuição das dimensões do dispositivo básico, aumento da densidade, melhora na performance do chip, nova geração de produtos a venda.

Um dos caminhos que vêm sendo pesquisados para a solução deste impasse é a nanoeletrônica, que corresponde à eletrônica de dispositivos em escala nanométrica ( $10^{-9}$  metros), onde os efeitos da mecânica quântica prevalecem.

Inspirados em fenômenos da natureza, a implementação de circuitos tão pequenos busca no funcionamento do cérebro os meios para sua realização, utilizando os conceitos de redes neurais artificiais.

A utilização de dispositivos nanoeletrônicos para a construção de um computador é algo distante da realidade atual. No entanto, um estudo sobre as possibilidades de implementação de circuitos e suas características é algo

extremamente válido, uma vez que neste tipo de estudo vários conceitos de engenharia são empregados.

Nas seções seguintes deste capítulo são apresentados os objetivos deste trabalho, bem como as principais fontes de referência. O Capítulo 2 introduz as motivações e inspirações para a utilização de dispositivos nanoeletrônicos para o projeto de novos sistemas. No Capítulo 3 segue o procedimento para projeto dos circuitos propostos, assim como o método utilizado para validação. No Capítulo 4 tem-se a apresentação dos resultados obtidos e das análises realizadas, e finalmente, no Capítulo 5, as conclusões e os caminhos para continuação do estudo.

## **1.1 - Objetivo**

Este trabalho visa desenvolver células básicas para processamento da informação, que possam ser usadas como estrutura básica de um processador neural em escala nanométrica, com alta densidade de dispositivos. O desenvolvimento do circuito foi realizado por analogia com circuitos MOSFET, verificando os problemas relacionados com interconectividade e influência da temperatura de operação.

## 1.2 - Revisão Bibliográfica

Para realização deste trabalho os principais tópicos de pesquisa bibliográfica foram:

- Dispositivos Nanoeletrônicos  
– referências [30], [12], [29] e [16]
- Mecanismos de Transporte em Nano-Estruturas  
– referências [06], [20], [24], [27] e [08]
- Redes Neurais Artificiais  
– referências [28],[33],[22],[21],[01],[02] e [18]
- Ferramentas de Simulação  
– referências [05], [31] e [32]
- Aplicações Básicas de Dispositivos SET  
– referencias [13], [11], [15], [09] e [14]

## 2 - FORMULAÇÃO DO PROBLEMA

### 2.1 - Evolução da Eletrônica – Novas Necessidades

Os principais interessados no desenvolvimento da pesquisa microeletrônica são as áreas de computação, telecomunicações, aplicações militares e eletrodomésticos. Sendo que as aplicações militares são restringidas devido sua importância estratégica [30].

A indústria eletrônica, e em particular a indústria de semicondutores, é um dos principais dirigentes da economia moderna. Seu principal produto é o transistor MOS (*metal oxide semiconductor*), peça fundamental na fabricação de chips. Sendo seus produtos fundamentais para o sucesso de muitos outros setores, tal como o de *e-commerce*, o da indústria automotiva, o de telecomunicações, etc. Produtos microeletrônicos têm contribuído significativamente à riqueza das nações e para aumentar a qualidade de vida de seus cidadãos [30].

Muito do progresso da microeletrônica, principalmente do transistor CMOS (*complementary metal oxide semiconductor*), em memórias e circuitos lógicos vem da necessidade cada vez maior de computadores pessoais mais rápidos e de alta performance tendo em vista a complexidade, força e volume com que os softwares têm crescido. Ainda não está muito claro como esta tendência deve continuar, embora o aparecimento de novas tecnologias, tal como, reconhecimento de voz, podem dar um novo impulso, desenvolvendo rapidamente mercados

consumidores, incluindo o de telecomunicações, aplicações de vídeo em tempo real e equipamentos portáteis [30].

Atualmente, os telefones celulares são os indicadores mais significativos para a tecnologia dos semicondutores. Sistema-em-um-chip, (SOC – *system-on-a-chip*) poderiam resultar em telefones mais baratos com bateria de maior duração e maiores taxas de transferência de dados. Além disso, com a diminuição dos custos das tecnologias de rádio-freqüência e infravermelho, a existência de redes de computadores livres de cabos em torno do escritório ou de casa, abre as portas para um novo mercado, especialmente o de computadores portáteis [30].

O aumento na demanda por computadores de alta performance bem como cada nova aplicação possível em telecomunicações confirmam que haverá um mercado para circuitos integrados em escala nanométrica.

Dispositivos nanométricos podem tornar-se uma opção extremamente atrativa ao desenvolvimento de circuitos integrado com dimensões e performance muito além das projeções futuras [07].

A possibilidade de existência de circuitos que poderão ser injetadas no corpo para diagnosticar doenças, ou mesmo de um computador completamente diferente do que existe hoje, mais fácil de usar, mais rápido e menor é algo desejável de se ver a disposição das pessoas.

Em seguida, mostrar-se-á as razões técnicas pelas quais a taxa de crescimento impressionante de produtos microeletrônicos não pode ser mantida com a tecnologia CMOS atual, e por que há necessidade de investigação de soluções alternativas que operem em regime nanométrico, que permitam uma transição suave do “CMOS clássico”.

## 2.2 - Limites da Tecnologia Atual

O principal tipo de transistor em uso hoje é o FET (*field effect transistor*), no qual uma tensão é imposta no dispositivo para controlar uma saída que pode ser tensão ou corrente. O transistor MOSFET (*metal oxide semiconductor field effect transistor*), tem sido de longe o tipo mais comum de transistor nos circuitos digitais da microeletrônica moderna, desde a sua apresentação em 1952 [07]. Devidamente projetados, circuitos MOSFET consomem baixíssima potência com baixo custo de fabricação.

No passado, a maneira comum de fazer circuitos eletrônicos menores era simplesmente diminuir todos os componentes do circuito por um fator constante, um processo chamado escalonamento. O MOSFET tornou-se popular pelo fato de suas mudanças de operação serem mínimas, neste processo, mantendo uma relação custo/performance bastante favorável [07].

A taxa de miniaturização segue uma relação exponencial, dada pela Lei de Moore, dobrando a cada 18 meses desde a invenção dos circuitos integrados em 1958. Graças a essa evolução foi possível a produção em massa de chips como o Pentium da Intel que contêm mais de 3,2 milhões de transistores com tamanho na ordem de 350 nanômetros [30].

No entanto, pesquisas revelam que o tamanho mínimo que o MOSFET pode alcançar será em torno de 100 nanômetros, o que indica que a taxa de miniaturização não prevalecerá por muito tempo [30].

Alguns obstáculos para a miniaturização FET são enumerados abaixo [07]:

- **Altos valores de intensidade de campo elétrico**

- devido à tensão de polarização ser aplicada sobre curtas distâncias pode ocorrer ruptura do dielétrico causando o surgimento de correntes indesejáveis;

- **Dissipação de calor**

- devido à eficiência térmica ser limitada, uma vez que o aquecimento pode causar mau funcionamento;

- **Dificuldades de dopagem uniforme**

- devido a redução das dimensões;

- **Redução da região de depleção**

- no caso de uma região muito fina, não há como prever se efeitos quânticos, como o tunelamento de elétrons, estão ocorrendo quando o dispositivo esta desligado;

- **Redução e defeitos da fina camada de óxido**

- a ligação através de pequenos pontos no óxido também envolverá tunelamento de elétrons.

O problema maior da miniaturização é que com a redução da dopagem efetiva aumenta-se os efeitos quânticos, sendo as características dos dispositivos eletrônicos em escala nanométrica governados pela mecânica quântica [07]. Propriedades associadas com a uniformidade da dopagem do semicondutor e sua influência na operação tornam-se menos evidentes e efeitos da mecânica quântica, como quantização da carga e tunelamento assumem maior significância.

Para manter a taxa de miniaturização da Lei de Moore, novas tecnologias precisam ser analisadas, para uma possível substituição do MOSFET, caso isso seja necessário.

Na seção seguintes, dispositivos que estão sendo cotados como alternativas serão brevemente introduzidos.

### **2.3 - Alternativas Possíveis**

Um grande número de dispositivos em escala nanométrica, ([29], [07], [16], [06]), têm sido sugeridos para substituir o MOSFET devido os problemas relacionados na seção anterior. Estes dispositivos têm seu comportamento baseado em mecanismos de transporte de cargas explicado pela mecânica quântica, uma vez que os fenômenos que prevalecem na escala nanométrica são desta natureza.

A estrutura essencial destes dispositivos tem em comum uma pequena ilha constituída de semicondutor ou metal, na qual elétrons podem ser confinados. Esta ilha assume um papel semelhante ao do canal do FET, [07] sendo o caminho para passagem dos elétrons.

A extensão do confinamento dos elétrons na ilha define três categorias básicas de dispositivos nanoeletrônicos [07]:

- *Quantum Dots* (QD`s) – o confinamento de elétrons na ilha possui zero grau de liberdade

- *Ressonat Tunnelling Devices* (RTD`s) – o confinamento de elétrons na ilha é feito com um ou dois graus de liberdade
- *Single-electron Tunnelling* (SET`s) – o confinamento de elétrons na ilha possui três graus de liberdade.

A composição, forma e tamanho da ilha fornecem diferentes tipos de dispositivos nanoeletrônicos com propriedades distintas [07]. Através destes fatores o projeto do dispositivo, explorando os efeitos quânticos, pode possuir modos diferentes de controlar a passagem de elétrons entrando e saindo da ilha.

A dimensão reduzida da ilha é da ordem de 5 a 10 nanômetros, freqüentemente a ilha esta intercalada entre duas paredes finas de um mesmo material, ou entre o material e um óxido, ou entre um defeito e um substrato [07]. Em qualquer um dos casos a ilha esta rodeada por barreiras de energia potencial, formando um poço, que impedem o trânsito livre de elétrons entrando e saindo, como indica a Figura 1.

Dois efeitos essencialmente quânticos são observados quando se tem elétrons confinados entre barreiras de energia potencial em uma ilha de escala nanométrica. Primeiro, a mecânica quântica restringe a energia de cada elétron a um nível finito de energia, um estado com quantidade de energia discreto. Na Figura 1  $\Delta\varepsilon$  indica a variação de energia entre os níveis do poço de potencial sendo U o estado de menor energia. Segundo, se as barreiras forem suficientemente finas (5 a 10 nanômetros), elétrons ocupando níveis de energia inferiores ao da altura da barreira têm uma probabilidade finita de tunelar através da barreira, entrando ou saindo da ilha [07]. No entanto, para que um elétron

tenha energia para tunelar através da barreira é necessário que haja um estado desocupado com a mesma energia do outro lado.

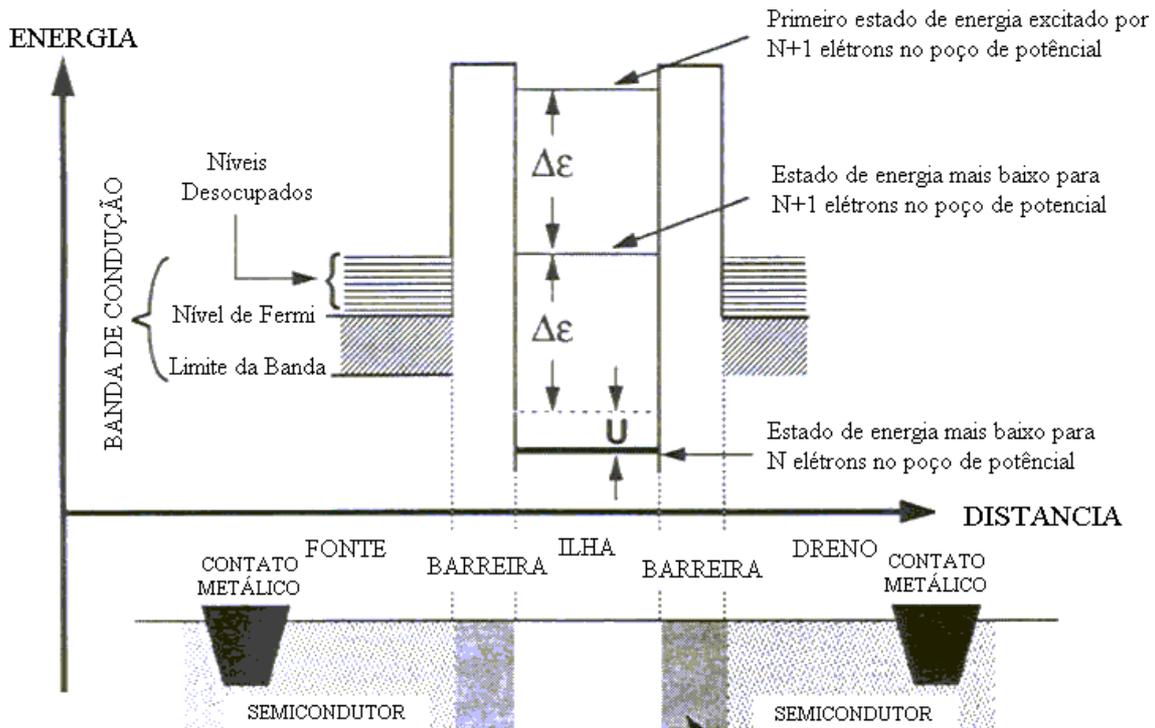


Figura 1 - Poço quântico para um Diodo de Tunelamento Ressonante (RTD) [07].

Uma propriedade normalmente utilizada para distinção das três categorias de dispositivos nanoeletrônicos é a forma da ilha. O RTD usualmente possui uma ilha comprida e estreita, constituída por semicondutor com alguns elétrons livres. Já os QD's são construídos com a ilha reduzida nas três dimensões, sendo constituída tanto por semicondutor ou por metal. No caso SET, sua ilha é normalmente metálica com alguns elétrons livres, com as três dimensões reduzidas [07].

Os dispositivos SET são os mais apontados para substituição do MOSFET, devido sua estrutura ter um formato semelhante, com três terminais. Sua utilização em circuitos de alta densidade e baixa potência tem sido largamente pesquisada.

A evolução dos circuitos integrados da microeletrônica para a nanoeletrônica deverá ser feita pela inovação da tecnologia de fabricação. Novas técnicas de implementação que levem em conta os efeitos quânticos de operação desses dispositivos devem ser exploradas.

### **2.3.1 - O Transistor SET**

Os dispositivos SET são construídos com junções túnel, estruturas que são modeladas como capacitores. Uma junção túnel nada mais é que dois eletrodos de metal intercalados por uma ilha fina, caracterizada por uma capacitância  $C_j$  e uma resistência  $R_j$ .

A transferência de carga através da barreira pode ocorrer pelo mecanismo de transporte chamado tunelamento, onde o elétron passa de um lado para outro, alterando a carga em múltiplos inteiros de  $e$ . No entanto, a carga na junção ou num capacitor pode ter qualquer valor, incluindo frações arbitrárias da carga do elétron. Um múltiplo não-inteiro da carga elétrica pode ser considerado como um elétron que contém parte de sua função de onda num capacitor e a outra parte em outro lugar [29].

A energia de um capacitor contendo uma carga  $Q$  é dada pela relação (2.1) que indica a mudança de energia no sistema.

$$E_c = \frac{Q^2}{2C} \equiv \frac{e^2}{2C} \quad (2.1)$$

Essa energia é chamada de energia de carregamento. A quantização da carga é um fator importante se essa energia é grande se comparada às outras contribuições de energia do sistema [29].

O transistor SET consiste de duas junções túnel em série como mostrado esquematicamente na Figura 2 . As duas junções criam uma ilha, aonde elétrons só poderão entrar tunelando através de um dos isolantes.

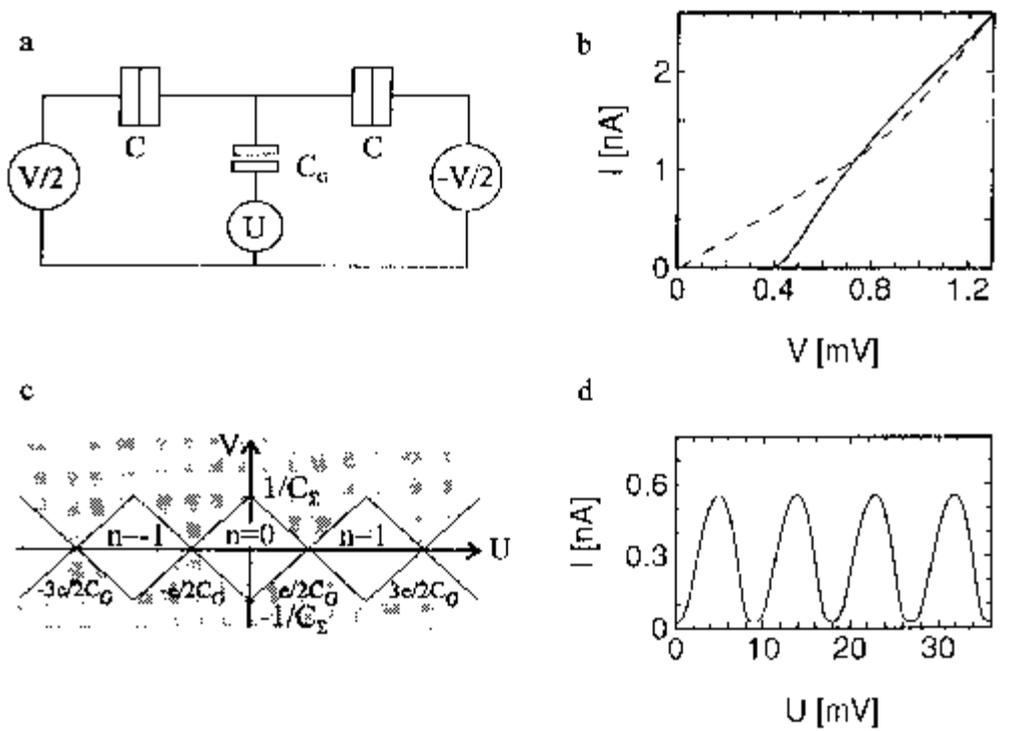


Figura 2 - Transistor SET: curvas características [29].

A ilha entre as junções está conectada ao eletrodo de porta via um capacitor  $C_g$ . De acordo com o circuito da Figura 2, supondo  $U = 0$  e  $V < \frac{e}{2C}$  onde

por conveniência assume-se que  $e \equiv |e|$ . Considerando a junção como um simples capacitor, a ilha entre a junção é neutra, relação (2.2).

$$Q_1 = Q_2 = \frac{CV}{2} \quad (2.2)$$

Se um elétron tunela para a ilha, a carga é distribuída entre as capacitâncias das junções e as capacitâncias de porta. Assumindo  $C_g \ll C$  tem-se às seguintes relações.

$$Q_1 = \frac{CV - e}{2} \quad (2.3)$$

$$Q_2 = \frac{CV + e}{2} \quad (2.4)$$

A energia fornecida pela fonte de tensão durante o evento de tunelamento é equivalente à  $eV/2$ , que corresponde a carga de um elétron multiplicada pela tensão. Assim a energia eletrostática para esta carga é fornecida pela expressão (2.5).

$$\Delta E = \frac{e^2}{4C} - \frac{eV}{2} \quad (2.5)$$

Para uma temperatura  $T$ , tal que  $T \ll \frac{E_C}{k_B}$  onde  $k_B$  é a constante de Boltzmann, o evento de tunelamento terá uma grande possibilidade de acontecer se  $\Delta E < 0$ . Somente se a tensão for grande o bastante, a fonte de tensão pode providenciar energia suficiente para o tunelamento. Uma vez que o tunelamento seja energeticamente favorável, o próximo passo é a redução gradual da energia

livre do sistema, a cada evento de tunelamento, resultando no fluxo de carga através do dispositivo. Então, o sinal de  $\Delta E$  determina se há ou não corrente.

$$\Delta E \geq 0 \quad \text{se} \quad V < \frac{e}{2C} \quad (2.6)$$

$$\Delta E < 0 \quad \text{se} \quad V \geq \frac{e}{2C} \quad (2.7)$$

Para  $V < e/2C$  não há corrente e o dispositivo se encontra em bloqueio coulombiano.

Supondo então  $U = \frac{-e}{2C_g}$  e  $V = 0$ , na Figura 2, então existe  $\frac{+e}{2}$  no capacitor de porta, mas a carga total da ilha permanece zero, assim  $\frac{-e}{2}$  está distribuído como  $\frac{-e}{4}$  em ambas as junções. Um evento de tunelamento que traz um elétron da ilha muda a carga da junção de  $\frac{-e}{4}$  para  $\frac{+e}{4}$ , não representando diferença significativa de energia [29].

Assim uma tensão de polarização pequena  $V$  poderá causar cruzamento de elétrons pela junção repetitivamente levando ao aparecimento de uma corrente.

A habilidade de regular a  $I \times V$  de porta faz a junção dupla aplicável como um transistor. A característica corrente versus tensão é dada na Figura 2-b, em linha sólida para  $U = 0$  e em linha pontilhada para  $U = -e/2C_g$ .

Em geral a ilha dos dispositivos SET contém um número macroscópico de elétrons ( $10^{10}$ ) mas a sua carga é compensada pelos íons positivos da rede cristalina da estrutura [29]. O comportamento do transistor SET é bem ilustrado

com a curva  $U \times V$  que indica onde o evento túnel irá reduzir a energia eletrostática do sistema (Figura 2-c).

Assim para um determinado valor de tensão  $V$  aplicada aos terminais de uma junção túnel, elétrons irão tunelar aleatoriamente através do isolante a uma taxa dada pela relação (2.8) [12].

$$T = \frac{V}{eR_t} \quad (2.8)$$

Na próxima seção será discutidas algumas inovações para a realização de projetos de sistemas utilizando dispositivos SET.

## **2.4 - Circuitos Nanoeletrônicos**

Atualmente a manufatura em larga escala e a comercialização de sistemas nanoeletrônicos parece algo distante.

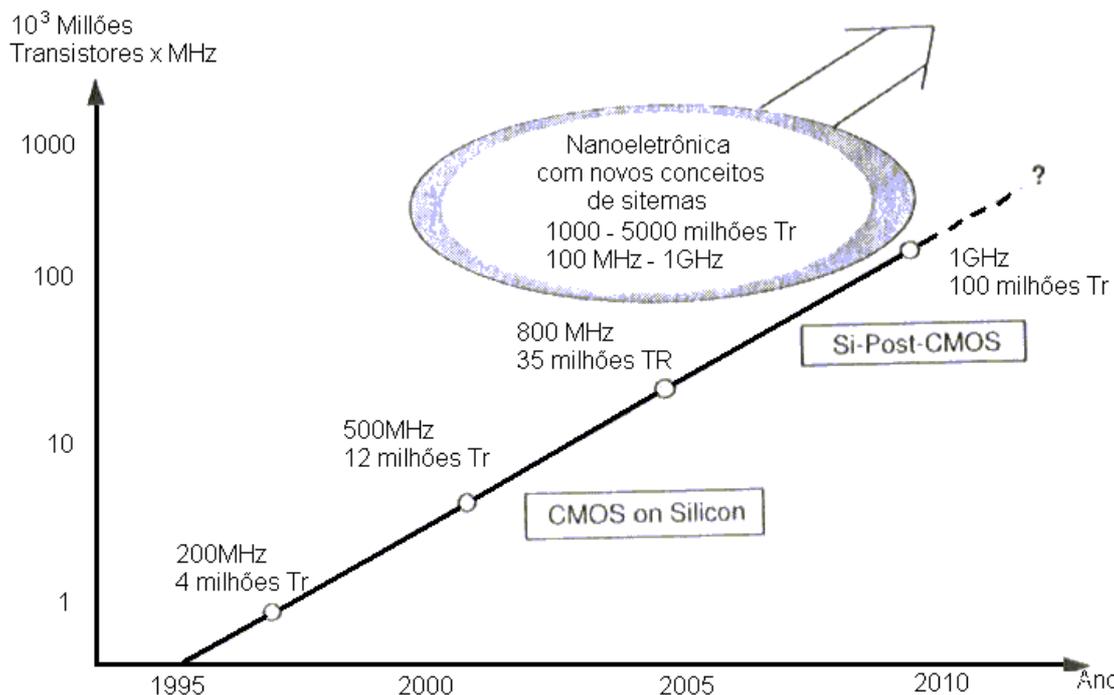


Figura 3 - Localização do aparecimento da nanoeletrônica nos próximos anos, segundo as previsões do SIA. A indicação de performance se dá pelo produto do grau de integração com a freqüência de clock [15].

A Associação das Indústrias de Semicondutores, SIA, publicou um estudo com as previsões desde 1995 até 2010, tomando como partida a linha de desenvolvimento da microeletrônica até o momento em que os dispositivos SET ganharão relevância industrial [30]. Durante este período, o circuito MOS irá dominar a tecnologia microeletrônica. No entanto, o estudo prevê que em 2010, o nível de integração, chegará a 40 bilhões de dispositivos para memórias e a freqüência de *clock* será algo em torno 1GHz para portas lógicas [15]. O tamanho mínimo do CMOS onde os efeitos quânticos não dominam, é 50nanômetros [15], logo uma nova tecnologia deve surgir. A Figura 3 ilustra os dados do SIA,

fornecendo uma relação do número de dispositivos de um circuito integrado em função da frequência de *clock*.

A propriedade mais importante dos dispositivos nanoeletrônicos, discutidos anteriormente, é a possibilidade de redução da escala, gerando dispositivos com dimensões da ordem de dezenas de nanômetros. Essa é a maior vantagem sobre os transistores MOS e faz dos dispositivos nanoeletrônicos uma possibilidade atrativa para a construção de blocos de circuitos nanoeletrônicos.

O sucesso econômico da indústria de semicondutores está baseado fundamentalmente na capacidade de interação entre o progresso tecnológico e adequação de famílias lógicas, técnicas de circuito, arquiteturas de sistemas e softwares [30].

Seguindo essa premissa, a nanoeletrônica terá um papel importante em áreas onde a tecnologia tradicional alcançou seu limite.

Uma olhada rápida no passado da eletrônica revela que cada invenção tecnológica resultou numa mudança marcante nos sistemas [15]. Por exemplo, a integração de transistores em um chip, chegando logo depois a tecnologia VLSI, (*very large scale integration*) que levou ao microprocessador, o que sem dúvida transformou a área da computação.

Em qualquer tipo de estratégia ou tecnologia de circuito integrado a interconectividade é um problema. Atualmente ela ainda pode ser contornada, mas com o avanço da tecnologia CMOS, logo se tornará mais difícil. A diminuição da escala provoca uma redução nos valores de tensão, afetando a capacidade de condução, o que pode tornar questionável a transferência de sinal. Além dessas

barreiras tecnológicas o custo da conexão desses dispositivos será maior que o custo dos próprios dispositivos.

Uma outra dificuldade de implementação dos circuitos, esta nas limitações de temperatura de operação dos dispositivos, por exemplo, para que o transistor SET funcionasse a temperatura ambiente suas dimensões totais teriam que ser menores que 10 nanômetros.

Para o projeto de circuitos nanoeletrônicos algumas propriedades são indispensáveis, tais como: a tolerância à falhas, o armazenamento distribuído, a auto-organização, a arquitetura modular e o processamento local [11]. Elas são necessárias para superar as limitações de entrada-saída, para solucionar a estabilidade do sistema, para obter um projeto tecnologicamente integrado e talvez para eliminar o congestionamento no nível de interconexão [15].

Dois caminhos principais despontam como os mais favoráveis para implementação de sistemas nanoeletrônicos, o das redes neurais artificiais e o dos autômatos celulares [30], em consequência de suas propriedades de baixa interconectividade e alto grau de paralelismo.

Circuitos lógicos baseados em autômato celular oferece uma alternativa para arquiteturas tradicionais usadas em computação. Trata-se de um conceito promissor para possíveis aplicações de circuitos de dispositivos quânticos, pois supera alguns dos problemas intrínsecos, tais como, limitações de *fan-out* e dificuldades de interconexão. No entanto, dificuldades no controle do número de elétrons em cada célula e com as interfaces com o mundo externo e principalmente com a eletrônica convencional, ainda persistem.

Existem dois problemas principais associados à implementação de circuito utilizando autômato celular: a necessidade de ajuste individual de cada célula e os limites da temperatura de operação. Do ponto de vista da arquitetura a maior vantagem da utilização de autômato celular é promover a interação entre células adjacentes sem as linhas de interconexão [30].

Por outro lado, a implementação de circuitos nanoeletrônicos, através de redes neurais artificiais, está baseada na utilização de células básicas de processamento, com capacidade de associação, tolerância à falhas e auto-organização. No entanto, ao considerar baixa a complexidade da célula básica, a densidade de interconexão aumenta, o que vai contra as especificações de arquiteturas para sistemas nanoeletrônicos [30].

Porém, como ponto de partida, a arquitetura neural para circuitos de baixa densidade de interconexão, tais como rede neural celular e matriz associativa, são bastante interessantes, mesmo com suas capacidades de adaptação e generalização limitadas, devido à simplicidade de suas células básicas de processamento [30].

Pode-se verificar que cada arquitetura realiza uma implementação eficiente de vários circuitos básicos. Um bom exemplo disto é a arquitetura competitiva WTA (*winner take all*), que apresenta um elevado grau de processamento local, auto-organização e robustez a fenômenos locais. Dependendo da sua estrutura pode apresentar baixa interconectividade, sendo uma boa opção para sistemas nanoeletrônicos mais complexos.

A construção destes circuitos básicos pode ser feita de dois modos, criando circuitos totalmente novos ou através de analogias com circuitos MOS já existentes.

A idéia para que o número de interconexões da rede neural seja reduzido é a do circuito ser um bloco básico, enfatizando o paralelismo e a utilização eficiente da área.

Neste trabalho foi realizado um estudo sobre circuitos básicos e a possibilidade de acoplamento para a realização de outras funções. Utilizando os conceitos de redes neurais competitivas WTA é proposto um circuito baseado em transistores SET para composição de uma rede de três neurônios.

No próximo capítulo tem-se a metodologia utilizada para realização deste estudo.

### 3 - METODOLOGIA

#### 3.1 - Identificação da Arquitetura de Redes Neurais

Uma das linhas de pesquisa do Departamento de Engenharia Elétrica é o desenvolvimento de um processador GSI (*giga scale integration*) de alto desempenho [11]. Sua estrutura é composta por um núcleo nanoeletrônico baseado em redes neurais artificiais, como mostra a Figura 4. O foco deste trabalho está voltado para o desenvolvimento da unidade básica de processamento deste núcleo.

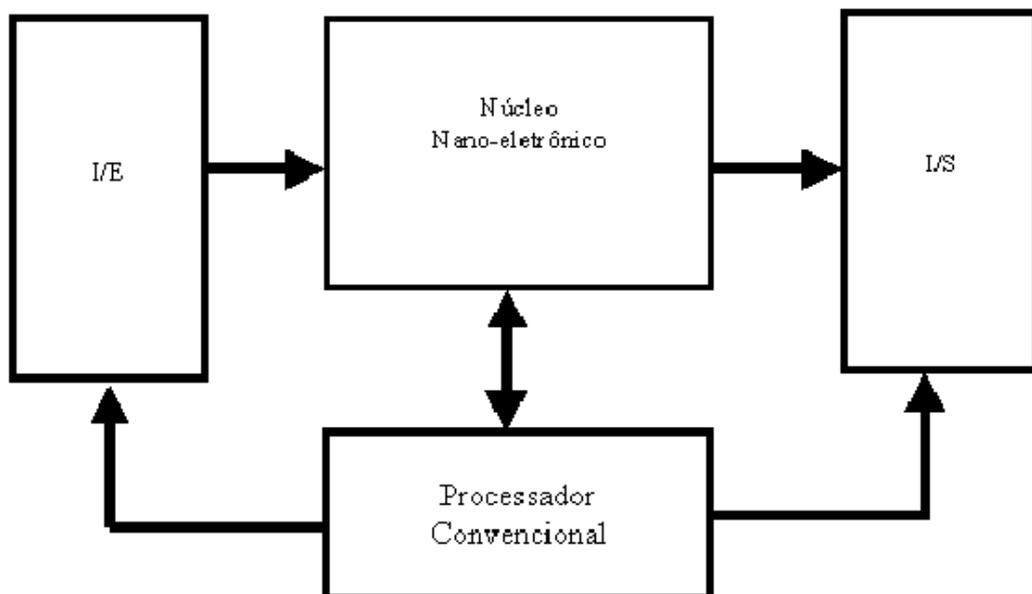


Figura 4 - Processador de alto desempenho

A escolha da arquitetura para o núcleo nanoeletrônico foi realizada com base nas especificações do projeto que são: capacidade de processamento, alta densidade, baixa complexidade nas interconexões, configurabilidade, operação sem supervisão e robustez a fenômenos locais.

Uma arquitetura que corresponde a estas especificações é a competitiva por ser auto-organizável e facilmente configurável.

Escolhida a arquitetura competitiva, a idéia básica é a possibilidade de implementação de uma rede de dispositivos SET, em analogia com circuitos MOSFET.

Foram avaliadas duas estruturas para implementação da rede de dispositivos SET. Uma estrutura em árvore, com baixa interconectividade, [28] e outra totalmente interconectada, mas que atendia às demais especificações do projeto [33]. No entanto, a complexidade dos circuitos, da rede de estrutura em árvore não permitiu sua validação, sendo o seu estudo algo para o futuro.

Apesar do problema de interconexão ser exaltado com a outra rede, (totalmente interconectada), ela apresenta uma grande vantagem que é a facilidade de implementação. Como os softwares disponíveis, simuladores de dispositivos SET, ainda não permitem simulações de arquiteturas em larga escala, optou-se por este tipo de rede.

A rede apresentada é um circuito analógico completamente interconectado [33]. Esta arquitetura só é adequada para aplicações em pequena escala, com poucos neurônios compondo a rede.

Definida a arquitetura, identificou-se a célula básica que permite implementação da rede.

Além disto, foi realizado um estudo preliminar sobre a influência das interconexões no funcionamento de um circuito, através da análise da conexão de dois subcircuitos, o Inversor [09] e o Somador Decimal [14]. Neste estudo, outros fatores que influenciam no funcionamento de um circuito nanoeletrônico foram analisados tal como a dependência da temperatura.

Na seção seguinte serão apresentadas as células básicas propostas neste trabalho.

### **3.2 - Células Básicas**

Primeiro, visando uma análise sobre interconectividade realizou-se um estudo de dois subcircuitos já conhecidos, o Inversor [09] e o Somador Decimal [14].

A união desses dois circuitos possibilitou a avaliação da influência da conexão no funcionamento do circuito. Os dois circuitos básico foram escolhidos devido à possibilidade de misturar aplicações analógicas, no caso do Somador, com aplicações digitais, para o Inversor. Neste estudo foi realizada uma análise do funcionamento sobre condições de carregamento, e dependência da temperatura, [13].

Em seguida, motivados pela possibilidade de interconexão de circuitos mais complexos, projetou-se por analogia os circuitos da Rede Competitiva, adaptando-se o neurônio CMOS [33], para dispositivos SET. Através das equações básicas

de circuitos elétricos, realizou-se o dimensionamento dos componentes dos circuitos, levando em conta o limite de fabricação [17] com a tecnologia atual.

Na próxima seção, uma breve introdução à ferramenta de simulação utilizada.

### **3.3 - Validação por Simulação**

A ferramenta utilizada foi o SIMON (*Simulation of Nano-structures*) [05], sendo os resultados gráficos obtidos com o SIMONE (*Simulation of Nano-structures extra*) [32].

O programa SIMON é um simulador de dispositivos e circuitos mono-elétron, ele simula a propagação de elétrons através da rede constituída de pequenas junções túnel, capacitores, resistores, fontes de corrente e fontes de tensão ideais [31]. Além disso, muitos parâmetros, tais como temperatura, ordem de tunelamento, velocidade do gerador randômico, número de eventos, início, fim e intervalos de simulação, podem ser especificados diretamente.

O método de simulação utilizado consiste em calcular a probabilidade para cada evento de tunelamento possível, usando o método de Monte-Carlo para escolha do evento em um conjunto de possíveis eventos, a cada instante de tempo. Neste modo, a cada parâmetro intervalo de tempo especificado, o número de eventos definido é simulado. A velocidade do gerador randômico indica se um novo conjunto de eventos deve ser calculado. Cada evento túnel é considerado

independente e exponencialmente distribuído [05]. Assim o programa simula o transporte de elétrons através da rede.

Para que um evento de tunelamento ocorra através de uma junção túnel é necessária uma fonte de energia, que pode ser uma fonte de tensão, ou uma de corrente, capaz de gerar energia potencial para o elétron tunelar. A probabilidade de um possível tunelamento muda com o tempo, porque as fontes podem variar mudando a distribuição dos elétrons na rede. Então para cada evento um novo conjunto de probabilidades é calculado.

O editor gráfico permite arrastar e colocar os componentes SET do circuito, sua interface com o usuário, esta mostrada na Figura 5. Os parâmetros podem ser alterados interativamente, Figura 6 e os resultados das simulações podem ser vistos na forma gráfica, Figura 7.

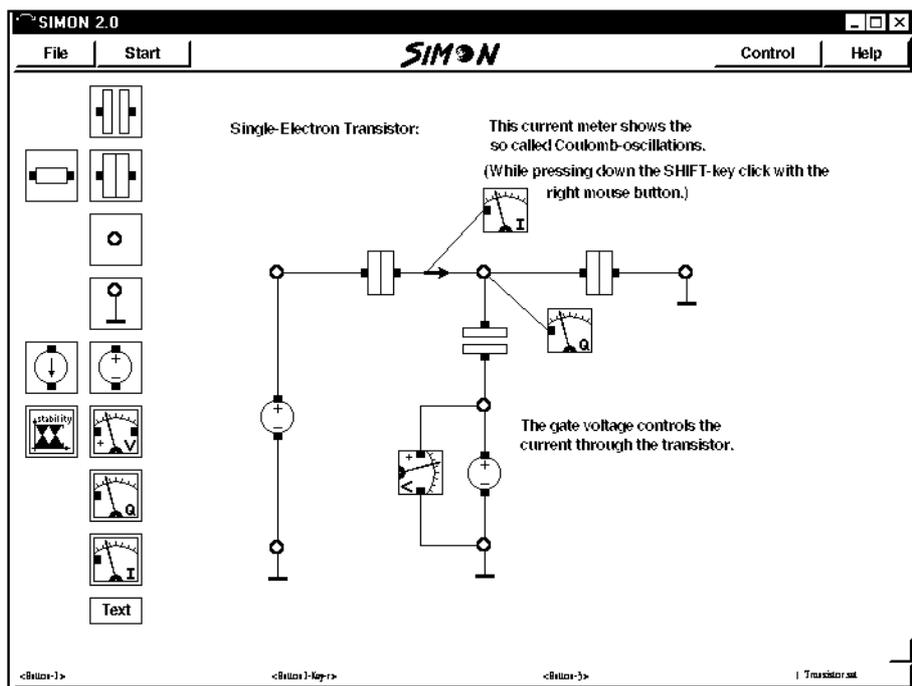


Figura 5 - Editor Gráfico do Simon – Circuito para Simulação do Transistor.

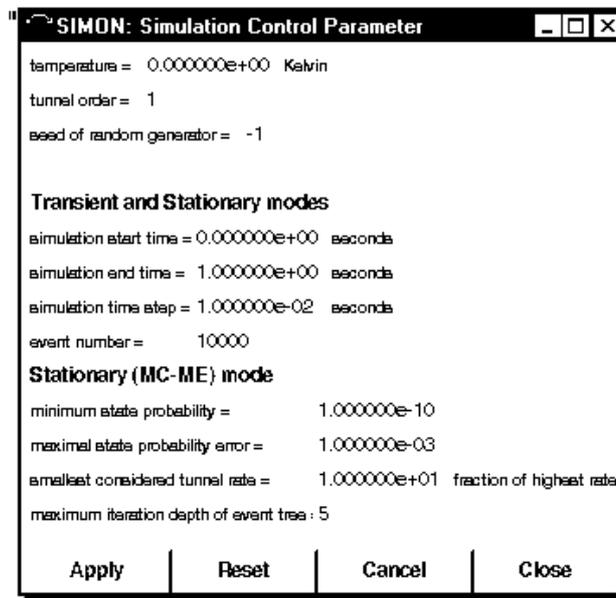


Figura 6 - Janela dos Parâmetros de Simulação.

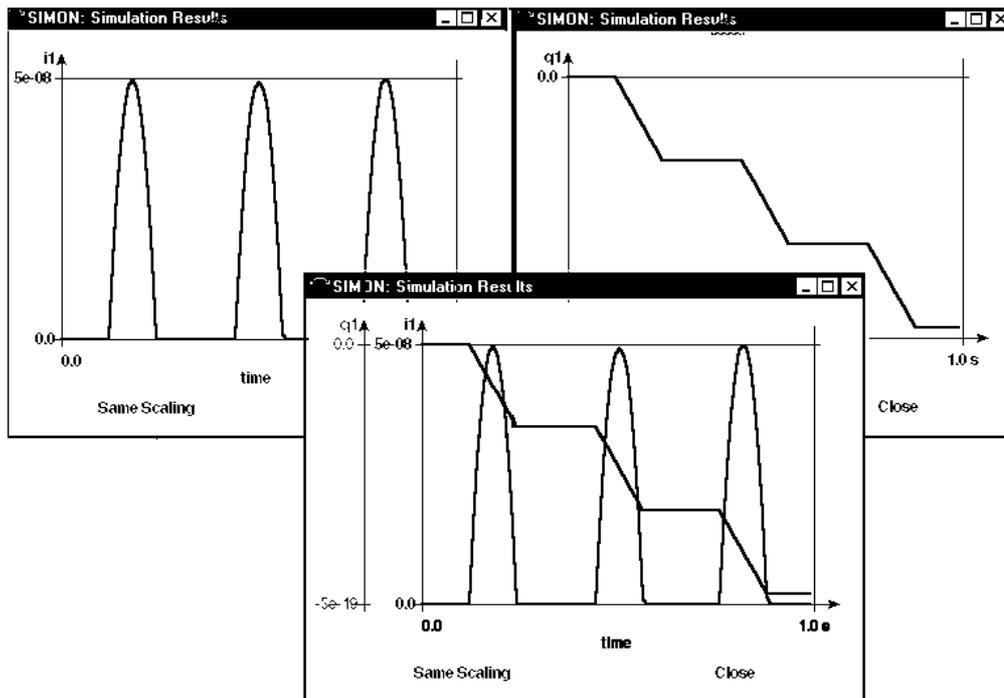


Figura 7 - Resultados Gráficos de uma Simulação.

Os resultados das simulações são mostrados através de gráficos que indicam os valores de tensão, corrente ou carga em um determinado nó do circuito.

Teoricamente o SIMON, não possui nenhuma limitação quanto ao número de junções utilizadas em um circuito. No entanto, a experiência mostra que para circuitos com mais de quinze junções, o tempo de simulação é muito alto, (em torno de 20 horas nos computadores Pentium 100 do laboratório), além de ser extremamente complicado fazer as interconexões entre as junções pelo editor gráfico. Estas restrições limitaram as simulações da Rede Competitiva, fazendo com que se optasse pela simulação de poucos neurônios.

Os circuitos projetados foram simulados e os dados obtidos comparados com a literatura. Todos os circuitos projetados foram simulados e todos os dados obtidos e análises são resultados destas simulações.

## 4 - RESULTADOS E DISCUSSÕES

Existe hoje uma busca por novas tecnologias de circuitos integrados para realização de processadores de alto desempenho em escala nanométrica.

As maiores dificuldades de implementação de circuitos nesta escala são as interconexões e as baixas temperaturas de operação [30]. A chave para a solução destes problemas se encontra no tipo de arquitetura de projeto e no tipo de dispositivo.

Com o objetivo de desenvolver células básicas para o núcleo nanoeletrônico do processador GSI, realizou-se a implementação de circuitos com funções básicas, com o intuito de avaliar e verificar a possibilidade de interconexão e a influência da temperatura no funcionamento destes circuitos.

Primeiramente, verificou-se o funcionamento do circuito de dois estágios constituído por um Inversor e um Somador Decimal [13], com a finalidade de observar a possibilidade de conexão de circuitos para implementação de outras funções mais complexas. Preliminarmente, o funcionamento dos dois subcircuitos isoladamente foi verificado, incluindo uma análise sobre as influências da variação de temperatura de operação.

Em seguida, projetou-se o circuito de um neurônio SET para implementação de uma rede competitiva WTA. A rede apresentada possui três neurônios, que é suficiente para testar a sua funcionalidade.

## 4.1 - Inversor-Somador

Os dois subcircuitos desta primeira etapa do trabalho são o Inversor [09] e o Somador Decimal [14] ilustrados na Figura 8. Ambos são baseados em transistores SET e foram escolhidos por permitirem a união de aplicações analógicas e digitais.

O subcircuito do Inversor funciona de forma semelhante ao inversor convencional, sendo o papel dos transistores fazer o chaveamento da entrada. Assim aplicando-se tensões na entrada, tendo como referência um determinado valor de tensão de limiar. Para entradas menores que esta referência, o transistor superior sai do bloqueio e a carga tunela em direção à ilha central, aumentando o potencial de saída, já no caso de uma entrada maior que a referência, o transistor inferior é o que sai da condição de bloqueio, fazendo com que a carga deixe a ilha, diminuindo o potencial.

Já o Somador Decimal utilizado, possui um circuito inovador, seu projeto não foi realizado por analogia com circuitos convencionais. Seu funcionamento está baseado no mecanismo de transporte próprio dos dispositivos nanoeletrônicos. O circuito do Somador possui entradas em tensão capacitivamente acopladas, e a saída em carga é retirada diretamente da ilha. Ao se aplicar tensões na entrada, cargas são induzidas na ilha proporcionalmente à soma das tensões de entrada.

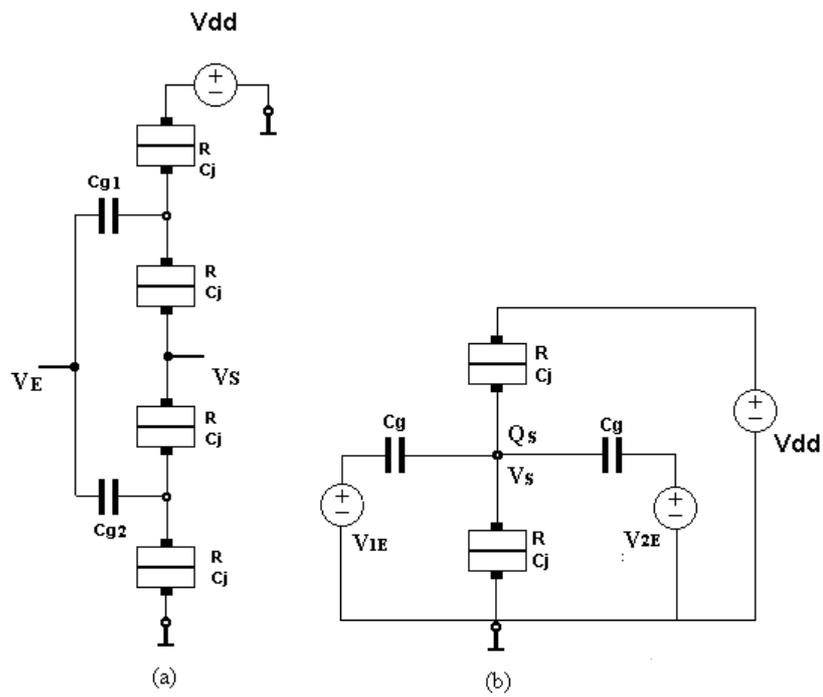


Figura 8 - Subcircuitos (a) Inversor SET (b) Somador Decimal SET.

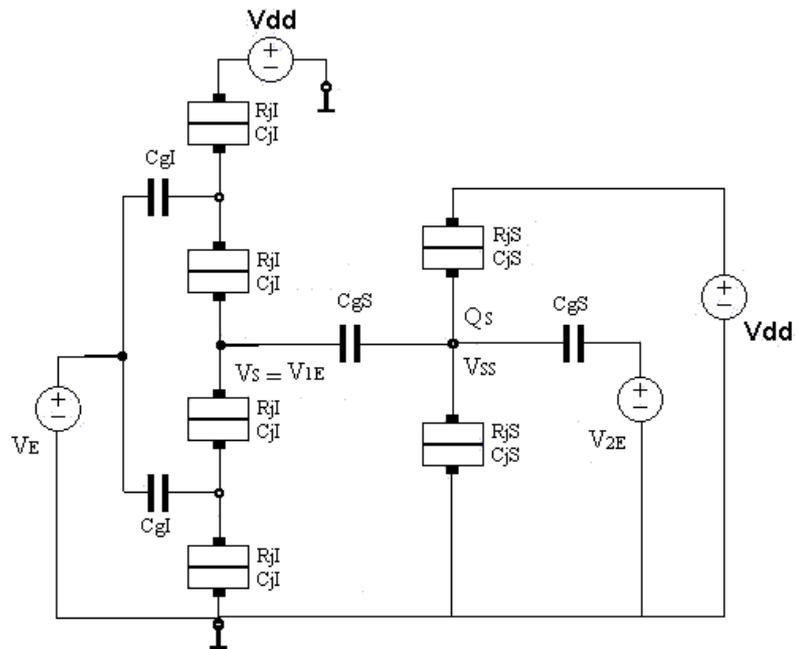


Figura 9 - Circuito Interconectado Inversor-Somador

O dimensionamento dos componentes dos circuitos foi realizado a partir da escolha de um valor razoável para a tensão de entrada  $V_E$  na literatura [10] utilizando as relações abaixo. Para o cálculo da capacitância de porta  $C_g$  utilizou-se a relação (4.1). A razão entre as capacitâncias de porta ( $C_g$ ) e a capacitância de junção ( $C_j$ ) foi preservada segundo as expressões (4.2) e (4.3) fornecidas na literatura para o Inversor [09] e o Somador [14], respectivamente.

No caso do Somador, a tensão de polarização ( $V_{dd}$ ) é calculada considerando a capacitância total da ilha  $C_s$  (4.4). Para o Inversor, a tensão de polarização ( $V_{dd}$ ) foi calculada a partir da relação (4.4) considerando a capacitância total na ilha igual à capacitância de porta ( $C_s = C_{g1}$ ). Sendo este ajuste inicial para baixas temperaturas.

$$C_{g1} = C_{g2} = \frac{e}{|V_E|} \quad (4.1)$$

$$C_j = 0,25C_g \quad (4.2)$$

$$C_j = 0,35C_g \quad (4.3)$$

$$V_{dd} = \frac{e}{C_s} \quad (4.4)$$

As funcionalidades dos subcircuitos Inversor (Figura 8-a) e Somador (Figura 8-b) foram testadas simulando cada circuito isoladamente com uma capacitância de carga ( $C_{carga}$ ), da ordem da capacitância de entrada do Inversor, conectada à saída de cada circuito. Nesta situação a simulação foi realizada variando-se a temperatura de operação para analisar a dependência térmica.

No caso do circuito interconectado Inversor-Somador da Figura 9, observou-se a influência da interconexão no funcionamento do circuito, incluindo a variação de temperatura.

As Tabela 1 e Tabela 2 apresentam os valores finais dos componentes dos circuitos, obtidos a partir das relações fornecidas acima, mantendo o limiar de fabricação com a tecnologia atual [17] para temperaturas de 77kelvins. A Tabela 3 informa os parâmetros de simulação utilizados.

|                 | $C_g$  | $C_j$  | $R_j$       | $C_{load}$ | $V_{dd}$ | $T_{máxima}$ |
|-----------------|--------|--------|-------------|------------|----------|--------------|
| <b>Inversor</b> | 2aF    | 0,5aF  | 5M $\Omega$ | 1aF        | 40mV     | 77K          |
| <b>Somador</b>  | 0,32aF | 0,08aF | 1M $\Omega$ | 0,01aF     | 0,01mV   | 77K          |

Tabela 1 - Dimensões dos Subcircuitos

| $C_{gl}$ | $C_{jl}$ | $R_{jl}$    | $V_{dd}$ | $C_{gs}$ | $C_{js}$ | $R_{js}$    | $V_{dds}$ | $T_{máxima}$ |
|----------|----------|-------------|----------|----------|----------|-------------|-----------|--------------|
| 2aF      | 0,05aF   | 5M $\Omega$ | 40mV     | 5,2aF    | 0,05aF   | 5M $\Omega$ | 0,01mV    | 77K          |

Tabela 2 - Circuito Interconectado Inversor-Somador

|                                 |                            |
|---------------------------------|----------------------------|
| Modo de simulação               | <i>quasi-stationary MC</i> |
| Temperatura                     | 77K                        |
| Ordem de tunelamento            | 1                          |
| Velocidade do gerador randômico | -1                         |
| Início da simulação             | 0 segundos                 |
| Fim da simulação                | 1 segundos                 |
| Intervalos de simulação         | 0,01 segundos              |
| Número de eventos               | 1000                       |

Tabela 3 - Parâmetros de Simulação

A temperatura máxima alcançada sem degradação do sinal de saída, variou para cada circuito. O Somador por possuir as menores dimensões opera perfeitamente a 300 kelvins, nas simulações, porém o Inversor é bem mais

sensível, apresentando mau funcionamento para temperaturas próxima de 100 kelvins, como será visto em seguida. Os resultados das simulações indicam que esses circuitos devem operar corretamente até temperaturas de 77 kelvins. Esta temperatura corresponde à do nitrogênio líquido, que pode representar uma solução viável para implementação física podendo até mesmo ser realizada nos laboratórios do Ene-UnB no futuro.

A seguir, são apresentados os resultados das simulações, contendo a verificação da funcionalidade dos circuitos na temperatura máxima de operação alcançada.

#### **4.1.1 - Inversor**

O Inversor mostrado na Figura 8-a é constituído por dois transistores SET, com acoplamento capacitivo da tensão de entrada. O sinal de entrada é aplicado nas portas dos dois transistores e a saída, também em tensão, é obtida na ilha central que interconecta os dois transistores.

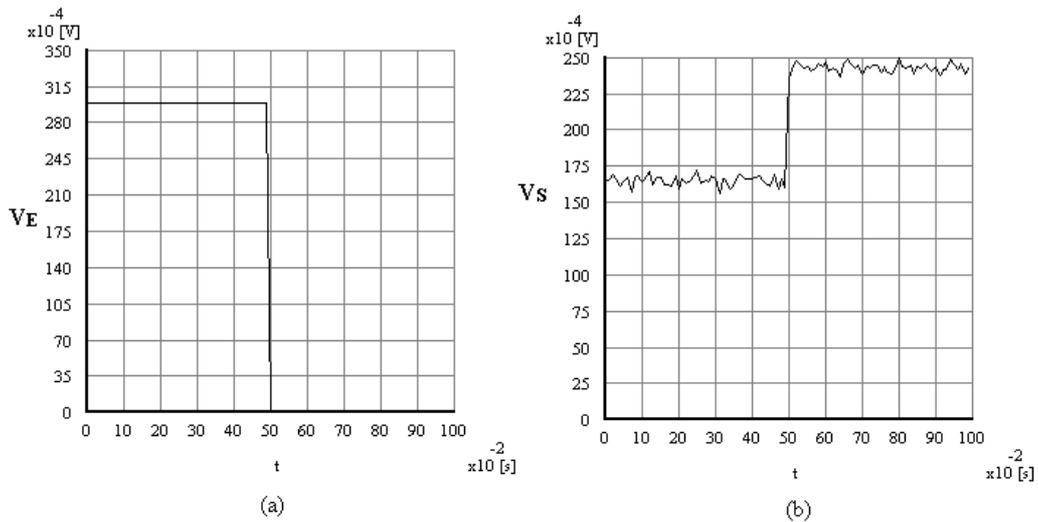


Figura 10 - Circuito Inversor (a) Entrada  $V_E$  (b) Saída  $V_S = \overline{V_E}$ .

Aplicando a função degrau (4.5), na entrada  $V_E$  do Inversor, a saída  $V_S$ , ilustradas na Figura 10, pode ser observada.

$$V_E = \begin{cases} 30mV & 0 \leq t \leq 0,5s \\ 0V & 0,5s \leq t \leq 1s \end{cases} \quad (4.5)$$

$$V_{1E} = V_S = \begin{cases} 16mV & 0 \leq t \leq 0,5s \\ 25mV & 0,5s \leq t \leq 1s \end{cases} \quad (4.6)$$

Observando a Figura 10-b, nota-se que o sinal sofreu uma alteração na amplitude, o circuito inverte a tensão de entrada  $V_E$ , fornecendo uma saída  $V_S$ , com amplitude indicada na expressão (4.6).

Variando a temperatura de 0 até 77 kelvins não houve mudanças na amplitude da saída  $V_S$ , mantendo a relação (4.6).

Considerando o formato do sinal de saída  $V_S$ , (Figura 10b) tem-se que o circuito realizou a inversão da entrada  $V_E$ . Logo o funcionamento do Inversor foi verificado.

#### 4.1.2 - Somador Decimal

O Somador Decimal, mostrado na Figura 8-b, é composto por um único transistor. Ele recebe as duas entradas capacitivamente acoplada na porta, e a saída em carga é retirada diretamente da ilha, como dito anteriormente.

Para tensões de entrada  $V_{1E}$  e  $V_{2E}$ , mostradas na Figura 11, de acordo com o valor das tensões, observa-se a indução de elétrons na ilha. A alteração da carga na saída é proporcional à soma das tensões de entrada como pode ser visto na Figura 12.

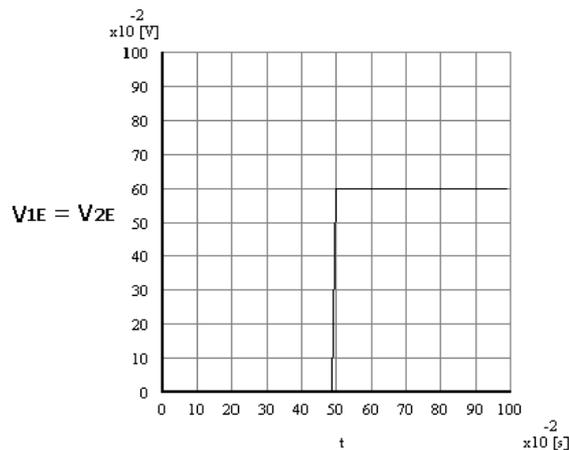


Figura 11 - Entradas do Somador Decimal  $V_{1E}$  e  $V_{2E}$ .

A Figura 11 ilustra os valores das entradas  $V_{1E}$  e  $V_{2E}$  indicadas na relação (4.7). Através dos conceitos de circuitos elétricos tem-se a expressão para a carga da ilha ( $Q_S$ ), fornecida por (4.8), que indica a soma das tensões aplicadas nas entradas do Somador. A Figura 12 ilustra a saída do Somador Decimal em termos de carga.

$$V_{2E} = \begin{cases} 0 & 0 \leq t \leq 0,5s \\ 0,6V & 0,5 \leq t \leq 1s \end{cases} \quad (4.7)$$

$$C = \frac{Q}{V} \quad (4.8)$$

$$1 \text{ elétron} = 1,6019 \cdot 10^{-19} \text{ Coulombs} \quad (4.9)$$

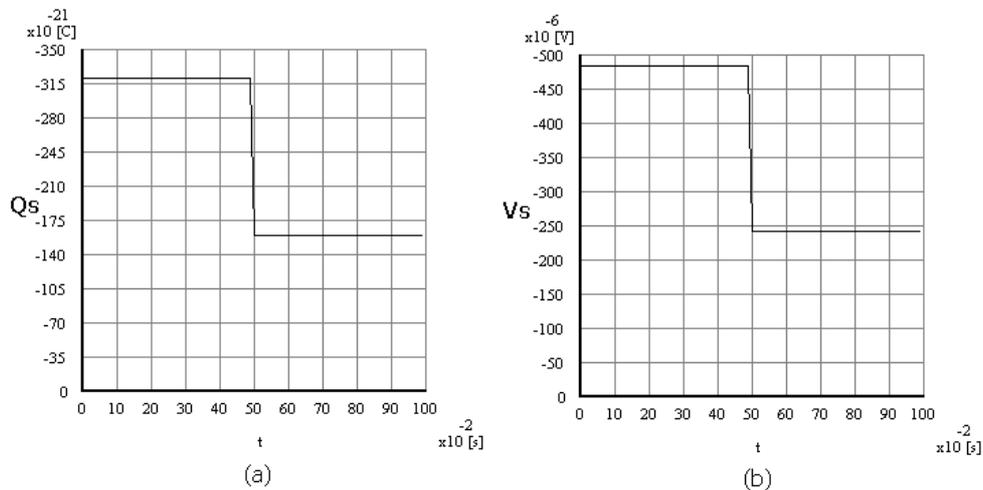


Figura 12 - Saída  $Q_S$  do Somador a 77K.

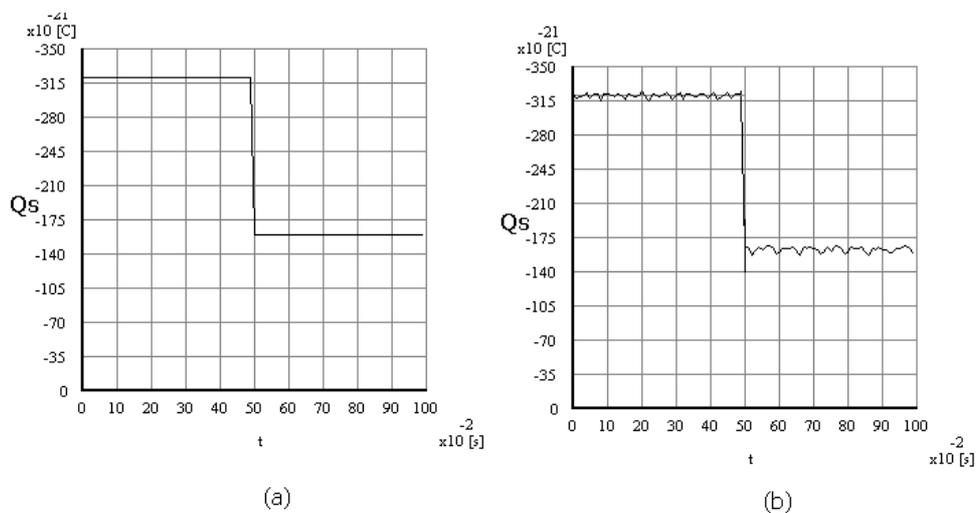


Figura 13 - Saída do Somador (a)  $Q_S$  a 0K (b)  $Q_S$  a 300K

Como dito anteriormente, o circuito do Somador Decimal, apresentou funcionamento correto, (Figura 12 e Figura 13), para temperaturas até 300 kelvins, nas simulações realizadas, uma das razões para este fato se deve às dimensões reduzidas dos seu componentes, que pode ser verificada na Tabela 1.

#### 4.1.3 - Inversor-Somador Circuito Interconectado

Neste circuito o Inversor foi colocado como primeiro estágio e o Somador Decimal como segundo estágio, como ilustra a Figura 9. Esta ordem de posicionamento, Inversor-Somador, se deve ao fato da saída do Somador não ser em tensão.

Neste caso uma das entradas do Somador será a saída do Inversor. Aplicando uma tensão de entrada  $V_E$  (Figura 14) no Inversor, indicada por (4.10), este produzirá uma saída  $V_{SI}$ , que será aplicada na entrada  $V_{1E}$  do Somador,

indicada na relação (4.11). Na outra entrada  $V_{2E}$  do Somador aplicou-se uma outra função (4.12) ilustrada na Figura 15.

$$V_E = \begin{cases} 0V & 0 \leq t \leq 0,5s \\ 40mV & 0,5s \leq t \leq 1s \end{cases} \quad (4.10)$$

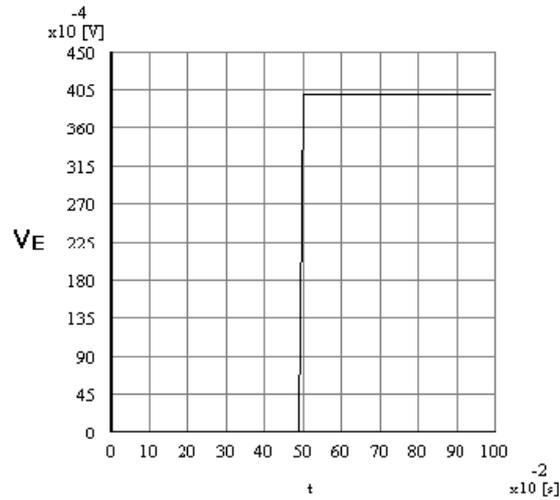


Figura 14 - Entrada do Primeiro Estágio – Inversor a 77K.

$$V_{1E} = V_S = \begin{cases} 30mV & 0 \leq t \leq 0,5s \\ 7mV & 0,5 \leq t \leq 1s \end{cases} \quad (4.11)$$

$$V_{2E} = \begin{cases} 0 & 0 \leq t \leq 0,5s \\ 60mV & 0,5 \leq t \leq 1s \end{cases} \quad (4.12)$$

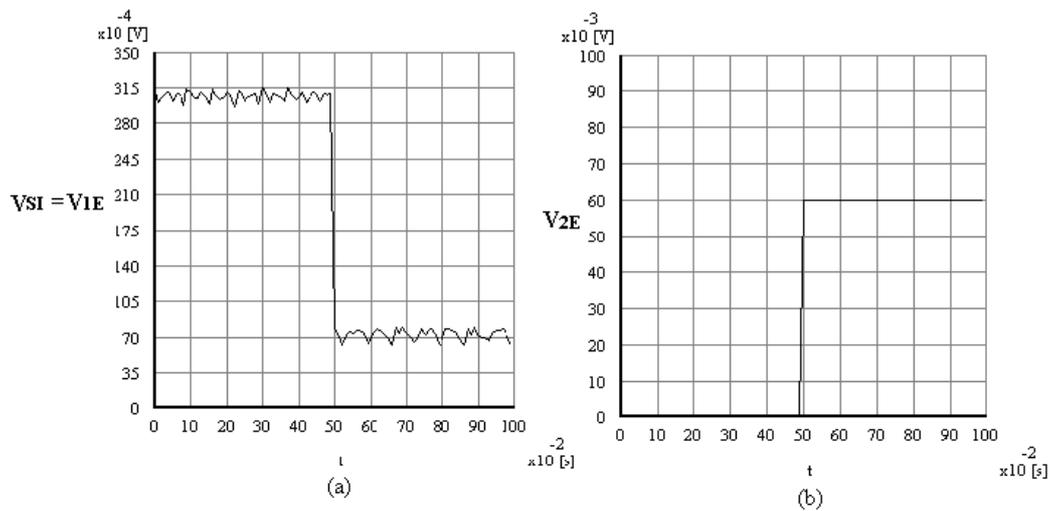


Figura 15 - Entradas dos Segundo Estágio – Somador a 77K (a) Saída do Inversor  $V_{1E}=V_{SI}$  (b) Entrada Independente  $V_{2E}$ .

Fazendo a conversão indicada na relação (4.9) tem-se a saída do Somador  $Q_S$ , correspondente ilustrada na Figura 16, bem como a saída em tensão.

Através do circuito interconectado Inversor-Somador, pode-se observar que as interconexões são limitadas pela sensibilidade de cada circuito e pela magnitude da saída em tensão do estágio imediatamente anterior. Neste circuito especificamente, aplicando uma função degrau com a diferença de amplitudes pequena dificulta o funcionamento do Inversor que gera na saída um sinal distorcido, que não é capaz de induzir um elétron na ilha do Somador.

O circuito mostrou a possibilidade de interconexão, permitindo a viabilidade de associação em estruturas mais complexas.

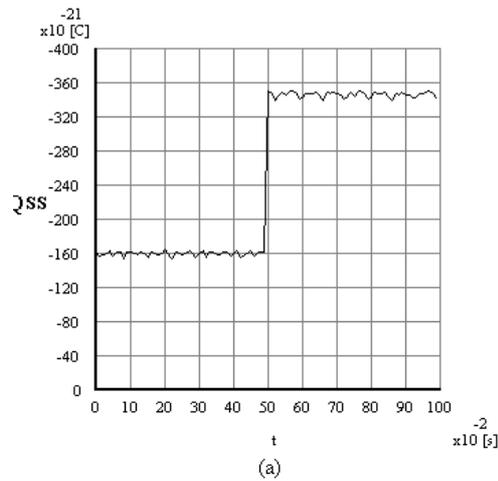


Figura 16 - Saída do Circuito Interconectado  $Q_{SS}$  a 77K.

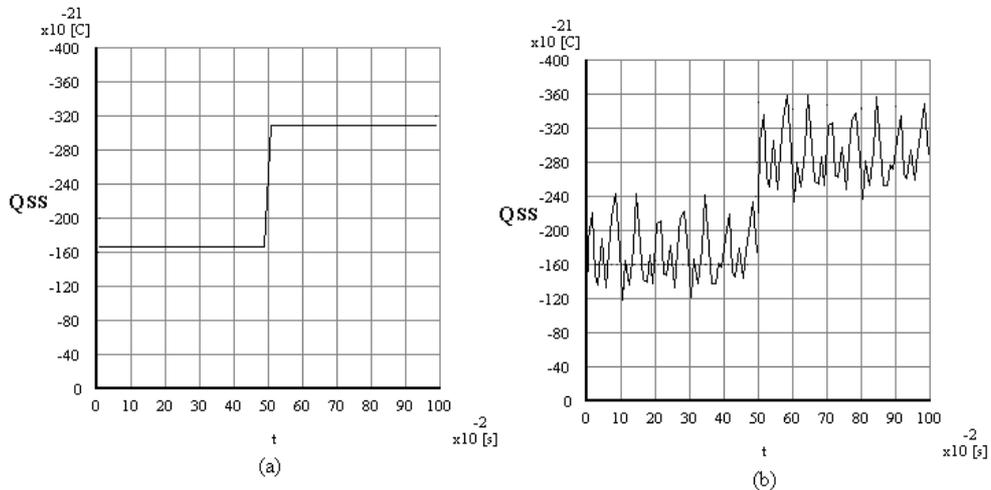


Figura 17 - Saída em Carga do Circuito Interconectado (a) Temperatura de 0K (b) Temperatura de 300K

Observando a Figura 17, verificou-se que no circuito interconectado Inversor-Somador a temperatura exerce uma influência maior na saída em tensão, uma vez que o aumento de temperatura pode desencadear o movimento de elétrons por emissão termoiônica entrando e saindo da ilha, um efeito indesejável.

## 4.2 - Rede Competitiva

Motivados pela possibilidade de associação de estruturas básicas para implementação de funções mais complexas, realizou-se esta segunda parte do trabalho, que consiste no estudo de células básicas para o projeto do processador GSI, (Figura 4).

Utilizando os conceitos de redes neurais artificiais, para o desenvolvimento destas células, através da arquitetura competitiva WTA, propos-se o projeto de um neurônio SET.

A arquitetura WTA foi escolhida devido suas propriedades de auto-organização e fácil configurabilidade que atendem às especificações do projeto [11].

O projeto do circuito do neurônio SET foi realizado por analogia com a rede WTA CMOS [33], cujas características estão descritas no Apêndice A.

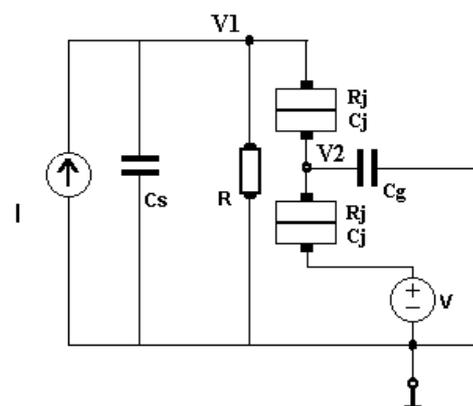


Figura 18 - Neurônio SET

Da mesma forma que na rede CMOS, o neurônio SET (Figura 18), possui um transistor, um resistor e um capacitor. O dimensionamento destes componentes foi realizado utilizando as equações de circuitos elétricos, fazendo algumas considerações: primeiro escolheu-se um valor para a capacitância de junção ( $C_j$ ), que fosse o menor realizável, com a tecnologia atual, para operar à temperatura ambiente. Depois de acordo com a teoria, para realizar o controle da passagem de elétrons, com a tensão de porta, a capacitância da junção deve ser menor que a capacitância de porta ( $C_g$ ). Além disso o tempo de convergência do circuito tem que ser maior que o tempo médio entre eventos túnel, utilizando para isto a constante de tempo RC, calculou-se a resistência R mantendo a capacitância  $C_s$ , na escala nanométrica, para correntes na escala nanométrica, tem-se os valores utilizados na simulação, indicados na Tabela 4. Os parâmetros de ajuste do simulador são os mesmos utilizados anteriormente indicados na Tabela 3.

|      |              |
|------|--------------|
| Vdd  | -1V          |
| I    | 1nA          |
| Rj   | 1M $\Omega$  |
| Cj   | 0,01aF       |
| Cs   | 10aF         |
| Cg   | 0,1aF        |
| R    | 10M $\Omega$ |
| Tmax | 120K         |

Tabela 4 - Circuito do Neurônio

### 4.2.1 - Neurônio

O circuito denominado neurônio SET, Figura 18, é a estrutura básica da rede competitiva em estudo. Seu comportamento isolado pode ser verificado na Figura 19.

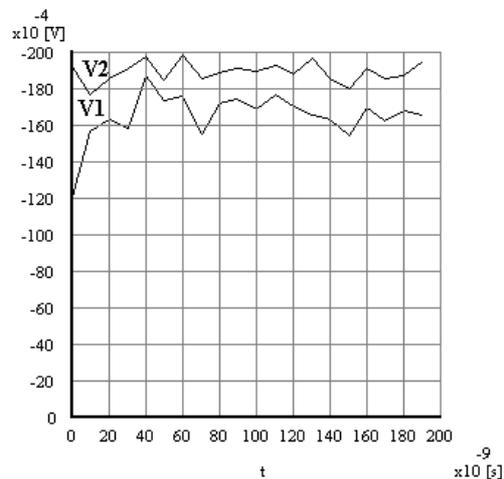


Figura 19 - Sinais de Tensão do Neurônio  $V_1$  e  $V_2$ .

A tensão de  $V_2$  obtida na porta prevalecendo sobre a tensão  $V_1$  de saída. No entanto, vale observar a ordem de grandeza dos sinais de tensão de saída, que são compatíveis com os valores encontrados para a rede, como será visto em seguida.

Na rede o comportamento é esperado é que somente o neurônio da maior corrente, (neurônio vencedor), apresente resposta enquanto os demais são inibidos.

#### 4.2.2 - Rede Com Três Neurônios

Para verificar o funcionamento da rede proposta era necessário a interconexão de mais de um neurônio. Devido às limitações do simulador este número ficou reduzido a três neurônios, ilustrados na Figura 20.

No circuito da rede todos os neurônios são similares, sendo os valores dos componentes indicados na Tabela 4. As entradas são correntes ( $I_1 = 1\text{nA}$ ,  $I_2 = 2\text{nA}$  e  $I_3 = 3\text{nA}$ ) e as saídas são as tensões  $V_{11}$ ,  $V_{22}$  e  $V_{13}$ , mostradas na Figura 21.

Teoricamente a rede opera da seguinte maneira:

- a) Quando as entradas são aplicadas, as tensões  $V_1$  ( $V_{11}$ ,  $V_{22}$  e  $V_{13}$ ) dos neurônios aumentam, já que a corrente está passando pelo resistor
- b) O neurônio que recebe a maior corrente, vencedor, tem a maior tensão  $V_1$ .
- c) A tensão  $V_1$  do neurônio vencedor está conectada às portas dos transistores dos outros neurônios, fazendo com que estes transistores transfiram mais corrente, diminuindo suas tensões  $V_2$
- d) Ao mesmo tempo, os transistores do neurônio vencedor recebem tensões  $V_2$  cada vez menores, inibindo a condução dos transistores e aumentando a tensão de saída  $V_1$ .

Resumidamente, em uma rede competitiva WTA, o neurônio que recebe a maior entrada é o que responde, fornecendo um sinal de saída considerável, enquanto os demais neurônios são inibidos, tendo como saída um valor reduzido de tensão e praticamente igual para todos os “perdedores”, sendo a operação da rede baseada neste contraste.

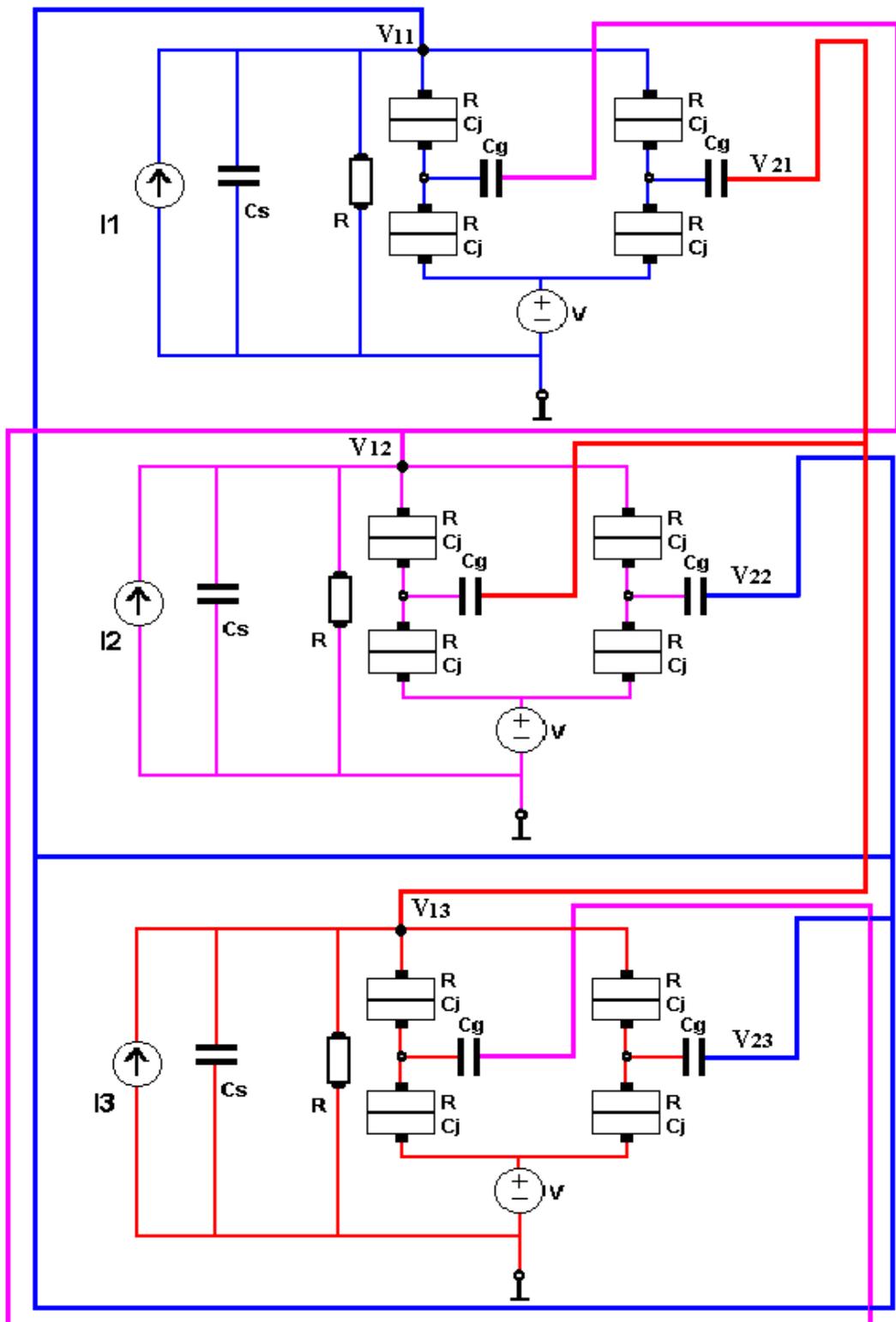


Figura 20 - Rede com Três Neurônios.

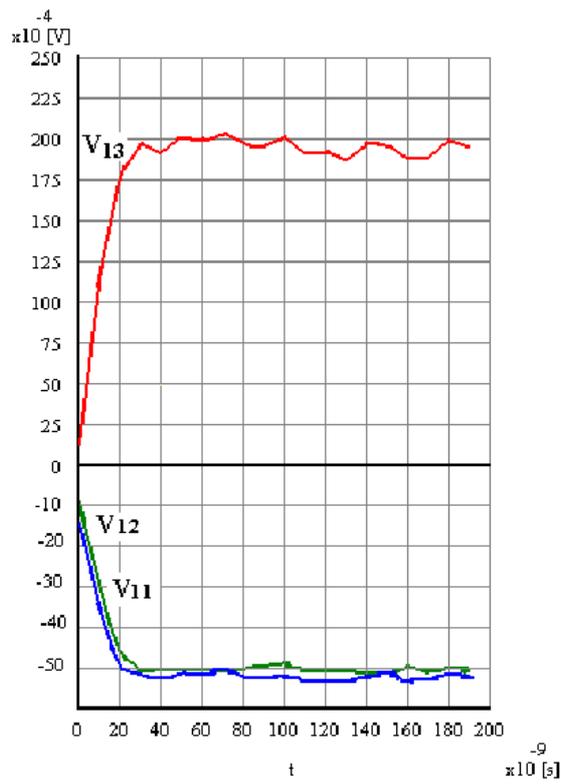


Figura 21 - Saídas da Rede SET com Três Neurônios a 1K.

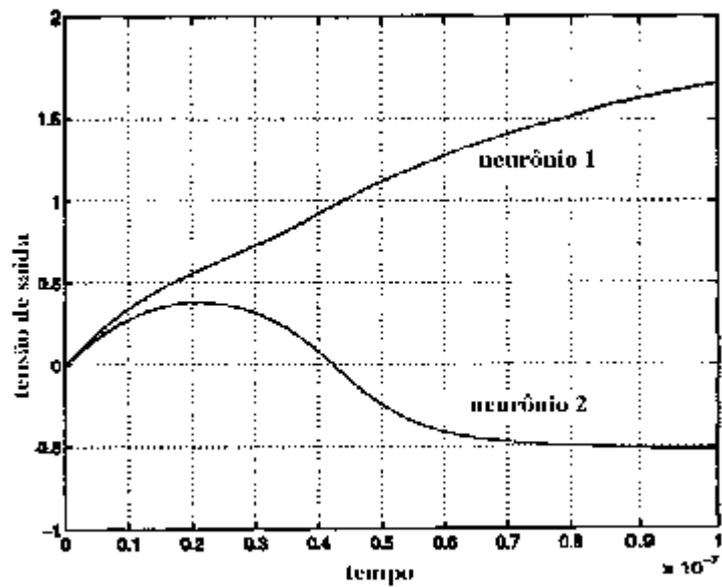


Figura 22 - Saída da Rede CMOS para dois Neurônios [33].

Comparando as curvas das Figura 21 e Figura 22, verifica-se que a rede SET opera como o esperado, de forma semelhante à rede CMOS. Apesar da rede CMOS ser composta por apenas dois neurônios, existe o contraste entre as tensões de saída. Da mesma forma, na rede SET, na simulação o neurônio SET 3 (Figura 20), foi vencedor, uma vez que sua corrente era a maior.

A temperatura máxima alcançada foi 120 kelvins, na Figura 23 observa-se que não houve convergência de uma saída vencedora. Nota-se que mesmo com a saída  $U_3$  sendo maior, as outras duas não apresentam inibição, possuindo cada uma valores diferentes. Assim o circuito deixa de operar corretamente.

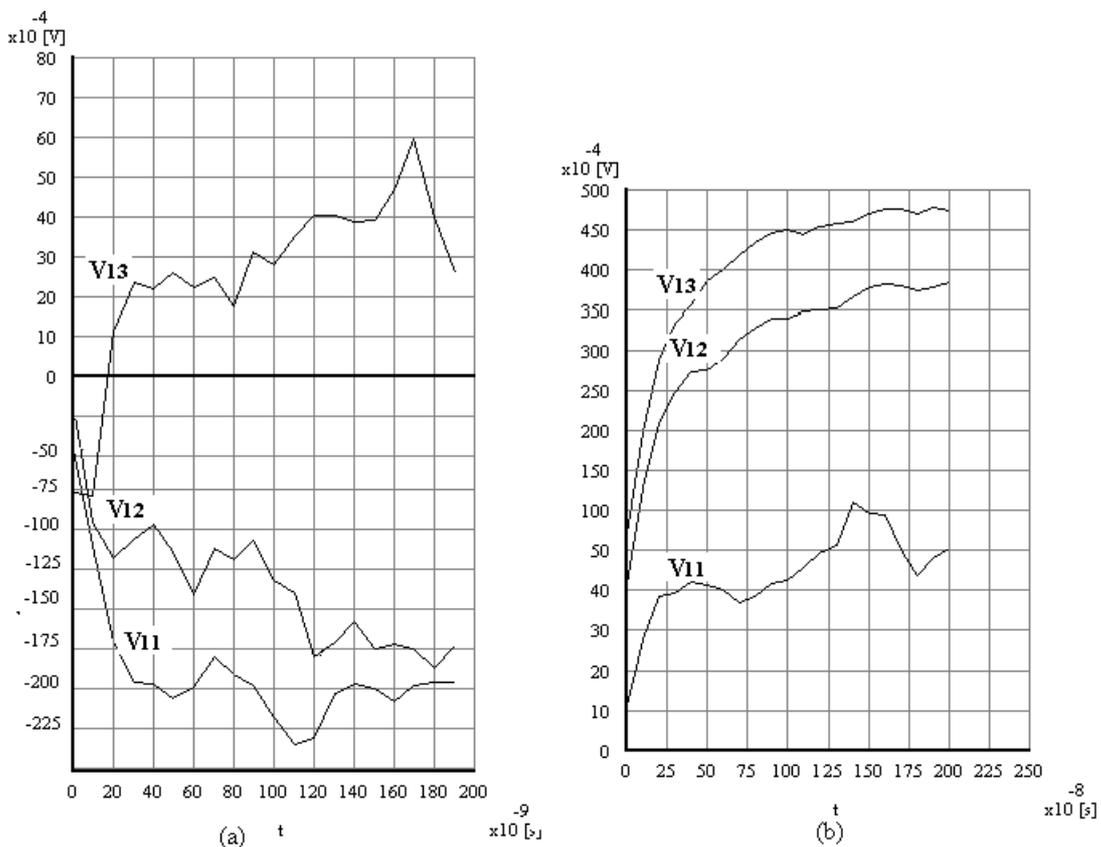


Figura 23 - Saídas da Rede SET com Três Neurônios (a) 120K (b) 150K

A rede competitiva SET é uma realidade possível, sua implementação para aplicações de baixa densidade de dispositivos é uma opção bastante razoável. A rede simulada compara correntes da ordem de nanoampéres desde que seja mantida uma diferença de 10% entre as mesmas.

## 5 - CONCLUSÃO

Para evolução dos sistemas computacionais que atendam às necessidades do mundo moderno, novas técnicas de projeto de circuitos integrados, para implementação de dispositivos inovadores, com arquiteturas que atendam às novas especificações como tolerância a falha e auto-organização estão sendo investigadas.

Neste trabalho, o objetivo de desenvolver células básica, para um processador neural de alto desempenho foi alcançado.

Realizando um estudo de circuitos nanoeletrônicos de função básica que resultou no projeto de uma célula básica, o neurônio SET, para implementação de uma rede neural artificial, que pode ser usada na constituição do núcleo nanoeletrônico do processador GSI.

Através dos resultados obtidos com o circuito interconectado Inversor-Somador, verificou-se a possibilidade de construção de circuitos maiores usando interconexão de circuitos básicos de dispositivos SET para a realização de funções mais complexas.

O neurônio SET projetado possibilitou a construção de uma rede competitiva WTA com estrutura totalmente interconectada, indicada para aplicações de baixa densidade de dispositivos.

Os resultados das simulações obtidos para a rede com três neurônios demonstraram que a rede funcionou corretamente para temperaturas abaixo de 130 kelvins. Além disso, estes resultados indicaram que a utilização de

dispositivos SET em sistemas projetados para transistores CMOS pode ser realizada em alguns casos, levando em conta o redimensionamento dos componentes do circuito e dos valores de entrada.

Uma limitação deste trabalho se deve a ausência de um verdadeiro simulador de circuitos, uma vez que o SIMON, esta voltado para o dispositivo e não para o circuito, prejudicando simulações onde um grande número de junções seria utilizado, como no caso da implementação da rede com mais neurônios.

Assim, conclui-se que a implementação de circuitos nanoeletrônicos oferece a possibilidade de construção de sistemas inovadores, que serão qualitativamente superior aos convencionais existentes. A continuação da investigação das propriedades nanoeletrônicas e projeto de sistemas de alto paralelismo para computadores de alta performance, através do estudo de novas estruturas de rede competitiva, como por exemplo a estrutura em árvore que possui a vantagem de diminuir o número de interconexões entre células, ou até mesmo de uma nova topologia, como por exemplo, autômato celular, são assuntos para estudos futuros. Além disso, um outro caminho para continuação das pesquisas é o desenvolvimento de um software para simulação de sistemas nanoeletrônicos que se torna cada vez mais uma necessidade para validação deste tipo de projeto.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [01] A. DEMOSTHENOUS, R. AKBARI-DILMAGHANI, S. SMEDLEY, J. TAYLOR  
“*Enhanced Modular CMOS Current-Mode Winner-Take-All Network*” –  
ICECS, [402-405] 1996
- [02] A. DEMOSTHENOUS, S. SMEDLEY, J. TAYLOR – “*A CMOS Analog  
Winner-Take-All Network for Large-Scale Applications*” – IEEE Transactions  
on Circuits and Systems, vol. 45, nr. 3, [300-304] 1998
- [03] A. N. KOROTKOV, R. H. CHEN, K. K. LIKHAREV – “*Possible Performance of  
Capacitively Coupled Single-Electron Transistors in Digital Circuits*” – Journal  
Applied Physics, vol. 78, nr. 4 [2520-2530] 1995
- [04] A. NAKAJIMA, T. FUTATSUGI, K. KOSEMURA, T. FUKANO,  
N. YOKOYAMA – “*Room Temperature Operation of Si Single-electron  
Memory with Self-aligned Floating Dot Gate*” – Applied Physics Letters, vol.  
70, nr. 13, [1742-1744] 1997
- [05] C. WASSHUBER, H. KOSINA, S. SELBERHERR – “*SIMON – A Simulator for  
Single-electron Tunnel Devices and Circuits*” – IEEE Transactions on  
Computer-Aided Design of Integrated Circuits and Systems, vol. 16, nr. 9  
[937-944] 1997
- [06] D. FERRY, S. GOODNICK – “*Transmission in Nanostructures*” – Cambridge  
Studies Semiconductor Physics and Microelectronic Engineering, Cambridge  
University Press 1997

- [07] D.GOLDHABER-GORDION, M. S. MONTEMERLO, J. C. LOVE, G. J. OPITECK, J. C. ELLENBOGEN – “*Overview of Nanoelectronic Devices*” Proceedings of the IEEE, vol. 85, nr. 4 [521-540] 1997
- [08] G. SCHÖN – “*Quantum Shot Noise in Tunnel Junctions* “ – Physical Review Letters, vol. 32, nr. 7, [4469-4485] 1985
- [09] H. FAHMY, K. ISMAIL – “*Analysis of a Single-electron Decimal Adder*“ – Applied Physics Letters, vol. 70, nr. 19, [2613-2615] 1997
- [10] H. GRABERT, M. H. DEVORET – “*Single Charge Tunneling - Coulomb Blockade Phenomena in Nanostructures*”, NATO ASI Series B:Physics, Plenum Press 1992
- [11] J.C. COSTA, J. HOEKSTRA, M.J. GOOSSENS, C.J.M. VERHOEVEN, A.H.H. van ROERMUND – “*Considerations About a General-Purpose Nanoelectronic GSI Processor*” – SBMicro, Brasil 1998
- [12] J.G. GUIMARÃES, “*Desenvolvimento de uma Fonte de Corrente para Polarização de Circuitos Nanoeletrônicos*” – Dissertação de Mestrado – Universidade de Brasília, Departamento de Engenharia Elétrica 1999
- [13] J.G. GUIMARÃES, H.C. CARMO, J.C. COSTA, “*Basic Subcircuits With Single-elctron Tunnelling Devices*” – SBMicro 2002 – Aceito para Publicação – Porto Alegre 2002
- [14] J.R.TUCKER – “*Complementary Digital Logic Basead on the Coulomb Blockade*” – Journal Applied Physics, vol. 72, nr. 9 [4399-4413] 1992
- [15] K. F. GOSER, C. PACHA, A. KANSTEIN, M. L. ROSSMANN – “*Aspects of Systems and Circuits for Nanoelectronics*” Proceedings of The IEEE, vol 85, nr. 4, [558-573] 1997

- [16] K. K. LIKHAREV – “*Single-Electron Devices and Their Applications*” – IEEE Proceedings 87, vol. 87, nr. 4 1999
- [17] K. YAMAMURA, Y. SUDA – “*Improvement of Operation Reliability at Room Temperature for a Single-electron Pump*” – IEICE Transp. Electron, E81-C, nr. 1 1998
- [18] L. FAUSETT – “*Fundamental of Neural Networks*” – Prentice Hall International, Inc – New Jersey – USA 1994
- [19] M. G. ANCONA – “*Single-phase Single-electron Digital Circuits*” – Journal Applied Physics, vol. 81, nr.7, [3311-3315] 1997
- [20] M. H. DEVORET, D. ESTEVE, H. GRABERT, G. L. INGOLD, H. POTHIER, C. URBINA – “*Effect of the Eletromagnetic Environment on the Coulomb Blockade in Ultrasmall Tunnel Junctions*” – Physical Review Letters, vol. 64, nr. 15, [1824-1827] 1990
- [21] M. KIRIHARA, K. TANIGUCHI – “*A Single Electron Neuron Device*” – Jpn Journal Applied Physics, vol 36 [4172-4175] 1997
- [22] M. TAFNER, M. XEREZ, I. RODRIGUES FILHO – “*Redes Neurais Artificiais Introdução e Princípios de Neurocomputação*” – Editora Eco, Blumenau - Brasil 1996
- [23] M-Y. JEONG, B-H. LEE, Y-H. JEONG – “*Design Consideration for Low Power Single-electron Transistor Logic Circuits*” – Jpn Journal Applied Physics, vol 40 [2054-2057] 2001
- [24] R. EISBEG, R. RESNICK – “*Física Quântica – Átomos, Moléculas, Sólidos, Núcleos e Partículas*” – Editora Campus, Rio de Janeiro – Brasil 1979

- [25] R. H. CHEN, A. N. KOROTKOV, K. K. LIKHAREV – “*Single-electron Transistor Logic*” – Applied Physics Letters vol. 68, nr. 14 [1954-1956] 1996
- [26] R. H. CHEN, K. K. LIKHAREV – “*Multiple Junction Single-electron Transistor For Digital Applications*” – Applied Physics Letters, vol. 72, nr. 1 [61-63] 1998
- [27] S. M. GIRVIN, L. I. GLAZMAN, M. JONSON, D. R. PENN, M. D. STILES  
“*Quantum Fluctuations and the Single-Junction Coulomb Blockade*”  
Physical Review Letters, vol. 64, nr. 26, [3183-3186] 1990
- [28] S. SMEDLEY, J. TAYLOR, M. WILBY – “*A Scalable High-Speed Current-Mode Winner-Take-All Network for VLSI Neural Applications*” – IEEE Transactions on Circuits and Systems, vol. 42, nr. 5, [289-291] 1995
- [29] S.M. VERBRUGH – “*Development of a Single Electron Turnstile as a Current Standard*” – Tese de Doutorado, TUDelft, Holanda 1995
- [30] Semiconductor Industry Association, “*The National Roadmap for Semiconductors*” – European Commission 2000
- [31] SIMON, Simulador de Circuitos Mono-Elétron by C. Wasshuber, TU Vienna (1997)
- [32] SIMONE, Software de Edição Gráfica by R. Klunder. TUDelft (1997)
- [33] Y. FANG, M. COHEN, T. KINCAID – “*Dynamics of a Winner-Take-All Neural Network*” – Neural Networks, vol 9, nr. 7, [1141-1154] 1996
- [34] Y. ONO, Y. TAKAHASHI, K. YAMAZAKI, M. NAGASE, H. NAMATSU, K. KURIHARA, K. MURASE – “*Si Complementary Single-electron Inverter with Voltage Gain*” – IEEE – IEDM, Extended Abstract, [297-300] 2000

- [35] Y. ONO, Y. TAKAHASHI, K. YAMAZAKI, M. NAGASE, H. NAMATSU,  
K. KURIHARA, K. MURASE – "*Si Complementary Single-electron Inverter*" –  
IEEE - IEDM, Extended Abstract, [367-370] 1999

# APÊNDICE

## REDE CMOS *Winner-Take-All*

A rede WTA é um importante componente dos sistemas baseados em redes neurais artificiais. O modo de operação deste tipo de rede é um modo de extremos contrastes, onde somente o neurônio de maior máxima estimulação responde, enquanto todos os outros de rede são inibidos.

Este tipo de rede tem sido bastante utilizado para vários tipos de circuitos, tais como, de tomada de decisão, de aprendizado competitivo, de propósito geral auto-organizáveis. Também tem sido utilizada em muitas aplicações de processamento de sinais, incluindo extração de imagem, inibição não linear, compressão de imagem, entre outras [33].

Freqüentemente a literatura corrente descreve redes WTA construídas usando inibição lateral. Então o comportamento esperado da rede é que quando o sistema for iniciado, com inibições suficientemente fortes, os neurônios competidores têm duas situações extremas: ganhar ou perder. No entanto se a inibição é fraca ou se excitações laterais estiverem envolvidas, então a dinâmica da rede pode ficar muito complexa [33].

Existem várias estratégias para o projeto de redes WTA. A análise apresentada na referência [33] é uma análise dinâmica detalhada para projeto de circuitos analógicos WTA que são implementados por MOSFET, que fornece pela primeira vez uma expressão explícita para resolução mínima de entrada em

termos de parâmetros de circuito, que são como um guia de projeto para fabricação MOSFET e implementação da rede.

O circuito é totalmente conectado, podendo ser utilizado para aplicações em pequena escala.

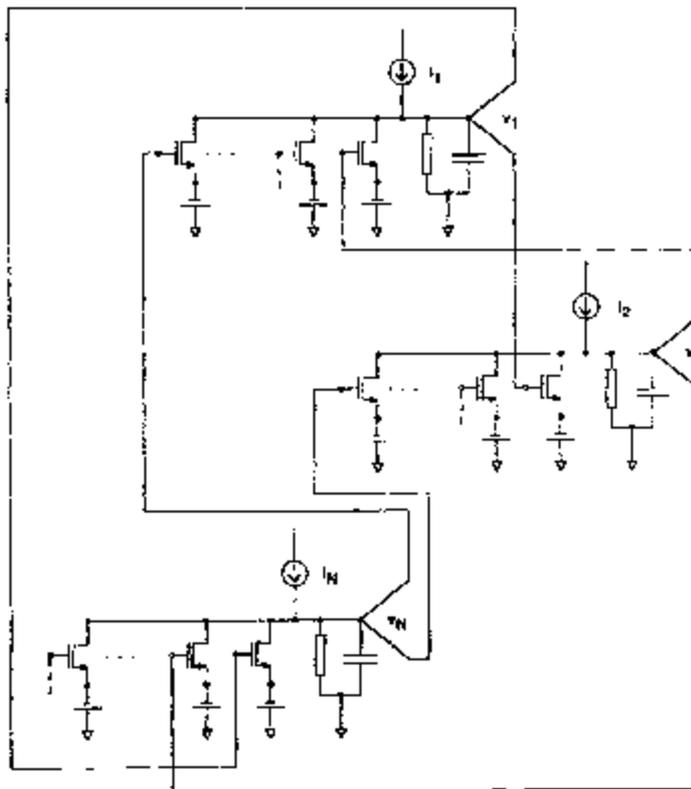


Figura A - I: Rede Neural WTA MOSFET

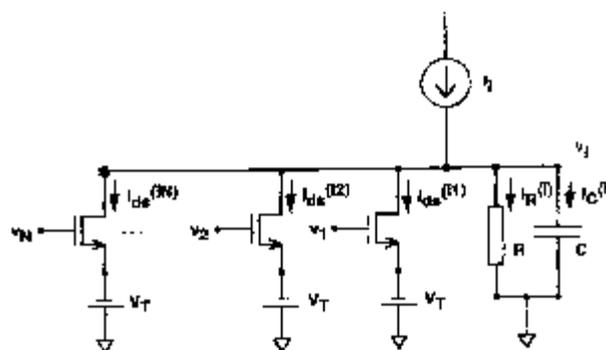


Figura A - II: O neurônio

A rede é formada por  $N$  neurônios. Cada neurônio possui  $(N-1)$  transistores, um resistor e um capacitor, como indica a Figura A - I. Portanto, são necessários  $N(N-1)$  transistores e  $N$  resistores para implementar essa rede. Todos os componentes de todos os neurônios são similares. As entradas dos neurônios são correntes  $(I_1, I_2, \dots, I_N)$ , e as saídas são as tensões  $(v_1(t), v_2(t), \dots, v_N(t))$ .

Quando as entradas são aplicadas a rede, as tensões dos neurônios tendem a aumentar já que a corrente passa pelo resistor. O neurônio que recebe a maior corrente terá, conseqüentemente, a maior tensão de saída. Essa tensão, que estará conectada às portas (gates) de transistores dos outros neurônios, fará com que esses transistores conectados ao neurônio de maior corrente operem transferindo cada vez mais corrente do dreno para a fonte, diminuindo as suas tensões de saída. De maneira contrária, no neurônio de maior corrente, os transistores estarão recebendo em suas portas tensões cada vez menores, fazendo com que seus transistores não conduzam e que a tensão de saída aumente cada vez mais até atingir um limite, quando a constante de tempo  $RC$  do circuito for alcançada.

### **Exemplo Teórico – Rede com dois neurônios:**

Vamos supor uma rede com dois neurônios. Cada neurônio, portanto, terá um transistor MOSFET. Suas correntes de entrada são tais que  $I_1 > I_2$ . Quando as entradas forem aplicadas ao circuito, de imediato as tensões tenderão a aumentar. No neurônio 2, o transistor receberá em sua porta uma tensão  $v_1(t)$  que fará com que ele conduza a corrente, e

diminua a sua tensão de saída  $v_2(t)$  a cada instante de tempo. Já o neurônio 1 receberá em sua porta uma tensão  $v_2(t) < v_1(t)$  cada vez menor, impossibilitando seu transistor de operar, e acumulando toda a tensão no capacitor.

Esta estrutura serviu de parâmetro para a rede SET, seu circuito de fácil implementação possibilitou a realização da rede em SET.