Universidade de Brasília

Faculdade de Ciências e Tecnologias em Engenharia

Efeitos dependentes de layout em um amplificador operacional de dois estágios em FDSOI 22nm GF

Emmanuelle Silva

PROJETO FINAL DE CURSO

ENGENHARIA ELETRÔNICA

Brasília

2025



Universidade de Brasília
Faculdade de Ciências e Tecnologias em Engenharia

Efeitos dependentes de layout em um amplificador operacional de dois estágios em FDSOI 22nm GF

Emmanuelle Silva

Projeto Final de Curso submetido como requisito parcial para obtenção do grau de Engenheiro Eletrônico.

Orientador: Prof. Dr. Marcus Vinicius Batistuta

Brasília
2025

FICHA CATALOGRÁFICA

Silva, Emmanuelle.

Efeitos dependentes de layout em um amplificador operacional de dois estágios em FDSOI 22nm GF / Emmanuelle Silva; orientador Marcus Vinicius Batistuta . -- Brasília, 2025.

52 p.

Projeto Final de Curso (Engenharia Eletrônica) -- Universidade de Brasília, 2025.

1. efeitos dependentes de layout. 2. isolamento de trincheira raso. 3. efeito de proximidade do poço. 4. layout analógico. I. , Marcus Vinicius Batistuta, orient. II. Título.

Agradecimentos

Agradeço à minha família por todo o apoio; ao meu orientador Dr.Marcus Vinicius Batistuta e aos membros da banca que participaram tão ativamente no meu processo de aprendizado. À equipe de *layout* da Chipus Microeletrônica. Sem esses, este trabalho não seria possível.

Resumo

À medida que o nó dos processos de fabricação dos CIs diminui, um novo tipo de variabilidade é introduzido. Coletivamente conhecidos como efeitos dependentes de layout (LDE), esses efeitos podem causar variações elétricas quando os parâmetros de layout de um dispositivo são modificados. Esses efeitos têm o potencial de impactar tanto o desempenho quanto a funcionalidade de um projeto de CI, resultando em ciclos de iteração de design prolongados. As principais fontes desses efeitos incluem WPE (*Well Proximity Effect*)), LOD (*Length of Diffusion*) e STI (*Shallow Trench Isolation*) que influenciam os parâmetros dos MOSFET como a tensão de limiar e a corrente de dreno. Os projetistas precisam estar cientes de que o comportamento do dispositivo depende não apenas de parâmetros geométricos tradicionais, como comprimento e largura do canal, mas também dos detalhes de implantação do layout do dispositivo e da vizinhança ao seu redor. Este trabalho tem como objetivo investigar de que forma os efeitos dependentes de layout impactam o desempenho de dispositivos CMOS em projetos de circuitos integrados analógicos. Para isso, foi implementado um amplificador de dois estágios utilizando a tecnologia 22nm *fully depleted silicon on insulator* (22FDX Platform). O desempenho do amplificador foi avaliado pela comparação entre a simulação do esquemático (considerado como caso ideal) e das simulações pós-layout realizadas com o software Custom Compiler da Synopsys, permitindo a observação dos LDE no desempenho do dispositivo.

Palavras-chave: efeitos dependentes de layout. isolamento de trincheira raso. efeito de proximidade do poço. layout analógico.

Abstract

As the nodes of integrated circuit (IC) manufacturing processes decrease, a new type of variability emerges. Collectively known as layout-dependent effects, these phenomena can cause electrical variations when the layout parameters of a device are altered. These effects have the potential to impact both the performance and functionality of an IC design, resulting in longer design iteration cycles.

The main sources of these effects include WPE (*Well Proximity Effect*), LOD (*Length of Diffusion*), and STI (*Shallow Trench Isolation*), which influence parameters of MOSFETs, such as threshold voltage and drain current.

Designers need to be aware that device behavior depends not only on traditional geometric parameters such as channel length and width, but also on the details of the device layout and their surrounds.

This work aims to investigate how layout-dependent effects impact the performance of CMOS devices in analog integrated circuit designs. To achieve this, a two-stage amplifier will be implemented using the 22nm fully depleted silicon on insulator (22FDX Platform) technology. The performance of the amplifier will be evaluated by comparing the schematic simulation (considered the ideal case) with the post-layout simulations performed using Synopsys' Custom Compiler software, allowing for the observation of the effects on the device's performance.

Keywords: layout dependent effect. shallow trench isolation. well proximity effect.

Lista de figuras

Figura 1.1 Evolução do comprimento de onda da luz usada na fotolitografia ao longo dos anos. Fonte:(Kahng.A; Pati.Y, 1999) 12
Figura 1.2 Fluxo de projeto de circuitos analógicos. Fonte: (Afacan.E *et al.*, 2016) . 13
Figura 2.1 Tipos de Estruturas de Bandas. Fonte: (Saint.C; Saint.J, 2004) 15
Figura 2.2 Rede cristalina de silício. te: TechBites Interactive 16
Figura 2.3 Silício dopado com impureza doadora. Fonte: TechBites Interactive . . . 17
Figura 2.4 Silício dopado com impureza aceitadora. Fonte: TechBites Interactive . 17
Figura 2.5 MOSFET planar. Fonte: (Sedra.A; Smith.K, 2015) 19
Figura 2.6 Diferença entre tecnologias na corrente de fuga. 20
Figura 2.7 FD-SOI. Fonte : (STMicroelectronics, 2024) 20
Figura 2.8 Vista transversal da área de difusão e o efeito de *outdiffusion*. Fonte: (Lienig.J, 2020) 21
Figura 2.9 Modelo de capacitâncias parasitas do transistor MOS. Fonte: (Synopsys, 2024) 23
Figura 3.1 Muitos LDE aparecem primeiro em 40 nm (X preto) e se tornam severos em 28 nm e abaixo(X vermelho). Fonte: (Mohammed.I; Dessouky.M, 2016) 24
Figura 3.2 L_{eff},W_{eff} e L_{des}, W_{des}. O transistor da esquerda tem uma área efetiva menor que o dispositivo da direita, apesar de os dois possuírem a mesma área desenhada. Fonte: (Campbell.S, 2008) 25
Figura 3.3 Origem do efeito de WPE devido ao espalhamento dos dopantes durante a implantação iônica. Fonte: (Drennan.P; Kinnifin.M; Locascio.D, 2006) 26
Figura 3.4 Orientações de estresse desejadas para melhorar o desempenho do dispositivo. NMOS à esquerda e PMOS à direita. Fonte: (Faricelli.J, 2010) . . 27
Figura 3.5 Imagem de microscopia eletrônica de varredura da STI. Fonte: (V.Senez *et al.*, 2003) 27
Figura 3.6 Variáveis que modelam o estresse. Fonte: (BSIM..., 2023) 28
Figura 3.7 Estresse mecânico em relação à distância da borda da difusão. Fonte: (Bianchi.R; Bouche.G, 2002) 29
Figura 3.8 Recomendações de casamento para dispositivos em um chip com gradiente mecânico. O estresse mecânico deve ser considerado, evitando áreas de alto gradiente, como cantos. Fonte: (Lienig.J, 2020) 30
Figura 3.9 Recomendações de casamento ao longo de isotermas para dispositivos em um chip com gradientes térmicos. Fonte: (Lienig.J, 2020) 31
Figura 3.10 Arranjo de transistores interdigitados (Maloberti.F, 2001) 31
Figura 3.11 Matriz casada em centróide comum. Fonte: (Hastings.A, 2001) 32

Figura 3.12 Deslocamento lateral das regiões de dreno e fonte devido ao ângulo de inclinação na implantação iônica. 33
Figura 3.13 Dispositivos casados devem ter a mesma orientação devido à anisotropia do silício e também para possibilitar que a corrente flua na mesma direção. Fonte: (Maloberti.F, 2001) 34
Figura 4.1 Estrutura para avaliar o WPE em dispositivos casados para um espelho de corrente. Consiste em deixar o dispositivo de referência longe da borda (sem efeitos de WPE) e o outro dispositivo a distâncias variáveis da borda. Fonte :(Drennan.P; Kinnifin.M; Locascio.D, 2006) 36
Figura 4.2 Estrutura teste para espelho de corrente N. Fonte: (Mohammed.I; Dessouky.M, 2016) 37
Figura 4.3 Diferentes disposições de layout no espelho de corrente N. Fonte: (Mohammed.I; Dessouky.M, 2016) 37
Figura 4.4 Diferentes disposições do Layout espelho de corrente P. Fonte: (Mohammed.I; Dessouky.M, 2016) 38
Figura 4.5 Vista parcial do *layout* do amplificador. Em amarelo, a *layer* de NWELL. Fonte:(Liao.T; Zhang.L, 2014) 39
Figura 4.6 Efeito de WPE na extração de parasitas. Fonte: (Liao.T; Zhang.L, 2014) . 39
Figura 4.7 Topologia do amplificador. Fonte: (Zhang B. Liu, 2012) 40
Figura 5.1 Modelo de parasitas utilizado no *corner*. 41
Figura 5.2 Dispositivos PMOS com o mesmo comprimento e largura do canal, mas com diferentes valores de Sa/Sb para teste de STI. 42
Figura 5.3 Curva Δ Id(%) x Sa=Sb. 43
Figura 5.4 Tensão é distendida nas bordas da região ativa após a formação da STI. Fonte: (C.Ndiaye *et al.*, 2016) 43
Figura 5.5 Curva Δ Id % xVgs [V]. 44
Figura 5.6 Espelho de corrente tipo P. 44
Figura 5.7 Amplificador. 45
Figura 5.8 Casamento interdigitado para efeitos de LOD. Os dispositivos A estão sob os mesmos efeitos dos dispositivos B. 46
Figura 5.9 *Layout* do Amplificador com as práticas de mitigação de LDE. 47
Figura 6.1 *Oxide Space Effet* influência da região ativa entre dispositivos. Fonte: (Chen.H; Guan.A, 2014) 48
Figura 6.2 WPE com distâncias não uniformes até a borda do poço. Fonte: (Chen.H; Guan.A, 2014) 48
Figura 6.3 Um layout típico de dispositivos MOS com mais parâmetros de instância (swi, sai e sbi) além dos tradicionais L e W. Fonte: (BSIM. . . , 2023) . . . 49

Lista de tabelas

Tabela 2.1 Gap de Energia nos sólidos. Fonte: (Maloberti.F, 2001) 15
Tabela 5.1 Efeito da STI na corrente de saída em um espelho P 45
Tabela 5.2 Dimensão dos dispositivos 45
Tabela 5.3 Parâmetros Amplificador diferentes em tecnologias 46

Lista de abreviaturas e siglas

C_{ox}	capacitância do óxido
I_d	corrente de dreno
I_d	corrente de dreno
V_{th}	tensão de *threshold*
BEOL	*Back-end of the Line*
BOX	*Buried Oxide*
CI	Circuito Integrado
CVD	*chemical vapor deposition*
DFM	*Design for Manufacturability*
EDA	*Electronic Design Automation*
FDSOI	*Fully Depleted Silicon on Insulator*
FEOL	*Front-end of the Line*
L	*length* - largura do canal
LDE	*Layout dependent effects*
MEOL	*Middle-end of the Line*
MOSFET	*Metal-Oxide-Semiconductor Field Effect Transistor*
NBD	*Nano Beam Diffraction*
OPC	*Optical proximity correction*
OTA	*Operational transcondutance amplifier*
PEX	*Parasitic Extraction*
PSM	*Phase shift mask*
W	*width* - comprimento do canal

Lista de símbolos

Símbolos romanos

λ	coeficiente de modulação do comprimento do canal
Ω	resistência elétrica
τ	mobilidade dos portadores
m^*	massa efetiva

Sumário

1 Introdução **12**

2 Conceitos básicos **15**

2.0.1 Mobilidade dos portadores 18

2.1 MOSFET planar 18

2.1.1 A tecnologia SOI 19

2.2 Processo de fabricação 20

2.2.1 Difusão 21

2.2.2 Implantação Iônica 21

2.2.3 Processo Fotolitográfico 22

2.3 Extração de Parasitas 22

3 Caracterização das variações **24**

3.0.1 Área de *gate* 25

3.0.2 Flutuação aleatória dos dopantes 26

3.0.3 Efeito de proximidade do poço (*Well proximity effect*) 26

3.0.4 Tensão 27

3.0.5 Tamanho da difusão (*Length of Diffusion* - LOD) 27

3.1 Casamento de transistores MOS 29

3.1.1 Casamento por proximidade 30

3.1.2 Casamento por Interdigitação 31

3.1.3 Centróide Comum 31

3.1.4 Casamento por orientação - Quiralidade 33

3.1.5 Dispositivos *Dummy* 34

4 Metodologia **35**

4.1 Estado da Arte 35

4.2 Topologia 39

5 Resultados e Discussões **41**

6 Conclusões e Trabalhos Futuros **48**

Referências **50**

1 Introdução

Em 1965, Gordon Moore observou que o número de transistores em um chip dobrava a cada 24 meses com um aumento mínimo no custo (Moore.G, 1965). Para isso acontecer, os dispositivos teriam sua escala reduzida, causando um aumento na complexidade das tecnologias existentes e o incremento de funções integradas em um CI em uma mesma área. Assim, o desenvolvimento de novas tecnologias de processo de fabricação torna-se mais difícil e muitos desafios precisam ser superados antes que se possa avançar ainda mais.

Variação entre dois dispositivos idênticos em um mesmo *waffer* pode ocorrer devido às diversas etapas do processo de fabricação, fazendo com que estes se comportem de maneira diferente após serem fabricados, podendo assim sofrer variações nas especificações planejadas, como a corrente de saturação, V_{th} e outras características elétricas. Sem uma análise minuciosa das causas e efeitos dessas variações, os resultados podem levar até a circuitos que não funcionam no pior dos casos.

Essas variações são denominadas Efeitos Dependentes de Layout (*Layout Dependent Effects*) ou LDE - como será referenciado no texto - e tornam-se proeminentes a partir dos 180nm (Kahng.A; Pati.Y, 1999) para processos de fabricação que utilizam fontes UV nessa escala de comprimento de onda (figura 1.1).

Para esse tipo de fonte, a fidelidade da transferência do padrão para a *wafer* sofre deterioração. Para mitigar esses efeitos, são empregadas técnicas de compensação, como a correção de proximidade óptica (OPC) e as máscaras de deslocamento de fase (PSM), que ajustam a forma e a fase das aberturas no retículo (Kahng.A; Pati.Y, 1999).

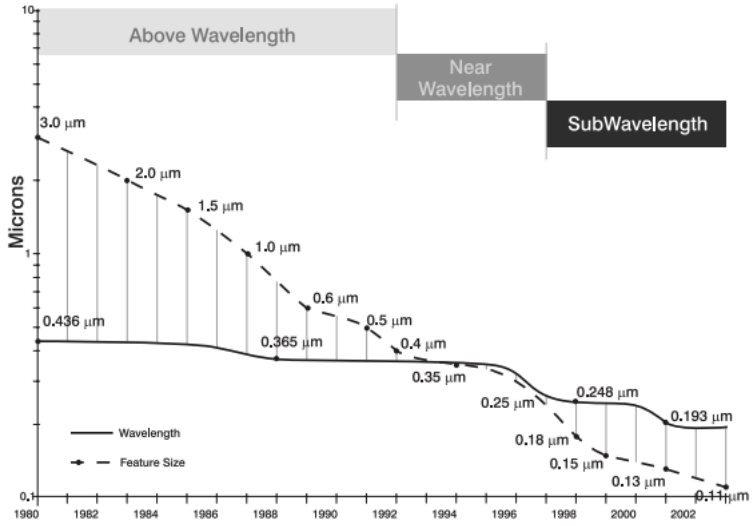


Figura 1.1 – Evolução do comprimento de onda da luz usada na fotolitografia ao longo dos anos. Fonte:(Kahng.A; Pati.Y, 1999)

LDEs são variações elétricas que ocorrem quando parâmetros de layout são alterados, como o espaçamento entre gates, o comprimento da área de difusão e a posição dos poços n/p. Essas variações podem causar uma série de problemas de desempenho elétrico, incluindo maior variabilidade na tensão limite de MOSFETs.

Em nós de processos nanométricos, o comportamento analógico é sensível a esses efeitos que podem levar a incompatibilidades intoleráveis se ignorados. No entanto, o impacto associado a esses efeitos no desempenho de um projeto só pode ser visto após a conclusão do *layout* completo, ou seja, no final do ciclo de design analógico, mostrado na figura 1.2, o que pode levar a diversas interações, consumindo muito tempo.

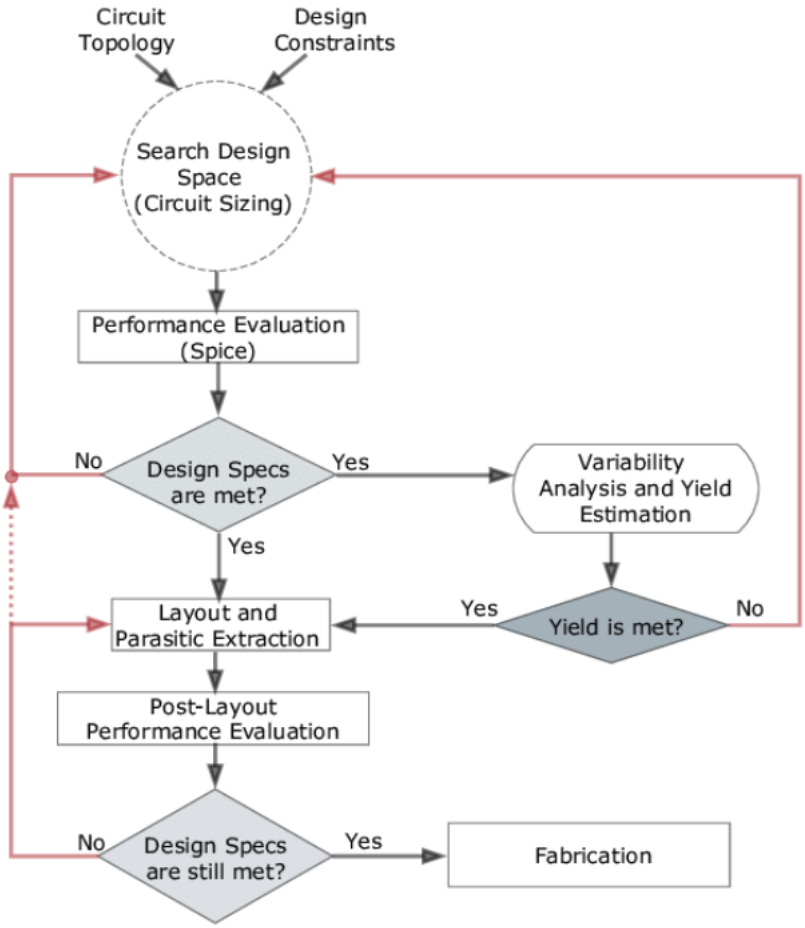


Figura 1.2 – Fluxo de projeto de circuitos analógicos. Fonte: (Afacan.E *et al.*, 2016)

O objetivo desse trabalho é identificar como os parâmetros elétricos são afetados por diferentes estilos de layout.

Este trabalho é organizado da seguinte forma:

Capítulo 2 apresenta uma recapitulação de conceitos-chave, desde a física dos semicondutores até uma rápida passagem por algumas fases do processo de fabricação de relevância para o entendimento do trabalho.

Capítulo 3 são apresentados os efeitos dependentes de *layout*, discutindo diferentes aspectos da análise de variação. Uma discussão sobre as fontes de variação e o impacto no desempenho do transistor.

Capítulo 4 apresenta a revisão bibliográfica com os artigos selecionados como referência e o estado da arte, bem como a metodologia adotada.

Capítulo 5 Conclusões e resultados como diretrizes para o mitigamento dos efeitos dependentes de *layout*.

Capítulo 6 Proposta para a continuação desse estudo em futuros trabalhos.

Apêndice A Planejamento da execução desse trabalho.

Por fim, espera-se que esse trabalho ajude os layoutistas a reduzir o quanto possível as variações que tenham impacto negativo no desempenho do circuito através do estudo das causas desses defeitos, com o objetivo da redução na quantidade de interações no ciclo de projeto analógico.

2 Conceitos básicos

Uma maneira usual de classificar os materiais é de acordo com a maior ou menor facilidade com que podem conduzir corrente elétrica. De acordo com esse critério, há três classes de materiais: condutores, semicondutores e isolantes.

O que faz um material se comportar das formas descritas anteriormente é a sua estrutura atômica: cada átomo é composto de cargas elétricas que são os elétrons (carga negativa), prótons (carga positiva) e nêutrons (carga neutra). O número de elétrons disponíveis para condução depende do arranjo de níveis eletrônicos com respeito à energia, bem como da maneira pela qual os estados são ocupados pelos elétrons conforme a distribuição de Fermi-Dirac. É possível haver também espaçamentos de energia entre bandas adjacentes, sendo que esses estados energéticos não estão disponíveis para ocupação eletrônica.

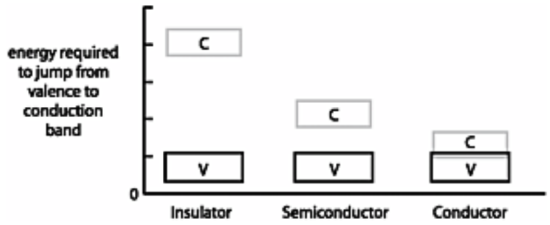


Figura 2.1 – Tipos de Estruturas de Bandas. Fonte: (Saint.C; Saint.J, 2004)

Na figura 2.1 o primeiro tipo de estrutura corresponde à de um isolante. Há uma banda de valência preenchida separada de uma banda de condução vazia e um grande espaçamento entre elas. O espaçamento é considerado alto, o que explica a dificuldade de os elétrons atingirem condições de condução.

O segundo tipo de estrutura corresponde à de um semicondutor. Há também uma banda de valência e uma de condução, mas o gap entre ambas é menor, o que explica um aumento na condutividade em relação ao isolante.

Já no condutor, as camadas de condução e de valência estão sobrepostas, isso significa que os elétrons podem facilmente passar para a banda de condução.

A tabela 2.1 mostra esses valores para os três tipos de materiais mencionados.

Material	Gap de Energia
Condutor	~
Semicondutor	0,5 a 3 eV
Isolante	>3 eV

Tabela 2.1 – Gap de Energia nos sólidos. Fonte: (Maloberti.F, 2001)

Assim, metais são bons condutores de eletricidade, com a condutividade na ordem de 10^7 $(\Omega.\text{m})^{-1}$.

No extremo oposto, os materiais isolantes possuem condutividade muito baixa – entre 10^{-10} e 10^{-20} $(\Omega.m)^{-1}$. E, no meio, os semicondutores possuem condutividade intermediária entre 10^{-6} e $10^4(\Omega.m)^{-1}$ (Maloberti.F, 2001).

Os elétrons encontrados na camada de valência tendem a se juntar a outros para completar a regra do octeto. No caso do silício, cada átomo precisa de quatro elétrons. Silício puro, como mostra a figura 2.2 não é um bom condutor, pois existem poucos elétrons livres na estrutura cristalina que podem ser usados para condução.

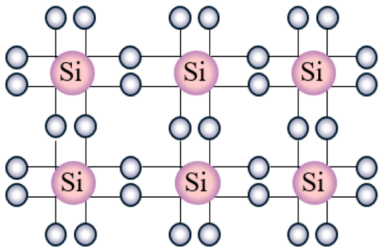


Figura 2.2 – Rede cristalina de silício. te: TechBites Interactive

Para fazer dispositivos úteis a partir do silício, é necessário adicionar impurezas que permitirão que mais elétrons estejam livres para conduzir corrente elétrica a temperaturas razoáveis. O processo de introdução dessas impurezas é conhecido como dopagem.

Em um semicondutor intrínseco, ou seja, sem impurezas, a densidade de elétrons é igual à densidade de lacunas. O fósforo (P) contém cinco elétrons de valência; quando átomos de fósforo são introduzidos em um cristal de silício, cada átomo de fósforo compartilha quatro elétrons com os átomos de silício vizinhos, deixando o quinto elétron livre. Esse elétron pode mover-se e atua como um portador de carga. Assim, se átomos de fósforo forem inseridos em um cristal de silício, a densidade de elétrons livres aumentará (figura 2.3).

Do mesmo modo, se o silício for dopado com um átomo que forneça um número insuficiente de elétrons, o resultado será diversas ligações covalentes incompletas. Por exemplo, o átomo de boro (B) possui três elétrons de valência, podendo formar apenas três ligações covalentes completas em um cristal de silício. Em consequência, a quarta ligação contém uma lacuna, pronta para absorver um elétron livre. Assim, átomos de boro contribuem com lacunas de boro para a condução de corrente no silício. A figura 2.4 exemplifica um semicondutor tipo p, que provê lacunas como portadores majoritários. O átomo de boro é chamado dopante “aceitador”.

Resumindo: cristal de silício dopado, com um número muito maior de elétrons livres, é chamado “extrínseco”; nesse caso este cristal dopado com P é chamado semicondutor

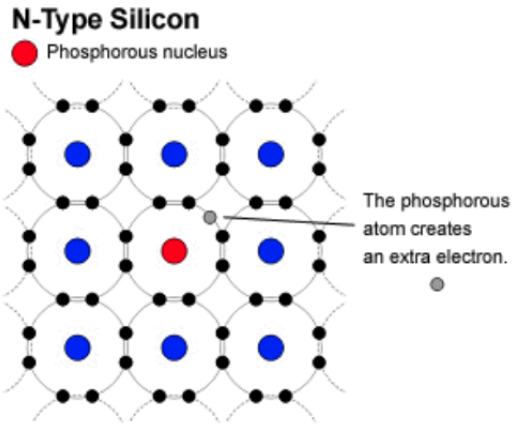


Figura 2.3 – Silício dopado com impureza doadora. Fonte: TechBites Interactive

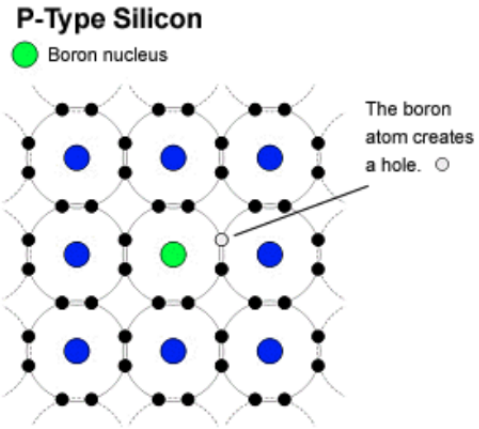


Figura 2.4 – Silício dopado com impureza aceitadora. Fonte: TechBites Interactive

“tipo N” para enfatizar o fato de os elétrons serem chamados "portadores majoritários”, e as lacunas, “portadores minoritários".

Valores típicos de densidades de dopagem estão entre 10^{15} e 10^{18} $\frac{atomos}{cm^{-3}}$. (Razavi.B, 2010)

2.0.1 Mobilidade dos portadores

Outro conceito fundamental para o entendimento do presente trabalho é a mobilidade dos portadores e a sua dependência com a temperatura e a concentração dos dopantes.

O processo CMOS utiliza diversos tipos de materiais que possuem diferentes coeficientes de expansão térmica e raios atômicos. Essas diferenças causam estresse mecânico que induz tensão na rede de silício. Essa perturbação altera a estrutura na banda de silício, causando divisão e mudanças no formato (e na massa efetiva) e a redistribuição dos portadores em diferentes sub-bandas. No dispositivo MOSFET, essas mudanças na estrutura de banda modificam a mobilidade dos portadores, o que altera a corrente ou a tensão de threshold, mudando a difusividade do dopante ou alterando a estrutura de banda.

A equação 2.1 mostra a relação entre a mobilidade dos portadores e as propriedades do material, em que τ é o meio caminho livre entre as colisões e m^* a massa efetiva.

$$\mu = \frac{q\tau}{m^*} \tag{2.1}$$

A tensão aumenta a mobilidade, reduzindo a massa efetiva e a taxa de espalhamento. Para os elétrons, tanto as mudanças de massa efetiva (m*) quanto da constante de tempo de espalhamento (τ) são geralmente aceitas como importantes para o aumento da mobilidade. No entanto, para lacunas, apenas a mudança de massa devido à deformação da banda e repopulação desempenha um papel significativo. (Mohta.N; Thompson.S, 2005)

2.1 MOSFET planar

Um dispositivo MOSFET - *Metal-Oxide-Semiconductor Field Effect Transistor* é um dispositivo que funciona controlando a passagem de corrente entre dois terminais, dreno e fonte, através de um campo elétrico aplicado a um terceiro terminal chamado *gate*.

A figura 2.5 mostra um MOSFET do tipo N, isso quer dizer que as regiões de dreno e fonte, também chamadas de região ativa, são dopadas com material do tipo N, criando dois poços em um substrato do tipo P.

Se uma tensão positiva V_g for aplicada no *gate* (dielétrico), haverá o carregamento de um capacitor entre o *gate* e o substrato. À medida que V_g aumenta, surgirá uma região de depleção repelindo as lacunas e atraindo elétrons, formando uma camada de inversão e criando um canal de condução entre o dreno e a fonte. Corrente será conduzida, desde que haja uma diferença de potencial.

Convencionalmente, inversão forte começa quando $V_{gs} = V_{th}$. Quando a tensão entre a porta do transistor e a fonte (V_G) excede a tensão limite (V_{th}), há a acumulação de cargas móveis próximas à interface óxido-semicondutor, formando uma camada de inversão. (Razavi.B, 2010)

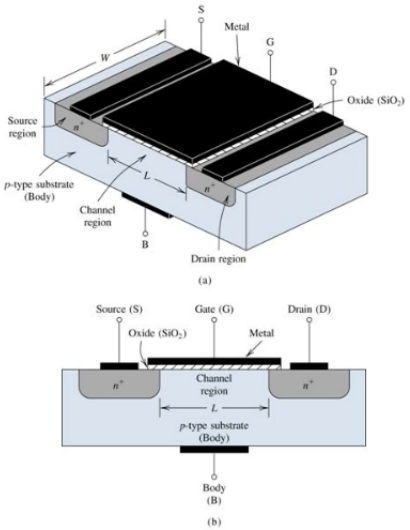


Figura 2.5 – MOSFET planar. Fonte: (Sedra.A; Smith.K, 2015)

$$I_D = \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_{GS} - V_{th})^2(1 + \lambda V_{ds}) \tag{2.2}$$

em que:

- I_d = corrente de dreno
- W = comprimento do canal
- L = largura do canal
- μ = mobilidade dos portadores
- λ = coeficiente de modulação do comprimento do canal
- C_{ox} = capacitância do óxido
- V_{GS} = Diferença de potencial entre o *gate* e o fonte
- V_{th} = Tensão de limiar ou tensão de *threshold*

Outro conceito importante é a transcondutância, que se define matematicamente como a taxa de variação relativa da corrente de saída em relação à tensão de entrada. No caso do MOSFET isso se traduziria em:

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \tag{2.3}$$

2.1.1 A tecnologia SOI

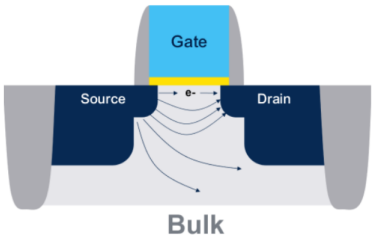
FDSOI (*Fully Depleted Silicon on Insulator*) é uma tecnologia de processo planar que fornece alternativas para superar algumas das limitações da tecnologia CMOS.

Nessa tecnologia, um filme de silício muito fino é usado para formar o canal de transistor, então não há necessidade de dopar o canal, tornando o transistor "*fully depleted*". Essa

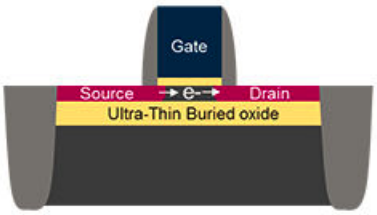
configuração reduz significativamente as correntes de fuga e a capacitância parasita entre fonte e dreno. Essa ausência de dopantes no canal resulta em um transistor descarregado, com menor ruído e menor variação da tensão de limiar V_{th} ao longo do chip.

Figura 2.6 – Diferença entre tecnologias na corrente de fuga.

(a) Bulk convencional



(b) *cross section* FDSOI



Fonte: (STMicroelectronics, 2024)

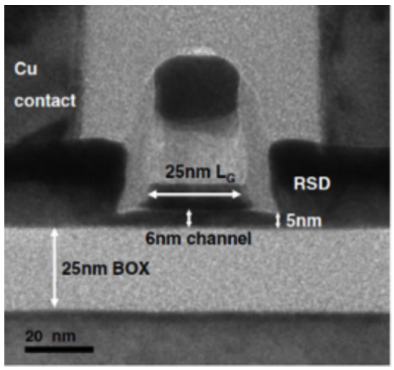


Figura 2.7 – FD-SOI. Fonte : (STMicroelectronics, 2024)

2.2 Processo de fabricação

Regiões semicondutoras dopadas são a base para os dispositivos semicondutores. Silício é dopado principalmente com fósforo, arsênio e antimônio como doadores para dopagem do tipo n, e com boro como aceitador para dopagem do tipo p. A dopagem pode ocorrer pela implantação de átomos externos durante a fabricação do *wafer*, pela implantação de átomos ao crescer silício no *wafer* (epitaxia) e pela implantação de átomos de uma fonte externa na superfície do *wafer* (Lienig.J, 2020). Examinaremos o último caso aqui, dopagem através da superfície do *wafer*, que pode ser obtida por meio das técnicas de difusão e implantação iônica que serão a fonte de alguns dos LDEs.

2.2.1 Difusão

A difusão é o movimento de partículas (átomos e moléculas) de uma substância através de outra (soluto e solvente), em diferentes estados (sólido, líquido, gasoso, plasma), ou através de si mesma, ou ainda através de uma membrana semipermeável, movida pela agitação térmica, na presença de gradientes de concentração e de temperatura, e incluindo a possível ação de outras forças (ex: gravitacional, eletromagnética), então a difusão é a movimentação de um material devido à diferença do gradiente de concentração. (Campbell.S, 2008)

Sendo o cristal de silício uma rede fixa de átomos, para que esse cristal seja dopado por difusão, os átomos de silício e os átomos dos dopantes devem ser excitados termicamente até que possam se mover dentro da rede. Para conseguir isso, os *wafers* são aquecidos até aproximadamente 1200 °C em um forno de difusão. O dopante, fornecido por meio de um gás transportador, difunde-se na superfície do *wafer*, pois a concentração de dopante no *wafer* é muito menor do que no gás. Como os dopantes se difundem em todas as direções (difusão isotrópica), os átomos de impureza também se movem lateralmente abaixo da máscara de óxido. Esse efeito é chamado de *outdiffusion* (figura 2.8). O resultado é a expansão lateral da área dopada e, consequentemente, sendo maior do que a abertura de óxido. Fonte: (Lienig.J, 2020)

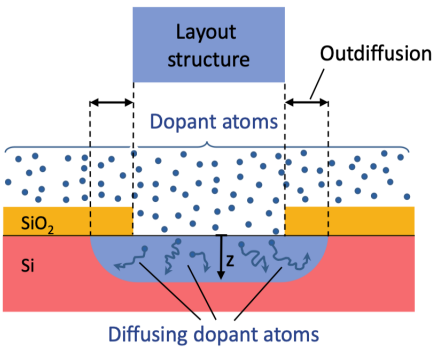


Figura 2.8 – Vista transversal da área de difusão e o efeito de *outdiffusion*. Fonte: (Lienig.J, 2020)

2.2.2 Implantação Iônica

Na implantação iônica, íons de impureza são acelerados através de um campo eletrostático na superfície do *wafer*. É um processo em que as quantidades implantadas podem ter um alto grau de controle. Algumas aplicações especializadas requerem doses superiores a $10^{18} cm^{-2}$. Ao controlar o campo eletrostático, a profundidade de penetração dos íons de impureza também pode ser controlada. Apesar de muito utilizada, a implantação iônica oferece algumas desvantagens, como o dano à rede cristalina pelos íons incidentes pelo fato

desses serem energizados. Outro efeito observado é o do tunelamento, que pode ocorrer quando o ângulo de incidência dos íons implantados é paralelo à orientação principal do cristal. Nesta situação, alguns íons podem percorrer distâncias consideráveis com pouca perda de energia. Uma vez dentro de um canal, o íon continuará nessa direção, fazendo muitas colisões internas até finalmente parar.

Para evitar esse efeito, o processo de implantação iônica é feito com um ângulo de inclinação. Ainda assim, alguns íons se espalharão ao longo do eixo do cristal e os efeitos de tunelamento ainda ocorrerão (Campbell.S, 2008).

2.2.3 Processo Fotolitográfico

Cuidados em relação à variabilidade durante as diversas etapas do processo de fabricação de circuitos integrados foram sempre uma preocupação para projetistas analógicos. Mas, à medida que a tecnologia de fabricação avança para faixas sub micrométrica, aumentando a quantidade e a densidade dos dispositivos, os projetos de circuitos integrados tornam-se cada vez mais complexos. A variabilidade das características físicas dos chips é cada vez maior quanto menor é a tecnologia. À medida que a tecnologia vai diminuindo de tamanho, mais fatores passam a ser relevantes e causam impacto direto no desempenho e até na manufaturabilidade dos circuitos, como é o caso dos efeitos causados pela litografia. A DFM (*Design for Manufacturability*) é essencial para que os circuitos possam ser fabricados corretamente. Assim, a eficiência de um circuito é determinada por fatores que vão desde o projeto até mesmo o processo de fabricação. Se não levados em consideração, esses fatores podem causar discrepâncias entre o que foi projetado para o circuito e o desempenho real do CI fabricado. O desempenho de um CI é então influenciado por variáveis de projeto e até mesmo perturbações que causam flutuações durante o processo de fabricação. Na prática, o que acontece é que não há semelhança exata entre o *layout* desenhado, a máscara e o resultado impresso no *wafer*.

Essas questões que envolvem a produtividade mudam de acordo com a tecnologia de fabricação, sendo importante entender os tipos de problemas que possam ocorrer e como mitigar os impactos que eles causam em métodos de correção e análise.

Desta forma, a fonte de defeitos pode ser por causas aleatórias associadas a partículas, por exemplo; sistemáticos (induzidos pelo processo ou pela litografia) e paramétricos (causados por falhas associadas à física dos dispositivos e efeitos de interconexão).

2.3 Extração de Parasitas

As interconexões reais nos circuitos integrados não são curtos-circuitos perfeitos. Em geral, há uma resistência de linha por unidade de comprimento presente nas interconexões e nos contatos entre os componentes, uma indutância de linha por unidade de compri-

mento associada às interconexões e aos fios e também uma capacitância por unidade de comprimento entre condutores adjacentes e entre os condutores e o substrato.

Esses parasitas, embora geralmente pequenos, podem ter impactos significativos no desempenho do circuito, especialmente em altas frequências, causando atrasos na propagação de sinais, afetando a velocidade do circuito, causando distorção de sinais, ruído e interferência, degradando a qualidade do sinal.

Na automação de projetos eletrônicos (*electronic design automation* - EDA), a extração de parasitas (*parasitic extraction* - PEX) é o cálculo desses efeitos parasitas nos dispositivos e nas suas interconexões.

O principal objetivo da extração de parasitas é criar um modelo do circuito que possa emular respostas reais dos circuitos digitais e analógicos. (Synopsys, 2024).

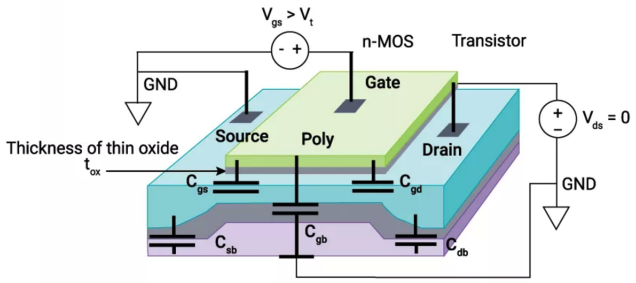


Figura 2.9 – Modelo de capacitâncias parasitas do transistor MOS. Fonte: (Synopsys, 2024)

Em um chip semicondutor típico, os parasitas podem ser categorizados em três categorias:

- *Front-end of the Line*(FEOL): Parasitas associados aos dispositivos semicondutores.
- *Middle-end of the Line*(MEOL): Parasitas associados aos contatos em dispositivos semicondutores.
- *Back-end of the Line*(BEOL): Parasitas associados às camadas de interconexão.

O modelo de parasita pré-layout inclui valores de resistência e capacitância parasitas já ao nível de esquemático, permitindo simulações mais precisas antes da extração pós *layout*.

3 Caracterização das variações

As variações devidas ao processo de fabricação podem ser classificadas como sistemáticas ou aleatórias e podem variar dentro de uma mesma pastilha, de uma pastilha para outra pastilha e de *wafer* para *wafer*. Variações abruptas em distâncias menores que a dimensão de uma matriz resultam em variações *within-die*, enquanto variações que mudam gradualmente ao longo do *wafer* causarão variações die-to-die. As variações *wafer-to-wafer* refletem as características espaciais e temporais do processo e fazem com que diferentes *wafers* tenham propriedades diferentes. Em uma metodologia de projeto típica, os projetos são feitos para satisfazer os piores casos.

Muitas fontes de variação podem ser atribuídas às diferentes etapas do processo de fabricação. Os processos de fotolitografia e gravação contribuem significativamente para variações nos comprimentos e larguras nominais devido à complexidade necessária para fabricar linhas que são muito mais estreitas do que o comprimento de onda da luz usada para imprimi-las, como discutido na introdução.

A razão mais importante para o aumento das flutuações dos parâmetros do dispositivo é a miniaturização da tecnologia CMOS.

Conforme mostrado na figura 3.1 há muitas fontes potenciais de LDE. Enquanto alguns desses efeitos surgiram em 40 nm e em nós maiores, a maioria é muito mais problemática em 20 nm. Por exemplo, a distância entre *gates* que tem um efeito direto na corrente de dreno do transistor (Cadence, 2017).

Layout-Dependent Effects	Prior to 40nm	At 40nm	28nm and Beyond
Well Proximity Effect (WPE)	X	XX	XXX
Poly Spacing Effect (PSE)		XX	XXX
Length of Diffusion (LOD)	X	XX	XXX
OD to OD Spacing Effect (OSE)		XX	XXX

Figura 3.1 – Muitos LDE aparecem primeiro em 40 nm (X preto) e se tornam severos em 28 nm e abaixo(X vermelho). Fonte: (Mohammed.I; Dessouky.M, 2016)

Com isso, as diferentes disposições físicas, bem como a interação com a vizinhança dos transistores no *layout*, podem alterar as especificações e a funcionalidade do circuito,

tornando os parâmetros dos dispositivos MOSFET mais sensíveis aos efeitos dependentes do layout. É necessário que os projetistas compreendam essas novas e complexas barreiras do projeto para que esses fenômenos possam ser antecipados e evitados.

A seguir serão listados alguns dos efeitos mais proeminentes, bem como suas causas.

3.0.1 Área de *gate*

Nem sempre o padrão desenhado no projeto de *layout* é idêntico ao padrão impresso no processo fotolitográfico. Assim, a relação entre as dimensões desenhadas e as dimensões efetivas nem sempre são iguais. Esta variação terá pequeno efeito quando as dimensões forem diversas vezes maiores que as mínimas. Porém, se as dimensões forem próximas das mínimas permitidas pela tecnologia, a diferença entre a área do *gate* desenhada e a área efetiva pode se tornar significativa (Lovett.S *et al.*, 1998).

Para fins de exemplificação, suponhamos dois dispositivos, como mostra a figura 3.2, em que ambos têm a mesma área desenhada, mas com valores de W e L diferentes. Admitamos que o dispositivo da esquerda possua as dimensões $\frac{W}{L} = \frac{8{,}33}{0{,}8}\mu$m e o da direita $\frac{W}{L} = \frac{1{,}66}{4}\mu$m. A área de ambos é de 6,66μm. A figura ilustra como a geometria do transistor com L pequeno reduz severamente sua área efetiva, enquanto o transistor com L = 4 μm é menos afetado.

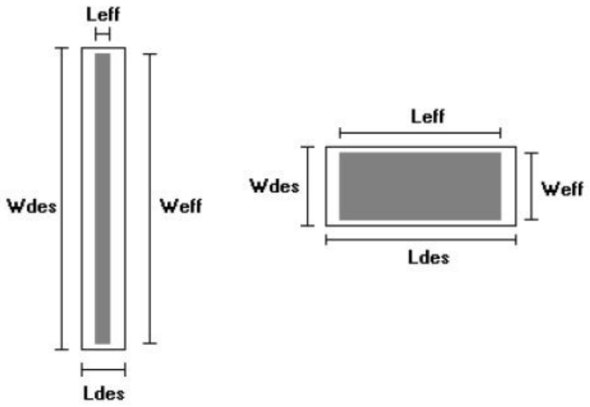


Figura 3.2 – L_{eff},W_{eff} e L_{des}, W_{des}. O transistor da esquerda tem uma área efetiva menor que o dispositivo da direita, apesar de os dois possuírem a mesma área desenhada. Fonte: (Campbell.S, 2008)

Desta forma, para *layouts* de dispositivos desenhados com a mesma área, à medida que o comprimento do canal se torna menor, a área efetiva é reduzida, ocasionando divergência do que foi planejado no design (Campbell.S, 2008).

3.0.2 Flutuação aleatória dos dopantes

Átomos de dopantes são injetados na região do canal por meio de implantação iônica. Este processo é seguido por uma etapa de recozimento para ativar os átomos dopantes e reparar a superfície danificada. O número total de átomos dopantes é tão pequeno que o número e a posição dos átomos dopantes no canal do transistor são aleatórios. O impacto da flutuação aleatória do dopante é exibido através de uma variação em V_{th}. (Stolk.P; Widdershoven.F; Klaassen.D, 1998).

3.0.3 Efeito de proximidade do poço (*Well proximity effect*)

Durante a implantação dos dopantes que formam os poços nos quais os transistores MOS são formados, o fotoresiste é desenhado de forma a evitar que esses íons penetrem nas regiões onde não deveria ser uma região de poço. No entanto, os íons que colidem com o fotoresiste sofrem interações estatísticas e se "espalham" em ângulos aleatórios. Múltiplos eventos de espalhamento diminuem a energia cinética dos íons, então eles param dentro do fotoresiste (que é posteriormente removido). Para íons que colidem perto da borda do fotoresiste, eles podem se espalhar para fora do fotoresiste e então ficarem embutidos no silício adjacente à borda do fotoresiste. A dopagem de poços, portanto, não é uniforme em um *wafer*, mas é intensificada em regiões adjacentes às suas bordas. Isto é mostrado na Fig. 3.3a. Essa não uniformidade na distribuição dos íons de dopantes forma um gradiente de concentração, assim regiões de fonte ou dreno podem ser mais ou menos dopadas a depender da orientação do transistor, modificando a tensão de threshold 3.3b. (Tsividis.Y; McAndrew.C, 2011).

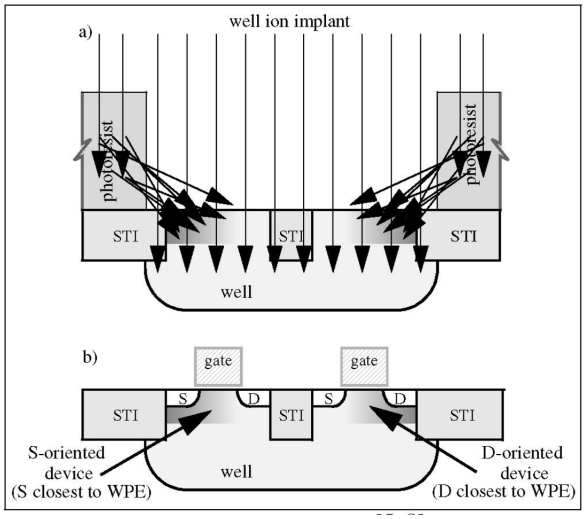


Figura 3.3 – Origem do efeito de WPE devido ao espalhamento dos dopantes durante a implantação iônica. Fonte: (Drennan.P; Kinnifin.M; Locascio.D, 2006)

3.0.4 Tensão

O processamento CMOS usa uma variedade de materiais em diferentes faixas de temperatura. Diferenças no coeficiente de expansão térmica, incompatibilidade de rede, diferenças nos raios atômicos desses materiais impõem estresse mecânico (pressão por unidade de área), que induz tensão na rede de silício. Devido à propriedade piezoelétrica do silício (geração interna de carga elétrica resultante de uma força mecânica aplicada), perturbar as posições de equilíbrio da rede de átomos de silício altera a sua estrutura da banda, causando divisão de banda e alterações no formato da banda (e massa efetiva) e redistribuição de portadores em diferentes sub-bandas. No nível de dispositivo, essas alterações modificam a mobilidade dos portadores, que por sua vez afeta a corrente do dispositivo. (Faricelli.J, 2010) e (V.Senez *et al.*, 2003).

Recentes tecnologias de dispositivos CMOS incorporaram estresse uniaxial intencional ou projetado ao longo do comprimento do canal para melhorar o desempenho do dispositivo. Dependendo do tipo do portador, pode-se introduzir estresse de tração ou compressão para melhorar a mobilidade e a corrente de dreno.

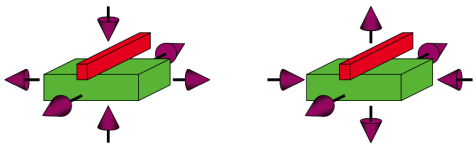


Figura 3.4 – Orientações de estresse desejadas para melhorar o desempenho do dispositivo. NMOS à esquerda e PMOS à direita. Fonte: (Faricelli.J, 2010)

3.0.5 Tamanho da difusão (*Length of Diffusion* - LOD)

STI (*Shallow trench isolation*) é um processo que visa o isolamento da região ativa dos dispositivos, que consiste em preencher espaços no *wafer* com dióxido de silício como isolante entre difusões de óxido. A formação de STI induz estresse compressivo na região do dispositivo ativo (V.Senez *et al.*, 2003) e (C.Ndiaye *et al.*, 2016).

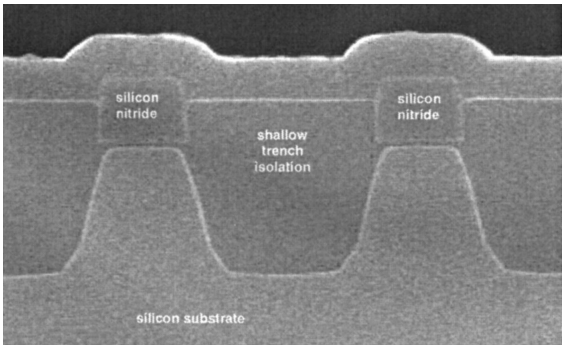


Figura 3.5 – Imagem de microscopia eletrônica de varredura da STI. Fonte: (V.Senez *et al.*, 2003)

A influência do estresse na mobilidade dos portadores e, consequentemente, na velocidade de saturação e a influência também na mudança no perfil dos dopantes é bem conhecida desde a tecnologia 0,13 μm. Existem pelo menos dois mecanismos diferentes que influenciam o efeito do estresse nas características do dispositivo. O primeiro é relacionado à mobilidade e é induzido pela modificação da estrutura da banda. O segundo é relacionado ao V_{th} resultado da mudança do perfil dos dopantes (S.Mu, 2019).

A figura 3.6 mostra o *layout* de um MOSFET e as variáveis SA e SB sendo as distâncias entre a borda de isolamento e o *poly*de um e do outro lado, respectivamente.

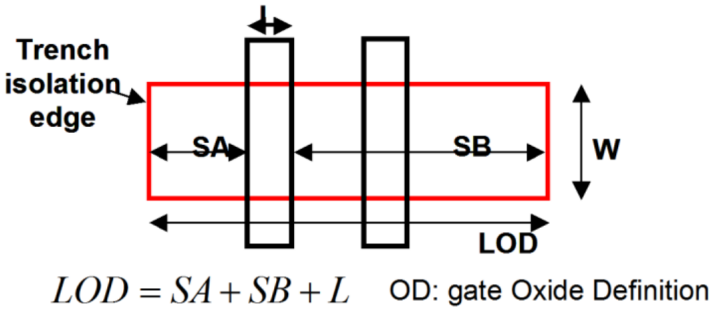


Figura 3.6 – Variáveis que modelam o estresse. Fonte: (BSIM..., 2023)

A figura 3.7 mostra a distribuição de tensão na região do canal MOSFET usando simulação 2D. Ela mostra a distribuição de tensão ao longo do canal induzido pelo STI. A tensão tem um pico na interface entre STI e difusão e decai da borda para o centro com um fator de 1/X. O pico do estresse também muda com difusões menores. Assim, quando o tamanho da difusão diminui, a tensão da região central aumentará. (Su.K.E *et al.*, 2003) e (Bianchi.R; Bouche.G, 2002).

A relação 3.1 é integrada nos modelos SPICE vigentes, permitindo que este fenômeno seja considerado nas simulações.

Para dispositivos com vários *fingers*, o efeito LOD total é a média do efeito LOD para cada *finger* (BSIM..., 2023).

$$Estresse = \frac{1}{S_a + \frac{L}{2}} + \frac{1}{S_b + \frac{L}{2}} \tag{3.1}$$

O processo de formação da STI no substrato de silício é por corrosão iônica reativa (*reactive ion etching*); as paredes da trincheira são revestidas com uma fina camada de dióxido de silício por oxidação térmica e preenchidas com SiO_2 ou outro dielétrico por deposição química a vapor (*chemical vapor deposition* - CVD). Essas trincheiras servem para isolar dispositivos individuais uns dos outros e, assim, permitir que eles sejam colocados próximos uns dos outros sem interações.

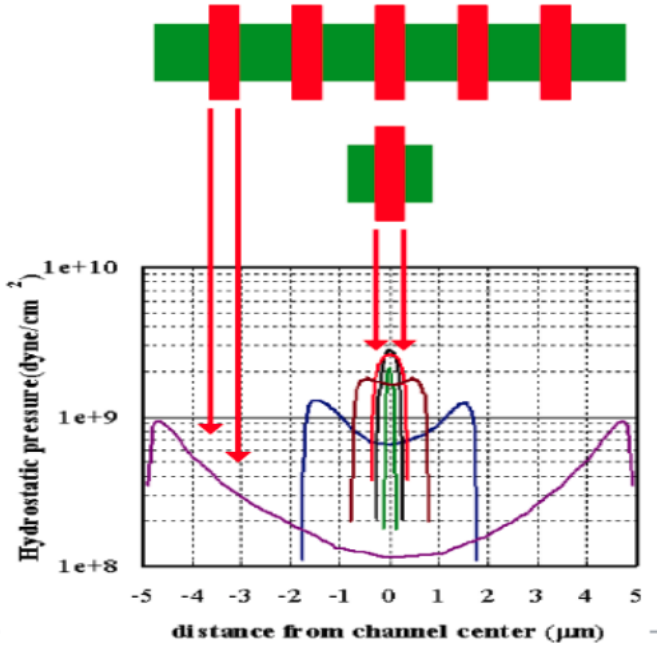


Figura 3.7 – Estresse mecânico em relação à distância da borda da difusão. Fonte: (Bianchi.R; Bouche.G, 2002)

A origem do estresse induzido pela STI se deve ao fato de que a oxidação térmica produz 2,2 unidades de volume de óxido para cada unidade de volume de silício consumido. Há também a diferença no coeficiente de expansão térmica do preenchimento da trincheira e do substrato de silício. Essa incompatibilidade de coeficientes de expansão térmica dá origem a tensões quando as pastilhas de silício são processadas por meio de ciclos de temperatura. Além disso, há também a incompatibilidade térmica entre o preenchimento da STI e o substrato de silício (S.Mu, 2019).

3.1 Casamento de transistores MOS

A fim de minimizar os efeitos de variabilidade dos parâmetros de processo de fabricação de circuitos integrados, é comum pensar no layout dos circuitos analógicos aplicando técnicas como o casamento de transistores. O tamanho, o posicionamento, o formato e a orientação dos transistores MOS afetam suas características elétricas.

O motivo para essa variação é a complexidade do processo de fabricação de semicondutores que, apesar de ser constantemente aperfeiçoado e de se tratar do estado da arte tecnológico, apresenta sempre uma variação inevitável.

Assim, é necessário conhecer as possíveis causas das variações dos parâmetros para que sejam escolhidas medidas de layout adequadas.

As causas das variações de parâmetros podem ser por processo de fabricação, a não linearidades nos layouts do dispositivo e efeitos da aplicação de um CI.

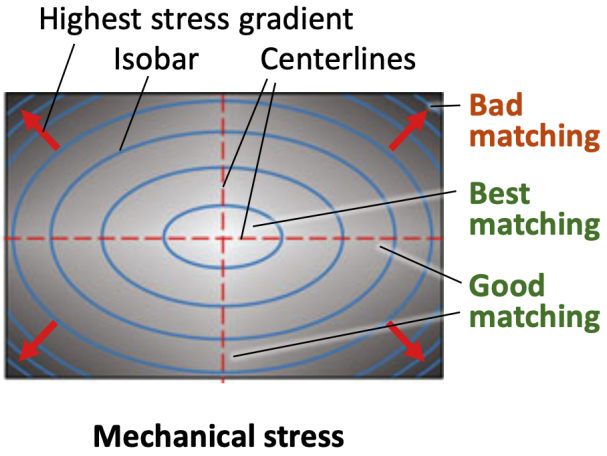


Figura 3.8 – Recomendações de casamento para dispositivos em um chip com gradiente mecânico. O estresse mecânico deve ser considerado, evitando áreas de alto gradiente, como cantos. Fonte: (Lienig.J, 2020)

Variação devido ao processo de fabricação. Todas as etapas do processo de fabricação são suscetíveis a erros, que geralmente são estocásticos. Problemas típicos incluem não homogeneidade no revestimento do fotoresiste no *wafer*; variações na estabilidade dimensional das máscaras devido à expansão térmica; tolerâncias de alinhamento da máscara, distorções no mapeamento óptico (por exemplo, falhas de lente); e diferentes não homogeneidades ocorrendo no *wafer*, por exemplo, durante o crescimento da camada, dopagem, corrosão e polimento químico-mecânico.

Não linearidades nos *layouts*. Dispositivos em circuitos analógicos são dimensionados individualmente no layout. Isso resulta em comportamento "não ideal"devido a não linearidades de design. O problema é que os parâmetros elétricos não mudam em proporção aos parâmetros usados em operadores gráficos (por exemplo, distância em uma função *stretch*).

Efeitos causados pela aplicação do CI. Quando em uso, os chips são expostos a vários efeitos físicos, como aquecimento e estresse mecânico. Essas influências impactam o comportamento elétrico dos dispositivos. (Lienig.J, 2020)

3.1.1 Casamento por proximidade

Garantir a proximidade dos dispositivos semelhantes a serem casados é uma das formas menos complexas para casamento. É importante, pois visa que os dispositivos sofram semelhantes variações de parâmetros. Geralmente, essa forma de casamento é empregada em conjunto com outras técnicas.

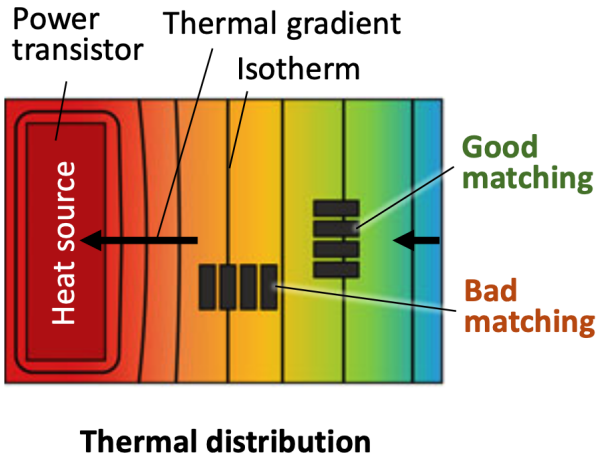


Figura 3.9 – Recomendações de casamento ao longo de isotermas para dispositivos em um chip com gradientes térmicos. Fonte: (Lienig.J, 2020)

3.1.2 Casamento por Interdigitação

Interdigitar os dispositivos é uma forma pouco complexa para realizar o casamento. Ela consiste em alternar os dispositivos, como observado na figura 3.10. Ao realizar esse tipo de casamento, é importante igualar a densidade de dispositivos na ponta e no meio.

A imagem 3.10 mostra um dispositivo A e um dispositivo B no centro, assim como cada um está posicionado em uma ponta. Esse tipo de forma de casamento é comumente empregado em resistores.

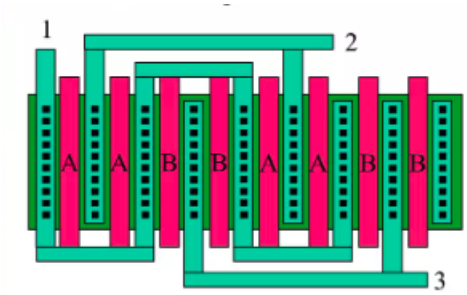


Figura 3.10 – Arranjo de transistores interdigitados (Maloberti.F, 2001)

3.1.3 Centróide Comum

A incompatibilidade induzida pelo processo entre os elementos pode ser minimizada reduzindo a distância entre os centróides dos dispositivos a serem casados.

A figura 3.11 apresenta dois tipos de casamento em CC para quatro dispositivos, os dispositivos em que a parte à esquerda os eixos diagonais são compostos por um dispositivo, enquanto a parte da direita alterna os dispositivos.

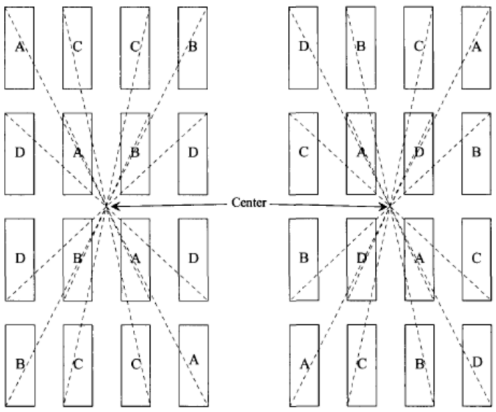


Figura 3.11 – Matriz casada em centróide comum. Fonte: (Hastings.A, 2001)

Layouts de centróide comum (CC) são amplamente utilizados em projetos analógicos para tornar circuitos resilientes a variações, no entanto, o *layout* CC pode envolver maior complexidade de roteamento e maiores parasitas do que outros esquemas de *layout* alternativos.

O modelo introduzido por Pelgrom (Pelgrom.M; Duinmaijer.A; Welbers.A, 1989) quantifica o descasamento em um parâmetro P entre dois dispositivos como a soma de variáveis aleatórias correspondentes a um componente u e a um componente espacial s. A variância do descasamento é dada por:

$$\sigma_{\Delta P}{}^2 = \sigma_u{}^2 + \sigma_s{}^2 \tag{3.2}$$

em que :

$$\sigma_u{}^2 = \frac{A^2{}_P}{WL} \tag{3.3}$$

$$\sigma_s{}^2 = S^2{}_P r^2 \tag{3.4}$$

onde A_P e S_P são constantes que dependem da tecnologia, r é a distância entre os dispositivos e σ^2 é a variância. O componente 3.3 depende da área do transistor e o seu impacto pode ser reduzido usando transistores maiores, enquanto que o componente 3.4 pode ser mitigado reduzindo a distância entre os dispositivos.

Layouts pequenos, onde o tamanho é muito menor que a distância de correlação, são dominados por variações aleatórias e não requerem CC para correspondência mas, à medida que os *layouts* se tornam maiores, o CC é necessário para cancelar variações espaciais e processar gradientes.(M.Madhusudan; Burns.S, 2021)

Os melhores *layouts* para transistores MOS combinam o casamento em centróides comum com a proximidade dos dispositivos.

3.1.4 Casamento por orientação - Quiralidade

A quiralidade de um transistor é definida como a "fração de segmentos orientados à direita que ele contém menos a fração de segmentos orientados à esquerda", então os transistores que possuírem quiralidades iguais não experimentarão descasamentos dependentes de orientação. Por exemplo, um transistor tendo três segmentos orientados à direita a um orientado à esquerda tem uma quiralidade de $\frac{3}{4} - \frac{1}{4} = \frac{1}{2}$. Como estes transistores têm quiralidades iguais, eles não exibem nenhum descasamento dependente de orientação. Tais deslocamentos diagonais ocorrem, pois a implantação iônica é realizada em um ângulo para prevenir o efeito de tunelamento.

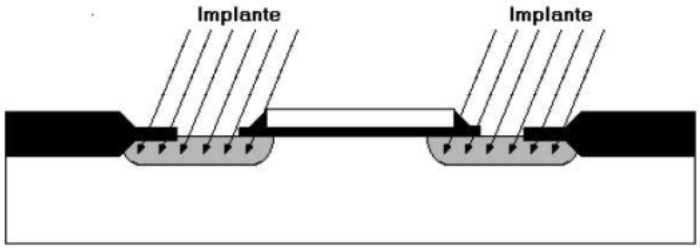


Figura 3.12 – Deslocamento lateral das regiões de dreno e fonte devido ao ângulo de inclinação na implantação iônica.

Isso causa diferenças nas regiões de fonte/dreno do lado esquerdo dos *gates* em relação ao lado direito. Se os dispositivos casados forem arranjados em um padrão ${}_DA_SB_D$, então o dreno do dispositivo do lado esquerdo difere do dreno do dispositivo do lado direito da mesma forma que a fonte do dispositivo do lado esquerdo difere da fonte do dispositivo do lado direito. Implantes inclinados têm pouco efeito sobre o casamento de transistores que operam na região linear, porém dispositivos em saturação às vezes experimentam pequenas diferenças de transcondutância. A maioria dos projetistas prefere usar arranjos com quiralidade zero, ou seja, transistores que consistem em números iguais de segmentos orientados à direita e à esquerda (Hastings.A, 2001).

A transcondutância dos transistores MOS depende da mobilidade dos portadores e estes exibem sensibilidade à tensão mecânica a depender da orientação. Transistores orientados ao longo de diferentes eixos no cristal de silício estarão sujeitos a diferentes tensões mecânicas. Ao agrupar dispositivos que precisam ser casados dentro de uma mesma matriz, esse descasamento pode ser evitado por meio da orientação dos transistores casados na mesma direção. Variações da mobilidade causadas pela tensão mecânica podem induzir descasamento de corrente entre dispositivos rotacionados. (Chung.J *et al.*, 1991)

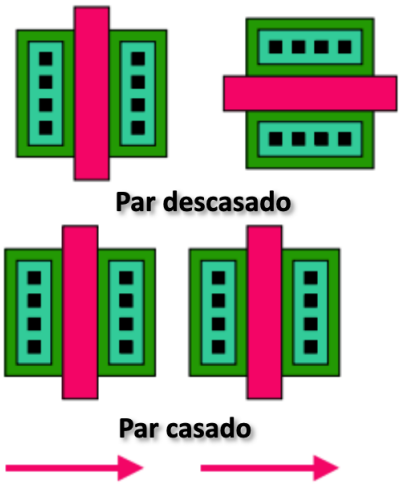


Figura 3.13 – Dispositivos casados devem ter a mesma orientação devido à anisotropia do silício e também para possibilitar que a corrente flua na mesma direção. Fonte: (Maloberti.F, 2001)

3.1.5 Dispositivos *Dummy*

Dispositivos *dummies* são transistores dispostos na matriz de casamento ao redor dos dispositivos ativos. Nesses dispositivos, *gate*, dreno e a fonte estão conectados entre si (em curto), geralmente no potencial do substrato (VDD ou GND), para prevenir flutuações em potenciais desconhecidos e também impedir a condução de corrente.

Podem variar de tamanho até o tamanho total do dispositivo ativo que se quer proteger, o que implica em um gasto de área. Os *dummies* ajudam a garantir que cada dispositivo em um grupo correspondente tenha a mesma vizinhança, melhorando o casamento de diversas maneiras, por exemplo, reduzindo WPE ao aumentar a distância dos dispositivos casados da borda do poço, protegendo contra variações na taxa de corrosão do *poly*.

Em síntese, para melhorar o casamento dos dispositivos, deve-se dispô-los da seguinte forma:

- linhas isotermas;
- Forma e tamanho idênticos;
- Espaçamento mínimo;
- Geometrias centróides comuns;
- Mesma orientação;
- Mesma vizinhança;
- Tamanho não mínimo

4 Metodologia

4.1 Estado da Arte

Transistores idênticos podem se comportar de maneira distinta devido às diferenças nas características do layout. O fluxo de projeto de circuitos integrados geralmente envolve a seguinte sequência: o projetista de circuitos fornece um esquemático detalhado ao projetista de layout, que por sua vez cria um layout físico do circuito. A partir desse layout, são extraídos os parasitas reais, que representam os efeitos indesejados de capacitâncias e resistências nas interconexões e camadas do circuito, bem como a interação com o substrato. Esses parasitas são então incorporados em um modelo preciso do circuito, permitindo simular e prever o comportamento real do dispositivo.

Esse resultado então precisa ser realimentado no esquemático para otimizar os parâmetros do dispositivo a fim de atender às metas de desempenho, muitas vezes exigindo múltiplas iterações de layout/otimização (vide figura 1.2).

Assim, a qualidade do layout depende do nível de experiência do layoutista e muitas vezes se baseia em boas práticas qualitativas.

Com o objetivo de diminuir o número de interações nesse ciclo, este capítulo visa reunir o referencial teórico abordado na bibliografia adotada como referência para esse estudo, seus principais pontos e propor uma metodologia para um estudo quantitativo dos LDE visando mitigar esses efeitos. Para diminuir o número de interações nesse ciclo, este capítulo visa reunir o referencial teórico abordado na bibliografia adotada como referência para esse estudo, seus principais pontos e propor uma metodologia para um estudo quantitativo dos LDE com o objetivo de mitigar esses efeitos.

No estudo realizado por (Drennan.P; Kinnifin.M; Locascio.D, 2006) foram investigados os efeitos do WPE e do STI em uma tecnologia de 130nm.

O impacto em V_{th} foi de uma variação de até 50 mV para dispositivos a 1 μm da borda, mantendo-se esse efeito até uma distância de 3μm. V_{th} também depende da orientação S/D, sendo responsável por uma variação de até 10mV em dispositivos com a fonte orientada para a borda. Vale ressaltar que esse efeito atualmente não é contemplado nos modelos SPICE. (BSIM…, 2023).

Essas implicações para o design analógico foram analisadas em um espelho de corrente, conforme ilustrado na figura 4.1. Nessa tecnologia, as diferentes configurações de disposição dos transistores MOS de saída resultaram em uma variação de até 30% na corrente de saída do dispositivo mais próximo à borda em comparação com o dispositivo de referência. Além disso, quando a distância entre um transistor e a borda do poço é inferior a 0,945µm,

V_{th} pode aumentar em mais de 10 mV. Essa alteração pode fazer com que o transistor opere fora da região de saturação, ocasionando uma redução na corrente de dreno. Contudo, esse impacto é mitigado quando o espaçamento até a borda ultrapassa $3\mu m$ resultando em uma variação de aproximadamente 3-4% na corrente.

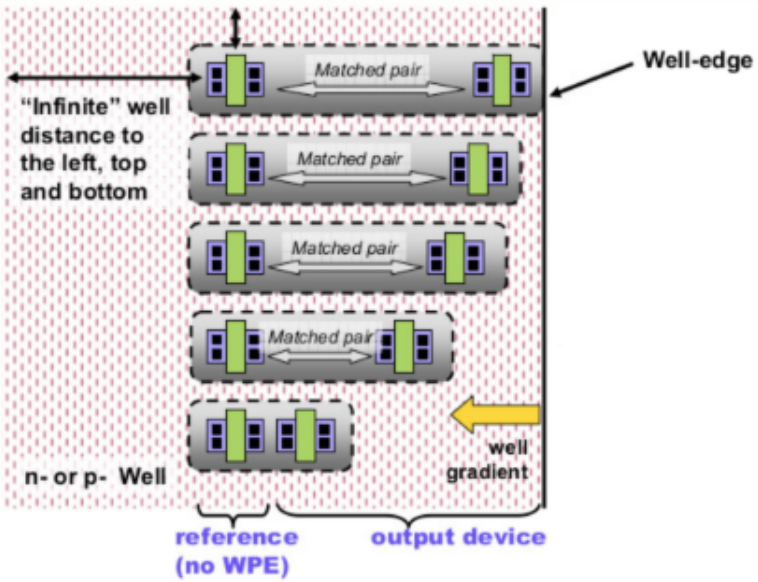


Figura 4.1 – Estrutura para avaliar o WPE em dispositivos casados para um espelho de corrente. Consiste em deixar o dispositivo de referência longe da borda (sem efeitos de WPE) e o outro dispositivo a distâncias variáveis da borda. Fonte :(Drennan.P; Kinnifin.M; Locascio.D, 2006)

Isso mostra que as escolhas de casamento e disposição dos dispositivos pode levar a mudanças no funcionamento e fazer com que o dispositivo trabalhe fora da região de saturação.

As implicações desse resultado para o design analógico foram então avaliadas em um espelho de corrente com a disposição conforme mostra a figura 4.1. As diferentes formas de dispor o MOS levaram a uma variação de 30% na corrente de saída no dispositivo mais próximo á borda em relação ao dispositivo de referência.

Isso justifica o casamento em centróide comum em espelhos de corrente com o dispositivo de referência no centro da matriz de casamento.

O trabalho de (Mohammed.I; Dessouky.M, 2016) também utiliza diferentes disposições de layouts nos blocos de um amplificador OTA (fig 4.7) para mensurar os LDE em uma tecnologia de 65nm.

A corrente de saída dos dois espelhos de corrente, o PMOS e o NMOS, é comparada com a corrente de saída ideal do resultado da simulação do esquemático de acordo com a estrutura mostrada na figura 4.2.

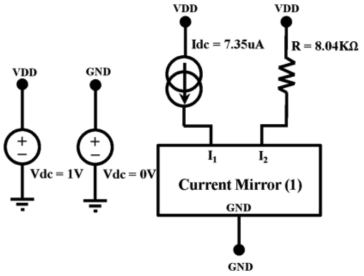


Figura 4.2 – Estrutura teste para espelho de corrente N. Fonte: (Mohammed.I; Dessouky.M, 2016)

Para o espelho NMOS arranjos de três matrizes com diferentes casamentos e disposições dos *dummies* (figura 4.3) foram utilizados para mediar variações na corrente da saída. Os resultados mostram alterações significativas somente para o casamento interdigitado, mostrando que não houve alterações relevantes por efeito de WPE.

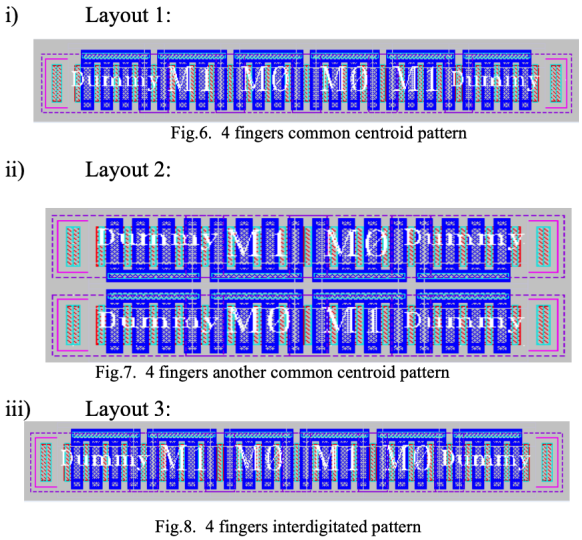


Figura 4.3 – Diferentes disposições de layout no espelho de corrente N. Fonte: (Mohammed.I; Dessouky.M, 2016)

Já para o espelho PMOS três layouts com as disposições mostradas na figura 4.4 foram propostos.

O resultado foi uma variação em I_{out} de 11% em relação ao valor ideal para a matriz sem dispositivos *dummies* na simulação pós-layout.

Para o estudo do STI um esquemático contendo apenas um NMOS ou um PMOS e, para o mesmo W total, a cada vez que o número de *fingers* aumenta, a variação da corrente em cada *finger* é mensurada, mostrando que o estresse compressivo causado pela STI atua de diferentes formas nos dois dispositivos, aumentando ou diminuindo a corrente de saturação nos dispositivos. Como hipótese para essa variação, há dois principais mecanismos diferentes que causam a influência do efeito do estresse nas características do dispositivo. O primeiro está relacionado à mobilidade e é induzido pela modificação da estrutura da banda. O

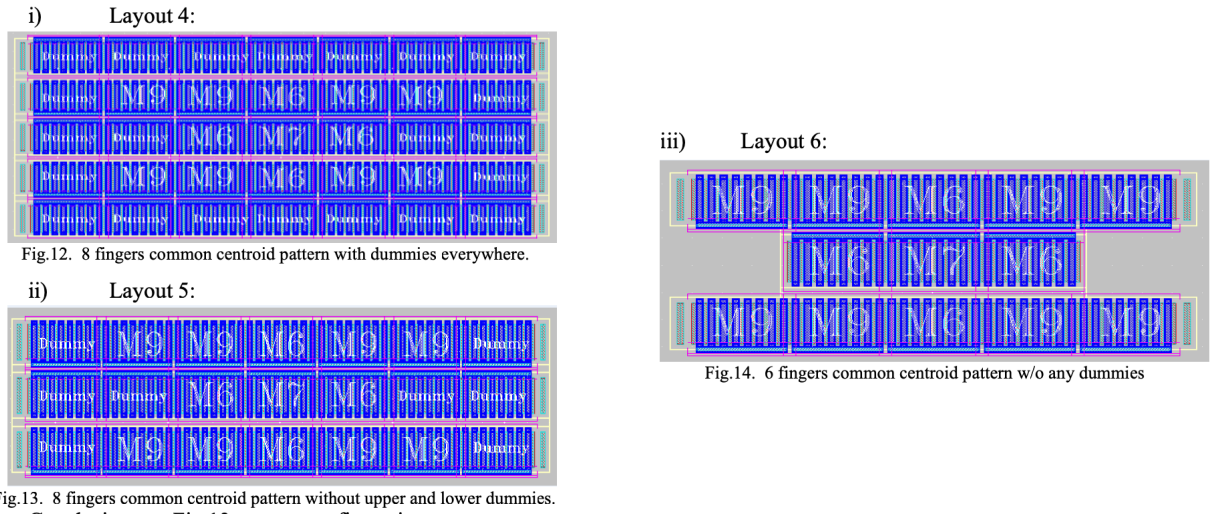


Fig.12. 8 fingers common centroid pattern with dummies everywhere.

Fig.13. 8 fingers common centroid pattern without upper and lower dummies.

Fig.14. 6 fingers common centroid pattern w/o any dummies

Figura 4.4 – Diferentes disposições do Layout espelho de corrente P. Fonte: (Mohammed.I; Dessouky.M, 2016)

segundo está relacionado ao V_{th} como resultado da variação do perfil de dopagem, sendo que esse efeito ainda não é levado em consideração no atual modelo BSIM (Su.K.E *et al.*, 2003).

Somando os resultados apresentados anteriormente em um OTA mostraram variação para o pior caso de 71° para 68° na margem de fase, o ganho de 50 para 49, produto ganho banda de 371 MHz para 347 MHz.

Importante salientar que os estudos mencionados anteriormente faziam as ligações entre dispositivos de maneira virtual, o estudo de (Liao.T; Zhang.L, 2014) também utiliza o amplificador de dois estágios como circuito de testes, mas sem abrir mão dos efeitos parasitas das interconexões.

O resultado mostrou que o ganho do amplificador variava de 62 dB (ideal) para o pior caso de 38 dB onde os efeitos de WPE foram totalmente ignorados, desabilitando seu valor na *netlist*. Isso mostra que os parasitas de interconexão de layout afetam o desempenho, mas não tanto quanto a incompatibilidade de WPE.

No estudo de (Liao.T; Zhang.L, 2014) para o efeito de WPE, os parasitas da topologia OTA foram extraídos utilizando a ferramenta Mentor Graphics Calibre. O resultado mostra que uma pequena incompatibilidade de WPE em qualquer estrutura sensível causa uma grande variação nas propriedades elétricas e até mesmo leva ao mau funcionamento do circuito. A tabela mostra o desempenho em diferentes casos de combinação de parasitas WPE e RC.

Uma incompatibilidade de distanciamento da região de NWELL até dispositivos ativos pode ser vista na figura 4.5, onde a distância entre NWELL e M3a é de 0,25 μm e entre NWELL e M3b é de 0,425 μm (sendo M3a e M3b espelhos de corrente N).Esses são comumente chamados de *jogs* e consistem em *layers* não uniformes. A coluna 2 mostra a

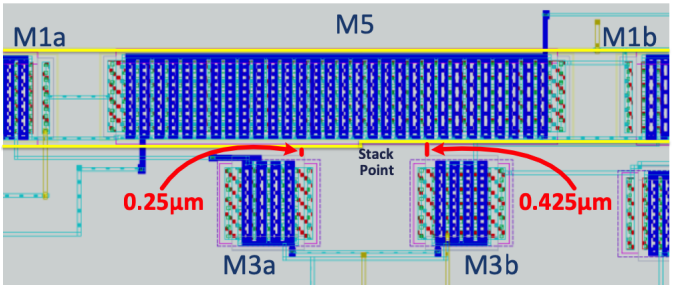


Figura 4.5 – Vista parcial do *layout* do amplificador. Em amarelo, a *layer* de NWELL. Fonte:(Liao.T; Zhang.L, 2014)

.

extração com parasitas RC sem WPE, a terceira coluna mostra o resultado da simulação com a *netlist* considerando apenas parasitas RC sem efeito de WPE. A quarta coluna é basicamente uma comparação com a segunda coluna, descartando o efeito de parasitas e considerando apenas WPE. A coluna 5 mostra o resultado do esquemático considerado ideal.

1.WPE+RC	2.NoWPE+RC	3.WPE+NoRC	4.NoWPE+NoRC	5.WPE+RC (matched)
35dB	61.5dB	38dB	62dB	61.5dB

Figura 4.6 – Efeito de WPE na extração de parasitas. Fonte: (Liao.T; Zhang.L, 2014)

Ao comparar a coluna 4 (que é o resultado da simulação de pré-layout considerado ideal) e a coluna 5, conclui-se que, para dispositivos correspondentes, as distâncias de NW não importam muito, desde que as distâncias correspondam. A distância de 0,19 μm é bem pequena e apenas um pouco maior do que a distância mínima definida pela regra de DRC de 0,16 μm, mas nenhuma grande variação de ganho é observada. No entanto, ao comparar as colunas 1 com as colunas 4 e 5, até mesmo a linha de base, que deve ser pelo menos maior do que 0,16 μm, é movida para mais longe (ou seja, para um lugar mais distante onde o WPE parece menos significativo para um único dispositivo, bem como para estruturas correspondentes) de 0,19 μm do último conjunto de experimentos para 0,25 μm, e uma incompatibilidade de 0,425 μm-0,25 μm = 0,175 μm realmente leva a um projeto impraticável. Como os conjuntos 1, 2, 3 e 5 são resultados de simulação pós-layout, os parasitas precisam ser considerados. Os três primeiros conjuntos podem dar uma pista suficiente de que os parasitas de interconexão de layout afetam o desempenho, mas não tão significativamente quanto a incompatibilidade de WPE.

4.2 Topologia

A topologia escolhida para os testes do presente estudo será o circuito mostrado na figura 4.7. A motivação da escolha foi que este é um circuito de baixa complexidade, amplamente citado na literatura e que contém elementos essenciais para o estudo.

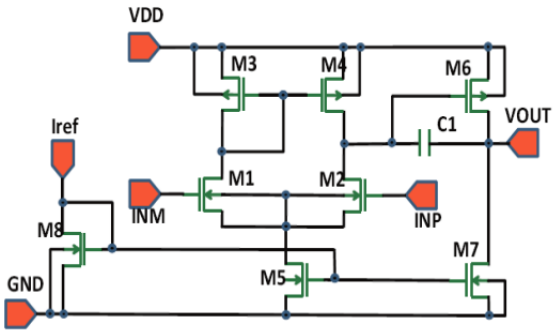


Figura 4.7 – Topologia do amplificador. Fonte: (Zhang B. Liu, 2012)

O par diferencial formado pelos transistores M_3 e M_5 é um bom caso de estudo para efeitos de *layout* porque, para terem um desempenho ideal, seus MOSFETs devem estar muito bem casados. Isto significa que as dimensões do canal de ambos os MOSFETs devem ser iguais e o roteamento deve ser balanceado. Qualquer diferença nos parasitas dos lados esquerdo e direito implicará em redução de desempenho.

Para garantir que cada dispositivo se comporte de forma idêntica e para neutralizar a variação do processo na matriz, é necessário dispor os transistores em um layout centróide comum.

Em questão de roteamento, é necessário que qualquer metal ao redor das áreas ativas dos dispositivos seja idêntico e que os parasitas dos lados esquerdo e direito do par diferencial sejam equilibrados para serem iguais.

Outra estrutura presente no amplificador, amplamente citada na literatura de referência para LDE são os espelhos de corrente (Mohammed.I; Dessouky.M, 2016)(Zein.A *et al.*, 2012)(Drennan.P; Kinnifin.M; Locascio.D, 2006). Eles fornecem correntes de polarização e são projetados para espelhar a corrente que flui através de uma ramificação de referência para uma ou mais ramificações espelhadas.

É essencial garantir que os ramos do espelho tenham dispositivos idênticos. Da mesma forma, o layout em torno de cada um dos dispositivos precisa ser compatível. O dispositivo de referência deve ser colocado no centro e os outros dispositivos dispostos em torno dele, como justificado anteriormente.

Com base no que foi apresentado nesse capítulo, é proposto um estudo dos LDE em um OTA, variando o tipo de casamento das suas matrizes, o uso de *dummies* para efeitos de WPE, a orientação (fonte/dreno) na investigação dos desvios das variáveis como V_{th}, I_d, ganho e Margem de fase.

5 Resultados e Discussões

As simulações foram feitas utilizando o simulador HSPICE no ambiente de design PrimeWave da Synopsys.

O modelo parasitário pós *layout* é um *corner* que inclui valores de resistência e capacitância parasitas na simulação já no esquemático, como mostra a figura 5.1. Análise de *corners* é uma simulação que considera variações no processo para que seja possível determinar se as especificações serão atendidas. Esses modelos são compostos por parâmetros elétricos considerando as operações do circuito em condições extremas, por exemplo, no pior caso para temperatura e tensão de alimentação. Assim, são levadas em consideração as resistências parasitas do *source*, dreno e *source* e as capacitâncias parasitas entre *bulk* e *gate*, *gate* e *source*, dreno e *source* e dreno e *gate*. Este estudo foi conduzido em *corner* típico RC.

Nesse tipo de simulação, é necessário habilitar as *switches* que controlam o efeito que se deseja levar em consideração na *netlist* - descrição textual da estrutura de um circuito. Por exemplo, para STI é necessária a identificação das *switches* do efeito que ativa as distâncias longitudinais Sa/Sb.

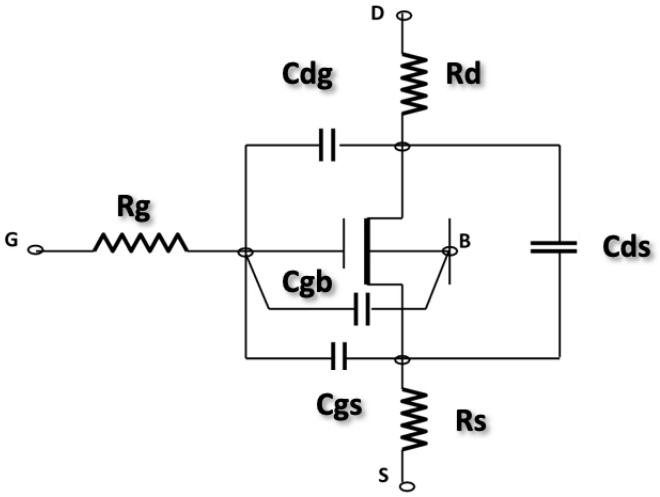


Figura 5.1 – Modelo de parasitas utilizado no *corner*.

Como citado no capítulo 3, o estresse mecânico afeta as mobilidades dos portadores no silício. Para elétrons, tanto a tensão compressiva transversal quanto a longitudinal reduzem a mobilidade. Para lacunas, a situação é mais complexa, pois a tensão compressiva em uma direção aumenta a mobilidade e diminui a mobilidade em outra direção.

Na tecnologia 22FDX há a adição de estresse compressivo no canal do dispositivo PMOS. Ao mesmo tempo, isso introduz um relaxamento na tensão na borda da região ativa

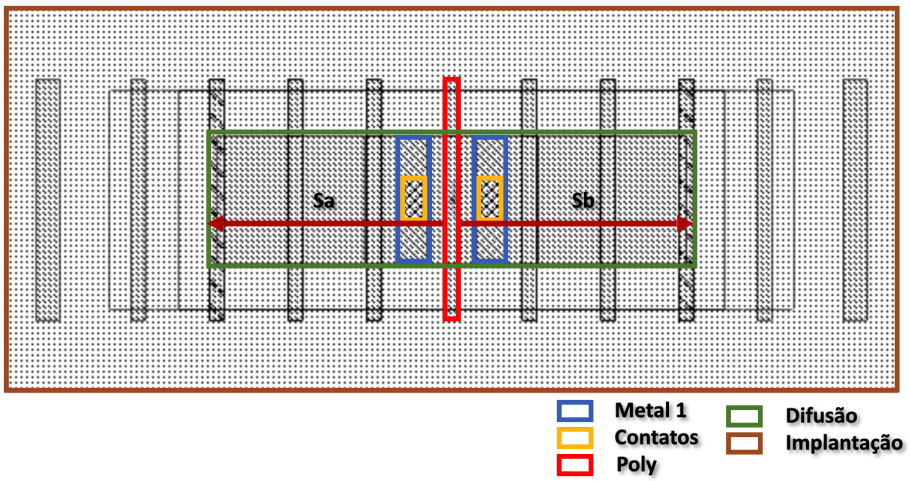
que degrada o desempenho do PMOS.

Para testar o efeito do estresse induzido pela STI um esquemático contendo apenas um transistor do tipo P com dimensões l = 20nm e w = 170nm, em saturação (V_g=0.9V, V_{sd}=1,5V) e apenas com as *switches* para teste de STI ligadas, conforme as diretrizes do fabricante.

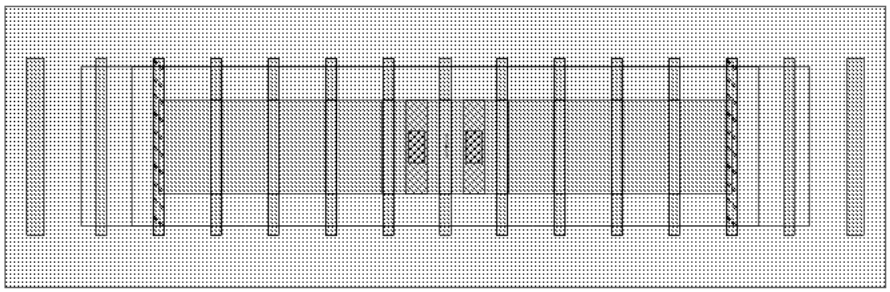
Ao variar a distância da região ativa até a borda de no mínimo 94nm até 510nm, mantendo o mesmo W total (figura 2.6), percebe-se uma mudança nos valores de I_d. Esses valores foram comparados em relação a um dispositivo ideal com Sa/Sb de 2μm (valor máximo que a tecnologia considera para efeitos de estresse causados por STI), considerado como um dispositivo referência sem efeitos de estresse.

Figura 5.2 – Dispositivos PMOS com o mesmo comprimento e largura do canal, mas com diferentes valores de Sa/Sb para teste de STI.

(a) Sa/Sb = 198 nm



(b) Sa/Sb = 510 nm



No valor mínimo de Sa/Sb é onde ocorre a maior variação no desempenho do dispositivo.

O resultado pode ser visto no gráfico da figura 5.3. Percebe-se que a variação na corrente de dreno é maior quanto menor a distância Sa/Sb.

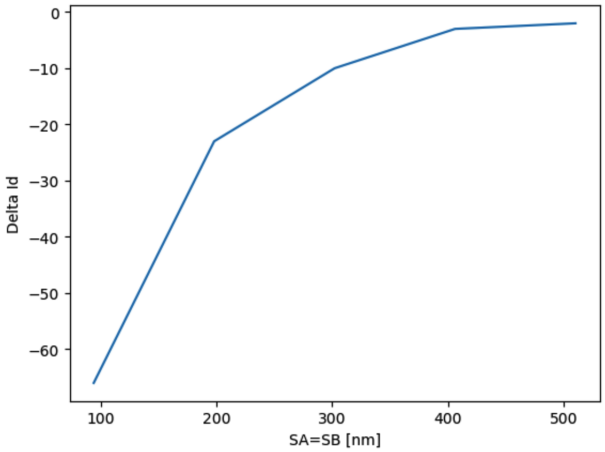


Figura 5.3 – Curva Δ Id(%) x Sa=Sb.

Ao contrário do PMOS, dispositivos NMOS não são particularmente afetados pelo estresse da STI (Berthelon *et al.*, 2016) e (C.Ndiaye *et al.*, 2016).

Na tecnologia 22 FDX a variação no dispositivo nfet em Vt_{th} por LOD é de no máximo 3mV (com valores de Sa/Sb variando de no mínimo 94nm e máximos de 1 μm) enquanto para um dispositivo PMOS esse valor chega a ser de 90mV. Mostrando que o impacto desse efeito é muito reduzido em dispositivos N.

A figura 5.6 mostra que o relaxamento do estresse é mais proeminente para baixos valores de LOD e diminui quando o LOD aumenta.

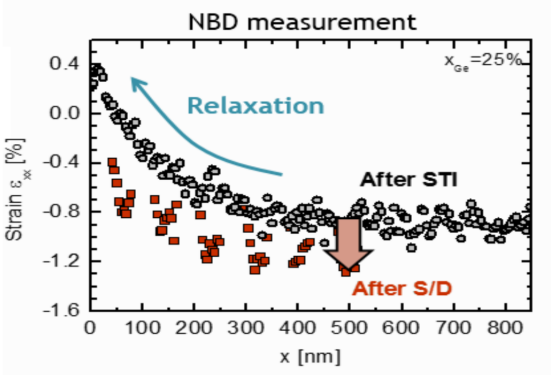


Figura 5.4 – Tensão é distendida nas bordas da região ativa após a formação da STI. Fonte: (C.Ndiaye *et al.*, 2016)

Para verificar o impacto do estresse do STI em V_{th}, a corrente de dreno normalizada para o mesmo dispositivo W/L = 170/20 nm foi plotada na figura 5.5 em função de V_{gs}. Para valores mais altos de V_{gs} há diminuição na corrente de dreno do PMOS com a diminuição de Sa/Sb. De acordo com a equação 2.2 isso é um indicativo de variação na tensão de *threshold*.

Um indicativo na mudança da tensão de threshold é descrito como inibição da difusão (Su.K.E *et al.*, 2003).

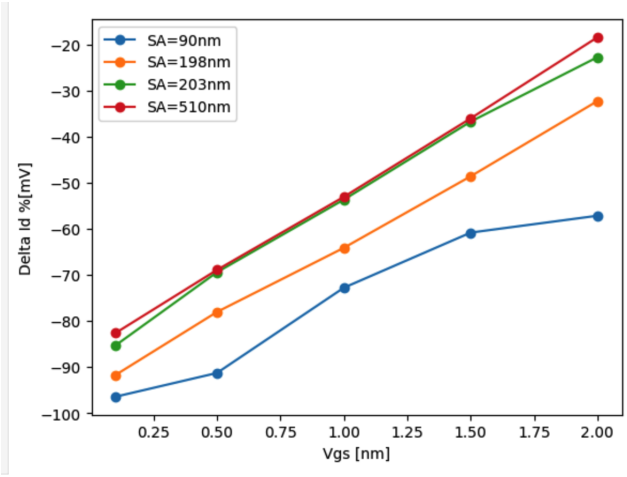


Figura 5.5 – Curva Δ Id % xVgs [V].

Para seguir no estudo dos efeitos de estresse e suas implicações, um espelho P 1:1 usando um dispositivo de 1V com W=2μm e L=1μm e corrente de bias 1μA.

Foram simulados diferentes valores de Sa/Sb no dispositivo de saída, e o que se percebe é a degradação da corrente espelhada, variando em até 8% da corrente de referência (vide tabela 5.1).

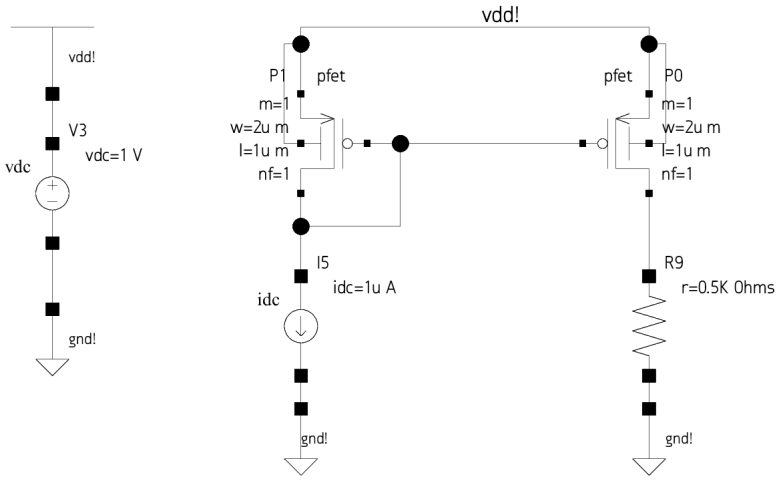


Figura 5.6 – Espelho de corrente tipo P.

Esses efeitos foram testados em um amplificador de dois estágios com as dimensões mostradas na tabela 5.3.

A comparação com outros estudos que também utilizaram a topologia OTA para a medição de efeitos dependentes de layout pode ser vista na tabela 5.3.

Assim, com base no que foi descrito anteriormente, são listadas diretrizes para mitigação de efeitos dependentes de layout:

- Minimizar a variação entre dispositivos que precisam ser casados;

Tabela 5.1 – Efeito da STI na corrente de saída em um espelho P

Sa=Sb μm	I_{dout} **[μA]**
0,195	0,843
1,355	0,920
2,515	0,943
3,675	1,015
4,835	1,034

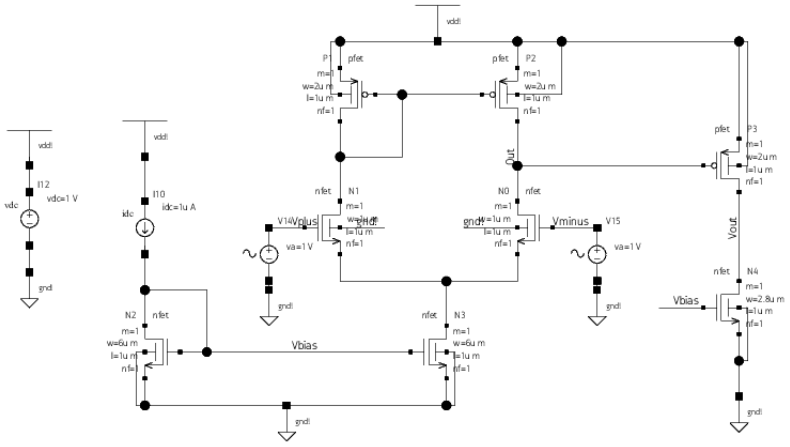


Figura 5.7 – Amplificador.

Tabela 5.2 – Dimensão dos dispositivos

Dispositivo	**W[μm]**	**L [μm]**
nfet N0	1	1
nfet N1	1	1
nfet N2	6	1
nfet N3	6	1
nfet N4	2,8	1
pfet P1	2	1
nfet P2	2	1
pfet P3	2	1

- Casar em uma mesma matriz apenas dispositivos com forma, tamanho e orientação de área ativa semelhantes;
- Manter uma distância uniforme entre os *gates* do dispositivo e as bordas da região de implantação e entre a região ativa dos dispositivos (até mesmo de *dummies)*;
- Distância de no mínimo 3μm de segurança da borda do implante do poço (para minimizar efeitos de WPE);

Tabela 5.3 – Parâmetros Amplificador diferentes em tecnologias

Artigo	Tecnologia[nm]	Ganho
(Liao.T; Zhang.L, 2014)	60	Ideal=61dB WPE=45dB
(Zhang B. Liu, 2012)	90	Ideal=67dB WPE+LOD= 42dB
(Mohammed.I; Dessouky.M, 2016)	65	Ideal=50,12dB STI+WPE=49,79 dB
Este trabalho	22	Ideal=67dB STI=63,5dB

- Fazer com que os dispositivos compartilhem a região de difusão minimiza os efeitos de LOD figura 5.8. Nesse caso, utilizar casamento interdigitado.
- Usar dispositivos com comprimento de canal maior que o mínimo sempre que possível.
- No caso de um dispositivo com L pequeno precisar ser usado, adicionar *dummy gates* em ambos os lados para aumentar os valores SA/SB.

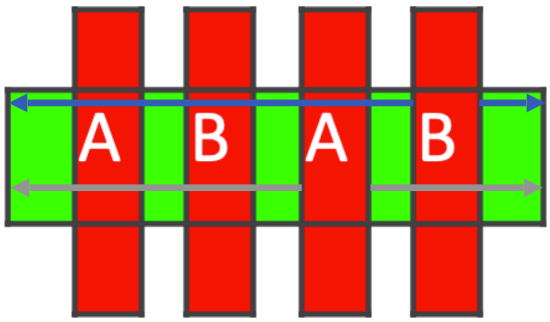


Figura 5.8 – Casamento interdigitado para efeitos de LOD. Os dispositivos A estão sob os mesmos efeitos dos dispositivos B.

Juntando as práticas listadas anteriormente no layout final do amplificador, obtém-se o resultado na figura 5.9. Observa-se que apenas uma coluna de dispositivos *dummies* não garante uma distância segura até a borda, geralmente de 3μm. Para isso, foi necessário adicionar mais uma fileira de *dummies* para assegurar que os dispositivos ativos não sejam afetados pelo efeito de WPE.

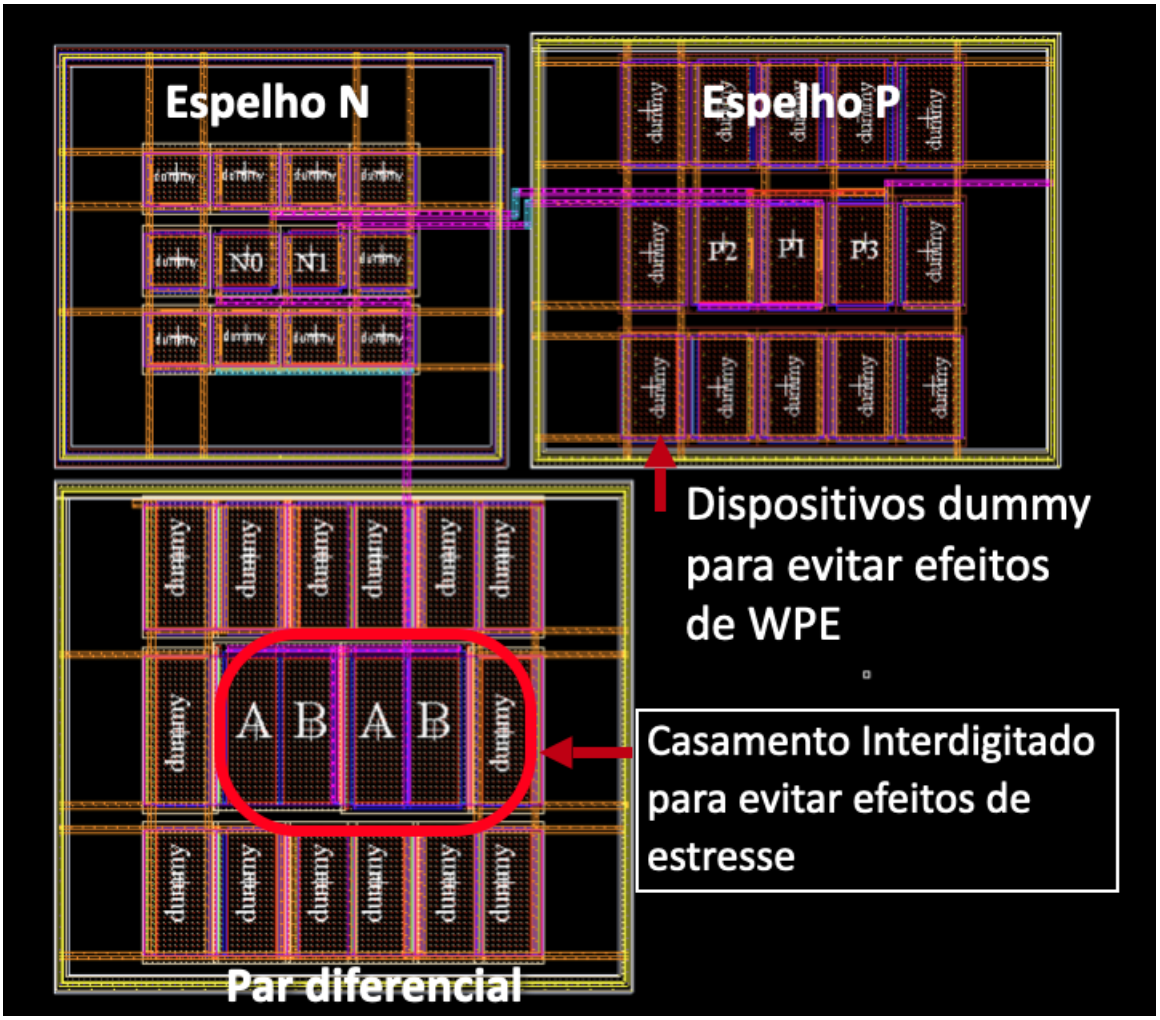


Figura 5.9 – *Layout* do Amplificador com as práticas de mitigação de LDE.

6 Conclusões e Trabalhos Futuros

Para trabalhos futuros, este estudo poderia ser aprofundado investigando também outros efeitos dependentes de *layout* tais como PSE (*Poly Space Effect*) e (*OSE Oxide Space Effet*).Também sugere-se não utilizar tecnologias SOI, pois esta se mostrou consideravelmente imune aos LDE. Ideal seria utilizar a extração de parasitas para medições mais próximas da real.

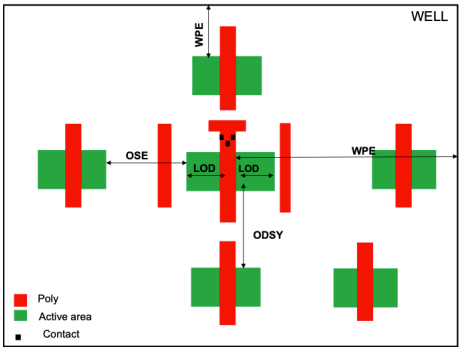


Figura 6.1 – *Oxide Space Effet* influência da região ativa entre dispositivos. Fonte: (Chen.H; Guan.A, 2014)

Outros trabalhos utilizam outros circuitos como ADCs e Osciladores em Anel (C.Ndiaye *et al.*, 2016) e (Berthelon *et al.*, 2016) que levam a novas análises como a frequência de operação.

Os estudos mais completos sobre o efeito de WPE e STI consideram MOSFETs com regiões ativas irregulares, como mostra a figura 6.3, e também investigam a variação associada às distâncias Sa e Sb com valores diferentes (6.2) e não valores iguais, como conduzido neste estudo. Há também a possibilidade de testar esse efeito com um poço não uniforme, como mostra a figura 6.2.

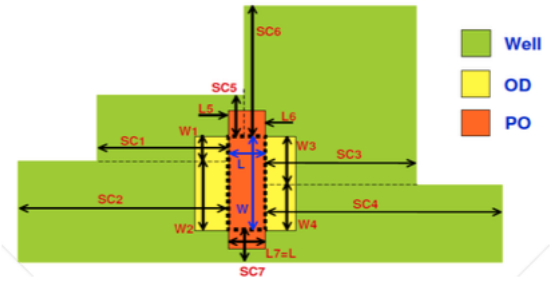


Figura 6.2 – WPE com distâncias não uniformes até a borda do poço. Fonte: (Chen.H; Guan.A, 2014)

Por conterem mais restrições em relação ao roteamento e ao posicionamento, a automação do *layout* analógico não evoluiu tanto como no design digital. Os esforços nesse

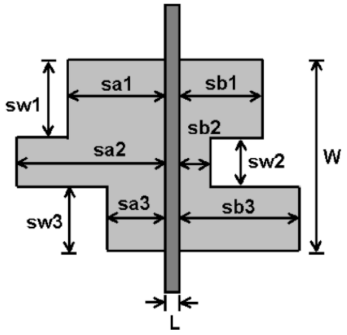


Figura 6.3 – Um layout típico de dispositivos MOS com mais parâmetros de instância (swi, sai e sbi) além dos tradicionais L e W. Fonte: (BSIM…, 2023)

sentido se concentram no posicionamento dos dispositivos com restrições de simetria e casamento, como em(K.Kunal; J.Poojary; T.Dhar, 2020). Os estudos mais recentes já levam em consideração os efeitos dependentes de *layout* (Liao.T; Zhang.L, 2014).

Referências

AFACAN.E; BERKOL.G; DUNDAR.G; PUSANE.A.E; BASKAYA.F. An analog circuit synthesis tool based on efficient and reliable yield estimation. **Microelectronics Journal**, Elsevier, 2016. Citado nas pp. 6 e 13.

BERTHELON, R.; ANDRIEU, F.; ORTOLLAND, S.; NICOLAS, R.; POIROUX, T.; BAYLAC, E. Impact of the design layout on threshold voltage in sige channel utbb-fdsoi pmosfet. **International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS)**, IEEE, p. 88–91, 2016. Citado nas pp. 43 e 48.

BIANCHI.R; BOUCHE.G. Accurate modeling of trench isolation induced mechanical stress effects on mosfet electrical performance. **International Electrical Devices Meeting**, 2002. Citado nas pp. 6, 28 e 29.

BSIM Group at UC Berkeley. 2023. Disponível em: https://bsim.berkeley.edu/models/bsim4/. Acesso em: 2 de julho de 2024. Citado nas pp. 6, 7, 28, 35 e 49.

CADENCE. **Taming the Challenges of 20nm Custom Analog Design**. [*S.l.*], 2017. Citado na p. 24.

CAMPBELL.S. **Fabrication Engineering at the Micro and Nanoscale**. 3. ed. Oxford: Oxford University Press, 2008. Citado nas pp. 6, 21, 22 e 25.

CHEN.H; GUAN.A, J. C. Practical electrical parameter aware methodology for analog designers with emphasis on lde aware for devices. **Technical Papers of 2014 International Symposium on VLSI Design, Automation and Test**, 2014. Citado nas pp. 7 e 48.

CHUNG.J; CHEN.J; KO.P; HU.C; LEVIN.M. The effects of low-angle off-axis substrate orientation on mosfet performance and reliability. **IEEE Transactions on Electron Devices**, 1991. Citado na p. 33.

C.NDIAYE; R.BERTHELON; V.HUARD; A.BRAVAIX; C.DIOUF; F.ANDRIEU; S.ORTOLLAND; M.RAFIK; R.LAJMI; X.FEDERSPIEL; F.CACHO. Reliability compact modeling approach for layout dependent effects in advanced cmos nodes. **2017 IEEE International Reliability Physics Symposium**, IEEE, p. 4C–4.1–4C–4.7, 2016. Citado nas pp. 7, 27, 43 e 48.

DRENNAN.P; KINNIFIN.M; LOCASCIO.D. Implications of proximity effects for analog design. **IEEE Custom Integrated Circuits Conference**, San Diego, 2006. Citado nas pp. 6, 7, 26, 35, 36 e 40.

FARICELLI.J. Layout dependent proximity effects in deep nanoscale cmos. **IEEE Custom Integrated Circuits Conference 2010**, 2010. Citado nas pp. 6 e 27.

HASTINGS.A. **The Art of Analog Design**. 1. ed. [*S.l.*]: Prentice Hall, 2001. Citado nas pp. 6, 32 e 33.

KAHNG.A; PATI.Y. Subwavelength lithography and its potential impact on design and eda. **Proc. Design Automation Conference**, p. 799–804, 1999. Citado nas pp. 6 e 12.

K.KUNAL; J.POOJARY; T.DHAR. A general approach for identifying hierarchical symmetry constraints for analog circuit layout. **International Conference On Computer Aided Design (ICCAD)**, IEEE, p. 1–8, 2020. Citado na p. 49.

LIAO.T; ZHANG.L. Analog integrated circuit sizing and layout dependent effects: A review. **Microelectronics and Solid State Electronics**, v. 3, p. 19–29, 2014. Citado nas pp. 7, 38, 39, 46 e 49.

LIENIG.J. **Fundamentals of LAyout Design for Electronic Circuits**. 1. ed. [*S.l.*]: Springer, 2020. 236-254 p. Citado nas pp. 6, 20, 21, 30 e 31.

LOVETT.S; WELTEN.M; MATHEWSON.A; MASON.B. Optimizing mos transistor mismatch. **IEEE Journal of Solid-State Circuits**, 1998. Citado na p. 25.

MALOBERTI.F. **Analog Design for CMOS VLSI Systems**. Boston: Kluwer Academic Publishers, 2001. Citado nas pp. 6, 7, 8, 15, 16, 31 e 34.

M.MADHUSUDAN, S.; BURNS.S. Common-centroid layouts for analog circuits: Advantages and limitations. **IEEE Design, Automation and Test in Europe Conference and Exhibition**, 2021. Citado na p. 32.

MOHAMMED.I; DESSOUKY.M. Layout dependent effects mitigation in current mirrors. **Fouth IEEE International Japan-Egypt Conference on Electronics, Communications and Computers**, Japan, 2016. Citado nas pp. 6, 7, 24, 36, 37, 38, 40 e 46.

MOHTA.N; THOMPSON.S. Mobility enhancement. **IEEE Circuits and Devices Magazine**, 2005. Citado na p. 18.

MOORE.G. Cramming more components onto integrated circuits. **Electronics**, 1965. Citado na p. 12.

PELGROM.M; DUINMAIJER.A; WELBERS.A. Matching properties of mos transistors. **IEEE Journal of Solid State Circuits**, 1989. Citado na p. 32.

RAZAVI.B. **Fundamentals of Microelectronics**. 1. ed. [*S.l.*]: LTC, 2010. Citado nas pp. 17 e 18.

SAINT.C; SAINT.J. **IC Layout Basics: A Pratical Guide**. 1. ed. [*S.l.*]: McGraw-Hill, 2004. Citado nas pp. 6 e 15.

SEDRA.A; SMITH.K. **Microelectronic Circuits**. 7th. ed. [*S.l.*]: Oxford University Press, 2015. Citado nas pp. 6 e 19.

S.MU. Stress from isolation trenches in silicon substrates. **Journal of Applied Physics**, AIP Publishing, 2019. Citado nas pp. 28 e 29.

STMICROELECTRONICS. 2024. Acessado em 9 de agosto de 2024. Disponível em: www.st.com/content/st_com/en/about/innovation---technology/FD-SOI.html. Citado nas pp. 6 e 20.

STOLK.P; WIDDERSHOVEN.F; KLAASSEN.D. Modeling statistical dopant fluctuations in mos transistors. **IEEE Trans. on Electron Devices**, v. 45, n. 9, 1998. Citado na p. 26.

SU.K.E; SHEU.Y; LIN.C; YANG.S; LIANG.S; XI.X; HER.J, C. adn; CHIA.Y; DIM.C; HU.C. A scaleable model for sti mechanical stress effect on layout dependence of mos electrical characteristics. **IEEE Custom Integrated Circuits Conference**, IEEE, 2003. Citado nas pp. 28, 38 e 43.

SYNOPSYS. 2024. Acessado em 19 de outubro de 2024. Disponível em: https://www.synopsys.com/glossary/what-is-parasitic-extraction.html. Citado nas pp. 6 e 23.

TSIVIDIS.Y; MCANDREW.C. **Operation and Modeling of the MOS Transistor**. 3. ed. [*S.l.*]: Oxford University Press, 2011. Citado na p. 26.

V.SENEZ; A.ARMIGLIATO; I.WOLF; G.CARNEVALE; R.BALBONI; S.FRABBONI; A.BENEDETTI. Strain determination in silicon microstructures by combined convergent beam electron diffraction, process simulation, and micro-raman spectroscopy. **Journal of Applied Physics**, 2003. Citado nas pp. 6 e 27.

ZEIN.A; TAREK.A; BAHR.M; DESSOUKY.M; EISSA.H. Layout stress and proximity aware analog design methodology. **19th IEEE International Conference on Electronics, Circuits, and Systems**, 2012. Citado na p. 40.

ZHANG B. LIU, B. Y. J. L. S. N. Y. Cmos op-amp circuit synthesis with geometric programming models for layout-dependent effects. **Thirteenth International Symposium on Quality Electronic Design (ISQED)**, IEEE, p. 464–469, 2012. Citado nas pp. 7, 40 e 46.