



Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica

**PROJETO DE BLOCOS FUNCIONAIS PARA
UMA UNIDADE DE GERÊNCIA DE
POTÊNCIA D1 DE UM
MICROCONTROLADOR DE 32 BITS COM
CONECTIVIDADE RF PARA USO EM
INTERNET DAS COISAS.**

Autor: Pamela Raquel Almeida Nogueira Campagnucci

Orientador: Dr. Wellington Avelino do Amaral

Brasília, DF

2023



Pamela Raquel Almeida Nogueira Campagnucci

**PROJETO DE BLOCOS FUNCIONAIS PARA UMA
UNIDADE DE GERÊNCIA DE POTÊNCIA D1 DE UM
MICROCONTROLADOR DE 32 BITS COM
CONECTIVIDADE RF PARA USO EM INTERNET DAS
COISAS.**

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Dr. Wellington Avelino do Amaral

Brasília, DF

2023

Pamela Raquel Almeida Nogueira Campagnucci

PROJETO DE BLOCOS FUNCIONAIS PARA UMA UNIDADE DE GERÊNCIA DE POTÊNCIA D1 DE UM MICROCONTROLADOR DE 32 BITS COM CONECTIVIDADE RF PARA USO EM INTERNET DAS COISAS./ Pamela Raquel Almeida Nogueira Campagnucci. – Brasília, DF, 2023-

63 p. : il. (algumas color.) ; 30 cm.

Orientador: Dr. Wellington Avelino do Amaral

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB
Faculdade UnB Gama - FGA , 2023.

1. Microcontrolador de 32 bits. 2. 22nm da TSMC. I. Dr. Wellington Avelino do Amaral. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. PROJETO DE BLOCOS FUNCIONAIS PARA UMA UNIDADE DE GERÊNCIA DE POTÊNCIA D1 DE UM MICROCONTROLADOR DE 32 BITS COM CONECTIVIDADE RF PARA USO EM INTERNET DAS COISAS.

CDU 02:141:005.6

Pamela Raquel Almeida Nogueira Campagnucci

**PROJETO DE BLOCOS FUNCIONAIS PARA UMA
UNIDADE DE GERÊNCIA DE POTÊNCIA D1 DE UM
MICROCONTROLADOR DE 32 BITS COM
CONECTIVIDADE RF PARA USO EM INTERNET DAS
COISAS.**

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Trabalho aprovado. Brasília, DF, 25 de julho de 2023:

Dr. Wellington Avelino do Amaral
Orientador

Dr. Sandro Augusto Pavlik Haddad
Membro Convidado

Dr. Gilmar Silva Beserra
Membro Convidado

Brasília, DF
2023

Dedico este trabalho a Deus, por ter me dado conhecimento e perseverança para concluir a graduação, aos meus pais, que desempenharam todo seu esforço para que os filhos tivessem a oportunidade de concluir a graduação e ao meu marido por estar ao meu lado em toda essa caminhada, vocês tem toda a minha gratidão.

Agradecimentos

Gostaria de agradecer primeiramente a Deus por ter me dado sabedoria, paz, discernimento e disciplina, segundo aos meus pais que sempre apoiaram meus estudos, fazendo disso uma prioridade, aos meus irmãos Ricardo e Patrícia, que desde cedo me incentivaram a estudar e ter disciplina nos estudos e também a minha prima Dayane de Jesus, que além de ser família foi uma amiga e irmã para mim nos momentos difíceis. Agradeço também ao meu supervisor, o Dr. Wellington Avelino do Amaral, pelas aulas de Projeto de Circuitos Integrados 1, que me fizeram ter interesse na área de circuitos analógicos, e também por sua paciência e habilidade de transformar um conteúdo de difícil compreensão em algo didático e fácil de compreender. Por último quero fazer um agradecimento especial ao meu marido e companheiro Joedson Campagnucci, por me auxiliar e me amparar todos os dias durante a graduação, por todos os momentos em que pensei que não conseguiria me graduar, ter me dado apoio e consolo para continuar estudando. Novamente sou grata a todos meus familiares e amigos que fizeram dessa formação possível, serei eternamente grata.

Resumo

O objetivo deste trabalho é desenvolver blocos funcionais para um microcontrolador de 32 bits com conectividade RF para uso da Internet das Coisas. O projeto consistirá em dois blocos, uma referência de tensão bandgap, que conseqüentemente também precisará de um amplificador operacional, e o outro bloco uma referência de corrente. O projeto terá uma arquitetura de 22nm da TSMC, projetada para aplicações IoT. Para as simulações será utilizado o software CADENCE, onde poderemos visualizar as tensões, correntes e os ganhos dos circuitos.

Palavras-chaves: Microcontrolador de 32 bits, 22nm da TSMC, Referência de Corrente, Referência de Tensão Bandgap.

Abstract

The goal of this work is to develop functional blocks for a 32-bit microcontroller with RF connectivity for Internet of Things use. The project will consist of two blocks, a bandgap voltage reference, which consequently will also need an operational amplifier, and the other block a current reference. The project will have a 22nm architecture from TSMC, designed for IoT applications. For the simulations the CADENCE software will be used, where we will be able to visualize the voltages, currents and gains of the circuits.

Key-words: 32-bit Microcontroller, TSMC 22nm, Current Reference, Bandgap Voltage Reference.

Lista de ilustrações

| | |
|--|----|
| Figura 1 – Comparação 32nm e 22nm. Fonte: (GARRETT, 2016) | 23 |
| Figura 2 – Circuito Referência de BandGap CMOS Fonte: (RAZAVI, 2001) | 24 |
| Figura 3 – Referência de corrente proporcional a temperatura absoluta. Fonte: (RAZAVI, 2001) | 25 |
| Figura 4 – Referência de Tensão BandGap. Fonte: (RAZAVI, 2001) | 26 |
| Figura 5 – Amplificador Operacional de Dois Estágios sem Compensação. Fonte: (ALLEN; HOLBERG, 2002) | 26 |
| Figura 6 – Amplificador Operacional de Dois Estágios com Compensação Miller. Fonte: (ALLEN; HOLBERG, 2002) | 27 |
| Figura 7 – Topologia do Folded Cascode. Fonte: (ALLEN; HOLBERG, 2002) | 28 |
| Figura 8 – Referência de Corrente de Widlar. Fonte: (GRAY; HURST; MEYER, 2009) | 28 |
| Figura 9 – Ilustração referência de corrente. Fonte: (GRAY; HURST; MEYER, 2009) | 30 |
| Figura 10 – Referência de corrente. Fonte: (GRAY; HURST; MEYER, 2009) | 30 |
| Figura 11 – Referência de Corrente com Circuito de Start-up. Fonte: (GRAY; HURST; MEYER, 2009) | 31 |
| Figura 12 – Modelo de Pequenos Sinais para Referência de Corrente com Circuito de Start-up. Fonte: (ALLEN; HOLBERG, 2002) | 34 |
| Figura 13 – Abordagem de projeto para o amplificador operacional folded-cascode. Fonte: (ALLEN; HOLBERG, 2002) | 40 |
| Figura 14 – Topo Projeto Jambo, parte analógica desenvolvida pela UnB. Fonte: Autor | 43 |
| Figura 15 – Projeto Jambo, parte analógica desenvolvida pela UnB, parte 1. Fonte: Autor | 44 |
| Figura 16 – Projeto Jambo, parte analógica desenvolvida pela UnB, parte 2. Fonte: Autor | 44 |
| Figura 17 – Topo Projeto Jambo, parte analógica desenvolvida pela UnB parte 3. Fonte: Autor | 45 |
| Figura 18 – Amplificador Operacional de Dois Estágios. Fonte: Autor | 46 |
| Figura 19 – Amplificador Operacional Folded Cascode. Fonte: Autor | 47 |
| Figura 20 – Referência de Tensão Bandgap. Fonte: Autor | 48 |
| Figura 21 – Referência de Corrente de Auto Polarização. Fonte: Autor | 49 |
| Figura 22 – Testbench Amplificador Operacional Folded Cascode. Fonte: Autor | 51 |
| Figura 23 – Ganho Folded Cascode. Fonte: Autor | 52 |
| Figura 24 – Fase Folded Cascode. Fonte: Autor | 52 |

| | |
|--|----|
| Figura 25 – CMRR Folded Cascode. Fonte: Autor | 53 |
| Figura 26 – PSRR Folded Cascode. Fonte: Autor | 54 |
| Figura 27 – ICMR Folded Cascode. Fonte: Autor | 54 |
| Figura 28 – Vout Swing Folded Cascode. Fonte: Autor | 55 |
| Figura 29 – Testbench Bandgap. Fonte: Autor | 55 |
| Figura 30 – Simulação DC x Temperatura na tensão de saída do Bandgap. Fonte: Autor | 56 |
| Figura 31 – Simulação da saída do bandgap considerando variações na tensão de alimentação. Fonte: Autor | 56 |
| Figura 32 – Testbench Referência de Corrente. Fonte: Autor | 57 |
| Figura 33 – Corners Referência de Corrente DC x Temperatura. Fonte: Autor | 57 |
| Figura 34 – Corners Referência de Corrente Variação alimentação. Fonte: Autor . . . | 58 |
| Figura 35 – Corners Referência de Corrente DC x Temperatura - SS. Fonte: Autor | 58 |
| Figura 36 – Corners Referência de Corrente DC x Temperatura - FF. Fonte: Autor | 59 |

Lista de tabelas

| | |
|--|----|
| Tabela 1 – Especificações Amplificador de Dois estágios | 46 |
| Tabela 2 – Especificações Amplificador Folded Cascode | 47 |
| Tabela 3 – Especificações Referência de Tensão Bandgap | 48 |
| Tabela 4 – Especificações Referência de Corrente | 50 |
| Tabela 5 – Especificações típicas do Bandgap. | 57 |
| Tabela 6 – Especificações típicas da Referência de Corrente. | 58 |

Lista de abreviaturas e siglas

| | |
|-----------------|---|
| SS | Slow-Slow (Lento-Lento) |
| TT | Typical-Typical (Típico-Típico) |
| FF | Fast-Fast (Rápido-Rápido) |
| PTAT | Proportional to Absolute Temperature (Proporcional à Temperatura Absoluta) |
| CTAT | Complementary to Absolute Temperature (Complementar à Temperatura Absoluta) |
| ppm/C° | partes por milhão por grau Celsius |
| V _{th} | tensão de limiar do transistor |

Sumário

| | | |
|------------|--|-----------|
| | Introdução | 21 |
| 1 | REFERÊNCIAL BIBLIOGRÁFICO | 23 |
| 1.1 | Tecnologia 22nm TSMC | 23 |
| 1.1.1 | Importância do tamanho da tecnologia | 23 |
| 1.1.2 | 22nm TSMC | 23 |
| 1.2 | Referência de Tensão BandGap CMOS | 24 |
| 1.2.1 | Tensão Independente da temperatura | 25 |
| 1.3 | Amplificador Operacional de Dois Estágios | 25 |
| 1.4 | Amplificador Operacional Folded Cascode | 27 |
| 1.5 | Referência de Corrente | 27 |
| 2 | METODOLOGIA DE PROJETO | 33 |
| 2.1 | Cálculo da Referência de Tensão Bandgap | 33 |
| 2.2 | Cálculo do Amplificador Operacional de Dois Estágios | 33 |
| 2.2.1 | Compensação Miller em Amplificador de Dois Estágios | 33 |
| 2.2.2 | Cálculo do Amplificador de Dois Estágios | 35 |
| 2.3 | Cálculo do Amplificador Operacional Folded Cascode | 38 |
| 2.4 | Cálculo da Referência de Corrente | 40 |
| 3 | PROJETO DOS CIRCUITOS | 43 |
| 3.1 | Projeto Jambo | 43 |
| 3.2 | Amplificador Operacional | 45 |
| 3.2.1 | Amplificador Operacional de Dois Estágios | 45 |
| 3.2.2 | Amplificador Operacional Folded Cascode | 46 |
| 3.3 | Referência de Tensão | 47 |
| 3.4 | Referência de Corrente | 49 |
| 4 | RESULTADOS E DISCUSSÕES | 51 |
| 4.1 | Amplificador Operacional Folded Cascode | 51 |
| 4.2 | Referência de Tensão | 55 |
| 4.3 | Referência de Corrente | 57 |
| 4.4 | Obstáculos relacionado ao uso da Tecnologia de 22nm da TSMC | 59 |
| 5 | CONCLUSÃO | 61 |

REFERÊNCIAS 63

Introdução

A crise global dos semicondutores tem afetado significativamente a indústria eletrônica em todo o mundo. A escassez de recursos eletrônicos tem sido uma questão preocupante para empresas e consumidores, afetando desde a produção de dispositivos móveis até o setor automotivo. O Brasil, como muitos outros países, enfrenta desafios nesse cenário, dependendo em grande parte da importação desses componentes essenciais. A proposta de desenvolver um microcontrolador de 32 bits com conectividade RF e uso da Internet das Coisas (IoT) surge como uma resposta a essa crise e uma oportunidade para o Brasil fortalecer sua indústria eletrônica. A ideia é criar tecnologias próprias que possam atender às necessidades do mercado interno e, potencialmente, serem exportadas para outros países. Ao investir na produção de componentes eletrônicos essenciais, o Brasil pode reduzir sua dependência de importações e estabelecer uma base sólida para a indústria nacional. Além disso, o desenvolvimento dessas tecnologias internamente pode abrir portas para novas oportunidades de negócios, estimular o crescimento econômico e impulsionar a inovação em diversos setores.

O projeto se trata do desenvolvimento de um microcontrolador nacional de 32 bits, com arquitetura proprietária e capacidade de comunicação RF, além de outros periféricos, para atender a demandas específicas de IoT e também gerais da indústria brasileira. A arquitetura proposta estará baseada na extensão do microcontrolador de 8 bits denominado ZR16S08, desenvolvido pela Santa Maria Design House (SMDH/UFSM), que foi nacionalizado em 2018 pelo MCTIC e cuja PATENTE (PI 1100790-7 B1) concedida pelo INPI em 05/10/2021. O projeto terá vantagens competitivas em relação a outros microcontroladores atuais no mercado, por usa tecnologia de 22nm, que é superior em relação ao seu atual concorrente, que é o ESP32 desenvolvido pela Espressif Systems muito usado mundialmente fabricado pela TSMC, ele utiliza a tecnologia de 40nm (informação descrita em seu datasheet). O objetivo deste trabalho é desenvolver o projeto de uma referência de tensão bandgap, um amplificador operacional e uma referência de corrente para uma unidade de gerência de potência d1 de um microcontrolador de 32 bits com conectividade RF para uso em internet das coisas. Considerando o desenvolvimento do trabalho e o objetivo geral apresentado, destacam-se os seguintes objetivos específicos:

1. Revisar tecnologia de 22nm, o que é referência de tensão bandgap, e o que é referência de corrente.
2. Calcular os parâmetros para o projeto de referência de tensão, referência de corrente e o amplificador operacional.

3. Simular e avaliar os resultados obtidos através do desempenho dos circuitos.
4. Conclusão geral do projeto.

1 Referencial Bibliográfico

1.1 Tecnologia 22nm TSMC

1.1.1 Importância do tamanho da tecnologia

O nanômetro é uma unidade de medida que equivale a um bilionésimo de 1 metro, essa medida tem grande relevância na indústria eletrônica pois é a escala utilizada para medir dimensões no interior de qualquer microchip. Quando se fala que um microchip terá uma arquitetura, ou processo de manufatura de 22nm, significa que a distância entre os terminais dos transistores mede 22nm. Quanto menor o tamanho do chip, melhor é seu desempenho, pois com um pequeno espaço é possível inserir mais transistores otimizando assim o chip. (GARRETT, 2016)

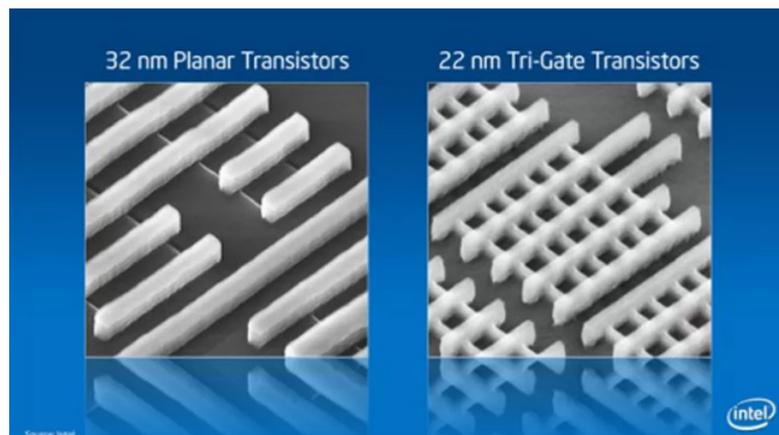


Figura 1 – Comparação 32nm e 22nm. Fonte: (GARRETT, 2016)

Quanto menor for os nm, menos espaço físico a corrente elétrica precisa percorrer, o que significa que, na prática, a informação pode viajar mais rápido no interior do processador, aumentando a sua velocidade de operação. (GARRETT, 2016)

1.1.2 22nm TSMC

O desenvolvimento da tecnologia 22nm ultra-low leakage (22ULL) da TSMC, foi concluído em 2018, com o intuito de oferecer suporte a aplicações IoT. Essa nova tecnologia fornece um menor consumo de energia se comparada com outras tecnologias anteriores utilizadas para IoT, como a 40nm e 55nm. Essa tecnologia foi desenvolvida com base na anterior de 28nm, ganhando mais de 30 % de velocidade ou mais de 30 % de redução de energia para aplicativos, incluindo processamento de imagem, TVs digitais, decodificadores, smartphones e produtos de consumo. (TSMC, 2011)

1.2 Referência de Tensão BandGap CMOS

Neste tópico será abordado o projeto de referência de tensão em tecnologia CMOS com foco em técnicas bandgap. O objetivo da geração de referência é estabelecer uma tensão ou corrente contínua que independente da alimentação e do processo tenha um comportamento bem definido com a temperatura (RAZAVI, 2001).

Nos circuitos bandgap CMOS utiliza-se dispositivos bipolares, pois no geral circuitos puramente CMOS são pouco confiáveis. Na figura 2 está representado um circuito básico de referência de tensão bandgap com transistores bipolares.

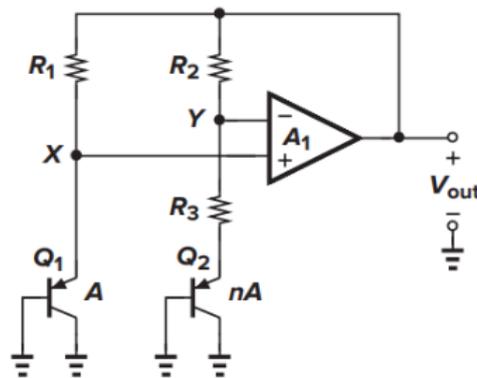


Figura 2 – Circuito Referência de BandGap CMOS Fonte: (RAZAVI, 2001)

Por conta da assimetria os amplificadores operacionais sofrem de “offsets” de entrada, esse efeito pode ser quantificado da seguinte forma:

Se A_1 for grande.

$$V_{be1} - V_{os} \simeq V_{be2} + R_3 I_{c2} \quad (1.1)$$

$$V_{out} = V_{be2} + (R_3 + R_2) I_{c2} \quad (1.2)$$

temos:

$$V_{out} = V_{be2} + (R_3 + R_2) \frac{V_{be1} - V_{be2} - V_{os}}{R_3} \quad (1.3)$$

$$V_{out} = V_{be2} + \left(1 + \frac{R_2}{R_3}\right) (V_T \ln n - V_{os}) \quad (1.4)$$

Considerando

$$I_{c2} \simeq I_{c1} \quad (1.5)$$

V_{os}

é amplificado por

$$\left(1 + \frac{R_2}{R_3}\right)$$

introduzindo assim um erro na saída além de variar com a temperatura.

1.2.1 Tensão Independente da temperatura

Para o projeto de referência de tensão bandgap será utilizado o circuito de geração de corrente proporcional a temperatura absoluta modificado, que resultará em um circuito de tensão independente da temperatura.

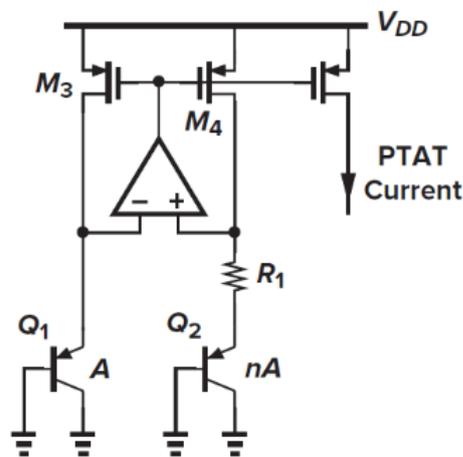


Figura 3 – Referência de corrente proporcional a temperatura absoluta. Fonte: (RAZAVI, 2001)

Essa é a topologia utilizada para geração de correntes dependentes da temperatura absoluta, porém com uma pequena modificação pode ser utilizado para ser um circuito de referência de tensão bandgap. A ideia é adicionar uma tensão PTAT ID5 R2 a uma tensão base-emissor. (RAZAVI, 2001)

Analisando as variadas topologias para projeto de tensão bandgap, a topologia da figura 5 foi a topologia escolhida para o projeto, pois é uma topologia muito utilizada, bastante confiável e estável.

1.3 Amplificador Operacional de Dois Estágios

Para o projeto de referência de BandGap, o amplificador de dois estágios com compensação Miller é amplamente utilizado, por conta do seu ganho ganho, descrito na equação 1.6

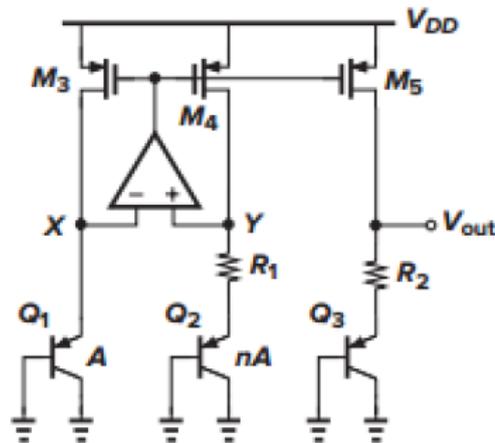


Figura 4 – Referência de Tensão BandGap. Fonte: (RAZAVI, 2001)

$$A_v = g_{m_{p1}} g_{m_{n3}} (r_{o_{p2}} // r_{o_{n2}}) (r_{o_{p4}} // r_{o_{n3}}) \quad (1.6)$$

dessa forma é fácil alcançar altos ganhos, a taxa de rejeição da fonte de alimentação (PSRR) aumenta (em baixas frequências). De acordo com o artigo (COLOMBO; WIRTH,), comparando o amplificador de dois estágios com outras três topologias para amplificadores destinados a referência de tensão bandgap, o amplificador de dois estágios foi o que teve maior aumento no PSRR. O PSRR descreve a capacidade de um amplificador de manter sua tensão de saída à medida que a tensão da fonte de alimentação CC varia, sendo de extrema importância para indicar a estabilidade da saída do fornecimento de energia.

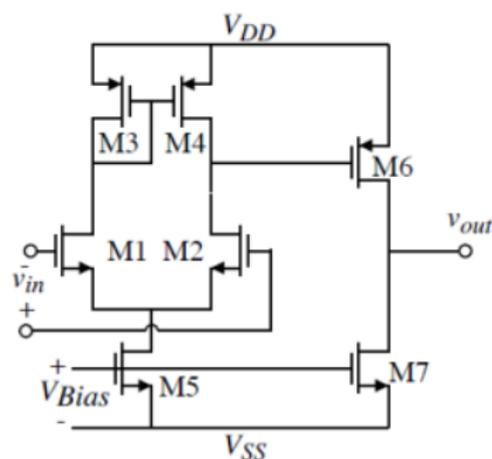


Figura 5 – Amplificador Operacional de Dois Estágios sem Compensação. Fonte: (ALLEN; HOLBERG, 2002)

A maioria dos amp-ops são internamente compensados, isso quer dizer que incluem um capacitor de desvio dominante que provoca o decaimento do ganho de tensão

em 20dB por década. Para isso, utiliza-se o efeito Miller que converte o capacitor de realimentação em dois capacitores equivalentes, fazendo assim um atraso na entrada e um na saída. Devido ao efeito Miller, o capacitor de desvio na entrada é muito maior do que o capacitor de desvio na saída, fazendo assim o circuito de atraso ser dominante. Sendo ele que determina a frequência de corte do estágio. O capacitor de desvio de saída geralmente não tem efeito até que a frequência de entrada seja várias décadas maior. (ALLEN; HOLBERG, 2002) Considerando a compensação Miller, o amplificador operacional de 2 estágios é representado na imagem 6.

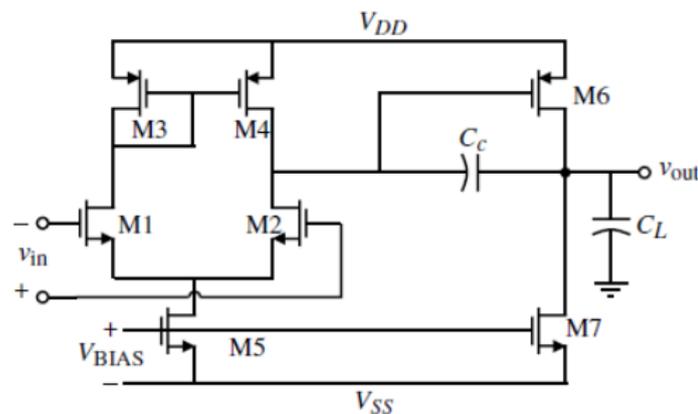


Figura 6 – Amplificador Operacional de Dois Estágios com Compensação Miller. Fonte: (ALLEN; HOLBERG, 2002)

1.4 Amplificador Operacional Folded Cascode

O amplificador operacional folded cascode utiliza cascoding na etapa de saída combinada com uma implementação incomum do amplificador diferencial para alcançar uma boa faixa de modo comum de entrada. Assim, o amplificador operacional folded-cascode oferece auto-compensação, boa faixa de modo comum de entrada e o ganho de um amplificador operacional de dois estágios. (ALLEN; HOLBERG, 2002) A topologia do folded cascode pode ser vista na figura 7

1.5 Referência de Corrente

Os circuitos de Referência de corrente atuais são amplamente utilizados em circuitos analógicos, são sub circuitos eletrônicos que funcionam como elementos de polarização e como dispositivos de carga para estágios de amplificadores. Eles podem ser construídos de transistores bipolares e MOS. Uma referência de corrente muito conhecida e simples é a referência de corrente de Widlar, que é basicamente formada por uma fonte, resis-

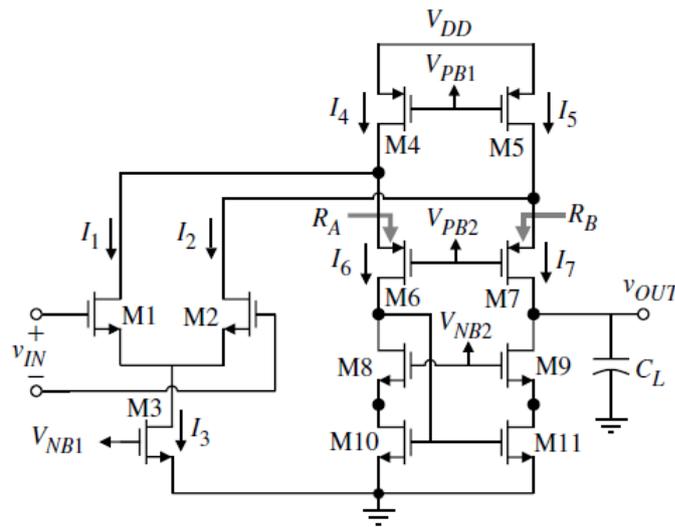


Figura 7 – Topologia do Folded Cascode. Fonte: (ALLEN; HOLBERG, 2002)

tor e um espelho de corrente. Pode ser construído tanto com transistores bipolares como transistores MOS. (GRAY; HURST; MEYER, 2009)

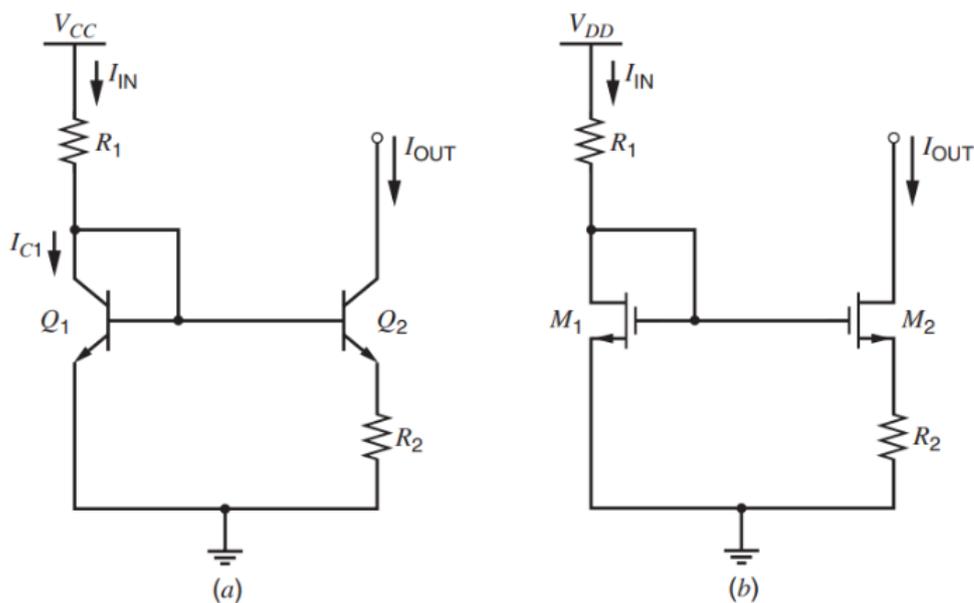


Figura 8 – Referência de Corrente de Widlar. Fonte: (GRAY; HURST; MEYER, 2009)

Equacionando o circuito para os transistores bipolares temos:

$$V_{be1} - V_{be2} - \frac{\beta F + 1}{\beta F} I_{out} R_2 = 0 \quad (1.7)$$

se

$$V_A \rightarrow \infty$$

simplifica para

$$V_T \ln \frac{I_{in}}{I_{s1}} - V_T \ln \frac{I_{out}}{I_{s2}} - I_{out} R_2 = 0 \quad (1.8)$$

Considerando

$$I_{s1} = I_{s2}$$

temos:

$$V_T \ln \frac{I_{in}}{I_{out}} = I_{out} R_2 \quad (1.9)$$

Para transistores MOS temos:

Se

$$I_{in} > 0$$

M1 opera na região ativa porque está conectado a diodo. Assuma que M2 também opera na região ativa direta. O KVL ao redor do loop gate-source fornece:

$$V_{gs1} - V_{gs2} - I_{out} R_2 = 0 \quad (1.10)$$

ignorando o efeito de corpo simplifica para:

$$I_{out} R_2 + V_{ov2} - V_{ov1} = 0 \quad (1.11)$$

Se os transistores operam em forte inversão e

$$V_A \rightarrow \infty$$

então:

$$I_{out} R_2 + \sqrt{\frac{2I_{out}}{K'(W/L)_2}} - V_{ov1} = 0 \quad (1.12)$$

$$I_{out} R_2 + \sqrt{I_{out}} = \frac{\sqrt{\frac{2}{K'(W/L)_2}} \pm \sqrt{\frac{2}{K'(W/L)_2} + 4R_2 V_{ov1}}}{2R_2} \quad (1.13)$$

Como podemos ver, essa referência de corrente é bastante sensível à fonte de alimentação, o que não é ideal para projetos onde se precisa de uma alta estabilidade. A sensibilidade da fonte de alimentação pode ser bastante reduzida pelo uso do chamado viés de inicialização técnica, também conhecida como auto-polarização. Em vez de desenvolver a corrente de entrada conectando um resistor para o fornecimento, a corrente de

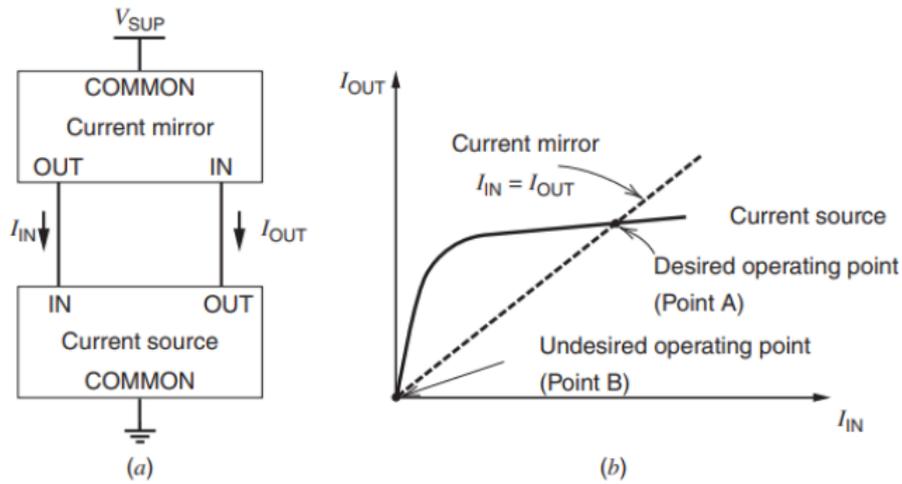


Figura 9 – Ilustração referência de corrente. Fonte: (GRAY; HURST; MEYER, 2009)

entrada é feita para depender diretamente da corrente de saída da própria fonte atual. (GRAY; HURST; MEYER, 2009) Ilustrada pela figura 9

A figura 10 apresenta a topologia dessensibilizando o circuito a fonte de alimentação:

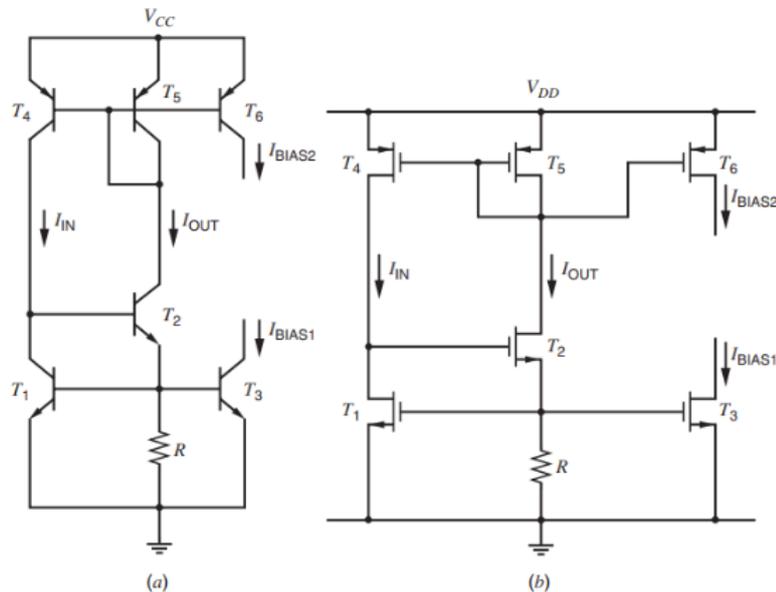


Figura 10 – Referência de corrente. Fonte: (GRAY; HURST; MEYER, 2009)

Esse circuito também pode ser desenvolvido com transistores bipolares e MOS. Para garantir que sempre inicialize com a corrente maior que zero, necessita de um circuito de start-up, esse circuito garantirá que mesmo o inicializando em 0, ele jogará 1 na saída “forçando” o circuito a inicializar. Esse circuito de inicialização não pode interferir no funcionamento da referência de corrente, uma vez que os parâmetros do circuito já estão

estabelecidos. (GRAY; HURST; MEYER, 2009) O circuito completo é ilustrado na figura 11

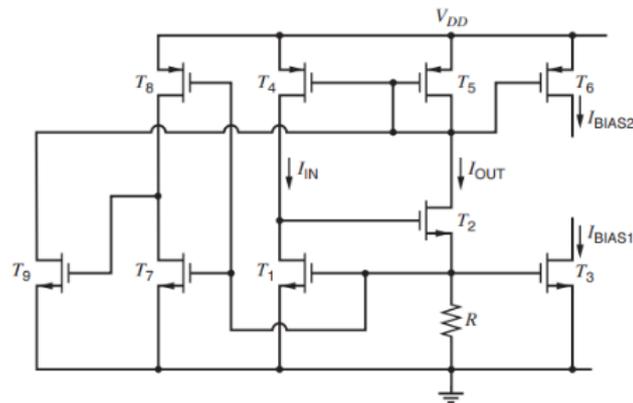


Figura 11 – Referência de Corrente com Circuito de Start-up. Fonte: (GRAY; HURST; MEYER, 2009)

Se o circuito estiver no estado indesejado de corrente zero, a tensão porta-fonte de T_1 seria menor que a tensão limite. Como resultado, T_7 fica desligado e T_8 opera na região triodo colocando a tensão de porta-fonte de T_9 até V_{DD} . Portanto, o transistor T_9 está ligado e coloca para baixo as portas dos transistores T_4 e T_5 . Esta ação faz com que a corrente flua em T_4 e T_5 , evitando o estado de corrente zero. Em resumo o T_7 e T_8 forma um inversor MOS, como o circuito de start-up não deve interferir no funcionamento da referência de corrente, ele deve desligar o T_9 em estado estacionário, sendo assim é preciso escolher a proporção de T_7 para ser muito maior do que de T_8 . Outro aspecto interessante é sua dependência com a temperatura, que deve ser considerada. (GRAY; HURST; MEYER, 2009)

2 Metodologia De Projeto

2.1 Cálculo da Referência de Tensão Bandgap

A topologia escolhida é uma modificação da topologia de referência de corrente PTAT. Para calcular sua corrente de saída assumimos que:

$$M_1 = M_2$$

e

$$M_3 = M_4$$

Nota-se que

$$I_{d1} = I_{d2}$$

O circuito deve garantir que

$$V_x = V_y$$

logo,

$$I_{d1} = I_{d2} = (V_t \ln n)/R_1 \quad (2.1)$$

Produzindo o mesmo comportamento para a corrente I_{d5} . Adicionando uma tensão PTAT a uma tensão base-emissor tem-se uma topologia de referência de tensão bandgap, sendo assim:

$$V = I_{d5}R_2 \quad (2.2)$$

$$V_{ref} = |V_{be3}| + \frac{R_2}{R_1}V_t \ln n \quad (2.3)$$

2.2 Cálculo do Amplificador Operacional de Dois Estágios

2.2.1 Compensação Miller em Amplificador de Dois Estágios

O método de compensação escolhido para o projeto do amplificador operacional, será a compensação Miller, esta técnica é aplicada conectando um capacitor da saída à entrada do segundo estágio de transcondutância g_{mii} . O modelo de pequenos sinais resultante será:

Sua função de transferência global resultante está descrita na equação [2.4](#)

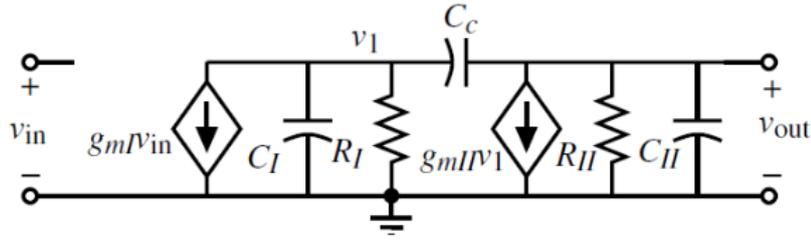


Figura 12 – Modelo de Pequenos Sinais para Referência de Corrente com Circuito de Start-up. Fonte: (ALLEN; HOLBERG, 2002)

$$\frac{V_o(s)}{V_{in}(s)} = \frac{(g_{mI})(g_{mII})(R_I)(R_{II})(1 - sC_c/g_{mII})}{1 + s[R_I(C_I + C_c) + R_{II}(C_{II} + C_c) + g_{mII}R_IR_{II}C_c] + s^2R_IR_{II}[C_IC_{II} + C_cC_I + C_cC_{II}]} \quad (2.4)$$

Utilizando a técnica de polos amplamente espaçados, descrita na Seção 5.3 (ALLEN; HOLBERG, 2002), resulta os seguintes polos compensados, descritos nas equações 2.5 e 2.6

$$P_1 \simeq \frac{-1}{g_{mII}R_IR_{II}C_c} \quad (2.5)$$

$$P_2 \simeq \frac{-g_{mII}C_c}{C_IC_{II} + C_cC_I + C_cC_{II}} \quad (2.6)$$

Considerando que

$$C_{II} \gg C_I$$

$$C_c > C_I$$

a equação 2.6 pode ser aproximada para a equação 2.7

$$P_2 \simeq \frac{-g_{mII}}{C_{II}} \quad (2.7)$$

Além dos polos há um zero localizado no eixo real positivo da frequência complexa, descrito na equação 2.8

$$Z_1 = \frac{g_{mII}}{C_c} \quad (2.8)$$

Os pólos e zeros resultantes das capacitâncias parasitas da topologia escolhida estão descritos nas equações 2.9, 2.10 e 2.11.

$$P_1 \simeq \frac{-g_I g_{II}}{g_{mII} C_c} = \frac{-(g_{ds2} + g_{ds4})(g_{ds6} + g_{ds7})}{g_{m6} C_c} \quad (2.9)$$

$$P_2 \simeq \frac{-gm_{II}}{C_{II}} = \frac{-gm_6}{C_2} \quad (2.10)$$

$$Z_1 \simeq \frac{gm_{II}}{C_c} = \frac{gm_6}{C_c} \quad (2.11)$$

A equação 2.12, mostra o ganho banda do circuito.

$$GB \simeq \frac{gm_I}{C_c} = \frac{gm_2}{C_c} \quad (2.12)$$

2.2.2 Cálculo do Amplificador de Dois Estágios

Para fins de notação, vamos definir

$$S_i = W_i/L_i = (W/L)_i$$

assumir também que:

$$gm_1 = gm_2 = gm_I, gm_6 = gm_{II}, g_{ds2} + g_{ds4} = g_I, g_{ds6} + g_{ds7} = g_{II}$$

O Slew Rate, pode ser calculado através da equação 2.13, utilizando a corrente do transistor M5 dividido pelo valor do capacitor de Cc.

$$SR = \frac{I_5}{C_c} \quad (2.13)$$

O Ganho do primeiro estágio, pode ser calculado através da equação 2.14, onde utiliza-se o -gm do transistor M1 dividido ao gds dos transistores M2 e M4.

$$A_{v1} = \frac{-gm_I}{g_{ds2} + g_{ds4}} = \frac{-2gm_I}{I_5(\lambda_2 + \lambda_4)} \quad (2.14)$$

O Ganho do segundo estágio, pode ser obtido pela equação 2.15, seguindo a mesma lógica do ganho do primeiro estágio utiliza-se -gm do transistor M6, dividido pela soma de gds6 e gds7.

$$A_{v2} = \frac{-gm_6}{g_{ds6} + g_{ds7}} = \frac{-gm_6}{I_6(\lambda_6 + \lambda_7)} \quad (2.15)$$

O Ganho de Largura de Banda, pode ser obtido pela equação 2.16, onde utiliza-se o gm do transistor M1 dividido pelo capacitor de compensação.

$$GB = \frac{gm_1}{C_c} \quad (2.16)$$

A Saída do polo, pode ser obtida pela equação 2.17.

$$P_2 = \frac{-gm_6}{C_L} \quad (2.17)$$

O RHP zero, pode ser obtido pela equação 2.18.

$$Z_1 = \frac{gm_6}{C_c} \quad (2.18)$$

O CMR positivo, pode ser obtido pela equação 2.19.

$$V_{in}(máx) = V_{DD} - \sqrt{\frac{I_5}{\beta_3}} - |V_{T03}|(máx) + V_{T1}(mín) \quad (2.19)$$

O CMR negativo, pode ser obtido pela equação 2.20.

$$V_{in}(mín) = V_{SS} - \sqrt{\frac{I_5}{\beta_1}} - V_{T1}(máx) + V_{ds5}(sat) \quad (2.20)$$

Tensão de saturação, equação 2.21.

$$V_{ds}(sat) = \sqrt{\frac{2I_{ds}}{\beta}} \quad (2.21)$$

Assumimos que todos os transistores estão em saturação para as equações acima serem válidas. O procedimento de projeto se inicia escolhendo o comprimento do dispositivo que será utilizado em todo o circuito. Após isso é calculado o valor mínimo de C_c , equação equação 2.22.

$$C_c = (2.2/10)C_L \quad (2.22)$$

Em seguida, determinar o valor mínimo para a corrente de cauda, equação 2.23.

$$I_5 = SR(C_c) \quad (2.23)$$

A proporção de M3 agora pode ser determinado usando o requisito para faixa de modo comum de entrada positiva, equação 2.24.

$$S_3 = (W/L)_3 = \frac{I_5}{(K'_3)[V_{DD} - V_{in}(máx) - |V_{T03}|(máx) + V_{T1}(mín)]^2} \quad (2.24)$$

A transcondutância gm_1 pode ser calculada usando a equação 2.25.

$$gm_1 = GB(C_c) \quad (2.25)$$

A relação de aspecto pode ser obtida diretamente da transcondutância 1, na equação 2.26.

$$S_1 = (W/L)_1 = \frac{g^2 m_1}{(K'1)(I_5)} \quad (2.26)$$

Cálculo Tensão Dreno-Fonte no transistor 5, equação 2.27.

$$V_{ds5} = V_{in}(mín) - V_{SS} - \left(\frac{I_5}{\beta_1}\right)^{1/2} - V_{T1}(máx) \quad (2.27)$$

Com a tensão Dreno-Fonte do transistor 5, pode-se calcular o seu (W/L), na equação 2.28.

$$S_5 = (W/L)_5 = \frac{2(I_5)}{(K'_5)(V_{ds5})^2} \quad (2.28)$$

A transcondutância do transistor 6 pode ser calculada na equação 2.29.

$$gm_6 = 2.2(gm_2)(C_L/C_c) \quad (2.29)$$

Para o cálculo de S6, tem-se duas possibilidades, a primeira é obter o espelhamento adequado da carga do primeiro estágio do espelho de corrente, isso requer que:

$$V_{sg4} = V_{sg6}$$

Aproximando dessa forma, se obtém a equação 2.30.

$$S_6 = S_4 \frac{gm_6}{gm_4} \quad (2.30)$$

Com isso pode-se obter a equação 2.31, para a corrente do transistor 6.

$$I_6 = \frac{gm_6^2}{2(K'_6)(W/L)_6} = \frac{gm_6^2}{2(K'_6)S_6} \quad (2.31)$$

Outra forma de obter S6 é dado pela equação 2.32.

$$S_6 = (W/L)_6 = \frac{gm_6}{K'_6 V_{ds6}(sat)} \quad (2.32)$$

O tamanho do dispositivo de M7 pode ser determinado a partir da equação 2.33 de equilíbrio fornecida.

$$S_7 = (W/L)_7 = (W/L)_5 \frac{I_6}{I_5} = S_5 \frac{I_6}{I_5} \quad (2.33)$$

Ganho total do projeto, equação 2.34.

$$A_v = \frac{2gm_2gm_6}{I_5(\lambda_2 + \lambda_4)} \quad (2.34)$$

2.3 Cálculo do Amplificador Operacional Folded Cascode

Observe que o folded cascode não requer equilíbrio perfeito de correntes no amplificador diferencial, pois o excesso de corrente contínua pode fluir para dentro ou para fora do espelho de corrente. Como os drenos de M1 e M2 estão conectados aos drenos de M4 e M5, é possível obter a voltagem de modo comum positiva estendida da Figura 7. As correntes de polarização I3, I4 e I5 do amplificador operacional folded-cascode devem ser projetadas de modo que a corrente contínua no espelho de cascode nunca chegue a zero. Se a corrente deveria chegar a zero, isso requer um atraso ao ligar novamente o espelho devido às capacitâncias parasitas que devem ser carregadas. Por exemplo, suponha que vin seja grande o suficiente para que M2 esteja ligado e M1 esteja desligado. Então, todo o I3 flui através de M1 e nenhum através de M2, resultando em I1 = I3 e I2 = 0. Se I4 e I5 não forem maiores que I3, a corrente I6 será zero. Para evitar isso, os valores de I4 e I5 normalmente estão entre o valor de I3 e 2I3. Primeiro, encontraremos o ganho de tensão de pequenos sinais por inspeção e, em seguida, repetiremos a análise do circuito de pequenos sinais. (ALLEN; HOLBERG, 2002) A resistência ao olhar para as fontes dos transistores de cascode M6 e M7, é dada pela equação 2.35 e 2.36.

$$RA(M6) \approx 1/g_{m6} \quad (2.35)$$

$$RB(M7) \approx r_{ds} \quad (2.36)$$

O valor aproximado da resistência de saída é dado pela equação 2.37.

$$R_{out} \approx (g_{m9}r_{ds9}r_{ds11}) || [g_{m7}r_{ds7}(r_{ds2} || r_{ds5})] \approx x(g_{mN}r_{dsN^2}) \quad (2.37)$$

Onde x é uma constante entre 0 e 1, dependendo dos valores relativos das transcondutâncias e condutâncias dos transistores n e p.

$$x = 0.0769$$

se

$$g_{mP} = 0.5g_{mN}$$

e

$$r_{dsP} = 0.5r_{dsN}$$

o ganho de tensão diferencial de pequenos sinais é escrito na equação 2.38

$$A_v = \frac{V_{out}}{V_{in}} = 0.5(g_{mN} + 0.5g_{mN})R_{out} \approx \frac{3}{4}g_{mN}R_{out} \approx \frac{3}{4}x(g_{mN}r_{dsN})^2 \quad (2.38)$$

Podemos observar que o ganho do amplificador operacional folded-cascode é semelhante ao do amplificador operacional de dois estágios. As resistências designadas como RA e RB são as resistências vistas nas fontes de M6 e M7, respectivamente. (ALLEN; HOLBERG, 2002) RA e RB podem ser encontradas usando a Equação 2.39 e 2.40

$$R_A = \frac{r_{ds6} + 1/g_{m10}}{1 + g_{m6}r_{ds6}} \approx \frac{1}{g_{m6}} \quad (2.39)$$

$$R_B = \frac{r_{ds7} + R_9}{1 + g_{m7}r_{ds7}} \approx \frac{R_9}{g_{m7}r_{ds7}} \approx r_{ds} \quad (2.40)$$

$$R_9 \approx g_{m9}r_{ds9}r_{ds11} \quad (2.41)$$

A corrente I10 é descrita na equação 2.42

$$i_{10} = \frac{-g_{m1}(r_{ds1} || r_{ds4})v_{in}}{2[R_A + (r_{ds1} || r_{ds4})]} \approx \frac{-g_{m1}v_{in}}{2} \quad (2.42)$$

Corrente I7, equação 2.43

$$i_7 = \frac{g_{m2}(r_{ds2} || r_{ds5})v_{in}}{2[\frac{R_9}{g_{m7}r_{ds7}} + (r_{ds2} || r_{ds5})]} = \frac{g_{m2}v_{in}}{(1 + \frac{R_9(g_{ds2} + g_{ds5})}{g_{ds7}r_{ds7}})} = \frac{g_{m2}v_{in}}{2(1 + k)} \quad (2.43)$$

O fator de desequilíbrio de baixa frequência k, é descrito na equação 2.44

$$k = \frac{R_9(g_{ds2} + g_{ds5})}{g_{m7}r_{ds7}} \quad (2.44)$$

Valores típicos de k são maiores que um. A tensão de saída, vout, é igual à soma de i7 e i10 fluindo através de Rout. O ganho do circuito é descrito na equação 2.45

$$\frac{v_{out}}{v_{in}} = \left(\frac{g_{m1}}{2} + \frac{g_{m2}}{2(1+k)}\right)R_{out} = \left(\frac{2+k}{2+2k}\right)g_{m1}R_{out} \quad (2.45)$$

O polo dominante na saída do circuito é descrito na equação 2.46

$$p_{out} = \frac{-1}{R_{out}C_{out}} \quad (2.46)$$

Os polos não dominantes são descritos nas equações 2.47, 2.48, 2.49, 2.50 e 2.51.

$$p_A \approx \frac{-g_{m6}}{C_{gs} + 2C_{bd}} \quad (2.47)$$

$$p_B \approx \frac{-g_{m7}}{C_{gs} + 2C_{bd}} \quad (2.48)$$

$$p_6 \approx \frac{-g_{m10}}{2C_{gs} + 2C_{bd}} \quad (2.49)$$

$$p_8 \approx \frac{-g_{m8}r_{ds8}g_{m10}}{C_{gs} + C_{bd}} \quad (2.50)$$

$$p_9 \approx \frac{-g_{m9}}{C_{gs} + C_{bd}} \quad (2.51)$$

| Step | Relationship | Design Equation/Constraint | Comments |
|------|---|---|---|
| 1 | Slew rate | $I_3 = SR \cdot C_L$ | |
| 2 | Bias currents in output cascodes | $I_4 = I_5 = 1.2I_3$ to $1.5I_3$ | Avoid zero current in cascodes |
| 3 | Maximum output voltage, $v_{out}(\max)$ | $S_5 = \frac{2I_5}{K_P' V_{SD5}^2}, S_7 = \frac{2I_7}{K_P' V_{SD7}^2}, (S_4 = S_5 \text{ and } S_6 = S_7)$ | $V_{SD5}(\text{sat}) = V_{SD7}(\text{sat})$ $= 0.5[V_{DD} - V_{out}(\max)]$ |
| 4 | Minimum output voltage, $v_{out}(\min)$ | $S_{11} = \frac{2I_{11}}{K_N' V_{DS11}^2}, S_9 = \frac{2I_9}{K_N' V_{DS9}^2}, (S_{10} = S_{11} \text{ and } S_8 = S_9)$ | $V_{DS9}(\text{sat}) = V_{DS11}(\text{sat})$ $= 0.5[V_{out}(\min) - V_{SS}]$ |
| 5 | $GB = \frac{g_{m1}}{C_L}$ | $S_1 = S_2 = \frac{g_{m1}^2}{K_N' I_3} = \frac{GB^2 C_L^2}{K_N' I_3}$ | |
| 6 | Minimum input CM | $S_3 = \frac{2I_3}{K_N'(V_{in}(\min) - V_{SS} - \sqrt{(I_3 K_N' S_1) - V_{T1}})^2}$ | |
| 7 | Maximum input CM | $S_4 = S_5 = \frac{2I_4}{K_P'(V_{DD} - V_{in}(\max) + V_{T1})^2}$ | S_4 and S_5 must meet or exceed value in step 3 |
| 8 | Differential-voltage gain | $\frac{v_{out}}{v_{in}} = \left(\frac{g_{m1}}{2} + \frac{g_{m2}}{2(1+k)} \right) R_{out} = \left(\frac{2+k}{2+2k} \right) g_{m1} R_{out}$ | $k = \frac{R_{f1}(g_{ds2} + g_{ds4})}{g_{m7}r_{ds7}}$ |
| 9 | Power dissipation | $P_{diss} = (V_{DD} - V_{SS})(I_3 + I_{10} + I_{11})$ | |

Figura 13 – Abordagem de projeto para o amplificador operacional folded-cascode. Fonte: (ALLEN; HOLBERG, 2002)

2.4 Cálculo da Referência de Corrente

Para o cálculo da referência de corrente de auto-polarização, considera-se a dependência do circuito a temperatura, essa variação é mais convenientemente expressa em termos da variação fracionária em corrente de saída por grau centígrado de variação de temperatura, que chamamos de fração coeficiente de temperatura TCF, descrito na equação 2.52.

$$TCF = \frac{1}{I_{out}} \frac{\partial I_{out}}{\partial T} \quad (2.52)$$

$$I_{out} = \frac{V_{gs1}}{R} \simeq \frac{V_t}{R} \quad (2.53)$$

Diferenciando 2.53 e substituindo em 2.52 tem-se a equação 2.54.

$$TC_F = \frac{1}{I_{out}} \frac{\partial I_{out}}{\partial T} \simeq \frac{1}{V_T} \frac{\partial V_T}{\partial T} - \frac{1}{R} \frac{\partial R}{\partial T} \quad (2.54)$$

Dessa forma temos a saída do circuito e sua dependência da temperatura.

3 Projeto dos Circuitos

A tecnologia de 22nm da TSMC conta com diversos componentes para vários tipos de aplicações. Nesse projeto foram utilizados os seguintes dispositivos fornecidos pela biblioteca da TSMC: `nch_25od33_mac` (nmos de uso geral com over driver para 3.3V), `pch_25od33_mac` (pmos de uso geral com over driver para 3.3V), `rnmg_m` (resistor PTAT), `pnp` (transistor bipolar tipo p), `rnwod_m` (resistor PTAT).

3.1 Projeto Jambo

No âmbito do desenvolvimento do microcontrolador de 32 bits, diversas universidades do Brasil, incluindo a Universidade de Brasília (UnB), estão envolvidas no projeto. A equipe da UnB assumiu a responsabilidade por parte da implementação da área analógica do chip. Nesse contexto, tanto os professores quanto os alunos da universidade apelidaram a seção analógica desenvolvida por eles de "Projeto Jambo".

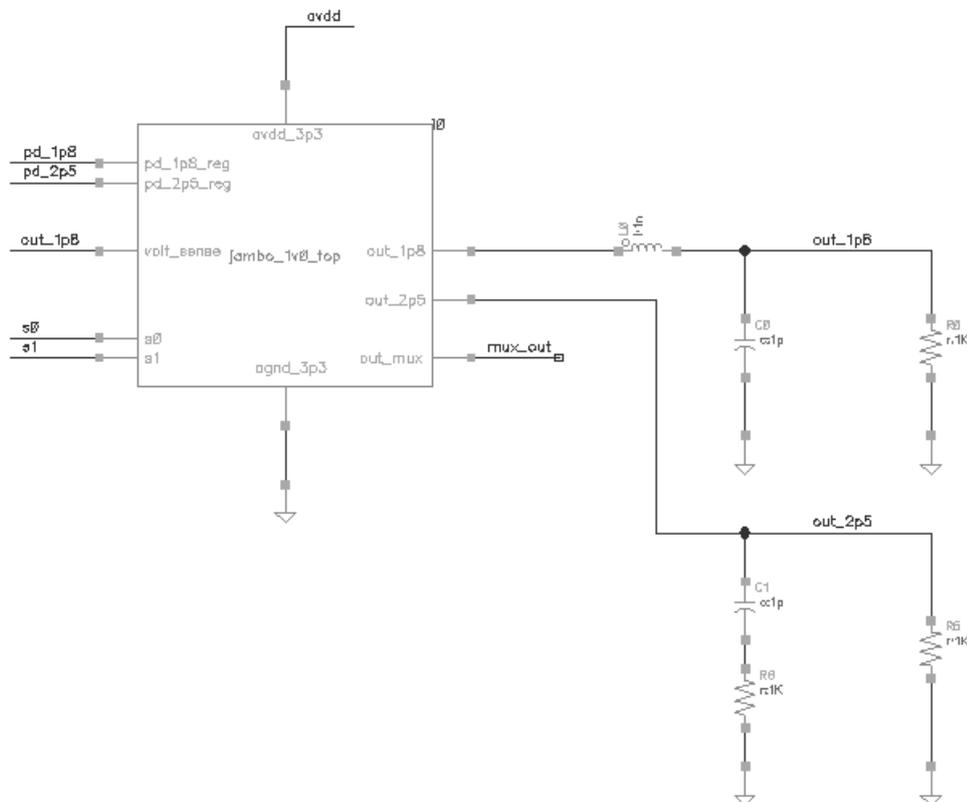


Figura 14 – Topo Projeto Jambo, parte analógica desenvolvida pela UnB. Fonte: Autor

O topo do projeto está ilustrado na imagem 14, pode-se ver o simbolo da parte analógica desenvolvida pela UnB, dentro desse simbolo há estruturas que serão desenvolvidas,

como ilustrado na figura 15, 16 e 17.

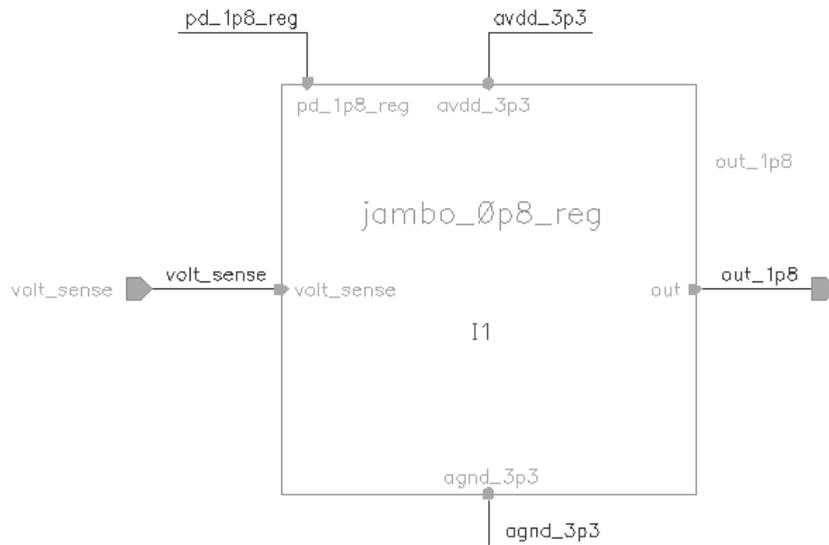


Figura 15 – Projeto Jambo, parte analógica desenvolvida pela UnB, parte 1. Fonte: Autor

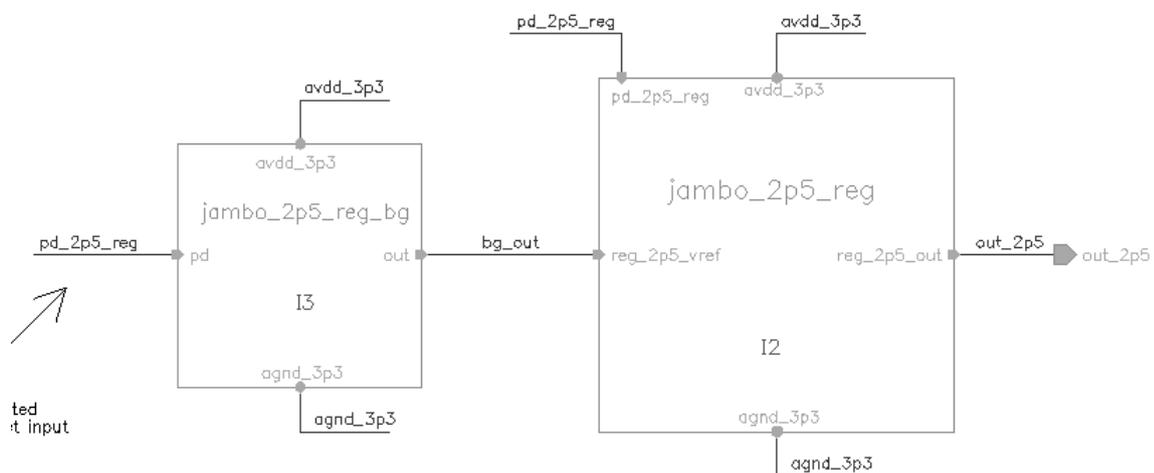


Figura 16 – Projeto Jambo, parte analógica desenvolvida pela UnB, parte 2. Fonte: Autor

Os blocos desenvolvidos nesta monografia, podem ser vistos na imagem 16, sendo utilizado em um regulador de tensão e na imagem 17, no multiplexador. A ideia do multiplexador nesse circuito será em alterar as diversas topologias de referência de tensão, corrente, amplificadores, que serão desenvolvidas pelos alunos e comparar quais terão melhores resultados dentro do circuito como um todo. Dessa forma é possível testar variadas topologias.

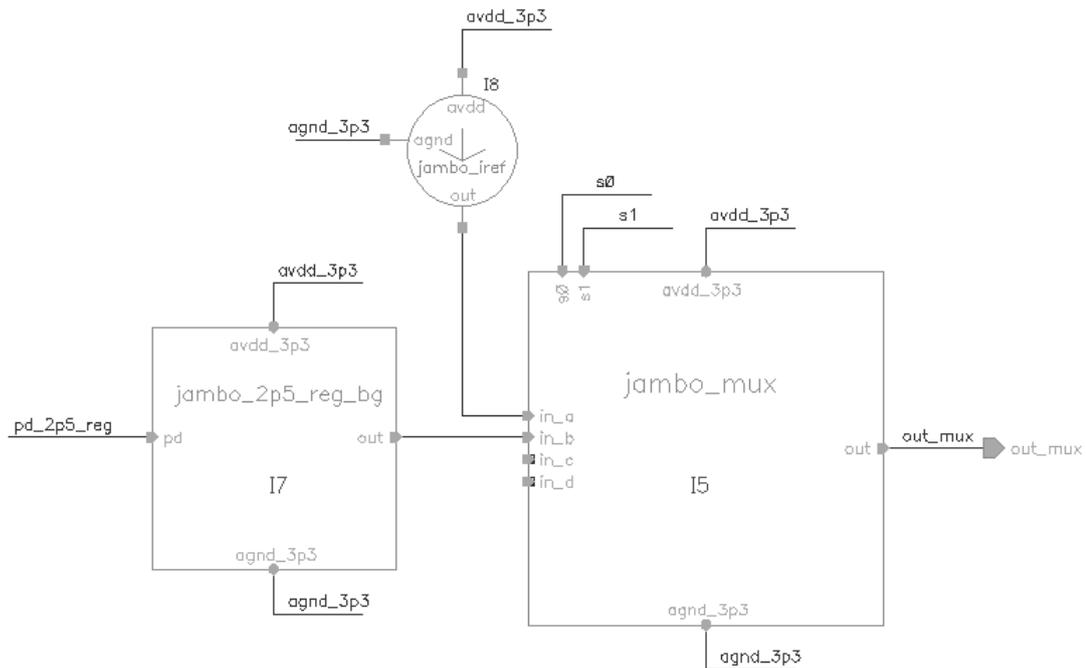


Figura 17 – Topo Projeto Jambo, parte analógica desenvolvida pela UnB parte 3. Fonte: Autor

3.2 Amplificador Operacional

Para o projeto da referência de tensão bandgap é necessário um amplificador operacional. Em paralelo ao projeto do amplificador de dois estágios, foi desenvolvido por outro discente, participante do projeto, um amplificador folded cascode, a fim de comparar qual amplificador traria os melhores resultados ao bandgap. O amplificador operacional utilizado para o projeto final do bandgap foi o folded cascode, pois ele obteve melhor estabilidade e trouxe resultados satisfatórios para ser utilizado pela referência de tensão.

3.2.1 Amplificador Operacional de Dois Estágios

O amplificador Operacional foi projetado seguindo a topologia da figura 6. Porém o amplificador de dois estágios acabou não sendo satisfatório a aplicação do bandgap pois seus transistores estavam fora de saturação e o circuito apresentava instabilidade. Para solucionar os problemas do amplificador, é necessário mais tempo para ajustar seus parâmetros, como o projeto tem um prazo para seu desenvolvimento foi mais viável optar pelo amplificador folded cascode que respondeu de forma satisfatória ao bandgap. Para trabalhos futuros é válido o término do amplificador de dois estágios a fim de comparar qual trará melhores resultados em relação ao bandgap. O projeto do amplificador operacional ficou da seguinte forma ilustrado na imagem 18, utilizando o software CADENCE para o seu desenvolvimento e testes.

Dissemelhante a imagem 6, no amplificador da figura 18, foram adicionados tran-

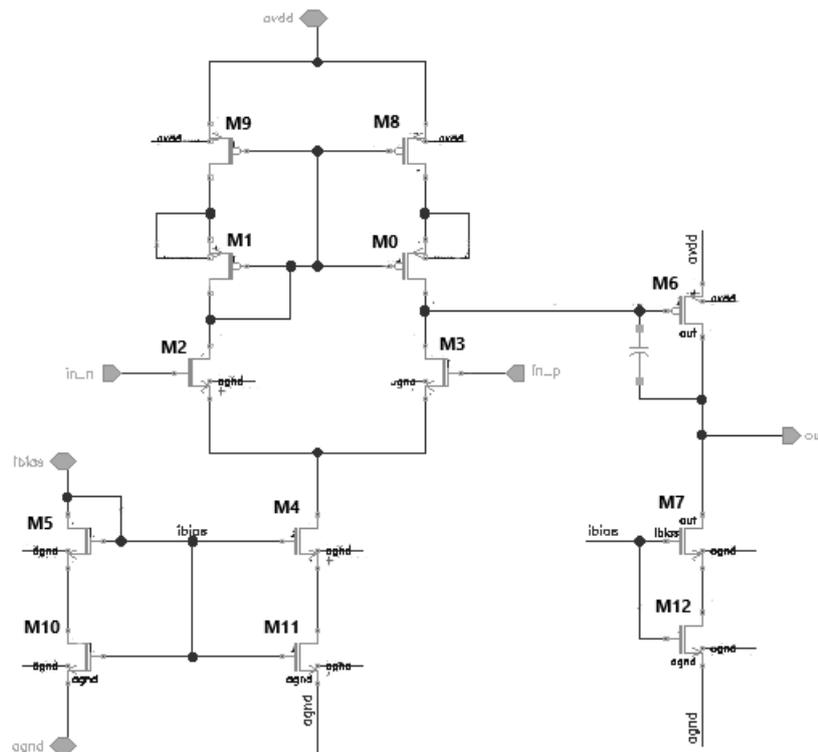


Figura 18 – Amplificador Operacional de Dois Estágios. Fonte: Autor

Tabela 1 – Especificações Amplificador de Dois estágios

| | Valor Típico |
|-----------------------|------------------------|
| aVDD | 3.3 V |
| IBIAS | $5\mu\text{A}$ |
| W/L (M0, M1, M9 e M8) | $2 \times [1\mu/2\mu]$ |
| W/L (M2 e M3) | $1.335\mu/2\mu$ |
| W/L (M4 e M5) | 270n/550n |
| W/L (M6) | 540n/440n |
| W/L (M7 e M12) | 400n/550n |
| C0 | 3p |

sistores em série aos espelhos de corrente na tentativa de aumenta o parâmetro L dos transistores, porém mesmo utilizando esse artifício, ainda assim o amplificador não obteve um bom comportamento, apresentando vários transistores fora da região de saturação, e com resultados inesperados. Por esse motivo optou-se por adotar como amplificador operacional para o projeto o folded cascode, e posteriormente retornar ao projeto do amplificador de dois estágios. Os dados do amplificador porem ser vistos na tabela 1

3.2.2 Amplificador Operacional Folded Cascode

Para o amplificador Operacional Folded Cascode foi utilizada a topologia da figura 7, de modo que ele possua um ganho de pelo menos 80dB e uma margem de fase de pelo

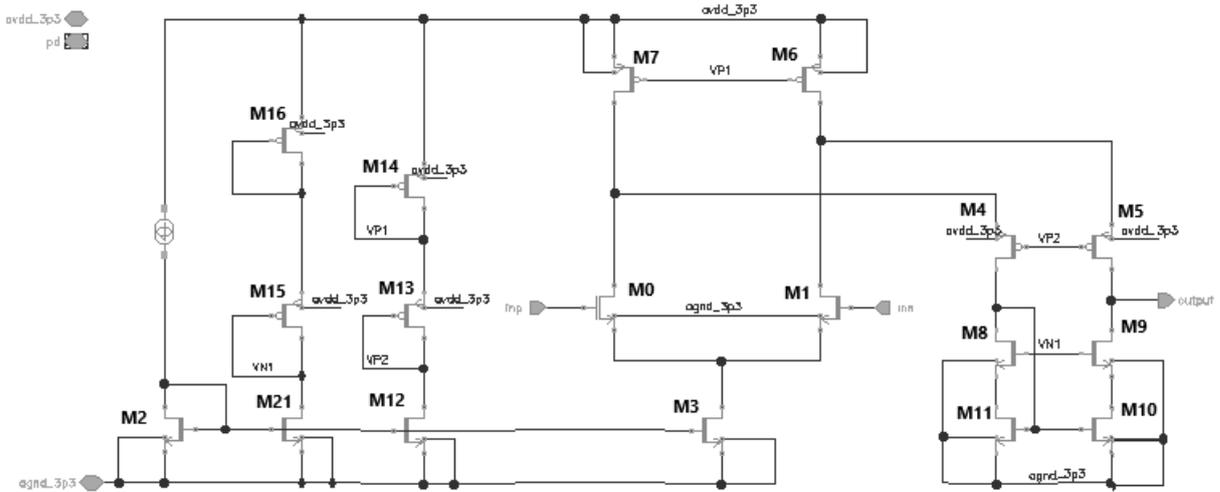


Figura 19 – Amplificador Operacional Folded Cascode. Fonte: Autor

Tabela 2 – Especificações Amplificador Folded Cascode

| | Valor Típico |
|---|-------------------------|
| avdd | 3.3 V |
| IBIAS | $5\mu\text{A}$ |
| W/L (M7 e M6) | $14x[500\text{n}/1\mu]$ |
| W/L (M0 e M1) | $5x[500\text{n}/2\mu]$ |
| W/L (M4 e M5) | $2x[500\text{n}/1\mu]$ |
| W/L (M8, M9, M10, M11, M2, M21, M12 e M3) | $4x[500\text{n}/2\mu]$ |
| W/L (M15) | $4x[270\text{n}/2\mu]$ |
| W/L (M16) | $4x[1\mu/2\mu]$ |
| W/L (M13) | $2x[270\text{n}/2\mu]$ |
| W/L (M14) | $20x[1\mu/2\mu]$ |

menos 60° . O circuito desenvolvido no software CADENCE pode ser visto na figura 19

Os valores dos parâmetros utilizados no projeto do folded cascode estão detalhados na tabela 2

Nota-se que os transistores M13, M14, M15 e M16 foram utilizados para gerar tensões de referência para o folded cascode. A referência de corrente foi finalizada posteriormente a finalização do amplificador, por conta disso, utilizou-se uma fonte de corrente ideal de $5\mu\text{A}$.

3.3 Referência de Tensão

A topologia da referência de tensão escolhida, está ilustrada na figura 4. O circuito desenvolvido no software CADENCE pode ser visto na figura 20

Dissemelhante com a topologia da imagem 4, a figura 20, apresenta dois tran-

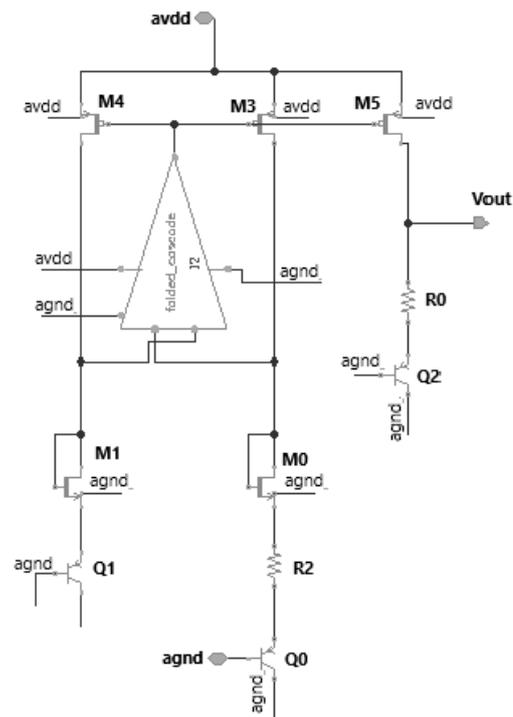


Figura 20 – Referência de Tensão Bandgap. Fonte: Autor

Tabela 3 – Especificações Referência de Tensão Bandgap

| | Valor Típico |
|-------------------|-----------------|
| AVDD | 3.3 V |
| W/L (M0 e M1) | [400n/550n] |
| W/L (M3, M4 e M5) | 500n/1 μ |
| Q0 | 6 |
| Q1 | 1 |
| Q2 | 4 |
| R2 | 7.99 K Ω |
| R0 | 91 K Ω |

sistores a mais, isso ocorre pois o amplificador operacional folded cascode para operar, utilizando entradas cmos, precisa necessariamente de uma tensão maior que 1V em sua entrada. Porém sem o transistor M1 e M0, a tensão máxima na entrada do amplificador seria de 700mV aproximadamente. Esse valor estava sendo insuficiente para o funcionamento do amplificador operacional. Há duas possíveis soluções para esse problema, uma delas seria modificar o folded cascode para entradas pmos, que não necessitaria de uma tensão de entrada acima de 1V e a outra possibilidade é adicionar dois transistores, um em cada nó onde estão as entradas do amplificador no badngap, para dessa forma aumentar a tensão naquele ponto. A solução de modificar as entradas do amplificador, seria muito demorada, pois teria que reajustar o circuito e refazer os testes necessários para validar seus parâmetros, a segunda solução foi mais viável e foi a solução adotada, pois é rápida

e de simples aplicação, sem precisar refazer todo o circuito já proposto. Os parâmetros utilizados no bandgap estão descritos com detalhes na tabela 3

3.4 Referência de Corrente

A topologia escolhida para a referência de corrente está ilustrada na figura 11. Essa topologia de auto polarização é robusta a variações na fonte de alimentação e também a variações de temperatura, porém para que isso ocorra o resistor que precisa ser utilizado nesse caso é um resistor CTAT - (em inglês, Coefficient Temperature Temperature), esse termo refere-se a uma técnica de compensação usada em circuitos analógicos para minimizar os efeitos da variação da temperatura nos componentes eletrônicos. Essa técnica envolve o uso de elementos que têm um coeficiente de temperatura semelhante ao componente que está sendo compensado. O objetivo é projetar o circuito de forma que as variações na temperatura cancelem as variações nos parâmetros do componente, mantendo assim o desempenho do circuito mais estável em diferentes temperaturas. Porém todos os resistores fornecidos pela tecnologia da TSMC de 22nm, são PTAT, por conta desse fator, teve-se que modificar a forma de compensar a curva CTAT.

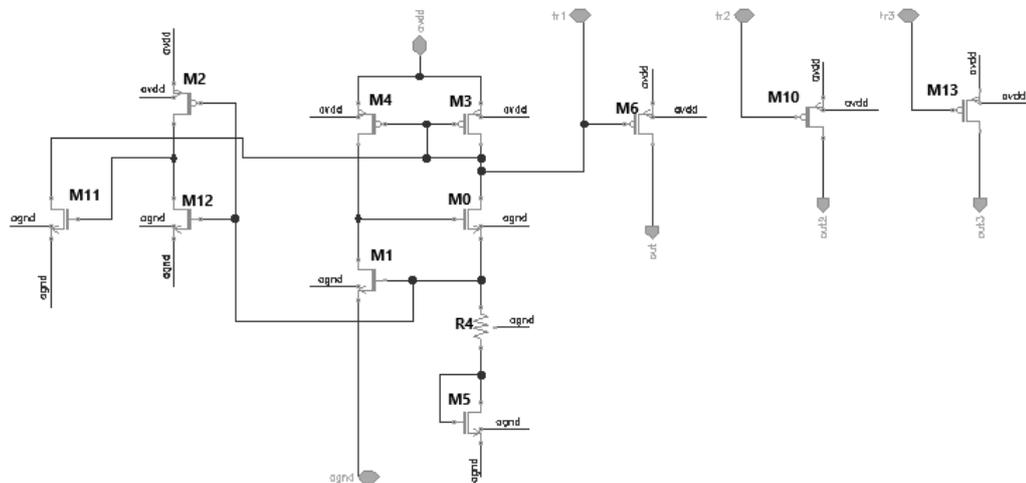


Figura 21 – Referência de Corrente de Auto Polarização. Fonte: Autor

Como ilustrado na imagem 21, foi adicionado ao circuito um transistor a baixo do resistor, essa técnica é muito utilizada com transistores bipolares, porém nesse caso foi utilizado um transistor nmos. Dessa forma foi possível dessensibilizar o circuito em relação a temperatura. Os parâmetros utilizados na referência de corrente estão descritos com detalhes na tabela 4.

Além do transistor adicional, foi necessária a adição de trimmers (M10 e M13), pois o resultados das simulações em corners (SS,FF), divergiram do valor típico. Esses

Tabela 4 – Especificações Referência de Corrente

| | Valor Típico |
|---------------|------------------------|
| AVDD | 3.3 V |
| W/L (M0 e M1) | 800n/550n |
| W/L (M2) | 270n/1 μ |
| W/L (M3 e M4) | 400n/440n |
| W/L (M5) | 12x[800n/550n] |
| W/L (M11) | 270n/550n |
| W/L (M12) | 10x[2.835 μ /550n] |
| W/L (M6) | 550n/440n |
| W/L (M10) | 270n/550n |
| W/L (M13) | 390n/440n |
| R4 | 13.47 K Ω |

trimmers servem como um ajuste fino no circuito. Caso haja variação no processo eles são conectados ao circuito e farão a correção da saída.

4 Resultados e Discussões

4.1 Amplificador Operacional Folded Cascode

Para realizar as medições dos resultados do amplificador operacional folded cascode, foi desenvolvido um ambiente de teste denominado testbench, que permitiu a realização dos testes apropriados para a análise dos parâmetros de saída. Além de plotar somente a saída considerando os parâmetros típicos da tecnologia, também foi realizado o teste de corners. Os corners representam as diferentes condições de operação e variações nos parâmetros do processo de fabricação, refletindo as incertezas e variações que podem ocorrer no mundo real.

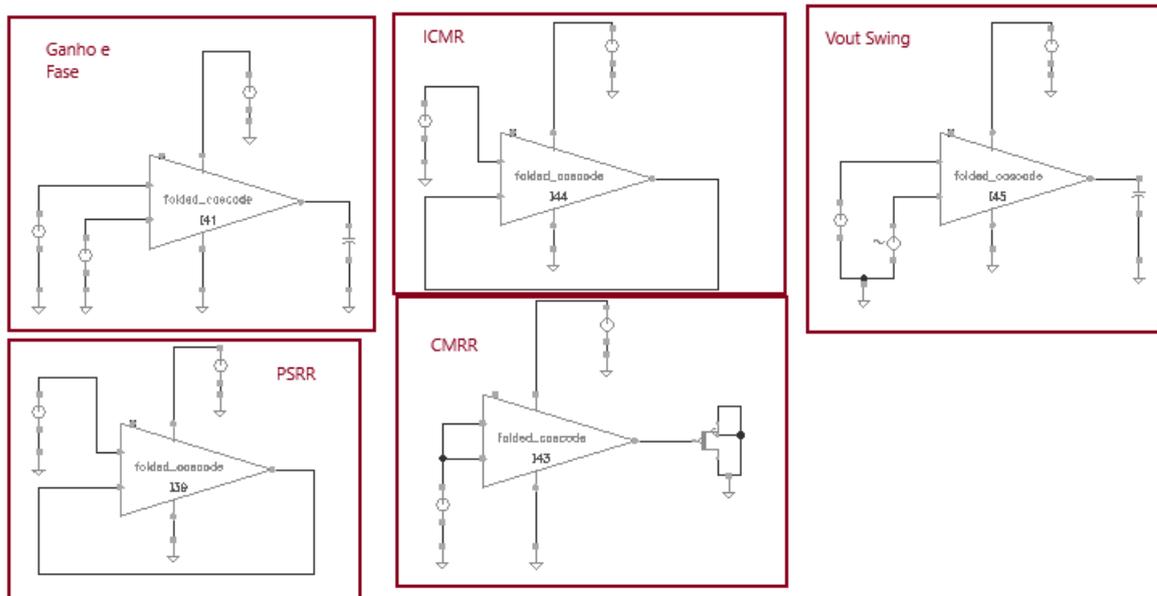


Figura 22 – Testbench Amplificador Operacional Folded Cascode. Fonte: Autor

A Figura 22 apresenta os circuitos utilizados para simular o ganho e a fase, ICMR (Índice de Rejeição de Modo Comum) figura 27, Vout Swing (Variação da Tensão de Saída) figura 28, PSRR (Rejeição de Ripple da Fonte de Alimentação) figura 26 e CMRR (Rejeição de Modo Comum) figura 25. Nessas simulações, a tensão de entrada aplicada ao amplificador foi de 1V.

A medição do ganho de um amplificador folded cascode é importante para avaliar o desempenho, verificar a linearidade, ajustar e otimizar o circuito, comparar com as especificações de projeto e identificar problemas. O ganho ilustrado na figura 23, está

na faixa dos 90dBs em valores típicos, e nos corners tanto como FF e o SS, estão na faixa dos 80dBs. Sendo uma queda considerável, porém não afetará sua finalidade de ser implementado ao bandgap.

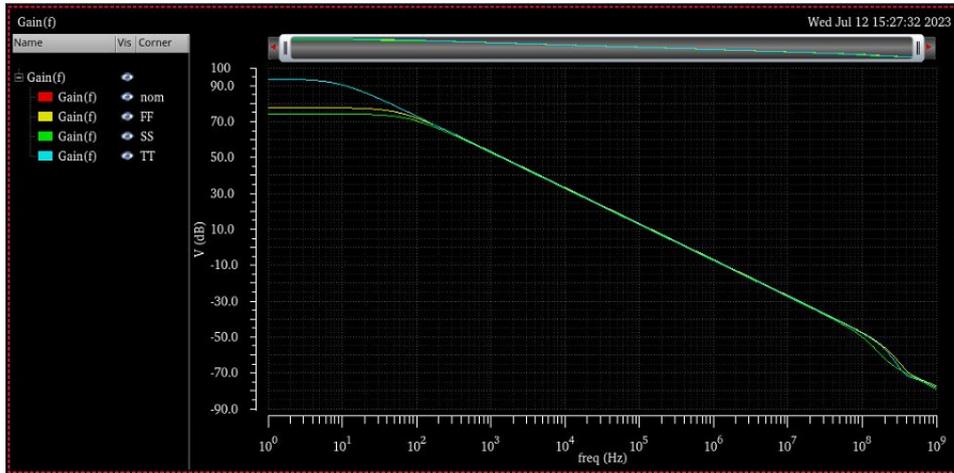


Figura 23 – Ganho Folded Cascode. Fonte: Autor

A fase também está relacionada à estabilidade do amplificador. Mudanças abruptas na fase podem indicar a presença de oscilações indesejadas ou instabilidades no circuito. A medição da fase ajuda a identificar esses problemas e a tomar medidas corretivas para garantir a estabilidade adequada do amplificador. Observa-se que na figura 24, o circuito não apresenta instabilidades, com uma grande margem de fase garante que não haverá instabilidades no sistema, mesmo considerando os corners SS e FF.

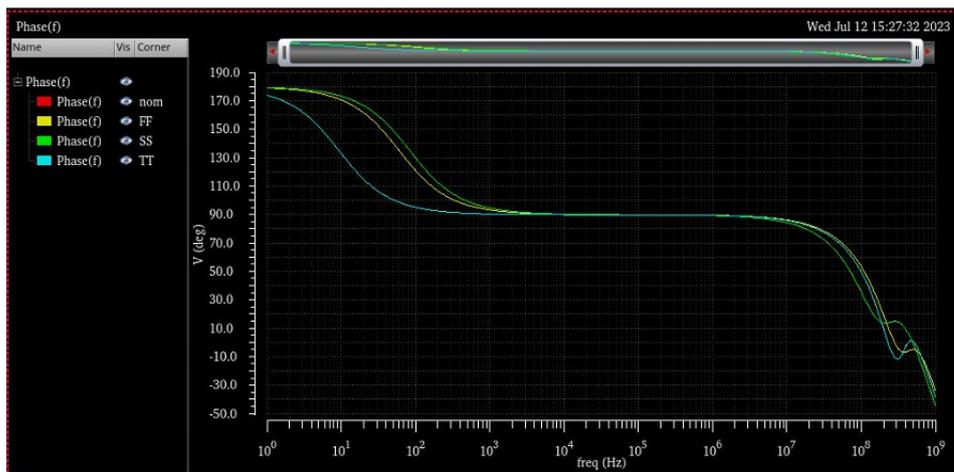


Figura 24 – Fase Folded Cascode. Fonte: Autor

A CMRR (relação de rejeição do modo comum, Common Mode Rejection Ration, em inglês) compara o ganho que um sinal AC agindo em ambos terminais do AmpOp ao seu ganho diferencial. Idealmente, diz-se que o amplificador possui uma rejeição total do modo comum, o que não acontece devido a, principalmente, impedâncias finitas das

fontes de tensão que polarizam os pares diferenciais à entrada (FERNANDES, 2022). No caso do nosso amplificador o CMRR é próximo dos -56dB , o que é razoável para o *folded cascode*, como podemos ver na imagem 25. Analisando também os corners, a variação em relação ao CMRR ficou bem próxima do valor típico, sendo uma variação aceitável.

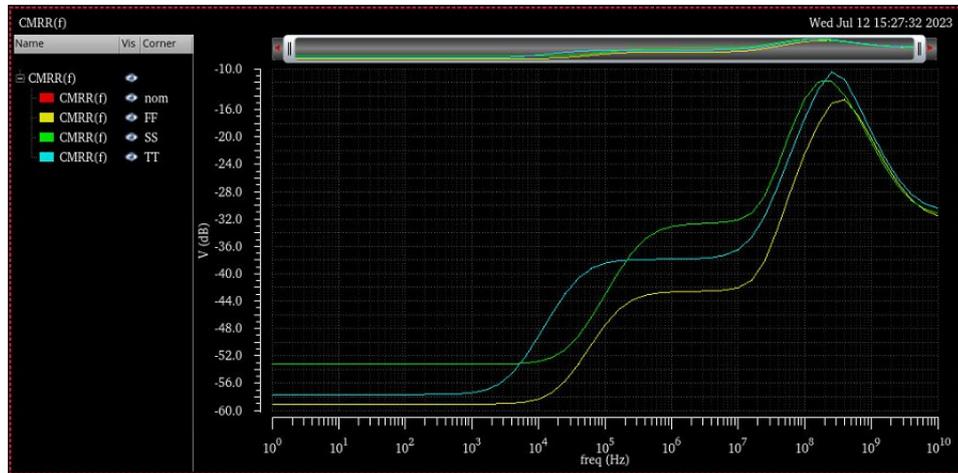


Figura 25 – CMRR *Folded Cascode*. Fonte: Autor

O PSRR é uma medida da capacidade do amplificador operacional em rejeitar variações na tensão de alimentação. Ele indica a quantidade de atenuação que o amplificador fornece a variações indesejadas na tensão de alimentação em relação ao sinal de entrada. Quanto maior o valor do PSRR, melhor é a capacidade do amplificador em rejeitar essas variações.

Medir o PSRR de um amplificador operacional *cascode* permite avaliar a estabilidade do amplificador em relação às variações na tensão de alimentação. Isso é importante porque as variações na tensão de alimentação podem ser causadas por flutuações na fonte de alimentação. Um PSRR alto indica que o amplificador é menos suscetível a essas variações e, portanto, mais estável em condições reais de operação. Como pode-se ver na imagem 26, o PSRR está próximo aos -85dB , e só há uma variação significativa no corner FF, onde seu PSRR cai para -55dB .

O ISMR permite avaliar a faixa dinâmica do amplificador operacional *cascode*. A faixa dinâmica é a diferença entre o nível de sinal máximo que pode ser aplicado à entrada do amplificador sem distorção significativa e o nível de sinal mínimo que ainda pode ser amplificado com uma relação sinal-ruído aceitável. Medir o ISMR ajuda a determinar a capacidade do amplificador de lidar com uma ampla gama de sinais de entrada e fornecer uma amplificação adequada. Analisando o gráfico do ICMR da figura 27, ele varia de 0.4 a 3.3V em valores típicos, e praticamente não há variações nos corners.

Medir o *Vout Swing* permite avaliar a faixa de variação da amplitude do sinal de saída que o amplificador operacional *cascode* pode fornecer sem distorção ou saturação.

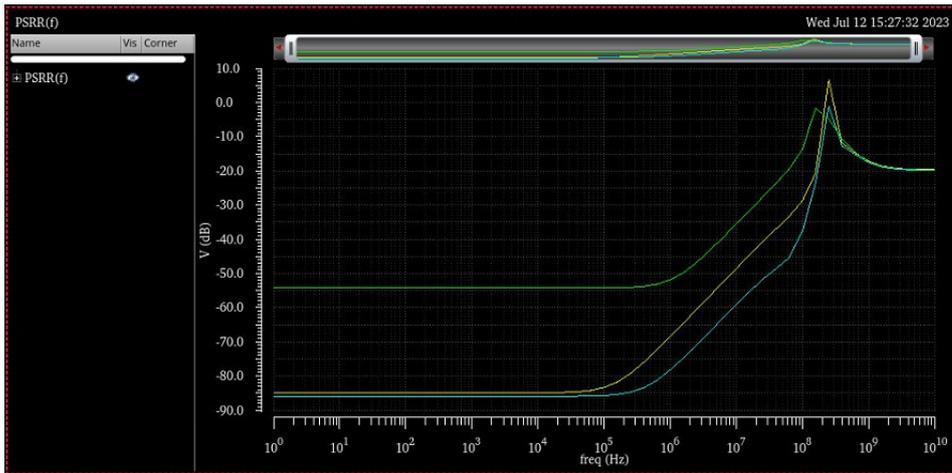


Figura 26 – PSRR Folded Cascode. Fonte: Autor

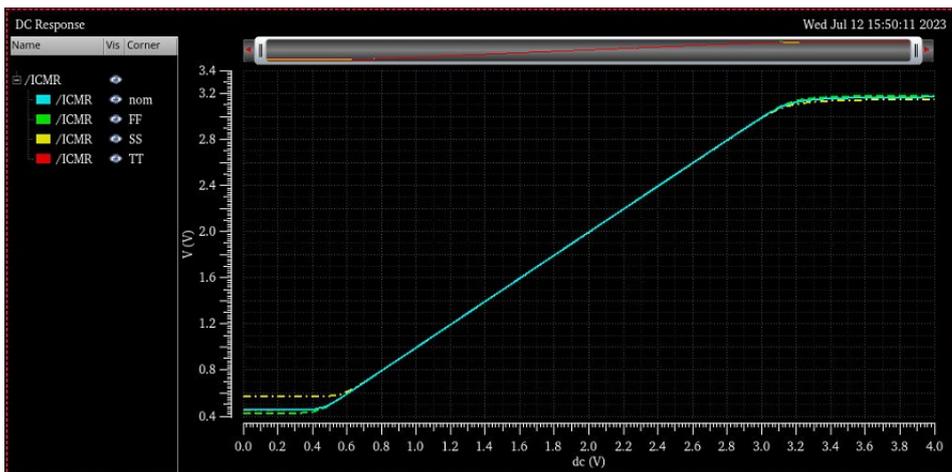


Figura 27 – ICMR Folded Cascode. Fonte: Autor

Isso é importante para garantir que o amplificador seja capaz de fornecer uma saída adequada para uma ampla gama de sinais de entrada. Analisando o gráfico do V_{out} Swing na imagem 28, houve em média 1V de output para cada variação dos corners, inclusive em valores típicos.

O resultado do amplificador foi satisfatório, com alto ganho, margem de fase acima de 60° , com baixo CMRR, trouxe bons resultados para o uso na referência de tensão bandgap.

Na análise de corners o circuito apresentou comportamento estável, com uma variação baixa, resultando em um circuito estável e robusto a variações.

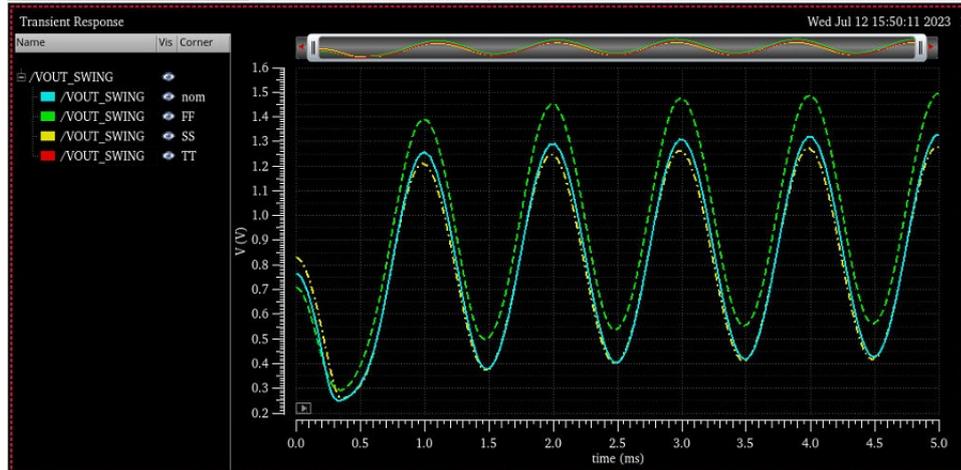


Figura 28 – Vout Swing Folded Cascode. Fonte: Autor

4.2 Referência de Tensão

Para realizar as medições dos parâmetros do bandgap foi feito um testbench ilustrado na imagem 29

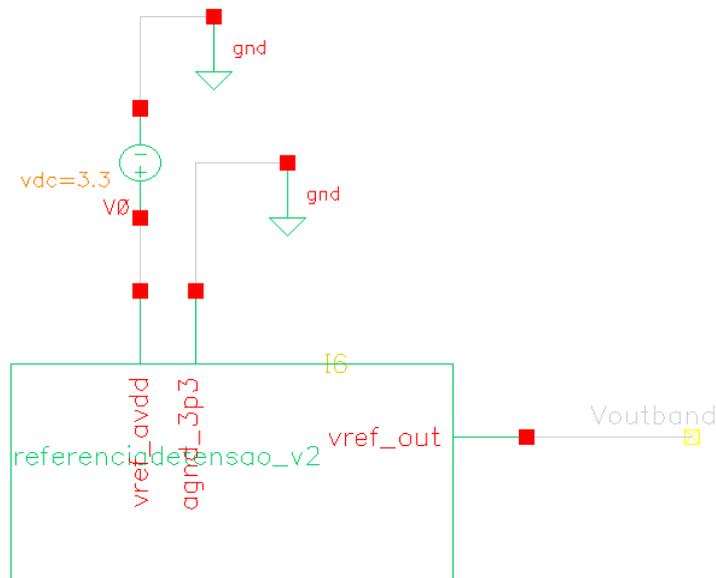


Figura 29 – Testbench Bandgap. Fonte: Autor

Os parâmetros a serem considerados na análise de um bandgap são: sua estabilidade de saída em relação a temperatura e variações na tensão de entrada.

A estabilidade do circuito em relação às variações de temperatura foi avaliada por meio da simulação em corners, cujo resultado é apresentado na Figura 30.

A imagem ilustra a relação entre a tensão e a temperatura, demonstrando a capacidade do circuito em manter uma resposta estável mesmo diante das flutuações térmicas.

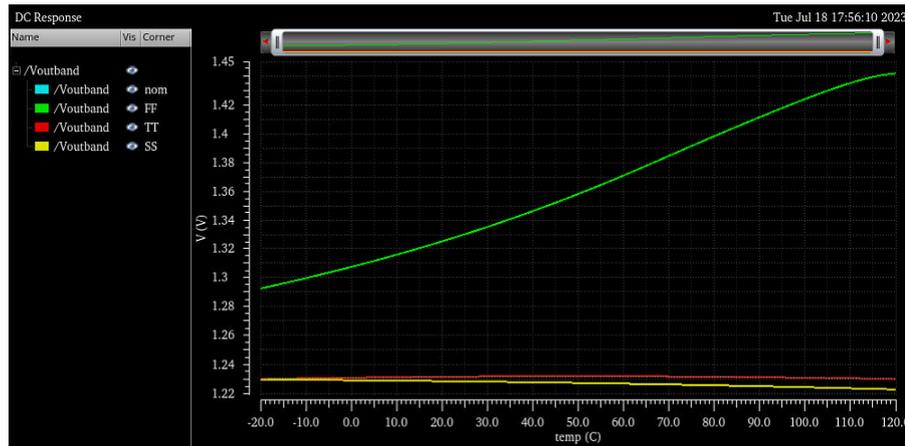


Figura 30 – Simulação DC x Temperatura na tensão de saída do Bandgap. Fonte: Autor

Também foi avaliada a estabilidade do circuito em relação a possíveis variações na tensão de alimentação, o resultado é apresentado na figura 31.

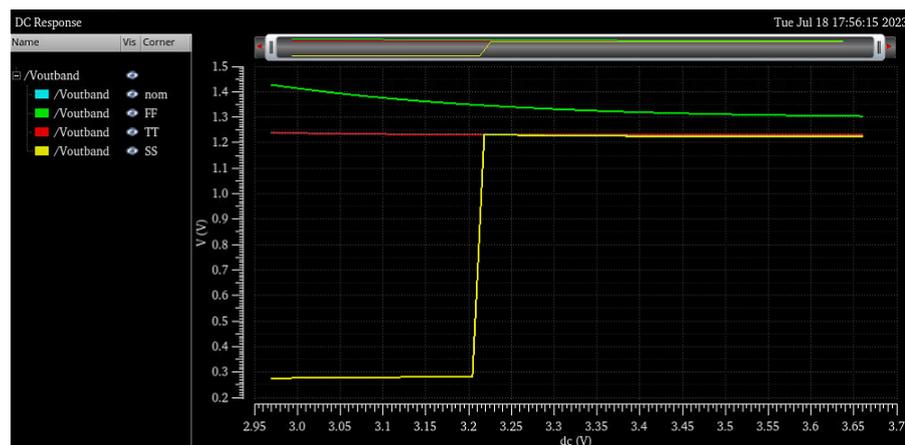


Figura 31 – Simulação da saída do bandgap considerando variações na tensão de alimentação. Fonte: Autor

Nessa simulação a variação da alimentação em relação a tensão típica de 3.3V foi de 10%, simulando assim um aumento ou decaimento da tensão de alimentação. A tensão de saída se manteve estável em 1,23V em dois dos testes nos corners, porém no teste SS, ele só inicializou o circuito a partir da tensão 3.2V, é possível que esse desligamento ocorra por conta do amplificador operacional, que necessita de uma tensão nas entradas de no mínimo 1V.

A tabela 5, resume as principais características do circuito bandgap e seus resultados.

Para trabalhos futuros trocar o amplificador operacional por um que não necessite de uma tensão de entrada alta, fosse uma solução viável para minimizar as disparidades resultantes dos corners.

Tabela 5 – Especificações típicas do Bandgap.

| | Valor Típico |
|-----------------|--------------|
| VDD | 3.3 V |
| IBIAS | 5 μ A |
| ppm/°C | 10.42 ppm/°C |
| Tensão de Saída | 1.23 V |

4.3 Referência de Corrente

Para realizar as medições dos parâmetros da referência de corrente foi realizado um testbench ilustrado na imagem 32

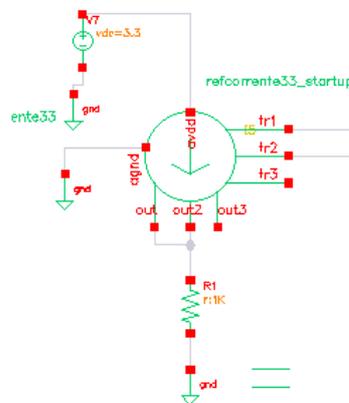


Figura 32 – Testbench Referência de Corrente. Fonte: Autor

Os parâmetros a serem considerados na análise de uma referência de corrente são: sua estabilidade de saída em relação a temperatura e variações na tensão de alimentação.

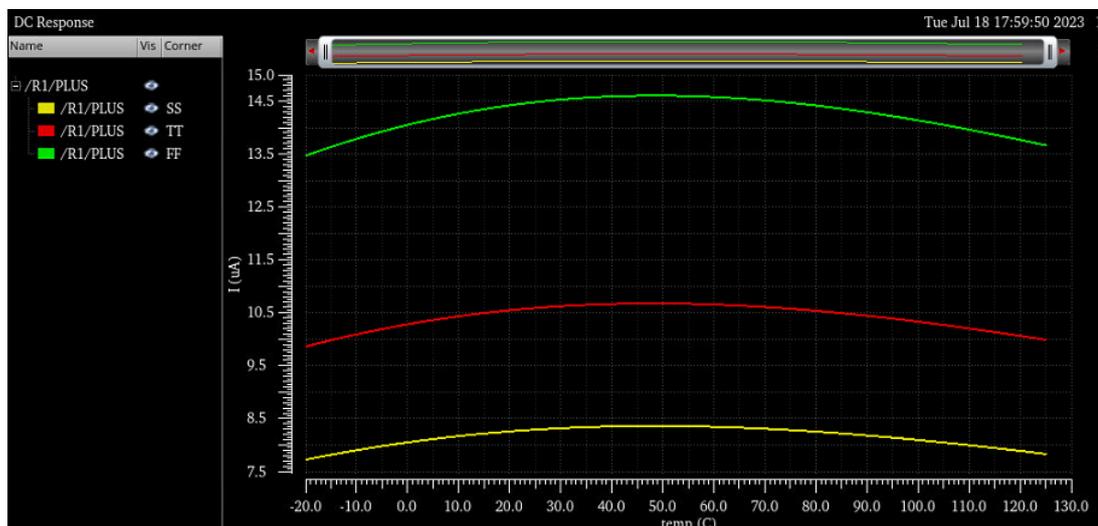


Figura 33 – Corners Referência de Corrente DC x Temperatura. Fonte: Autor

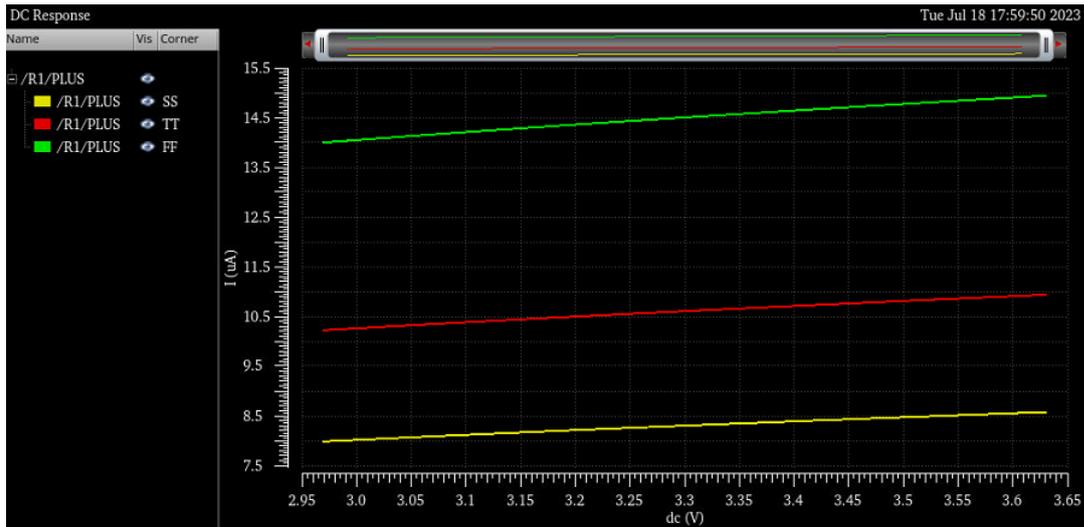


Figura 34 – Corners Referência de Corrente Variação alimentação. Fonte: Autor

Fazendo o testbench considerando os corners, identificou-se uma disparidade entre os resultados do TT para o SS e FF, como pode-se ver nas imagens 33 e 34. Para ajustar essa disparidade dos resultados foram utilizados trimmers. Após a adição dos trimmers os resultados foram equivalentes ao resultado típico, como ilustrado nas imagens 35 e 36.

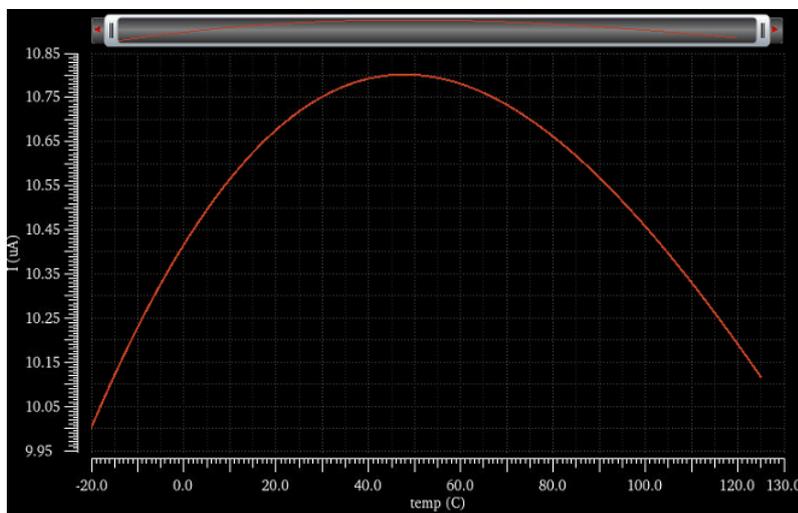


Figura 35 – Corners Referência de Corrente DC x Temperatura - SS. Fonte: Autor

A tabela 6, descreve os parâmetros obtidos a partir do circuito de referência de corrente.

Tabela 6 – Especificações típicas da Referência de Corrente.

| | Valor Típico |
|--------|---------------|
| VDD | 3.3 V |
| Iout | 10.62 μ A |
| ppm/°C | 547.6 ppm/°C |

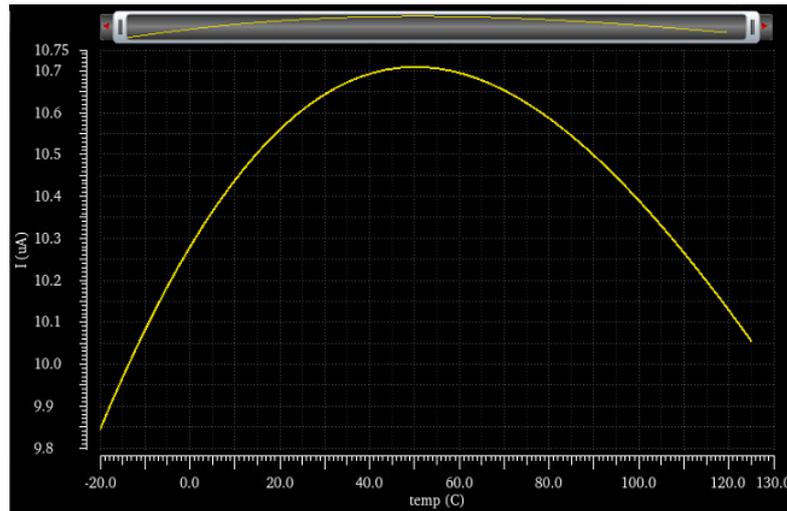


Figura 36 – Corners Referência de Corrente DC x Temperatura - FF. Fonte: Autor

Como futura melhoria ao projeto, será diminuir o ppm/C°, pois está elevado. Isso acarreta um circuito mais sensível a temperatura, então idealmente esse valor necessita ser o mais baixo possível.

4.4 Obstáculos relacionado ao uso da Tecnologia de 22nm da TSMC

A utilização da tecnologia de 22nm da TSMC apresentou desafios significativos no projeto dos circuitos. Inicialmente, deparou-se com a escassez de documentação e artigos relacionados a essa tecnologia em particular. Como resultado, muitas características dos componentes tiveram que ser descobertas através de testes no software Cadence.

Além disso, o projeto enfrentou limitações na dimensão dos componentes. Foi estabelecido um limite máximo no W/L de 1.335u/2u ou 2u/1u para os transistores, sendo que valores superiores acionavam um aviso e retornavam ao valor máximo permitido. A disponibilidade de transistores para alimentação de 3.3V também se mostrou restrita, uma vez que as opções disponíveis eram de 0.8V, 1.8V ou 2.5V, com poucas alternativas de overdrive para a alimentação de 3.3V, que foi utilizada no sistema em questão.

Outra dificuldade encontrada durante o projeto dos circuitos foi o valor elevado de V_{th} dos transistores. Adicionalmente, todos os resistores dessa tecnologia são PTAT, o que cria dificuldades para a implementação de algumas topologias que exigem resistores CTAT para ajustar a estabilidade do circuito em relação à temperatura. Assim, se houver necessidade de um resistor CTAT, será preciso realizar ajustes adicionais no circuito.

Apesar desses desafios, foi possível alcançar resultados satisfatórios nos circuitos e desenvolver os blocos funcionais necessários para o projeto.

5 Conclusão

A presente monografia descreve o projeto de uma referência de tensão bandgap, amplificador operacional e uma referência de corrente de autopolarização utilizando a tecnologia de 22nm da TSMC. Embora o amplificador operacional tenha demonstrado parâmetros adequados, não se mostrou totalmente suficiente para ser utilizado no circuito bandgap. Ao analisar os corners na imagem apresentada na Figura 31, observa-se que em SS, o bandgap permaneceria desligado até que a tensão de alimentação atingisse 3,2V, o que pode ser problemático caso haja variações na tensão de alimentação. Uma solução ideal seria modificar as entradas do amplificador operacional folded cascode para entradas PMOS, eliminando a necessidade de uma entrada de 1V. Além disso, essa modificação resultaria na redução de dois transistores no projeto do bandgap, uma vez que não seria necessário aumentar a tensão nas entradas do amplificador.

Em relação aos parâmetros do bandgap, eles foram considerados satisfatórios, de acordo com os valores típicos obtidos: um coeficiente de ppm/C° de 10,42, uma tensão de saída de 1,23V com uma entrada de 3,3V e uma corrente de 5uA.

No que diz respeito à referência de corrente, também foram obtidos resultados positivos, porém, o coeficiente de ppm/C° foi de 547,6, o que é consideravelmente elevado para uma referência de corrente. Como resultado, a variação da corrente em relação à temperatura seria significativa. Como melhorias futuras para o projeto, podemos destacar a modificação das entradas do amplificador operacional folded cascode, bem como a alteração do circuito bandgap para melhorar seus resultados em diferentes condições de operação. No caso da referência de corrente, é importante reduzir sua dependência em relação à temperatura.

Os próximos passos para o projeto incluem a análise dos circuitos em monte carlo e o desenvolvimento do layout, após a implementação das alterações mencionadas anteriormente.

Referências

- ALLEN, P.; HOLBERG, D. *CMOS Analog Circuit Design*. [S.l.]: OXFORD UNIVERSITY PRESS, 2002. Citado 8 vezes nas páginas 13, 26, 27, 28, 34, 38, 39 e 40.
- COLOMBO, D. M.; WIRTH, G. I. Impact of different op-amps in cmos bandgap references implemented in 0.18 μ m technology. Disponível em: <<https://sbmicro.org.br/sforum-eventos/sforum2009/colombo.pdf>>. Citado na página 26.
- FERNANDES, L. A. F. Projeto e análise de amplificador operacional rail-to-rail em tecnologia de 65 nm. 2022. Disponível em: <https://repositorio.ufsc.br/bitstream/handle/123456789/243629/TCC_Luiz_Augusto_Frazatto_Fernandes_assinado.pdf?sequence=1&isAllowed=y>. Citado na página 53.
- GARRETT, F. O que é nanometro? veja significado e qual a função nos processadores. 2016. Disponível em: <<https://www.techtudo.com.br/noticias/2016/10/o-que-sao-nanometros-e-por-que-eles-sao-tao-importantes-na-tecnologia.ghhtml>>. Citado 2 vezes nas páginas 13 e 23.
- GRAY, P. R.; HURST, P. J.; MEYER, R. G. *Analysis and Design of Analog Integrated Circuits*. [S.l.]: John Wiley Sons, 2009. Citado 4 vezes nas páginas 13, 28, 30 e 31.
- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. [S.l.]: Mc Graw Hill Education, 2001. Citado 4 vezes nas páginas 13, 24, 25 e 26.
- TSMC. *22nm Technology*. 2011. Disponível em: <https://www.tsmc.com/english/dedicatedFoundry/technology/logic/1_22nm>. Citado na página 23.