

Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

Título: Projeto de um Regulador de Tensão do tipo *LDO* (Low Dropout Regulator) para uma Unidade de Gerência de Potência de um Microcontrolador de 32 Bits para uso em Internet das Coisas.

Autor: Emmanuel Kwabena Mensah Johnson
Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF
2024



Emmanuel Kwabena Mensah Johnson

Título: Projeto de um Regulador de Tensão do tipo *LDO* (Low Dropout Regulator) para uma Unidade de Gerência de Potência de um Microcontrolador de 32 Bits para uso em Internet das Coisas.

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF

2024

Emmanuel Kwabena Mensah Johnson

Título: Projeto de um Regulador de Tensão do tipo *LDO* (Low Dropout Regulator) para uma Unidade de Gerência de Potência de um Microcontrolador de 32 Bits para uso em Internet das Coisas./ Emmanuel Kwabena Mensah Johnson.
– Brasília, DF, 2024-

48 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Wellington Avelino do Amaral

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2024.

1. *LDO*. 2. Microcontrolador. I. Prof. Dr. Wellington Avelino do Amaral. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Título: Projeto de um Regulador de Tensão do tipo *LDO* (Low Dropout Regulator) para uma Unidade de Gerência de Potência de um Microcontrolador de 32 Bits para uso em Internet das Coisas.

CDU 02:141:005.6

Emmanuel Kwabena Mensah Johnson

Título: Projeto de um Regulador de Tensão do tipo *LDO* (Low Dropout Regulator) para uma Unidade de Gerência de Potência de um Microcontrolador de 32 Bits para uso em Internet das Coisas.

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 9 de fevereiro de 2024:

**Prof. Dr. Wellington Avelino do
Amaral**
Orientador

**Prof. Dr. Sandro Augusto Pavlik
Haddad**
Convidado 1

Prof. Dr. Gilmar Silva Beserra
Convidado 2

Brasília, DF
2024

Este trabalho é dedicado àqueles que se recusam a desistir dos seus sonhos, aos espíritos implacáveis que percorrem o caminho desafiador com determinação inabalável. Aos estudantes cujo compromisso com a aprendizagem não tem limites e às mentes jovens cheias de aspirações por um futuro melhor.

Que seus sonhos sejam a bússola que o guiará em todas as provações e que sua perseverança seja o vento sob suas asas. Sua busca pelo conhecimento e seu compromisso inabalável com seus objetivos servem como uma prova do incrível potencial que existe dentro de cada um de vocês.

Um brinde aos sonhadores, aos alunos dedicados e às crianças com aspirações que alcançam as estrelas. Sua jornada é uma prova das alturas extraordinárias que a determinação humana pode alcançar.

Agradecimentos

Em primeiro lugar, aos meus pais, a sua crença inabalável nos meus sonhos tem sido a pedra angular dos meus esforços. Através de altos e baixos, seu apoio e incentivo constantes me impulsionaram para frente, transformando aspirações em conquistas. Seus sacrifícios e amor sem limites lançaram as bases para a pessoa que sou hoje e, por isso, sou eternamente grato.

Aos meus professores, vocês são os arquitetos do meu crescimento intelectual. As salas de aula que você presidiu foram mais do que espaços de aprendizagem; eles têm sido incubadores de curiosidade e descoberta. Suas dedicações em transmitir conhecimento e promover o pensamento crítico me equipou com as ferramentas para navegar pelas complexidades do mundo. Obrigado por serem não apenas educadores, mas mentores que deixaram uma marca indelével em minha jornada.

E para meus amigos, vocês são os companheiros queridos que iluminaram o caminho com risadas compartilhadas e camaradagem duradoura. Suas amizades tem sido fonte de força nos momentos de adversidade e multiplicadora de alegria nos momentos de triunfo.

Ao expressar minha gratidão, reconheço que cada um de vocês contribuiu de forma única para o mosaico vibrante da minha vida. As suas presença acrescentaram profundidade e significado à minha jornada e, por isso, agradeço de coração.

Resumo

O *core* dos microcontroladores requerem uma fonte de alimentação estável e confiável para garantir uma operação adequada e um desempenho preciso. Um dos blocos de *power management* de um microcontrolador para obter uma fonte de energia confiável é o *Low Dropout Regulator (LDO)*. Nesta visão geral, é explorado a importância dos *LDOs* em microcontroladores, seus princípios operacionais e seu papel no aprimoramento da eficiência e funcionalidade de sistemas de IoT baseados em microcontroladores.

O objetivo deste trabalho é a implementação de um *LDO* bem compensado utilizando o Amplificador *Folded Cascode* de *Low-Energy*, simulações mostrando o bom funcionamento tanto do amplificador quanto do *LDO*. Como resultado, foi gerado simulações e *layouts* que mostraram o bom funcionamento do amplificador e do *LDO*.

Palavras-chaves: *LDO*, Microcontroladores, Amplificador *Folded Cascode* de *Low Energy*

Abstract

The *core* of microcontrollers requires a power supply stable and reliable power supply to ensure smooth operation adequate and accurate performance. One of the blocks of power management of a microcontroller to provide a reliable power source is the *Low Dropout Regulator* (LDO). In this overview, the importance of LDOs in microcontrollers, their principles operational and its role in improving efficiency and functionality of microcontroller-based IoT systems.

The objective of this work is focused on the implimentation of a well-compensated LDO using the Low Energy Folded Cascode Amplifier, simulations showing the good functioning of both the amplifier as for the LDO. The layout will also be presented.

Key-words: LDO Regulator, Microcontroller, Low Energy Folded Cascode

Lista de ilustrações

Figura 1 – Esquemático de um divisor de tensão ajustável usando um resistor variável	24
Figura 2 – Esquemático de um divisor de tensão ajustável usado LDO	24
Figura 3 – Esquemático de um <i>LDO</i>	25
Figura 4 – Topologias de <i>LDOs</i> a) Regulador Convencional b) Capacitorless	29
Figura 5 – Topologia do Amplificador Operacional	30
Figura 6 – Amplificador Operacional do <i>Folded Cascode</i> dividido em partes.	31
Figura 7 – Amplificador Operacional de <i>folded cascode</i> usado.	32
Figura 8 – Espelho de Corrente	33
Figura 9 – Esquemático de um <i>LDO</i>	36
Figura 10 – Simulação de <i>Corners</i> de Ganho do Amplificador de Erro	38
Figura 11 – Simulação de <i>Corners</i> de Fase do Amplificador de Erro	39
Figura 12 – Simulação de <i>Corners</i> de PSRR do Amplificador de Erro	39
Figura 13 – Simulação de <i>Corners</i> de CMRR do Amplificador de Erro	39
Figura 14 – <i>Layout</i> do Amplificador de Erro	40
Figura 15 – <i>Layout</i> do Elemento de Passagem com 100 transistores	41
Figura 16 – <i>Layout</i> do Elemento de Passagem com 2000 transistores	42
Figura 17 – Imagem para mostrar <i>good matching</i> no <i>Layout</i> de resistores.	42
Figura 18 – Esquemático dos resistores de realimentação negativa.	43
Figura 19 – <i>Layout</i> dos resistores de realimentação negativa.	43
Figura 20 – Simulação de <i>loopgain</i> do <i>LDO</i> .	44
Figura 21 – Simulação do fase do <i>LDO</i> .	44
Figura 22 – Simulação transiente do <i>LDO</i> em <i>corners</i> .	45
Figura 23 – <i>Layout</i> do <i>LDO</i> .	45
Figura 24 – Verificação do <i>Design Rule Check</i> do <i>Layout</i> do <i>LDO</i> .	46
Figura 25 – Verificação do <i>Layout Vrs Schematic</i> do <i>Layout</i> do <i>LDO</i> .	46

Lista de tabelas

Tabela 1 – Tabela da especificação do Amplificador de Erro	30
Tabela 2 – Tabela de Especificação de projeto para o elemento de passagem. . . .	34
Tabela 3 – Tabela de comparação da especificação com os resultados obtidos do Amplificador de L	
Tabela 4 – Tabela para mostrar a relação de S para cada transistor usado no amplificador	38
Tabela 5 – Tabela para mostrar os comprimentos do elemento de passagem	41

Lista de abreviaturas e siglas

CMOS	Complementary Metal-Oxide-Semiconductor
CMRR	Common-Mode Rejection Ratio
EA	Error Amplifier
EDA	Electronic Design Automation
ESR	Equivalent Series Resistor
FEOL	Front End Of Line
FF	Fast-Fast
FS	Fast-Slow
GB	Gain Bandwidth.
ICMR	Input Common Mode Range
LDO	Low Dropout Regulator
MOSFET	Metal–Oxide–Semiconductor Field-Effect Transistor
OPAMP	Operational Amplifier.
PSRR	Power Supply Rejection Ratio
SF	Slow-Fast
SR	Slew Rate.
SS	Slow-Slow
TCC	Trabalho de Conclusão de Curso
TSMC	Taiwan Semiconductor Manufacturing Co.
TT	Typical Typical
UnB	Universidade de Brasília

Sumário

1	INTRODUÇÃO	21
1.1	Motivação	21
1.2	Objetivos	21
1.2.1	Geral	21
1.2.2	Específicos	22
1.3	Aspectos Metodológicos	22
1.4	Organização do Trabalho	22
2	FUNDAMENTAÇÃO TEÓRICA	23
2.1	Regulador de tensão	23
2.2	Regulador <i>LDO</i>	24
2.2.1	Blocos do <i>LDO</i>	25
2.2.1.1	Referência de Tensão	25
2.2.1.2	Amplificador de Erro	26
2.2.1.3	Elemento de passagem	26
2.2.1.4	Rede de realimentação	26
2.2.2	Grandezas de desempenho de <i>LDO</i>	26
2.2.2.1	Tensão de <i>Dropout</i>	26
2.2.2.2	Regulação de Linha	27
2.2.2.3	Regulação de carga	27
2.2.2.4	PSRR <i>Power Supply Rejection Ratio</i>	27
2.2.3	Processo de Corners	27
3	METODOLOGIA	29
3.1	Amplificador de Erro	29
3.1.1	Determinação das especificações	29
3.1.2	Topologia	30
3.1.3	Calculos Teóricos	31
3.2	Elemento de passagem	33
3.3	Realimentação Negativa	34
3.4	Compensação em frequencia	35
3.5	Eficiência	36
4	RESULTADOS E DISCUSSÃO	37
4.1	Amplificador de Erro	37
4.1.1	<i>Corners</i>	38

4.1.2	<i>Layout</i>	39
4.2	Elemento de Passagem	40
4.2.1	<i>Layout</i>	41
4.3	Realimentação Negativa	42
4.3.1	<i>Layout</i>	43
4.4	LDO	43
4.4.1	<i>Corners</i>	44
4.4.2	<i>Layout</i>	45
5	CONCLUSÃO	47
	REFERÊNCIAS	48

1 Introdução

Os microcontroladores são onipresentes em nosso mundo moderno, perfeitamente integrados em vários dispositivos para facilitar sua funcionalidade. Esses circuitos integrados compactos servem como cérebro de inúmeros sistemas eletrônicos, controlando e coordenando processos para executar tarefas específicas. Desde eletrodomésticos e sistemas automotivos até dispositivos médicos e máquinas industriais, os microcontroladores desempenham um papel fundamental no aumento da eficiência e da automação.

1.1 Motivação

Ultimamente, a importação de mercadorias para o Brasil tem sido prejudicada por muitos impostos de importação. Por isso, a opção por microcontroladores fabricados localmente tem importância estratégica em diversas frentes. Em primeiro lugar, promove a autossuficiência em tecnologia, reduzindo a dependência de fontes externas. Isto não só fortalece as capacidades tecnológicas de uma nação, mas também garante uma cadeia de abastecimento mais segura e resiliente.

A fabricação local de microcontroladores contribui significativamente para a economia, criando empregos, promovendo a inovação e promovendo um ecossistema tecnológico robusto. Incentiva a colaboração entre a academia e a indústria, promovendo um ambiente dinâmico para pesquisa e desenvolvimento. Foi exatamente assim que nasceu o projeto uC32RFBR.

O uC32RFBR é um projeto que está sendo desenvolvido por outras universidades e empresas em parceria com a Universidade de Brasília (UnB). Este microcontrolador em desenvolvimento será o primeiro chip a ser desenvolvido no país e terá capacidade para competir com outros microcontroladores de 32 bits do mercado.

A parte em que a UnB entra neste projeto é em relação ao desenvolvimento do bloco de potência do microcontrolador, que vem recebendo o nome de Projeto Jambo. Este bloco incluirá a criação de *LDOs*, conversores Buck e outros conversores.

1.2 Objetivos

1.2.1 Geral

O presente trabalho tem como objetivo o desenvolvimento de um conversor *LDO* que utiliza compensação externa com uma tensão de alimentação de 2,5V até 1,5V, com

o objetivo de gerar uma tensão de 0,8V na saída.

1.2.2 Específicos

O principal objetivo deste trabalho é desenvolver um *LDO* funcional utilizando a tecnologia TSMC de 22 nanômetros. A seguir estão alguns dos objetivos que se espera alcançar no final;

- Projeto de um amplificador operacional do tipo *Folded Cascode* de estágio único e com entradas PMOS.
- Projeto de criar um *LDO* que é compensado externamente por um capacitor externo e um resistor ESR.
- Validação do amplificador e do LDO através de simulações de *corners* (FF, TT, SS, FS e SF).
- *Layout* do bloco *LDO*.

1.3 Aspectos Metodológicos

A metodologia utilizada no projeto é a abordagem *top-down*. Numa abordagem *top-down*, é formulada uma visão geral do sistema, especificando, mas não detalhando, quaisquer subsistemas de primeiro nível. Cada subsistema é então refinado com ainda mais detalhes, às vezes em muitos níveis adicionais de subsistemas, até que toda a especificação seja reduzida a elementos básicos. Após a criação do topo, inicia-se a criação dos esquemáticos. O próximo passo são as simulações (cantos), seguidas da criação do *layout*. O *layout* criado é verificado. As ferramentas que foram utilizados neste trabalho foram *Cadence* que foi utilizado para a criação de esquemáticos e *layout*, e *Calibre* que foi utilizado para a verificação do *layout*.

1.4 Organização do Trabalho

Este relatório está organizado conforme descrito a seguir. No capítulo 2 será apresentado e discutido a teoria e todo equacionamento por trás com da criação de uma *LDO*. Continuando com os capítulos 3 e 4 que apresentarão as metodologias usadas e os resultados que foram obtidos durante a criação do *LDO* respectivamente. Por último, no capítulo 5, será apresentado a conclusão deste trabalho. dos esquemas e layout. Finalmente os resultados obtidos serão apresentados na parte posterior deste relatório.

2 Fundamentação Teórica

À medida que os microcontroladores se tornam mais sofisticados e exigem tensões de alimentação mais baixas, os reguladores lineares tradicionais enfrentam limitações devido às suas quedas de tensão significativas. É aqui que os reguladores de baixa queda entram em ação. Os *LDOs* são projetados para regular a tensão de saída com uma queda mínima de tensão (*dropout voltage*) no regulador, tornando-os ideais para microcontroladores que operam em níveis de baixa tensão.

A integração de *LDOs* em sistemas baseados em microcontroladores oferece várias vantagens importantes. Em primeiro lugar, seu *low dropout voltage* garante que os microcontroladores possam operar com o mínimo de tensão, tornando-os adequados para dispositivos alimentados por bateria, onde a maximização da eficiência energética é crucial. Em segundo lugar, os *LDOs* fornecem excelente rejeição de ruído, reduzindo o impacto das flutuações da fonte de alimentação na operação do microcontrolador, levando a um melhor desempenho e confiabilidade. Além disso, os *LDOs* ajudam a minimizar a ondulação e o *overshoot* da tensão de saída, que são vitais para uma conversão precisa de analógico para digital e leituras confiáveis do sensor em aplicações de microcontroladores.

2.1 Regulador de tensão

Em um dispositivo eletrônico, o gerenciamento de energia é muito essencial para o bom funcionamento do dispositivo, por isso, na maioria das vezes, vários reguladores de tensão são empregados para fornecer tensões constantes a um determinado sub-bloco no dispositivo (pode ser um *ADC*, *DAC*, processador e muitos outros blocos), que incluem; reguladores lineares, reguladores de comutação e lógica de controle. Os reguladores *LDO* se enquadram na classe dos reguladores lineares. Um regulador linear é um regulador de tensão que ajusta a sua resistência interna para qualquer variação de impedância de carga e de tensão de entrada em uma maneira que a tensão de saída se mantenha constante (KUGELSTADT, 1999). Conforme mostra a figura 1, em um regulador linear, a fonte de tensão V_{BAT} varia com o tempo, e para manter a tensão de saída, existe um resistor variável.

$$V_O = \frac{R_{LOAD}}{R_O + R_{LOAD}} \cdot V_{BAT} \quad (2.1)$$

Este resistor variável é empregado para se auto-ajustar para manter uma tensão constante na saída conforme a entrada continua a mudar com o tempo, para que isso seja possível, o resistor variável utiliza o princípio de um divisor de tensão baseado na equação 2.1.

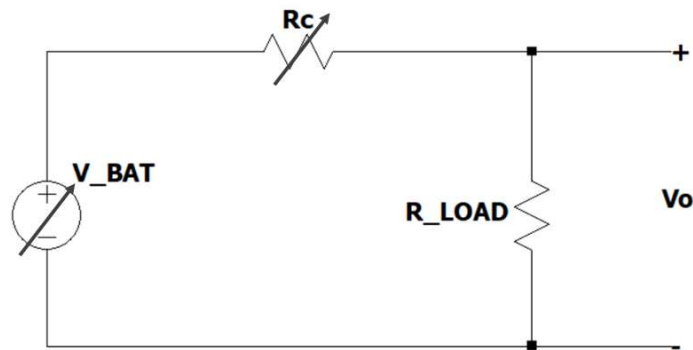


Figura 1 – Esquemático de um divisor de tensão ajustável usando um resistor variável

Fonte – Adaptado de (MILLIKEN; SILVA-MARTÍNEZ; SÁNCHEZ-SINENCIO, 2007)

(MILLIKEN; SILVA-MARTÍNEZ; SÁNCHEZ-SINENCIO, 2007)

2.2 Regulador *LDO*

O *LDO* neste caso atua como um resistor variável que é colocado entre a fonte de alimentação de entrada e a carga a fim de regular a tensão de saída aplicada à carga conforme mostra a *figura 2*.

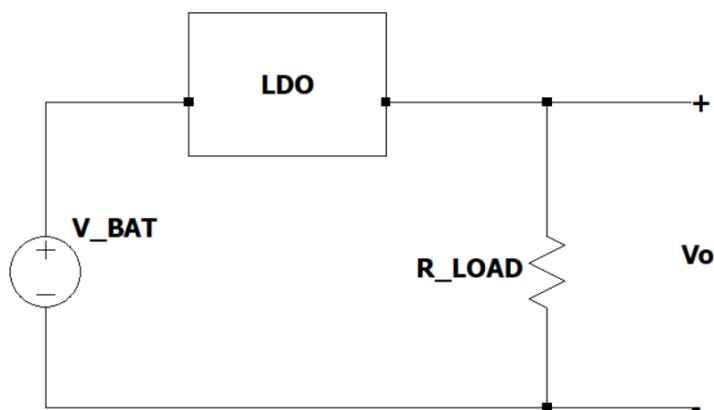


Figura 2 – Esquemático de um divisor de tensão ajustável usado LDO

Fonte – Autoria Própria

Os reguladores *LDO* são parte essencial dos sistemas de gerenciamento de energia e sua principal função é fornecer um fornecimento de tensão constante. Como o nome indica, o regulador *LDO* deve ter a menor diferença possível entre a tensão de entrada e saída, isso é chamado de tensão de queda. A tensão de queda está normalmente dentro

da faixa de mV ou menos. Os reguladores *LDO* são usados para derivar tensões de saída

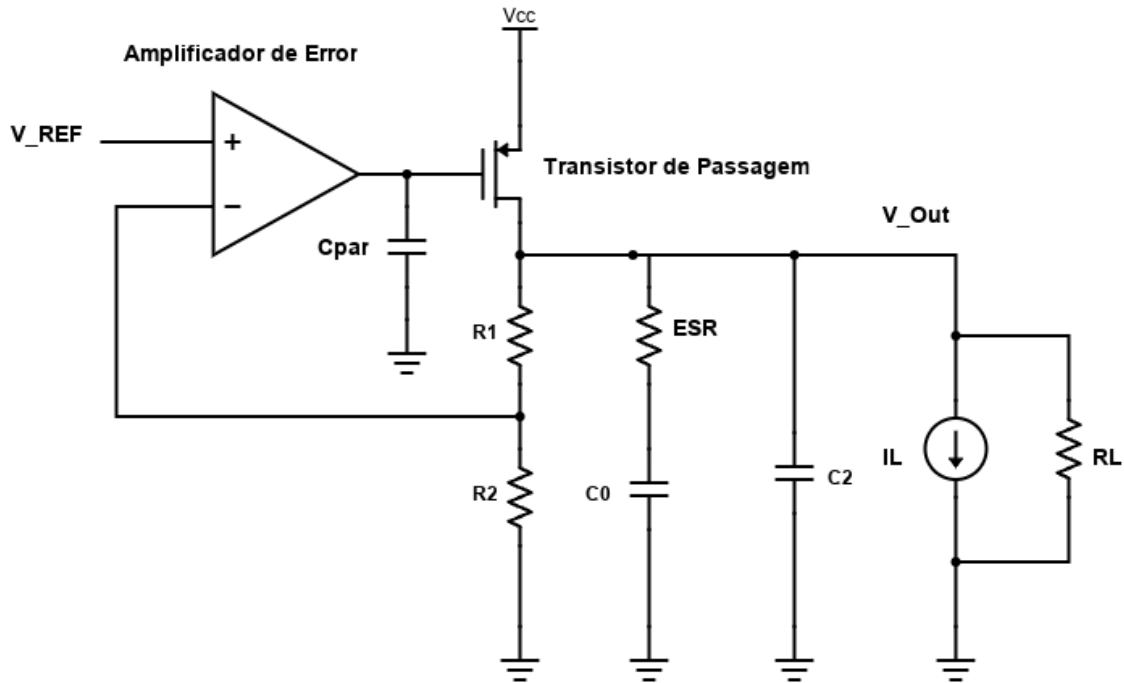


Figura 3 – Esquemático de um *LDO*

Fonte – Adaptado de (TORRES et al., 2014)

mais baixas de uma fonte principal. A tensão de saída é idealmente estável com variações de linha e carga, imune a mudanças na temperatura ambiente e estável ao longo do tempo. A figura 3 mostra o esquemático de um *LDO*. Comparados aos reguladores de comutação DC-DC, os *LDOs* são de operação contínua, mais fáceis de usar e mais baratos. (MILLIKEN; SILVA-MARTÍNEZ; SÁNCHEZ-SINENCIO, 2007). A figura 3 mostra como esses componentes principais estão interconectados. Para as especificações do *LDO* a ser implementado, a tensão de referência (V_{ref}) é 700mV, sua tensão de saída (V_{out}) deve ser 0,8V.

2.2.1 Blocos do *LDO*

Um *LDO* típico consiste em vários blocos ou componentes principais que trabalham juntos para regular a tensão de saída. Os principais blocos comumente encontrados em um *LDO* são a referência de tensão, o amplificador de erro, o divisor de tensão (rede de *feedback*), a referência de tensão *Band Gap* e o elemento de controle (transistor de passagem).

2.2.1.1 Referência de Tensão

A referência de tensão fornece uma tensão de referência estável e precisa para o regulador comparar com a tensão de saída. Em circuitos integrados, normalmente é utilizada uma referência de tensão *Band Gap*, por ser um circuito de referência de tensão independente de temperatura. Produz uma tensão constante independentemente das variações da fonte de alimentação e das mudanças de temperatura.

2.2.1.2 Amplificador de Erro

O amplificador de erro compara a tensão de referência com a tensão de feedback da saída e gera um sinal de erro. Este sinal é usado para ajustar a tensão de saída. O utilizado é do tipo *Folded Cascode* de um estágio. O sinal de controle aciona o elemento de passagem que, por sua vez, controla a tensão de saída como mostra a [equação 2.2](#) (CORTEZ, 2017).

$$V_{erro} = Av \cdot (V_+ - V_-) \quad (2.2)$$

Se a tensão de feedback for menor que a tensão de referência, a porta do dispositivo PMOS é puxada para baixo, permitindo a passagem de mais corrente e aumentando a tensão de saída. Por outro lado, se a tensão de feedback for maior que a tensão de referência, a porta do dispositivo PMOS é aumentado, permitindo a passagem de menos corrente e diminuindo a tensão de saída.

2.2.1.3 Elemento de passagem

O elemento de controle, geralmente um transistor de passagem, regula o fluxo de corrente da entrada para a saída com base no sinal de erro do amplificador de erro. O elemento escolhido pode ser um único transistor ou um grupo de transistores que forma um arranjo. Também, elemento deve ser bem escolhido porque afeta diretamente o rendimento da tensão de *dropout* (CORTEZ, 2017).

2.2.1.4 Rede de realimentação

A rede de realimentação, geralmente um divisor de tensão feito de resistores, fornece uma fração da tensão de saída ao amplificador de erro. Isto permite que o regulador compare a tensão de saída real com a tensão de referência. Isso pode ser identificado na imagem [figura 3](#) como *R1* e *R2*.

2.2.2 Grandezas de desempenho de LDO

As grandezas de desempenho são as análises consideradas nesse projeto do regulador para que pode ser verificado se as condições de funcionamento podem ser atingidas. Essas grandezas são a tensão de *dropout*, a regulação de linha, a regulação de carga, a rejeição de ruído de fonte e a tensão de ruído na saída. (LEE et al., 1999)

2.2.2.1 Tensão de Dropout

A tensão de queda é a tensão diferencial de entrada para saída na qual o circuito deixa de regular contra reduções adicionais na tensão de entrada; este ponto ocorre quando a tensão de entrada se aproxima da tensão de saída. Abaixo desta tensão, o elemento de passagem opera apenas como um resistor (LEE et al., 1999)

2.2.2.2 Regulação de Linha

A regulação da linha é uma medida da capacidade do circuito de manter a tensão de saída especificada com tensão de entrada variável. A definição de regulação de linha é definida na equação 2.3. (LEE et al., 1999)

$$R_{linha} = \frac{\Delta V_{out}}{\Delta V_{in}} \quad (2.3)$$

2.2.2.3 Regulação de carga

A regulação de carga é uma medida da capacidade do circuito de manter a tensão de saída especificada sob condições variáveis de carga. A equação para definição da regulação de carga é mostrada na equação. O pior caso de variações na tensão de saída ocorre à medida que a corrente de carga transita de zero para seu valor nominal máximo. (LEE et al., 1999)

$$R_{carga} = \frac{\Delta V_{out}}{\Delta I_{out}} \quad (2.4)$$

2.2.2.4 PSRR Power Supply Rejection Ratio

A taxa de rejeição da fonte de alimentação (PSRR) mede a capacidade do regulador de evitar a flutuação da tensão de saída regulada causada por variações da tensão de entrada. A equação 2.5 mostra como ela é definida. (LEE et al., 1999)

$$PSRR = 20 \log \frac{V_{ref}}{V_{dd}} \quad (2.5)$$

2.2.3 Processo de Corners

Na fabricação de semicondutores, um processo de *corner* é uma técnica que envolve a variação dos parâmetros de fabricação usados na aplicação de um projeto de circuito integrado a um *wafers* semicondutor. Os processos de *corners* representam os extremos dessas variações de parâmetros dentro dos quais um circuito que foi gravado no *wafers* deve funcionar corretamente. Um circuito executado em dispositivos fabricados nesses processos de *corners* podem funcionar mais devagar ou mais rápido do que o especificado e em temperaturas e tensões mais baixas ou mais altas, mas se o circuito não funcionar em nenhum desses extremos do processo, o projeto é considerado como tendo margem de projeto inadequada, e deve ser revisado.(WESTE; ESHRAGHIAN, 1985)

Para verificar a robustez de um projeto de circuito integrado, os fabricantes de semicondutores fabricarão *corner lots*, que são grupos de wafers que tiveram parâmetros de processo ajustados de acordo com esses extremos, e então testarão os dispositivos feitos a partir desses *wafers* especiais em incrementos variados das condições ambientais, como tensão, frequência de clock e temperatura, aplicados em combinação (dois ou às vezes todos os três juntos) em um processo denominado caracterização(WESTE; ESHRAGHIAN, 1985). Este trabalho focará mais no método de *corners* do tipo FEOL *front end of line*, uma vez que esses tipos de *corners* afetarão o desempenho dos dispositivos, pois estamos trabalhando com esquemáticos.

Uma das convenções de nomenclatura para o processo de *corners* é usar designadores de duas letras, onde a primeira letra se refere ao *corner* do MOSFET (NMOS) do canal N e a segunda letra se refere ao *corner* do canal P (PMOS). Nesta convenção de nomenclatura, existem três *corners*: *Typical*, *Fast* e *Slow*. *Corners* de *Fast* e *Slow* exibem mobilidades de suporte maiores e menores que o normal, respectivamente. Por exemplo, um *corner* designado como FS denota NMOS rápidos e PMOS lentos.

Existem, portanto, cinco *corners* possíveis: *Typical-Typical* (TT), *Fast-Fast* (FF), *Slow-Slow* (SS), *Fast-Slow* (FS) e *Slow-Fast* (SF). Os três primeiros *corners* (TT, FF, SS) são chamados de *corners* pares, porque ambos os tipos de dispositivos são afetados uniformemente e geralmente não afetam negativamente a correção lógica do circuito. Os dispositivos resultantes podem funcionar em frequências de clock mais lentas ou mais rápidas e geralmente são agrupados como tal.

3 Metodologia

Existem dois tipos principais de topologias de um *LDO*, que são o regulador *LDO* convencional e o regulador *LDO* sem capacitor. Como pode ser visto na figura 4, o *LDO*

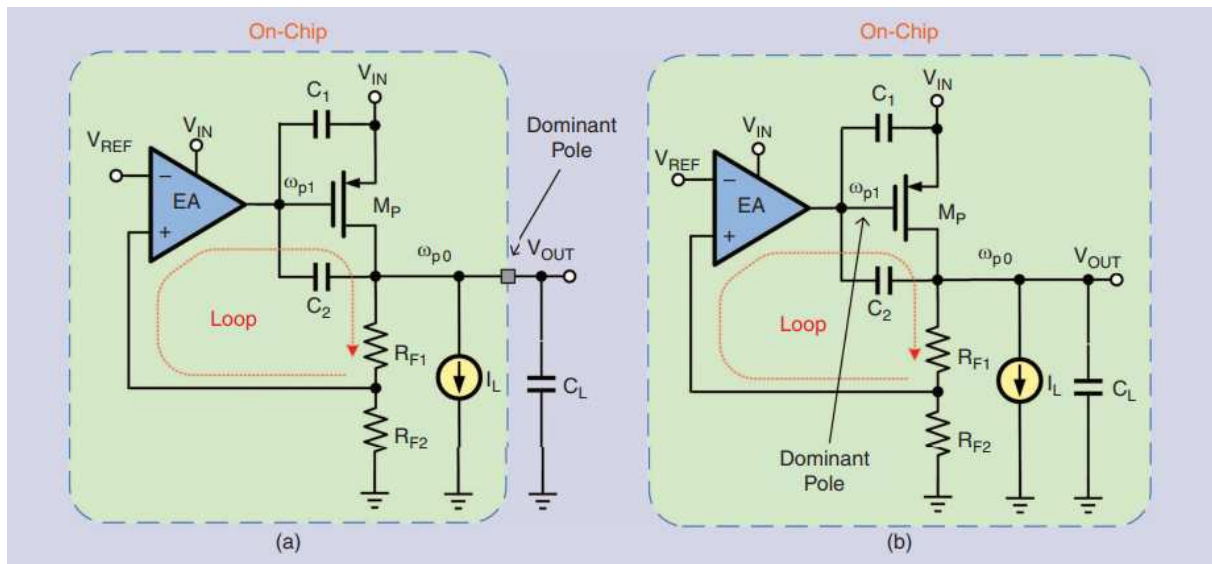


Figura 4 – Topologias de *LDOs* a) Regulador Convencional b) Capacitorless

Fonte – Tirado de (TORRES et al., 2014)

convencional não possui capacitor de carga, isto significa que o usuário daquele determinado *LDO* terá que escolher um capacitor externo para este fim, das quais, por vezes, acaba por desestabilizar a *LDO*, pela adição de outra. Por outro lado, o *LDO* sem capacitor já vem projetado e com capacitor on-board, geralmente esse capacitor é escolhido para dar mais estabilidade ao circuito, e costuma ter uma capacitância bem pequena em relação aos normalmente adicionados aos convencionais.

3.1 Amplificador de Error

O amplificador de erro é uma parte vital do *LDO*, o controle e ajuste da tensão de saída é feito por ele. Geralmente é projetado como um *OPAMP* diferencial que possui dois pinos de entrada, sendo um conectado ao V_{REF} e o outro servindo como realimentação (TORRES et al., 2014).

3.1.1 Determinação das especificações

A parte mais inicial da projeção ou criação de qualquer coisa é definir as especificações a serem utilizadas. O mesmo princípio se aplica à projeção de um amplificador

operacional, suas especificações precisam ser definidas primeiro, e a partir daí outras decisões podem ser tomadas. As especificações geralmente mostram como o *OPAMP* deve se comportar e entre quais parâmetros ele deve operar. A tabela 1 abaixo mostra um exemplo das especificações que podem ser utilizadas para a criação de um amplificador amplificador de erro para o *LDO*.

Especificação	Valor
Ganho	$\geq 80dB$
Largura de Banda do Ganho	$\geq 5MHz$
Slew Rate	$\geq 5V/\mu sec$
ICMR	$\geq \pm 1.5V$
CMRR	$\geq 60dB$
PSRR	$\geq 60dB$
Tensão de Alimentação	$\pm 2.5V \pm 10\%$
Corrente de Alimentação	$5\mu A$

Tabela 1 – Tabela da especificação do Amplificador de Erro

Fonte – Adaptado do (ALLEN; DOBKIN; HOLBERG, 2011).

3.1.2 Topologia

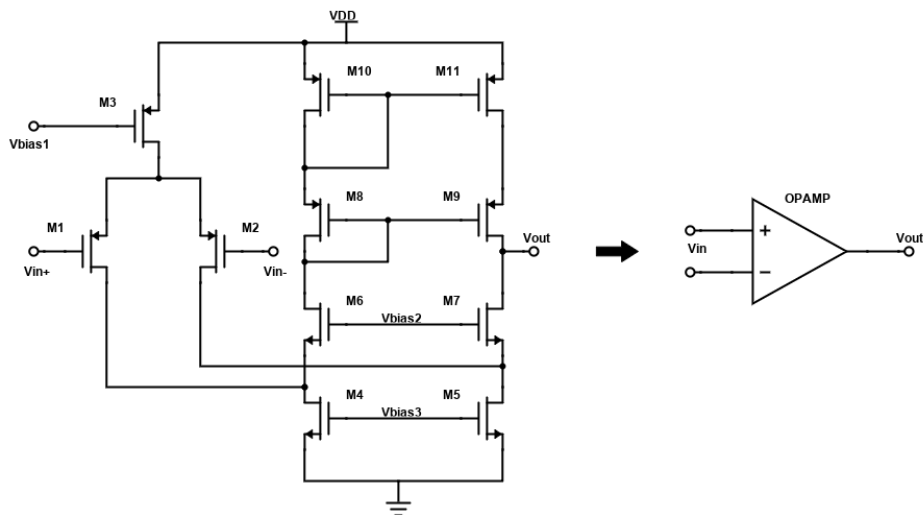


Figura 5 – Topologia do Amplificador Operacional

Fonte – Adaptado do (ALLEN; DOBKIN; HOLBERG, 2011).

Para poder ter o máximo de ganho possível, a topologia que será utilizado neste amplificador seria a topologia de um amplificador folded cascode de um estágio como está mostrado na figura 5.

Esta arquitetura é desenvolvida em parte para melhorar o ICMR e o PSRR. É mais eficiente considerar que o amplificador funciona em três partes principais como pode ser visto na figura 6.

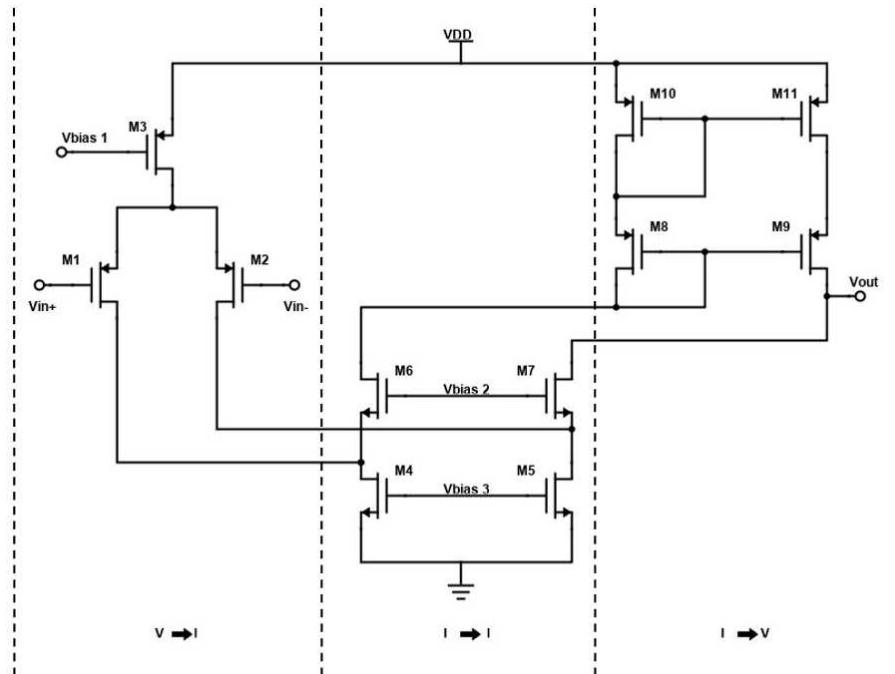


Figura 6 – Amplificador Operacional do Folded Cascode dividido em partes.

Fonte – Adaptado do (ALLEN; DOBKIN; HOLBERG, 2011).

A primeira parte é a entrada diferencial e, durante esta parte, as tensões de entrada são convertidas em correntes. Os transistores M1 e M2 juntamente com os transistores da segunda parte servem como uma cascata de transcondutância diferencial, convertendo assim a corrente produzida pelo primeiro estágio em mais corrente. Isto é baseado na polarização pelas tensões de polarização $Vbias\ 2$ e $Vbias\ 3$. O estágio final é uma carga espelhada de corrente cascode (serve como uma carga resistiva) que converte a corrente gerada na segunda parte de volta em tensão (ALLEN; DOBKIN; HOLBERG, 2011).

3.1.3 Calculos Teóricos

Na figura 7 mostra o esquemático do amplificador operacional de folded cascode implementado neste projeto. Neste circuito, M1 e M2 são os transistores de entrada diferenciais, o transistor M3 fornece corrente de polarização de entrada para M1 e M2. M6 e M7 são os transistores em cascode dos transistores de entrada, e os transistores de M8 a M11 formam o espelho de corrente de cascode. Finalmente, os transistores de M12 a M18 compõem o circuito de polarização, fornecendo corrente e tensões de polarização para a parte principal do circuito. (RU, 2010)

Para simplificar o cálculo, será presumido que a relação largura e comprimento dos transistores MOS é S , a relação entre S , W e L pode ser vista na equação 3.1.

$$S_n = \left(\frac{W}{L}\right)_n \quad (3.1)$$

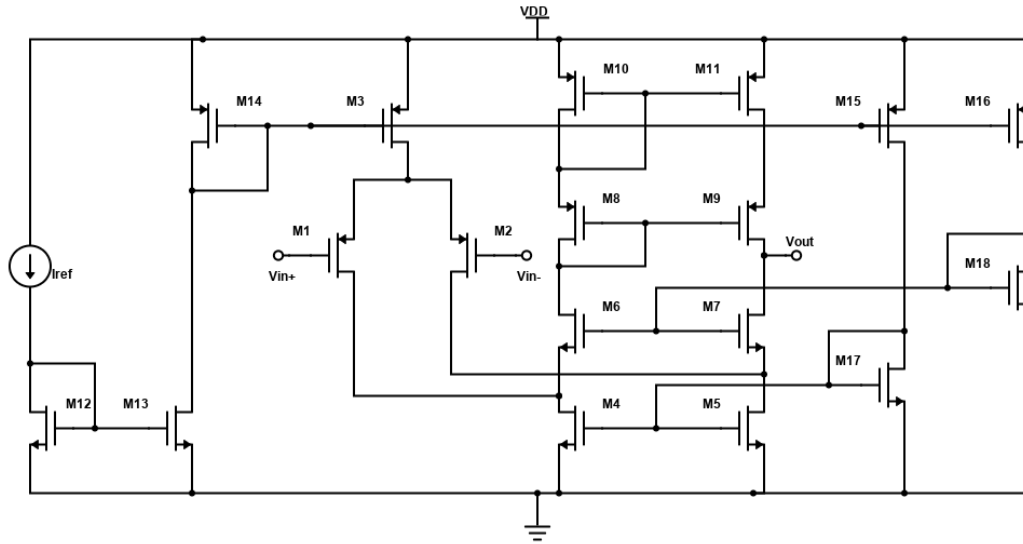


Figura 7 – Amplificador Operacional de *folded cascode* usado.

Fonte – Adaptado do (ALLEN; DOBKIN; HOLBERG, 2011).

Devido ao Slew Rate escolhido, a corrente I_3 , que é a produzida por M3, pode ser calculada utilizando a equação 3.2. Onde C_L é considerado o capacitor de carga do amplificador.

$$I_3 = SR \times C_L \quad (3.2)$$

Depois de conhecer o valor da corrente I_3 , os espelhos de corrente compostos pelos transistores M12, M13, M14, M15 e M16 na figura 7 podem ser dimensionados usando a equação 3.3 para espelho de corrente. A figura 8 mostra um esquemático de um espelho de corrente.

$$I_{out} = \frac{S_2}{S_1} \cdot I_{ref} \quad (3.3)$$

Os transistores de entrada M1 e M2 definem a largura de banda de ganho do amplificador, portanto com as especificações fornecidas na tabela 1. Os tamanhos dos transistores podem ser calculados usando a relação entre S_1 , S_2 e largura de banda de ganho GBW , C_L , I_3 na equação 3.4.

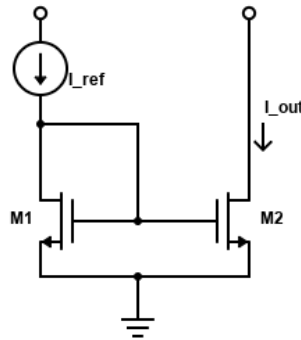


Figura 8 – Espelho de Corrente

Fonte – Adaptado do (RAZAVI, 2021).

$$S_1 = S_2 = \frac{GBW^2 \cdot C_L^2}{\mu_p \cdot C_{ox} \cdot I_3} \quad (3.4)$$

Neste ponto, sabendo a quantidade de corrente que deve passar por cada parte do circuito, os tamanhos dos demais transistores podem ser calculados usando a equação 3.5 apresentada em baixo.

$$S_n = \frac{2I_n}{\mu_{p/n} \cdot C_{ox} \cdot V_{DSn}} \quad (3.5)$$

3.2 Elemento de passagem

O transistor usado como elemento de passagem geralmente é muito grande, o motivo de seu grande tamanho é a passagem de mais corrente. O tamanho depende principalmente da corrente necessária para a carga. Por causa disso, quanto maior a quantidade de corrente necessária, maior o tamanho do transistor e vice-versa. O elemento de passagem pode ser um PMOS ou um NMOS. A geração de um sinal de acionamento positivo torna-se muito difícil em baixas tensões de entrada. Na criação de um *LDO*, existem dois fatores que devem ser considerados durante a seleção do elemento de passagem, esses fatores são a tensão de Dropout e a corrente de terra. O PMOS é conhecido por ter um desempenho melhor nessas duas condições do que o NMOS, por esse motivo, o PMOS é escolhido para a implementação do elemento de passagem (KING, 2000).

Então, para o melhor dimensionamento do elemento de passagem foram considerados os parâmetros de projeto apresentados na tabela 2.

Especificações	Valor	Unidade
V_{in}	1,8 - 2,5	V
V_{out}	0,8	V
I_{Lmax}	200	mA
I_{Lmin}	20	mA

Tabela 2 – Tabela de Especificação de projeto para o elemento de passagem.

Fonte – Autoria Própria.

3.3 Realimentação Negativa

A regulação de linha é uma medida da capacidade de um circuito de manter a tensão de saída especificada com tensão de entrada variável, e para que isso seja possível é necessária a realimentação negativa. A equação 3.6 mostra como a regulação da linha pode ser definida (LEE, 1999).

$$\frac{\Delta V_0}{\Delta V_I} \quad (3.6)$$

A alteração da tensão de saída para uma determinada alteração da tensão de entrada (mostrada na equação 3.6) pode ser calculada com a equação mostrada na equação 3.7. Onde G é o *loop gain* de corrente, R_{ds} é o resistor equivalente entre a fonte e o dreno do elemento de passagem e R_{eq} é o resistor de saída equivalente (LEE, 1999).

$$R_{eq} = (R_1 + R_2) || R_L \approx R_L$$

$$\begin{aligned} V_0 &= \frac{V_I R_{eq}}{R_{ds} + R_{eq}} - \Delta V_0 = \frac{V_I R_{eq}}{R_{ds} + R_{eq}} - \Delta I_0 R_{eq} \\ &= \frac{V_I R_{eq}}{R_{ds} + R_{eq}} - G(V_s - V_{ref} R_{eq}) \end{aligned} \quad (3.7)$$

$$V_s = \frac{R_2}{R_1 + R_2} V_0 \quad (3.8)$$

Substituindo 3.8 no 3.7,

$$v_0 = \frac{\frac{R_{eq}(R_1+R_2)}{R_{ds}+R_{eq}}v_I + (R_1 + R_2)GV_{ref}R_{eq}}{R_1 + R_2 + GR_2R_{eq}} \quad (3.9)$$

Depois de simplificar a equação 3.9, temos

$$V_0 = \frac{(R_1 + R_2)}{GR_2(R_{ds} + R_{eq})}V_I + \frac{(R_1 + R_2)}{R_2}V_{ref} \quad (3.10)$$

onde a equação 3.11 mostra a saída do *LDO* em relação à tensão de referência e aos resistores (R_1 e R_2). V_0 representa a tensão de saída e V_{ref} representa a tensão de referência.

$$V_0 = \frac{(R_1 + R_2)}{R_2} V_{ref} \quad (3.11)$$

A equação 3.11 também pode ser usada para calcular as relações entre os dois resistores para usar como a divisão de tensão para a tensão de realimentação negativa do *LDO*. Assumindo o valor de R_1 como $10K$ e já conhecendo os valores de V_0 e V_r , o valor do R_2 pode ser encontrado como,

$$0,8V = \frac{(10K + R_2)}{R_2} \cdot 0,7$$

$$R_2 = 70K$$

(LEE, 1999)

É importante uma resistência alta para um baixo consumo de potência, e que ao mesmo tempo não comprometa espaço do chip.

3.4 Compensação em frequência

A estabilidade é um fator muito importante na hora de projetar um *LDO*. Como há um loop de realimentação, isso geralmente causa problemas de estabilidade e, às vezes, pode deixar a tensão de saída oscilando. Como não é necessária uma tensão oscilante na saída, um capacitor é adicionado e seu polo é ajustado, estabilizando assim o *LDO*. Um regulador estável irá produzir respostas bem controladas e suaves diante de transitórios de linha ou carga. Quando a margem de fase é baixa, a saída sofre de grandes overshoots. Quando a margem de fase é alta, a saída tem um longo tempo de acomodação.

Existem diversas formas de compensação de frequência, mas a utilizada neste projeto é aquela que utiliza o resistor série equivalente (ESR) com um capacitor externo ao regulador. O resistor ESR junto com o capacitor de carga é usado para compensar o primeiro polo não dominante, a fim de obter uma saída estável (HUANG; LU; LIU, 2006). O resistor ESR adiciona um zero antes do ponto de ganho-banda. As equações para cálculo de zeros e polos que são utilizadas para compensações podem ser vistas nas equações 3.12, 3.13, e 3.14. O resistor ESR e o capacitor C_0 podem ser vistos na figura 9.

$$\omega_{P1} = \frac{1}{(R_{OUT} \cdot R_{ESR}) \cdot C_0} \quad (3.12)$$

$$\omega_{P2} = \frac{1}{R_{OEA} \cdot C_{1e}} \quad (3.13)$$

$$\omega_Z = \frac{1}{(R_C C_0)} \quad (3.14)$$

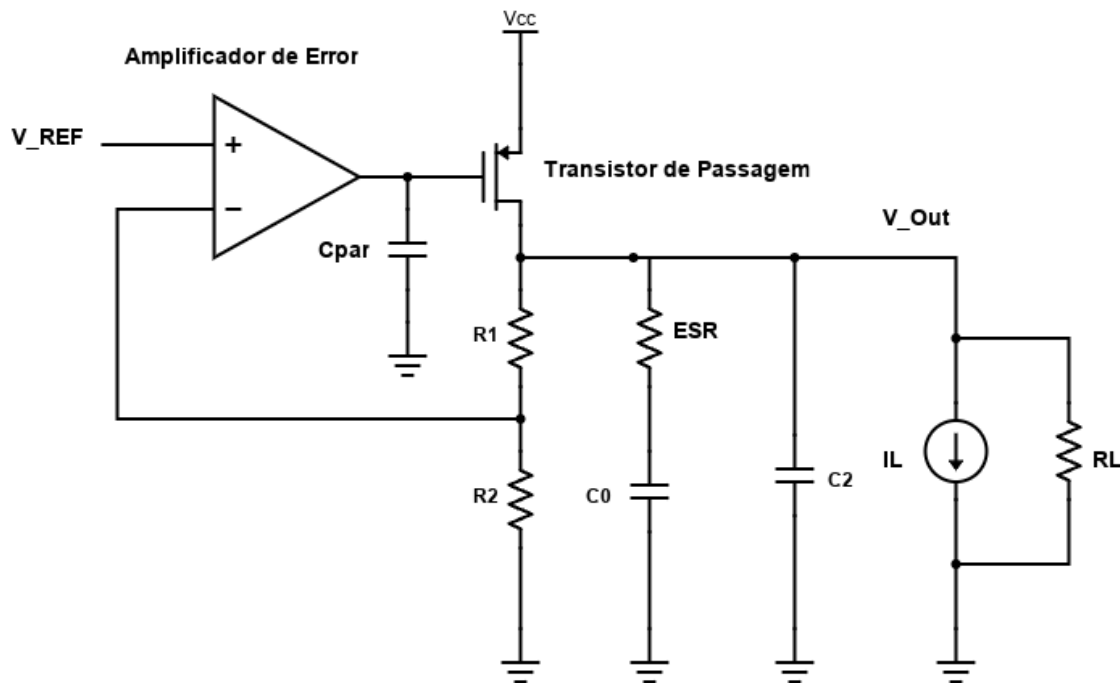


Figura 9 – Esquemático de um *LDO*

Fonte – Adaptado de (TORRES et al., 2014)

3.5 Eficiência

Como regulador de tensão, é muito importante que se conheça a eficiência do *LDO*. Em eletrônica de potência, sabe-se que qualquer regulador de tensão não funciona com eficiência de 100%. A eficiência de um regulador *LDO* é limitada pela corrente quiescente do elemento de passagem (I_q) e tensão de entrada e saída. Isso pode ser calculado usando a equação 3.15. Para ter uma eficiência alta, a corrente quiescente precisa ser minimizada (LEE, 1999).

$$Eficiência = \frac{I_0 V_0}{(I_0 + I_q) V_I} \times 100 \quad (3.15)$$

4 Resultados e Discussão

Todos os resultados obtidos após a implementação do projeto implementado teoricamente no capítulo anterior são analisados neste capítulo. Estes resultados foram obtidos usando a ferramenta ou *Software* com o nome *Cadence Virtuoso* para simulações de *EDA* com base nos parâmetros calculados. Estes incluíram todos os parâmetros importantes que devem ser considerados ao projetar um amplificador operacional ou um regulador *LDO* como, o tamanho de cada transistor, o ganho e a fase do bloco projetado (sendo o *OPAMP* ou o *LDO*), a capacidade de rejeitar ruído da fonte de alimentação e entre outros parâmetros importantes a serem considerados.

4.1 Amplificador de Erro

O principal componente de um *LDO* é o Amplificador de Erro. Sua principal função é verificar a diferença entre a tensão de referência e a realimentação, a partir disso produz a tensão correta para a porta do elemento de passagem para produzir a tensão de saída e a corrente necessária. Conforme afirmado no capítulo anterior, o amplificador utilizado é um *Folded Cascode* de um estágio. Este amplificador é muito conhecido por seus altos ganhos e também por PSRR. O ganho é de $83,43dB$, a largura de banda é a margem de fase é de $89,55^\circ$ e o consumo de corrente é de $138,3\mu A$ quando a fonte de alimentação está em $2,5V$.

Na tabela 3 mostra uma comparação entre os valores das especificações que se esperava alcançar ao final do projeto e os valores que foram efetivamente obtidos após a implementação e simulação do circuito.

Especificação	Valor Esperado	Valor de Resultados
Ganho	$\geq 80dB$	$83,43dB$
Largura de Banda do Ganho	$\geq 5MHz$	$5MHz$
Margem de fase	90°	$89,55^\circ$
ICMR	$\geq \pm 1.5V$	$3,2 V$
CMRR	$\leq -60dB$	$-63,65dB$
PSRR	$\leq -60dB$	$-84,22dB$

Tabela 3 – Tabela de comparação da especificação com os resultados obtidos do Amplificador de *Folded Cascode*

Após cálculos e simulações, a tabela 4 mostra a relação de $\frac{w}{l}$ ou S de cada transistor que é necessária para atingir as especificações desejadas.

CMOS	S
M1 e M2	16
M3 e M12	8
M4, M5, M13 e M14	32
M6 e M7	20
M8 e M9	60
M10 e M11	80
M15 e M17	3
M16	27
M18	8

Tabela 4 – Tabela para mostrar a relação de S para cada transistor usado no amplificador

Fonte – Autoria Própria.

4.1.1 Corners

As figuras 10, 11, 12, e 13 abaixo mostram a simulação de alguns parâmetros importantes exigidos de um amplificador operacional que é usado para criar um LDO. Esses gráficos foram gerados através de uma simulação de *corners*, a partir da qual a cor no gráfico representa um dos 5 *corners* conforme indicado no capítulo 1.

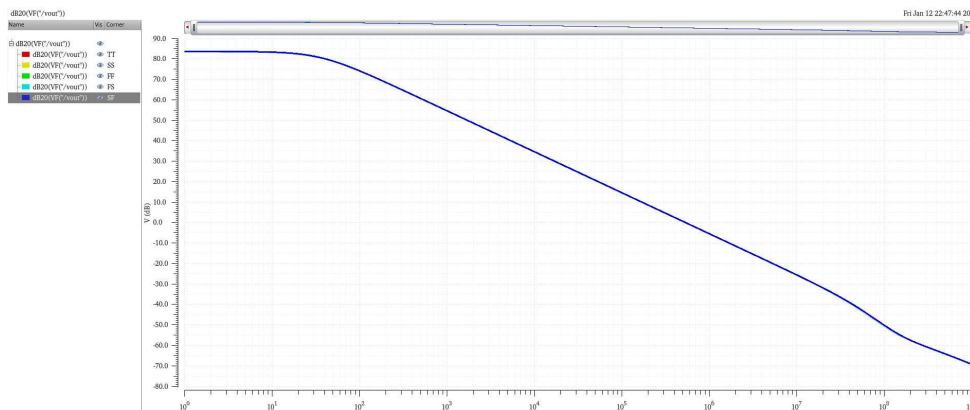


Figura 10 – Simulação de *Corners* de Ganho do Amplificador de Erro

Fonte – Autoria Própria.

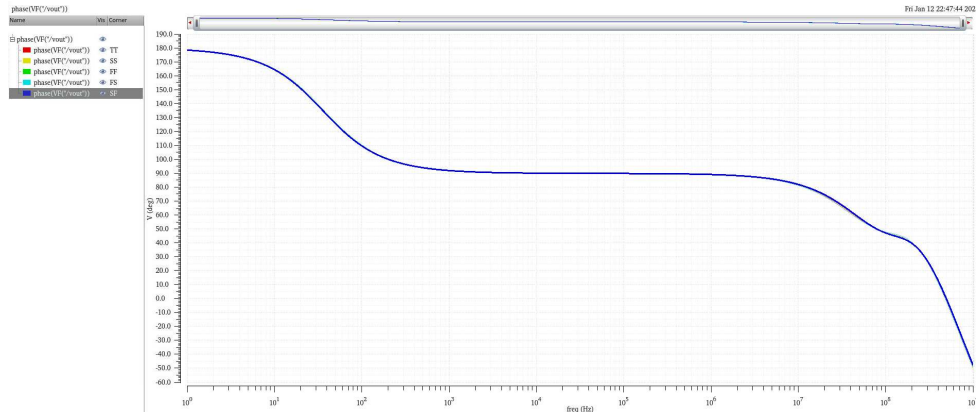


Figura 11 – Simulação de Corners de Fase do Amplificador de Erro

Fonte – Autoria Propria.

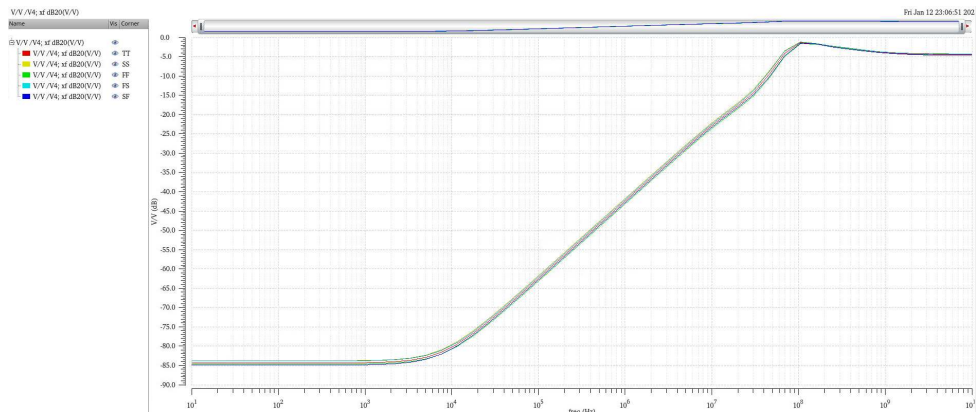


Figura 12 – Simulação de Corners de PSRR do Amplificador de Erro

Fonte – Autoria Propria.

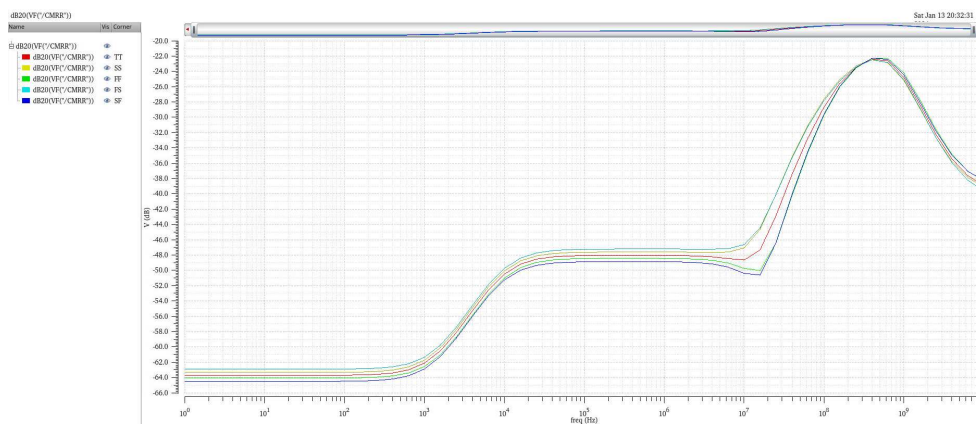


Figura 13 – Simulação de Corners de CMRR do Amplificador de Erro

Fonte – Autoria Propria.

4.1.2 Layout

Para iniciar a criação do layout todos os componentes utilizados no esquemático criado deverão ser importados para o ambiente de criação do *Layout* (*Layout XL*).

Os *Dummies* foram usados durante o processo de layout como pode ser visto na figura 14. No processo de fabricação pode haver alguma variação e também algumas heterogeneidades perto dos limites de certos grupos correspondentes (alguns exemplos típicos são os espelhos de correntes e os *matching groups*) e isso pode levar a incompatibilidades (*mismatches*). Para resolver esses problemas, são utilizados *dummies* no *Layout*. Os *Dummies* garantem que os transistores dos mesmos grupos correspondentes experimentem as mesmas condições (LIENIG; SCHEIBLE, 2020).

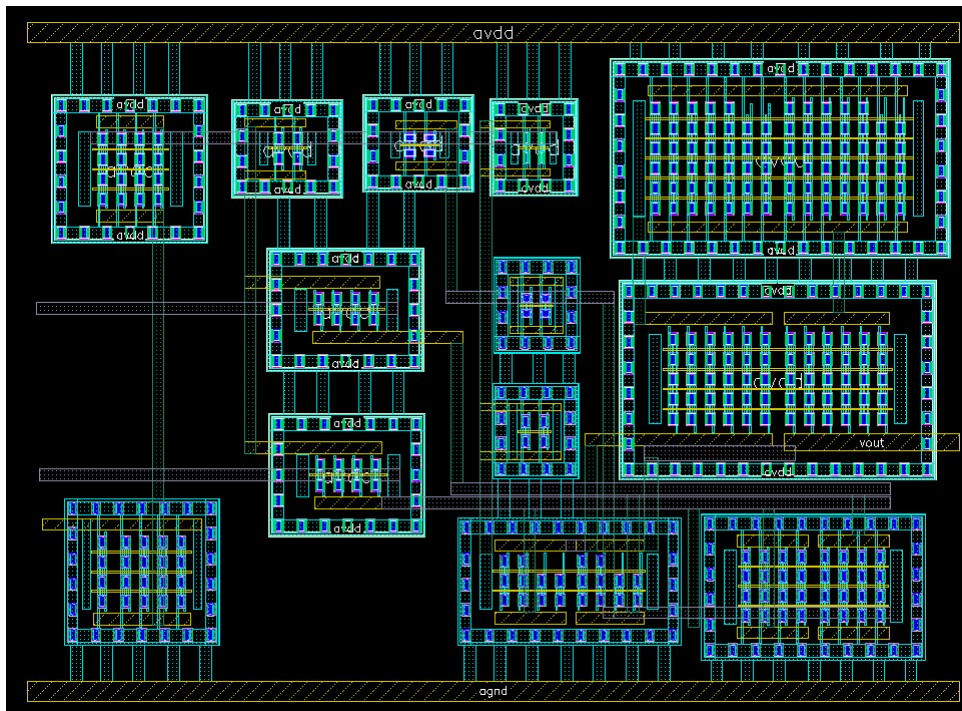


Figura 14 – *Layout* do Amplificador de Erro

Fonte – Autoria Propria.

4.2 Elemento de Passagem

Como já foi discutido, a escolha do elemento de passagem é muito importante pois afeta diretamente a tensão de queda. Também o transistor PMOS foi escolhido devido ao seu bom desempenho, sua velocidade de operação e sua baixa tensão de dropout. Neste projeto, o PMOS foi utilizado no formato de fonte comum. Devido à grande quantidade de corrente que deve passar por ele (de acordo com as especificações, são 200mA), seu comprimento é muito grande para que a corrente suficiente necessária possa passar com muita facilidade.

Especificação	Valor
Largura	$2\mu\text{m}$
Comprimento	$2000\mu\text{m}$

Tabela 5 – Tabela para mostrar os comprimentos do elemento de passagem

Fonte – Autoria Própria.

4.2.1 Layout

Como que a tecnologia usada no projeto tem um comprimento muito limitado e o comprimento do elemento de passagem é muito grande. O multiplicador foi usado para chegar ao comprimento desejado. O multiplicador coloca os transistores em modo paralelo, aumentando assim seu comprimento.

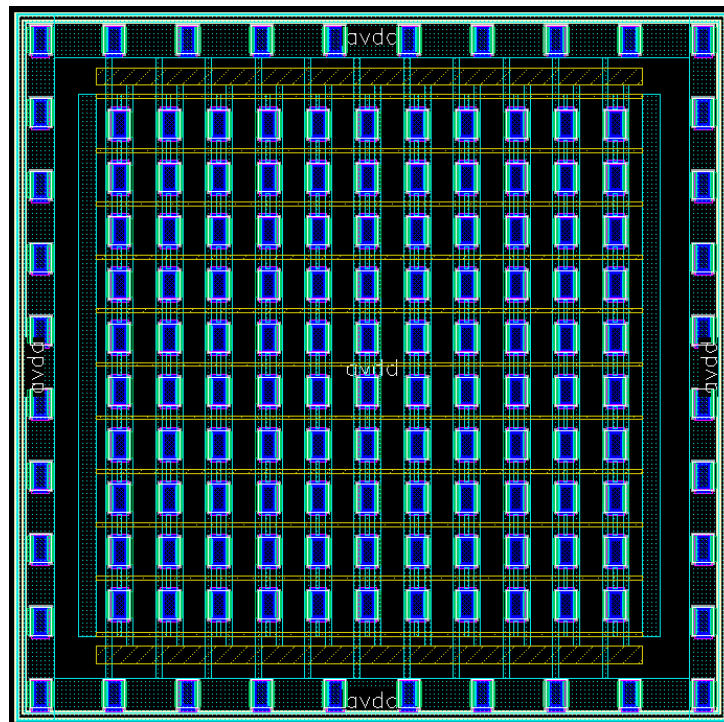


Figura 15 – Layout do Elemento de Passagem com 100 transistores

Fonte – Autoria Propria.

Conforme apresentado na figura 15, a imagem mostra o layout para 100 transistores. Para atingir o comprimento desejado conforme mostrado na tabela 5, o layout dos 100 transistores na figura 15 é instanciado 20 vezes, como pode ser visto na figura 16

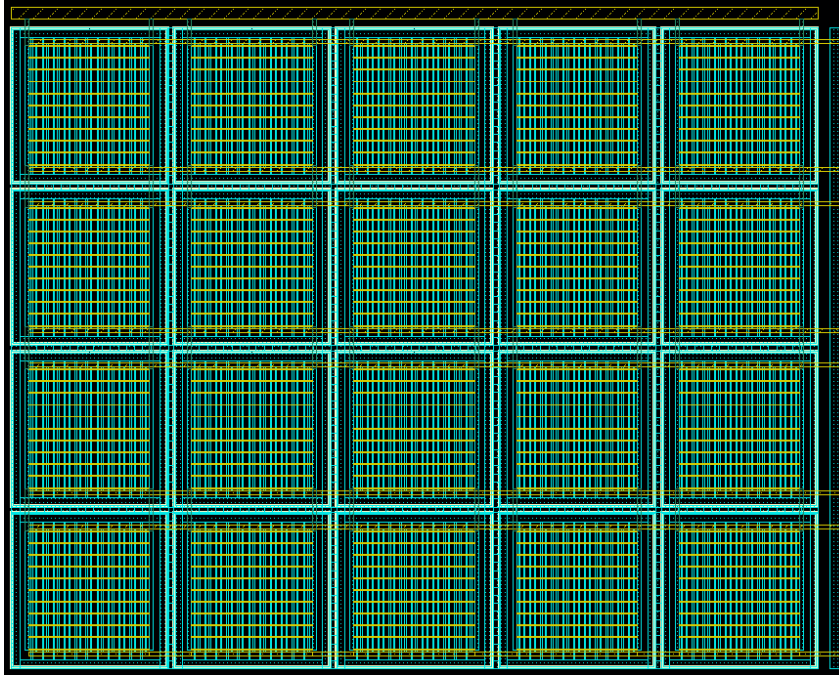


Figura 16 – *Layout* do Elemento de Passagem com 2000 transistores

Fonte – Autoria Propria.

4.3 Realimentação Negativa

Os valores de cada um dos dois resistores utilizados para criação da realimentação negativa foram calculados no capítulo anterior. Seus valores são $10K\Omega$ e $70K\Omega$. Valores diferentes significam tamanhos de resistores diferentes, mas para poder ter um casamento (*good matching*) melhor entre os resistores, de acordo com (LIENIG; SCHEIBLE, 2020), os resistores devem ter o mesmo comprimento (L) como que está mostrado na figura 17.

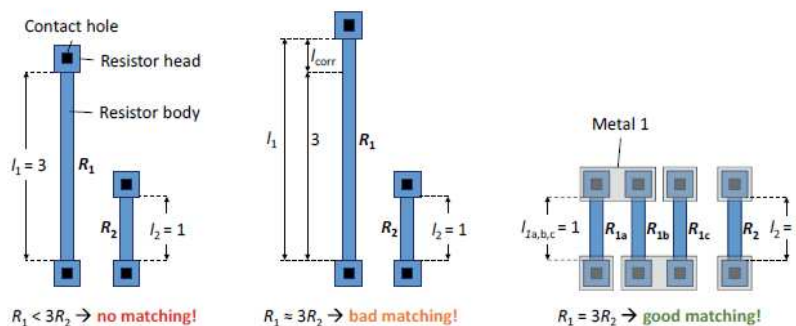


Figura 17 – Imagem para mostrar *good matching* no *Layout* de resistores.

Fonte – Adaptado de (LIENIG; SCHEIBLE, 2020).

Pela razão acima, o resistor R_2 de $70K\Omega$ é dividido em 7 partes iguais para fazer *good matching* com o resistor R_1 conforme mostrado na figura 18. A partir daqui foi criado o layout dos resistores utilizados para a realimentação negativa visto na figura 19

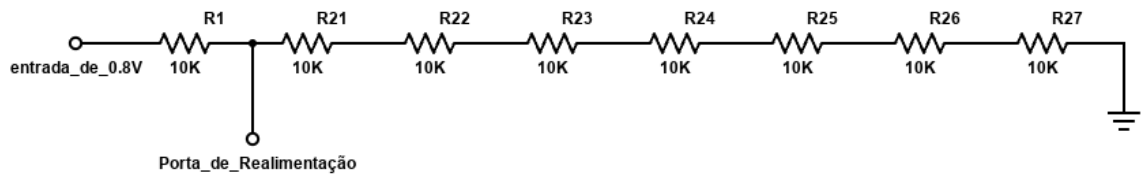


Figura 18 – Esquemático dos resistores de realimentação negativa.

Fonte – Adaptado de (LIENIG; SCHEIBLE, 2020).

4.3.1 Layout

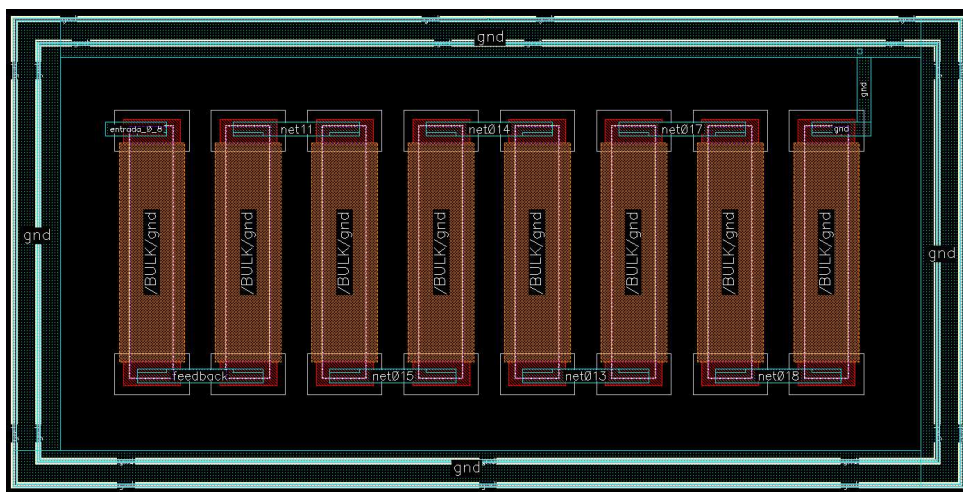


Figura 19 – Layout dos resistores de realimentação negativa.

Fonte – Autoria Propria.

4.4 LDO

Usando as três partes principais (que são o elemento de passagem, o amplificador de erro e a rede de realimentação negativa) apresentadas antes desta seção, o LDO é criado. Mesmo que o consumo de corrente do LDO dependa principalmente de sua carga de resistência (R_{CARGA}), tem um consumo de potência muito baixo considerando que a fonte de corrente é desligada usando o pino de *power down* quando habilitado.

4.4.1 Corners

Todo sistema em malha fechada possui uma característica chamada ganho de malha. A partir do gráfico de *loopgain*, a estabilidade do sistema pode ser analisada, principalmente pela observação dos zeros e pólos. Devido ao tipo de amplificador utilizado, durante a análise de estabilidade do *LDO*, o *LDO* pareceu ser muito estável com um *loopgain* de 108,6dB e uma margem de fase de 86,43° como apresentado nas figuras 20 e 21.

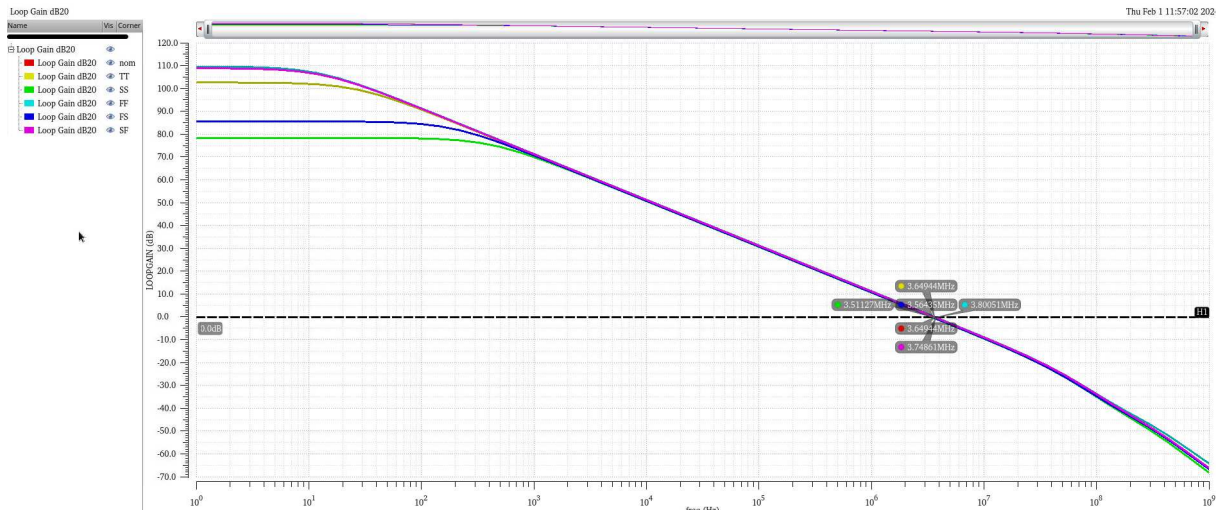


Figura 20 – Simulação de *loopgain* do *LDO*.

Fonte – Autoria Propria.

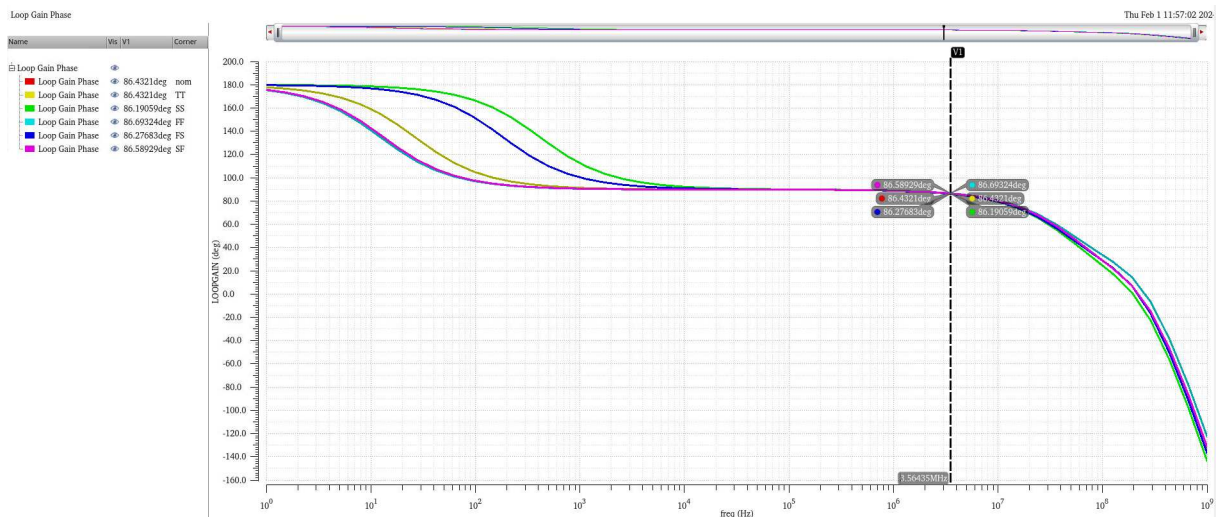


Figura 21 – Simulação do fase do *LDO*.

Fonte – Autoria Propria.

A figura 22 mostra o comportamento do *LDO*. Como pode ser visto na figura, um sinal de entrada transitório simulado é aplicado ao circuito e produz uma tensão de saída de 0,8V e uma corrente máxima de 200mA conforme indicado na especificação.

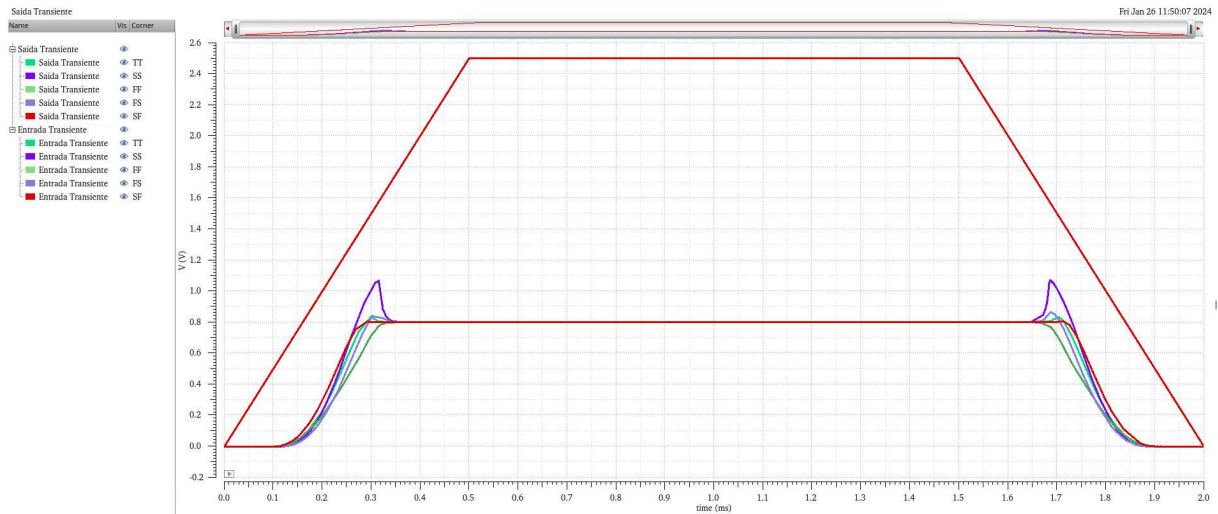


Figura 22 – Simulação transiente do *LDO* em *corners*.

Fonte – Autoria Propria.

4.4.2 Layout

Após confirmado o funcionamento da *LDO* por meio de simulações, é criado o layout. O layout é feito juntando os *layouts* individuais que foram feitos, como o do amplificador, elemento de passagem e rede de realimentação.

As ferramentas de *Calibre*, o *DRC* e o *LVS* são usadas para verificar as regras de *design* e o esquemático *vs* *layout*, respectivamente. Conforme mostrado nas figuras 24 e 25, o layout feito (mostrado na figura 23) passou nesses testes. O Layout mostrado na figura 23 está com os blocos não interconectados entre si.

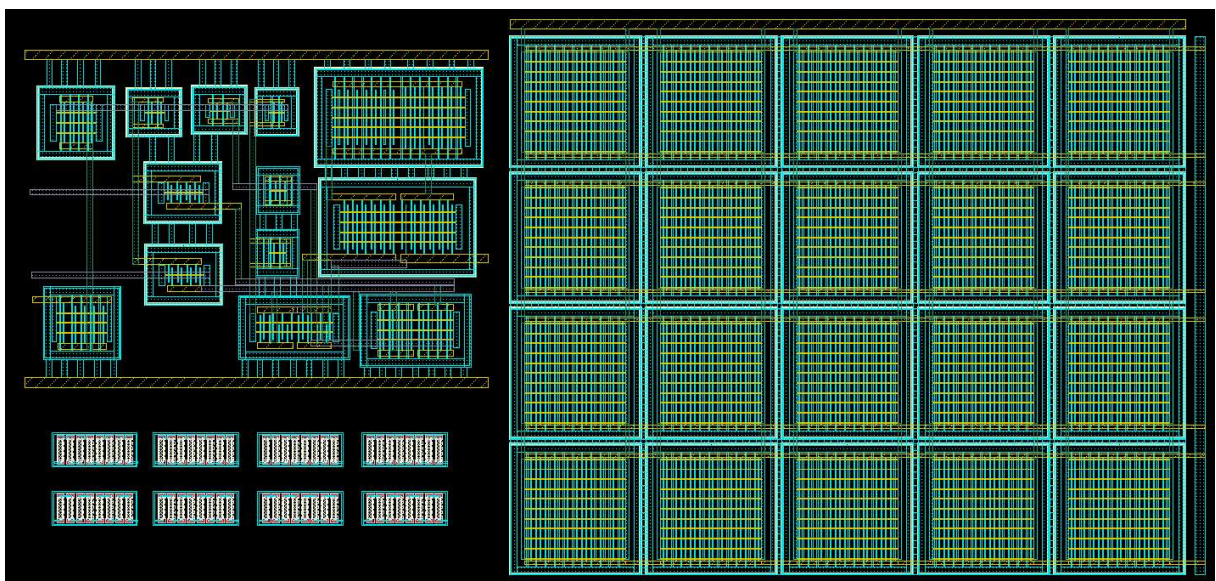


Figura 23 – *Layout* do *LDO*.

Fonte – Autoria Propria.

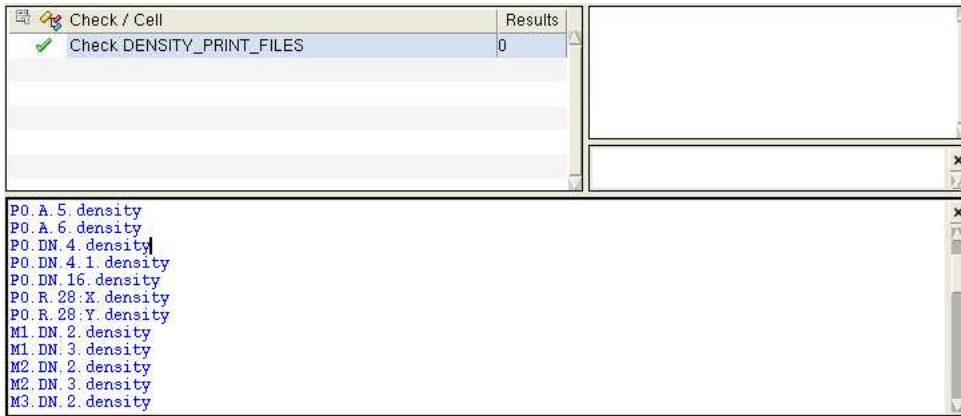


Figura 24 – Verificação do *Design Rule Check* do *Layout* do *LDO*.

Fonte – Autoria Propria.

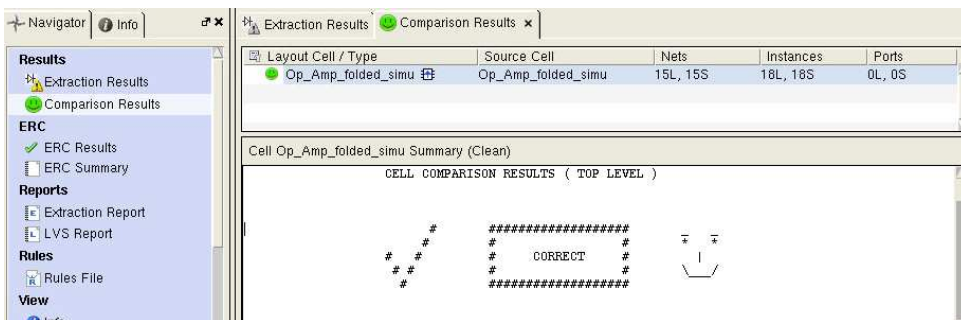


Figura 25 – Verificação do *Layout Vrs Schematic* do *Layout* do *LDO*.

Fonte – Autoria Propria.

5 Conclusão

Este trabalho apresentou um projeto de um regulador de tensão do tipo *LDO*, que fornece uma tensão de saída de 0,8V e uma corrente de muximum de 200mA. O projeto foi criado com a tecnologia CMOS de 22 nm do *TSMC* com o objetivo de criar um chip que será usado para fins de *IoT*. O regulador foi criado com as especificações como os principais objetivos a serem alcançados. É suposto ter baixo consumo de energia, produzir uma saída estável de 0,8V para uma faixa de tensão de entrada de 1,5V a 2,5V.

Com o uso de um único estágio *folded cascode OPAMP*, uma vez que um único polo é gerado, isso causa menos problemas com problemas de estabilidade, fazendo com que o regulador forneça uma saída mais estável. Devido ao quão baixa é a tensão de saída, ela faz com que o regulador tenha uma tensão muito alta tensão de *dropout* em comparação com os *LDOs* que produzem uma tensão de saída de 1,2V para acima.

A limitação deste projeto é que ele não foi simulado com outros blocos como a fonte de corrente e a referência de tensão *bandgap*. Por esse motivo, é difícil prever como será o comportamento do circuito quando esses blocos forem adicionados. Por isso, avanços futuros neste projeto também focarão na funcionalidade do *LDO* quando um *bandgap* e uma fonte de corrente estiverem conectados a ele.

O circuito apresentado nesse trabalho será fabricado utilizando a tecnologia de *TSMC*, após a fabricação, o circuito será executado para avaliar e melhorar a sua funcionalidade e também quaisquer inconsistências futuras que possam surgir após o regulador ser testado fisicamente.

Referências

- ALLEN, P. E.; DOBKIN, R.; HOLBERG, D. R. *CMOS analog circuit design*. [S.l.]: Elsevier, 2011. Citado 3 vezes nas páginas 30, 31 e 32.
- CORTEZ, M. Projeto de um regulador de tensão em tecnologia cmos de 180 nm para circuitos biomédicos implantáveis que empregam transferência de energia sem fio (wpt). Universidade Federal do Pampa, 2017. Citado na página 26.
- HUANG, W.-J.; LU, S.-H.; LIU, S.-I. A capacitor-free cmos low dropout regulator with slew rate enhancement. In: IEEE. *2006 International Symposium on VLSI Design, Automation and Test*. [S.l.], 2006. p. 1–4. Citado na página 35.
- KING, B. M. Advantages of using pmos-type low-dropout linear regulators in battery applications. *Analog Applications*, 2000. Citado na página 33.
- KUGELSTADT, T. Fundamental theory of pmos low-dropout voltage regulators. *Texas Instruments Application Report*, p. 1–6, 1999. Citado na página 23.
- LEE, B. S. Technical review of low dropout voltage regulator operation and performance. *Application Report..... slva072*, 1999. Citado 3 vezes nas páginas 34, 35 e 36.
- LEE, B. S. et al. Understanding the terms and definitions of ldo voltage regulators. *Texas Instruments Inc., SLVA079, Dallas, TX, USA*, 1999. Citado 2 vezes nas páginas 26 e 27.
- LIENIG, J.; SCHEIBLE, J. *Fundamentals of layout design for electronic circuits*. [S.l.]: Springer, 2020. Citado 3 vezes nas páginas 40, 42 e 43.
- MILLIKEN, R. J.; SILVA-MARTÍNEZ, J.; SÁNCHEZ-SINENCIO, E. Full on-chip cmos low-dropout voltage regulator. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 54, n. 9, p. 1879–1890, 2007. Citado 3 vezes nas páginas 23, 24 e 25.
- RAZAVI, B. *Fundamentals of microelectronics*. [S.l.]: John Wiley & Sons, 2021. Citado na página 33.
- RU, B. Design of a low-power operational amplifier for real-time signal processing system of microsensor. In: IEEE. *2010 International Conference on E-Product E-Service and E-Entertainment*. [S.l.], 2010. p. 1–3. Citado na página 31.
- TORRES, J. et al. Low drop-out voltage regulators: Capacitor-less architecture comparison. *IEEE Circuits and Systems Magazine*, v. 14, n. 2, p. 6–26, 2014. Citado 3 vezes nas páginas 25, 29 e 36.
- WESTE, N. H.; ESHRAGHIAN, K. *Principles of CMOS VLSI design: a systems perspective*. [S.l.]: Addison-Wesley Longman Publishing Co., Inc., 1985. Citado 2 vezes nas páginas 27 e 28.