



Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica

Projeto de um Bandgap e Referência de corrente para um microcontrolador de 32bits para uso em aplicações de Internet das Coisas e eletrônica de consumo.

Autor: Gabriel Mendanha da Costa
Orientador: Sandro Augusto Pavlik Haddad

Brasília, DF
2023



Gabriel Mendanha da Costa

Projeto de um Bandgap e Referência de corrente para um microcontrolador de 32bits para uso em aplicações de Internet das Coisas e eletrônica de consumo.

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Sandro Augusto Pavlik Haddad

Brasília, DF

2023

Gabriel Mendanha da Costa

Projeto de um Bandgap e Referência de corrente para um microcontrolador de 32bits para uso em aplicações de Internet das Coisas e eletrônica de consumo./ Gabriel Mendanha da Costa. – Brasília, DF, 2023-

84 p. : il. (algumas color.) ; 30 cm.

Orientador: Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB
Faculdade UnB Gama - FGA , 2023.

1. Palavra-chave01. 2. Palavra-chave02. I. Sandro Augusto Pavlik Haddad. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Projeto de um Bandgap e Referência de corrente para um microcontrolador de 32bits para uso em aplicações de Internet das Coisas e eletrônica de consumo.

CDU 02:141:005.6

Gabriel Mendanha da Costa

Projeto de um Bandgap e Referência de corrente para um microcontrolador de 32bits para uso em aplicações de Internet das Coisas e eletrônica de consumo.

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Trabalho aprovado. Brasília, DF, 27 de Julho de 2023:

Sandro Augusto Pavlik Haddad
Orientador

Wellington Avelino do Amaral
Convidado 1

Yuri Cesar Rosa De Toledo
Convidado 2

Brasília, DF
2023

Dedico este trabalho ao meu pai, sendo exemplo de superação a cada dia, me ensinando passo a passo a ser um grande homem, mesmo com tantas dificuldades após o COVID.

Tenho orgulho de ser seu filho.

Agradecimentos

Agradeço primeiramente à Deus. A Ele seja dada toda honra, glória e louvor. Agradeço também a toda minha família e minha namorada que sempre me deram o apoio e forças para perseverar.

*“Não vos amoldeis às estruturas deste mundo,
mas transformai-vos pela renovação da mente,
a fim de distinguir qual é a vontade de Deus:
o que é bom, o que Lhe é agradável, o que é perfeito.*

(Bíblia Sagrada, Romanos 12, 2)

"O amor é necessário para todos"

Resumo

A referência Bandgap é um circuito eletrônico que gera uma tensão de referência estável independente de variações de temperatura e de tensão de alimentação. Este trabalho apresenta uma visão geral das técnicas utilizadas para o projeto e implementação de referência Bandgap. Para isto, serão apresentados os principais conceitos para que seja possível a implementação de uma referência Bandgap desde os blocos mais básicos até o seu projeto final. Dentre estes blocos básicos a serem implementados estão um amplificador operacional de alto ganho para fazer a função de amplificador de erro, e uma fonte de corrente com uma boa robustez. Por fim, serão feitas simulações e serão coletados resultados para a validação deste circuito para uma possível fabricação.

Palavras-chaves: Bandgap, temperatura, tensão, corrente, variação.

Abstract

The Bandgap reference is an electronic circuit that generates a stable reference voltage independent of temperature and supply voltage variations. This work provides an overview of the techniques used for the design and implementation of Bandgap references. To achieve this, the main concepts for implementing a Bandgap reference, from the basic blocks to the final design, will be presented. Among these basic blocks to be implemented are a high-gain operational amplifier to perform the error amplifier function, and a current source with good robustness. Finally, simulations will be performed and results will be collected to validate this circuit for potential fabrication.

Key-words:Bandgap, temperature, voltage, current, variation.

Lista de ilustrações

Figura 1 – Representação de um Amplificador operacional ideal Fonte: (ALLEN; HOLBERG, 2011)	20
Figura 2 – Comportamento de um Amplificador operacional ideal. Fonte: (ALEXANDER; SADIKU; NASCIMENTO, 2013)	21
Figura 3 – Resposta em frequência de malha aberta de um AmpOp Fonte: (ALLEN; HOLBERG, 2011)	22
Figura 4 – Tempo de estabilização. Fonte: (ALLEN; HOLBERG, 2011)	22
Figura 5 – CMRR em um amplificador diferencial. Fonte: (BAKER; LI; BOYCE, 1998)	23
Figura 6 – margem de fase. Fonte: (BAKER; LI; BOYCE, 1998)	24
Figura 7 – Amplificador diferencial. Fonte: (RAZAVI, 2001)	24
Figura 8 – <i>Mirror pole</i> . Fonte: (RAZAVI, 2001)	25
Figura 9 – Amplificador <i>telescopic</i> . Fonte: (RAZAVI, 2001)	26
Figura 10 – Amplificador <i>Folded Cascode</i> . Fonte: (RAZAVI, 2001)	27
Figura 11 – Conversão para <i>Folded cascode</i> . Fonte: (RAZAVI, 2001)	28
Figura 12 – Conversão para <i>Folded cascode</i> . Fonte: (RAZAVI, 2001)	28
Figura 13 – Amplificador <i>Symmetrical OTA</i> . Fonte: (STORNELLI; FERRI; MARCELLIS, 2007)	29
Figura 14 – Amplificador <i>Symmetrical Cascode OTA</i> . Fonte: (MINAEI et al., 2003)	30
Figura 15 – Amplificador de dois estágios. Fonte: (ALLEN; HOLBERG, 2011)	31
Figura 16 – Obtenção da corrente por meio da queda de tensão de um resistor. Fonte: (RAZAVI, 2001)	32
Figura 17 – Circuito para tornar a corrente independente de VDD. Fonte:(RAZAVI, 2001)	32
Figura 18 – Resposta da referência. Fonte: <i>Bandgap</i> (RAZAVI, 2001)	33
Figura 19 – Topologia de fonte de corrente ΔV_{BE} -Based. Fonte: (LEE; SÁNCHEZ-SINENCIO, 2021)	34
Figura 20 – Topologia de fonte de corrente ΔV_{BE} -Based. Fonte: adaptado de (CHEN; SHI, 2003)	35
Figura 21 – Topologia de fonte de corrente. Fonte: (LEE; CHO, 2012)	36
Figura 22 – Resposta da referência. Fonte: <i>Bandgap</i> (ALLEN; HOLBERG, 2011)	37
Figura 23 – Exemplificação da aquisição da resposta PTAT. Fonte:(RAZAVI, 2001)	38
Figura 24 – <i>Bandgap</i> de Widlar. Fonte:(HARRISON, 2005)	40
Figura 25 – <i>Bandgap</i> de Brokaw. Fonte:(BROKAW, 1974)	41
Figura 26 – Referência <i>Bandgap</i> com três transistores PMOS. Fonte:(RAZAVI, 2001)	42

Figura 27 – Circuito de fonte de corrente com <i>startup</i> . Fonte:(BAKER; LI; BOYCE, 1998)	43
Figura 28 – Circuito de <i>startup</i> com fonte de corrente em um AmpOp Fonte:(LAI, 2017)	44
Figura 29 – Circuito <i>Low-voltage cascode current mirror</i> . Fonte:(RAZAVI, 2001) . .	45
Figura 30 – Circuito <i>Symmetrical cascode OTA PMOS</i> com <i>Low-voltage cascode current mirror</i> . Fonte: Autoria própria	46
Figura 31 – Circuito para polarização dos transistores do <i>Low-voltage cascode current mirror</i> . Fonte: Adaptado de (RAZAVI, 2001)	47
Figura 32 – <i>Symmetrical cascode OTA PMOS</i> implementado no projeto. Fonte:Autoria própria	48
Figura 33 – Fonte de corrente ΔV_{BE} Based a ser implementada. Fonte:Autoria própria	51
Figura 34 – Referência <i>Bandgap</i> sem a presença de um amplificador operacional. Fonte:Autoria própria	52
Figura 35 – <i>Corners</i> da Tecnologia. Fonte: (CHINAZZO, 2016) adaptado de (WESTE; HARRIS, 2011)	54
Figura 36 – Ganho do circuito <i>Symmetrical cascode OTA</i> da figura 32. Fonte:Autoria própria	56
Figura 37 – Margem de fase do circuito e produto ganho-banda <i>Symmetrical cascode OTA</i> da figura 32. Fonte:Autoria própria	57
Figura 38 – PSSR <i>Symmetrical cascode OTA</i> da figura 32. Fonte:Autoria própria . .	58
Figura 39 – ICMR <i>Symmetrical cascode OTA</i> da figura 32. Fonte:Autoria própria .	59
Figura 40 – CMRR <i>Symmetrical cascode OTA</i> da figura 32. Fonte:Autoria própria .	59
Figura 41 – Resposta da fonte de corrente implementada no <i>Cadence Virtuoso</i> . Fonte:Autoria própria	61
Figura 42 – Variação da fonte de alimentação na fonte de corrente Fonte:Autoria própria	62
Figura 43 – Resposta da fonte de corrente sem o circuito de <i>startup</i> . Fonte:Autoria própria	63
Figura 44 – Resposta da fonte de corrente com o circuito de <i>startup</i> . Fonte:Autoria própria	63
Figura 45 – Resposta da Referência <i>Bandgap</i> implementada no <i>Cadence Virtuoso</i> . Fonte:Autoria própria	64
Figura 46 – PSRR do <i>Bandgap</i> implementado no <i>Cadence Virtuoso</i> . Fonte:Autoria própria	65
Figura 47 – Variação do VDD do <i>Bandgap</i> implementado no <i>Cadence Virtuoso</i> . Fonte:Autoria própria	66
Figura 48 – Resposta da Referência <i>Bandgap</i> implementada no <i>Cadence Virtuoso</i> . Fonte:Autoria própria	67

Figura 49 – PSRR do <i>Bandgap</i> implementado no <i>Cadence Virtuoso</i> . Fonte:Autoria própria	68
Figura 50 – Variação do VDD do <i>Bandgap</i> implementado no <i>Cadence Virtuoso</i> . Fonte:Autoria própria	69
Figura 51 – Simulação de <i>corners</i> para variação da temperatura na configuração da figura 34. Fonte:Autoria própria	70
Figura 52 – Simulação de <i>corners</i> para PSRR na configuração da figura 34. Fonte:Autoria própria	70
Figura 53 – Simulação de <i>corners</i> para variação da alimentação na configuração da figura 34. Fonte:Autoria própria	71
Figura 54 – Simulação de <i>corner</i> para variação da temperatura na configuração da figura 26 (Com AmpOp). Fonte:Autoria própria	71
Figura 55 – Simulação de <i>corner</i> para PSRR na configuração da figura 26 (Com AmpOp). Fonte:Autoria própria	72
Figura 56 – Simulação de <i>corner</i> para variação da alimentação na configuração da figura 26 (Com AmpOp). Fonte:Autoria própria	72
Figura 57 – Simulação de <i>corner</i> TT de ganho do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	80
Figura 58 – Simulação de <i>corner</i> FF de ganho do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	80
Figura 59 – Simulação de <i>corner</i> SS de ganho do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	81
Figura 60 – Simulação de <i>corner</i> TT de PSRR do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	81
Figura 61 – Simulação de <i>corner</i> FF de PSRR do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	82
Figura 62 – Simulação de <i>corner</i> SS de PSRR do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	82
Figura 63 – Simulação de <i>corner</i> TT de CMRR do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	83
Figura 64 – Simulação de <i>corner</i> FF de CMRR do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	83
Figura 65 – Simulação de <i>corner</i> SS de CMRR do <i>Symmetrical Cascode OTA PMOS</i> . Fonte:Autoria própria	84

Lista de tabelas

Tabela 1 – Dimensões dos transistores usados	49
Tabela 2 – Dimensões das tensões de entrada do transistor	49
Tabela 3 – Especificações do <i>AmpOp</i>	50
Tabela 4 – Dimensões dos componentes utilizados	51
Tabela 5 – Dimensões dos componentes utilizados	53
Tabela 6 – Dimensões dos componentes utilizados	53
Tabela 7 – Especificações do <i>Bandgap</i>	54
Tabela 8 – Comparação com outros trabalhos	60
Tabela 9 – Comparação com outros trabalhos	69

Lista de símbolos

V_{BE}	Letra grega Gama
I_S	Corrente de saturação
V_T	Thermal Voltage
q	Carga do elétron
k	constante de Boltzmann
T	Temperatura
\ln	logarítmo natural
V_{BG}	Tensão de referência do Bandgap
$^{\circ}C$	Graus Celcius
K	Kelvin
I_{REF}	Corrente de referência

Sumário

1	INTRODUÇÃO	16
1.1	Contextualização	16
1.2	Justificativa	17
1.3	Objetivos	17
1.4	Metodologia	18
1.5	Organização do trabalho	18
2	REFERENCIAL TEÓRICO	20
2.1	Amplificador Operacional	20
2.1.1	Amplificador operacional ideal	20
2.1.2	Amplificador operacional real	21
2.1.3	Topologias de Amplificadores operacionais	24
2.2	Fonte de corrente	31
2.2.1	Topologias de fontes de corrente	33
2.3	<i>Bandgap</i>	37
2.3.1	Topologias de <i>Bandgap</i>	40
2.4	Circuito de <i>startup</i>	43
2.4.1	Topologias de circuito de <i>startup</i>	43
3	PROJETO DOS CIRCUITOS	45
3.1	Amplificador operacional	45
3.2	Fonte de corrente e Circuito de <i>startup</i>	50
3.3	<i>Bandgap</i>	52
3.4	Simulação de <i>corners</i>	54
4	RESULTADOS E DISCUSSÕES	56
4.1	Amplificador operacional	56
4.2	Fonte de corrente	60
4.3	Circuito de <i>startup</i>	62
4.4	<i>Bandgap</i>	64
5	CONCLUSÃO	74
	REFERÊNCIAS	76

ANEXOS	79
ANEXO A – CORNERS AMPOP	80

1 Introdução

1.1 Contextualização

Desde a década de 1950, quando começaram a ser fabricados industrialmente (LAWS, 2010), os semicondutores têm causado uma série de revoluções na indústria. Estes dispositivos proporcionaram a miniaturização de dispositivos eletrônicos e aumentado a eficiência energética, velocidade e confiabilidade eletrônica (KEYES, 1988), o que resultou em dispositivos mais avançados, acessíveis e úteis para diversas aplicações, incluindo computadores, telefones celulares, televisores e até mesmo exploração espacial. Esta miniaturização e a compactação de circuitos integrados se deve, principalmente aos transistores MOS (*metal-oxide-semiconductor*), semicondutores de óxido de metal, que hoje podem chegar à medidas nanométricas e aumentou o número de transistores que podem ser interconectados em um único chip de algumas dezenas para centenas de milhões (WONG; IWAI, 2005). Esta caracterização destes transistores é o que chamamos de microeletrônica.

Este contexto de dispositivos eletrônicos cada vez menores e cada vez mais acessíveis proporcionou aos dispositivos eletrônicos um número cada vez maior de funções como: conectividade com a internet, comunicação entre dispositivos, maior capacidade de armazenamento, dentre outras. Esta infinidade de funcionalidades proporcionou um avanço imensurável em novas tecnologias, em especial a Internet das Coisas (IoT), termo utilizado para sistemas com sensores e atuadores conectados pela internet à sistemas de computação. Esses sistemas podem monitorar ou gerenciar a integridade e as ações de objetos, podendo ser também pessoas ou animais, e máquinas conectados entre si (CHUI MARK COLLINS, 2021). Um estudo feito pela McKinsey Global Institute avalia que o impacto da área de Internet das Coisas na economia global será entre 3.9 a 11.1 trilhões de dólares, o que representa cerca de 4% até 11% do PIB (Produto Interno Bruto) da economia global (CHUI MARK COLLINS, 2021).

Este contexto de dispositivos cada vez menores faz com que estes dispositivos atuem em níveis cada vez mais próximos da sua capacidade máxima de desempenho com cálculos de processamento cada vez mais complexos. Como consequência disso, mais energia deverá ser aplicada a estes dispositivos para que todas as funções operem adequadamente, causando uma variação de potência elétrica e de temperatura por efeito Joule, o que faz com que se tenha a necessidade de sistemas integrados de gerenciamento de potência e temperatura (GANESH, 2017).

1.2 Justificativa

Dentro de dispositivos eletrônicos, além de estruturas como microprocessador, dispositivos de memória e dispositivos de comunicação, tem-se também um bloco para o gerenciamento de potência, pois todos estes blocos precisam de um valor de tensão específica para funcionar. Como a tensão de alimentação produz uma tensão fixa, seja por uma bateria ou por outras fontes de corrente contínua, deve-se usar conversores DC-DC para que haja o ajuste necessário para cada bloco no dispositivo eletrônico. Para o gerenciamento de energia em todos os blocos, são implementados os *Power Management Integrated Circuit* (PMIC), que são circuitos integrados em placas de silício responsáveis por este gerenciamento (AHSANUZZAMAN; PRODIĆ; JOHNS, 2016).

Dentro dos circuitos que formam os PMIC's, têm-se dispositivos como conversores DC-DC, LDO's e *Bandgap*. O conversor DC-DC tem como objetivo de converter a tensão da fonte de alimentação para a tensão desejada para cada aplicação, aumentando ou diminuindo a tensão, conforme a aplicação. O *Low-Dropout Regulator* (LDO) é um tipo de regulador de tensão que tem o objetivo de manter a saída de tensão estável mesmo com variações na tensão de entrada, mantendo uma diferença mínima entre a tensão de entrada e a tensão de saída, conhecida como *dropout voltage* (RINCON-MORA, 2014). O circuito de *Bandgap* tem o objetivo de manter um valor de tensão ou de corrente de referência que tenha o mínimo de alteração com variações de alimentação e de temperatura (RAZAVI, 2001).

1.3 Objetivos

Objetivo Geral: Este trabalho tem como objetivo principal projetar uma referência de tensão *Bandgap* e uma referência de corrente na tecnologia TSMC 22nm, observando o comportamento de cada circuito na tecnologia, comparando os comportamentos e seus resultados.

Como objetivos específicos temos:

- Apresentar um circuito de um amplificador operacional real com um alto ganho de malha aberta, mostrando as principais características deste circuito.
- Apresentar um circuito de uma fonte de corrente real, também mostrando suas principais características.
- Estudar topologias de Amplificador Operacional e referência de corrente para integrar um *Bandgap*.
- Estudar topologias de *Bandgap*, integrando os dispositivos anteriormente citados, e escolher uma para projetar este circuito.

- Desenvolver as simulações necessárias.
- Validar os resultados no software *Cadence Virtuoso*
- Simular *corners* para validar todos os resultados.

1.4 Metodologia

A metodologia utilizada neste trabalho será do tipo *Bottom Up*, visto que será discutido primeiramente os circuitos básicos que compõem o *Bandgap*, formando circuitos que funcionam de forma independente, para que então possa-se desenvolver um projeto completo de *Bandgap*. Para isto, será estudada toda a parte teórica que envolvem estes circuitos, bem como as tecnologias a serem implementadas, para que se possa se iniciar a etapa da realização do Esquemático. Depois de estudada toda a parte teórica, são selecionadas as topologias adequadas para este trabalho e essas topologias são montadas em esquemático no software Cadence Virtuoso, avaliando sempre a alimentação, consumo de potência e resposta esperada para o circuito. Logo após, é feita a simulação pertinente a cada circuito, comparando a resposta obtida com a resposta esperada. Tendo obtido a resposta esperada para o circuito, é feita uma simulação de *corners* para verificar como o circuito se comporta em situações extremas de projeto. Depois de ter o circuito validado, é feito o Layout dos circuitos e são feitas simulações como o DRC e o LVS para que então este Layout seja validado, integrado ao sistema pelo qual ele foi desenvolvido e, assim, estar pronto para fabricação. Este trabalho se propõe a ir até a parte de realização dos *corners*, tendo a parte do Layout para trabalhos futuros.

1.5 Organização do trabalho

O trabalho está organizado em 5 capítulos. No capítulo 2 está presente um referencial teórico acerca de todos os circuitos a serem implementados no trabalho, a teoria embasada em referências bibliográficas destes circuitos, seu princípio de funcionamento e modelos de topologias de cada circuito, mostrando suas características, forças e fraquezas.

No capítulo 3 está presente as topologias a serem simuladas neste trabalho, mostrando a razão de se ter escolhido aquela topologia, além de discutir os resultados esperados na simulação.

No capítulo 4 está os resultados obtidos das simulações feitas no capítulo 3 e as discussões necessárias para validar as respostas obtidas.

No último capítulo, capítulo 5, será apresentada conclusão deste trabalho e será feita a discussão sobre passos futuros.

2 Referencial teórico

2.1 Amplificador Operacional

2.1.1 Amplificador operacional ideal

O amplificador operacional (AmpOp) é um dos blocos mais importantes e utilizados em circuitos analógicos (ALLEN; HOLBERG, 2011). Este circuito composto por semicondutores são amplificadores compostos por dois terminais de entrada e um de saída, sendo que esta saída será amplificada pela diferença de potencial entre as duas entradas do sistema (TERRELL, 1996). As três saídas de um amplificador operacional são nomeadas como entrada não-inversora v^+ e entrada inversora v^- para os dois terminais de entrada, e v_{out} para a saída. A expressão de saída do amplificador operacional é representado pela equação em que A_v representa um ganho de tensão diferencial, resistência de entrada infinita e resistência de saída zero, idealmente. (ALLEN; HOLBERG, 2011)

$$V_{out} = A_v(v^+ - v^-) \quad (2.1)$$

Quando o AmpOp está em um circuito ativo, ele necessita ser alimentado por uma tensão de corrente contínua em mais dois terminais, sendo eles V_{DD} para uma tensão positiva e V_{SS} para uma tensão negativa. Para a alimentação do AmpOp é normalmente adotado o padrão de fornecer esta alimentação em um intervalo de $2V$ centrado em 0 volts, com V_{DD} assumindo um valor positivo $V_{DD} = +V \text{ volts}$ e V_{SS} assumindo um valor negativo $V_{SS} = -V \text{ volts}$ ou com V_{DD} assumindo um valor $V_{DD} = +V \text{ volts}$ e V_{SS} assumindo o valor $V_{SS} = 0 \text{ volts}$ centrado em $V/2$ (LAKER; SANSEN, 2002). Este bloco é, por padrão, representado como um triângulo, como é visto na figura 1.

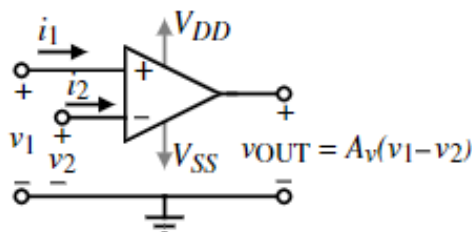


Figura 1 – Representação de um Amplificador operacional ideal

Fonte: (ALLEN; HOLBERG, 2011)

No amplificador operacional ideal somente a diferença de potencial entre as entradas não-inversora e inversora faz algum efeito nele, enquanto qualquer outro componente

de sinal entre as duas portas é cancelado, o que é chamado de common mode rejection (CMR). Além disso, a impedância de entrada para um AmpOp ideal é infinita e a impedância de saída é zero, ou seja, não haverá fluxo de corrente nos terminais de entrada do AmpOp e o circuito sempre obedecerá à equação 2.1 (LAKER; SANSEN, 2002). A representação do comportamento de um amplificador operacional ideal é mostrado na figura 2.

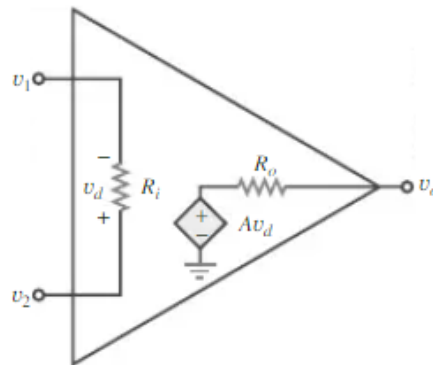


Figura 2 – Comportamento de um Amplificador operacional ideal. Fonte: (ALEXANDER; SADIKU; NASCIMENTO, 2013)

2.1.2 Amplificador operacional real

Na prática, é notório saber que um amplificador operacional somente se aproxima de um comportamento ideal, logo deve-se buscar parâmetros para medir o quão próximo de um amplificador operacional ideal um AmpOp real está. Os parâmetros tipicamente usados são: ganho de largura de banda, tempo de estabilização, *slew rate*, intervalo de modo comum de entrada (ICMR), taxa de rejeição de modo comum (CMRR), taxa de rejeição a fonte de alimentação (PSRR), tensão de *offset*, ruído e área ocupada (ALLEN; HOLBERG, 2011). Estes parâmetros serão brevemente discutidos neste tópico.

O ganho de largura de banda, ou *unity-gain bandwidth* (GB), consiste no intervalo de ganho possível na resposta de ganho em malha aberta na saída do amplificador operacional, antes de cruzar o eixo das abscissas, ou seja, até chegar em 0 dB, conforme mostra a figura 3 (ALLEN; HOLBERG, 2011).

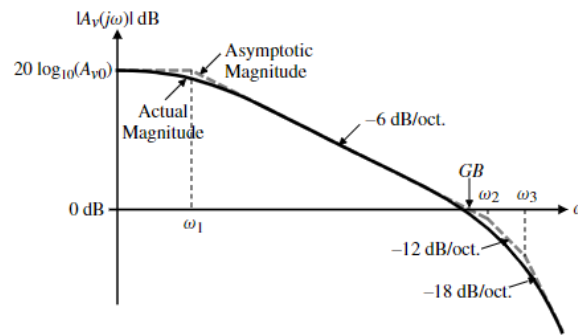


Figura 3 – Resposta em frequência de malha aberta de um AmpOp
Fonte: (ALLEN; HOLBERG, 2011)

O tempo de estabilização, demonstrado na figura 4, é o tempo que o sinal leva para se estabilizar. Este tempo de estabilização deve ser a menor possível, pois um tempo de estabilização mais longo faz com que a taxa de processamento de sinais analógicos fique prejudicada.

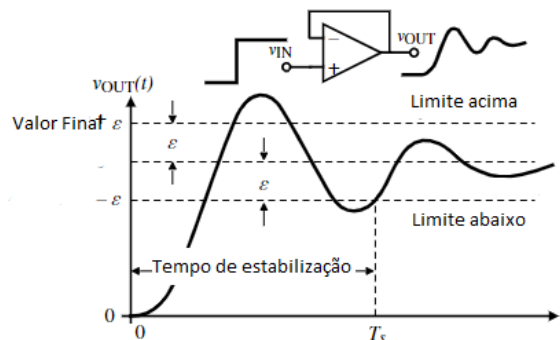


Figura 4 – Tempo de estabilização. Fonte: (ALLEN; HOLBERG, 2011)

O *slew rate*, ou taxa de variação, é a taxa de variação na saída, medida como a quantidade de corrente que pode ser fornecida ou consumida na saída. Este parâmetro é calculado dividindo a corrente no nó de saída dividido por um capacitor de compensação, como na equação 2.2 (ALLEN; HOLBERG, 2011).

$$Slew\ rate = I_{SS}/C \quad (2.2)$$

O intervalo de modo comum na entrada, ou input common-mode range (ICMR), é o intervalo máximo de tensão de entrada para que um dos transistores do AmpOp saia de saturação (ALLEN; HOLBERG, 2011). Já a taxa de rejeição de modo comum, ou Common-Mode Rejection Ratio (CMRR), significa a capacidade do AmpOp em rejeitar variações no sinal de entrada, como um ruído demonstrado na figura 5, por exemplo,

(BAKER; LI; BOYCE, 1998). A expressão utilizada para o CMRR é dada pela equação 2.3 em que A_d é o ganho diferencial e A_c é o ganho de modo comum.

$$CMRR = 20 \cdot \log \left| \frac{A_d}{A_c} \right| \quad (2.3)$$

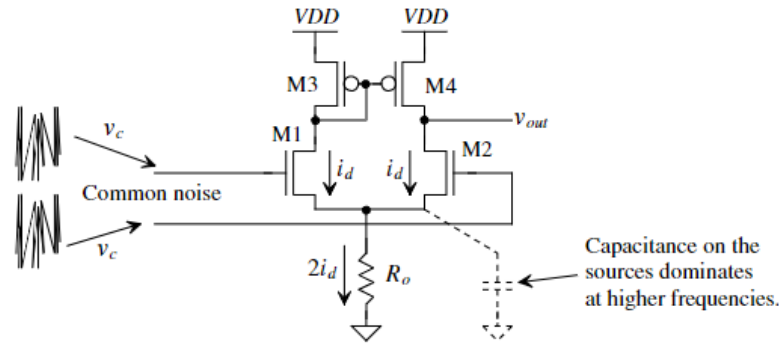


Figura 5 – CMRR em um amplificador diferencial. Fonte: (BAKER; LI; BOYCE, 1998)

A taxa de rejeição a fonte de alimentação (PSRR) é uma razão entre a variação da tensão de alimentação com relação à variação na tensão de saída do AmpOp causada por esta variação na tensão de entrada, juntamente com o ganho de malha aberta, conforme a equação 2.4 (ALLEN; HOLBERG, 2011).

$$PSRR = \frac{\Delta V_{DD}}{\Delta V_{out}} \quad (2.4)$$

A tensão de *offset* é uma tensão de entrada não desejada mesmo quando as tensões de entrada do amplificador são iguais a zero (BARNA, 1971). Estas variações podem ser causadas por ruídos de tensão e corrente ou até mesmo ruídos causados pela proximidade entre componentes.

Um amplificador operacional também é usado amplamente em uma configuração de realimentação negativa, para melhorar a precisão dos resultados do AmpOp. O ganho de loop é representado pela equação 2.5 onde $A(s)$ é o ganho do amplificador, normalmente o ganho de tensão diferencial em malha aberta do amplificador operacional, e $F(s)$ é a função de transferência para realimentação da saída do AmpOp para a sua entrada (ALLEN; HOLBERG, 2011).

$$L(s) = -A(s)F(s) \quad (2.5)$$

Dentro de um amplificador operacional real, com transistores reais, há uma série de capacitâncias parasitas nestes transistores, o que pode fazer com que os polos gerados

fiquem muito próximos trazendo instabilidade ao circuito. Para controlar “o quão estável” é o circuito, a margem de fase e a margem de ganho são utilizadas. Para determinar a margem de fase de um amplificador operacional, é necessário notar a mudança de fase quando o ganho em malha aberta é unitário, ou seja, quando a magnitude do sistema chega a 0dB, faz-se a diferença entre a fase neste valor e 180°. Já para calcular a margem de ganho basta fazer a diferença do ganho de malha aberta quando a fase equivale a 180° até 0dB (BAKER; LI; BOYCE, 1998). Estes parâmetros são mostrados na figura 6.

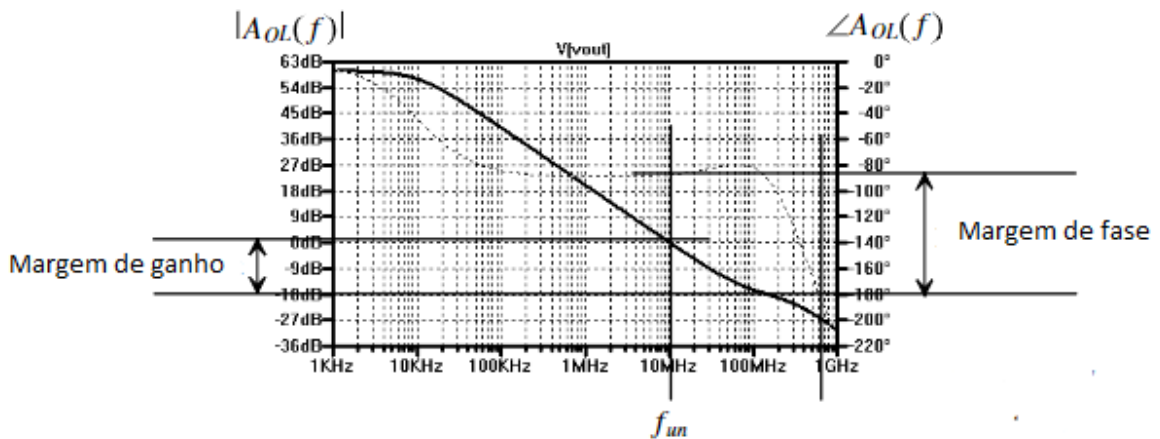


Figura 6 – margem de fase. Fonte: (BAKER; LI; BOYCE, 1998)

2.1.3 Topologias de Amplificadores operacionais

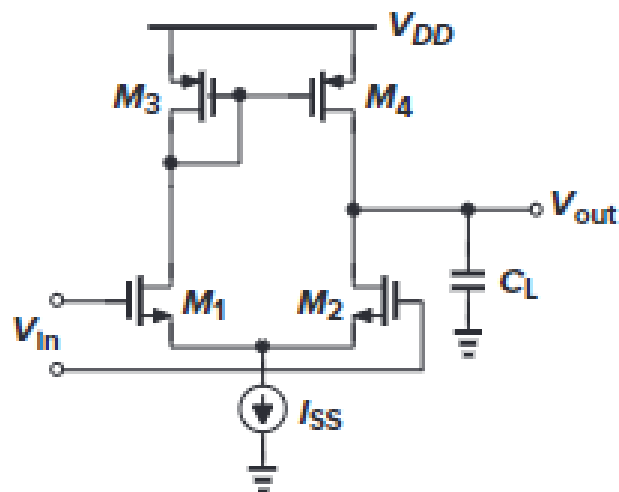


Figura 7 – Amplificador diferencial. Fonte: (RAZAVI, 2001)

A primeira topologia, conhecida como amplificador diferencial ou como CMOS OTA simples (figura 7, consiste na topologia de amplificador operacional mais básica

onde se tem o par diferencial em conjunto com um espelho de corrente PMOS. Para um amplificador CMOS o ganho de malha aberta é dado pela equação 2.6.

$$A_v = G_m \cdot R_{out} \quad (2.6)$$

Para este circuito, o ganho, conforme a equação 2.6, será:

$$A_v = g_{m1,2}(r_{O2}||r_{O4}) \quad (2.7)$$

o que é considerada baixa para um uso eficiente.

Este circuito possui dois caminhos com duas funções de transferências distintas, devido a capacitâncias parasitas presentes nos transistores M3 e M4 e o efeito Miller nas capacitâncias parasitas dos transistores M1 e M2, o que faz com que tenha um polo dominante que causa um alto impacto no circuito. O polo associado ao nó E da figura 8 é denominado como *mirror pole* (RAZAVI, 2001).

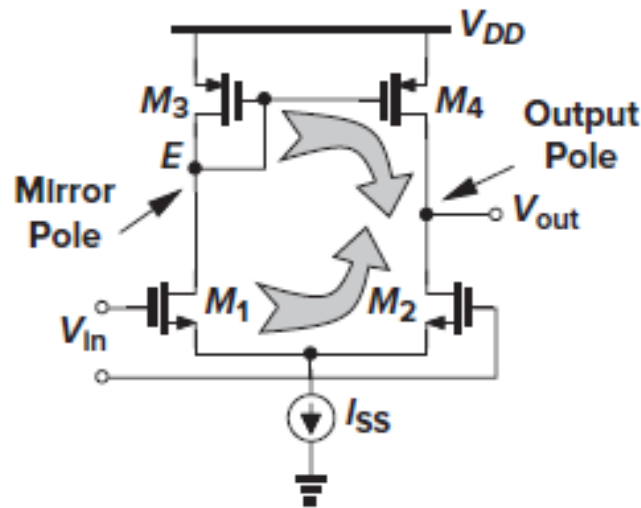


Figura 8 – *Mirror pole*. Fonte: (RAZAVI, 2001)

A magnitude do polo dominante se da por:

$$\omega_{p1} \approx \frac{1}{(r_{ON}||r_{OP})C_L} \quad (2.8)$$

em que N e P trata-se dos transistores NMOS e PMOS, respectivamente e C_L , a capacitância de carga.

Já a magnitude do polo do nó E é dada por:

$$\omega_{p2} \approx \frac{g_{mP}}{C_E} \quad (2.9)$$

em que C_E representa o equivalente das capacitâncias parasitas no nó E.

Logo o ganho de largura de banda, ou produto ganho banda, dado pela equação 2.10:

$$GBW = A_0\omega_p \quad (2.10)$$

substituindo os valores das equações 2.7 e 2.8 tem-se (RAZAVI, 2001):

$$\begin{aligned} GBW &= g_{m1,2}(r_{O2}||r_{O4}) \cdot \frac{1}{(r_{ON}||r_{OP}C_L)} \\ &= \frac{g_{m1}}{2\pi C_L} \end{aligned} \quad (2.11)$$

Nota-se que o produto ganho banda também é inferior devido a sua alta dependência da capacitância de carga.

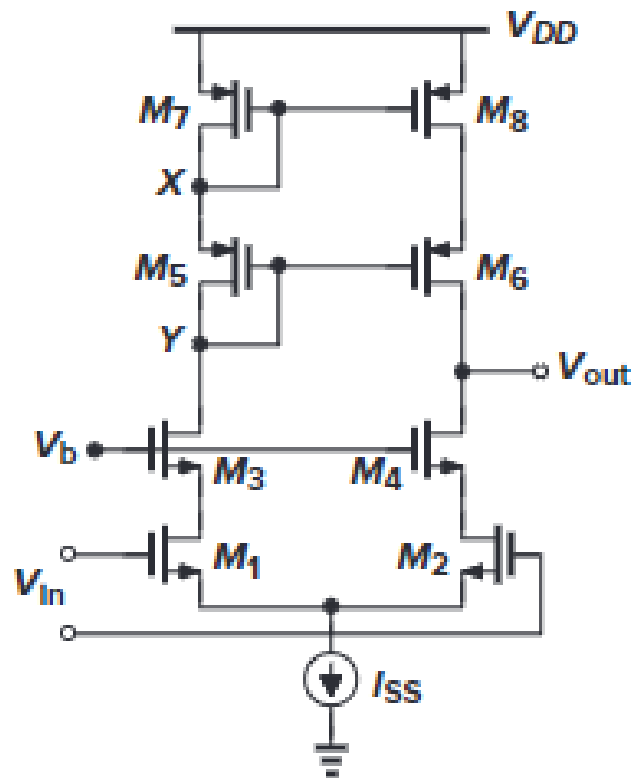


Figura 9 – Amplificador *telescopic*. Fonte: (RAZAVI, 2001)

Para contornar o ganho baixo do amplificador diferencial, pode-se adicionar um estágio *cascode* no AmpOp, fazendo com que a resistência na saída aumente, aumentando, assim, o ganho. Essa configuração é chamada de *telescopic* e é mostrada na figura 9 (RAZAVI, 2001).

Utilizando-se também da equação 2.6 chega-se ao seguinte ganho para o AmpOp *telescopic*:

$$A_v = g_{mN}[(g_{mN}r_{ON}^2)|(g_{mP}r_{OP}^2)] \quad (2.12)$$

Apesar de resolver o problema do ganho, há muitas quedas de tensão suscetivas nos transistores fazendo com que a excursão de saída seja $2[V_{DD} - (V_{OD1} + V_{OD3} + V_{ISS} + |V_{OD5}| + |V_{OD7}|)]$, além disso, a tensão de entrada de modo comum é muito baixa, a tensão aplicada no transistor M1 é baixa o suficiente para quase o tirar de saturação e a tensão aplicada no transistor M7 é tão alta a ponto de quase o tirar de saturação (RAZAVI, 2001).

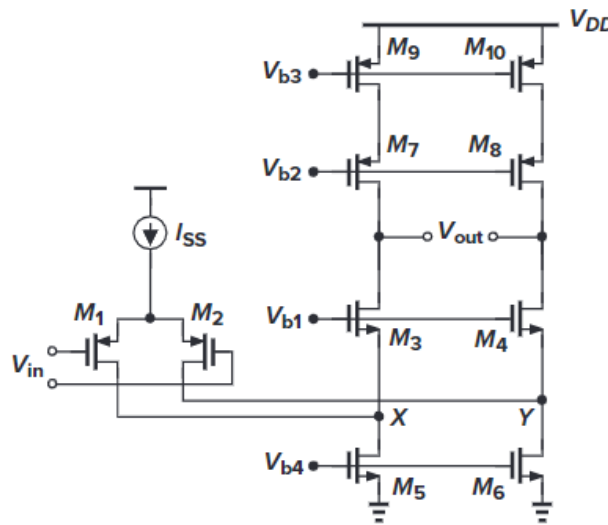


Figura 10 – Amplificador *Folded Cascode*. Fonte: (RAZAVI, 2001)

Para contornar os problemas do AmpOp *telescopic*, foi implementado o amplificador *Folded Cascode* como o da figura 10. Nesta topologia o dispositivo de entrada é substituído pelo tipo oposto enquanto ainda converte a tensão de entrada em corrente, conforme mostra as figuras 11 e 12 (RAZAVI, 2001). Desta forma, evita-se o empilhamento de transistores o que faz com que tenha um intervalo maior de tensão na entrada sem que os transistores saiam de saturação.

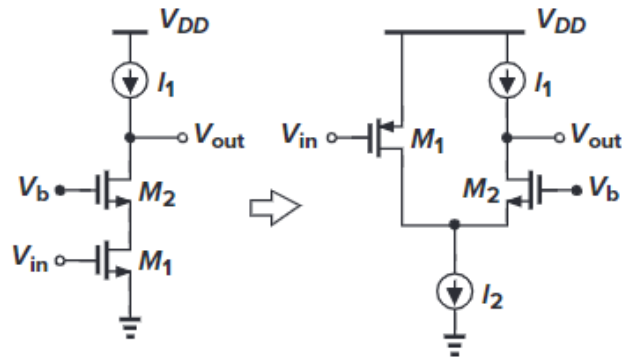


Figura 11 – Conversão para *Folded cascode*. Fonte: (RAZAVI, 2001)

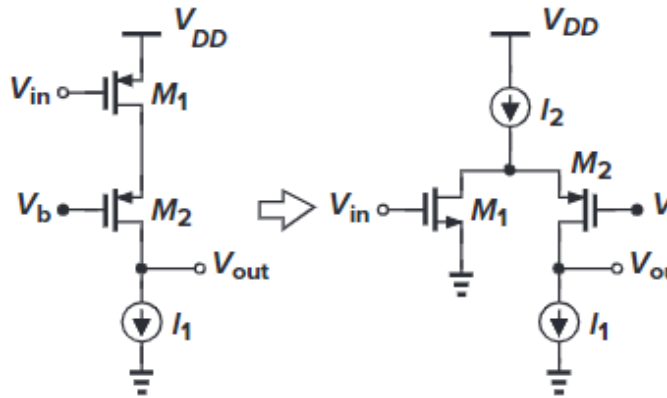


Figura 12 – Conversão para *Folded cascode*. Fonte: (RAZAVI, 2001)

O ganho de malha aberta para o *Folded Cascode* se dá por (RAZAVI, 2001) :

$$A_v \approx g_{m1}[(g_{m3} + g_{mb3})r_{O3}(r_{O1}||r_{O5})] || [(g_{m7} + g_{mb7})r_{O7}r_{O9}] \quad (2.13)$$

Nota-se, então que a topologia *Folded Cascode* oferece um ganho alto e com um bom intervalo de tensão na entrada, sendo assim um bom substituto para o amplificador *telescopic*.

Os polos não dominantes estão presentes no nó 4,5 e 6, sendo que os nós 4 e 5 tem a mesma amplitude com fases diferentes.

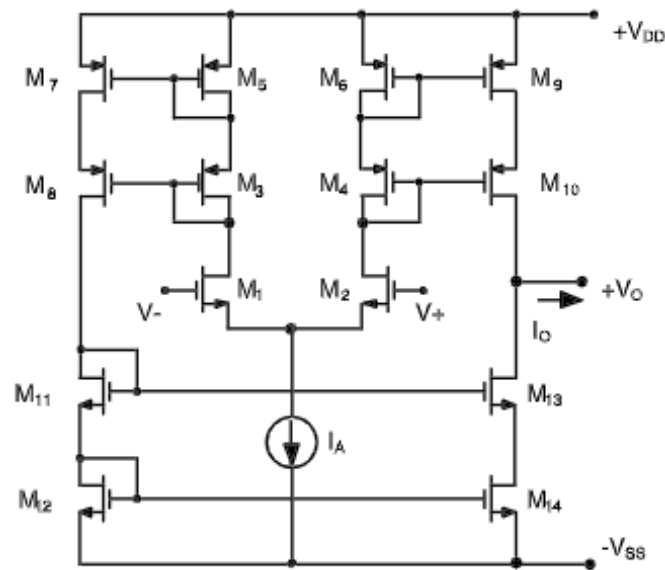


Figura 14 – Amplificador *Symmetrical Cascode OTA*. Fonte: (MINAEI et al., 2003)

Com o objetivo de amplificar ainda mais o ganho, pode-se adicionar estágios *cascode* no amplificador *Symmetrical OTA*. Na figura 14 os transistores M3, M4, M8, M10, M11 e M13 são transistores *cascode*.

Semelhante à equação 2.7, o ganho para esta topologia se dá pela seguinte equação:

$$A_v = B \cdot g_{m1} [(g_{m10} r_{o10} r_{o9}) || (g_{m13} r_{o13} r_{o14})] \quad (2.17)$$

Quanto ao produto ganho-banda, a equação 2.16 continua a mesma, pois o polo dominante continua o mesmo.

Até esta parte os amplificadores operacionais operavam em somente um estágio de ganho. Então, na tentativa de aumentar ainda mais o ganho de malha-aberta destes amplificadores foi implementado o amplificador operacional de dois estágios descrito na figura 15.

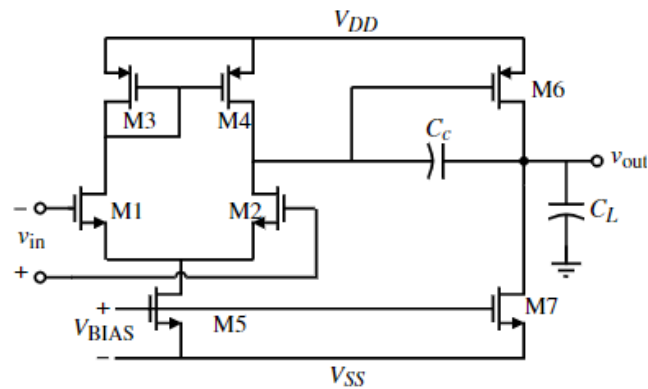


Figura 15 – Amplificador de dois estágios. Fonte: (ALLEN; HOLBERG, 2011)

Este amplificador funciona da seguinte maneira: O primeiro estágio consiste em um amplificador diferencial que converte a tensão de entrada diferencial em correntes diferenciais. Essas correntes diferenciais são aplicadas a um espelho de corrente chegando a uma tensão diferencial, assim como ocorre no amplificador diferencial da figura 7. O segundo estágio consiste em um transistor PMOS em *common source* que converte tensão de entrada do segundo estágio em corrente. Este segundo estágio é chamado de *Current-sink CMOS inverter*, que é responsável por transformar a corrente em tensão novamente (ALLEN; HOLBERG, 2011).

Neste circuito, há a presença de dois polos dominantes, entre os transistores M4 e M2(p_1) e M6 e M7(p_2), que ficam muito próximos uns dos outros, o que causa instabilidade na realimentação. Para resolver este problema, utiliza-se a técnica de compensação Miller, que consiste em conectar um capacitor C_c entre a saída do circuito para a entrada do primeiro estágio de amplificação, afastando os polos p_1 e p_2 e reduzindo a resistência de saída, como consequência disso, aumentando o ganho (ALLEN; HOLBERG, 2011).

2.2 Fonte de corrente

O uso de fontes de correntes ideais em simulações de circuitos analógicos é bem comum pelo fato de não ser dependente de variáveis como temperatura e tensão de alimentação do circuito, fornecendo, assim somente a corrente desejada para aquele circuito (AZCONA et al., 2014). Sabendo que fontes de correntes ideais não existem, é necessário projetar uma fonte de corrente que produza uma corrente de referência que tenha o mínimo de variações em seu valor quando há variações na tensão e na temperatura.

Uma tentativa de se produzir essa corrente de referência seria através da queda de tensão em um resistor, sendo espelhada por meio de um espelho de corrente, como mostra a figura 16. Este método não atenderia aos requisitos justamente pela sua dependência de VDD, como mostra a equação 2.18 (RAZAVI, 2001).

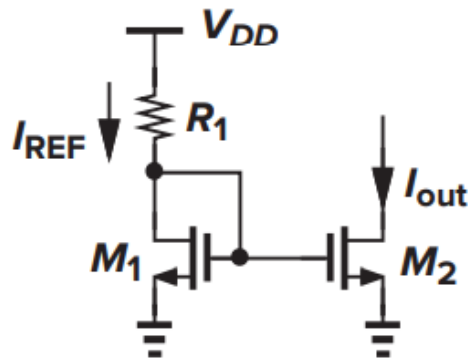


Figura 16 – Obtenção da corrente por meio da queda de tensão de um resistor. Fonte: (RAZAVI, 2001)

$$\Delta I_{out} = \frac{\Delta V_{DD}}{R_1 + 1/g_{m1}} \cdot \frac{(W/L)_2}{(W/L)_1} \quad (2.18)$$

em que ΔV_{DD} é a variação da tensão de alimentação do circuito e g_{m1} a transcondutância do transistor M1.

Para que o circuito não seja tão sensível à tensão de entrada, pode-se implementar um circuito que tenha uma auto polarização, ou seja, o I_{REF} ser uma réplica exata de I_{out} , ou seja, sendo I_{out} independente de VDD, o I_{REF} também vai ser. A figura 17 mostra que os transistores M_3 e M_4 estão espelhando I_{out} e definindo I_{REF} fazendo com que as suas correntes se alimentem e tenham uma diminuição concreta da dependência de VDD, fazendo com que a resposta do sistema se resuma a equação 2.19 em que K é uma constante (RAZAVI, 2001).

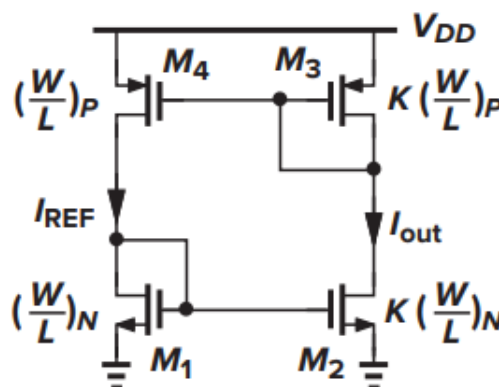


Figura 17 – Circuito para tornar a corrente independente de VDD. Fonte:(RAZAVI, 2001)

$$I_{REF} = K \cdot I_{out} \quad (2.19)$$

O problema do circuito da figura 17 é a indefinição de como calcular a corrente que está atuando no circuito. Um exemplo disso seria aplicar uma corrente de $10\mu A$ e aplicando na equação 2.19, ou seja, haveria $K \cdot 10\mu A$ circulando pelo circuito indefinidamente, caso todos os transistores estivessem devidamente em saturação (RAZAVI, 2001).

2.2.1 Topologias de fontes de corrente

Uma das topologias utilizadas para definir a corrente de referência do circuito chama-se *self-biased beta-multiplier circuit* (AZCONA et al., 2014), onde se acrescenta um resistor R_S entre a porta *Source* do transistor M_2 e o terra do circuito. Este resistor irá diminuir a corrente do circuito enquanto os resistores PMOS irão garantir que $I_{REF} = I_{out}$, atuando como espelho de corrente. O circuito proposto é demonstrado pela figura 18 (RAZAVI, 2001).

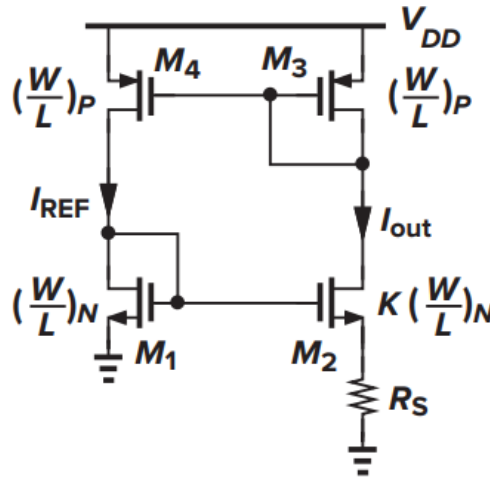


Figura 18 – Resposta da referência. Fonte: *Bandgap* (RAZAVI, 2001)

Para obter o valor de corrente $I_{out} = I_{ref}$, pode-se definir (RAZAVI, 2001):

$$V_{GS1} = V_{GS2} + I_{D2}R_S \quad (2.20)$$

em que V_{GS1} e V_{GS2} é a tensão entre as portas *Gate* e *Source* dos transistores M1 e M2, respectivamente, e I_{D2} é a tensão de *Drain* do transistor.

Sabendo que:

$$V_{GS} = \sqrt{\frac{2I_D}{\mu C_{ox}(W/L)}} + V_{TH} \quad (2.21)$$

Substituindo os valores da equação 2.21 na equação 2.20:

$$\sqrt{\frac{2I_{out}}{\mu C_{ox}(W/L)_N}} + V_{TH1} = \sqrt{\frac{2I_{out}}{\mu C_{ox}K(W/L)_N}} + V_{TH2} + I_{out}R_S \quad (2.22)$$

Desconsiderando o efeito de corpo têm-se:

$$\sqrt{\frac{2I_{out}}{\mu C_{ox}(W/L)_N}} \cdot \left(1 - \frac{1}{\sqrt{K}}\right) = I_{out}R_S \quad (2.23)$$

E então, isolando I_{out} chega-se a corrente de referência.

$$I_{out} = \frac{2}{\mu C_{ox}(W/L)_N} \cdot \frac{1}{R_S^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (2.24)$$

Uma limitação que o circuito da figura 18 tem é que não tem muita liberdade de alterar o coeficiente de temperatura decorrente (I_{TC}), ou seja, uma vez que escolhido o resistor R em uma tecnologia de processo, não é mais possível minimizar o I_{TC} , não tendo muito controle sobre ele. Outra limitação é a área que este sistema ocupa devido ao resistor R_S (LEE; SÁNCHEZ-SINENCIO, 2021).

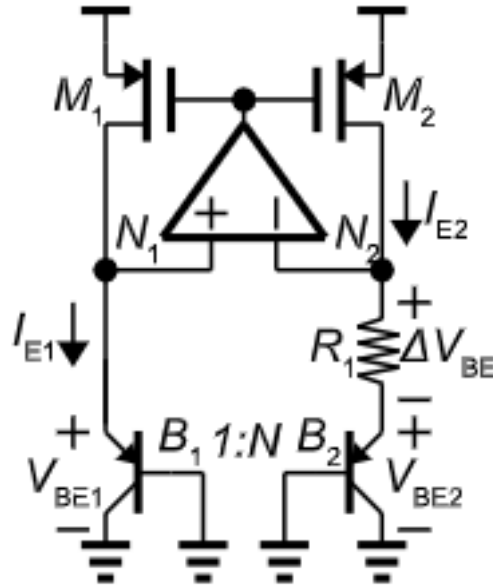


Figura 19 – Topologia de fonte de corrente ΔV_{BE} -Based. Fonte: (LEE; SÁNCHEZ-SINENCIO, 2021)

Outra topologia possível para a fonte de corrente é a ΔV_{BE} -Based que consiste em utilizar dois transistores bipolares de junção do tipo PNP com diferentes áreas de emissor para prover uma resposta CTAT para o circuito, atenuando a resposta PTAT na soma final (CHEN; SHI, 2003). Como é possível ver na figura 19, a área do emissor de B_2 é N vezes maior que a de B_1 , sendo assim V_{BE1} é dado por $V_T \ln(I_{E1}/I_S)$ e V_{BE2} é

$V_T \ln(I_{E1}/NI_S)$ com as correntes de base sendo desconsideradas. Com isso, graças ao alto ganho do amplificador operacional e os valores de M_1 e M_2 sendo iguais, as correntes I_{E1} e I_{E2} são iguais (LEE; SÁNCHEZ-SINENCIO, 2021), portanto:

$$I = \frac{\Delta V_{BE}}{R_1} = \frac{V_T \ln(N)}{R_1} \quad (2.25)$$

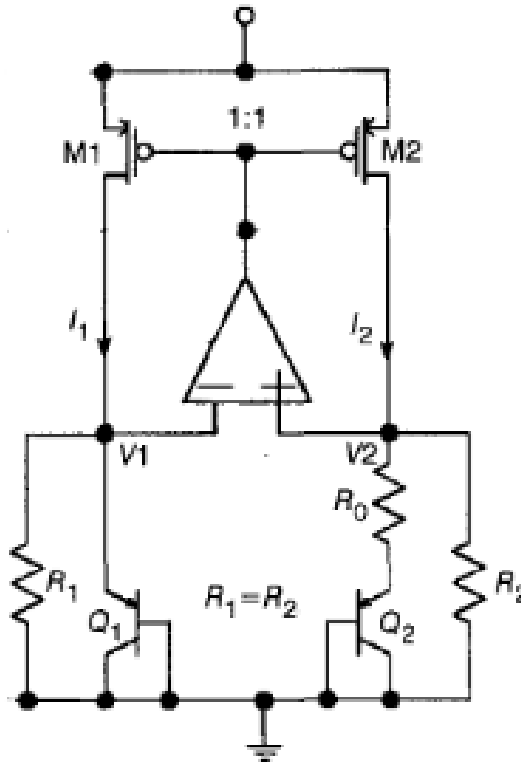


Figura 20 – Topologia de fonte de corrente ΔV_{BE} -Based. Fonte: adaptado de (CHEN; SHI, 2003)

A fim de adicionar mais liberdade quanto ao coeficiente de temperatura desta topologia, são adicionados mais dois resistores que conectam os nós N1 e N2 ao terra conforme a figura 20. Com isso, teremos o mesmo valor de corrente passando por N1 e N2. Assim a corrente é dada por (LEE; SÁNCHEZ-SINENCIO, 2021):

$$I = I_1 + I_2 = V_T \cdot \frac{\ln(N)}{R1} + \frac{V_{BE1}}{R_2} \quad (2.26)$$

Com isso, I_{TC} se dará por

$$I_{TC} = \frac{I_1}{I_1 + I_2} I_{1,TC} + \frac{I_2}{I_1 + I_2} I_{2,TC} \quad (2.27)$$

para que para este sistema seja invariante a temperatura α_{comp} e α_R devem ser iguais (LEE; CHO, 2012). Assim, a corrente de referência será:

$$I_{ref} = \frac{V_{comp0}}{R_0} \quad (2.29)$$

2.3 Bandgap

O princípio de funcionamento de uma referência *Bandgap* é simples: somar uma tensão que é complementar a temperatura absoluta (CTAT) com uma temperatura proporcional a temperatura absoluta (PTAT) multiplicada por uma temperatura constante que possibilite ajustar a tensão de referência para que ela fique independente da temperatura, como mostra a equação 2.30 e exemplificado na figura 22 (ALLEN; HOLBERG, 2011).

$$V_{REF}(T) = V_{CTAT}(T) + K \cdot V_{PTAT}(T) \quad (2.30)$$

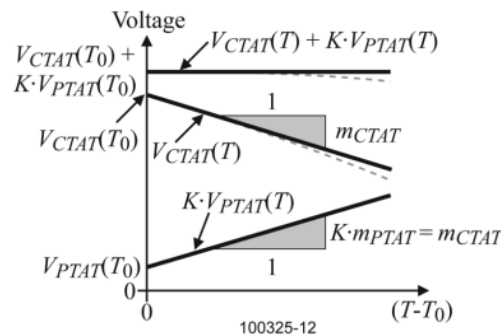


Figura 22 – Resposta da referência. Fonte: *Bandgap* (ALLEN; HOLBERG, 2011)

A resposta PTAT é obtida através da diferença de tensão entre base e emissor de dois transistores bipolares de junção quando aplicadas diferentes densidades de corrente (RAZAVI, 2001). A implementação da resposta PTAT pode ser encontrada analisando a figura 23, tendo em vista os conceitos já apresentados.

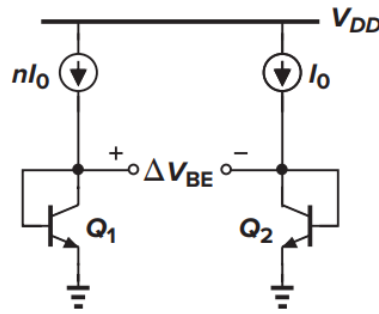


Figura 23 – Exemplificação da aquisição da resposta PTAT. Fonte:(RAZAVI, 2001)

Tendo em vista que, na figura 23, $V_{PTAT} = \Delta V_{BE}$ e que $\Delta V_D = V_{BE1} - V_{BE2}$ pode-se inferir que:

$$\Delta V_{BE} = V_t \cdot \ln\left(\frac{nI_0}{I_{s1}}\right) - V_t \cdot \ln\left(\frac{I_0}{I_{s2}}\right) \quad (2.31)$$

Em que I_{s1} e I_{s2} são as correntes de saturação reversa dos diodos.

Sabendo que I_{s1} e I_{s2} são iguais, chegamos na equação característica da resposta PTAT (RAZAVI, 2001):

$$\Delta V_{BE} = V_t \cdot \ln(n) \quad (2.32)$$

Sabendo que $V_t = \frac{kT}{q}$, em que: k é a constante de Boltzmann, q é a carga do elétron e T é temperatura em Kelvin, pode-se obter a equação 2.32 (RAZAVI, 2001):

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{k}{q} \cdot \ln(n) \quad (2.33)$$

A resposta CTAT é simulada apenas como uma aproximação de uma junção pn de um transistor bipolar de junção, pois, efetivamente, não existe (ALLEN; HOLBERG, 2011). Para esta junção bipolar obtém-se a equação 2.34

$$V_{BE} = V_t \cdot \ln\left(\frac{I_C}{I_S}\right) \quad (2.34)$$

Utilizando a resposta CTAT como a tensão da junção pn de base e emissor do transistor bipolar multiplicada por uma constante α_1 e representando K da equação 2.30 como α_2 obtém-se a equação 2.35 (RAZAVI, 2001).

$$V_{REF} = \alpha_1 \cdot V_{BE} + \alpha_2 \cdot (V_t \cdot \ln(n)) \quad (2.35)$$

Com uma temperatura de 300K, temperatura ambiente, tem-se $\partial\Delta V_{BE}/\partial T \approx -1.5mV/K$, $\partial V_t/\partial T \approx +0.087mV/K$ e considerando $\alpha_1 = 1$. Para que o coeficiente de temperatura seja igual a zero tem-se (RAZAVI, 2001):

$$\begin{aligned} 0 &= -1.5mV/K + 0.087mV/K \cdot (\alpha_2 \cdot \ln(n)) \\ 1.5mV/K &= 0.087mV/K \cdot (\alpha_2 \cdot \ln(n)) \\ \alpha_2 \cdot \ln(n) &\approx 17.24 \end{aligned} \quad (2.36)$$

Assim (RAZAVI, 2001):

$$V_{REF} \approx V_{BE} + 17.24 \cdot V_t \quad (2.37)$$

$$V_{REF} \approx 1.25V \quad (2.38)$$

Outro parâmetro a ser considerado é que, como os componentes utilizados são reais, as características físicas dos componentes do circuito variam com a temperatura de operação, logo o circuito terá algum nível de variação na saída com a temperatura. Para medir esta sensibilidade à temperatura do circuito, utiliza-se o coeficiente de temperatura (TC). O coeficiente de temperatura mede o desvio de tensão de referência em relação a uma determinada faixa de temperatura $[T_{min}, T_{max}]$ com a tensão de entrada igual à tensão nominal do circuito (RINCON-MORA, 2002). O coeficiente de temperatura é dado por:

$$TC = \frac{V_{REF(max)} - V_{REF(min)}}{(T_{max} - T_{min}) \cdot V_{REF(nom)}} \cdot 10^6 \text{ (ppm}/^\circ C) \quad (2.39)$$

em que $V_{REF(max)}$ é a tensão de referência na temperatura máxima do circuito, $V_{REF(min)}$ é a tensão de referência na temperatura mínima do circuito, T_{max} é a temperatura máxima do circuito, T_{min} é a temperatura mínima do circuito e $V_{REF(nom)}$ é a tensão de referência nominal do circuito.

2.3.1 Topologias de *Bandgap*

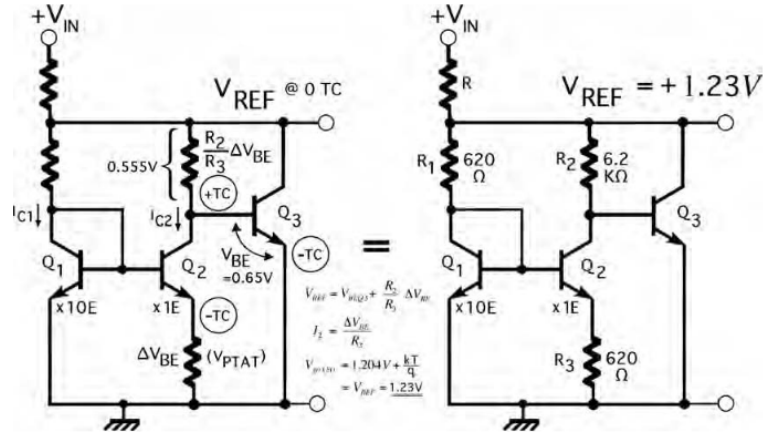


Figura 24 – *Bandgap* de Widlar. Fonte: (HARRISON, 2005)

O primeiro circuito de referência de tensão *Bandgap*, proposto pelo engenheiro Robert John Widlar em 1971, é mostrado na figura 24. Este circuito consiste em três transistores NPN idênticos, com dois deles operando em uma relação de densidade de corrente de 10 para 1. Este circuito consiste em replicar a relação de corrente entre os transistores fazendo com que a tensão base-emissor ΔV_{BE} entre os dois apareça no resistor R_3 . O transistor Q_3 um estágio de ganho que regulará a saída em uma tensão igual à sua tensão base-emissor mais a queda em R_2 (WIDLAR, 1971). Assim, a relação entre as duas correntes de coletor determina o valor dessa tensão de referência, conforme a equação 2.40.

$$V_{ref} = V_{g0} \left(1 - \frac{T}{T_0}\right) + V_{BE0} \left(\frac{T}{T_0}\right) + \frac{kT}{q} \ln \frac{J_1}{J_2} \quad (2.40)$$

onde V_{g0} é a tensão de *Bandgap* de energia extrapolada para o material semicondutor em zero absoluto, q é a carga do elétron, k é a constante de Boltzmann, T é a temperatura absoluta, J a densidade de corrente e V_{BE0} é a tensão base-emissor em T_0 e T_{C0} (WIDLAR, 1971).

Em termos práticos, quando o V_{BE} do transistor Q_3 é somado com a tensão através de R_2 , se resulta em uma tensão de saída constante igual a (HARRISON, 2005):

$$\begin{aligned} V_{ref} &= 1.205 + \frac{kT}{q}, \quad \frac{kT}{q} = 25.7mV \\ &= 1.23V \end{aligned} \quad (2.41)$$

O principal problema desta topologia é o fato de que a relação de corrente deve ser mantida a um nível constante para que ΔV_{BE} se mantenha linear com a temperatura absoluta V_{PTAT} na maior parte da faixa de temperatura, ou seja, o circuito precisa de

uma compensação para os extremos de temperatura que possuem não-idealidades (HARRISON, 2005).

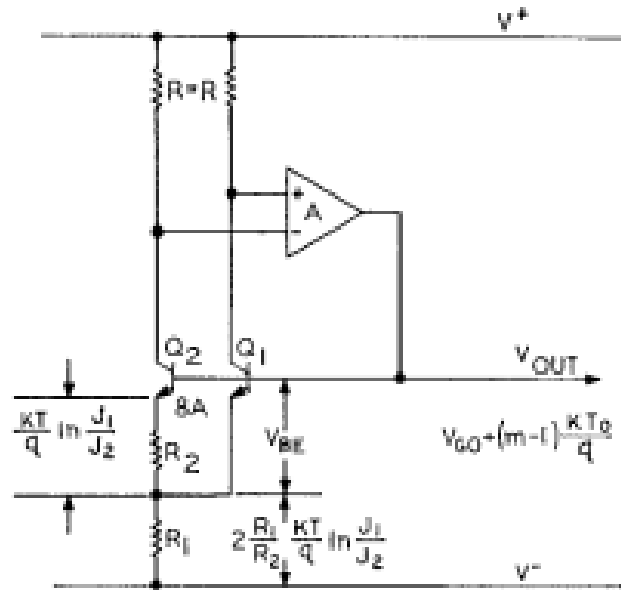


Figura 25 – *Bandgap* de Brokaw. Fonte:(BROKAW, 1974)

Em dezembro de 1974, A. Paul Brokaw propôs o circuito da figura 25. O circuito apresenta dois transistores bipolares de junção com o terminal de base de ambos conectados e com a área de Q_2 oito vezes maior que Q_1 . Quando a tensão na base comum é pequena, o transistor Q_2 , por ter uma área maior, faz com que se conduza mais corrente através do resistor R_1 . Com o desequilíbrio de tensões, o coletor aciona o amplificador operacional, que aumenta a tensão de base. Quando a tensão na base comum é grande, uma grande corrente é forçada a passar no resistor R_1 , fazendo com que a tensão em R_2 limite a corrente que passa por Q_2 que será menor que a corrente que passa por Q_1 . Esse desequilíbrio fará com que a tensão de coletor seja invertida, fazendo com que o amplificador operacional reduza a tensão de base(BROKAW, 1974).

Quando a diferença de densidade de corrente for produzida pelo amplificador operacional, irá aparecer uma diferença em V_{BE} , dada pela equação 2.42 entre os dois transistores, que irá aparecer em R_2 , conforme a figura 25 (BROKAW, 1974).

$$\Delta V_{BE} = \frac{kt}{q} \ln \frac{J_1}{J_2} \quad (2.42)$$

Como as correntes em Q_1 e Q_2 são iguais, então a corrente em R_1 é duas vezes a corrente em R_2 , então a tensão que passa em R_1 é dada por (BROKAW, 1974):

$$V_1 = 2 \frac{R_1}{R_2} \frac{kt}{q} \ln \frac{J_1}{J_2} \quad (2.43)$$

A tensão de saída é a soma de ΔV_{BE} (equação 2.42) com a tensão dependente de temperatura em R_1 (equação 2.43), sendo R_1/R_2 o ajuste para um valor estável de temperatura (BROKAW, 1974).

Novamente, por causa de algumas não-linearidades nos extremos de temperatura (que dão um tipo de curva parabólica), tal referência de *Bandgap* necessita de circuitos de compensação para isso e para outros efeitos secundários (HARRISON, 2005).

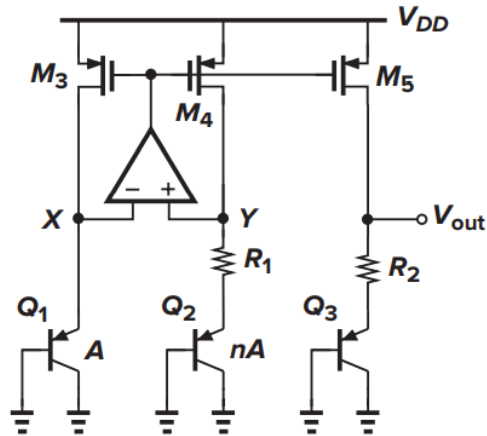


Figura 26 – Referência *Bandgap* com três transistores PMOS. Fonte:(RAZAVI, 2001)

Outra topologia de *Bandgap* tradicional está representada na figura 26. Este circuito contém três transistores bipolares de junção (Q_1 , Q_2 e Q_3), sendo Q_1 e Q_2 tendo uma relação de 1:n. O circuito é projetado para que todos os transistores bipolares de junção (BJTs) sejam polarizados com a mesma corrente de polarização. Então a queda de tensão no transistor R_1 é dada por (CHOU et al., 2008):

$$V_{R1} = V_T \ln(n) \quad (2.44)$$

em que V_T é a tensão térmica kT/q e n é a proporção entre os transistores Q_1 e Q_2 .

Como a corrente que flui sobre R_1 é a mesma que flui sobre R_2 , então a tensão de referência V_{REF} é dada pela equação 2.45

$$V_{REF} = |V_{BE3}| + \frac{R_2}{R_1} \cdot V_t \cdot \ln(n) \quad (2.45)$$

Na equação 2.45 nota-se que, ao comparar com a equação 2.30, temos a resposta CTAT em V_{BE} e a compensação PTAT é formada pela relação entre os resistores R_2 e R_1 e a relação entre os transistores n .

Outra comparação que pode ser feita é na relação entre as equações 2.45 e 2.37 em que se nota que a relação entre R_2 , R_1 e n influenciarão de forma ativa o comportamento do circuito em relação à temperatura, como é possível ver na equação 2.46.

$$|V_{BE}| + \frac{R_2}{R_1} \cdot V_t \cdot \ln(n) = V_{BE} + 17.24 \cdot V_t$$

$$17.24 = \frac{R_2}{R_1} \cdot \ln(n) \quad (2.46)$$

2.4 Circuito de *startup*

Em qualquer circuito auto-polarizado, como a fonte de corrente descrita na figura 18, existem dois pontos de operação possíveis: o que a corrente de operação circule normalmente e o ponto indesejado onde a corrente zero flui no circuito (BAKER; LI; BOYCE, 1998). Um circuito de *startup* tem o objetivo de fornecer o estímulo inicial para retirar o circuito de um ponto de operação onde não tem corrente fluindo pelo circuito, fazendo com que ele entre na sua região de operação e logo após, quando o circuito já estiver em sua região de operação nominal, não exerça mais nenhuma função no circuito (KHAN; WADHWA; MISRI, 2003).

2.4.1 Topologias de circuito de *startup*

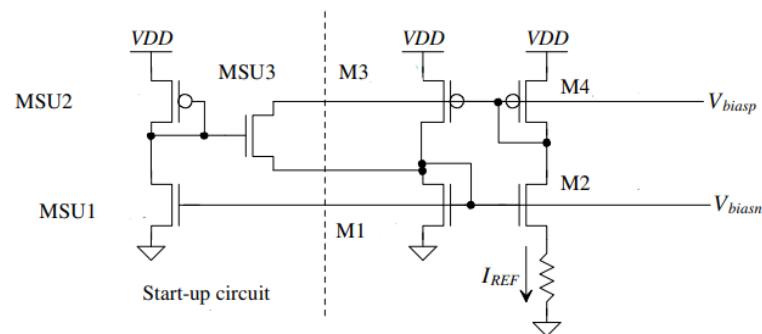


Figura 27 – Circuito de fonte de corrente com *startup*. Fonte:(BAKER; LI; BOYCE, 1998)

Para lidar com este problema adicionamos um circuito de *startup* como mostra a figura 27. Quando o circuito está na condição inicial (com M3 e M4 em V_{DD} , M1 e M2 em 0V e não circulando corrente no circuito) o *gate* de MSU1 está no terra e, portanto, está desligado, enquanto que o *gate* de MSU2 está em algum lugar entre V_{DD} e $V_{DD} - V_{THP}$. Nesta condição, MSU3, que funciona como uma chave NMOS, liga e fornece corrente das portas *gate* de M3 e M4 para as portas *gate* de M1 e M2, fazendo com que o circuito de fonte de corrente ligue e a “chave” MSU3 desligue (BAKER; LI; BOYCE, 1998).

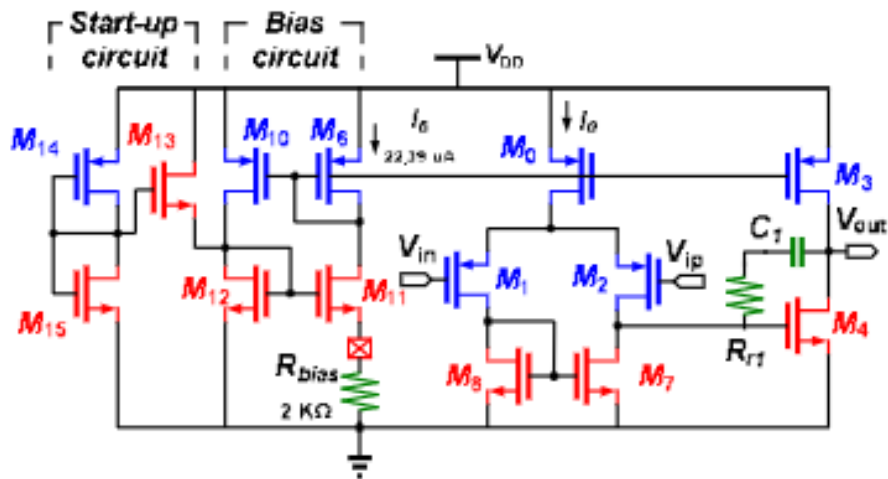


Figura 28 – Circuito de *startup* com fonte de corrente em um AmpOp Fonte:(LAI, 2017)

Outra topologia possível de *startup* é observada na figura 28, onde o *startup* opera em um *beta multiplier* semelhante ao da figura 18 que, por sua vez, irá fornecer corrente a um AmpOp. Neste circuito a tensão de *gate* nos transistores M_{14} e M_{15} é igual a zero, fazendo com que o transistor M_{13} ligue e forneça a corrente necessária para o transistor M_{12} comece a operar e fazer com que o circuito funcione de maneira correta. Depois de um tempo passará corrente pelo transistor M_{15} , desligando o transistor M_{14} e desligando o circuito de *startup* (LAI, 2017).

3 Projeto dos circuitos

3.1 Amplificador operacional

Para a confecção do *Bandgap*, foi escolhido para este trabalho o amplificador operacional *Symmetrical cascode OTA* semelhante à figura 14, porém com a configuração PMOS, devido às especificações de entrada do *Bandgap*. Nota-se que essa topologia pode apresentar o mesmo problema do amplificador operacional do tipo *telescopic*, fazendo com que tenha uma queda de tensão muito grande na excursão entre V_{DD} e V_{SS} . Para reduzir este problema pode-se lançar mão de *Low-voltage cascode current mirror*, que consiste em forçar que o V_{DS} do dispositivo em *diode-connected* seja igual ao V_{DS} do espelho de corrente. O circuito de *Low-voltage cascode current mirror*, representado na figura 29, nota-se que $V_{DS1} = V_b - V_{GS0}$ e este valor deve ser igual ao de V_{DS2} se $V_{GS0} = V_{GS3}$, fazendo com que ainda faça o papel de espelho de corrente com uma queda de tensão menor (RAZAVI, 2001).

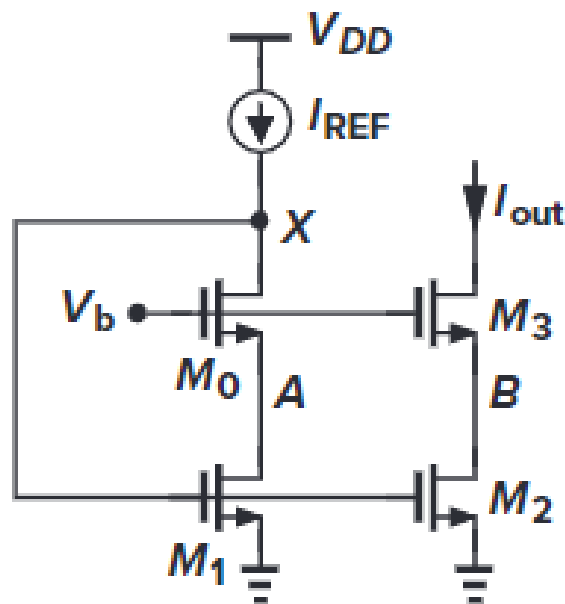


Figura 29 – Circuito *Low-voltage cascode current mirror*. Fonte:(RAZAVI, 2001)

Aplicando o circuito de *Low-voltage cascode current mirror* nos transistores necessários e mudando a configuração para PMOS, o circuito é apresentado conforme a figura 30.

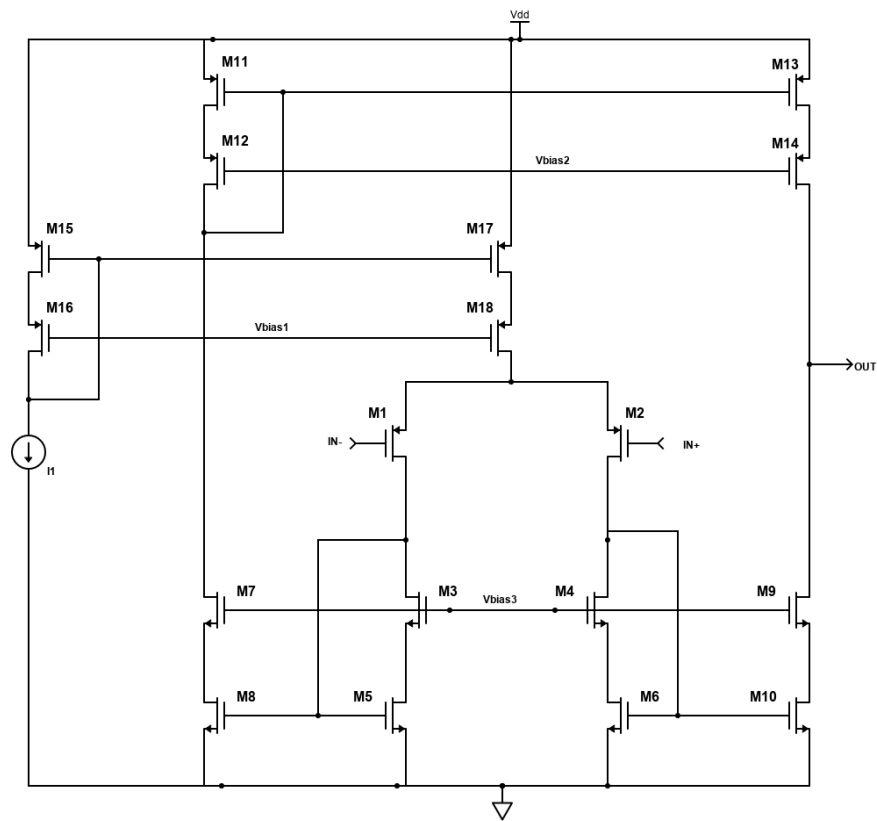


Figura 30 – Circuito *Symmetrical cascode OTA PMOS* com *Low-voltage cascode current mirror*. Fonte: Autoria própria

Nota-se que também foi acrescentado um *Low-voltage cascode current mirror* para a polarização do par diferencial para que se tenha mais liberdade para polarizar esta parte do circuito, podendo aumentar ou diminuir a corrente, quando necessário, nesta parte do circuito.

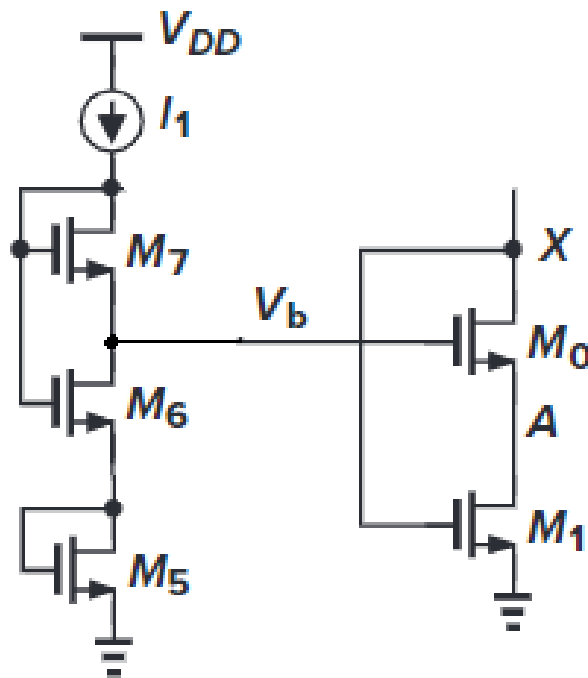


Figura 31 – Circuito para polarização dos transistores do *Low-voltage cascode current mirror*. Fonte: Adaptado de (RAZAVI, 2001)

A aplicação do *Low-voltage cascode current mirror* no circuito cria a necessidade de se aplicar uma fonte de tensão externa para polarizar as portas *gate* dos transistores M3, M4, M7, M9, M12, M14, M16 e M18. Para polarizar estas portas, pode-se utilizar do circuito apresentado na figura 31. Neste circuito os transistores M6 e M7 estão conectados em série com a fonte de corrente. Com M7 tendo um W/L tão grande que garanta que $V_{GS7} = V_{TH7}$ temos que $V_b = V_{GS5} + V_{GS6} - V_{TH7}$.

Transistor	Multiplier	L [μm]	W [μm]
M1	10	2	0.75
M2	10	2	0.75
M3	4	1.3	2
M4	4	1.3	2
M5	2	1.3	2
M6	2	1.3	2
M7	4	1.3	2
M8	2	1.3	2
M9	4	1.3	2
M10	2	1.3	2
M11	4	0.75	2
M12	12	1.3	2
M13	4	0.75	2
M14	12	1.3	2
M15	2	1.7	0.8
M16	1	1	0.44
M17	2	1.7	0.8
M18	1	1	0.44
M19	2	1.7	0.8
M20	1	1	0.44
M21	10	1.5	1
M22	1	0.5	2
M23	1	0.6	2
M24	4	1.7	0.8
M25	2	1	0.44
M26	10	1.5	1
M27	2	0.5	2

Tabela 1 – Dimensões dos transistores usados

Para a simulação do circuito foram conectadas duas fontes de corrente alternada senoidais na entrada do circuito, sendo uma na entrada inversora (V_-) do amplificador operacional e outra na entrada não-inversora (V_+). As especificações dessas fontes estão descritas na tabela 2.

Entrada	DC Voltage [V]	AC Magnitude [V]	Amplitude[V]	Frequência [Hz]
V_+	0.7	1	500μ	1K
V_-	0.7	0	0	0

Tabela 2 – Dimensões das tensões de entrada do transistor

Com isso, as especificações que este amplificador operacional deve atender estão descritos na tabela 3, com valores de referência de (ALLEN; HOLBERG, 2011).

Especificações	Valor	Unidade
Alimentação	3.3	V
Entrada	700	mV
Ganho	≥ 80	dB
Margem de Fase	≥ 60	graus
Ganho-Banda	≥ 500	KHz
ICMR	1	V/V
PSRR	≤ -60	dB
CMRR	≤ -60	dB

Tabela 3 – Especificações do AmpOp

Para validar os parâmetros necessários para avaliar o comportamento do amplificador operacional, foram feitas simulações de ganho, fase, PSRR, ICMR e CMRR. Após as simulações típicas foram feitas simulações de *corners*, variando a tensão de 3V até 3.6V e a temperatura de $0^{\circ}C$ até $100^{\circ}C$ para verificar a variabilidade dos resultados.

3.2 Fonte de corrente e Circuito de *startup*

Para a apresentação deste trabalho foi escolhida a topologia ΔV_{BE} Based da figura 20, com adaptações, com o circuito de *startup* da figura 27. A topologia com todas as modificações estão presente na figura 33.

O circuito de fonte de corrente com *startup* foi projetado no software *Cadence Virtuoso* para fornecer o valor de $10\mu A$ de corrente entre o terminal de *drain* do transistor M4 e o terminal de *drain* do transistor M2, usando como referência a figura 33. Como a especificação do projeto é uma fonte de $5\mu A$, adiciona-se um transistor M5 sendo também alimentado por V_{DD} , polarizado com a mesma tensão e com $(W/L)_4/2$, fornecendo então a metade da corrente, ou seja, $5\mu A$.

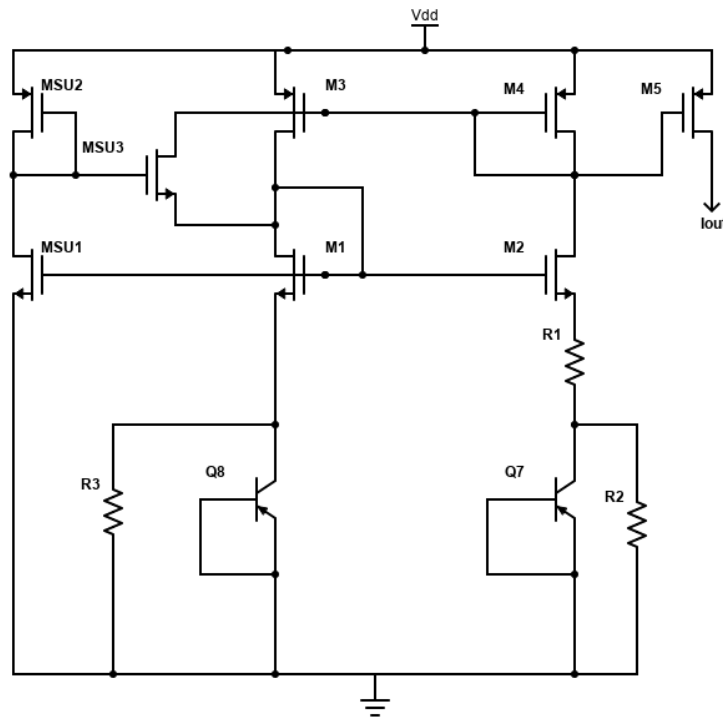


Figura 33 – Fonte de corrente ΔV_{BE} Based a ser implementada. Fonte: Autoria própria

Os valores de cada transistor da figura 33 estão descritos na tabela 4 seguindo o padrão da figura 33.

Transistor	Multiplier	L [μm]	W [μm]	Res [Ω]
M1	1	1	0.5	-
M2	1	1	0.5	-
M3	1	1	0.5	-
M4	1	1	0.5	-
M5	1	2	0.5	-
MSU1	1	2	0.27	-
MSU2	1	2	0.27	-
MSU3	1	1	0.5	-
Q7	8	5	5	-
Q8	1	5	5	-
R1	1	82	4	7.92K
R2	22	79	4	167.87K
R3	22	79	4	167.87K

Tabela 4 – Dimensões dos componentes utilizados

Para a simulação do circuito no software *Cadence Virtuoso* foi feita uma simulação variando temperatura de $0^{\circ}C$ até $100^{\circ}C$ e verificando os valores de corrente nesse intervalo com o objetivo de verificar a variação da corrente I_{out} em relação temperatura.

O circuito de *startup* também foi simulado. Primeiro o circuito foi retirado a fim de verificar o real impacto sobre a fonte de corrente e foi feita uma simulação transiente no tempo de 100ms, colocando um pulso de 0 a V_{DD} com um tempo de subida de 10 ns, a fim de verificar o tempo que o circuito demora a responder a este pulso.

3.3 *Bandgap*

Para o projeto de *Bandgap* deste trabalho foi escolhida a topologia da figura 26, de formas: com e sem o amplificador operacional, com o objetivo de comparar as duas configurações e seus resultados. O circuito sem o amplificador operacional está descrito na figura 34.

Ambos os circuitos a serem projetados devem fornecer uma tensão de referência de aproximadamente 1.2 Volts com o mínimo de variação na saída do circuito, localizada entre o terminal de *drain* do transistor M5 e o resistor R2, no intervalo de temperatura entre $0^{\circ}C$ e $100^{\circ}C$.

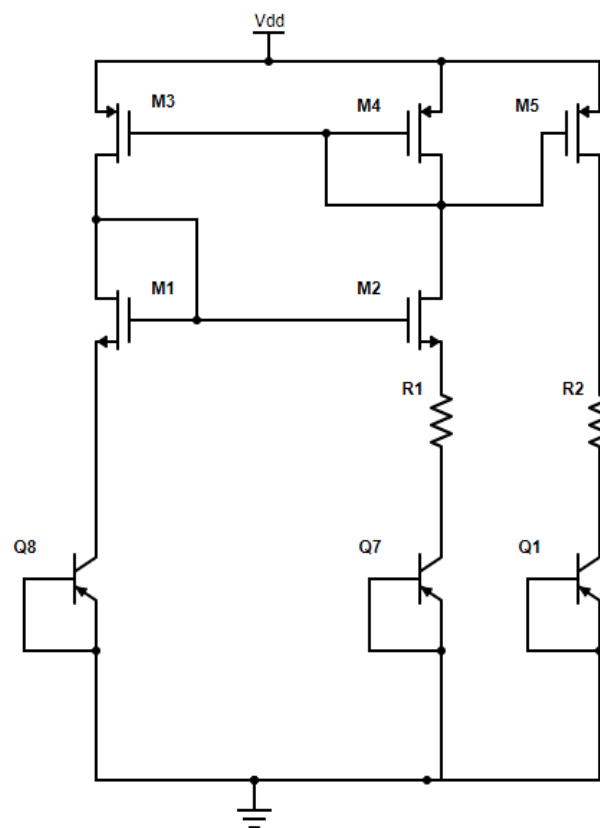


Figura 34 – Referência *Bandgap* sem a presença de um amplificador operacional.
Fonte: Autoria própria

O tamanho dos transistores para ambas as configurações PMOS foi escolhido o mesmo de forma com que sejam igualmente alimentados e polarizados a fim de que a

mesma corrente passe por todos os transistores. O tamanho dos transistores bipolares de junção também será o mesmo a fim de que ocupe menos área. Já quanto ao número n de transistores bipolares em Q2 (fig.26) foi escolhido $n=8$ por facilidade de cálculo. Arbitrando o resistor R1 em aproximadamente $11k\Omega$, pode se encontrar o valor de R2 por meio da equação 2.46:

$$17.24 = \frac{R2}{11000} \cdot \ln(8)$$

$$R2 \approx 91K\Omega$$

Utilizando como base a figura 34, os valores utilizados para a construção do *Band-gap* estão presentes na tabela 5.

Transistor	Multiplier	L [μm]	W [μm]	Res [Ω]
M1	1	1	0.5	-
M2	1	1	0.5	-
M3	1	1.5	0.5	-
M4	1	1.5	0.5	-
M5	1	1.5	0.5	-
Q1	1	5	5	-
Q2	8	5	5	-
Q3	1	5	5	-
R1	1	55	2	10.7K
R2	9	55	2	96.94K

Tabela 5 – Dimensões dos componentes utilizados

Para o circuito com o amplificador operacional, inserimos no *Bandgap* da figura 26 o amplificador *Symmetrical Cascode OTA PMOS* da figura 32. Utilizando como referência a figura 26 os valores utilizados para a construção do *Bandgap* estão presentes na tabela 6.

Transistor	Multiplier	L [μm]	W [μm]	Res [Ω]
M3	1	1.5	0.5	-
M4	1	1.5	0.5	-
M5	2	1.5	0.5	-
Q1	1	5	5	-
Q2	8	5	5	-
Q3	1	5	5	-
R1	1	56	2	10.97K
R2	5	50	2	48.96K

Tabela 6 – Dimensões dos componentes utilizados

No *Cadence Virtuoso* foi feita a simulação aplicando um intervalo de temperatura de $0^{\circ}C$ até $100^{\circ}C$ com uma tensão de alimentação $V_{dd}=3.3V$ e uma intensidade de cor-

rente de $5\mu\text{A}$ alimentando o amplificador operacional. Outra simulação também feita foi aplicar uma tensão de corrente alternada senoidal de magnitude 1V em V_{DD} e por meio de uma análise em frequência verificar o PSRR do sistema.

Com isso, as especificações que ambos os circuitos devem atender estão descritos na tabela 7, com valores de referência de (RAZAVI, 2001).

Especificações	Valor	Unidade
Alimentação	3.3	V
Saída	1.2	V
PSRR	≤ -80	dB
TC	≤ 60	ppm/ $^{\circ}\text{C}$

Tabela 7 – Especificações do *Bandgap*

3.4 Simulação de *corners*

A simulação de *corners* permite que se possa simular a variabilidade do processo em cada tecnologia. Com ela, conseguimos modelar a variabilidade dos processos, atingindo os limites toleráveis da tecnologia. Dentro do contexto de transistores MOS, existem os seguintes casos de maior variabilidade: o pior caso de velocidade, quando os transistores NMOS e PMOS são considerados lentos, o pior caso de potência, quando os transistores NMOS e PMOS são considerados rápidos, o pior caso um, quando NMOS é rápido e PMOS é lento, o pior caso zero, quando NMOS é lento e PMOS é rápido (RAPPITSCH et al., 2004). Sendo assim, os *corners* a serem estudados são: SS (*Slow-Slow*), FF (*Fast-Fast*), SF (*Slow-Fast*), FS (*Fast-Slow*), e o valor típico TT, como mostra a figura 35.

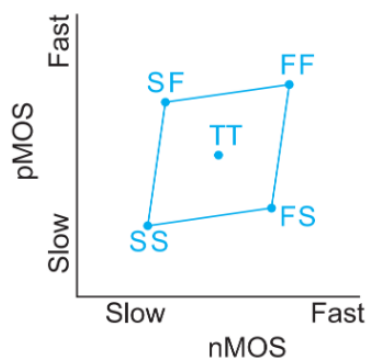


Figura 35 – *Corners* da Tecnologia. Fonte: (CHINAZZO, 2016) adaptado de (WESTE; HARRIS, 2011)

Para este trabalho serão simulados somente os parâmetros FF, SS e TT. Com isso, todos estes parâmetros serão simulados para todos os circuitos e topologias escolhidas a fim de garantir mais robustez ao projeto.

O primeiro circuito a ser submetido a simulação de *corners* será o amplificador operacional da figura 32. A partir dos resultados obtidos, será avaliado em qual *corners* o circuito tem mais variabilidade, para que se possa focar neste *corners* na avaliação do *Bandgap*.

4 Resultados e Discussões

4.1 Amplificador operacional

O circuito simulado para fazer a função de amplificador operacional no *Bandgap* foi o circuito da figura 32. Para a simulação desse amplificador operacional no software *Cadence Virtuoso*, foi feita uma simulação em frequência de 1Hz a 1GHz, aplicando um sinal senoidal de 1V AC na entrada não-inversora e 0V AC na entrada inversora. O objetivo é verificar o ganho de malha aberta na saída e o produto ganho-banda deste amplificador, como mostrado na figura 36.

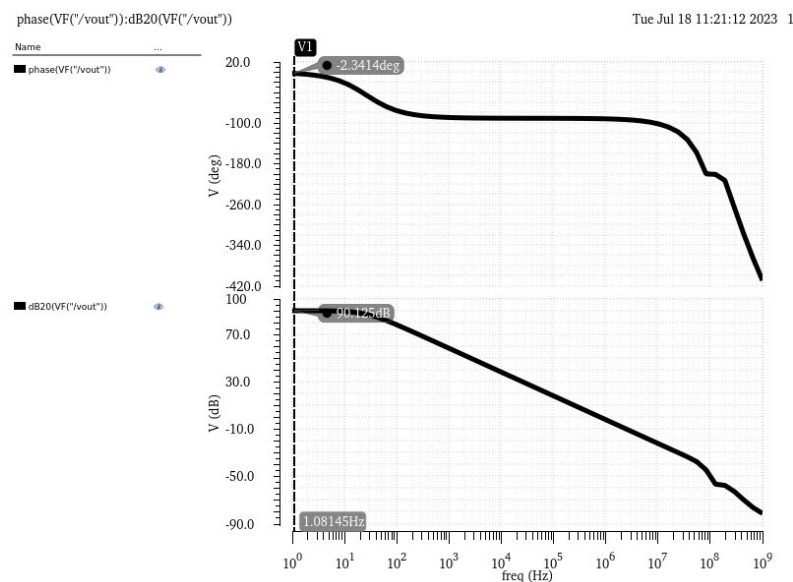


Figura 36 – Ganho do circuito *Symmetrical cascode OTA* da figura 32. Fonte: Autoria própria

Como é visto na figura 36, o circuito apresentou um valor de ganho de 90.125dB, sendo bem maior que a expectativa de 80dB. Outros valores que pode-se notar são os valores de margem de fase, margem de ganho e produto ganho-banda mostrado na figura 37.

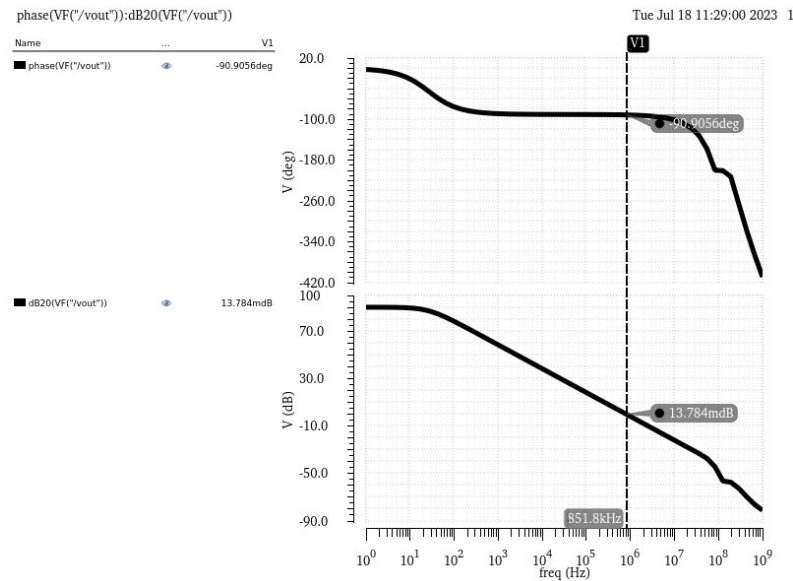


Figura 37 – Margem de fase do circuito e produto ganho-banda *Symmetrical cascode OTA* da figura 32. Fonte: Autoria própria

O valor de margem de fase, como mostrado na figura 37, é dado somando o valor de fase quando a magnitude chega a 0dB de -90.905° a 180° , sendo assim, 89.1° o valor de margem de fase. Já o produto ganho-banda é o valor em frequência em que a magnitude chega em 0dB, sendo 851.8kHz na figura 37.

Com o objetivo de medir a taxa de rejeição a variação da fonte de alimentação (PSRR) no circuito, coloca-se a entrada inversora em curto com a saída, transformando-o em um buffer, conectamos a entrada não-inversora no terra e coloca-se uma tensão AC de 1V na alimentação do circuito. A resposta do PSRR para este circuito está na figura 38.

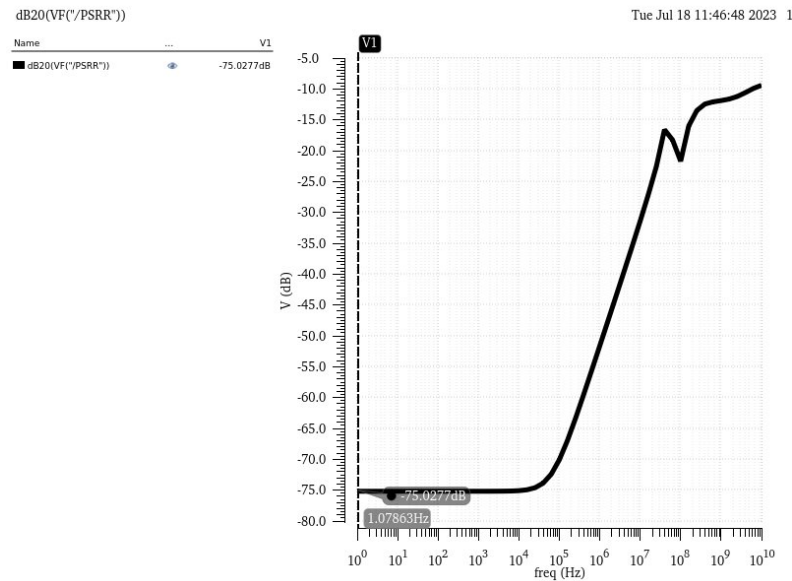


Figura 38 – PSRR *Symmetrical cascode OTA* da figura 32. Fonte: Autoria própria

Como é possível notar, o valor de PSRR obtido foi de -75.028dB, o que atende de maneira bastante satisfatória a especificação inicial de -60dB. Pode-se assim dizer que o circuito está rejeitando muito bem variações na fonte de alimentação.

Para identificar os limites da faixa de tensão em que o amplificador operacional pode operar corretamente com o mesmo sinal aplicado em ambas as entradas (modo comum), simula-se também o ICMR. Para isto coloca-se a entrada inversora em curto com a saída, transformando-o em um buffer e aplica-se na entrada não-inversora uma tensão DC, variando-a entre valores de 0V a 4V. Com isso é feita uma simulação DC com essa variação, sendo o resultado uma reta. O ICMR é o coeficiente angular desta reta. O ICMR deste circuito está presente na figura 39.

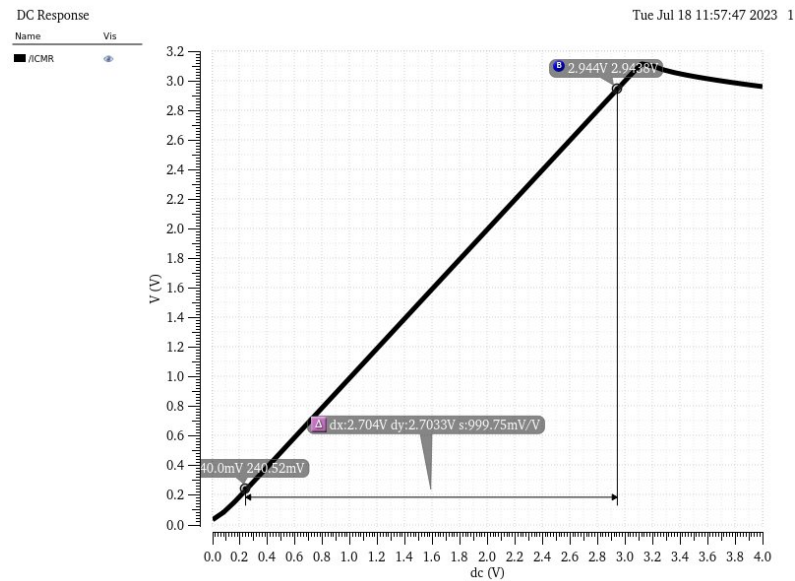


Figura 39 – ICMR *Symmetrical cascode OTA* da figura 32. Fonte:Autoria própria

Nota-se que o ICMR para este circuito é de 999.75mV/V. Este valor é considerado satisfatório, já que o valor esperado era de 1V/V, podendo o valor obtido ser aproximado ao valor esperado.

Para medir a capacidade do amplificador operacional em rejeitar sinais de modo comum presentes em ambas as entradas, também simulamos o CMRR. Para isso, fornecemos a mesma tensão DC para ambas as entradas do amplificador e conectamos um dispositivo PMOS na saída do amplificador de modo que o gate fique conectado com a saída e as portas *drain* e *source* curto-circuitadas. Com isso, a resposta do CMRR está na figura 40.

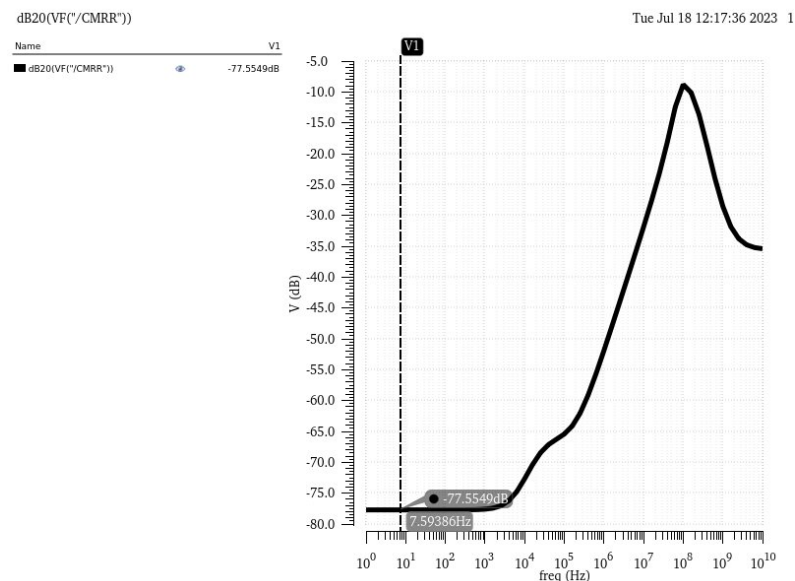


Figura 40 – CMRR *Symmetrical cascode OTA* da figura 32. Fonte:Autoria própria

Como é possível observar na figura 40, o CMRR para este circuito é de -77.55dB, valor este que satisfaz amplamente a especificação inicial de -60dB e rejeição.

Para efeitos de comparação com este trabalho, segue a tabela com outras pesquisas:

	(GARDE et al., 2021)	(CABRERA et al., 2016)	Este trabalho
Tecnologia (nm)	130	180	22
Ganho (dB)	61.38	57.5	90.1
GBW (Hz)	7.53M	3M	851.8K
Margem de Fase (°)	60	60	89.1
PSRR (dB)	63	52.1	75
CMRR (dB)	77	19	77.55
Alimentação (V)	0.5	0.7	3.3
Corrente consumida (μA)	30	36.3	30
Potência (μW)	30	25.4	99

Tabela 8 – Comparação com outros trabalhos

Comparando os resultados de outros trabalhos com este, nota-se que o circuito superou as especificações de maneira positiva em quase todos os parâmetros, embora em tecnologias diferentes. Com destaque para o ganho elevado, que é preferível para o uso no *Bandgap* já que um alto ganho em uma larga faixa de frequência melhora a eficiência do *Bandgap* e a sua estabilidade (RAZAVI, 2021). Portanto, comparando com os resultados dos outros trabalhos, todos os resultados obtidos podem ser considerados satisfatórios.

Para a simulação de *corners* foram simulados os parâmetros FF, SS e TT para ganho, PSRR e CMRR. Como a aplicação deste amplificador é para ser inserido em um circuito de *Bandgap*, cada *corners* foi variado em tensão com 3V, 3.3V e em temperatura com 0°C, 27°C e 100°C. Os resultados estão dispostos no anexo A.

Para a aplicação, o pior resultado de ganho foi de FF quando a 3.6V e 100°C, com 58.58dB, o pior resultado de PSRR foi de SS quando a 3V e 0°C, com 31.25dB, e o pior resultado de CMRR foi de SS quando a 3V nas três temperaturas dando em torno de 32dB.

4.2 Fonte de corrente

O circuito da figura 33 que será utilizado para fazer a função de fonte de corrente no *Bandgap* foi simulada no software *Cadence Virtuoso*. Para esta simulação, a temperatura neste circuito foi variada no intervalo de 0°C até 100°C, esperando o mínimo de variação na corrente do circuito. A resposta de saída do circuito é vista na figura 41.

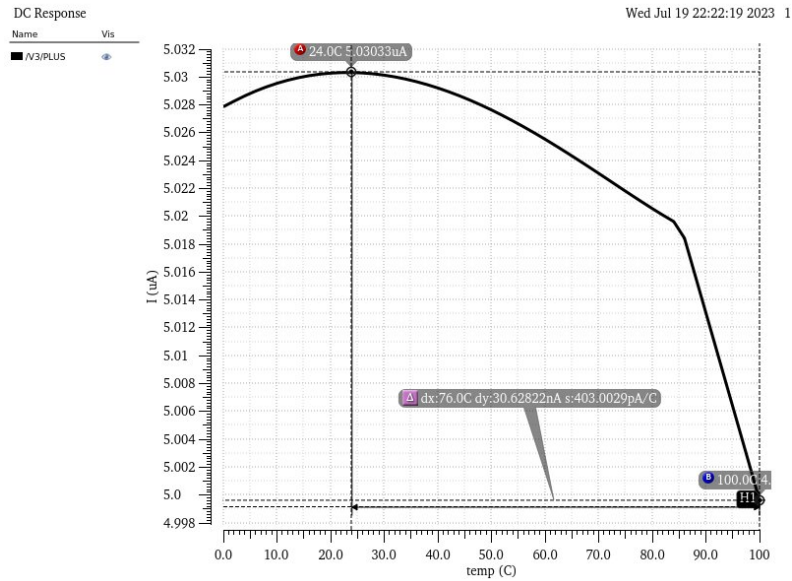


Figura 41 – Resposta da fonte de corrente implementada no *Cadence Virtuoso*.
Fonte: Autoria própria

Observando o resultado da simulação, nota-se que o valor de corrente máximo na saída foi de aproximadamente $5.03\mu A$ em $24^{\circ}C$ e um valor mínimo de aproximadamente $5\mu A$ em $24^{\circ}C$, tendo uma variação entre estes dois de aproximadamente 30.63 nA , erro que representa aproximadamente 0.6% do valor total de $5\mu A$, o que torna a fonte de corrente confiável em temperatura e com resultados satisfatórios. Com estes valores também é possível calcular o valor do coeficiente de temperatura:

$$TC = \frac{(5.0303 - 4.9997) \cdot 10^{-6}}{(100 - 0) \cdot 5 \cdot 10^{-6}} \cdot 10^6 \quad (4.1)$$

$$TC \approx 61.26 \text{ ppm}/^{\circ}C$$

Além da simulação de variação de temperatura, o circuito também foi simulado variando a tensão de alimentação entre os valores de $3V$ e $3.6V$, resultando na figura 42.

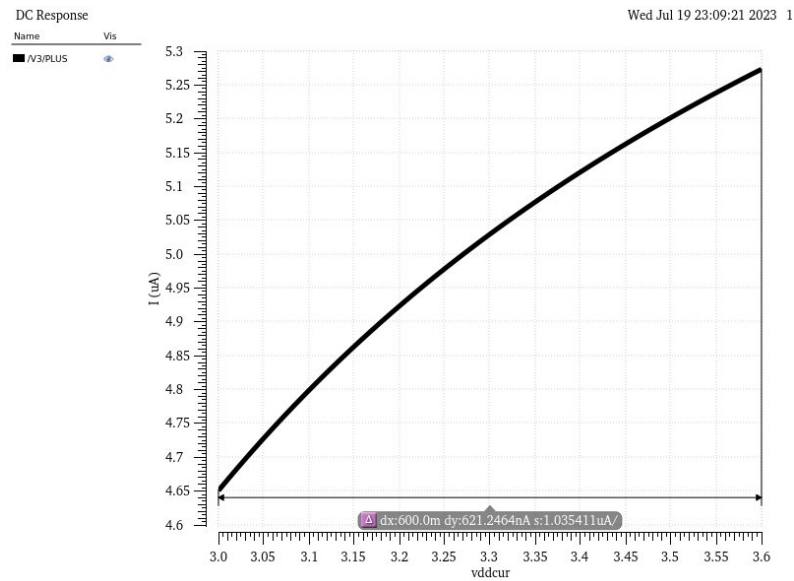


Figura 42 – Variação da fonte de alimentação na fonte de corrente Fonte:Autoria própria

Nota-se que a variação da corrente é proporcional ao aumento de tensão, ou seja, houve uma variação de 600mV na alimentação do circuito e a fonte de corrente respondeu com uma variação de aproximadamente 600nA na saída. Este comportamento pode ser melhorado, visto que se deve ter a menor variação possível de corrente com a variação da tensão.

4.3 Circuito de *startup*

O circuito de *startup* utilizado para este projeto também está descrito na figura 33 e também foi simulado no *Cadence Virtuoso*. Primeiramente foi retirado o circuito de *startup* e aplicado na tensão de alimentação um pulso com um tempo de subida de 10ns de 0V a 3.3V, verificando o tempo de resposta do circuito. Os resultados podem ser vistos na figura 43 e 44.

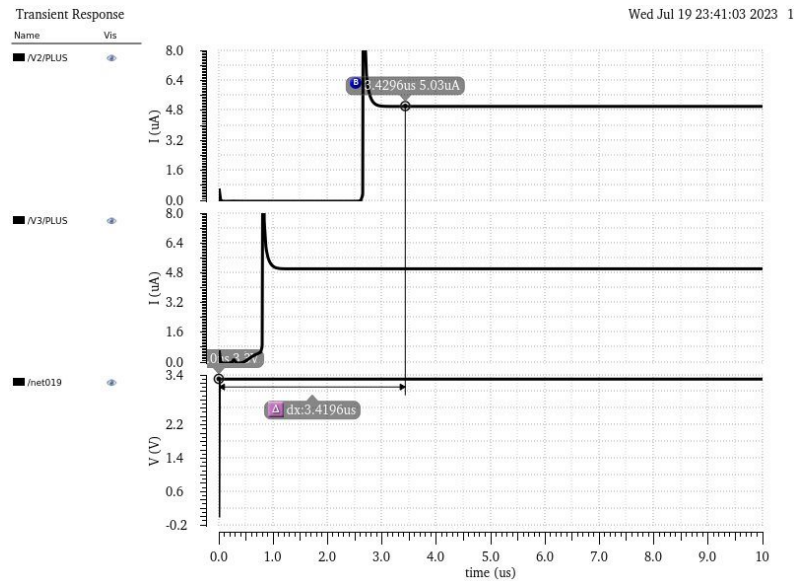


Figura 43 – Resposta da fonte de corrente sem o circuito de *startup*. Fonte:Autoria própria

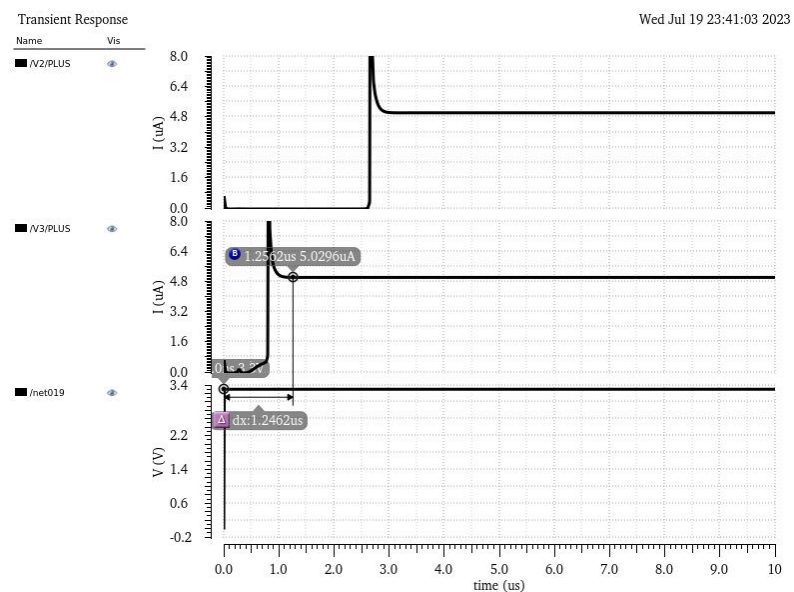


Figura 44 – Resposta da fonte de corrente com o circuito de *startup*. Fonte:Autoria própria

Nota-se que o tempo necessário entre o pulso até que a fonte de corrente atinja a corrente desejada de $5\mu A$ demora cerca de $3.43\ \mu s$. Conectando o circuito de *startup*, aplicando o mesmo sinal temos que o tempo necessário entre o pulso para atingir o valor desejado foi necessário aproximadamente $1.24\ \mu s$, conseguimos reduzir o tempo em cerca de 36.15% do tempo em que o circuito sem *startup* demora para fornecer a tensão desejada, o que prova o circuito de *startup* funciona de forma bastante eficiente.

4.4 Bandgap

Para o circuito de *Bandgap* sem a presença do amplificador operacional, descrito na figura 34, foi feita uma simulação com uma variação na temperatura de $0^{\circ}C$ até $100^{\circ}C$ com uma tensão de alimentação $V_{DD} = 3.3V$ e foi analisado no gráfico a variação de tensão na saída, conforme mostra a figura 45.

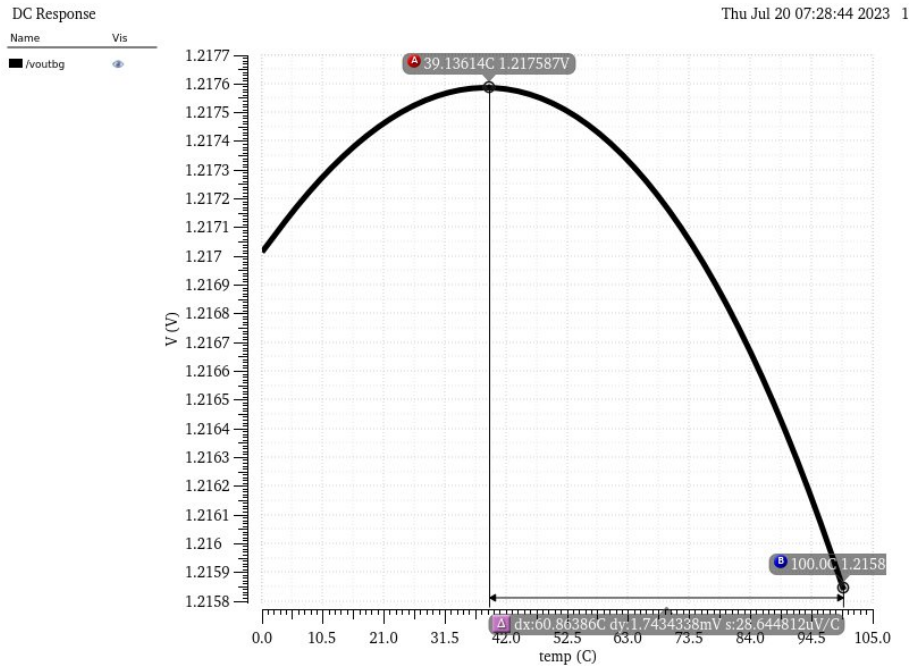


Figura 45 – Resposta da Referência *Bandgap* implementada no *Cadence Virtuoso*.
Fonte: Autoria própria

Nota-se que no centro da curva em uma temperatura de $39^{\circ}C$ a tensão gerada é de $V_{REF} \approx 1.2176V$, sendo este um valor bem próximo ao esperado. Já na temperatura de $100^{\circ}C$ a tensão gerada é de $V_{REF} \approx 1.2158V$ o que representa uma variação de aproximadamente $1.74mV$, ou seja, uma variação de 0.14% no valor de V_{REF} .

Outro parâmetro que é possível averiguar através da figura 45 é a sensibilidade à temperatura por meio do coeficiente de temperatura deste *Bandgap* dado pela equação 2.39.

$$TC = \frac{1.276 - 1.2158}{(100 - 0) \cdot 1.21} \cdot 10^6$$

$$TC \approx 14.4ppm/^{\circ}C$$
(4.2)

Um outro parâmetro que foi medido é o PSRR do *Bandgap*, que foi simulado conforme a figura 46.

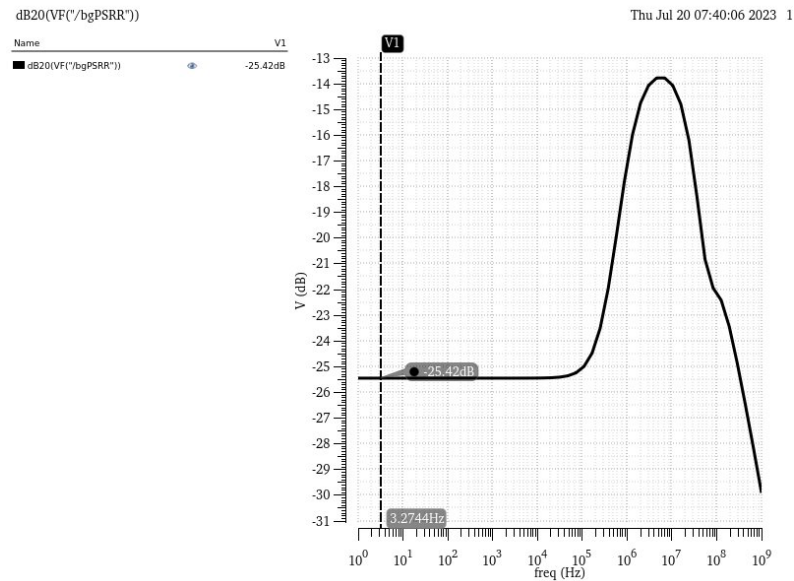


Figura 46 – PSRR do *Bandgap* implementado no *Cadence Virtuoso*. Fonte: Autoria própria

O PSRR no caso do *Bandgap* indicará a eficiência da topologia em relação à alimentação do circuito (RAZAVI, 2021), ou seja, quanto mais baixo o PSRR é, menor a eficiência do *Bandgap*. Como não há presença de amplificador operacional no primeiro circuito, o PSRR tende a ser baixo. Na figura 46 nota-se um valor de aproximadamente -25.42dB, o que é um valor muito baixo, principalmente, tendo como referência o valor de -80dB do trabalho.

Para medir a variação da saída em relação à variação da tensão alimentação do *Bandgap*, foi feita uma variação de 3V a 3.6V Na fonte de alimentação. Os resultados dessa simulação estão presentes na figura 50.

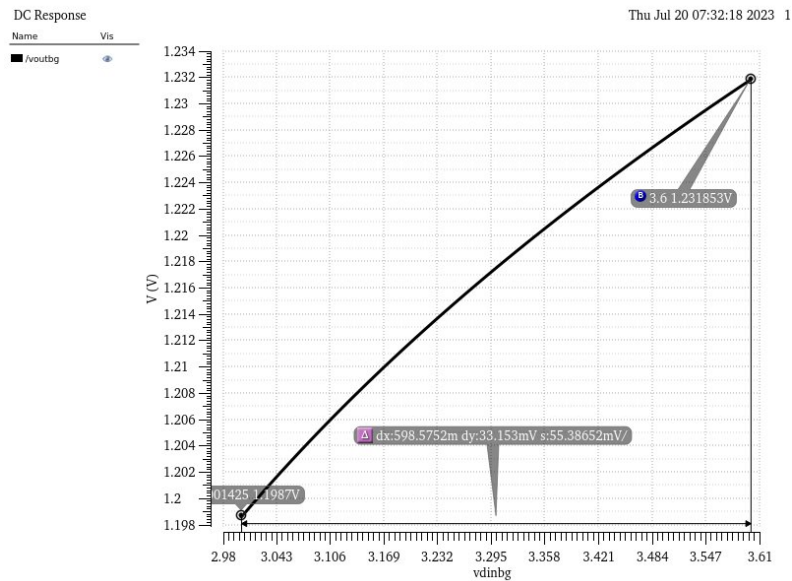


Figura 47 – Variação do VDD do *Bandgap* implementado no *Cadence Virtuoso*.
Fonte: Autoria própria

Como é possível ver, houve uma variação de 30mV entre o valor máximo e o valor mínimo, valor este que começa a fugir do propósito da topologia, que é ser uma referência de tensão.

Para o circuito de *Bandgap* com a presença do amplificador operacional, descrito na figura 26, foi feita uma simulação com uma variação na temperatura de $0^{\circ}C$ até $100^{\circ}C$ com uma tensão de alimentação $V_{DD} = 3.3V$ e foi analisado no gráfico a variação de tensão na saída, conforme mostra a figura 48.

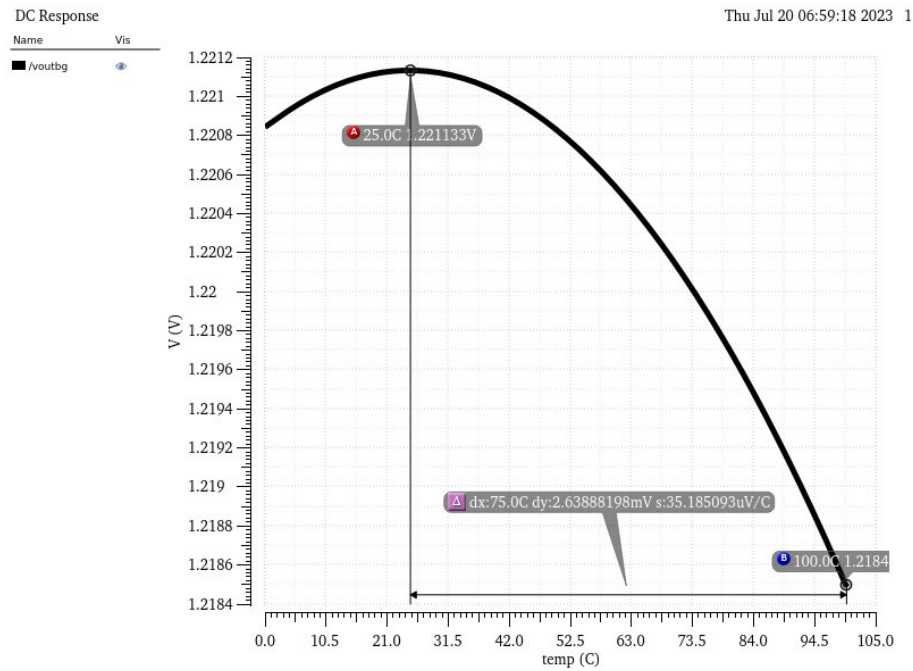


Figura 48 – Resposta da Referência *Bandgap* implementada no *Cadence Virtuoso*.
Fonte: Autoria própria

Nota-se que no centro da curva em uma temperatura de 25°C a tensão gerada é de $V_{REF} \approx 1.2211\text{V}$, sendo este um valor bem próximo ao esperado. Já na temperatura de 100°C a tensão gerada é de $V_{REF} \approx 1.2184\text{V}$ o que representa uma variação de aproximadamente 2.65mV , ou seja, uma variação de 0.21% no valor de V_{REF} . Com isso, calculamos o coeficiente de temperatura na equação 4.3

$$TC = \frac{1.2211 - 1.2184}{(100 - 0) \cdot 1.22} \cdot 10^6 \quad (4.3)$$

$$TC \approx 21.63\text{ppm}/^{\circ}\text{C}$$

Um outro parâmetro que foi medido é o PSRR do *Bandgap*, que foi simulado conforme a figura 49.

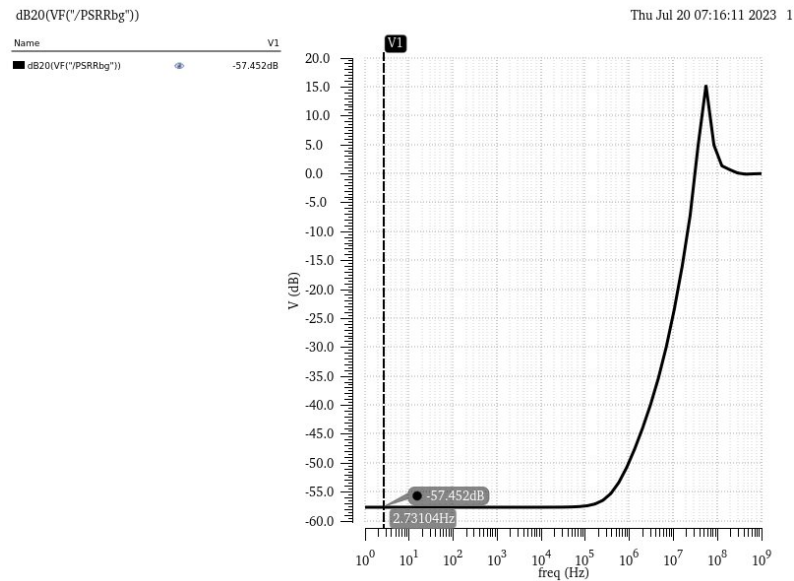


Figura 49 – PSRR do *Bandgap* implementado no *Cadence Virtuoso*. Fonte: Autoria própria

Como dito anteriormente, o PSRR indicará a eficiência da topologia em relação à alimentação do circuito (RAZAVI, 2021), ou seja, quanto mais baixo o PSRR é, menor a eficiência do *Bandgap*. Por isso, ao acrescentar o amplificador operacional, o circuito tende a apresentar um PSRR maior, visto que ele melhora esta relação pelo seu ganho. Na figura 49 nota-se um valor de aproximadamente -57.452dB, o que é um valor abaixo dos -80 dB de referência, mas muito melhor do que a configuração anterior.

Para medir a variação da saída em relação à variação da tensão alimentação do *Bandgap*, foi feita uma variação de 3V a 3.6V Na fonte de alimentação. Os resultados dessa simulação estão presentes na figura 50.

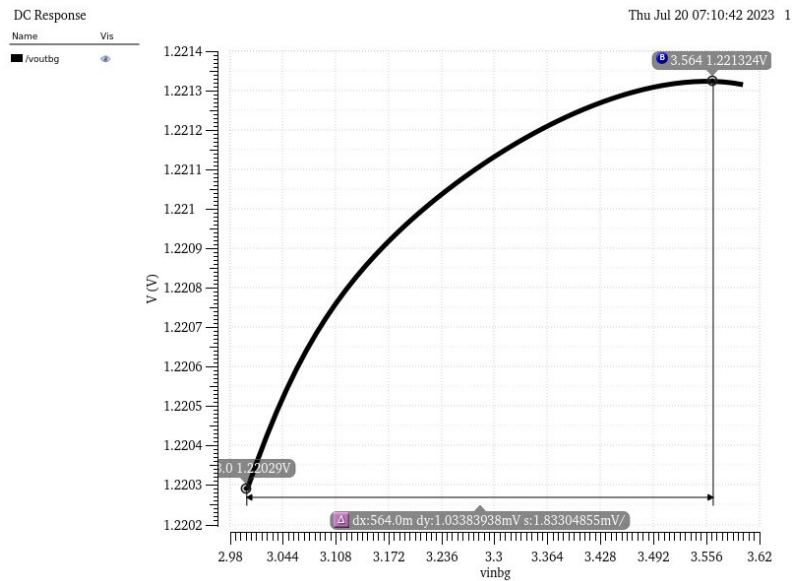


Figura 50 – Variação do VDD do *Bandgap* implementado no *Cadence Virtuoso*.
Fonte: Autoria própria

Como é possível ver, houve uma variação de 1.03mV entre o valor máximo e o valor mínimo, este valor é trinta vezes menor do que a configuração anterior, além de ser um resultado satisfatório para a aplicação desse *Bandgap*.

Para efeitos de comparação com outros trabalhos, pode-se comparar os resultados obtidos nesse trabalho com os obtidos em (COLOMBO; WIRTH,) com a tabela 9.

	(COLOMBO; WIRTH,)	Sem AmpOp	Com AmpOp
Tecnologia (nm)	180	22	22
V_{REF} (V)	1.179	1.21	1.22
ΔV_{REF_TEMP} (mV)	2	1.74	2.65
ΔV_{REF_VDD} (mV)	3.4	30	1.03
PSRR (dB)	34	25.42	57.45
Alimentação (V)	1.8	3.3	3.3
Corrente consumida (μA)	-	15.32	46.64
Potência (μW)	-	50.57	153.9

Tabela 9 – Comparação com outros trabalhos

Para a simulação de *corners* para o *Bandgap*, foram feitas as simulações TT, FF e SS para a variação de saída com a temperatura, variação na saída com variação na entrada e PSRR. A simulação foi realizada nas duas configurações com o intuito de comparação entre elas. Os resultados destas simulações estão presentes nas figuras 51, 52, 53, 54, 55 e 56.

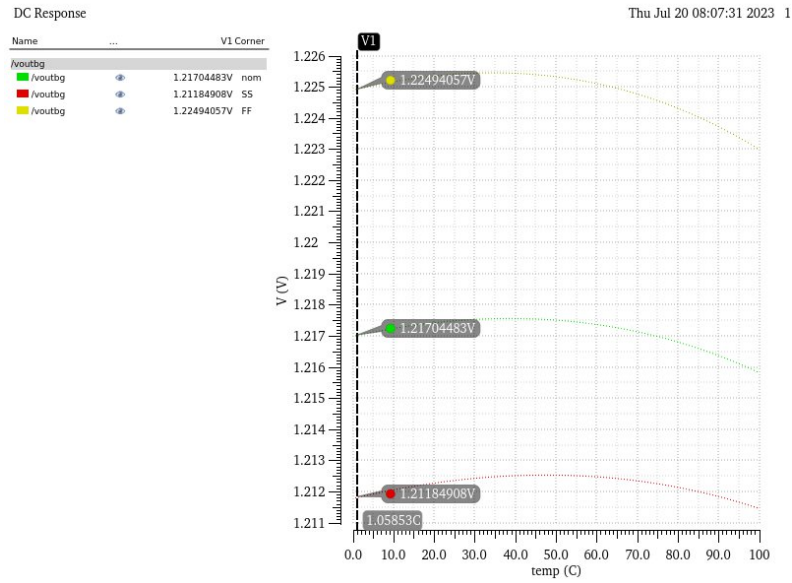


Figura 51 – Simulação de *corners* para variação da temperatura na configuração da figura 34. Fonte:Autoria própria

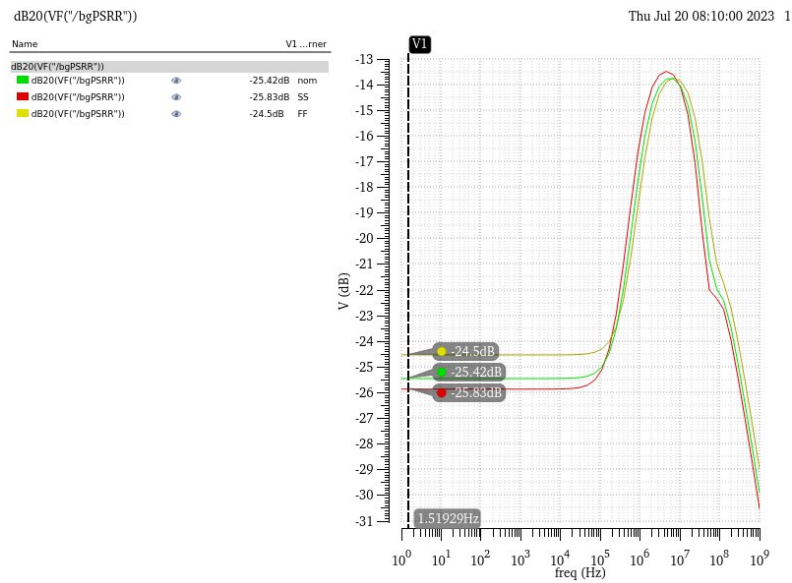


Figura 52 – Simulação de *corners* para PSRR na configuração da figura 34. Fonte:Autoria própria

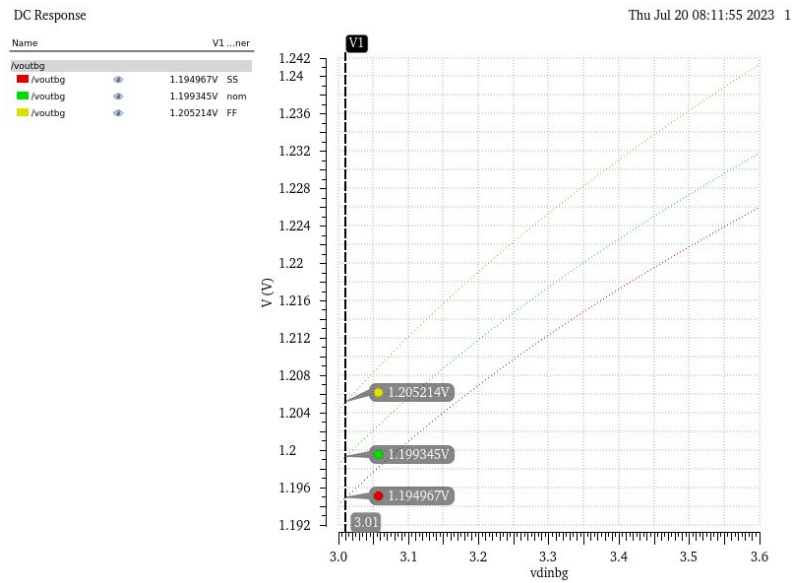


Figura 53 – Simulação de *corners* para variação da alimentação na configuração da figura 34. Fonte:Autoria própria

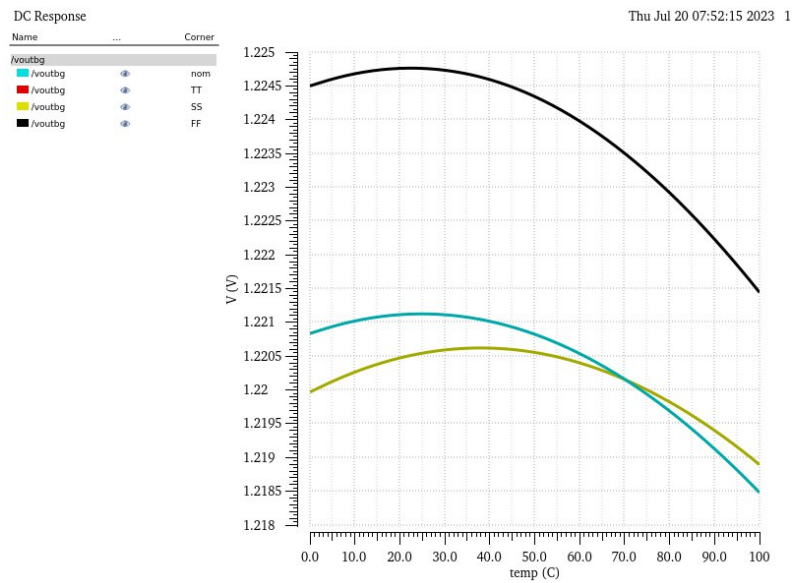


Figura 54 – Simulação de *corner* para variação da temperatura na configuração da figura 26 (Com AmpOp). Fonte:Autoria própria

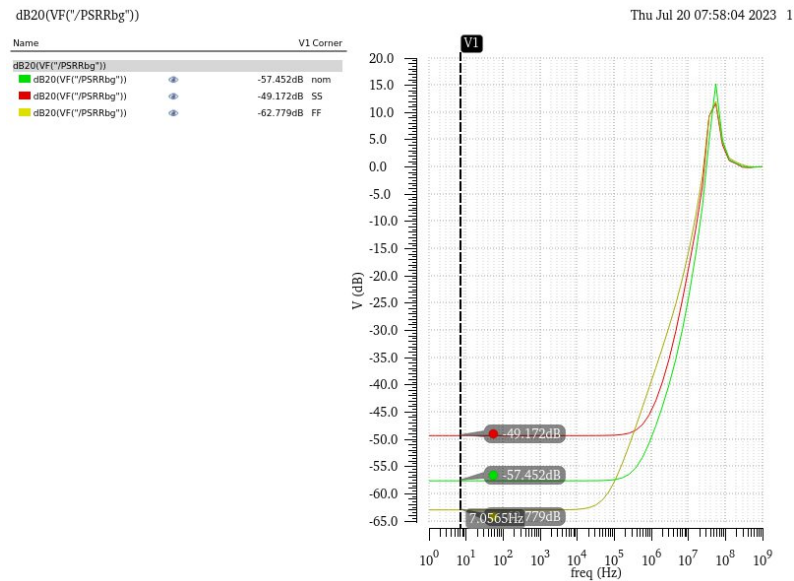


Figura 55 – Simulação de *corner* para PSRR na configuração da figura 26 (Com AmpOp).
 Fonte:Autoria própria

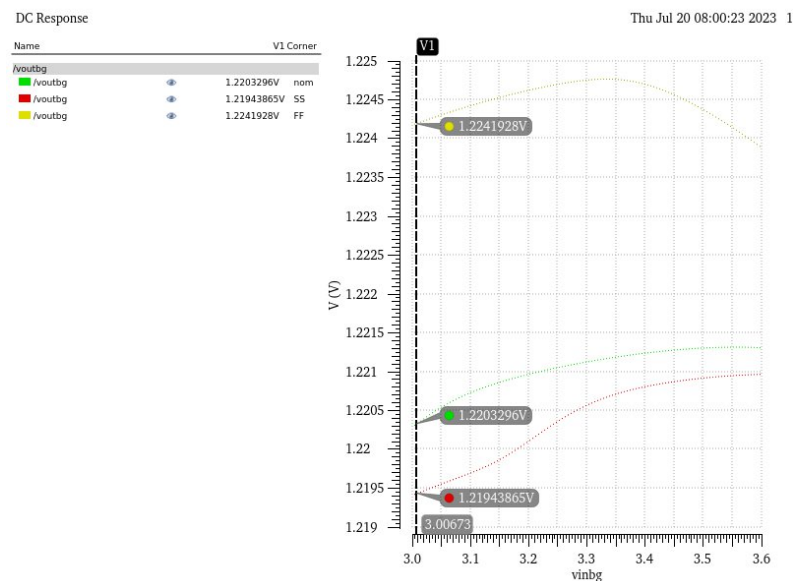


Figura 56 – Simulação de *corner* para variação da alimentação na configuração da figura 26 (Com AmpOp).
 Fonte:Autoria própria

Comparando as figuras 51 e 54 nota-se que na configuração sem o AmpOp, tanto o FF quanto o SS se afastaram do valor típico, enquanto na configuração com o AmpOp o valor de SS se aproximou do valor típico, enquanto o valor de FF se afastou do valor típico. O fato de SS se aproximar do valor típico e FF não se aproximar era esperado, visto que na simulação de *corners* para o amplificador operacional o menor ganho foi na simulação FF.

Comparando as figuras 52 e 55 nota-se que na configuração sem o AmpOp a resposta do SS foi um pouco melhor em relação ao valor típico, porém nem o SS, nem o FF representam mudanças consideráveis, sendo FF com o valor de 24.5dB, SS com o valor de 24.83dB e o valor típico de 25.42dB. Na configuração com o AmpOp o valor de SS teve uma queda considerável, com 49.17dB, enquanto o valor de FF teve uma melhora significativa de 62.78dB em relação ao valor típico de 57.45dB. O fato de SS piorar em relação ao valor típico não era esperado, visto que, como dito anteriormente, na simulação de *corners* para o amplificador operacional o menor ganho foi na simulação FF.

Comparando as figuras 53 e 56 nota-se que na configuração sem o AmpOp, a resposta do SS se aproximou ao valor típico, enquanto o FF se afastou mais do valor típico. Na configuração com o AmpOp o valor de SS acompanhou melhor o valor típico em comparação com o FF, que se distanciou consideravelmente.

5 Conclusão

Neste trabalho foi apresentado um projeto completo de um *Bandgap* e todos os blocos necessários para a sua construção.

Foi projetado um Amplificador operacional de um estágio do tipo *Symmetrical Cascode OTA PMOS* e foi obtido um ganho de aproximadamente 90.1dB, atendendo a especificação de pelo menos 80dB de ganho. Quanto a margem de fase, foi obtido o valor de 89.1°. Além disso, foram obtidos valores de 75dB e 77.55dB para PSRR e CMRR, respectivamente. Todos os valores são considerados consistentes para a sua aplicação. Em relação os *corners* deste circuito o pior resultado de ganho foi de FF quando a 3.6V e 100°C, com 58.58dB, o pior resultado de PSRR foi de SS quando a 3V e 0°C, com 31.25dB, e o pior resultado de CMRR foi de SS quando a 3V nas três temperaturas dando em torno de 32dB. Estes valores foram levados em consideração para a construção do *Bandgap* e devem ser melhorados em trabalhos futuros.

Foi construído também um circuito de fonte de corrente do tipo ΔV_{BE} Based com um circuito de *startup* que garantiram uma resposta de aproximadamente $5.03\mu A$ com uma variação de 30.36nA entre a corrente mínima e a corrente máxima, com uma variação de 0.6% entre 0°C e 100°C, o que garantiu ao circuito um coeficiente de temperatura de 61.26ppm/°C, podendo ser ainda mais otimizado em trabalhos futuros, embora já esteja satisfatório. Além disso, também foi feita uma variação da tensão de alimentação entre os valores de 3V e 3.6V, resultando em uma variação de 600nA, valor este que deve ser melhorado em trabalhos futuros para uma menor variação. Quanto ao circuito de *startup*, foi obtido um tempo $1.24\mu s$, sendo quase 1/3 do tempo do circuito sem *startup* que foi de $2.43\mu s$, sendo assim, um parâmetro bastante satisfatório.

Para o circuito de *Bandgap* foram feitas duas configurações da mesma topologia: uma sem o amplificador operacional e a outra com o amplificador operacional. A primeira configuração alcançou a tensão de referência de 1.2176V a uma temperatura de 39°C. Com essa diferença de tensão, foi notada também uma variação de aproximadamente 1.74mV entre 0°C e 100°C, o que representa um erro de 0.14%, fazendo com que se obtenha um coeficiente de temperatura de aproximadamente 14.4ppm/°C, um valor satisfatório para a aplicação. Além disso, foi calculado o PSRR para esta configuração, resultando em 25.42dB um valor muito baixo, principalmente, tendo como referência o valor de 80dB do trabalho. o que representa uma boa variação com a temperatura. Testando o comportamento do circuito com variações na tensão de alimentação, foi variada esta tensão entre os valores de 3V e 3.6V, o que gerou uma variação de 33mV, valor este que começa a fugir do propósito da topologia, que é ser uma referência de tensão. Já a

segunda configuração alcançou a tensão de referência de 1.2211V a uma temperatura de 25°C. Com isso, foi notada também uma variação de aproximadamente 2.65mV entre 0°C e 100°C, o que representa um erro de 0.21%, fazendo com que se obtenha um coeficiente de temperatura de aproximadamente 21.63ppm/°C, um valor satisfatório para a aplicação. Logo após foi calculado o PSRR para esta configuração, resultando em 57.45dB, valor comum entre projetos de *Bandgap*, mas abaixo das especificações iniciais. Além disso, também foi feita uma simulação variando a tensão de alimentação de 3V e 3.6V, o que gerou uma variação de 1.03mV, valor considerado satisfatório para as especificações do *Bandgap*.

Também foram feitas simulações de *corners* do *Bandgap*, gerando algumas variações que por hora não afetam de maneira contundente o circuito para a aplicação pelo qual ele foi feito, mas que deve ser melhorado em trabalhos futuros com a utilização de *trimmers* no circuito.

Referências

- AHSANUZZAMAN, S. M.; PRODIĆ, A.; JOHNS, D. A. An integrated high-density power management solution for portable applications based on a multioutput switched-capacitor circuit. *IEEE Transactions on Power Electronics*, v. 31, n. 6, p. 4305–4323, 2016. Citado na página 17.
- ALEXANDER, C.; SADIKU, M.; NASCIMENTO, J. D. *Fundamentos De Circuitos Elétricos*. MCGRAW HILL - ARTMED, 2013. ISBN 9788580551723. Disponível em: <<https://books.google.com.br/books?id=AsLbmgEACAAJ>>. Citado 2 vezes nas páginas 9 e 21.
- ALLEN, P.; HOLBERG, D. *CMOS Analog Circuit Design*. OUP USA, 2011. (The Oxford Series in Electrical and Computer Engineering). ISBN 9780199765072. Disponível em: <https://books.google.com.br/books?id=JRwZ_gAACAAJ>. Citado 9 vezes nas páginas 9, 20, 21, 22, 23, 31, 37, 38 e 49.
- AZCONA, C. et al. Precision cmos current reference with process and temperature compensation. In: *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*. [S.l.: s.n.], 2014. p. 910–913. Citado 2 vezes nas páginas 31 e 33.
- BAKER, R. J.; LI, H. W.; BOYCE, D. E. *CMOS. Circuit design layout and simulation*. [S.l.]: IEEE Press, 1998. Citado 5 vezes nas páginas 9, 10, 23, 24 e 43.
- BARNA, A. *Operational Amplifiers*. Wiley-Interscience, 1971. ISBN 9780471050308. Disponível em: <<https://books.google.com.br/books?id=bDkjAAAAMAAJ>>. Citado na página 23.
- BROKAW, A. A simple three-terminal ic bandgap reference. *IEEE Journal of Solid-State Circuits*, v. 9, n. 6, p. 388–393, 1974. Citado 3 vezes nas páginas 9, 41 e 42.
- CABRERA, E. et al. 0.7-v three-stage class-ab cmos operational transconductance amplifier. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 63, n. 11, p. 1807–1815, 2016. Citado na página 60.
- CHEN, J.; SHI, B. 1v cmos current reference with 50 ppm/° c temperature coefficient. *Electronics Letters*, The Institution of Engineering & Technology, v. 39, n. 2, p. 1, 2003. Citado 3 vezes nas páginas 9, 34 e 35.
- CHINAZZO, A. L. *Desenvolvimento de Teste de Amplificadores Diferenciais utilizando Simulações SPICE Automatizadas*. [S.l.], 2016. Citado 2 vezes nas páginas 10 e 54.
- CHOU, L. T. et al. Design of bandgap voltage reference circuit with all tft devices on glass substrate in a 3-m ltps process. In: . [S.l.: s.n.], 2008. p. 721 – 724. Citado na página 42.
- CHUI MARK COLLINS, M. P. M. *IoT value set to accelerate through 2030: Where and how to capture it*. 2021. Disponível em: <<https://www.mckinsey.com/capabilities/mckinsey-digital/our-insights/iot-value-set-to-accelerate-through-2030-where-and-how-to-capture-it#/>>. Citado na página 16.

COLOMBO, D. M.; WIRTH, G. I. Impact of different op-amps in cmos bandgap references implemented in 0.18 μm technology. *TABLE II. SIMULATED PERFORMANCE OF THIS WORK TABLE I. SIMULATED PERFORMANCE COMPARED WITH OTHER WORKS*. Citado na página 69.

GANESH, D. E. Implementation of power management in high speed electronic devices. *International Journal of Exclusive Global Research*, 1 (12), 16, v. 24, p. 117–121, 2017. Citado na página 16.

GARDE, M. P. et al. Energy-efficient symmetrical cascode ota in a 130 nm cmos process. In: *2021 XXXVI Conference on Design of Circuits and Integrated Systems (DCIS)*. [S.l.: s.n.], 2021. p. 1–5. Citado na página 60.

HARRISON, L. *Current Sources and Voltage References: A Design Reference for Electronics Engineers*. Elsevier Science, 2005. ISBN 9780080455556. Disponível em: <<https://books.google.com.br/books?id=03JmxpE39N4C>>. Citado 4 vezes nas páginas 9, 40, 41 e 42.

KEYES, R. W. Miniaturization of electronics and its limits. *IBM Journal of Research and Development*, IBM, v. 32, n. 1, p. 84–88, 1988. Citado na página 16.

KHAN, Q.; WADHWA, S.; MISRI, K. Low power startup circuits for voltage and current reference with zero steady state current. In: *Proceedings of the 2003 International Symposium on Low Power Electronics and Design, 2003. ISLPED '03*. [S.l.: s.n.], 2003. p. 184–188. Citado na página 43.

LAI, W.-C. Bandgap reference circuit with sub-1-v operation in cmos for signaling networks-on-chip on microsystems technology. In: *2017 12th International Microsystems, Packaging, Assembly and Circuits Technology Conference (IMPACT)*. [S.l.: s.n.], 2017. p. 222–225. Citado 2 vezes nas páginas 10 e 44.

LAKER, K.; SANSEN, W. *Design of Analog Integrated Circuits and Systems*. McGraw-Hill, 2002. (McGraw-Hill series in electrical and computer engineering. Electronics and VLSI circuits). ISBN 9780071229234. Disponível em: <<https://books.google.com.br/books?id=lWoAvegEACAAJ>>. Citado 3 vezes nas páginas 20, 21 e 29.

LAWS, D. A. A company of legend: The legacy of fairchild semiconductor. *IEEE Annals of the History of Computing*, v. 32, n. 1, p. 60–74, 2010. Citado na página 16.

LEE, J.; CHO, S. A 1.4- μw 24.9-ppm/ $^{\circ}\text{C}$ current reference with process-insensitive temperature compensation in 0.18- μm cmos. *IEEE Journal of Solid-State Circuits*, v. 47, n. 10, p. 2527–2533, 2012. Citado 3 vezes nas páginas 9, 36 e 37.

LEE, S.; SÁNCHEZ-SINENCIO, E. Current reference circuits: A tutorial. *IEEE Transactions on Circuits and Systems II: Express Briefs*, v. 68, n. 3, p. 830–836, 2021. Citado 4 vezes nas páginas 9, 34, 35 e 36.

MINAEI, S. et al. New realizations of current-mode and voltage-mode multifunction filters without external passive elements. *AEU - International Journal of Electronics and Communications*, v. 57, n. 1, p. 63–69, 2003. ISSN 1434-8411. Disponível em: <<https://www.sciencedirect.com/science/article/pii/S1434841104701314>>. Citado 2 vezes nas páginas 9 e 30.

- RAPPITSCH, G. et al. Spice modeling of process variation using location depth corner models. *IEEE Transactions on Semiconductor Manufacturing*, v. 17, n. 2, p. 201–213, 2004. Citado na página 54.
- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. first. [S.l.]: McGraw-Hill, 2001. Citado 18 vezes nas páginas 9, 10, 17, 24, 25, 26, 27, 28, 31, 32, 33, 37, 38, 39, 42, 45, 47 e 54.
- RAZAVI, B. The design of a low-voltage bandgap reference [the analog mind]. *IEEE Solid-State Circuits Magazine*, v. 13, n. 3, p. 6–16, 2021. Citado 3 vezes nas páginas 60, 65 e 68.
- RINCON-MORA, G. *Analog IC Design with Low-Dropout Regulators, Second Edition*. [S.l.]: McGraw-Hill Education, 2014. ISBN 9780071826631. Citado na página 17.
- RINCON-MORA, G. A. Voltage references. In: _____. *Voltage References: From Diodes to Precision High-Order Bandgap Circuits*. [S.l.: s.n.], 2002. p. 45–78. Citado na página 39.
- STORNELLI, V.; FERRI, G.; MARCELLIS, A. D. A fully-differential symmetrical ota-based rail-to-rail switched buffer. In: *2007 Ph.D Research in Microelectronics and Electronics Conference*. [S.l.: s.n.], 2007. p. 85–88. Citado 2 vezes nas páginas 9 e 29.
- TERRELL, D. L. Chapter one - basic concepts of the integrated operational amplifier. In: TERRELL, D. L. (Ed.). *Op Amps (Second Edition)*. Second edition. Burlington: Newnes, 1996. p. 1–35. ISBN 978-0-7506-9702-6. Disponível em: <<https://www.sciencedirect.com/science/article/pii/B9780750697026500020>>. Citado na página 20.
- WESTE, N.; HARRIS, D. *CMOS VLSI Design: A Circuits and Systems Perspective*. Pearson Education, 2011. ISBN 9780133001471. Disponível em: <<https://books.google.com.br/books?id=4SYrAAAAQBAJ>>. Citado 2 vezes nas páginas 10 e 54.
- WIDLAR, R. New developments in ic voltage regulators. *IEEE Journal of Solid-State Circuits*, v. 6, n. 1, p. 2–7, 1971. Citado na página 40.
- WONG, H.; IWAI, H. The road to miniaturization. *Physics World*, IOP Publishing, v. 18, n. 9, p. 40, 2005. Citado na página 16.

Anexos

ANEXO A – Corners AmpOp

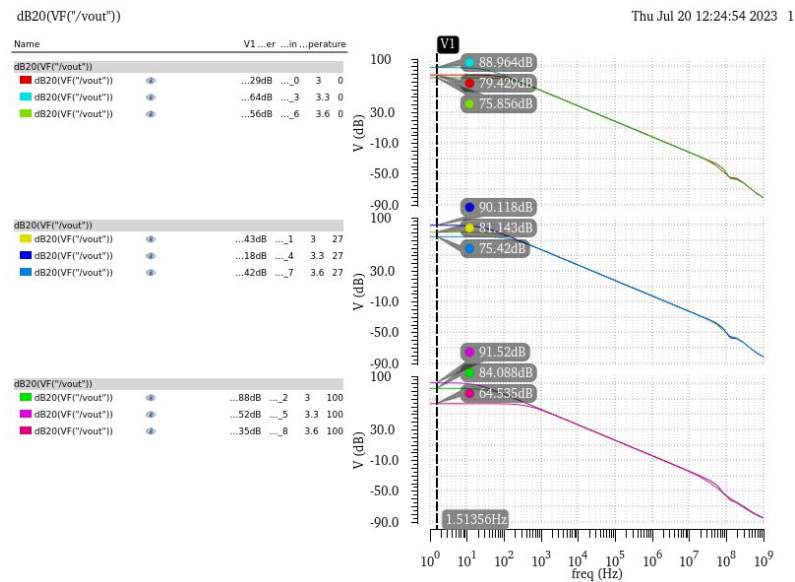


Figura 57 – Simulação de corner TT de ganho do *Symmetrical Cascode OTA PMOS*.
Fonte:Autoria própria

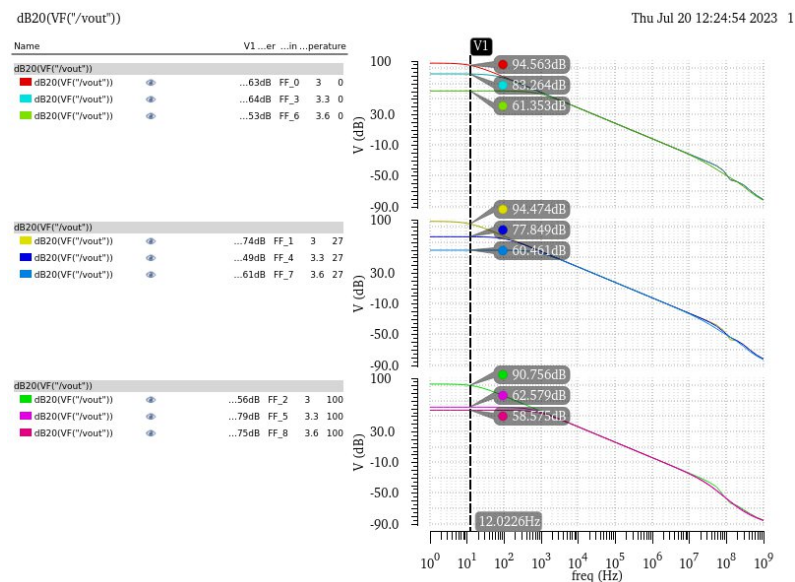


Figura 58 – Simulação de corner FF de ganho do *Symmetrical Cascode OTA PMOS*.
Fonte:Autoria própria

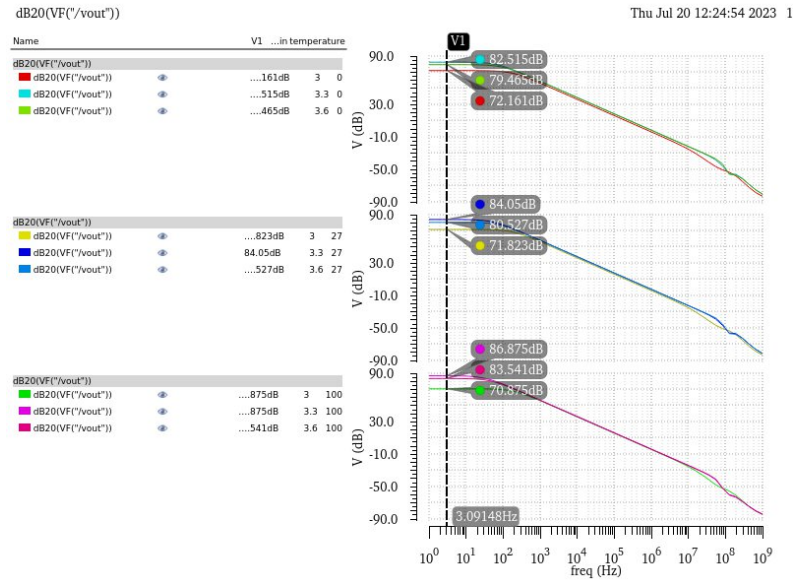


Figura 59 – Simulação de corner SS de ganho do *Symmetrical Cascode OTA PMOS*.
Fonte:Autoria própria

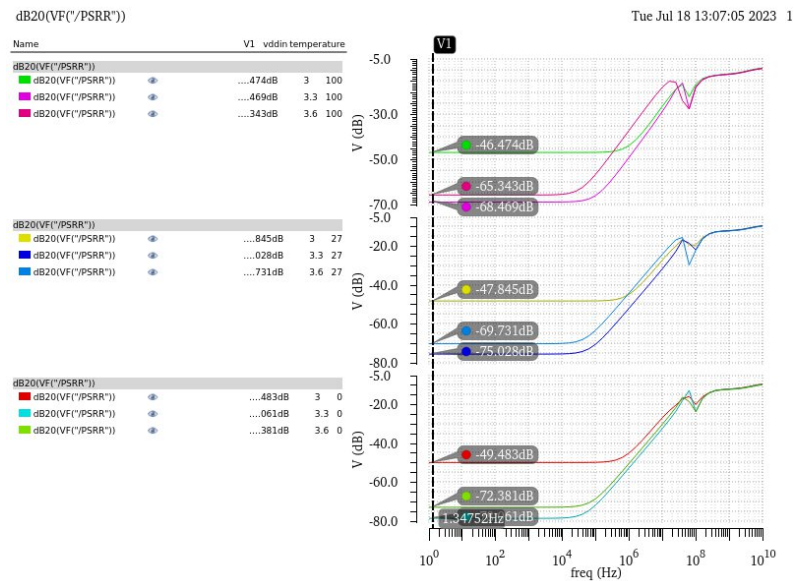


Figura 60 – Simulação de corner TT de PSRR do *Symmetrical Cascode OTA PMOS*.
Fonte:Autoria própria

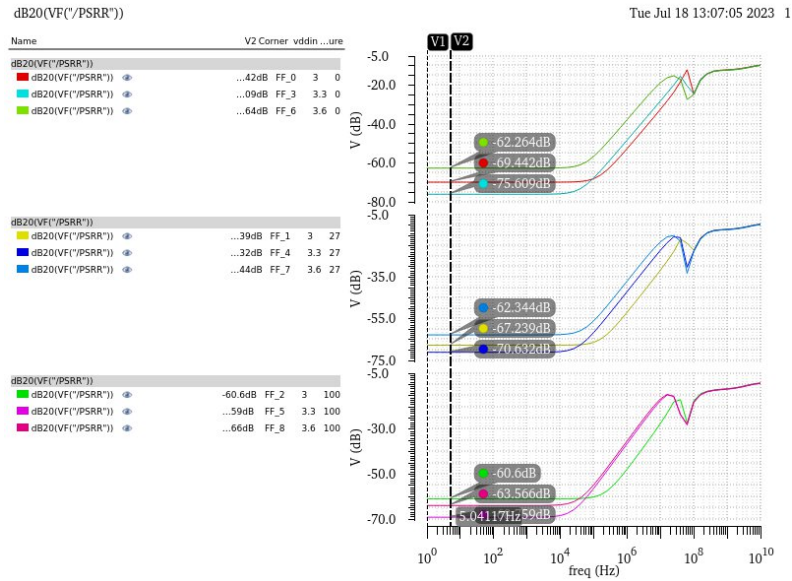


Figura 61 – Simulação de corner FF de PSRR do *Symmetrical Cascode OTA PMOS*.
 Fonte:Autoria própria

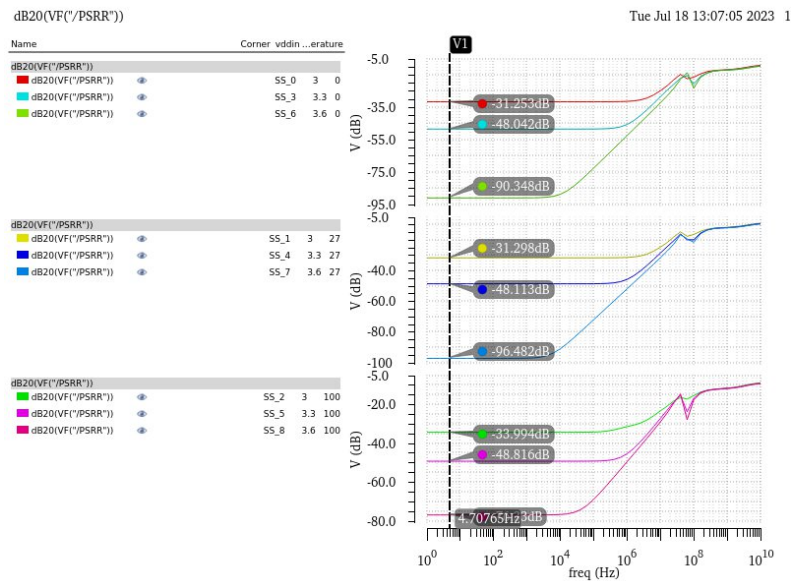


Figura 62 – Simulação de corner SS de PSRR do *Symmetrical Cascode OTA PMOS*.
 Fonte:Autoria própria

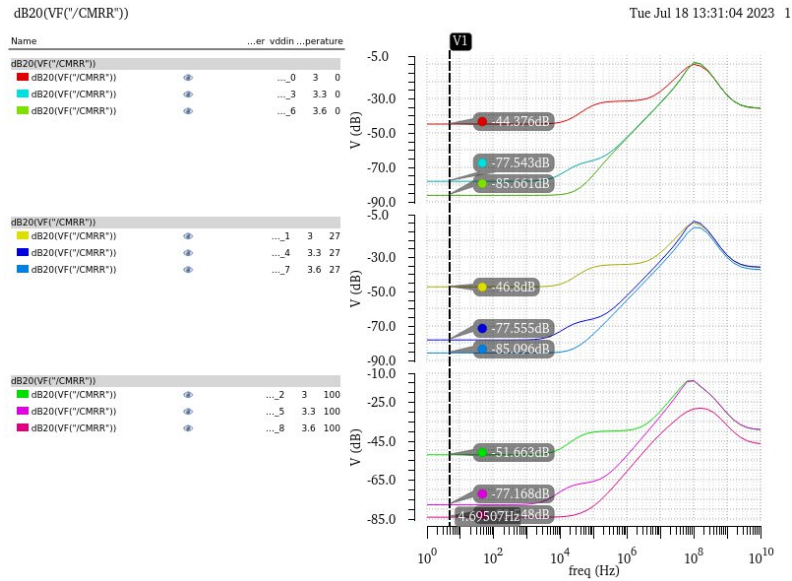


Figura 63 – Simulação de corner TT de CMRR do *Symmetrical Cascode OTA PMOS*.
 Fonte:Autoria própria

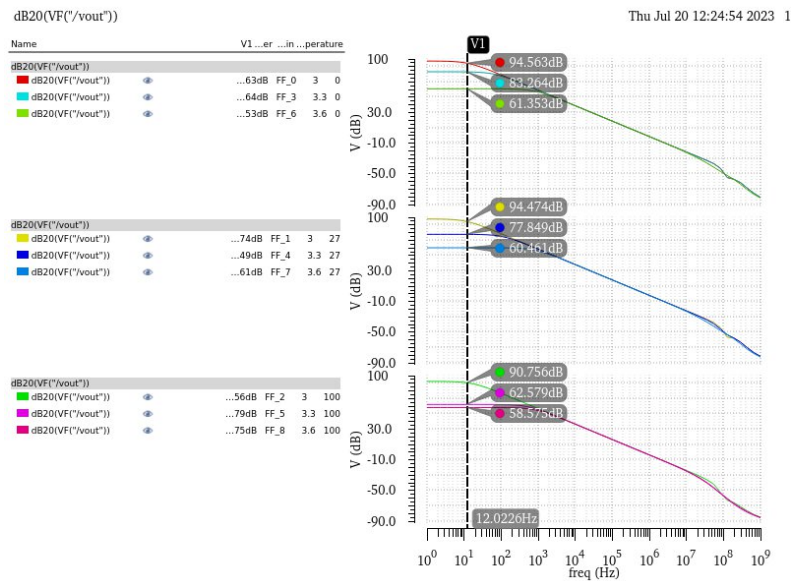


Figura 64 – Simulação de corner FF de CMRR do *Symmetrical Cascode OTA PMOS*.
 Fonte:Autoria própria

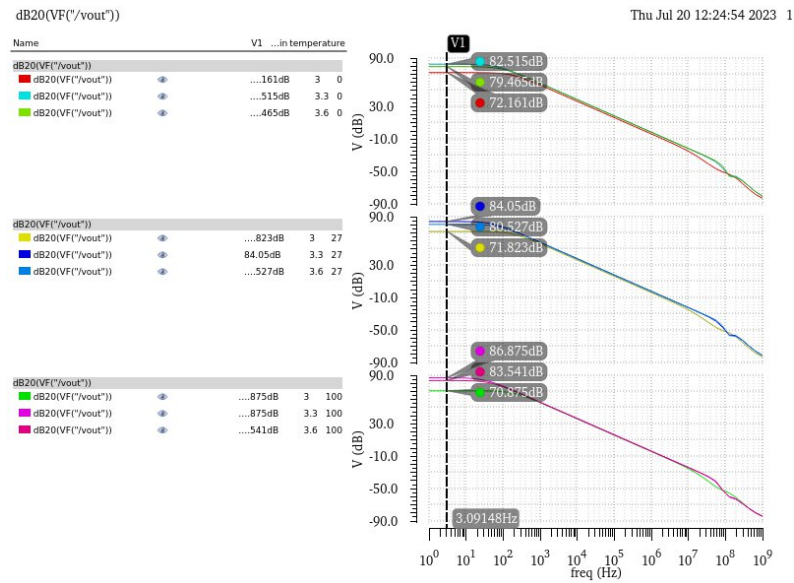


Figura 65 – Simulação de corner SS de CMRR do *Symmetrical Cascode OTA PMOS*.
 Fonte: Autoria própria