

Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica

Técnicas de Layout de Circuitos Integrados

Autor: Mariana Ramos de Múcio
Orientador: Dr. Sandro Augusto Pavlik Haddad

Brasília, DF
2023



Mariana Ramos de Múcio

Técnicas de Layout de Circuitos Integrados

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Dr. Sandro Augusto Pavlik Haddad

Brasília, DF

2023

Técnicas de Layout de Circuitos Integrados- / – Mariana Ramos de Múcio. –
Brasília, DF, 2023

Orientador: Dr. Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso 2 – Universidade de Brasília - UnB
Faculdade UnB Gama - FGA , 2023.

1. Circuitos Integrados. 2. Layout. I. Dr. Sandro Augusto Pavlik Haddad. II.
Universidade de Brasília. III. Faculdade UnB Gama. IV. Técnicas de Layout de
Circuitos Integrados

Mariana Ramos de Múcio

Técnicas de Layout de Circuitos Integrados

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Dr. Sandro Augusto Pavlik Haddad
Orientador

Dr. Wellington Avelino do Amaral
Convidado 1

Me. Arthur Lombardi Campos
Convidado 2

Brasília, DF
2023

Agradecimentos

Agradeço ao meu noivo, meus amigos e minha família pelos incentivos e compreensão da minha ausência enquanto eu me dedicava à realização deste trabalho.

Agradeço também à empresa Chipus Microeletronics pela promoção do curso de Layoutista de Circuitos Integrados, o qual participei e me proporcionou o conhecimento para desenvolver este trabalho e, por último, aos seus colaboradores, pela disposição de ajudar e companheirismo durante as inúmeras horas de trabalho.

*"Aqui, no entanto, nós não olhamos para trás por muito tempo.
Nós continuamos seguindo em frente, abrindo novas portas e fazendo coisas novas,
porque somos curiosos... e a curiosidade continua nos conduzindo por novos caminhos.
Siga em frente.
(Walt Disney)"*

Resumo

Este documento apresenta técnicas para a elaboração de layouts utilizando a tecnologia de fabricação 22nm *fully depleted silicon on insulator (22FDX™ Platform)* por meio do software *Custom Compiler*, da *Synopsys*. Utilizou-se como referência bibliografias de projeto e layout de circuitos integrados e informações disponibilizadas ao público pela fabricante de semicondutores *GlobalFoundries*. Neste trabalho, serão apresentados o processo de dopagem da rede cristalina de Silício, conceitos de eletromigração, *latch-up*, *IR-drop*, efeito antena, *matching* de componentes, teclas de atalho, aplicação de testes de verificação de layout, vista *abstract*, processo de finalização do chip e resultado das verificações.

Palavras-chave: Circuitos Integrados. Layout. Verificação de Layout.

Abstract

This document presents the techniques for the development of layouts using the 22nm fully depleted silicon on insulator (22FDX™ Platform) through the software *Custom Compiler* by the company *Synopsys*. The references used to create this document are the bibliography of Design and Layout of Integrated Circuits, alongside some public information provided by the GlobalFoundries manufacturing company. In this work, the doping process of the crystalline silicon lattice, concepts of electromigration, *latch-up*, *IR-drop* antenna effect, components *matching*, bindkeys, application of layout and *abstract* view, verification tests, chip finalization process and verification results will be presented.

Key-words: Integrated Circuit. Layout Verification.

Lista de ilustrações

Figura 1 – Elemento Silício Tabela Periódica	19
Figura 2 – Rede Cristalina de Silício em duas dimensões	20
Figura 3 – a) Silício dopado com Arsênio b) Silício dopado com Boro	21
Figura 4 – Dispositivos MOSFET: NMOS e PMOS	22
Figura 5 – a) NMOS com tensão de porta. b) região de depleção c) formação do canal de condução	23
Figura 6 – <i>Bulk</i> Convencional Vs FD-SOI	24
Figura 7 – Exemplos de vias	27
Figura 8 – <i>Cross-section</i>	28
Figura 9 – Conexão entre metais	28
Figura 10 – Cross-section de uma inversora com parasitas	30
Figura 11 – Circuito equivalente PNPN	31
Figura 12 – Contatos adicionados entre PMOS e NMOS	32
Figura 13 – Processos de difusão a) em interconexão. b) difusão do <i>bulk</i> c) difusão superficial	33
Figura 14 – Expansão do metal	34
Figura 15 – Densidade de corrente em diferentes angulações de <i>corners</i> : à esquerda 90°, no meio 135° e à direita 150°	35
Figura 16 – <i>Corners</i> do chip com fendas	35
Figura 17 – Tipos de falhas em vias: a) Via com a interconexão desejada, b) via sem interconexão, c) via com metal insuficiente, d) deposição de metal incompleta na conexão superior (<i>void</i>)	36
Figura 18 – Comparativo da densidade de corrente em uma via e em vias redundantes.	36
Figura 19 – Tipos de reservatórios em vias	37
Figura 20 – Resistor NSD	43
Figura 21 – Resistor NSD - <i>matching</i>	44
Figura 22 – <i>Match</i> de transistores	45
Figura 23 – <i>Fringe effect</i> em capacitores	46
Figura 24 – <i>Matching</i> em capacitores	47
Figura 25 – <i>Layout</i> de um transistor PNP	48
Figura 26 – Casamento por proximidade	48
Figura 27 – Casamento por interdigitação	49
Figura 28 – Casamento por Centroide em ponto comum: mesma linha	49
Figura 29 – Casamento por centroide em ponto comum: matriz	50
Figura 30 – Diferentes processos de polarização do bulk em um dispositivo CMOS	51
Figura 31 – NMOS construído em processo de <i>deep n-well</i>	51

Figura 32 – <i>Guard Ring</i> ao redor de matriz de transistores NMOS	52
Figura 33 – Transistor N4.1 protegido por <i>dummys</i>	52
Figura 34 – Dispositivo PGA1ST em a) sem o <i>shift f</i> b) com <i>shift f</i>	53
Figura 35 – Opções menu <i>move</i>	54
Figura 36 – <i>Path</i> e Retângulo	55
Figura 37 – Resumo erros DRC e <i>Antenna</i>	57
Figura 38 – DRC- Configurações aba <i>Main</i>	58
Figura 39 – DRC- Adição de <i>layer map</i> - aba <i>Custom Options</i>	58
Figura 40 – DRC - Include Path	59
Figura 41 – Fluxograma de LVS	60
Figura 42 – Configurações Calibre nmLVS	62
Figura 43 – Configurações Calibre nmLVS - aba <i>inputs</i>	62
Figura 44 – Configurações Calibre nmLVS - aba <i>LVS Options: Power Nets</i>	63
Figura 45 – Configurações Calibre PEX <i>output</i>	64
Figura 46 – Configurações Calibre PEX <i>output</i> - Escolha das parasitas.	65
Figura 47 – Configurações Calibre PEX <i>output</i> - Escolha das parasitas com indu- tância.	65
Figura 48 – Configurações Calibre - PEX - PEX Options: <i>netlist</i>	66
Figura 49 – Configurações Calibre - PEX - PEX Options: <i>LVS Options</i>	66
Figura 50 – Configurações Calibre - PEX - PEX Options: <i>Misc</i>	67
Figura 51 – Janela <i>Abstract Generator</i>	68
Figura 52 – Janela <i>Abstract General Options</i>	69
Figura 53 – Janela <i>Abstract</i> — Ícones	69
Figura 54 – Janela <i>Abstract</i> — Configuração de pinos- Aba <i>Texto</i>	71
Figura 55 – Janela <i>Abstract</i> — Configuração de pinos- Aba <i>Boundary</i>	71
Figura 56 – Janela <i>Abstract</i> — Configuração de pinos — Aba <i>Blocks</i>	72
Figura 57 – Janela <i>Abstract</i> — Configuração de extração-Aba <i>Signal</i>	73
Figura 58 – Janela <i>Abstract</i> — Configuração de extração — Aba <i>Power</i>	73
Figura 59 – Janela <i>Abstract</i> — Configuração de extração-Aba <i>Antenna</i>	74
Figura 60 – Janela <i>Abstract</i> — Configuração de extração — Aba <i>General</i>	75
Figura 61 – Janela <i>Abstract</i> — Configuração de extração — Aba <i>Blockage</i>	76
Figura 62 – Abrir <i>abstract</i>	77
Figura 63 – Configuração <i>Abstract</i>	77
Figura 64 – Configuração <i>Abstract Generator - Options</i>	78
Figura 65 – Configuração <i>Abstract Generator</i> - aba <i>Layer Options</i>	78
Figura 66 – Onde exportar o LEF	79
Figura 67 – Configurações para exportar o LEF	80
Figura 68 – Etapas de produção do chip	82
Figura 69 – Representação de chip	83

Figura 70 – Identificação de layer	83
Figura 71 – Chaves de Alinhamento no <i>wafer</i> : Alinhamento de Fusível e NIKON	84
Figura 72 – Representação de chips em um <i>wafer</i> : identificação de <i>scribe lines</i>	85
Figura 73 – Representação de chips em um <i>wafer</i>	86
Figura 74 – Apresentação de um <i>layout</i> pelos processos A e B.	87
Figura 75 – Apresentação da retirada de logical <i>layers</i> de um resistor.	87
Figura 76 – Elementos da fotolitografia	88
Figura 77 – Representação simplificada dos passos iniciais da Fotolitografia	89
Figura 78 – <i>Layout</i> bloco PGA1st	91
Figura 79 – Erros de DRC presentes no PGA1st	92
Figura 80 – Resultado LVS	92
Figura 81 – Resultado <i>abstract</i> — vista detalhada	93
Figura 82 – Resultado <i>abstract</i> : zoom para verificar os pinos	93
Figura 83 – Resultado <i>abstract</i> : configuração sem <i>blockage</i>	93
Figura 84 – Resultado LEF — Cálculos de Antena	94
Figura 85 – Resultado LEF — Tipo de <i>Layer</i>	94

Lista de abreviaturas e siglas

ASICs	Application-Specific Integrated Circuit
CI	Circuito Integrado
CC	Custom Compiler
CMP	Chemical-Mechanical Polishing
DFM	Design for Manufacturing
DRC	Design Rule Checking
E_a	Energia de Ativação
FBB	Forward Body Biasing
GDS	Graphic Data System
GND	Ground
IP	Intellectual Property
ICV	IC Validator Physical Verification
LEF	Library Exchange Format
LIB	Liberty format
LVS	Layout Versus Schematic
MOSFET	Metal-Oxide-Semiconductor Field Effect Transistor
MPW	Multi Project Wafer
PDK	Process Design Kit
PEX	Parasitic Extraction
PGA	Programmable Gain Amplifier
PVS	Physical Verification System
RET	Resolution Enhancement Techniques
OPC	Optical Proximity Correction

Sumário

1	CONTEXTUALIZAÇÃO	15
1.1	Justificativa	15
1.2	Objetivo	16
1.3	Metodologia	17
I	PROCESSO DE DOPAGEM DO SILÍCIO	18
2	CONSTRUÇÃO DE UM CI	19
2.1	Semicondutores	19
2.2	A importância do Silício Extrínseco	20
2.3	A construção de um MOSFET	21
2.4	FD-SOI	24
II	PROJETO DE UM ASIC	25
3	LAYERS E ROTEAMENTO	26
3.1	Tipos de Sinais	26
3.2	Tipos de <i>Layers</i>	26
3.2.1	Cross-section	27
3.3	Parasitas associadas às <i>layers</i> de metalização	28
3.4	<i>Latch-up</i>	29
3.5	Limitações de Corrente e suas intervenções	32
3.5.0.1	Vias DFM	36
3.5.1	IR-drop	37
3.5.2	Efeito Antena	37
3.5.2.1	Efeito Antena — 22FDX	38
4	FLOORPLANING	39
4.1	Coleta de dados	39
5	IMPLEMENTAÇÃO	41
5.1	<i>Matching/ Mismatching</i>	41
5.1.1	<i>Matching</i> em Resistores	43
5.1.2	<i>Matching</i> em Mosfet	45
5.1.3	<i>Matching</i> em Capacitores	45

5.1.4	<i>Matching</i> em Transistores TBJ - NPN e PNP	47
5.1.5	Formas de casamento	48
5.2	Polarização do substrato	50
5.3	<i>Dummy</i>	52
6	ATALHOS	53
6.1	Teclas de atalho	53
7	<i>LAYOUT VERIFICATION E ABSTRACT VIEW</i>	56
7.1	DRC - <i>Design Rule Check</i>	56
7.1.1	Erros de <i>Antena</i>	57
7.1.2	Configurações DRC	57
7.2	LVS - <i>Layout Versus Schematic</i>	59
7.2.1	Configurações LVS	61
7.3	PEX - <i>Parasitic Extraction</i>	63
7.3.1	Passo a passo para gerar PEX	64
7.4	<i>Abstract view</i>	67
7.4.1	Passo a Passo Virtuoso	67
7.4.1.1	Passo Pinos	69
7.4.1.2	Passo Extração	72
7.4.1.3	Passo <i>Abstract</i>	75
7.4.2	Passo a Passo <i>Custom Compiler</i>	76
7.4.3	LEF	79
7.4.3.1	Exportar o arquivo LEF	79
III	<i>PÓS-LAYOUT</i>	81
8	<i>PÓS-LAYOUT</i>	82
8.1	Finalização do Chip	82
8.1.1	DFM - <i>Design for Manufacturability</i>	84
8.2	Fase de Retículos - Processo de Manufatura	85
8.3	Conversão de <i>Layout</i> para Máscara de dados	86
8.4	Processo de fabricação	88
IV	RESULTADOS DA APLICAÇÃO DE VERIFICAÇÕES FÍSICAS E VISTA <i>ABSTRACT</i>	90
9	BLOCO PGA1ST	91
9.1	Resultados DRC	91
9.2	Resultados LVS	92

9.3	Resultados <i>Abstract</i>	92
9.4	Resultados LEF	94
V	CONCLUSÕES SOBRE O ESTUDO	95
10	CONCLUSÕES	96
10.1	Experiência de projeto em 22 nanômetros.	97
	REFERÊNCIAS	98

1 Contextualização

A eletrônica no século XX apresentou muitas inovações, como a difusão de informações por meio de rádio, televisão e computadores. Uma das limitações neste século eram as válvulas termoiônicas que além de grandes e frágeis, apresentavam superaquecimento e vida curta (RESENDE, 2004).

Durante a Segunda Guerra Mundial buscaram-se dispositivos que pudessem substituir as válvulas. Ainda em 1947, J. Bardeen, W. Brattain e W. Shockely tiveram feitos na descoberta do transistor, um dispositivo que possibilitava o controle da corrente elétrica em um material semicondutor (RESENDE, 2004).

O dispositivo descoberto foi a origem para o ramo de tecnologia “Microeletrônica”. Ao agrupar transistores, resistores e outros dispositivos é possível gerar blocos com funções reconhecidas, ou seja, um circuito integrado. Um circuito de referência de tensão *bandgap*, conhecido simplesmente por circuito *bandgap*, por exemplo, consegue manter o nível de tensão em sua saída estável e aproximadamente independente das variações de temperatura no circuito. A utilização de ASICs, circuitos integrados para aplicações específicas, permitiu o avanço da aeronáutica, indústria automotiva e medicina (RESENDE, 2004).

Em 1975, Gordon Moore, co-fundador da Intel, estimou que a cada 18 meses o número de transistores em um dispositivo dobraria, assim como sua velocidade de processamento das informações. Além disso, os dispositivos teriam sua escala reduzida, causando um aumento na complexidade das tecnologias existentes, o incremento de funções integradas em um CI em uma mesma área. Contudo, há um limite físico na redução destes dispositivos, um dos menores transistores conhecidos em desenvolvimento durante a escrita deste trabalho possui o comprimento de canal de apenas 1 nanômetro cuja ordem de grandeza é próxima a de um átomo. Uma vez que em a microeletrônica é uma área em crescimento, é necessário aprofundar no estudo sobre técnicas de layout de forma a reduzir variações elétricas e evitar problemas relacionados a eletromigração.

1.1 Justificativa

Visto que as informações de concepção de um projeto de *layout* são escassas e restritas às *foundries* e projetistas, o objetivo deste documento é concentrar as informações para a elaboração de layout e aplicar simulações em blocos desenvolvidos para o projeto Malka da empresa Chipus Microelectronics S.A de modo que sirva como um documento de apoio para o estudo e treinamento do time de *layout*.

1.2 Objetivo

Para a construção de um circuito integrado é necessária uma sequência de passos. Inicia-se com a concepção da ideia de produto, definem-se as especificações e as aplicações do design pretendido. Em eletrônica, definimos o tipo de tecnologia, a tensão de trabalho correspondente, limitações de corrente e de frequência.

Após as especificações, define-se um design preliminar do circuito, isto é, a arquitetura que deverá ser criada para o seu funcionamento. Os projetistas são responsáveis por fazer as simulações ao nível de esquemático, de modo a verificar a viabilidade da arquitetura escolhida. Destaca-se como resultados: correntes, tensões, comportamento em função do tempo e frequência e calor dissipado (CLEIN, 1999).

O próximo passo é o *layout* do bloco. A fase de *layout* é responsável pela representação física do circuito. O *layout* é produzido ao instanciar todos os componentes do esquemático como as células, pinos e suas respectivas conexões em formato geométrico, geralmente utiliza-se o formato retangular (LIENIG, 2020). Nessa fase, utilizam-se as verificações de *DRC* - *Design Rule Checking*, *LVS* - *Layout Versus Schematic* e *PEX* - *Parasitic Extraction* que serão detalhadas no capítulo 7. Logo após, seguem as etapas de fabricação e testes.

Como objetivo principal deste trabalho, será analisada a etapa de *layout* aplicado ao bloco PGA1st, um circuito amplificador de ganho programável a fim de:

- Estudar e aplicar os conceitos de *matching*.
- Estudar dispositivos *dummy* em processos de corrosão.
- Estudar distribuição e direção dos dispositivos na tecnologia 22FDX.
- Estudar eletromigração.
- Estudar polarização de substrato.
- Estudar o conceito de latch-up.
- Aplicar verificações físicas de *layout* (DRC, LVS, PEX).
- Estudar e gerar a vista *abstract*.
- Gerar arquivo LEF.
- Estudar e gerar *dummy fill*.

1.3 Metodologia

Como metodologia foi feita a revisão bibliográfica de livros de *design* e *layout* de CIs. Este trabalho encontra-se dividido em cinco partes. A primeira apresenta conceitos de dopagem e informações pertinentes à tecnologia 22FDX, enquanto na segunda serão apresentados o estudo dos métodos utilizados para o projeto de *layout* e de ferramentas de verificação. Na terceira etapa serão apresentadas o processo de finalização de um chip e fabricação de um circuito integrado. A quarta etapa apresentará as aplicações das partes 1 e 2 no bloco *PGA1st* e por último as conclusões referentes ao estudo.

Para este projeto foi utilizada a tecnologia de fabricação *fully depleted silicon on insulator* (*22FDXTM Platform*) da empresa *GlobalFoundries*. o *layout* foi feito por meio do software *Custom Compiler* da empresa *Synopsys*.

Ressalta-se que informações referentes ao *Process Design Kit* — *PDK* são restritas à empresa devido a acordo de não divulgação, portanto não serão divulgadas neste trabalho. Além disso, restringe-se o uso de imagens do bloco *PGA1st* a não identificação de roteamentos.

Parte I

Processo de dopagem do Silício

2 Construção de um CI

Nesse capítulo serão apresentados o referencial teórico do processo de dopagem de um elemento e informações sobre a tecnologia *Fully Depleted Silicon On Insulator* (FD-SOI) aplicada à 22FDX.

2.1 Semicondutores

Metais são bons condutores de calor e eletricidade, são maleáveis e possuem um brilho característico. Não-metais não são bons condutores de calor e eletricidade, são sólidos, frágeis e sem brilho. Alguns elementos no meio da tabela periódica como Silício e o Germânio tem propriedades que variam entre metais e não-metais, são elementos chamados de semicondutores. A diferença entre metais semicondutores e não-metais está na estrutura atômica (HASTINGS, 2000).

Cada átomo é feito de cargas, essas são prótons (carga positiva), nêutrons (carga neutra) e elétrons (carga negativa). O núcleo de um átomo é composto por prótons e nêutrons. Os elétrons são dispostos em camadas conforme a distribuição de Linus Paulling.

Para o semicondutor Silício de número atômico 14, a distribuição de Linus Paulling conclui que o elemento possui quatro elétrons na camada de valência vide figura 1.

<div style="border: 1px solid black; padding: 5px; width: fit-content;"> <p>14 Si Silício 28,085</p> </div>	<p>2 8 4</p>	Oxidation states	-4, -3, -2, -1, 1, 2, 3 e 4	 <p style="font-size: small; margin-top: 5px;"> $l = 1$ $m = 0$ $n = 3$ </p>
	Configuration	[Ne] 3s ² 3p ²		
	Expanded	1s ² 2s ² 2p ⁶ 3s ² 3p ²		
	Energy levels	2, 8 e 4		
	HOAO	$l=1, m=0$ e $n=3$		

Figura 1 – Elemento Silício Tabela Periódica

Fonte: (Ptable, 2023)

Os elétrons encontrados na camada de valência tendem a se juntar a outros de forma a completar a regra do octeto, para isso são formadas ligações do tipo metálicas ou covalentes. Em semicondutores, os elétrons de valência são compartilhados com ligações covalentes. No exemplo do Silício, cada átomo precisa de quatro elétrons para completar. Na teoria, dois átomos de Silício seriam necessários para completar a regra, já, na prática, cada átomo somente compartilharia um par de elétrons devido à força de repulsão dos elétrons, sendo necessários quatro outros átomos de Silício (HASTINGS, 2000). Esses

átomos são ligados entre si formando uma rede infinita de Silício cristalino como mostra a figura 2.

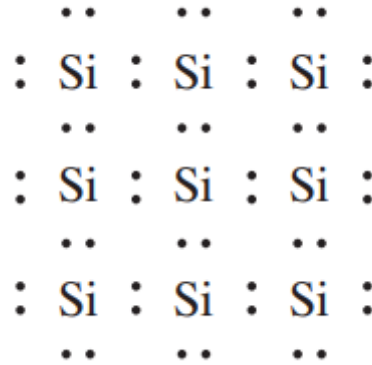


Figura 2 – Rede Cristalina de Silício em duas dimensões

Fonte: (HU, 2009)

2.2 A importância do Silício Extrínseco

Quando submetido a um campo elétrico, o elétron de um material se move, criando o que chamamos de “Buracos” ou “Lacunas” no local em que estava originalmente, criando uma carga positiva na região. O valor mínimo de energia para liberar o elétron da ligação é chamado energia de banda proibida, ou Energia de *Bandgap* E_g , esse valor é uma propriedade básica do material (RAZAVI, 2013).

Um material semiconductor apresenta uma condutividade intermediária entre os materiais isolantes e metais. A razão dessa condutividade é que o material apresenta uma banda de valência cheia e uma banda de condução vazia a $T = 0$ °K junto a um *gap* de energia pequeno $E_g < 2$ eV o que faz com que existam elétrons livres para efetuar a ligação (RESENDE, 2004). No silício, o *gap* de energia é de $E_g < 1,12$ eV e diminui com o aumento da temperatura, o que o torna menos sensível à mudança de temperatura do que outros semicondutores. A equação 2.1 apresenta a fórmula para a condução de um determinado material.

$$\text{Condução} = \frac{E_g}{k_B \cdot T} \quad (2.1)$$

Em que:

E_g = *Gap* de energia, energia de banda proibida ou Energia de *Bandgap*.

k_B = Constante de Boltzmann $1.380 \cdot 10^{-23} \frac{J}{K}$ ou $8.617 \cdot 10^{-5} \frac{eV}{K}$

T = Temperatura em Kelvin.

Em um cristal semiconductor puro a $T=0^\circ\text{K}$ e sem qualquer perturbação externa, não há elétrons na banda de condução nem buracos na banda de valência, ou seja, o material se comporta como um isolante elétrico (RESENDE, 2004).

Uma vez que a banda de condução de um semiconductor varia exponencialmente com a temperatura e a condutividade de um material puro é pequena, fez-se a necessidade de acrescentar impurezas ao elemento conhecido de modo a alterar sua resistividade. Tal processo é chamado de dopagem.

A rede cristalina de Silício é comumente dopada com Fósforo e Boro. O Fósforo é um elemento que possui cinco elétrons na camada de valência. Cada átomo compartilha quatro elétrons com o átomo de Silício, resultando em um elétron livre (RAZAVI, 2013). Ao dopar o Silício com o Fósforo a densidade de elétrons livres faz com que o material fique com carga negativa, assim, o Silício dopado com Fósforo ou Arsênio apresenta predominância de elétrons, por isso, é chamado de tipo n (negativo). Já o Silício dopado com Boro ou Gálio, elementos que possuem três elétrons na camada de valência, predomina a concentração de buracos é chamado tipo p (positivos).

A figura 3 mostra em a) o Silício dopado com Arsênio resultando em um elétron livre (representado pelo círculo preto), enquanto em b) o Silício dopado com Boro o qual o elétron se move para completar a ligação covalente e deixa uma lacuna (representada pelo círculo branco).

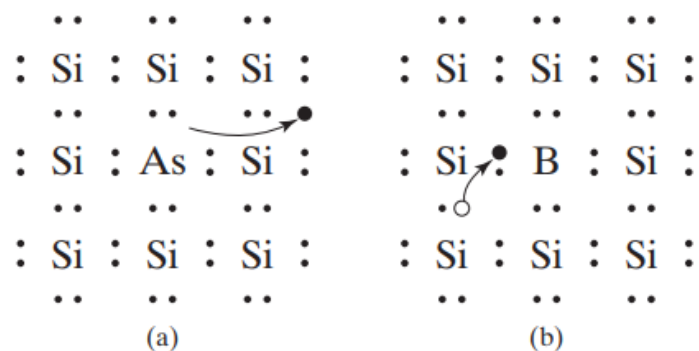


Figura 3 – a) Silício dopado com Arsênio b) Silício dopado com Boro

Fonte: (HU, 2009)

2.3 A construção de um MOSFET

Um dispositivo *MOSFET* - *Metal-Oxide-Semiconductor Field Effect Transistor* é formado via contato metálico no *gate* (G), também conhecido como porta, e um material

semicondutor “canal” separados por uma camada isolante de Óxido de Silício - SiO_2 . O dispositivo NMOS é formado por duas regiões tipo N, uma para o *source* (S) comumente chamado de fonte e outro para o *drain* (D), chamado de dreno, implantadas em um substrato do tipo p. Já o dispositivo PMOS possui as duas regiões do tipo p implantadas em uma região de poço n (n-well). O quarto terminal *Bulk* (B), é inserido para a polarizar o substrato, de modo a evitar a condução em polarização direta, como mostra a figura 4. O conjunto NMOS junto ao PMOS forma a tecnologia CMOS.

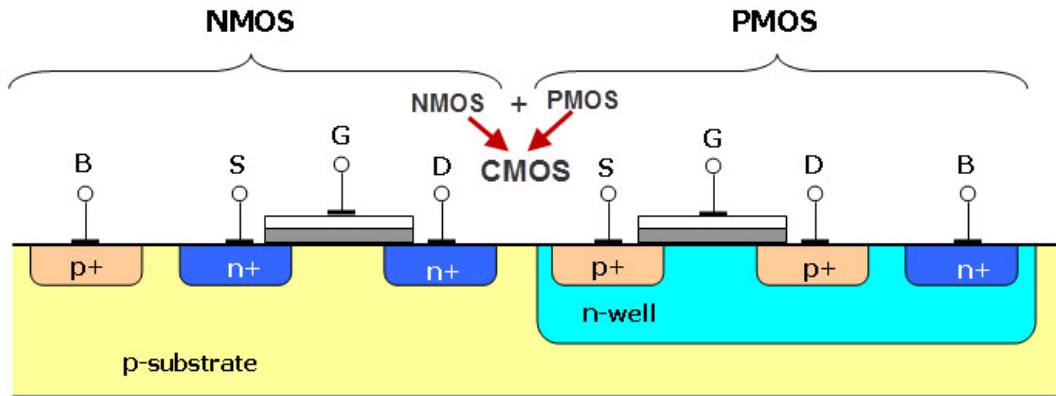


Figura 4 – Dispositivos MOSFET: NMOS e PMOS

Fonte: (WATELECTRONICS, 2023)

Para explicar o seu funcionamento, considera-se um dispositivo NMOS em corte, modo em que não conduz corrente, com uma fonte de tensão no *gate* (G). À medida que a tensão de *gate* aumenta, surge um campo elétrico na região de interface do *Gate-oxide-Substrate*, de forma que o dispositivo se comporta como um capacitor. Devido ao campo elétrico, as cargas positivas repelem as lacunas de substrato, criando uma região de depleção. Quando essa tensão se torna suficientemente grande, os elétrons são atraídos para a superfície, tornando o dispositivo ligado, ou seja, capaz de conduzir corrente. A figura 5 ilustra o funcionamento do dispositivo NMOS citado anteriormente.

A corrente entre fonte e dreno quando operado em modo de saturação ($V_{ds} > V_{gs} - V_{th}$) pode ser calculada através da equação 2.2. A tensão mínima para o dispositivo MOS conduzir corrente é chamada de tensão de limiar, ou V_{th} normalmente tem o valor entre 300mV e 500mV (RAZAVI, 2013).

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})^2 \quad (2.2)$$

Em que:

W = Comprimento do canal

L = Largura do canal

μ_n = Mobilidade dos elétrons

C_{ox} = Capacitância do óxido

V_{GS} = Diferença de potencial entre a tensão de *gate* e a tensão de *source*

V_{th} = Tensão de limiar

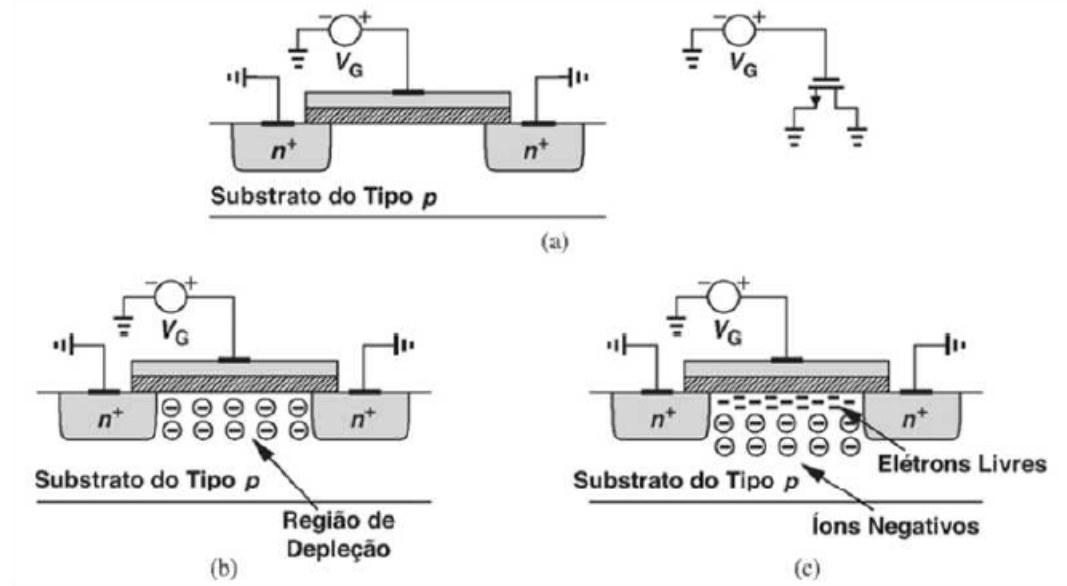


Figura 5 – a) NMOS com tensão de porta. b) região de depleção c) formação do canal de condução

Fonte: (RAZAVI, 2013)

A evolução da tecnologia tem em vista minimizar o comprimento de canal e a espessura do óxido. Uma vez que o comprimento do canal é diretamente proporcional à resistência de condução e a espessura do óxido é inversamente proporcional à capacitância, o aumento do óxido de porta resulta em uma densidade menor de elétrons no canal, o que por sua vez, também aumenta a resistência de condução.

A capacitância na interface metal-óxido-semicondutor pode ser calculada através da equação 2.3.

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (2.3)$$

Tanto o comprimento do canal, quanto a largura são parâmetros que podem ser definidos pelo projetista, enquanto as características do óxido isolante dependem unicamente da tecnologia em que o transistor será fabricado.

Para minimizar o aumento da resistência do canal, é feita a divisão de um transistor com o W grande em vários transistores com o W menor, em outras palavras, coloca-se dois ou mais transistores em paralelo. O cuidado também deve ser tomado com a largura, pois limita a velocidade do circuito caso seja relativamente grande.

2.4 FD-SOI

A tecnologia FD-SOI aplicada à 22FDX é utilizada em aplicações de baixa potência, radio frequência e ondas milimétricas da área automotiva. Sua principal diferença é a implementação de mudanças na construção do *bulk*, o que simplifica o processo de fabricação e constrói um controle eletrostático rígido do transistor devido a sua capacidade de reduzir a capacitância parasita entre a fonte e dreno e as correntes de fuga que degradam o desempenho (ST Microelectronics, 2022).

Essa tecnologia possui uma camada ultrafina de isolante, *buried oxide* ou óxido enterrado, posicionado sobre o Silício base, o que faz com que um filme de Silício muito fino seja responsável por implementar o canal do transistor. Devido à espessura, não há necessidade de adicionar dopantes ao canal resultando em transistor totalmente descarregado e com ruído reduzido.

A presença do óxido enterrado permite a aplicação de tensões de polarização mais altas. Quando o substrato está polarizado positivamente, *FBB - Forward Body Biasing*, o transistor pode ser chaveado mais rapidamente o que otimiza o desempenho e o consumo de energia. O uso da FD-SOI implica em circuitos analógicos menores, com alta resiliência contra erros de radiação como *bit flip* e *latch-up*, com maior desempenho e baixa potência operacional (ST Microelectronics, 2022).

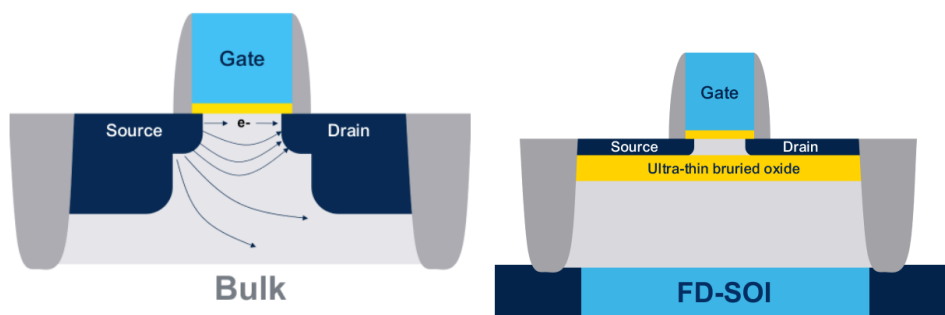


Figura 6 – Bulk Convencional Vs FD-SOI

Fonte: Adaptado de (ST Microelectronics, 2022)

Parte II

Projeto de um ASIC

3 Layers e Roteamento

Nesse capítulo serão apresentados tipos e funções de sinais e camadas (*layers*), informações sobre o cálculo de resistências, capacitâncias parasitas e comportamento dos fenômenos de eletromigração, *latch-up*, *IR-drop* e efeito antena.

3.1 Tipos de Sinais

Compreende-se como sinal elétrico uma variação de corrente ou tensão elétrica usado para transmitir informação. A seguir, listam-se os tipos de sinais elétricos encontrados em circuitos integrados.

1. **Sinais de potência (*Power Supplies*):** Refere-se a sinais provenientes de fontes de alimentação. São eles VDD, VSS e suas variações. (CLEIN, 1999)
2. ***Clocks*:** *Clocks* são sinais periódicos que fornecem um pulso para um sistema digital. Esses sinais garantem que o componente execute uma operação ao ser acionado.
3. ***Bus*:** *Bus* são um conjunto de sinais roteados juntos, como, por exemplo, sinais de dados (CLEIN, 1999). São considerados *nets* críticas, portanto, o layoutista deve cuidar para que não se difiram em capacitâncias e resistências parasitas.
4. **Sinais Especiais:** Sinais com largura não convencional; sinais provenientes de par diferencial; entrada e saída de oscilador; entrada e saída de referência de corrente; sinais que necessitam ser protegidos ou isolados (*shield*) (CLEIN, 1999) (utilizam um *path* para substrato de forma a isolar o sinal na *net* de ruídos de outras *nets*).
5. **Sinais Gerais:** Sinais remanescentes e não críticos.

3.2 Tipos de Layers

Uma *layer* é uma camada de um material capaz de desempenhar um papel. Utilizando o processo CMOS como referência, é possível dividi-las em quatro categorias:

1. **Condutores:** São capazes de propagar tensões de sinal. São elas áreas de difusão, *layers* de metal, polissilício (*polysilicon* ou *poly*) e *layers Well* (poços).
2. **Isolamento:** São camadas que isolam cada *layer* condutora de modo a evitar curtos circuitos em nós separados. Essas, são inseridas no processo de manufatura do dispositivo, ou seja, não são desenhadas pelo projetista no processo de *layout*.

3. *Contatos ou vias*: São *layers* que definem cortes na camada de isolamento, o que permite que camadas condutoras entrem e efetuem as devidas conexões. Essas, estão exemplificadas na figura 7
4. *Implante*: Utilizadas para alterar a propriedade de um condutor existente. exemplo: difusão ou áreas ativas para PMOS e NMOS.(CLEIN, 1999)

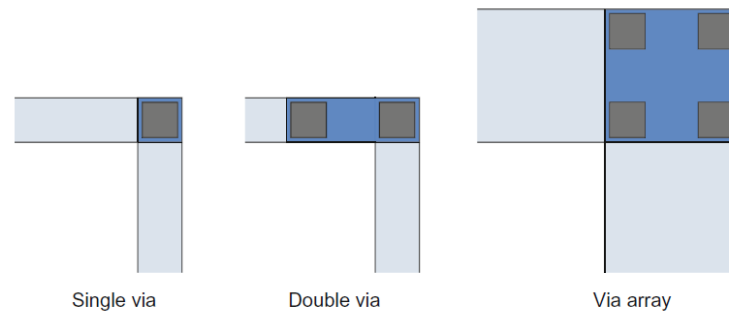


Figura 7 – Exemplos de vias

(LIENIG, 2018)

3.2.1 Cross-section

A criação de um dispositivo depende da combinação de *layers* dispostas em camadas. Em uma seção transversal (*cross-section*) observa-se pela vista lateral que as camadas superiores são utilizadas no topo do chip, enquanto as camadas inferiores são utilizadas em níveis mais baixos. A *layer* de metal 1 é encontrada abaixo da *layer* de metal 2 e para fazer com que as duas sejam interligadas, é necessário remover a camada de isolamento no local intitulado “via”. Como uma convenção para este trabalho, metais ímpares são utilizados na vertical e metais pares na horizontal tendo como referência a vista superior.

A figura 8 apresenta um *cross-section* genérico, nele observa-se a ordem das camadas de metal crescentes em relação ao substrato.

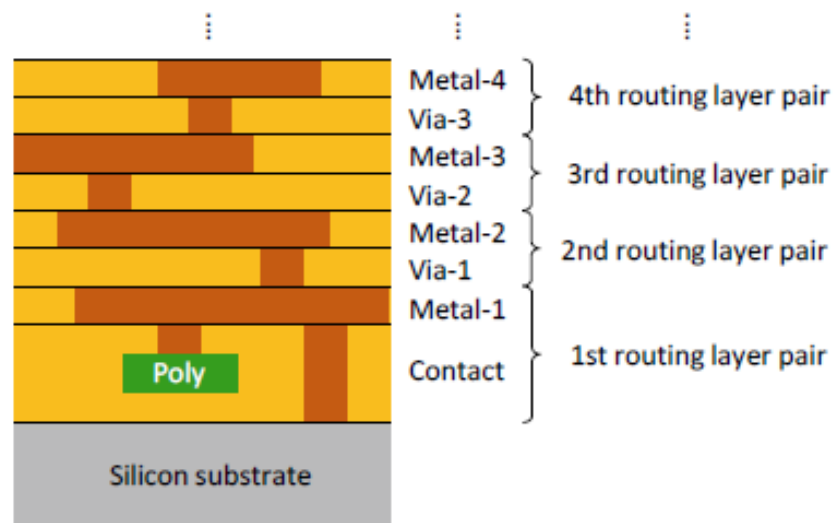


Figura 8 – Cross-section

Fonte: (LIENIG, 2020)

A figura 9 mostra o metal 1, representado pelo retângulo cinza e metal 2 representado pelo retângulo branco, interligados por meio da via 1 em uma vista superior, localizados na parte de cima da figura e seu devido posicionamento em uma seção transversal, utilizando a vista lateral, localizado na parte de baixo da figura.

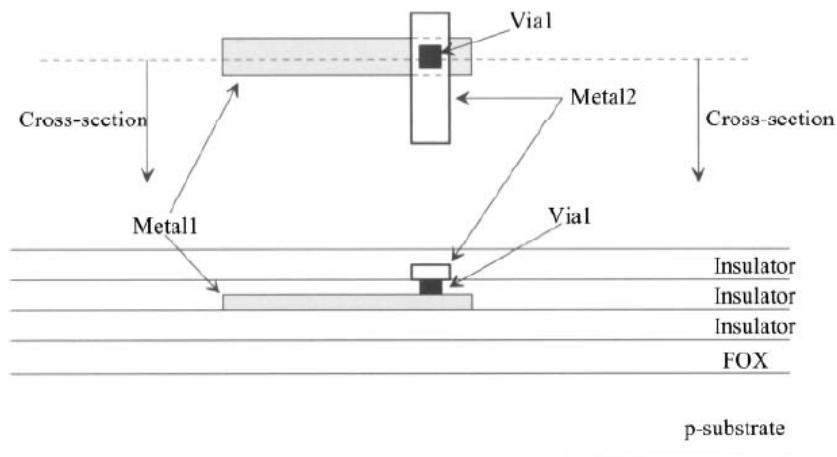


Figura 9 – Conexão entre metais

Fonte: (BAKER, 2010)

3.3 Parasitas associadas às layers de metalização

A resistividade é uma propriedade dos materiais que indica o quanto o material irá se opor a passagem de corrente elétrica. Supondo um fio de determinado material,

com resistividade elétrica ρ , comprimento L , largura W e espessura t , sua resistência seria dada pela equação 3.1 (HASTINGS, 2000).

$$R = \rho * \frac{L}{Wt} \quad (3.1)$$

Uma vez que o semiconductor é composto por finas camadas com espessura constante, é conveniente agrupá-los no parâmetro resistência de folha R_s .

$$R_s = \frac{\rho}{t} \quad (3.2)$$

As camadas de metal são caracterizadas por uma resistência de folha consideravelmente menor do que a encontrada no *n-well*. Associadas a essa resistência, existe uma capacitância parasita (BAKER, 2010). Para o cálculo da resistência parasita, é necessário conhecer a resistência de folha associada a metalização, além disso, é necessário atribuir o fator de escala da tecnologia, no caso da 22FDX, 22 nm.

$$R = R_s * \frac{\frac{L}{W}}{\text{escala}} \quad (3.3)$$

Para o cálculo da capacitância parasita associada à metalização utiliza-se a equação 3.4, C_{plate} e C_{fringe} são informações disponibilizadas no PDK.

$$C = Area_{desenhada} * (\text{escala})^2 * C_{plate} + \text{perimetro}_{desenhado} * (\text{escala}) * C_{fringe} \quad (3.4)$$

Em geral, metais em níveis superiores são mais espessos, portanto, tem uma resistência de folha menor (BAKER, 2010). Devido a esse fato, é recomendado evitar roteamentos em Metal 1.

3.4 Latch-up

Latch-up é um estado o qual um CI encontra-se sem operação devido a uma realimentação positiva causada por elementos parasitas em estruturas do tipo PNPn resul-

- Reduzir as áreas dos drenos para diminuir a capacitância de depleção e a quantidade do sinal alimentado;
- Reduzir as parasitas $RW1$ e $RS2$. As resistências $RW1$ e $RS2$ são uma função entre a distância do poço aos contatos de substrato. Visando a solução, adicionam-se contatos de substrato e de n -well ao *layout* próximo ao dispositivo MOSFET, como mostra a figura 12;
- Colocar áreas de N+ e P+ entre ou ao redor dos circuitos para reduzir a quantidade de sinal recebida por outro circuito (BAKER, 2010). Essas áreas de implante são chamadas de *guard rings* e serão apresentados no capítulo 5.2

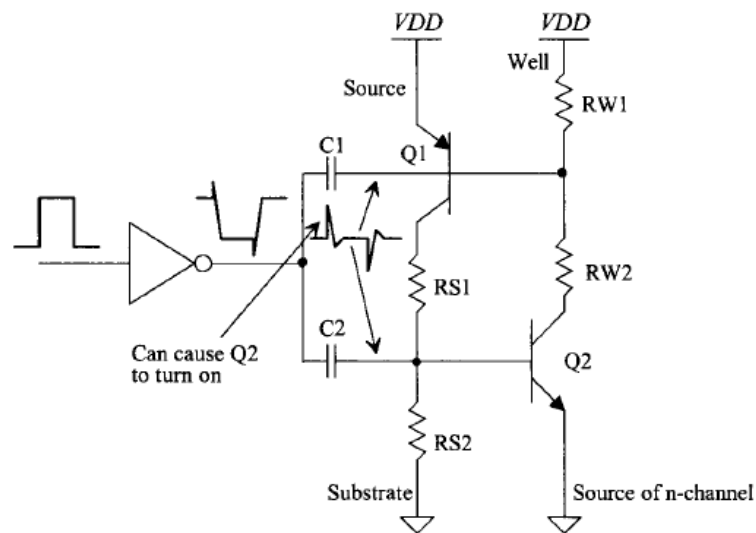


Figura 11 – Circuito equivalente PNPN
(BAKER, 2010)

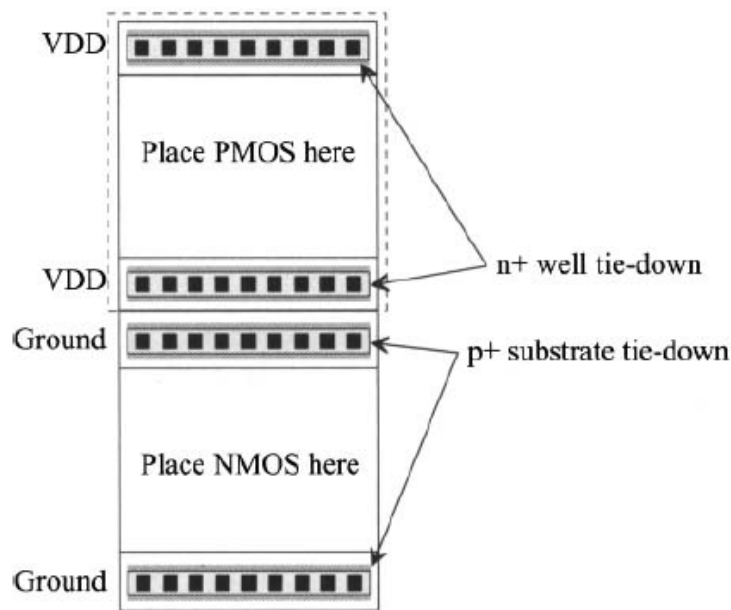


Figura 12 – Contatos adicionados entre PMOS e NMOS
(BAKER, 2010)

3.5 Limitações de Corrente e suas intervenções

Os fatores que limitam a quantidade de corrente em um fio são a eletromigração e a queda de tensão máxima no fio (BAKER, 2010). A eletromigração é um fenômeno de migração de material causado por um campo elétrico (LIENIG, 2018), em caso de densidade de correntes altas, pode causar o desgaste do material devido ao deslocamento dos elétrons, causando um vazio no cristal (HASTINGS, 2000). Em casos críticos, o efeito pode resultar em mudança das dimensões do metal condutor, ocasionando pontos de resistência elevada e eventual rompimento (circuito aberto) (BAKER, 2010) ou ainda curto-circuito devido à deposição de metal. As duas situações levam a falha de operação do CI (LIENIG, 2018).

Em termos físicos, caso a força, gerada pela transferência de momento durante a condução dos elétrons e íons ao nível microscópico, seja maior que um valor de energia de ativação E_a (medida de resistência dos íons metálicos à eletromigração), inicia-se o processo de difusão dirigida, deslocando o material na mesma direção do movimento do elétron (LIENIG, 2018). A figura 13 mostra o movimento do elétron em um material genérico no processo de difusão.

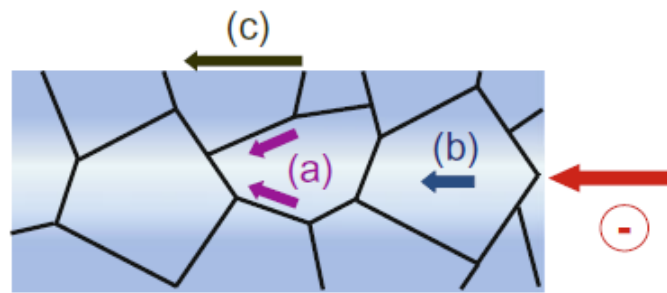


Figura 13 – Processos de difusão a) em interconexão. b) difusão do *bulk* c) difusão superficial

Fonte: (LIENIG, 2018)

A E_a é definida principalmente pela energia de ligação da rede cristalina, portanto, difere para cada localização mencionada na figura 13. A ligação mais estável é encontrada no núcleo da estrutura cristalina (alta E_a), os íons nas regiões externas a essa região, caracterizados por baixa E_a , logo, possuem mais facilidade em se deslocar devido à proximidade de regiões vazias. Como resultado, o efeito de eletromigração é encontrado frequentemente em pontos de não homogeneidade devido à diferença no fluxo de difusão. Entre eles cita-se:

- Final de interconexões;
- Mudança de direção nas interconexões;
- Mudança de *layers* (vias);
- Mudança na seção transversal (*net* mais larga, para mais fina ou *net* mais fina para mais larga);
- Mudanças no material;
- Tolerâncias de fabricação;
- Distribuições de temperatura variáveis;
- Gradientes de tensão mecânica. (LIENIG, 2018)

Para evitar o efeito, utiliza-se como limite a densidade de corrente de *threshold* para eletromigração J . A equação 3.5 apresenta o cálculo da densidade de corrente máxima que poderia percorrer a metalização. Em um caso típico $J_{Aluminio} = \frac{2mA}{\mu m}$, esse valor é dependente da espessura do material, da sua composição e da temperatura de operação (BAKER, 2010).

$$I_{max} = J_{metal} * W \quad (3.5)$$

Para a fase de *layout* as correntes máximas já estão calculadas e simuladas, assim utiliza-se a equação 3.5 para calcular o W mínimo da metalização correspondente. Para o cálculo do número mínimo de vias, considera-se que $J = \frac{mA}{via}$ assim, divide-se a corrente pela densidade de corrente.

Quanto a queda de tensão, esta pode ser calculada pela equação 3.6. Caso a tensão seja significativa e o condutor seja usado para roteamento de barramentos de alimentação (*nets* de *power* e *ground*), será necessário aumentar sua largura. O aumento da largura causará uma capacitância parasita grande, o que resultará em uma menor variação de tensões DC (BAKER, 2010). Para evitar problemas, é recomendado que barramentos de energia sejam feitos com níveis de metalização altos.

$$V_{drop} = R_s * \frac{L}{W} * I_{max} \quad (3.6)$$

Não existe um limite máximo de largura em uma *net*, porém, em *power nets* muito largas ou em conexões do tipo T de um *pad* a um barramento de metal largo, o metal sofre expansão térmica (CLEIN, 1999). A inércia lateral faz com que não ocorra expansão na lateral, concentrando-se somente ao centro do metal como mostra a figura 14. O esforço da expansão repetida do metal resulta na quebra da camada de isolamento que protege o *wafer* provocando a entrada de impurezas no chip, permitindo reações com outros materiais. O chip poderá apresentar falha ou funcionamento não confiável (CLEIN, 1999).

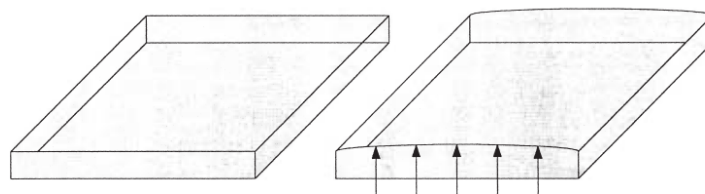


Figura 14 – Expansão do metal

(CLEIN, 1999)

Para resolver o problema, é necessário adicionar fendas ou furos no metal em intervalos regulares. No topo do chip são feitas com 45 graus para aliviar o estresse induzido pelas altas densidades de corrente, de forma que contribua para aumento da

resistência física do metal. As fendas e devem ser implementadas na direção do fluxo da corrente, como guia, sabe-se que uma *net* que não precisa de fendas possui a largura de 35 mm. (CLEIN, 1999)



Figura 15 – Densidade de corrente em diferentes angulações de *corners*: à esquerda 90°, no meio 135° e à direita 150°

(LIENIG, 2018)

Ao adicionar a fenda, é necessário compensar o espaço perdido, como exemplo, em uma *net* com 100 mm seria necessário implementar duas fendas, se a fosse implementada na metade, a *net* ainda assim seria maior do que 35 um. Se cada fenda tem a largura de 5 um, o espaço final deveria ter o tamanho de $100 \text{ um} + 5 \text{ um} + 5 \text{ um} = 110 \text{ um}$. (CLEIN, 1999)

A figura 16 mostra o processo de adicionar as fendas no barramento de *power*.

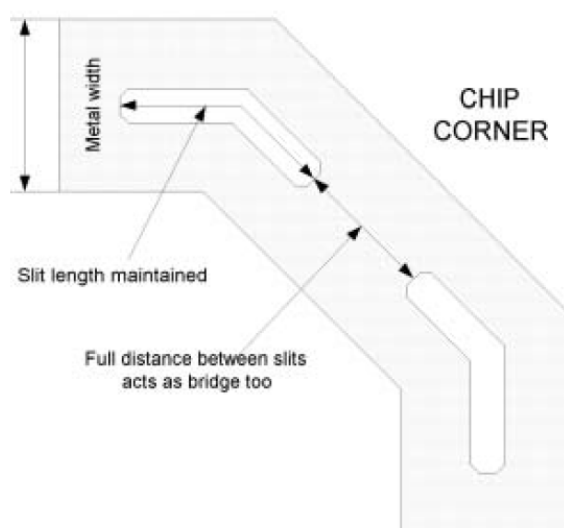


Figura 16 – *Corners* do chip com fendas

(CLEIN, 1999)

3.5.0.1 Vias DFM

Como um dos pontos de não-homogeneidade, assim como a largura da interconexão, a definição da via interfere diretamente na eletromigração.

Vias são elementos do *layout* suscetíveis a falhas de fabricação. Para aumentar a confiabilidade, recomenda-se o uso de pelo menos duas vias, uma vez que caso ocorra a falha de fabricação ainda haveria contato elétrico entre as interconexões, garantindo que o circuito não deixe de funcionar. Entre as possíveis falhas: vias que não estão totalmente abertas e vias ou interconexões que não estão preenchidas com metal suficiente (LIENIG, 2018). A figura 17 ilustra as possíveis falhas em vias.

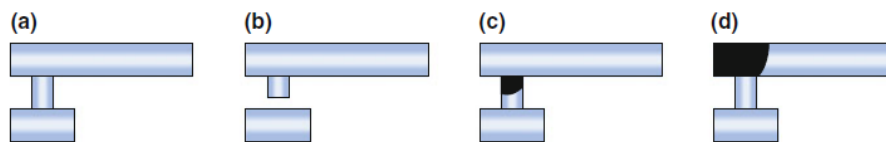


Figura 17 – Tipos de falhas em vias: a) Via com a interconexão desejada, b) via sem interconexão, c) via com metal insuficiente, d) deposição de metal incompleta na conexão superior (*void*)

(LIENIG, 2018)

O uso de um *array* de vias é comum em *nets* de *power* e em transporte de alta corrente visando reduzir a densidade de corrente na região. O feito ocorre pelo aumento da área de seção transversal, como mostra a figura 18. Contudo, é necessário comparar o benefício da redução de densidade de corrente à adição de parasitas no *layout* causados pelas vias, para isso utiliza-se da equação 3.5 para calcular o número mínimo de vias (com o J para vias), após, instancia-se na *net* de forma que respeite os limites de W , caso o *array* possua vias a mais do que o mínimo, essas serão chamadas de vias redundantes. Para a comparação de parasitas faz-se o uso da ferramenta *PEX* — *Parasitic Extraction*. A escolha é critério do *designer*.

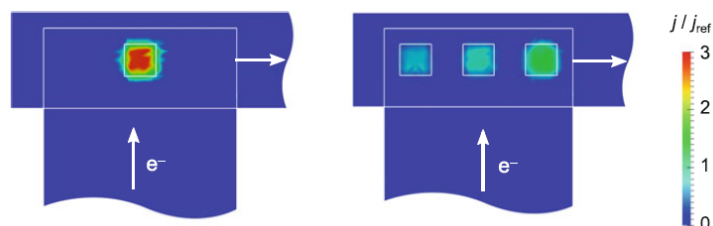


Figura 18 – Comparativo da densidade de corrente em uma via e em vias redundantes.

(LIENIG, 2018)

O encaixe da via à *net* deve ser feito de forma que o corte esteja a uma distância preestabelecida pelo fabricante. No PDK também há regras que informam sobre o limite da *net* (*enclosures*) e a distância de outra via, vide figura 19. Essas regras são definidas de forma a reduzir a tensão mecânica para o transporte de corrente, atuando em contraposto ao tempo até a falha da via, e evitando o crescimento de *voids* que danificam as interconexões. Chamam-se os espaços de reservatórios (LIENIG, 2018).

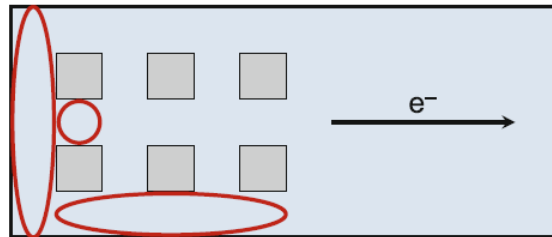


Figura 19 – Tipos de reservatórios em vias
(LIENIG, 2018)

O reservatório da via até os limites da *net* podem ser alterados nas configurações através do atalho [o]. No atalho ainda é possível ajustar a via de forma a encaixar nas configurações mínimas da regra de DRC, porém não é recomendado devido ao pequeno reservatório. Como padrão é costume não utilizar o tamanho mínimo de W permitido pelo metal para em caso de troca de metal não utilizar esse tipo de via, para isso, a largura mínima da *net* segue a mesma largura de uma via padrão.

Em algumas bibliotecas de *standard cells*, é possível ser necessário o uso da via mínima devido aos espaços reduzidos entre metais nas portas lógicas.

3.5.1 IR-drop

Uma das consequências da redução do tamanho da tecnologia trabalhada é o *IR-drop*. o *IR-drop* é a diferença de potencial elétrico entre os dois pontos em um condutor.

Conforme as tecnologias reduzem a dimensão dos dispositivos, as interconexões (*nets*) de metal tendem a ficar menos espessas, porém seu comprimento permanece igual. Devido ao aumento de dispositivos em uma área similar de chip, para manter a mesma potência ocorre um aumento substancial de resistência na trilha.

Quando a corrente flui através do dispositivo a tensão é reduzida, o que o torna mais lento. Em *nets* críticas esse efeito pode levar a uma falha funcional no chip.

3.5.2 Efeito Antena

À medida que há a redução no tamanho da tecnologia, reduz-se o tamanho do *gate* e a espessura do óxido, por consequência, na fabricação do dispositivo pode ocorrer efeito

antena (ou *Antenna*).

A corrosão seca usa campos elétricos para gerar um plasma ionizante. O *etching* é uma espécie de método de gravura do metal por meio de corrosão. Quando o metal exposto (não protegido por fotorresiste) entra em contato com um solvente, tende a se dissolver. mais informações podem ser encontradas no capítulo 8.4. Durante o processo, algumas cargas se acumulam no polissilício do *gate*, uma larga área de *poly* de um dispositivo desproporcional (*gate* pequeno, área de *poly* larga) agiria como uma antena coletando cargas por meio do óxido de *gate* (HASTINGS, 2000). As tensões podem ser tão grandes que podem induzir uma corrente por meio do óxido de porta, degradando sua rigidez elétrica, ameaçando sobrecarregar e danificar irreparavelmente o óxido do transistor, resulta-se em operação não confiável (BAKER, 2010). A quantidade de degradação será proporcional a carga total que passa pelo óxido no *gate* dividida pela área total do *gate* (HASTINGS, 2000).

$$Antenna_{Ratio} = \frac{Area_{metal}}{Area_{gate}} \quad (3.7)$$

Para controlar o efeito, é possível utilizar três abordagens:

1. Dividir as interconexões de metal em partes menores de forma que passe por vários níveis de metal.
2. Rotear para um metal superior e ao chegar próximo ao gate do transistor rotear em metal inferior.
3. Utilizar um diodo reversamente polarizado. Assim que uma carga suficiente é induzida no metal, o diodo desvia a carga para o substrato.

3.5.2.1 Efeito Antenna — 22FDX

Uma das particularidades da 22FDX é a ocorrência de efeito nas regiões de *fonte* e *dreno*, assim, a equação 3.7 para essa tecnologia tem outras duas variações:

$$Antenna_{Ratio} = \frac{Area_{metal}}{Area_{Source}} \quad (3.8)$$

$$Antenna_{Ratio} = \frac{Area_{metal}}{Area_{Drain}} \quad (3.9)$$

4 Floorplaning

Serão apresentados informações sobre dados que precisam ser coletados na etapa de *pré-layout* e *floorplaning*.

O primeiro passo para fazer o *layout* de um circuito integrado é estimar a área que será utilizada, para isso é necessário dispor a área de cada bloco do circuito separadamente e somá-los. A área total de um chip será a área de todas as células somadas aos roteamentos, *pads*, e *rings*. Como é um planejamento impreciso, é necessário ser deixada uma grande margem de segurança. O erro de margem é de aproximadamente $\pm 20\%$ (HASTINGS, 2000).

4.1 Coleta de dados

Para compor a área de uma célula, utiliza-se os dados do esquemático. A seguir, serão enumerados alguns dados importantes para o floorplaning de uma célula.

1. Tipo de dispositivo usado.

Uma vez que a tecnologia possui dispositivos fabricados com *layers* diferentes, é necessário cuidado ao verificar o tipo de dispositivo usado no esquemático. Caso o *layout* seja projetado com o dispositivo errado, é possível que o erro só seja percebido na fase de verificações LVS.

2. Corrente na *net*

Como discutido anteriormente, no capítulo 3.5, há limitações de corrente conforme os níveis de metalização, assim é necessário utilizar a equação 3.5 para calcular a largura mínima do metal no nível desejado.

3. *Power net*

Para evitar quedas de tensão, as *net* de *power* precisam ser feitas em níveis de metalização de topo, além disso, devem ser planejadas para suportar densidade de corrente adequada. *Nets* de VDD e VSS devem ir de uma ponta a outra do chip, já que são compartilhadas por mais de um dispositivo.

4. *Nets* sensíveis

Para evitar mau funcionamento, é necessário identificar as *nets* sensíveis e planejar a adição de uma proteção contra ruído. Essa proteção é feita utilizando *guard ring* e/ou proteção coaxial utilizando *layers* de metal (*shielding*).

5. Posição dos pinos

Caso o layoutista seja encarregado de células com hierarquias inferiores, é necessário o planejamento da posição dos pinos junto a equipe de *layout* responsável pelas hierarquias de topo de modo a facilitar o roteamento.

6. Polarização do substrato (*Bulk*)

A polarização do *bulk* será adicionada ao *guard ring* que compõe a matriz do dispositivo.

Coletados os dados, segue-se para a fase de *floorplaning*. Nessa fase, instanciam-se os dispositivos corretos e criam-se os pinos na região desejada.

Os dispositivos são agrupados conforme a polarização do substrato, isso é, colocam-se os dispositivos com polarização diferente em uma extremidade para ocupar uma área menor. Exemplo: circuitos digitais (*standard cells*) são separados dos demais dispositivos analógicos devido à polarização do substrato estar atrelada a uma *net* de *power* digital.

Outro ponto considerado é a arquitetura da célula, ex: em um amplificador, colocam-se os dispositivos PMOS na parte superior, por facilitar a ligação com VDD; os dispositivos NMOS que compõem o par diferencial no meio e os dispositivos do NMOS espelho de corrente na parte inferior, todas as partes devem ser separadas por seus respectivos *rings*.

A célula final deve ter o formato mais próximo a um quadrado/retângulo. O layoutista deve deixar uma distância com margem de segurança entre os dispositivos para a passagem de *nets*. Na fase de implementação essa distância pode ser aproximada para o mínimo necessário.

Com todas as instâncias e pinos no lugar correto, coloca-se uma *layer* para delimitar a área que a célula deve ser roteada a *PRBoundary*, essa é a área utilizada para o cálculo da área da célula mencionada anteriormente.

Com o *floorplaning* efetuado, começa-se a implementação do *design*.

5 Implementação

A implementação do *design* é o passo seguinte à definição do *floorplaning*, nesse passo estuda-se o *matching* dos dispositivos, efetua-se o roteamento planejado e acrescenta-se as *layers* referentes a arquitetura do dispositivo conforme o PDK.

O Primeiro passo para a implementação é checar no arquivo pdk o espaçamento de *grid*, para o projeto foi utilizado 0.001. Configura-se no menu *toolbar* superior em *Options* -> *Design* -> *Snapping & Grids*. No mesmo local é possível ligar o *gravity*, ferramenta capaz de levar o cursor a linha mais próxima ao se aproximar dela.

Utiliza-se das informações coletadas no pre-layout 4.1 para o cálculo da largura das *nets*, número mínimo de vias e planejamento de localização e proteção de *nets* sensíveis *shield*.

Para o roteamento do circuito, considera-se também a arquitetura da célula, simetria, proteção contra ruído e *latch-up*, o tamanho do dispositivo e *matching* (CLEIN, 1999).

A seguir serão apresentados as causas das variações de parâmetros elétricos nos dispositivos e os conceitos de *matching*

5.1 *Matching/ Mismatching*

O termo *Matching*, também chamado de casamento, representa a descrição do quanto a característica elétrica de dois dispositivos idênticos são iguais. Essa característica muitas vezes limita o desempenho e a robustez do produto, por exemplo, pode representar a acurácia de um instrumento de medida ou a clareza de um monitor (BAKER, 2010). Em outras palavras o propósito do casamento de dispositivos é eliminar possíveis desvios de parâmetro.

Variações de parâmetros podem ser causadas por fabricação, planejamento do *layout* do dispositivo e condições de uso.

- **Fabricação**

Exemplos: Revestimento de fotorresiste não homogêneo; estabilidade dimensional de máscaras devido à temperatura; expansão; alinhamento de máscaras; distorções no mapeamento óptico, como lentes; falhas e panes; crescimento; dopagem; corrosão e polimento químico-mecânico (CMP) (LIENIG, 2020).

- **Planejamento do *Layout* do dispositivo**

Dispositivos dimensionados e instanciados individualmente no *layout* fazem com que adquiram a característica não linear, ou seja, distantes de dispositivos ideais.

- **Efeitos de condição de uso**

Efeitos referentes ao uso do circuito integrado. Exemplos: Aquecimento, estresse mecânico.

Uma das variações de parâmetros elétricos pode ser percebida através do campo elétrico de um dispositivo. Esse efeito é chamado de *Fringe Effect* e ocorre na periferia da estrutura do *layout*. Assim, de forma a minimizar os desvios de parâmetro, o estudo concentra-se no planejamento do *layout* do dispositivo com a combinação de dispositivos idênticos e padronizados.

Para a construção do *layout* de um CI, os seguintes tópicos precisam ser considerados minuciosamente:

- **Simetria**

A simetria do *layout* de um CI interfere diretamente na densidade local do metal.

- **Número de dispositivo**

Como os efeitos *fringe* ocorrem nas bordas do *layout*, aumenta-se o número de dispositivos idênticos a fim de reduzi-los, isto é, divide-se o dispositivo em instâncias menores.

- **Tamanho do dispositivo**

O tamanho do dispositivo interfere no efeito de canal, ao mesmo tempo, dispositivos de tamanhos diferentes não apresentam bom casamento.

- **Forma de casamento do dispositivo**

A forma de casamento pode interferir na simetria e proteção de dispositivos em *nets* críticas.

- **Direção do dispositivo**

Alguns PDKs não permitem que o dispositivo seja colocado na horizontal, por modificarem o curso da corrente no CI, esse é o caso da 22FDX, caso seja feita a rotação ocorrem erros de DRC.

5.1.1 Matching em Resistores

O resistor é um dispositivo capaz de limitar o fluxo de corrente de cargas elétricas. Para obter o melhor *matching* entre os dispositivos, é necessário mitigar os desvios de parâmetros elétricos no resistor. Estudam-se os tipos de *fringe effects* associados. O primeiro efeito é relacionado ao corpo. A resistência de um corpo de resistor é proporcional ao quociente de seu comprimento l e largura w . Uma vez que o comprimento é definido pela posição das cabeças dos resistores, considera-se somente a largura.

As variações de largura são causadas por exposições e gravura, as tolerâncias referentes a difusão na fabricação são adicionadas a modelos de simulação, no entanto, não são consideradas ao nível de *layout*, o que causa incompatibilidade em casos de diferentes larguras de resistores uma vez que os valores referentes do *layout* são os enviados para fabricação.

O segundo efeito refere-se ao fluxo de corrente não homogêneo na cabeça do transistor. A corrente nos contatos possui a direção vertical, o que por sua vez obriga o corpo do dispositivo a alterar a direção da corrente, assim o valor da resistência adicional deve ser considerada duas vezes no cálculo para cada resistor conforme a figura 20 (LIENIG, 2020).

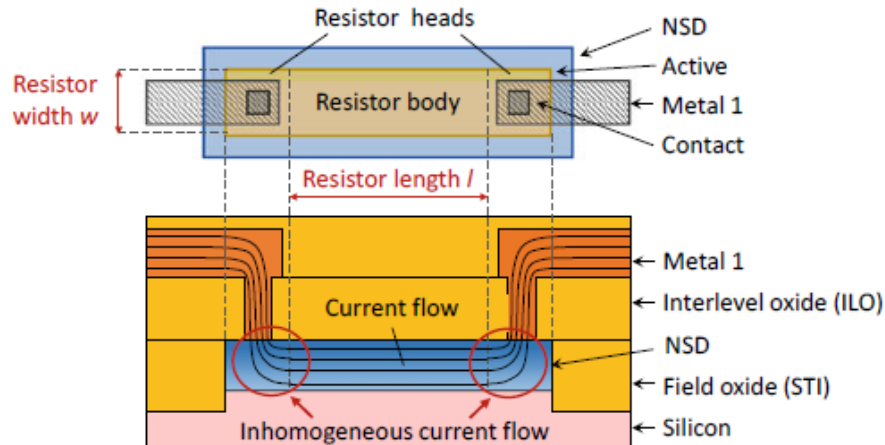


Figura 20 – Resistor NSD

Fonte: (LIENIG, 2020)

A equação 5.1 apresenta o valor de um resistor em termos de largura e comprimento.

$$R_i = R_s \frac{L_i}{W_i} + 2R_H(w_i) \quad (5.1)$$

Em que:

R_s = Resistência de folha.

L_i = Comprimento do corpo do resistor onde a corrente é distribuída homogeneamente.

W_i = largura do corpo do resistor.

R_H = Resistência da cabeça do resistor.

Ao considerar a tentativa de casamento de dois resistores, assumindo o mesmo valor de W , o casamento dependeria unicamente do valor do comprimento do corpo. De forma a corrigir o valor de L devido à presença das cabeças, é adicionado à expressão L_{corr} , neste caso, a equação 5.2 indica a relação entre o comprimento de dois resistores.

$$L_1 = R \cdot L_2 + L_{corr} \tag{5.2}$$

$$L_{corr} = 2(R - 1) \cdot \frac{R_H}{R_s} \cdot W \tag{5.3}$$

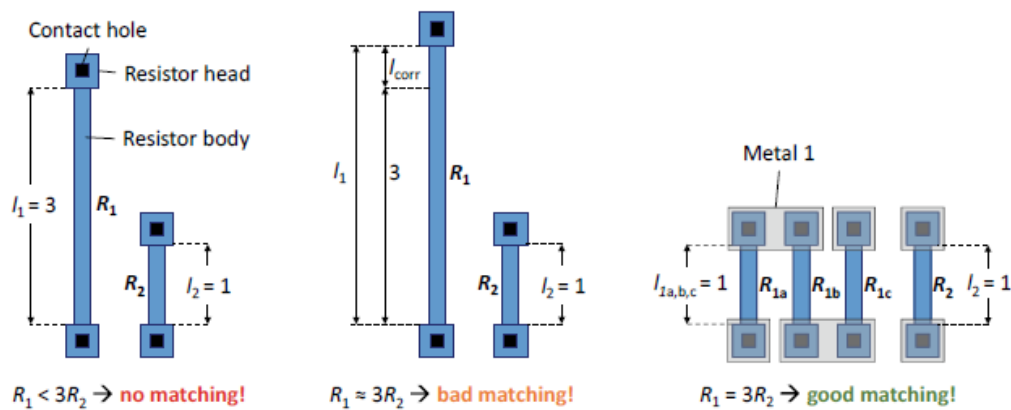


Figura 21 – Resistor NSD - *matching*

Fonte: (LIENIG, 2020)

Assim, para fins de casamento, os resistores correspondentes devem sempre ter a mesma largura e o mesmo comprimento.

5.1.2 Matching em Mosfet

O tamanho da abertura do óxido de campo e a largura do *gate* estão sujeitos a deslocamentos de borda e a efeitos de *fringe*. O comprimento do canal é encurtado constantemente por uma sub-difusão das zonas de fonte e dreno sob o *gate*, fazendo com que haja uma mudança de borda na abertura do óxido de campo (LIENIG, 2020). A largura efetiva do canal é reduzida pelo deslocamento efeito semelhante ao resistor, assim, os transistores MOSFET devem ser divididos com comprimentos e larguras de canais iguais.

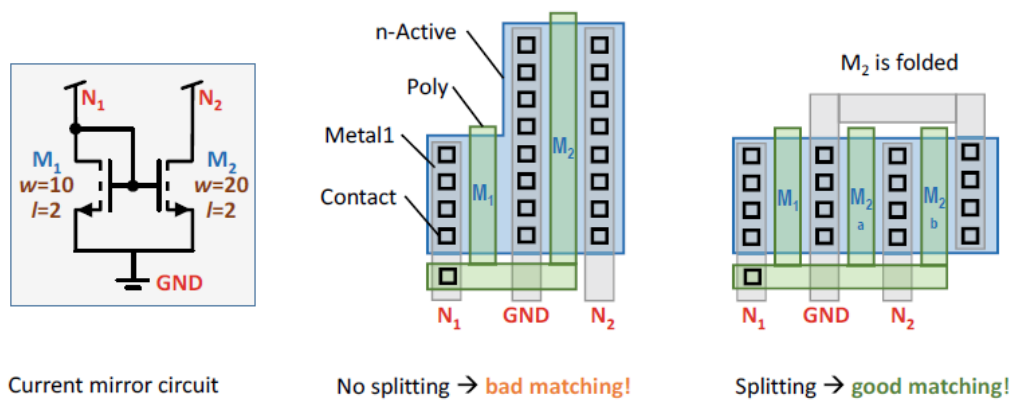


Figura 22 – Match de transistores

Fonte: (LIENIG, 2020)

5.1.3 Matching em Capacitores

A capacitância de um capacitor ideal de placas paralelas pode ser calculado pela equação 5.4.

$$C = \epsilon_0 \epsilon_r \frac{A}{D} \tag{5.4}$$

Em que:

$\epsilon_0 \epsilon_r$ = Permissividade dielétrica entre as placas

D = Distancia entre as placas

A = Área da superfície das placas

Para dispositivos não ideais, os efeitos *fringe* também são considerados para o cálculo da capacitância.

Semelhantemente aos resistores e MOSFETS, a largura e comprimento apresentam contribuições à tolerância de fabricação através da área da superfície das placas 5.5. Além do campo de *fringe* proporcional a área da superfície das placas do capacitor, existe o campo proporcional ao comprimento periférico do capacitor, nesse caso ao perímetro de dois retângulos.

$$A = E \cdot L \quad (5.5)$$

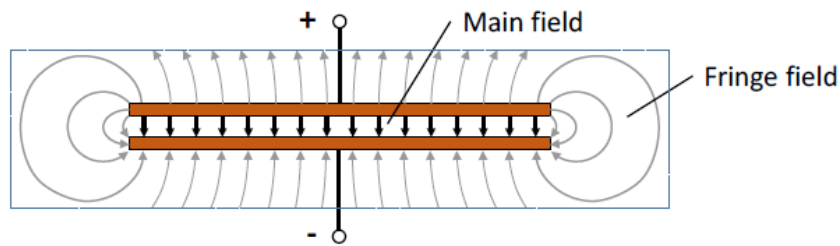


Figura 23 – *Fringe effect* em capacitores

Fonte: (LIENIG, 2020)

$$P = 2W + 2L \quad (5.6)$$

Assim, considerando dois capacitores para o *matching* a razão dos perímetros é proporcional a razão das áreas de superfície e por sua vez também é proporcional a razão da capacitância como mostra a equação 5.7.

$$\frac{P1}{P2} = \frac{A1}{A2} = \frac{C1}{C2} \quad (5.7)$$

Nesse caso, para obedecer ao requisito de *match*, divide-se os capacitores em dispositivos simétricos e idênticos conectados em paralelo, assim os *fringe effects* e os campos elétricos principais estarão nas mesmas proporções satisfazendo a equação 5.7 de forma que os efeitos sob largura e comprimento sejam iguais a todos os capacitores.

A figura 24 apresenta duas opções de *match* que obedecem a razão de proporcionalidade, diferenciando-se apenas que a opção da direita também obedece ao critério de simetria tornando-se a melhor opção.

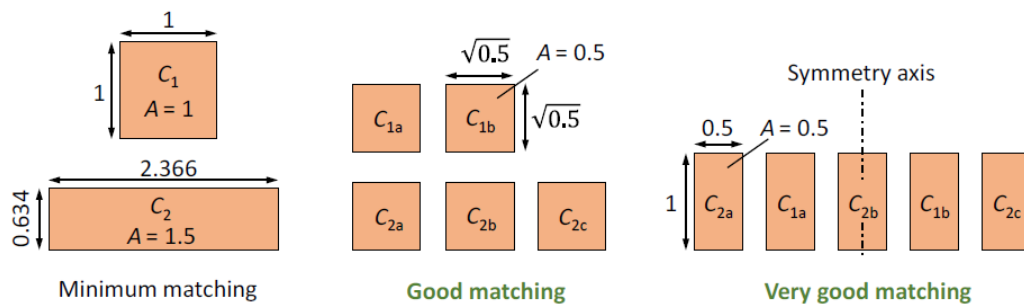


Figura 24 – Matching em capacitores

Fonte: (LIENIG, 2020)

5.1.4 Matching em Transistores TBJ - NPN e PNP

Transistor Bipolar de Junção - TBJ, são dispositivos de 3 terminais o qual a definição da tensão e corrente de entrada pode controlar o comportamento no terminal de saída. Diferentes definições de tensão resultam em funcionamento de chave aberta, chave fechada e fonte de corrente controlada. A operação como chave pode ser utilizada em circuitos digitais e acionamento de cargas de potência (relés, motores CC, inversores de frequência, fontes chaveadas) enquanto a operação como fonte de corrente é utilizada em amplificadores e fontes lineares.

Há dois tipos de TBJ, o primeiro, NPN, é composto por um emissor com silício super-dopado do tipo N, base do tipo P e coletor super-dopado do tipo N. O segundo, PNP, tipo é composto por emissor com silício super-dopado do tipo P, base do tipo N e coletor super-dopado do tipo P.

O emissor é o terminal responsável por injetar elétrons na base e no coletor. A corrente de um transistor TBJ é determinada pela área do emissor, que por sua vez é definida pela abertura no óxido de campo. (LIENIG, 2020)

As dimensões do dispositivo também são determinadas pela área do emissor. A figura 25 mostra o exemplo de um layout de um transistor PNP o qual observa-se que a base e o coletor encontram-se esticados ao tamanho do emissor, percebe-se que o emissor possui um único contato devido a efeitos adversos não lineares causados por franjas, assim, para o matching de TBJ os dispositivos devem ter emissores únicos e idênticos (LIENIG, 2020).

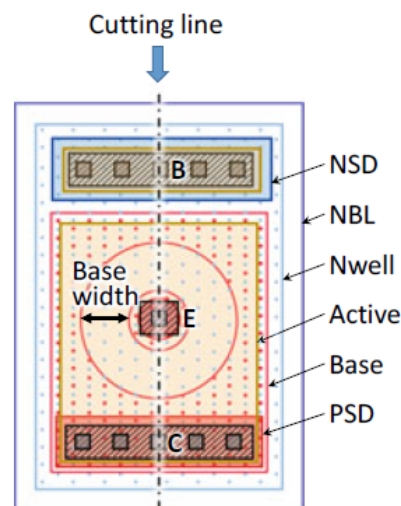


Figura 25 – *Layout* de um transistor PNP

Fonte: (LIENIG, 2020)

5.1.5 Formas de casamento

Considerando dispositivos idênticos e de mesmo tamanho, apresentam-se as seguintes possibilidades para compor a matriz de casamento:

1. Proximidade de dispositivos

A proximidade de dispositivos é a forma menos complexa e de realizar o casamento de dispositivos. Observa-se a figura 26 um dispositivo B próximo a A. Ao realizar esse tipo de casamento, o dispositivo interno (B) apresenta menor variação devido à proteção dos dispositivos externos (A e *Dummy*). Esse tipo de forma de casamento é comumente empregada em fontes de corrente, o qual o transistor ligado como *diode connected* faz o papel do dispositivo interno.

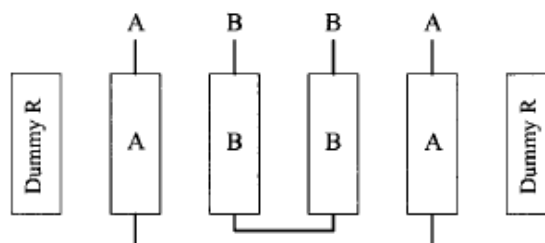


Figura 26 – Casamento por proximidade

Fonte: (CLEIN, 1999)

2. Interdigitação

A interdigitação é uma forma pouco complexa e efetiva de realizar o casamento de dispositivos. Observa-se na figura 27 a alternância dos dispositivos A e B. Ao realizar esse tipo de casamento, é importante igualar a densidade de dispositivos na ponta e no meio. A imagem mostra um dispositivo A e um dispositivo B no centro, assim como cada um está posicionado em uma ponta. Esse tipo de forma de casamento é comumente empregada em resistores.

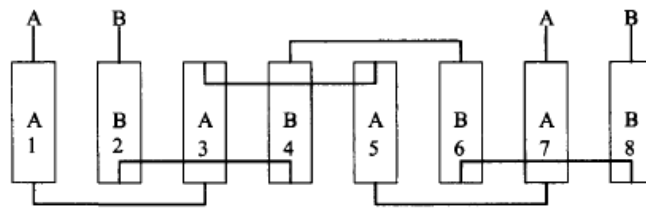


Figura 27 – Casamento por interdigitação

Fonte: (CLEIN, 1999)

3. Centroide em ponto comum

Há duas formas de realizar o casamento de dispositivos em centroide comum: dispor os dispositivos em uma mesma linha e dispor os dispositivos em uma matriz. Essa forma de casamento baseia-se em eixos de simetria.

O casamento em centroide são formas complexas e efetivas de realizar o casamento de dispositivos. Observa-se na figura 28 o ponto centroide de simetria da linha compondo a simetria unilateral, na figura 29 o ponto centroide de simetria ao centro da matriz, nessa figura, há dois exemplos de simetria radial.

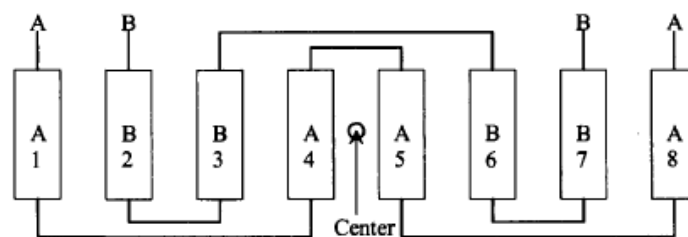


Figura 28 – Casamento por Centroide em ponto comum: mesma linha

Fonte: (CLEIN, 1999)

A parte à esquerda da figura 29 apresenta os eixos diagonais compostos por um dispositivo enquanto a parte da direita alterna os dispositivos. O casamento em centroide comum é utilizado em par diferencial e casos de *matching* com mais de dois dispositivos, no exemplo da figura, apresenta-se o *matching* para quatro.

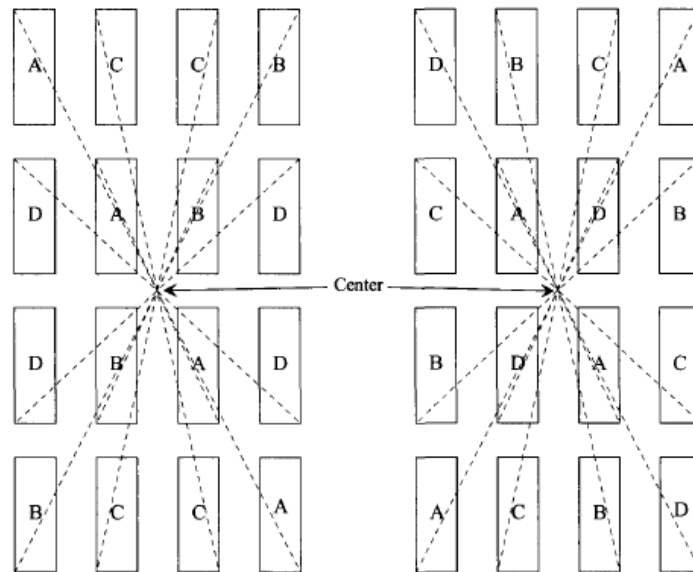


Figura 29 – Casamento por centroide em ponto comum: matriz

Fonte: (CLEIN, 1999)

5.2 Polarização do substrato

Como visto anteriormente em 2.3, as regiões P e N são definidas como diferentes tipos de poços devido a diferenças de dopagem. Assim como os poços, cada dispositivo foi construído em um substrato. No exemplo dado, o dispositivo NMOS é construído sem um poço *n-well*, portanto se considera o seu substrato do tipo P, enquanto um dispositivo PMOS, construído no poço *n-well* considera-se como substrato do tipo N (CLEIN, 1999).

Para polarizar cada poço, é necessário que sejam isolados por meio de um *Guard Ring*, isso é, um anel com *layers* de implantação do tipo P ou N que visa também proteger os dispositivos do ruído do substrato (BAKER, 2010).

Além disso, ressalta-se a importância de sempre consultar o PDK para verificar a construção do dispositivo na *tech*, uma vez que é possível que a célula seja construída em mais de um poço como mostra o processo d) *triple-well* (*deep n-well*) na figura 30.

O processo de *deep n-well* é aplicado em dispositivos NMOS de forma a isolar o poço *p-well* dos ruídos do substrato, esse tipo de processo é muito utilizado em dispositivos analógicos sensíveis, uma vez que somente o *guard ring* não conseguiria protegê-lo do ruído. A figura 31 mostra um dispositivo NMOS em *deep-nwell*

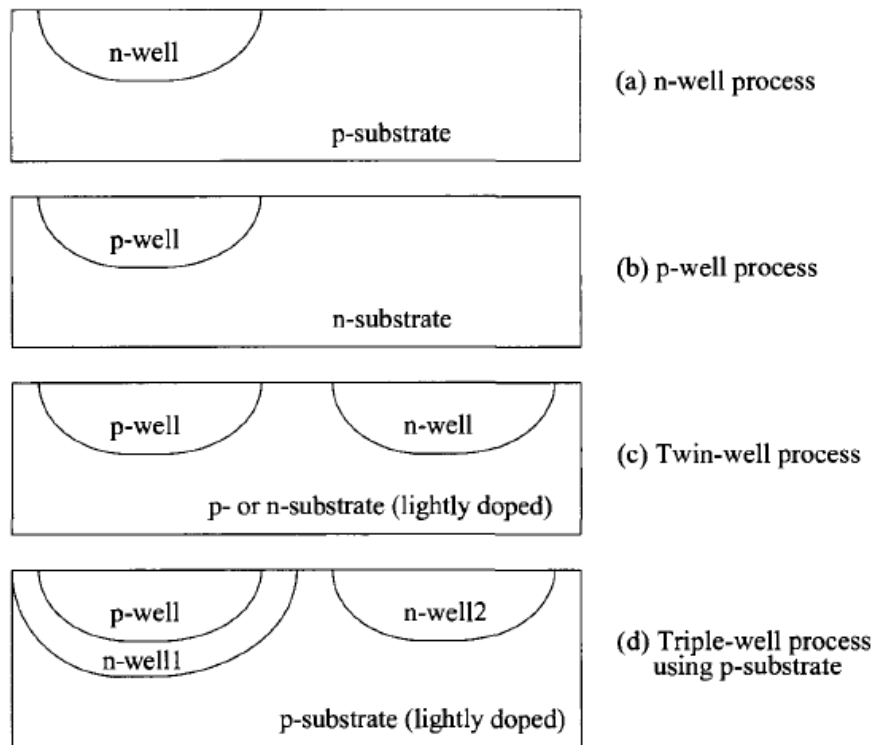


Figura 30 – Diferentes processos de polarização do bulk em um dispositivo CMOS

Fonte: (BAKER, 2010)

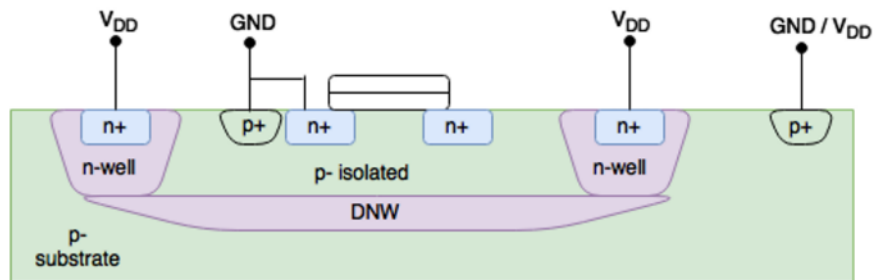


Figura 31 – NMOS construído em processo de *deep n-well*

Fonte: (DRAGAN et al., 2018)

Para a polarização do substrato do tipo N, conecta-se um *ring* do tipo N+ conectado a AVDD/ DVDD/ VCC e similares, para a polarização do tipo P, utiliza-se um *ring* conectado a *nets* de VSS / GND / DVSS / SUB.

Para instanciá-lo, no *toolbar* clique em *Create -> Multi part path* ou *Create -> Guard ring* ou tecla de atalho [shift+g].

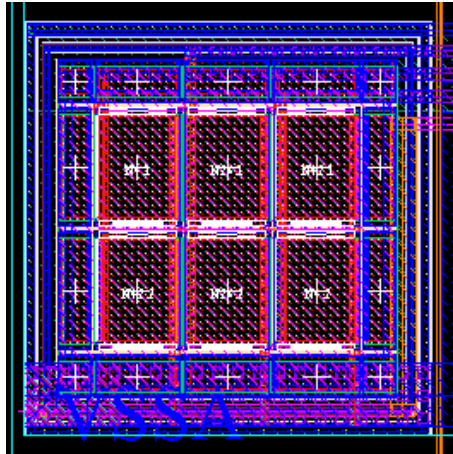


Figura 32 – *Guard Ring* ao redor de matriz de transistores NMOS

Fonte: Autora

5.3 *Dummy*

Dispositivos *dummy* são células em curto, ou seja, sem função elétrica para o ponto de vista de esquemático. Suas entradas e saídas são ligados a VDD ou GND. Esses dispositivos são posicionados ao redor das matrizes de casamento, geralmente podem ter de 20% a 100% do tamanho do dispositivo ativo que se deseja proteger. Dispositivos *dummy* do mesmo tamanho do dispositivo ativo implicam em um gasto significativo de área, ao mesmo tempo, garantem maior a proteção química. Os dispositivos adicionados ao layout deverão ser acrescentados ao esquemático da célula.

A figura 33 apresenta-se 3 transistores *dummy* com dimensões diferentes dispostos de forma a proteger o transistor N4.1. em várias direções.

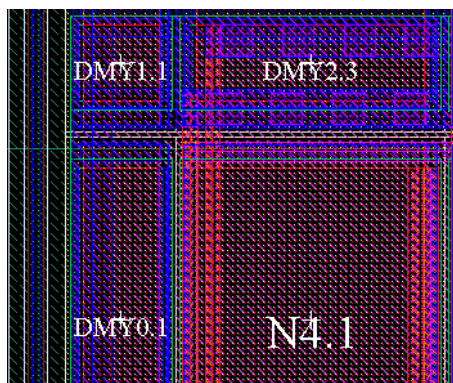


Figura 33 – Transistor N4.1 protegido por *dummys*

Fonte: Autora

6 Atalhos

A seguir serão listadas teclas de atalhos do ambiente *Custom compiler - Synopsys* utilizados para implementação do *layout*. As teclas de atalho permitem a escolha, mais opções estarão disponíveis ao apertar a tecla F3. No ambiente CC as teclas geram um menu no topo esquerdo, para ampliá-lo aperta-se a tecla [q]. A referência no ambiente *Virtuoso - Cadence* caso não seja a mesma, será mencionada na seção de teclas de atalho.

6.1 Teclas de atalho

- **Inserir componente** [i]

Para inserir uma instância no ambiente de *layout* da ferramenta aperta-se a tecla [i] do teclado, escolhe-se a biblioteca referente, a célula a inserir e a vista de *layout*. Nesse mesmo menu é possível escolher as dimensões do dispositivo, capacitância ou resistência.

- **Ativar *Layers*** [Shift+f]

Após instanciar os dispositivos, eles serão criados somente com as bordas e o nome a vista. Para fazer com que os roteamentos apareçam mantém-se pressionado o shift e aperte a tecla [f]. O movimento contrário pode ser realizado com [ctrl+f].

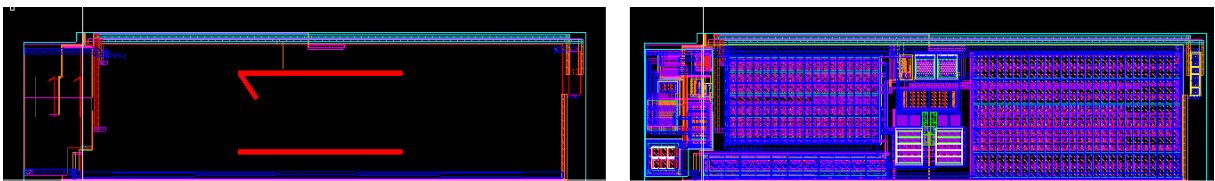
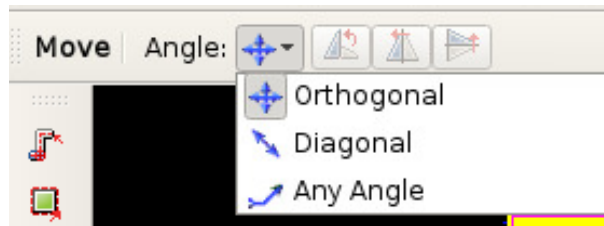


Figura 34 – Dispositivo PGA1ST em a) sem o *shift f* b) com *shift f*

Fonte: Autora

- **Mover dispositivo** [m]

A tecla [m] (*move*) do teclado pode ser utilizada para mover objetos. Ao acioná-la, um menu adicional aparece no topo esquerdo permitindo o usuário escolher a direção do movimento.

Figura 35 – Opções menu *move*

Fonte: Autora

No ambiente *Virtuoso* esse menu fica disponível a todo tempo, para alterar a direção é necessário clicar no símbolo.

- **Ferramenta de cópia** [c]

Para fazer cópias de um dispositivo aperta-se a tecla [c], em seguida para visualizar o menu adicional, [F3]. O menu adicional permite realizar cópias em linhas e colunas especificando a distância da instância original em DX e DY.

- **Alinhar dispositivos ou Espaçar dispositivos** [4]

Antes de utilizar o atalho é importante habilitar a seleção parcial para conseguir selecionar qualquer localidade ou ponto através da tecla de atalho [F4].

Para alinhar um dispositivo, clica-se no dispositivo a ser alinhado aperta-se a tecla [4], em seguida, [F3]. É possível especificar a distância da instância ao dispositivo referência. Aperta-se no local da instância que deve alinhar (lateral, topo) e o local da referência.

No ambiente *Virtuoso* o atalho é correspondido por [a] (*Align*).

- **Inserir vias** [o]

Para inserir vias aperte a letra [o], é possível definir o tipo de *layer* utilizado na via, com a opção de empilhar várias vias, definir *cut class*, número de linhas e colunas e os *enclosures*.

- **Régua** [k]

Para inserir uma régua aperte a letra k em seguida clica-se onde deve começar e terminar a medição. para apagar todas as régua feitas aperte [shift+k]

- **Highlight**

Uma das ferramentas úteis para verificações físicas é utilizar o *highlight*. Ao clicar na ferramenta ele mostra as nets cuja conexão foi feita. Para utilizá-la no *toolbar* clique em *query -> highlight -> connected*

- **Rotear *path* e retângulo** [p] [r]

Para criar um segmento, escolhe-se o material correspondente no painel, em seguida aperta a tecla [p] (para *path*) [r] (para retângulo), ao apertar [F3] escolhe-se a largura correspondente ao seguimento. Também é possível editar seu tamanho ao pressionar [q]. Para finalizar o seguimento aperta-se enter.

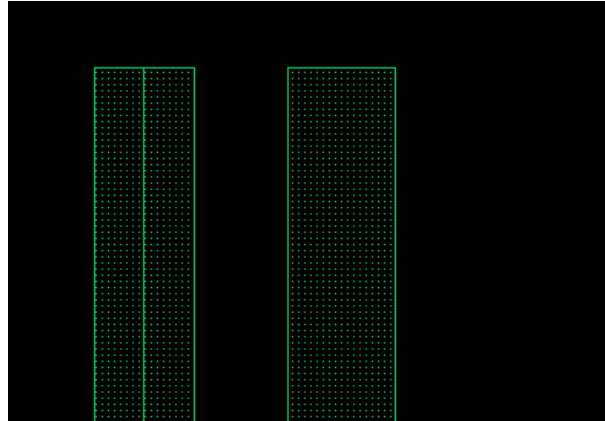


Figura 36 – *Path* e Retângulo

Fonte: Autora

- **Inserir *label*** [l]

Para criar um rótulo, nomenclatura de pinos, lembrete de dispositivo, utiliza-se a tecla l. Para pinos é comum utilizar a mesma *layer* do metal com o propósito de *pin*, porém essa informação depende do PDK usado uma vez que é possível existir uma *layer* específica para pinos. Para textos utiliza-se a layer “*Text*” ou similar com o propósito *drawing*.

7 *Layout Verification e Abstract view*

7.1 DRC - *Design Rule Check*

Cada fabricante oferece junto ao PDK uma série de regras contendo restrições geométricas e de conectividade que precisam ser cumpridas para garantir o funcionamento do produto final. Tais regras são prescrições para garantir que seja um *layout* fabricável durante a aplicação de fotomáscara (LIENIG, 2020). A seguir são analisados as regras básicas existentes em todos os PDK.

- **Área**

Apresenta-se regras de área mínima para cada nível de metalização.

- **Largura**

O *deck* de regras apresenta a largura mínima e máxima para cada nível de metalização. Em algumas tecnologias é comum ser associada a um comprimento. A figura 37 apresenta em *a* o exemplo da regra de largura.

- **Espaçamento entre *layers***

O *deck* define regras de espaçamento ao usar a mesma *layer*. Além do caso comum de espaçamento entre *nets* de metais iguais, é possível encontrar o mesmo tipo de regra entre *n-well* e *deep n-well* com polarizações diferentes. A figura 37 apresenta em b_1 e b_2 o exemplo da regra de espaçamento.

- **Extensão e Intrusão**

Para a explicação suponha-se duas *layers* sobrepostas parcialmente. As regras de Extensão e Intrusão indicam o limite a qual a borda de uma das *layers* pode ficar distante de um ponto da outra *layer*. A figura 37 apresenta em *c* e *d* o exemplo da regra de extensão e intrusão respectivamente.

- **Encapsulamento**

Para essa regra, suponha-se duas *layers* sobrepostas, em que a *layer* 1 possui uma área menor que a *layer* 2. A regra de encapsulamento diz respeito a distância que a borda da *layer* menor se encontra da *layer* maior. A figura 37 apresenta em *e* o exemplo da regra.

- **Densidade**

Assim como a área, é possível que o *deck* tenha regras específicas para densidade local e densidade global para cada nível de metalização. Para corrigi-lo utiliza-se *dummy fill*.

- **Inclusão de *layers* e *guard ring***

Alguns erros de DRC lembram o layoutista de colocar *layers* específicas como *n-well*. Além disso, há regras para a inclusão do *guard ring* ao redor de todo o *layout*.

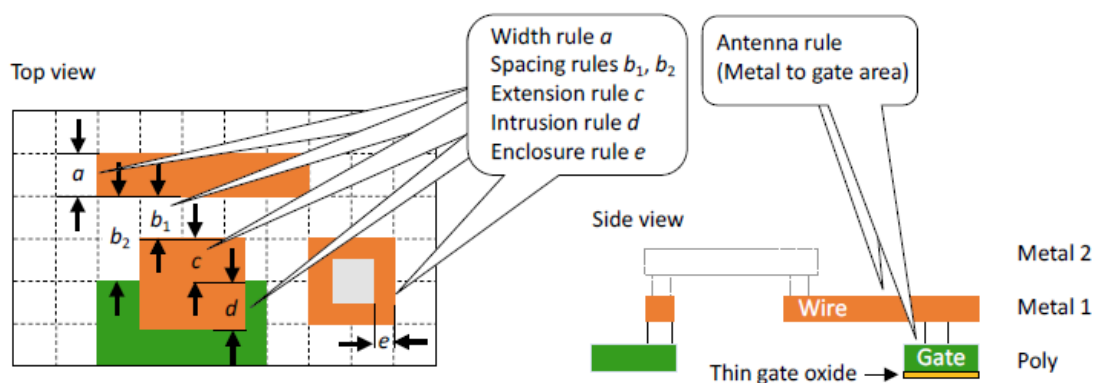


Figura 37 – Resumo erros DRC e *Antenna*

Fonte: (LIENIG, 2020)

7.1.1 Erros de *Antena*

Erros de antena podem ser incluídas em *deck* de DRC, nos casos em que não são, é necessário trocar o *deck* de regras usado no mesmo menu do DRC.

7.1.2 Configurações DRC

A seguir são listados as configurações do *IC Validator - Physical Verification*, ferramenta de análise nativa do Synopsys, similar ao ambiente de DRC encontrada no *PVS - Physical Verification System*, nativo do Virtuoso, e Calibre DRC, software da empresa Mentor. É importante ressaltar que o *deck* de antena está contido no *deck* de regras de DRC.

Primeiro, será necessário configurar a aba *Main*. Entre as informações necessárias encontram-se: O diretório que será utilizado para execução dos arquivos; A área que será executada o DRC por padrão é *Design*, porém possível também selecionar uma área parcial em *Region* ou uma *viewport*. Em relação ao *layout*, escolhe-se a biblioteca em *Library*, a célula e a vista *layout*. Escolheu-se o formato de saída *Stream*, o qual produzirá um arquivo em formato “.gds” (*GDS- Graphic Data System*) um tipo de arquivo de dados binário que contém informações de formas geométricas e texto referentes ao *layout*.

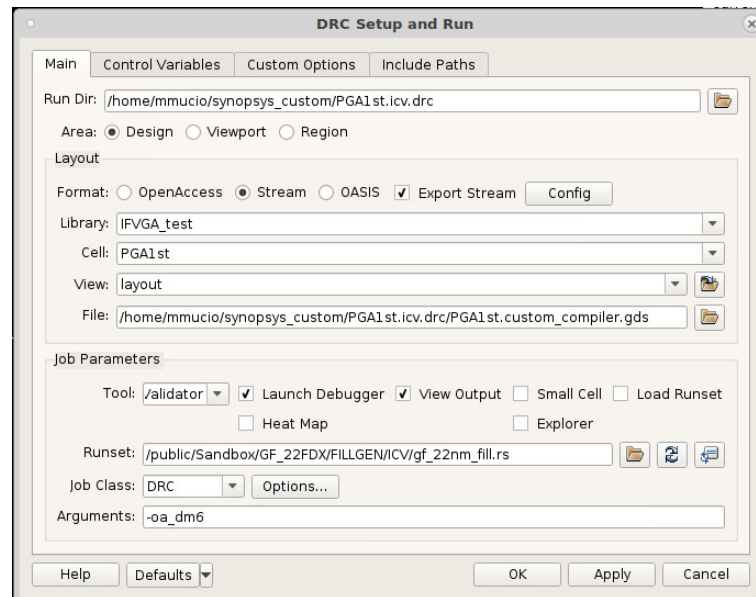


Figura 38 – DRC- Configurações aba *Main*

Fonte: Autora

Fez-se a necessidade de adicionar o arquivo de *layer map*, arquivo que contém informações de identificação de *layers* conforme o *GDS number*, o arquivo é adicionado em *Custom Options* como mostrado na figura 39, após, adicionou-se o caminho para o arquivo de *runset* em *Include path* 40.

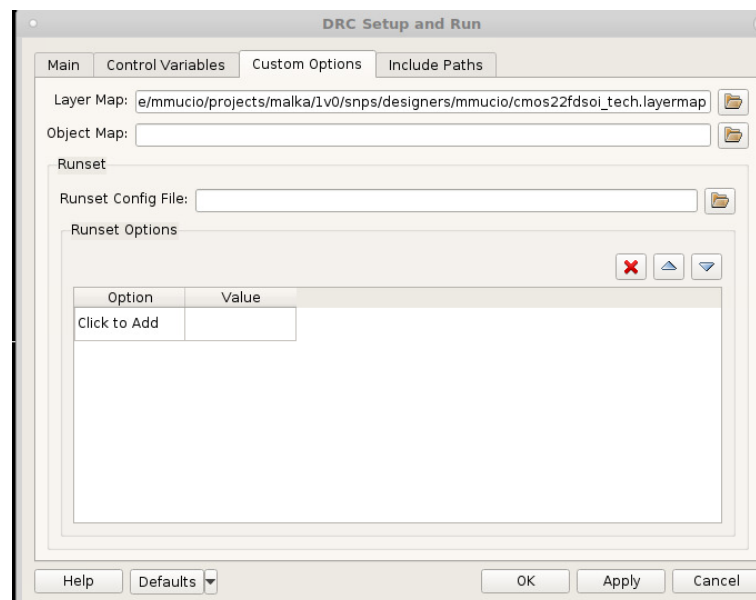


Figura 39 – DRC- Adição de *layer map* - aba *Custom Options*

Fonte: Autora

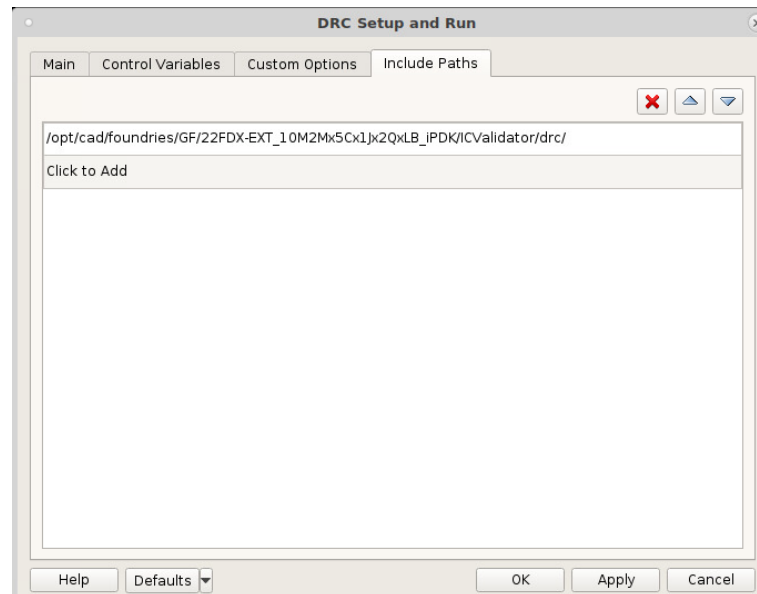


Figura 40 – DRC - Include Path

Fonte: Autora

Os resultados obtidos com as verificações de LVS podem ser visualizados na seção [9.1](#).

7.2 LVS - *Layout Versus Schematic*

A verificação compara a *netlist* gerada pelo esquemático com a extraída do *layout* e aponta os dispositivos que não são correspondentes. É comum que nas configurações do LVS definam a opção que permite a extração elétrica ERC - *Traditional electrical rule checking*. Após a verificação é necessário corrigir as discrepâncias encontradas garantindo que as informações no esquemático e *layout* sejam as mesmas.

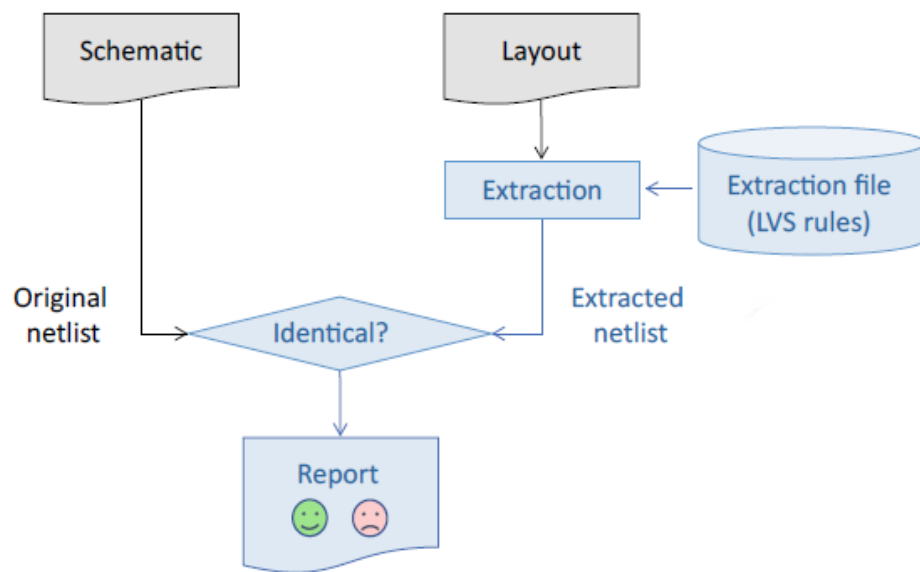


Figura 41 – Fluxograma de LVS

Fonte: Adaptado (LIENIG, 2020)

Tipo de Arquivos que devem ser salvos:

- *Runset*

A *runset* são as configurações que o arquivo foi submetido, incluem informações de *power nets* e *ground nets*, *inputs* (informações referentes a célula e sua versão de esquemático ou GDSII (arquivo de coordenadas dos blocos, roteamentos e pinos) que foi utilizada como elemento comparação) e *output* (nome dos arquivos que serão gerados).

- “<nomedacelula>.report”

Resultado completo da simulação. O arquivo contém o número de dispositivos, tipo de dispositivos utilizados, os nós presentes do esquemático e a *netlist* que foi extraída do *layout*. (LIENIG, 2020)

- “<nomedacelula>.log”

Resumo apresentado no painel da verificação. Este arquivo deve ser salvo manualmente pelo usuário.

- “<nomedacelula>.erc”

Arquivo resultado da extração de continuidade elétrica dos dispositivos. Apresenta a verificação de polarização dos dispositivos.

lista-se como possíveis erros:

1. Cobrir dispositivos NMOS com *n-well* (SCONNECT).
2. Ausência de dispositivos (Existem em esquemático e não existem no *layout* e vice-versa).
3. Falta de pinos.
4. Falta de ligação entre *nets*, em que uma das causas pode ser a falta de vias.
5. Curtos.
6. *Bad-component* o qual a ferramenta reconhece que outro tipo de dispositivo foi instanciado.

7.2.1 Configurações LVS

A seguir são listadas as configurações do *Calibre nmLVS*, ferramenta de análise da empresa *Mentor*.

Em *Rules* será necessário adicionar o arquivo de regras que será utilizado para verificação em “*LVS Rules File*” e o diretório para os arquivos “*LVS Run Directory*”. Ao final da seleção deve-se clicar em *load* para carregar as preferências.

Na aba *inputs* é possível escolher o tipo de licença que será usada: cita-se como exemplo *hierarchical*, licença relativa à célula e *flat*, relativo à toda a estrutura e sub-hierarquias. Também é possível especificar o tipo de comparação: *Layout vs Netlist* uma comparação de um arquivo que contém informações de roteamento e blocos a um arquivo SPICE (Arquivo de texto resultante de um esquemático que representa o circuito como componentes e conexões) e *Netlist vs Netlist* uma comparação do tipo SPICE a um arquivo SPICE (MENTOR, 2002.5).

Na sub aba *Layout* especifica-se de onde o arquivo SPICE será extraído, os campos serão preenchidos conforme bloco trabalhado. Em *netlist* especifica-se uma netlist proveniente de um esquemático ou de um arquivo-fonte.

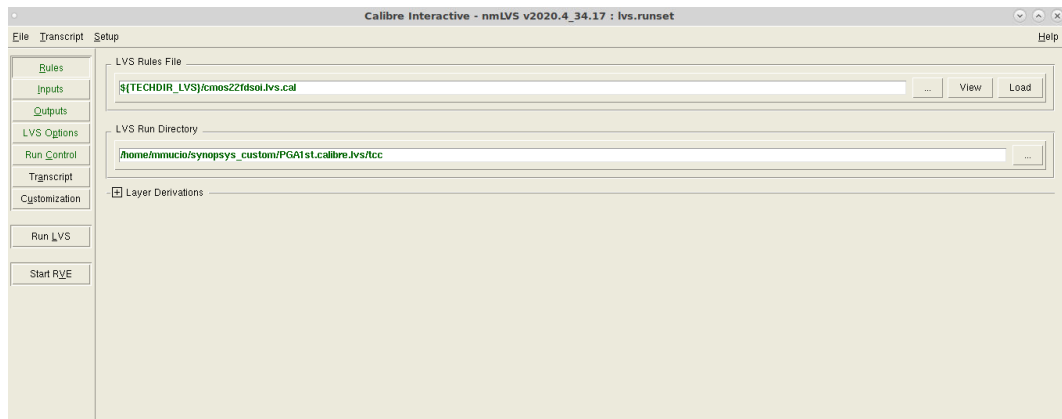
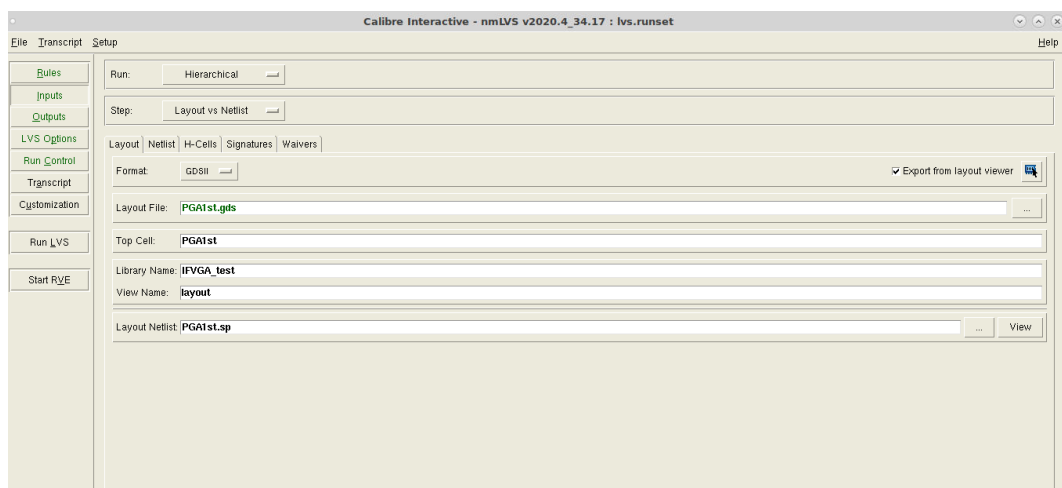


Figura 42 – Configurações Calibre nmLVS

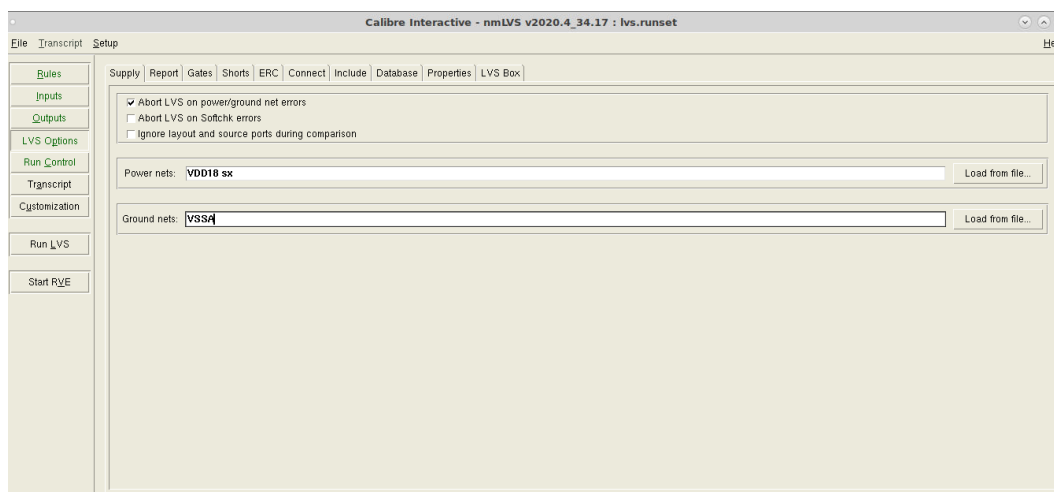
Fonte: Autora

Para o trabalho foi usado a comparação *Layout vs Netlist* junto ao formato GDSII. Utilizou-se como arquivo a extração da *netlist* direta do esquemático da célula conforme a figura 43.

Figura 43 – Configurações Calibre nmLVS - aba *inputs*

Fonte: Autora

Na aba LVS Options, em *Supply*, é necessário configurar as *nets* que servirão como *power* e *ground*. Também é possível controlar se o LVS irá abortar a execução caso, encontre um erro de alimentação conforme a figura 44. Em *ERC* controla-se o *Electrical Rule Check*; na aba *Connect* é possível definir conexões virtuais entre *nets* de mesmo nome, para isso é necessário posicionar o pino e *label* em ambas no *layout*.

Figura 44 – Configurações Calibre nmLVS - aba *LVS Options: Power Nets*

Fonte: Autora

Os resultados obtidos com as verificações de LVS podem ser visualizados na seção [9.2](#).

7.3 PEX - *Parasitic Extraction*

A ferramenta de PEX calcula os efeitos de parasitas presentes nas *nets*, nas interconexões de *layers* e entre as interconexões junto ao substrato a fim de representar um modelo preciso do circuito de forma a emular as respostas reais de funcionamento do dispositivo.

Podem ser identificadas ao final da simulação pós-*layout* problemas que afetem o *timing* do circuito e desempenho, especialmente de circuitos analógicos, como atrasos no sinal, ruído e *IR-drop*.

Assim, seus resultados afetam análise de tempo, potência, simulação de circuito e análise de integridade de sinal. (LIENIG, 2020)

São extraídas mediante correspondência de padrões: Capacitâncias Parasitas; Resistências Parasitas e Indutâncias Parasitas (LIENIG, 2020). Em geral, o foco das ferramentas é centrado nas duas primeiras.

Os resultados PEX são identificados por *Netlist* extraída, método similar ao gerada no LVS. Após a extração é utilizada em conjunto com o esquemático (*schematic*) para simular o funcionamento do circuito.

7.3.1 Passo a passo para gerar PEX

A seguir serão listadas as configurações para geração de Parasitas utilizando a ferramenta *Calibre PEX*. Assim como o menu do LVS, em *Rules* será necessário adicionar o arquivo de regras que será utilizado para gerar as parasitas e o diretório que será utilizado para gerar os arquivos, a aba *inputs* também é semelhante.

É na aba *output* que se define o tipo da extração, podendo ser *Gate level* o qual extrai as parasitas das células superiores até a *boundary* das células inferiores; *Transistor level*, também conhecida como extração “*flat*” para extrair os parasitas dos dispositivos, os parasitas ao redor de dispositivos e parasitas associados a interconexões; *Hierarchical* o qual permite extrair parasitas para células previamente identificadas, extração semelhante ao *gate level* porém com automação para integração de blocos digitais e analógicos (MENTOR, 2009.1).

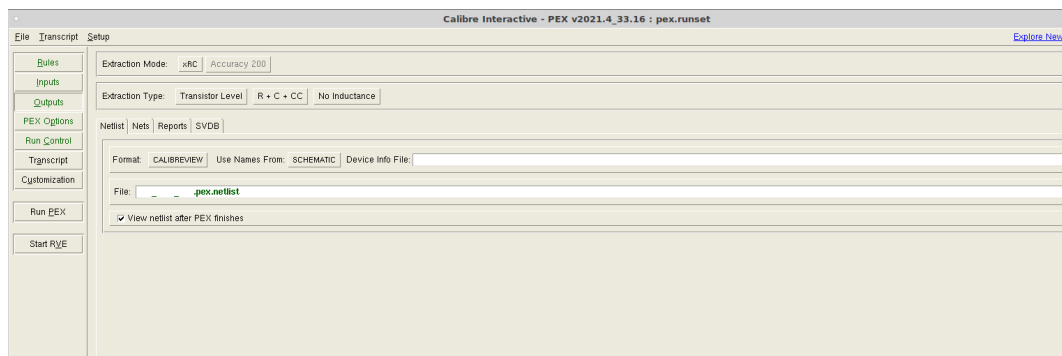


Figura 45 – Configurações Calibre PEX *output*

Fonte: Autora

Há algumas combinações de parasitas como mostra as figuras 46 e 47. Extrações com indutância requerem licença “calibrexl” para execução.

C - Capacitância para o *ground*.

R - Resistência parasitas;

CC (*coupled capacitance*) - Capacitância acoplada às *nets*.

L - Indutância própria

M - Indutância Mútua

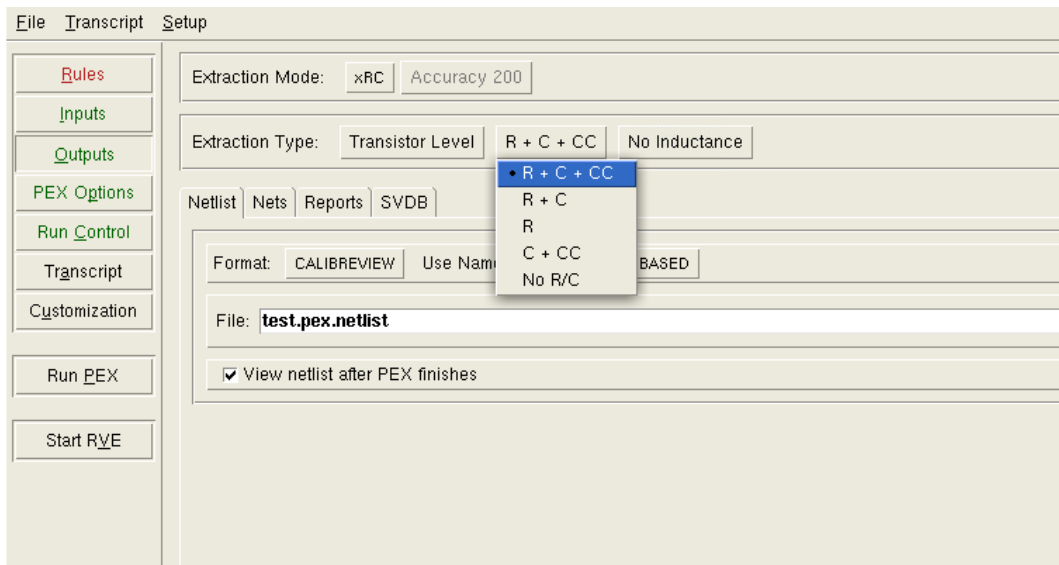


Figura 46 – Configurações Calibre PEX *output* - Escolha das parasitas.

Fonte: Autora

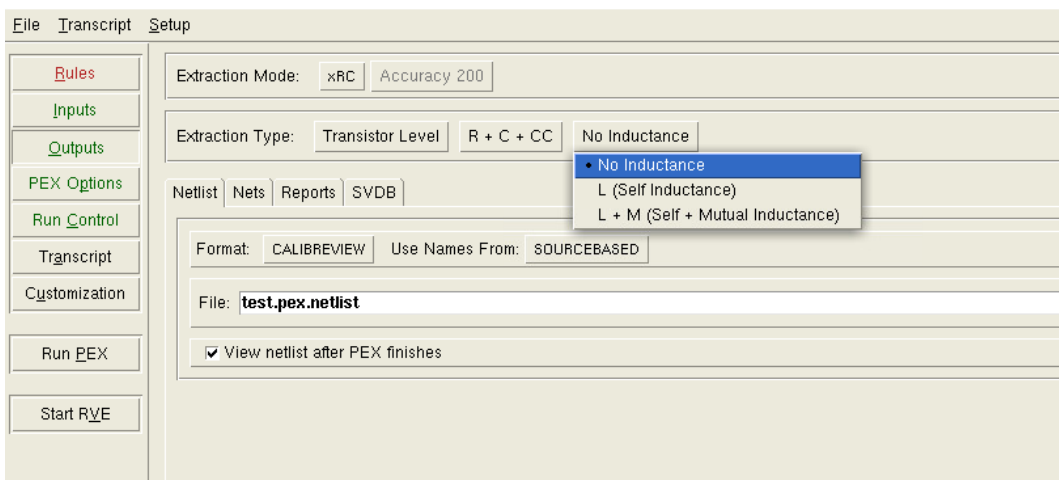


Figura 47 – Configurações Calibre PEX *output* - Escolha das parasitas com indutância.

Fonte: Autora

Vê-se também na aba “*Outputs*” o formato de saída do arquivo. O formato CALIBREVIEW pode apresentar as parasitas no esquemático ou no *layout*, enquanto outros formatos, por exemplo, DSPF apresentam somente a *netlist*.

A seguir, são mostradas as configurações mínimas para a extração na aba *PEX Options*. Na sub aba “*netlist - format*” será necessário atribuir um nó de *ground* de referência para a capacitância C em “*Ground node name*”.

Na sub aba “*LVS Options*” são definidas as *nets* de *power* e *ground* utilizadas na verificação LVS.

Na sub aba “Misc” valida-se a extração a uma determinada temperatura, também é necessário adicionar as *nets* de *power* e *ground*. As imagens 48, 49 e 50 referente as abas mencionadas anteriormente serão mostradas a seguir.

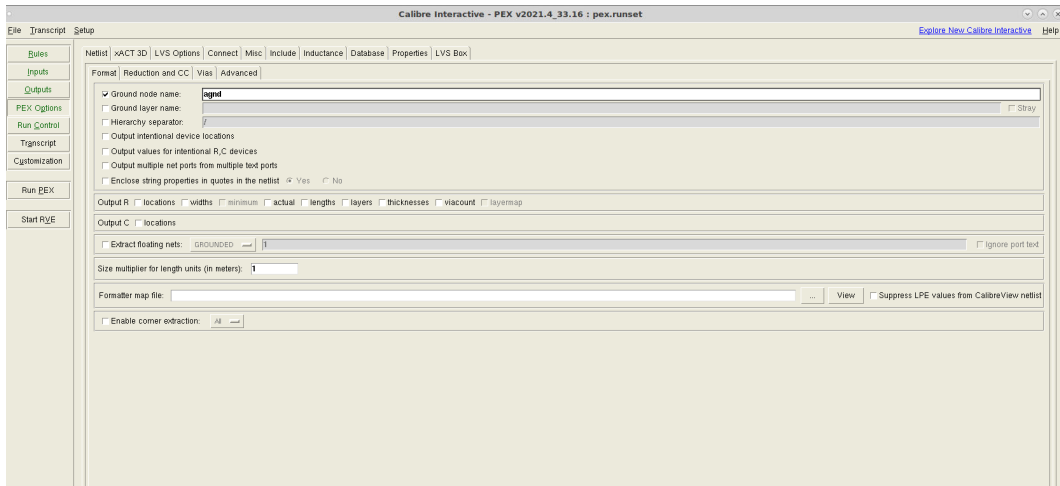


Figura 48 – Configurações Calibre - PEX - PEX Options: *netlist*

Fonte: Autora

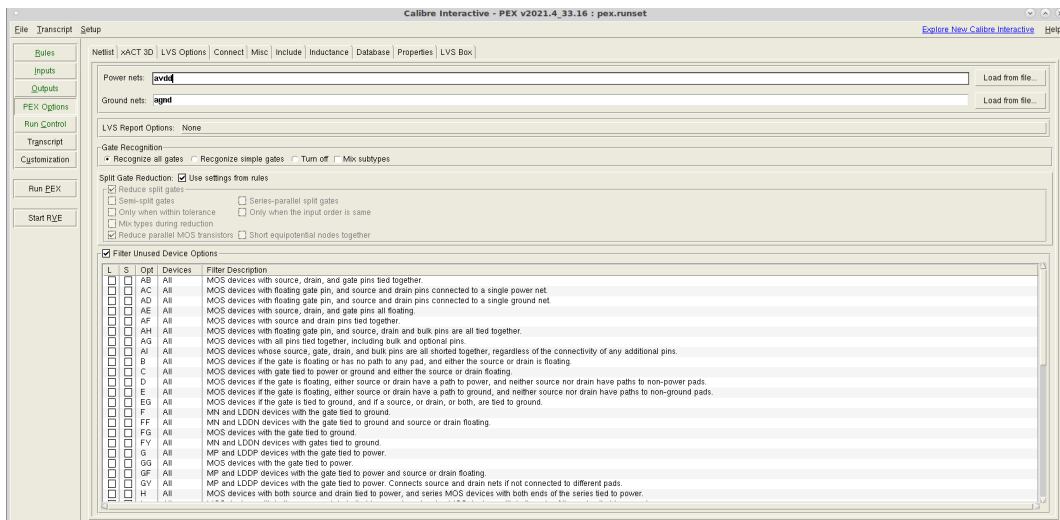
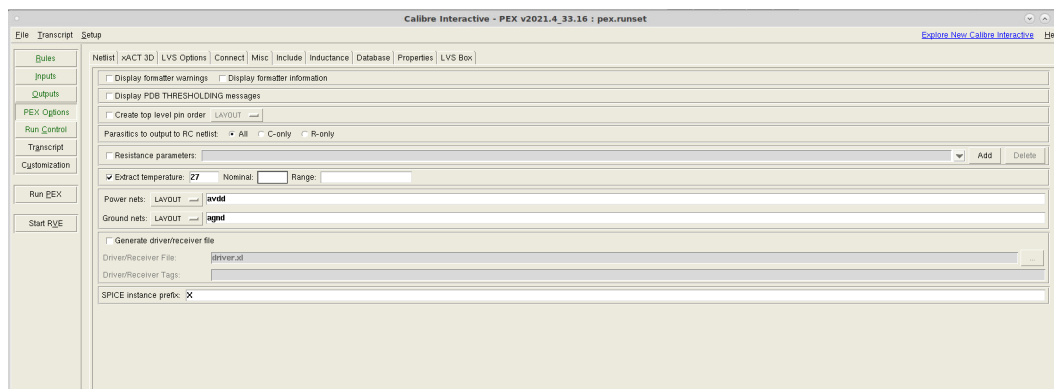


Figura 49 – Configurações Calibre - PEX - PEX Options: *LVS Options*

Fonte: Autora

Figura 50 – Configurações Calibre - PEX - PEX Options: *Misc*

Fonte: Autora

7.4 Abstract view

As vistas *abstract* são representações em alto nível de um *layout*. São usados no lugar de *layout* completos para melhorar o desempenho de ferramentas de *Place and route*.

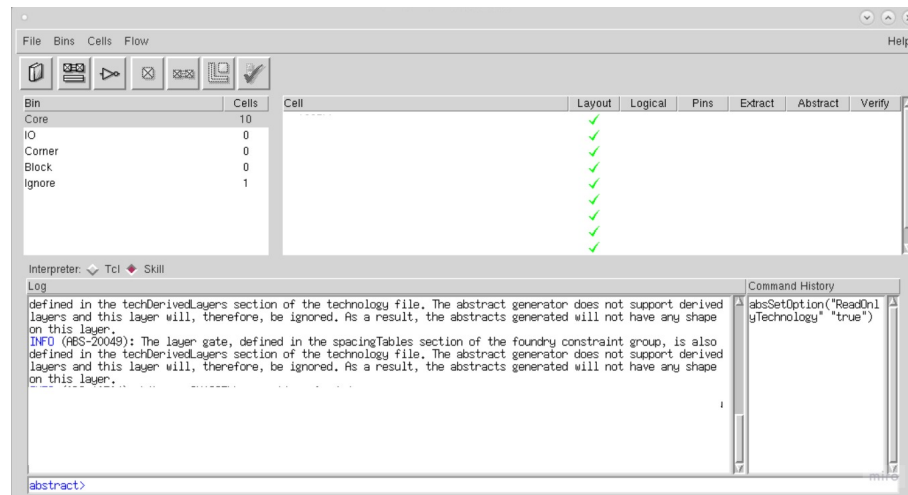
Para gerar um *abstract* é necessário combinar informações de dados físicos como LEF, DEF, GDSII e OASIS e de uma vista lógica, podendo esta ser Verilog (por definição, a ferramenta suporta apenas entradas e saídas), *LIB - Libert Format* (suporta diversos terminais, incluindo *tristate*, *clock*, *power* e *ground*) ou o próprio esquemático (CADENCE, 2023).

As informações de vistas lógicas incluem dados sobre os terminais e a direção dos pinos, enquanto as informações físicas carregam informações da hierarquia da célula, polígonos, roteamentos e texto.

Gerado o *Abstract* é possível exportá-lo como um arquivo de texto LEF. Assim como no DRC e no LVS obtêm-se arquivos de *report* do *abstract* gerado. Também é possível exportar as configurações utilizadas para gerar o arquivo.

7.4.1 Passo a Passo Virtuoso

Para iniciar o processo é necessário entrar no ambiente *abstract*, para isso no mesmo terminal utilizado para abrir o virtuoso digita-se “*abstract*”, o programa irá fazer o uso de uma licença XL para abrir o ambiente. A figura 51 ilustra a janela que será aberta após o comando.

Figura 51 – Janela *Abstract Generator*

Fonte: Autora

O primeiro passo é abrir a biblioteca em que está a célula que se deseja trabalhar. Para fazer isso é necessário clicar em *File -> Library -> Open* na barra de ferramentas.

Com a biblioteca aberta, recomenda-se que as células sejam separadas pelo tipo, pois é possível utilizar configurações diferentes para cada uma. Na figura 51 localiza-se a região à esquerda superior.

- **Core:** Utiliza-se para células padrão.
- **IO:** Utiliza-se para a geração de *abstracts* em standard IO *cells*.
- **Corner:** Opção usada em células do tipo *corner IO cells*.
- **Block:** Utiliza-se essa opção ao trabalhar com macro blocos como IP.
- **Ignore:** Quando a célula é colocada nessa opção, não é necessário a vista *abstract* (CADENCE, 2023).

Observa-se na figura 51 o campo referente às células presentes na biblioteca à direita superior. Quando se obtém sucesso na configuração de “*logical, pins, extract e abstract*” o campo será preenchido com um *tick* verde assim como o apresentado em “*layout*”, caso ocorra um *warning*, apresentará uma exclamação amarela, caso erro, a figura apresentada será um x vermelho. Para este documento o nome das células e o projeto referente foram apagados, pois o arquivo foi gerado no ambiente do CC e será apresentado na subseção seguinte.

O passo seguinte é configurar as opções gerais que serão utilizadas pelo *Abstract File -> General Options*. A janela inclui a configuração do nome do propósito da *layer* de pino, a versão do LEF, o tipo de *bin Default* caso não sejam separadas por tipo e uma

janela para adicionar propósitos de *layers* que devem ser ignorados. Na mesma janela em “*view*” configura-se o nome da vista de *layout*, a vista lógica que será utilizada e o nome da vista *abstract* que será gerada é comum utilizar “*layout, schematic e abstract*” respectivamente. A figura 52 ilustra a aba “*General*” da janela *General Options*.

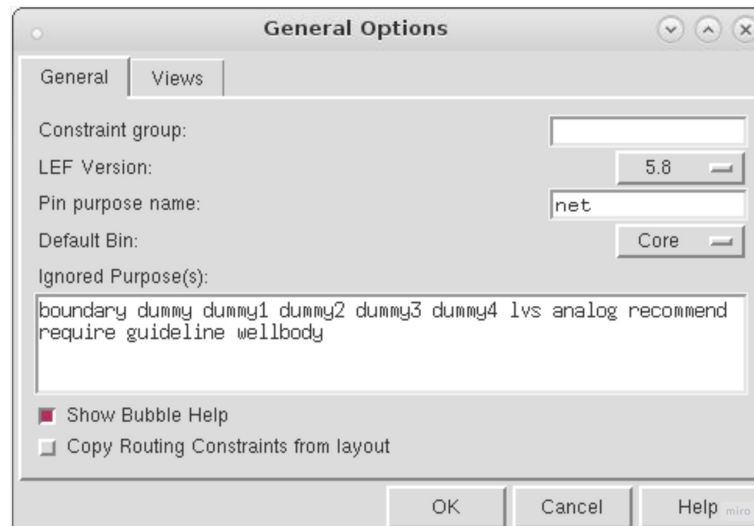


Figura 52 – Janela *Abstract General Options*

Fonte: Autora

Os ícones da barra de ferramentas mostrados na 53 incluem os atalhos para abrir uma biblioteca; importar dados GDSII; importar dados da vista lógica; configurações de pinos; configurações de extração de *nets* e configurações da geração *abstract* respectivamente (CADENCE, 2023). Recomenda-se que cada etapa seja feita separadamente para solucionar os possíveis problemas que irão surgir na janela “*log*”.



Figura 53 – Janela *Abstract* — Ícones

Fonte: Autora

7.4.1.1 Passo Pinos

Utiliza-se para configurar como os pinos serão identificados pela ferramenta de *abstract*.

- Aba *Map*

Map Text labels to Pins: Permite a identificação da referência de *layer* e propósito para o pino e sua respectiva *label* (CADENCE, 2023).

Sintaxe aceita:

(textLPP1 geomLPP1 geomLPP2) (textLPP2 geomLPP3 geomLPP4)

Em que:

textLPP - (*textLayer textPurpose*) ou somente *textLayer*.

geomLPP - (*geomLayer geomPurpose*) ou *geomLayer* (CADENCE, 2023).

Exemplo:

((Metal1 label) (Metal1 pin))

((Metal2 label) (Metal2 pin))

Power pin names (regular expression): Expressões que a ferramenta deve utilizar para reconhecer os pinos de *power* (CADENCE, 2023).

Exemplo: $\wedge VDD|VCC|vdd|vcc|AVDD|DVDD|avdd|dvdd\$$

Ground pin names (regular expression): Expressões que a ferramenta deve utilizar para reconhecer os pinos de *ground* (CADENCE, 2023).

Exemplo: $\wedge VSS|GND|vss|gnd|AVSS|DVSS|avss|dvss\$$

Outras opções da aba *map* são utilizadas para criar pinos não existentes no *layout*, podem ser nomeados nas áreas de *Analog* e *Digital Pins*

- ABA *Text*

A aba *text* permite modificar o nome dos pinos criados originalmente no *layout* utilizando a área “*Remove Text*” e “*Replace with*”. A aba *text* possui controle do quanto a ferramenta irá atravessar as hierarquias em busca da referência de texto por *label* e geometria correspondente, como padrão, *Label search depth* é igual a 0 e *Geometry search depth* é 20 (CADENCE, 2023).

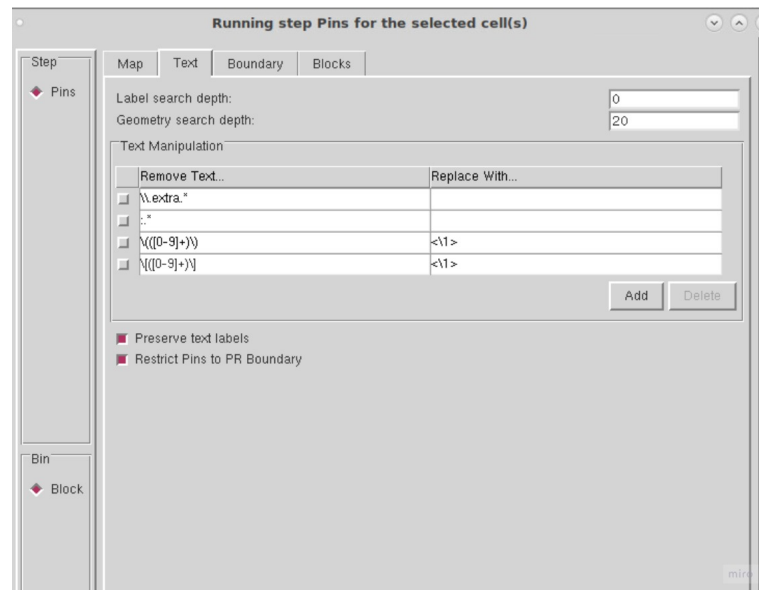


Figura 54 – Janela *Abstract* — Configuração de pinos- Aba Texto

Fonte: Autora

- Aba *Boundary*

A aba permite controlar a criação da *PR Boundary* no *layout*, as opções disponíveis permitem setar a *layer* sempre, quando precisar e desligado, além de definir o tamanho e localização (CADENCE, 2023).

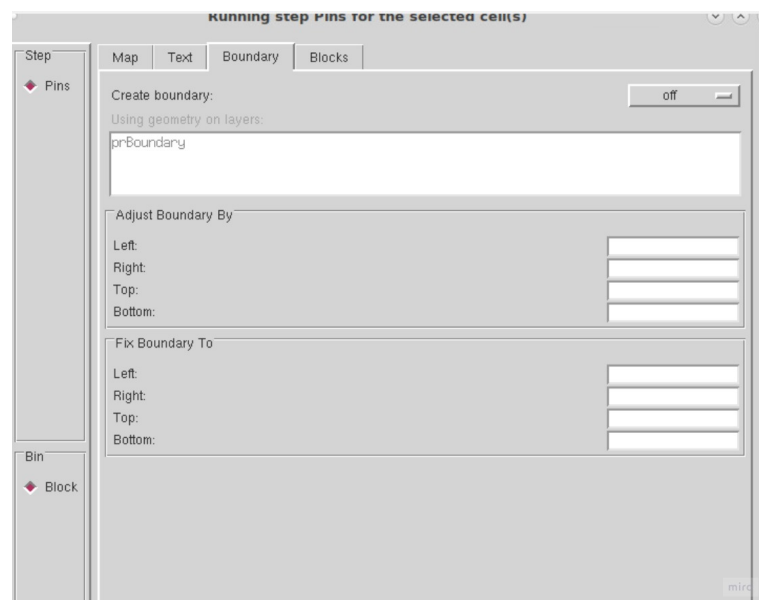


Figura 55 – Janela *Abstract* — Configuração de pinos- Aba *Boundary*

Fonte: Autora

- Aba *Blocks*

Aba utilizada caso o *layout* possua *blockages*, nela, é possível setar a opção para preservá-los (CADENCE, 2023)

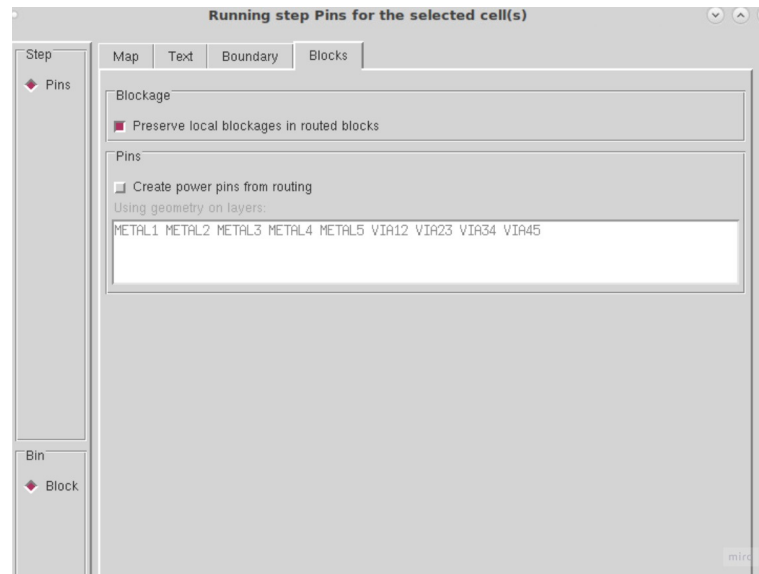


Figura 56 – Janela *Abstract* — Configuração de pinos — Aba *Blocks*

Fonte: Autora

7.4.1.2 Passo Extração

As configurações de extração permitem que a ferramenta reconheça as ligações e controla as opções para o cálculo de antena.

- Aba *Signal*

Permite modificar as configurações para a extração de *nets* do tipo sinal. Quando opção *Extract signal nets* é setada, as *nets* poderão aparecer no *abstract*, caso não seja, somente aparecerão os pinos. A última opção é geralmente utilizada para “*blackbox*” de um *layout*. O *blackbox* é a situação o qual ocorre na paralelização do IP, um exemplo de situação: quando não se sabe o roteamento de uma célula, mas ela é necessária em uma hierarquia superior, portanto é necessário saber a localização dos pinos, assim, instancia-se a vista *abstract*.

O quadro de *layers* permite o controle de qual *layer* deve ser extraída por meio da opção *Connectivity*, quando *weak* a *layer* não estará visível no *abstract*, além disso, a opção *Create Pins* habilita o Pino na *layer* correspondente (CADENCE, 2023).

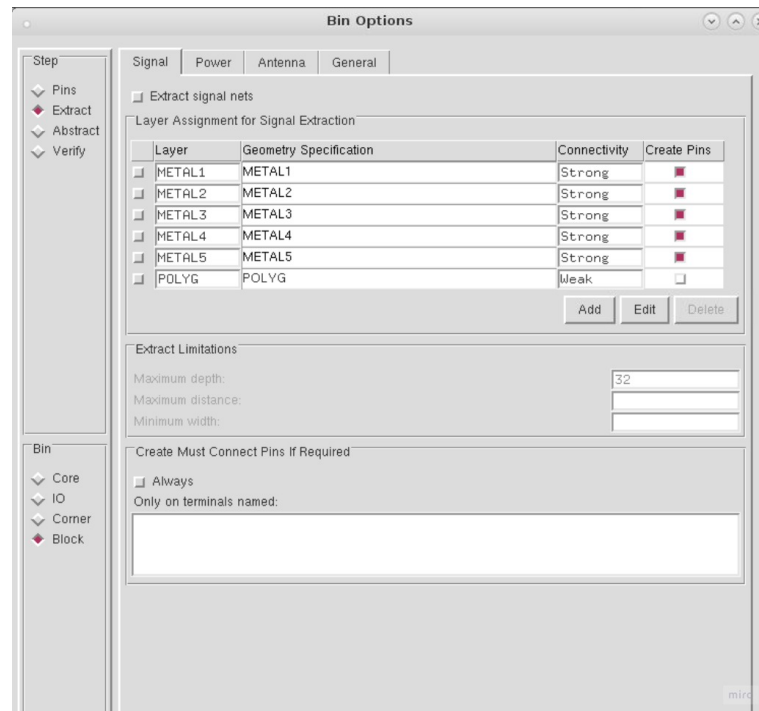


Figura 57 – Janela *Abstract* — Configuração de extração-Aba *Signal*

Fonte: Autora

- *Aba Power*

A aba *power* é similar a aba *signal*, porém é destinada a *nets* do tipo *power* (CADENCE, 2023).

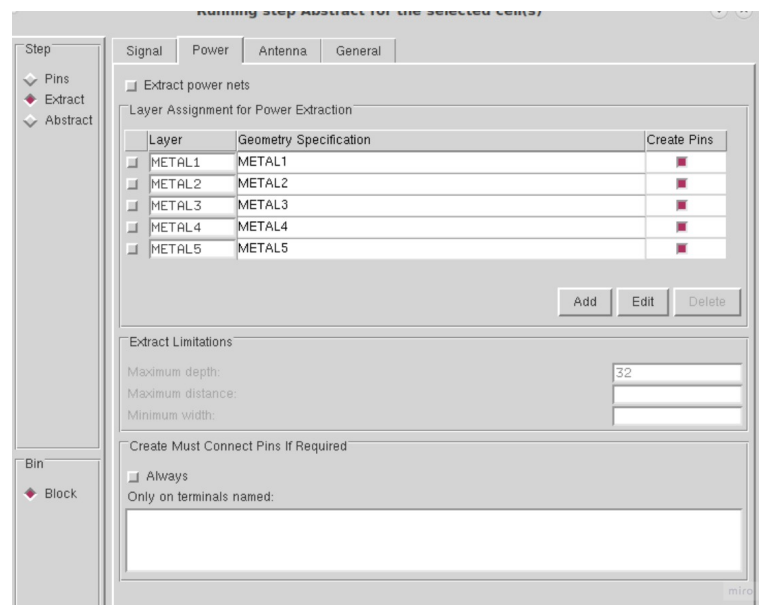


Figura 58 – Janela *Abstract* — Configuração de extração — Aba *Power*

Fonte: Autora

- Aba *Antenna*

Aba *Antenna* permite o controle de quais elementos serão utilizados para o cálculo de antena, entre eles o efeito antena em pinos de entrada e saída, área do metal, área de seção transversal do metal como pode ser visto na figura 59 (CADENCE, 2023).

O quadro *Layer Assignment for Antenna Regions* permite a definição da região de porta e dreno para os devidos cálculos de *antenna* (CADENCE, 2023).

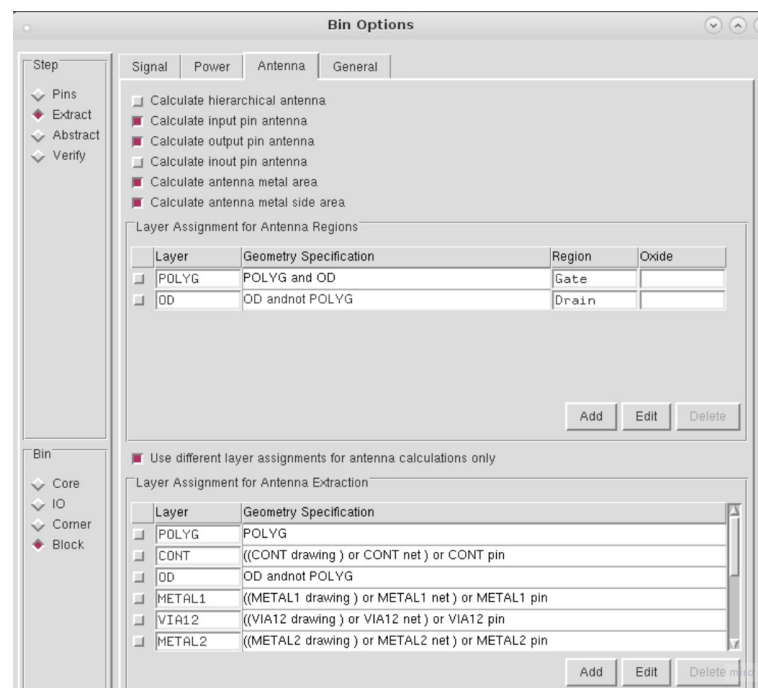


Figura 59 – Janela *Abstract* — Configuração de extração-Aba *Antenna*

Fonte: Autora

- Aba *General*

Use net information in design, a opção permite que a ferramenta utilize as informações de conectividade presentes no *layout* baseado no *overlap* de formas para criar as *nets* (CADENCE, 2023).

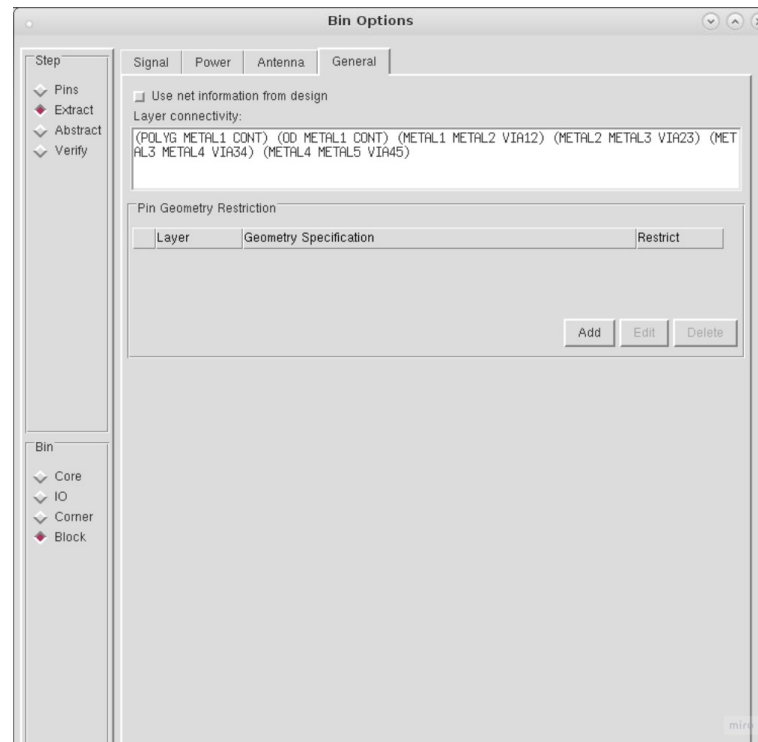


Figura 60 – Janela *Abstract* — Configuração de extração — Aba *General*

Fonte: Autora

7.4.1.3 Passo *Abstract*

- Aba *Adjust*

As opções nessa aba definem o ajuste do formato dos pinos. caso *Create Boundary Pins* esteja setado, a ferramenta seguirá o formato quadrado, na mesma aba é possível definir o tamanho desse quadrado (CADENCE, 2023);

- Aba *Blockage*

Opções para definir o tipo de blockage extraído.

Cover - Obstrução sólida que cobre todo o bloco.

Detailed - Os blockages serão criados no *abstract* no mesmo lugar que os roteamentos selecionados na aba de extração estão localizadas no *layout*.

Shrink - *Blockages* detalhados, porém pode ser definido a distância entre eles.

a opção “*Pin cutout*” corta o *blockage* ao redor dos pinos permitindo o acesso.

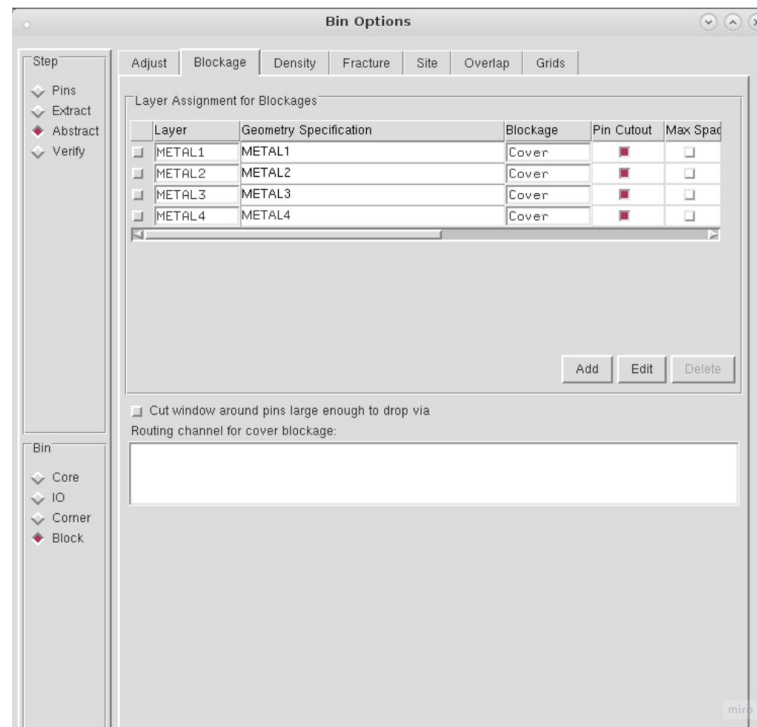


Figura 61 – Janela *Abstract* — Configuração de extração — Aba Blockage

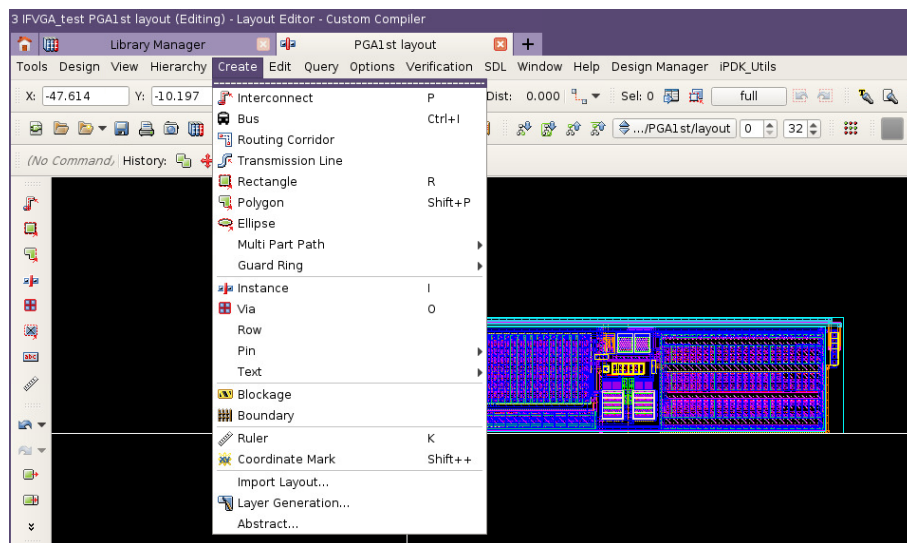
Fonte: Autora

A cada passo, o resultado gerado pode ser visto em *Cells > Edit -> (Pins, Extract, Abstract)*.

Para exportar os arquivos LEF e options clique em *File -> Export -> LEF/options*.

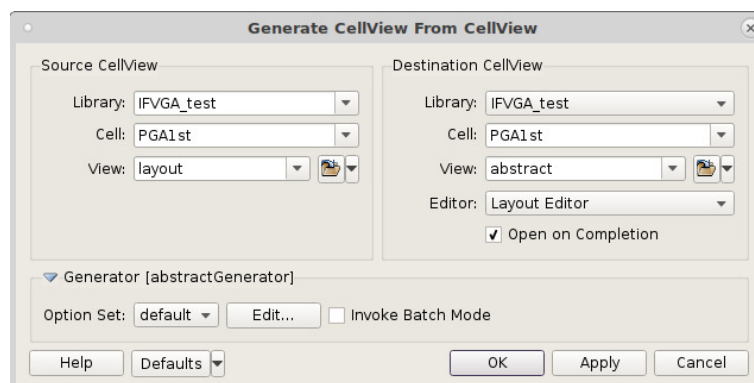
7.4.2 Passo a Passo *Custom Compiler*

Para gerar o *Abstract* no *Custom Compiler* é necessário estar com a vista de *layout* aberta no *library manager*. Na barra de ferramentas, clicar em *create* e em *abstract*, como mostra a figura 62.

Figura 62 – Abrir *abstract*

Fonte: Autora

A janela “*Generate Cellview From CellView*” irá aparecer. Nela é preciso conferir as informações da vista fonte e da vista de destino. Observe a janela citada na figura 63. Em seguida será necessário definir as opções no *Abstract Generator*, assim em *Option Set* clique em “*Edit*”. A Janela irá aparecer como na figura 64.

Figura 63 – Configuração *Abstract*

Fonte: Autora

Ao contrário do ambiente Virtuoso, o *Custom Compiler* oferece uma interface menor para a configuração do *abstract*. A figura 64 mostra a configuração usada para gerar o *abstract* da PGA1st onde foi selecionado a extração do pino por meio do texto, e a ferramenta para a realização dos cálculos de antena (*IC Validator*). A aba *Layer Options* visível na figura 65 permite a escolha das *layers* que serão extraídas (ticando à esquerda de *layers*), além disso, permite a escolha de criador pinos e blockages para a determinada *layer* e se o *blockage* ao redor do pino deve ser cortado para o acesso por meio da opção

pin cutout. Em cover define-se se o blockage deve ser uma obstrução sólida (caso setado) ou detalhado (caso não setado).

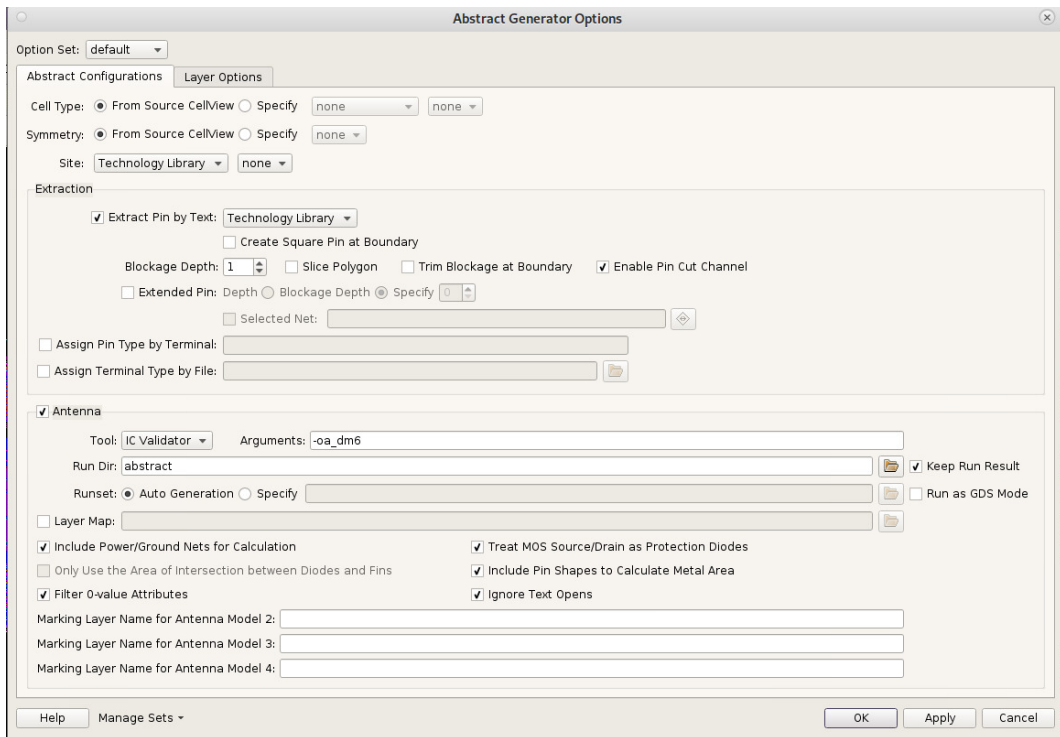


Figura 64 – Configuração *Abstract Generator - Options*

Fonte: Autora

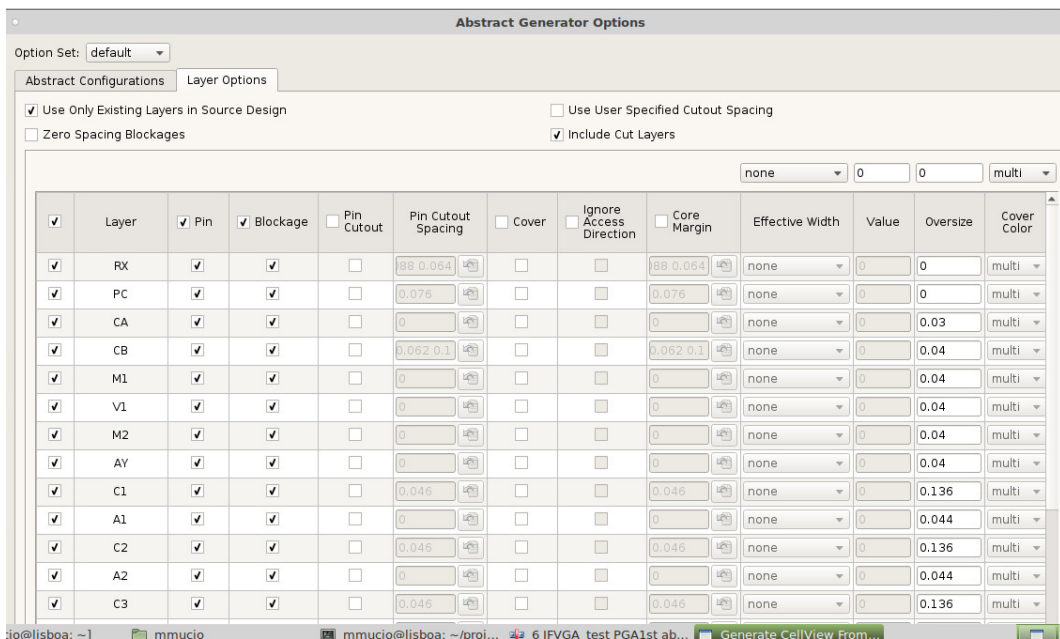


Figura 65 – Configuração *Abstract Generator- aba Layer Options*

Fonte: Autora

Os resultados obtidos com *Abstract Generator* no CC podem ser visualizados na seção 9.3

7.4.3 LEF

O Arquivo LEF é um arquivo que contém as informações escritas da vista de *abstract*. Portanto, possui informações do tipo de *layer*, largura, direção (vertical ou horizontal), espaçamento, área ocupada, direção de pinos (entrada e saída), tipo de pino, cálculos de *antenna* pré-definidos anteriormente.

7.4.3.1 Exportar o arquivo LEF

Para exportar o arquivo LEF, no *library manager* do CC, clicar em *File-> Export -> LEF*, como mostra a figura 66, em seguida a janela da figura 67 se abrirá, é necessário selecionar o diretório de saída e escrever o nome do arquivo LEF. No ambiente Virtuoso o *export* se localiza no ambiente *abstract*.

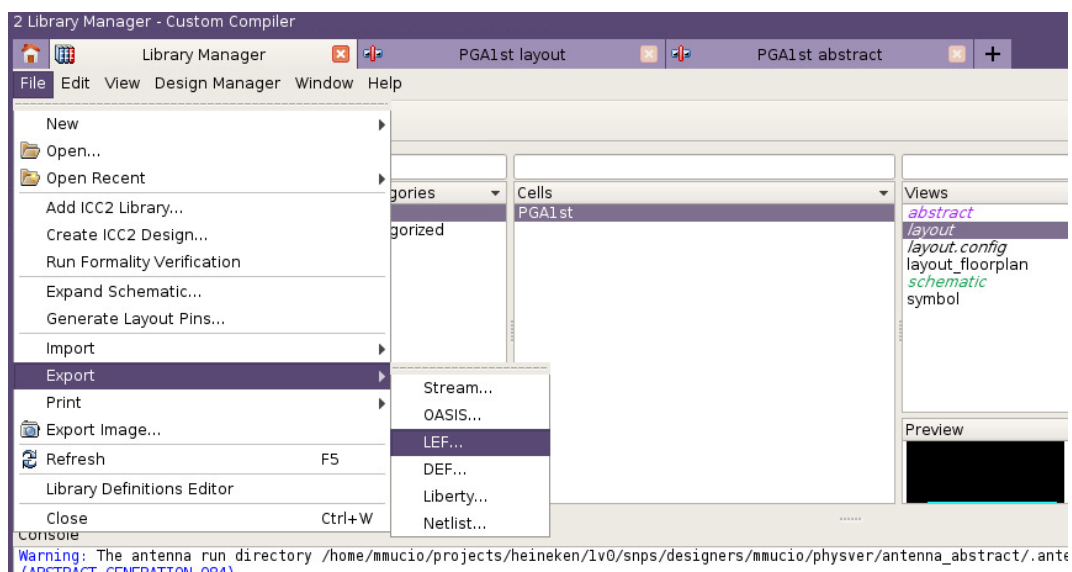


Figura 66 – Onde exportar o LEF

Fonte: Autora

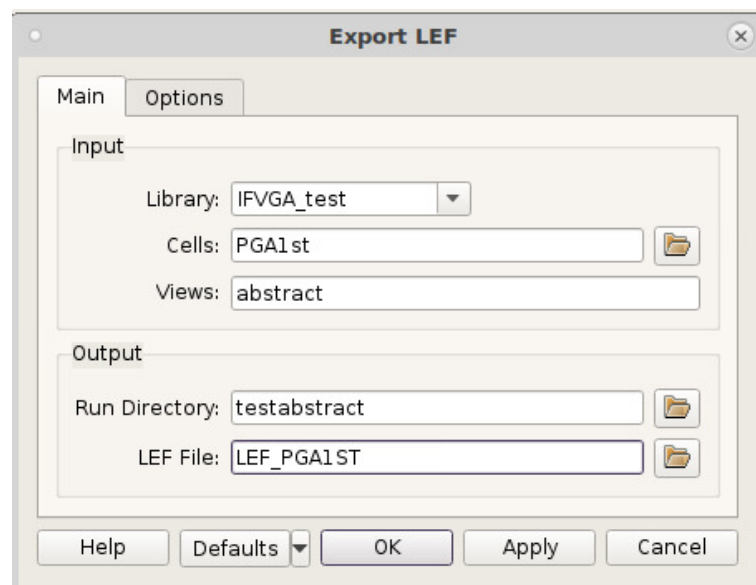


Figura 67 – Configurações para exportar o LEF

Fonte: Autora

Os resultados obtidos com LEF podem ser visualizados na seção [9.4](#).

Parte III

Pós-Layout

8 Pós-Layout

Após a aplicação das verificações no topo do chip, inicia-se o processo final de produção do chip. O time de *Layout* se encarrega da finalização do chip. A fase seguinte se dá na *foundry* o qual consiste em padrões de testes e produção efetiva. Estes processos serão descritos neste capítulo.

A figura 68 mostra o fluxograma das etapas do processo de *pós-layout* de um chip. Contempla-se a fase de finalização do chip pelo time de *layouters* e na *foundry*, a fase de retículo e a conversão do *layout* para máscaras de dados. Os passos serão comentados a seguir.

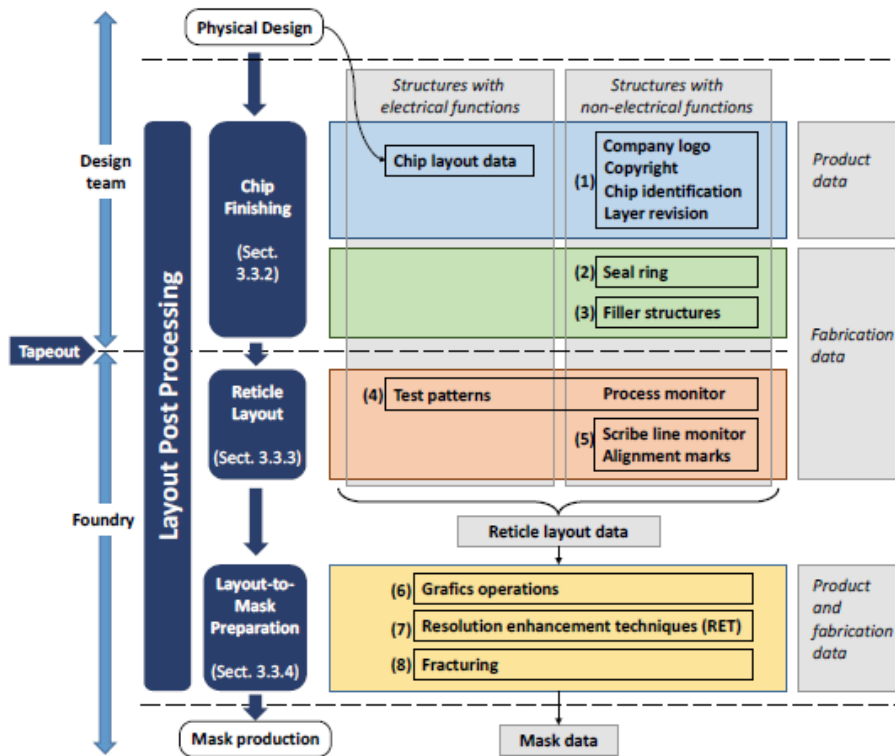


Figura 68 – Etapas de produção do chip

Fonte: (LIENIG, 2020)

8.1 Finalização do Chip

Nessa fase, os dados do produto são introduzidos no projeto. São adicionados na camada de metal superior o logotipo da empresa, identificação do chip como nome e versão de fabricação, também podem ser incluídas marcas de identificação de layer como na figura 70 e informações de direito autoral (LIENIG, 2020). Essas informações são

grandes o suficiente para ser identificadas sem esforço (CLEIN, 1999). A figura 69 mostra um exemplo de chip finalizado, nota-se a presença da estrutura de fabricação *Seal Ring* que será apresentada na próxima seção, além disso, nota-se a presença de regiões *corner*, os quais são regiões de estresse mecânico e, portanto, não possuem nenhum *layout*.

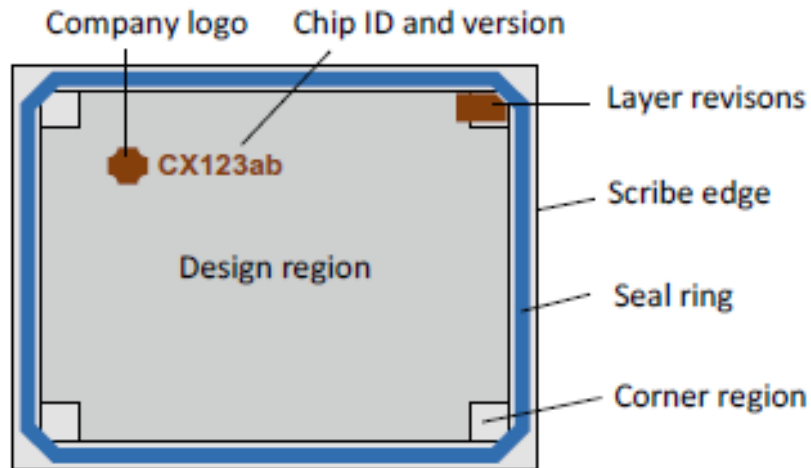


Figura 69 – Representação de chip

Fonte: (LIENIG, 2020)



Figura 70 – Identificação de layer

Fonte: (CLEIN, 1999)

Há diversos tipos de chaves para a identificação de parâmetros no *wafer*, cita-se entre elas, a chave de alinhamento do fusível laser (*Fuse laser alignment key*) e as chaves NIKON.

As chaves *Fuse* devem ser instanciadas pelo menos três vezes, já as chaves NIKON devem ser colocadas nos quatro quinas (*corners*), essas são utilizadas para alinhar o retículo durante a geração das máscaras no *wafer*. A figura 71 ilustra o posicionamento das duas chaves.

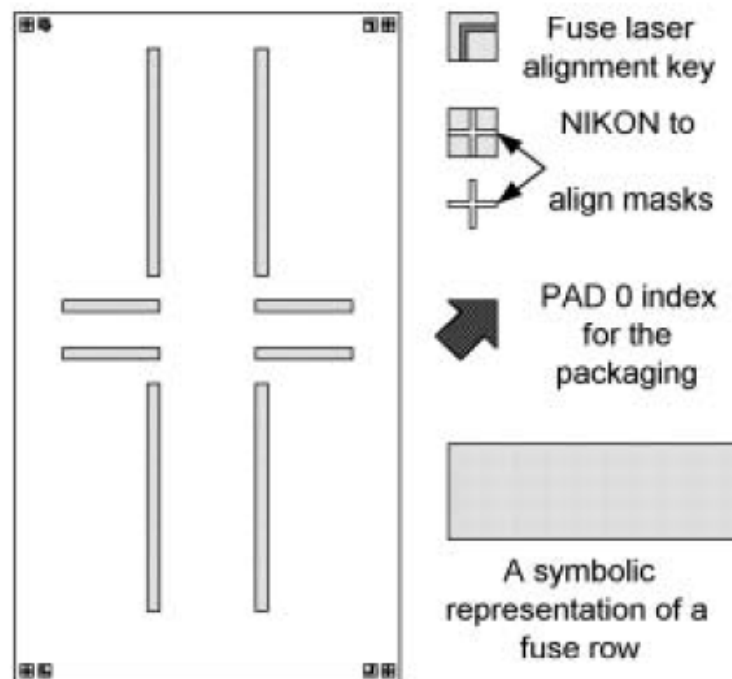


Figura 71 – Chaves de Alinhamento no *wafer*: Alinhamento de Fusível e NIKON

Fonte: (LIENIG, 2020)

Durante o processo de manufatura do CI, os dispositivos mais externos ficam sujeitos a ações de corrosão e efeitos de umidade, a seguir serão descritas as estruturas adicionadas ao *layout* de forma a amenizar os efeitos químicos da fabricação.

8.1.1 DFM - *Design for Manufacturability*

DFM são estruturas adicionadas para a manufatura do chip, cita-se entre elas o anel de vedação *Seal ring* e estruturas do tipo *Dummy Fill*.

Seal ring é composto por uma pilha de todas as camadas de metal processadas. Sua função é garantir que durante o processo de serragem e quebra do *wafer* haja uma distância segura entre as estruturas ativas e o limite do chip, em alguns casos o *Seal ring* é utilizado para polarizar o substrato do chip quando conectado a uma fonte diferente do VSS habitual (CLEIN, 1999), nestes em específico o chip recebe um segundo *ring* para proteger as estruturas ativas contra danos causados pelo processo de serra, como o aumento da umidade. Nesses casos, o anel externo recebe o nome de *scribe seal*. (LIENIG, 2020).

Quanto ao *Dummy Fill*, são estruturas sem função elétrica adicionadas ao *layout* de forma automatizada visando preencher as lacunas para a melhora a planaridade do circuito durante o processo de polimento químico mecânico (CMP — *Chemical Mechanical Process*). Caso não sejam adicionadas estruturas *filler*, resultará-se em entalhes e

amassados no chip (LIENIG, 2020). No processo é necessário adicionar *layers* de exclusão *excluding layers* de forma a informar a ferramenta a localizações sensíveis que não deverá adicionar os *fillers*.

8.2 Fase de Retículos - Processo de Manufatura

Para um processo de produção em massa, o chip é replicado diversas vezes em forma de matriz. O Retículo *Layout* (ou *scribe lines*) são linhas horizontais e verticais que separam individualmente os chips e permitem a separação do *wafer* devido ao corte com uma serra diamantada ou laser. Para o processo de prototipagem, o mesmo *wafer* pode ser usado para diferentes chips, o custo de produção no segundo caso é dividido entre as empresas participantes (*MPW - Multi Project Wafer*) (LIENIG, 2020). A figura 72 mostra a divisão de um *wafer* para vários chips.

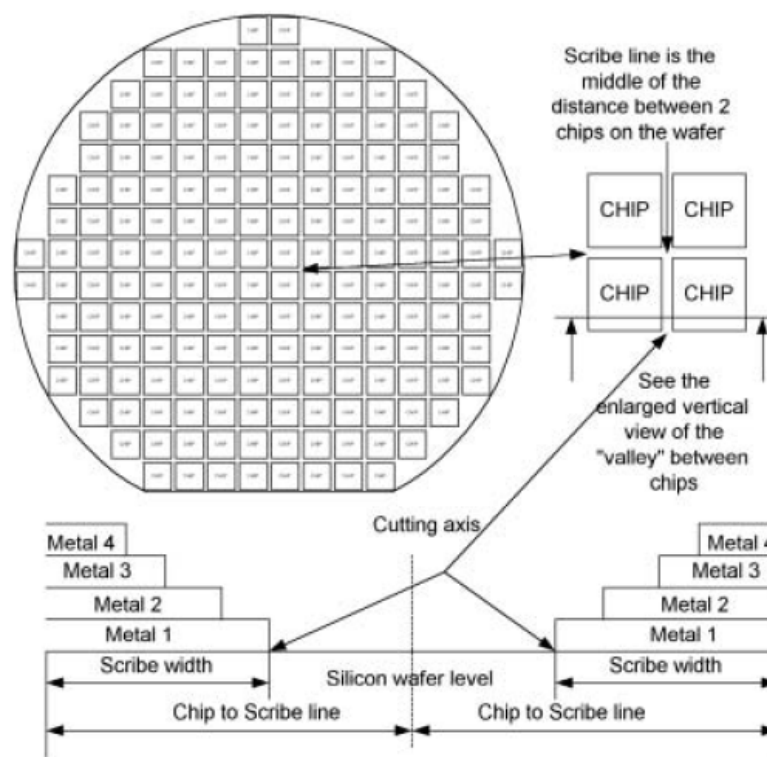


Figura 72 – Representação de chips em um *wafer*: identificação de *scribe lines*

Fonte: (LIENIG, 2020)

Na figura 73, observa-se a matriz composta por nove chips, chaves NIKON, localização da logo e as áreas hachuradas para testes de fabricação.

A área hachurada em azul da figura 73 consiste em padrão de testes para monitorar o processo de fabricação, como, por exemplo, os valores de resistência elétrica e capacitância da camada, bem como as suas dimensões (LIENIG, 2020) (CLEIN, 1999).

Já a área em marrom consistem em testes de dispositivos elétricos básicos completos, como, por exemplo, osciladores em anel para caracterizar amostra (LIENIG, 2020). Todo o processo é analisado por meio de agulhas.

Durante os testes de fabricação, a célula da matriz que falhar nos testes é identificada com um ponto preto para facilitar o descarte. (CLEIN, 1999)

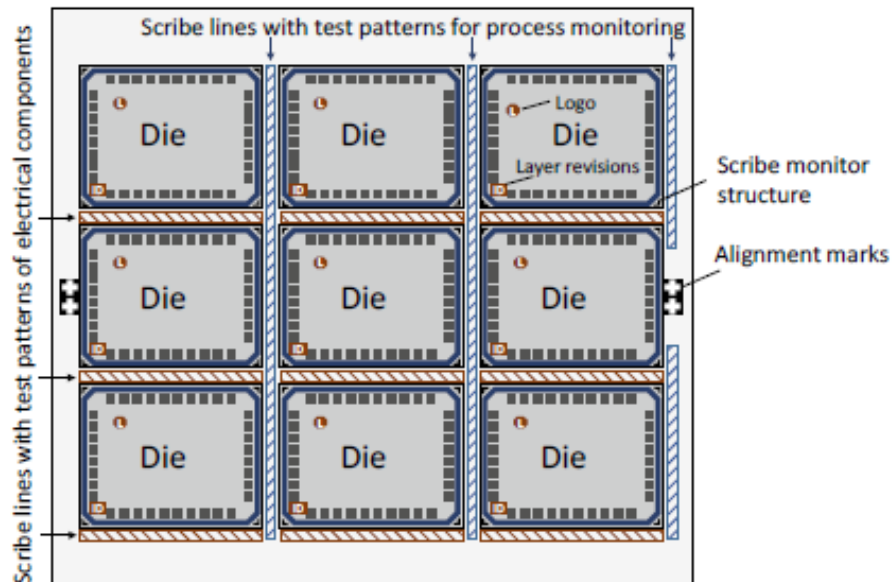


Figura 73 – Representação de chips em um *wafer*

Fonte: (LIENIG, 2020)

8.3 Conversão de *Layout* para Máscara de dados

Para cada retículo, o layout será convertido em uma estrutura de dados e corrigido com operações gráficas: adicionam-se as *layers* derivadas (*derived layers* e deletam-se *layers* lógicas, *Logical Layers*. As *layers* restantes são chamadas de *physical layers*, ou *layers* físicas (LIENIG, 2020).

As *layers* derivadas são *layers* cuja geometria depende de outra *layer*. A figura 74 mostra o processo A, que inclui as *Derived Layers* diretamente na fase de *layout*, enquanto o Processo B utiliza as *layers N-Active* e *P-Active* para dimensionar as *layers "NSD"* e "*PSD*" no processo de operação gráfica.

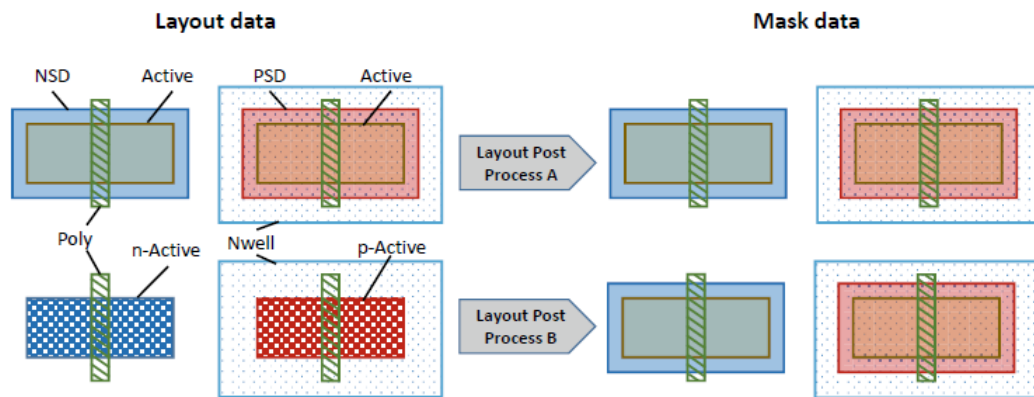


Figura 74 – Apresentação de um *layout* pelos processos A e B.

Fonte: (LIENIG, 2020)

As *layers lógicas* são adicionadas anteriormente ao *layout* como parte das regras de DRC, porém, não são necessárias para gerar as máscaras. A figura 75 mostra um resistor em corpo de *poly*. Como a camada *poly* pode ser usada para *gate* de um transistor, capacitores, resistores ou interconexões, no exemplo da figura utiliza-se a camada “*RES*” para identificar que o dispositivo é um resistor, assim no processo de operação gráfica a camada “*RES*” deve ser excluída por ser do tipo lógica. Como definição, camadas do tipo texto também são *layers lógicas* (LIENIG, 2020).

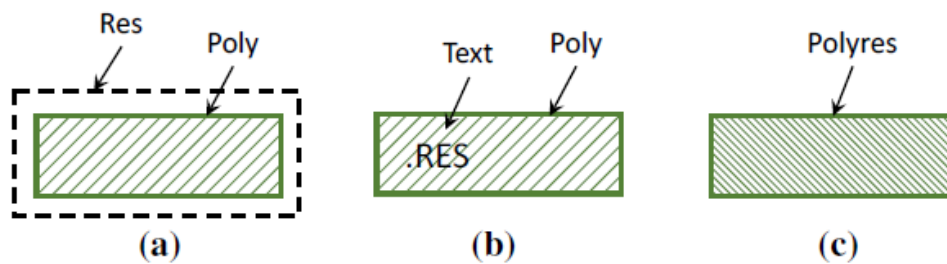


Figura 75 – Apresentação da retirada de logical *layers* de um resistor.

Fonte: (LIENIG, 2020)

Os dados gráficos são submetidos a *Resolution Enhancement Techniques (RET)* para adaptar os retículos para dispositivos de geração das máscaras. Entre as técnicas conhecidas, cita-se *optical proximity correction (OPC)* ou correção de proximidade ótica, cujas estruturas são distorcidas conforme a distribuição da intensidade da luz (WONG, 2001).

8.4 Processo de fabricação

A fotolitografia (*photolithography*) ou ainda litografia ótica é um processo que usa luz para escrever em um material. (WONG, 2001). Em um CI, é o processo completo da gravação dos dados do retículo em um *wafer*. A figura 76 mostra os quatro elementos básicos da fotolitografia: O sistema de iluminação, a máscara, o sistema de exposição e o *wafer* (WONG, 2001).

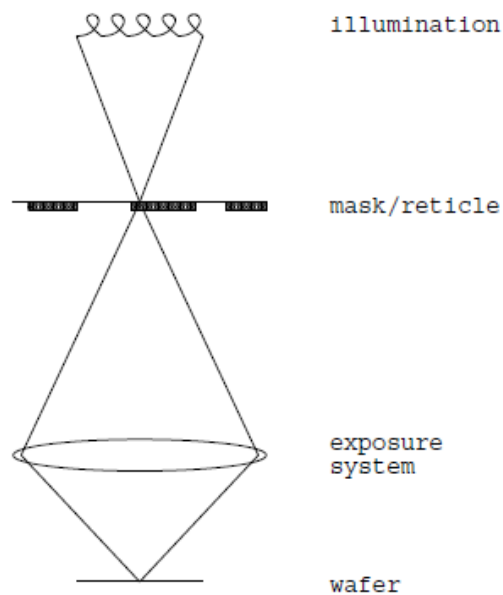


Figura 76 – Elementos da fotolitografia

Fonte: (WONG, 2001)

O processo é feito utilizando fotorresiste (*photoresist*), um polímero resistente a produtos químicos capaz de mudar suas propriedades ao ser exposto à luz ultravioleta, e uma máscara (*photomask*), usada para expor algumas áreas do fotorresiste enquanto protege as regiões tampadas. Existem dois tipos de fotorresiste, o positivo é usado para criar uma máscara onde existem padrões (a fotomáscara neste caso é opaca à luz UV), já o fotorresiste negativo cria uma máscara onde não existem padrões (a fotomáscara é transparente à luz ultravioleta) (ALLEN, 2011).

O processo é iniciado com a deposição do fotorresiste no *wafer* e condicionando-o com o tempo e temperatura. Em seguida é colocada a fotomáscara para proteger as regiões selecionadas, após, o *wafer* é exposto à luz UV o que causa o endurecimento do fotorresiste. Após, retira-se a máscara, as partes não expostas são removidas através do processo de corrosão (*etching*). Para remover o fotorresiste é necessário o uso de solventes.

Esse processo é repetido para todas as camadas do CI. Em cada camada é inserido

materiais capazes de desempenhar papéis de condutor, isolamento, corte e implante. Esses serão detalhados no capítulo 3.2.

A figura 77 mostra a representação do processo de fotolitografia.

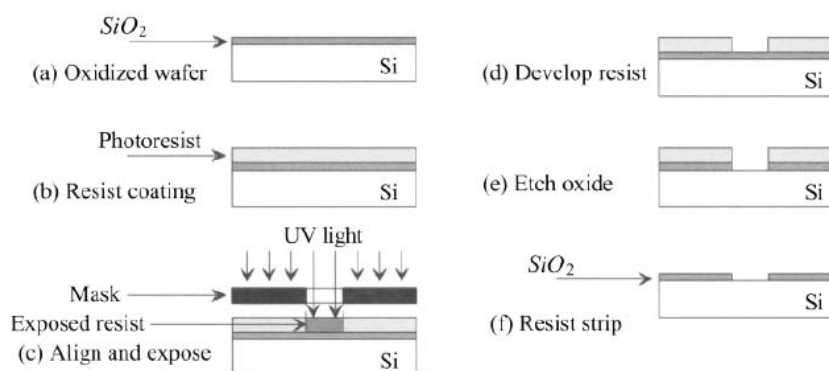


Figura 77 – Representação simplificada dos passos iniciais da Fotolitografia

Fonte: (BAKER, 2010)

Parte IV

Resultados da aplicação de verificações físicas
e vista *abstract*

9 PGA1ST

O bloco PGA1st representa o primeiro de um conjunto de três amplificadores programáveis presentes no projeto.

O amplificador programável apresentado na figura 78 mostra o layout do bloco PGA1st composto por um controlador de ganho, localizado à esquerda, o bloco de amplificador, ao centro e um conjunto de resistores à direita. Para esse bloco, verificaram-se erros de DRC e LVS.

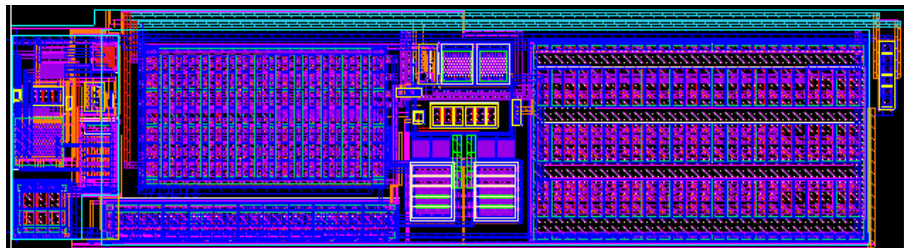


Figura 78 – *Layout* bloco PGA1st

Fonte: Autora

9.1 Resultados DRC

Após a correção dos erros relacionados a largura, espaçamento, extensão, intrusão, encapsulamento e área, restaram-se os erros de densidade e *fill*. Em células hierárquicas inferiores é comum apresentar erros de densidade, porém, esses serão corrigidos na hierarquia de topo do chip ao adicionar metais soltos *dummy fill*. Os erros apresentados como *fill* são resultantes da falta do *guard ring* na célula, cuja decisão de não adicionar se deu devido às restrições de área, assim, também serão adicionados somente na hierarquia de topo. O resultado dos erros presentes na célula PGA1st são apresentados na figura 79.

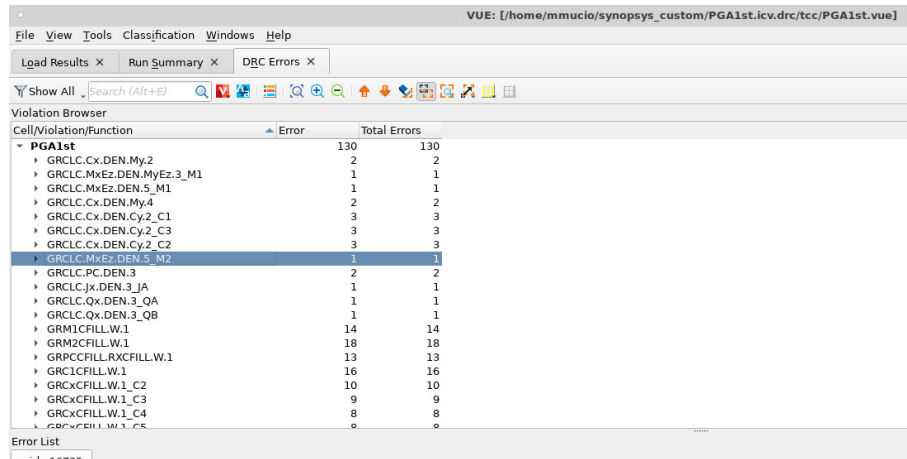


Figura 79 – Erros de DRC presentes no PGA1st

Fonte: Autora

9.2 Resultados LVS

Após a correção dos erros de DRC, apresenta-se o resultado LVS correto na figura 80. É possível identificar um aviso de extração o qual o mesmo nome está atribuído para duas *nets*.

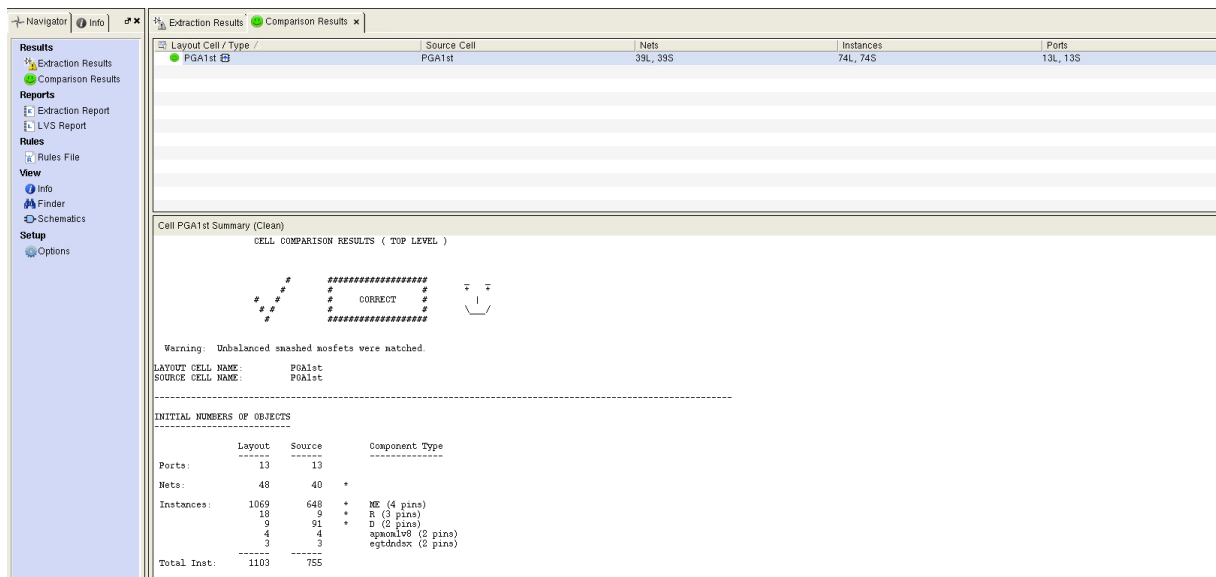


Figura 80 – Resultado LVS

Fonte: Autora

9.3 Resultados Abstract

Seguiu-se o passo a passo descrito na 7.4.2 e gerou-se a vista *abstract*. Como configuração, escolheu-se extrair todas as nets detalhadas, sem *cut pin*. A seguir serão listados

os resultados do *abstract* no *Custom Compiler*.

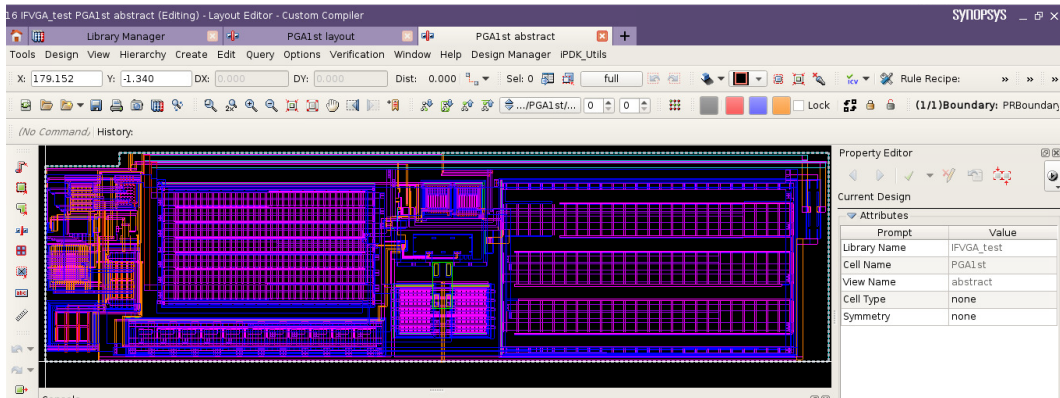


Figura 81 – Resultado *abstract* — vista detalhada

Fonte: Autora

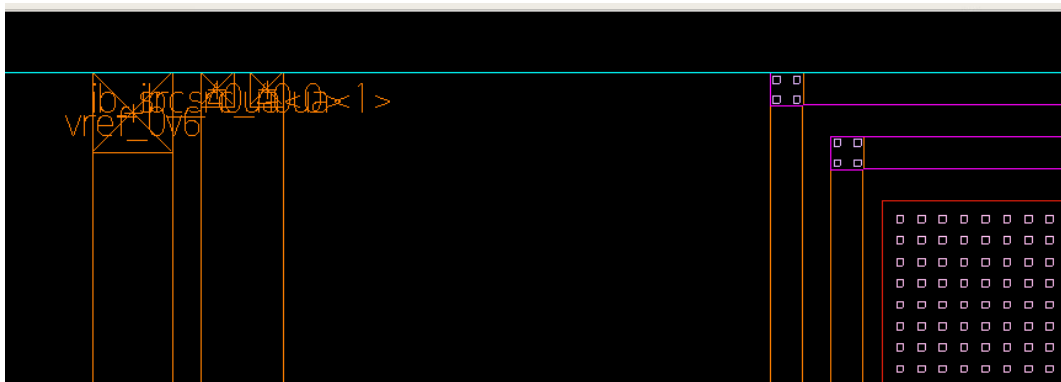


Figura 82 – Resultado *abstract*: zoom para verificar os pinos

Fonte: Autora

Gerou-se um segundo *abstract* apenas para localizar os pinos. A figura 83 mostra o resultado da segunda extração da vista, nota-se o pino de VSS em azul na parte inferior. Os outros pinos foram gerados, mas como são muito pequenos, só é possível a visualização por meio do *zoom* na figura.

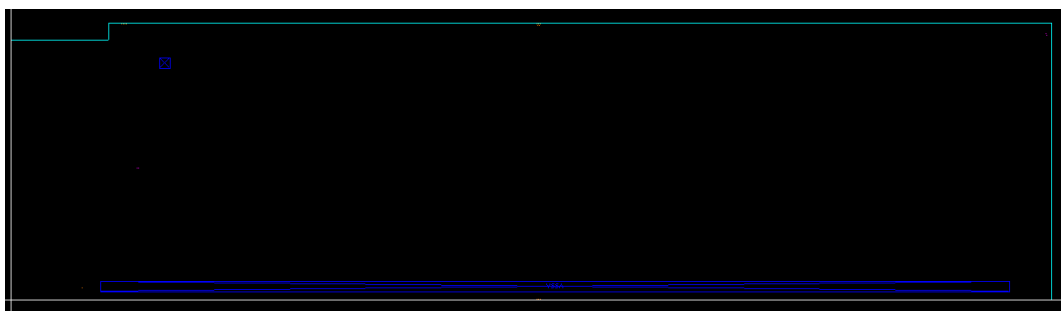


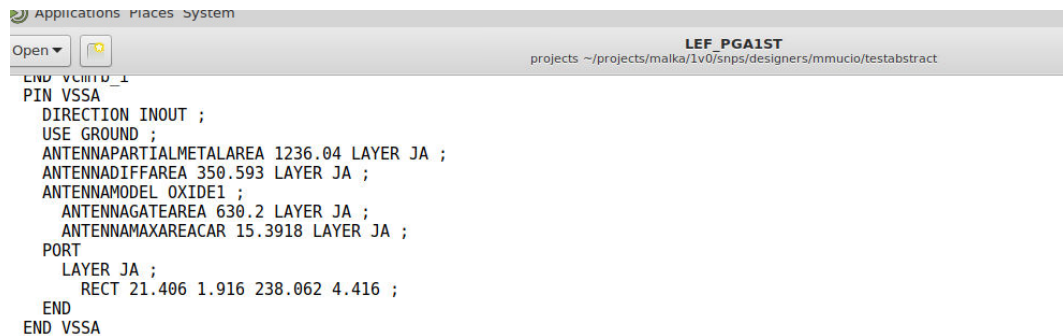
Figura 83 – Resultado *abstract*: configuração sem *blockage*

Fonte: Autora

9.4 Resultados LEF

A seguir serão apresentados os resultados referentes a exportação do arquivo LEF.

A figura 84 Apresenta o arquivo LEF_PGA1ST aberto no Gedit. É possível identificar no arquivo o Pino VSSA, o qual consta a direção INOUT, o tipo do pino como *ground*. e os respectivos cálculos referentes a área e a extração do efeito antena. Nota-se também que a *layer* utilizada para confecção do pino foi a *JA*.



```

END VCHI0_1
PIN VSSA
DIRECTION INOUT ;
USE GROUND ;
ANTENNAPARTIALMETALAREA 1236.04 LAYER JA ;
ANTENNADIFFAREA 350.593 LAYER JA ;
ANTENNAMODEL OXIDE1 ;
ANTENNAGATEAREA 630.2 LAYER JA ;
ANTENNAMAXAREACAR 15.3918 LAYER JA ;
PORT
LAYER JA ;
RECT 21.406 1.916 238.062 4.416 ;
END
END VSSA

```

Figura 84 – Resultado LEF — Cálculos de Antena

Fonte: Autora

No mesmo arquivo identifica-se a *layer JA* o qual é utilizada para rotear. O trecho da figura 85 mostra que a *layer* foi utilizada na direção horizontal, possui a largura de 0,45 e a área de 0,81.

```

LAYER JA
TYPE ROUTING ;
DIRECTION HORIZONTAL ;
WIDTH 0.45 ;
AREA 0.81 ;
SPACINGTABLE TWOWIDTHS
WIDTH 0 0.45 0.585 1.35
WIDTH 1.5 PRL 1.5 0.585 0.585 1.35
WIDTH 4.5 PRL 4.5 1.35 1.35 1.35 ;
SPACING 0.45 NOTCHLENGTH 0.45 ;
MAXWIDTH 10.8 ;
MINENCLOSEDAREA 0.81 ;
ANTENNAMODEL OXIDE1 ;
ANTENNADIFFAREARATIO 2000 ;
ANTENNAGATEPLUSDIFF 2 ;
ANTENNAMODEL OXIDE2 ;
ANTENNADIFFAREARATIO 500 ;
ANTENNAGATEPLUSDIFF 2 ;
ANTENNAMODEL OXIDE3 ;
ANTENNADIFFAREARATIO 500 ;
ANTENNAGATEPLUSDIFF 2 ;
END JA

```

Figura 85 – Resultado LEF — Tipo de *Layer*

Fonte: Autora

Parte V

Conclusões sobre o estudo

10 Conclusões

Como objetivo deste trabalho compreendem-se: estudar e aplicar os conceitos de *matching*; dispositivos *dummy* em processos de corrosão; distribuição e direção dos dispositivos na tecnologia 22FDX; eletromigração; polarização de substrato; latch-up; aplicar verificações físicas de *layout* (DRC, LVS, PEX); estudar conceitos e gerar a vista abstract; gerar arquivo LEF; estudar e gerar Dummy fill. Cada tópico será descrito separadamente abaixo.

Sinal elétrico é uma variação de corrente ou tensão elétrica usado para transmitir informação, em alguns casos como provenientes de par diferencial; entrada e saída de oscilador; entrada e saída de referência de corrente devido à interferência de parasitas, devem ter uma proteção adicional uma vez que são considerados nets críticas. Essa proteção pode ser feita por meio de um *path* para o substrato.

Quanto a parasitas, devido à espessura da metalização ser diretamente proporcional ao nível hierárquico, implica que a resistência de folha de metais superiores é menor, assim conforme a equação 3.3, a resistência elétrica de metais superiores também é menor. Conclui-se que deve ser evitado roteamentos em metal 1 e que deve-se fazer o menor comprimento de roteamento possível com metais inferiores.

Uma dos efeitos em que um CI está suscetível a ocorrer é o latch-up, das soluções que cabem ao layoutista cita-se: reduzir as áreas dos drenos, adicionar contatos de substrato e de n-well próximo aos dispositivos. Adição de áreas N+ e P+ ao redor dos circuitos (Guard-rings).

O efeito de eletromigração está suscetível a ocorrer em zonas de não homogeneidade de elétrons. Cita-se: Final de interconexões; mudança de layers (vias); mudança na seção transversal (net mais larga, para mais fina ou net mais fina para mais larga); mudanças no material. Para evitá-lo é necessário conhecer a corrente que passa nos nós e realizar o cálculo da largura mínima da *net* e das vias conforme a corrente de *threshold*. Para *nets* de *power* e *ground* é recomendado que o roteamento seja previsto em metalizações de hierarquias superiores, uma vez que a capacitância parasita em relação ao substrato é maior, implicando em menores variações de tensão DC.

Como um dos pontos de não homogeneidade, a via é um elemento em que pode ocorrer falhas na fabricação, por isso, utiliza-se no mínimo duas vias, uma vez que ocorra a falha de fabricação ainda haveria contato elétrico entre as interconexões garantindo que o circuito não deixe de funcionar. Além disso, de forma a reduzir a tensão mecânica para o transporte de corrente por meio dos reservatórios, é recomendado a não utilização de vias com regras mínimas definidas pelo PDK.

Em relação às técnicas de casamento, é necessário conhecer o tipo de arquitetura, uma vez que as técnicas são utilizadas de acordo com cada necessidade, exemplo: fonte de corrente utiliza-se proximidade uma vez que o objetivo é priorizar o transistor conectado em *diode connected*.

Para evitar a corrosão do circuito durante o processo de fabricação, é colocado dispositivos *dummys* ao redor das matrizes de casamento, além disso, ao redor da matriz é adicionado o *guard ring* que além de proteger o circuito contra latch-up, funciona como componente de polarização do substrato.

Quanto aos testes de verificação, foram aplicados DRC e LVS. Resultaram-se erros de densidade que serão corrigidos em hierarquias superiores, já o LVS apresenta um erro de “extração” que será corrigido em hierarquia superior e a “comparação” correta.

Para o PEX, estudou-se a forma de geração dos arquivos. Para este trabalho não foi gerado o arquivo PEX do bloco devido à etapa ter sido gerada no computador do cliente, o qual a autora não possui acesso, o mesmo ocorreu ao dummy fill.

Por último, conclui-se que os objetivos gerais e específicos deste trabalho foram alcançados.

10.1 Experiência de projeto em 22 nanômetros.

A tecnologia FD-SOI aplicada à 22FDX otimiza o desempenho do circuito uma vez que a técnica de polarização do substrato FBB permite o chaveamento com maior velocidade. A tecnologia tem a desvantagem de produzir erros de antena na fonte e no dreno.

Tanto o comprimento do canal, quanto a largura são parâmetros que podem ser definidos pelo projetista. Em tecnologias de nó reduzido ocorre um aumento da resistência do canal, para minimizar os efeitos da resistência é preciso que o mesmo transistor originalmente calculado seja dividido em transistores menores em paralelo, em outras palavras, aumenta-se o número de *multipliers*. O aumento de *multipliers* em um projeto implica em gastos adicionais com área ativa. Um ponto causado devido ao aumento de *multipliers* visto na 22FDX no projeto Malka foi a densidade máxima de *poly* em uma certa área.

Referências

- ALLEN, P. E. *CMOS Analog Circuit Design*. 3. ed. [S.l.]: Oxford University Press, 2011. Citado na página 88.
- BAKER, R. J. *CMOS: Circuit Design, Layout, and Simulation*. 4. ed. [S.l.]: Wiley, 2010. Citado 12 vezes nas páginas 28, 29, 30, 31, 32, 33, 34, 38, 41, 50, 51 e 89.
- CADENCE. *Virtuoso Abstract Generator User Guide*. 2023. Citado 9 vezes nas páginas 67, 68, 69, 70, 71, 72, 73, 74 e 75.
- CLEIN, D. *CMOS IC LAYOUT - Concepts, Methodologies, and Tools*. 1. ed. [S.l.]: Newnes, 1999. Citado 14 vezes nas páginas 16, 26, 27, 30, 34, 35, 41, 48, 49, 50, 83, 84, 85 e 86.
- DRAGAN, A. et al. Charge retention of a floating gate transistor for a reset controller. *Romanian Journal of Information Science and Technology*, v. 21, p. 34–48, 01 2018. Citado na página 51.
- HASTINGS, R. A. *The Art of Analog Layout*. 1. ed. [S.l.]: Pearson, 2000. Citado 5 vezes nas páginas 19, 29, 32, 38 e 39.
- HU, C. C. *Modern Semiconductor Devices for Integrated Circuits*. 1. ed. [S.l.]: Pearson, 2009. Citado 2 vezes nas páginas 20 e 21.
- LIENIG, J. *Fundamentals of Electromigration aware Integrated Circuit Design*. 1. ed. [S.l.]: Springer, 2018. Citado 6 vezes nas páginas 27, 32, 33, 35, 36 e 37.
- LIENIG, J. *Fundamentals of Layout Design for Electronic Circuits*. 1. ed. [S.l.]: Springer, 2020. Citado 19 vezes nas páginas 16, 28, 41, 43, 44, 45, 46, 47, 48, 56, 57, 60, 63, 82, 83, 84, 85, 86 e 87.
- MENTOR. *Calibre Verification User's Manual*. 2002.5. Citado na página 61.
- MENTOR. *Calibre xRC User's Manual*. 2009.1. Citado na página 64.
- Ptable. *Tabela Periódica*. 2023. Disponível em: <<https://ptable.com/#Elétrons/OxidationStates>> Acesso em 08 de junho de 2023. Citado na página 19.
- RAZAVI, B. *Fundamentos da Microeletrônica*. 2. ed. [S.l.]: Wiler, 2013. Citado 4 vezes nas páginas 20, 21, 22 e 23.
- RESENDE, S. M. *Materiais e Dispositivos Eletrônicos*. 2. ed. [S.l.]: Livraria da Física, 2004. Citado 3 vezes nas páginas 15, 20 e 21.
- ST Microelectronics. *FD-SOI - Fully Depleted Silicon On Insulator*. 2022. Disponível em: <https://www.st.com/content/st_com/en/about/innovation---technology/FD-SOI.html> Acesso em 20 de novembro de 2022. Citado na página 24.
- WATELECTRONICS. *Difference Between CMOS and NMOS Technology*. 2023. Disponível em: <<https://www.watelectronics.com/difference-cmos-nmos-technology/>> Acesso em 10 de junho de 2023. Citado na página 22.

WONG, A. K.-K. *Resolution Enhancement Techniques In Optical Lithography*. 1. ed. [S.l.]: Spie Press, 2001. Citado 2 vezes nas páginas 87 e 88.