

Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA  
Engenharia Eletrônica

**Análise e Elaboração de um *Bandgap*, *Current Source* e Regulador tipo LDO para um PMIC**

Autor: Felipe Dias Costa  
Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF  
2023



Fellipe Dias Costa

**Análise e Elaboração de um *Bandgap*, *Current Source* e  
Regulador tipo LDO para um PMIC**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF

2023

---

Fellipe Dias Costa

Análise e Elaboração de um *Bandgap*, *Current Source* e Regulador tipo LDO para um PMIC/ Fellipe Dias Costa. – Brasília, DF, 2023-  
78 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA , 2023.

1. Palavra-chave01. 2. Palavra-chave02. I. Prof. Dr. Sandro Augusto Pavlik Haddad. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Análise e Elaboração de um *Bandgap*, *Current Source* e Regulador tipo LDO para um PMIC

CDU 02:141:005.6

---

Fellipe Dias Costa

## **Análise e Elaboração de um *Bandgap*, *Current Source* e Regulador tipo LDO para um PMIC**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 24 de fevereiro de 2023:

---

**Prof. Dr. Sandro Augusto Pavlik  
Haddad**  
Orientador

---

**Prof. Dr. Jose Edil Guimaraes De  
Medeiros**  
Convidado 1

---

**Prof. Me. Yuri Cesar Rosa de Toledo**  
Convidado 2

Brasília, DF  
2023

# Agradecimentos

Gostaria de agradecer primeiramente a Deus que, durante meus 23 anos vividos até o momento, sempre me abençoou, me guiou e sempre esteve ao meu lado.

Agradeço à minha família, Wagner, Idelfina e Cecília, por providenciarem uma vida muito boa para mim, sempre me acolhendo com amor e fazendo eu me sentir querido.

Agradeço ao meu professor orientador Sandro Haddad, por ter sido um dos melhores professores que tive aula na faculdade e por ter aceitado me orientar nesse trabalho.

Aos meus amigos Danilo, Leonardo, João e Victor pelos "rolês" mais duvidosos, pelas discussões vazias e sem nexos, pelas indicações musicais de qualidade e por me aturarem.

Por fim aos meus colegas de faculdade, por terem estado comigo ao longo da graduação sempre me ajudando a estudar para as provas, fazendo trabalhos juntos, principalmente aos que me ajudaram nesse trabalho: Diego, Gabriel Mendanha e Wissam Melo.

# Resumo

Gerenciamento de potência através de circuitos integrados é uma prática muito comum em dispositivos eletrônicos, devido ao seu pouco espaço ocupado e por sua capacidade de distribuir a tensão de alimentação de forma regulada para o sistema eletrônico. Tendo em vista sua importância, esse trabalho tem como objetivo trazer o estudo sobre alguns blocos de circuitos que integram um *Power Management Integrated Circuit*, trazendo diferentes topologias e suas características. Além disso será feito o projeto de cada um desses blocos afim de atingir determinadas especificações, buscando maneiras de otimizar seus resultados. Todos os projetos e simulações foram feitos através do programa de computador *CADENCE Virtuoso*. O circuito *bandgap* foi feito inicialmente com a utilização de um amplificador operacional ideal, futuramente substituído por um Amplificador real, e foi possível atingir um valor de resposta 99,23% do estipulado. A fonte de corrente projetada possuiu uma resposta que por ter uma variação bastante pequena pode ser considerada constante, no entanto o valor da corrente de saída foi 4,5% maior que o definido. Já o *low-dropout regulator* apresentou uma resposta adequada, além do circuito exibir uma estabilidade bastante satisfatória.

**Palavras-chaves:** Circuitos integrados. *Bandgap*. Fonte de corrente. *Low-dropout Regulator*

# Abstract

Power management through integrated circuits is a very common practice in electronic devices, due to its small footprint and its ability to distribute the supply voltage in a regulated way to the electronic system. In view of its importance, this work aims to bring the study of some circuit blocks that integrate a Power Management Integrated Circuit, bringing different topologies and their characteristics. In addition, the design of each of these blocks will be carried out in order to achieve certain specifications, looking for ways to optimize their results. All designs and simulations were performed using the computer program CADENCE Virtuoso. The bandgap circuit was initially made using an ideal operational amplifier, later replaced by a real amplifier and reached a response value 99.23% of expected. The projected current source had a response that, due to its small variation, can be considered constant, however the value of the output current was 4.5% greater than the set. The low-dropout regulator presented an adequate response, in addition to the circuit displaying a very satisfactory stability.

**Keywords:** Integrated circuits. Bandgap. Current source. Low-dropout Regulator

# Lista de ilustrações

Figura 1 – Funcionamento de um <i>bandgap</i> . Fonte:(ALLEN; HOLBERG, 2012) . . . . .	20
Figura 2 – Tensões de um <i>bandgap</i> Fonte:(ALLEN; HOLBERG, 2012) . . . . .	20
Figura 3 – Topologia Clássica de um <i>Bandgap</i> Fonte: (RAZAVI, 2017) . . . . .	21
Figura 4 – Topologia de um <i>Bandgap</i> de três terminais Fonte: (BROKAW, 1974) . . . . .	22
Figura 5 – Topologia de <i>Bandgap</i> com três PMOS Fonte: (RAZAVI, 2017) . . . . .	23
Figura 6 – Topologia de um Espelho de Corrente Fonte: (CASAÑAS et al., 2022) . . . . .	24
Figura 7 – Topologia de uma Fonte de Corrente Fonte: (CASAÑAS et al., 2022) . . . . .	25
Figura 8 – Fonte de Corrente <i>Self Biased Widlar</i> Fonte: (RAZAVI, 2017) . . . . .	25
Figura 9 – Fonte de Corrente sem resistor Fonte: (SHARMA, 2016) . . . . .	27
Figura 10 – Parâmetros de um LDO Fonte: (SÁNCHEZ-SINENCIO, 2010) . . . . .	28
Figura 11 – Topologia básica de um LDO Fonte: (AZIZ et al., 2013) . . . . .	29
Figura 12 – LDO com um PMOS Fonte: (TEXAS INSTRUMENTS, 2018) . . . . .	29
Figura 13 – LDO com um NMOS Fonte: (TEXAS INSTRUMENTS, 2018) . . . . .	30
Figura 14 – Esquemático do Amplificador Operacional Ideal . . . . .	34
Figura 15 – Esquemático do <i>Bandgap</i> . . . . .	35
Figura 16 – Esquemático do <i>Current Source</i> . . . . .	36
Figura 17 – Esquemático do <i>Current Source</i> real . . . . .	38
Figura 18 – Esquemático do LDO real . . . . .	40
Figura 19 – Resposta $V_{BG}$ do <i>Bandgap</i> . . . . .	42
Figura 20 – Resposta $V_{BG}$ do <i>Bandgap</i> com PMOS de dimensões dobradas . . . . .	43
Figura 21 – Resposta $V_{BG}$ do <i>Bandgap</i> com PMOS de dimensões pela metade . . . . .	44
Figura 22 – Resposta $V_{BG}$ do <i>Bandgap</i> com o número de TBJ's dobrado . . . . .	45
Figura 23 – Resposta $V_{BG}$ do <i>Bandgap</i> com o número de TBJ's pela metade . . . . .	45



Figura 24 – Resposta $V_{BG}$ do <i>Bandgap</i> com $V_{DD} = 3.3V$ . . . . .	47
Figura 25 – Resposta $V_{BG}$ do <i>Bandgap</i> com $V_{DD} = 3.0V$ . . . . .	48
Figura 26 – Resposta $V_{BG}$ do <i>Bandgap</i> com $V_{DD} = 3.5V$ . . . . .	48
Figura 27 – Resposta $PSRR$ do <i>Bandgap</i> . . . . .	49
Figura 28 – Corrente $I_{OUT}$ do <i>Current Source</i> . . . . .	50
Figura 29 – Corrente $I_{OUT}$ com CMOS com dimensões diminuídas . . . . .	51
Figura 30 – Corrente $I_{OUT}$ com CMOS com dimensões aumentadas . . . . .	51
Figura 31 – Corrente $I_{OUT}$ com $K = 1,5$ . . . . .	52
Figura 32 – Corrente $I_{OUT}$ com com $K = 2,5$ . . . . .	53
Figura 33 – Corrente $I_{OUT}$ com CMOS com $W/L$ de $45u/40u$ . . . . .	54
Figura 34 – Corrente $I_{OUT}$ com CMOS com $W/L$ de $50u/40u$ . . . . .	54
Figura 35 – Corrente $I_{OUT}$ do <i>Current Source</i> com componentes reais . . . . .	56
Figura 36 – Funcionamento do <i>Start-up</i> do <i>Current Source</i> . . . . .	57
Figura 37 – $V_{OUT}$ do LDO com $C = 100pF$ e $I = 1mA$ . . . . .	58
Figura 38 – $V_{OUT}$ do LDO com $C = 100pF$ e $I = 100\mu A$ . . . . .	58
Figura 39 – $V_{OUT}$ do LDO com $C = 1\mu F$ e $I = 1mA$ . . . . .	59
Figura 40 – $V_{OUT}$ do LDO com $C = 1\mu F$ e $I = 100\mu A$ . . . . .	59
Figura 41 – Exemplo de um funcionamento de um regulador de tensão Fonte: (SÁNCHEZ-SINENCIO, 2010) . . . . .	60
Figura 42 – $V_{OUT}$ transiente do LDO com $C = 100pF$ e $I = 1mA$ . . . . .	60
Figura 43 – $V_{OUT}$ transiente do LDO com $C = 100pF$ e $I = 100\mu A$ . . . . .	61
Figura 44 – $V_{OUT}$ transiente do LDO com $C = 1\mu F$ e $I = 1mA$ . . . . .	61
Figura 45 – $V_{OUT}$ transiente do LDO com $C = 1\mu F$ e $I = 100\mu A$ . . . . .	62
Figura 46 – $PSRR$ do LDO com $C = 100pF$ e $I = 1mA$ . . . . .	63
Figura 47 – $PSRR$ do LDO com $C = 1\mu F$ e $I = 1mA$ . . . . .	63
Figura 48 – Tensão <i>dropout</i> do LDO com <i>multiplier</i> = 5000 . . . . .	64
Figura 49 – Tensão <i>dropout</i> do LDO com <i>multiplier</i> = 500 . . . . .	64
Figura 50 – $V_{OUT}$ transiente do LDO com $C = 1\mu F$ , $I = 100\mu A$ e <i>multiplier</i> = 500 . . . . .	65
Figura 51 – $PSRR$ do LDO com $C = 100pF$ , $I = 1mA$ e <i>multiplier</i> = 500 . . . . .	65
Figura 52 – Código usado para encontrar o valor dos resistores do AmpOp . . . . .	73
Figura 53 – Valor dos resistores do AmpOp . . . . .	74
Figura 54 – Diagrama de Bode do AmpOp no MATLAB . . . . .	74
Figura 55 – Teste do AmpOp ideal no <i>CADENCE Virtuoso</i> . . . . .	75
Figura 56 – Diagrama de Bode do AmpOp ideal no <i>CADENCE Virtuoso</i> . . . . .	75
Figura 57 – Esquemático do amplificador operacional real . . . . .	76
Figura 58 – Ganho e Margem de Fase do Amplificador Operacional real . . . . .	78

# Lista de tabelas

Tabela 1 – Valores estipulados para o <i>bandgap</i> . . . . .	32
Tabela 2 – Valores estipulados para o <i>current source</i> . . . . .	32
Tabela 3 – Valores estipulados para o <i>low-dropout regulator</i> . . . . .	32
Tabela 4 – Parâmetro dos Transistores CMOS utilizados . . . . .	33
Tabela 5 – Parâmetro dos componentes utilizados no <i>Bandgap</i> . . . . .	35
Tabela 6 – Parâmetro dos componentes utilizados no <i>Current Source</i> . . . . .	36
Tabela 7 – Parâmetro dos componentes utilizados no <i>Bandgap</i> real . . . . .	37
Tabela 8 – Parâmetro dos componentes utilizados no <i>Current Source</i> real . . . . .	38
Tabela 9 – Parâmetro dos componentes utilizados no LDO real . . . . .	40
Tabela 10 – Resultados de acordo com mudanças nas dimensões dos PMOS do <i>bandgap</i> . . . . .	46
Tabela 11 – Resultados de acordo com mudanças no número de TBJ's do <i>bandgap</i> .	46
Tabela 12 – Resultados de acordo com mudanças no $V_{DD}$ do <i>bandgap</i> . . . . .	49
Tabela 13 – Resultados de acordo com mudanças nas dimensões W e L do <i>current</i> <i>source</i> . . . . .	55
Tabela 14 – Resultados de acordo com mudanças no valor de K do <i>current source</i> .	55
Tabela 15 – Resultados de acordo com mudanças na razão W/L do <i>current source</i> .	55
Tabela 16 – Resultados de acordo com mudanças no valor de $V_{DD}$ do <i>current source</i>	56
Tabela 17 – $\Delta V_{OUT}$ da simulação transiente . . . . .	62
Tabela 18 – PSRR dos LDO's simulados . . . . .	63
Tabela 19 – Parâmetro dos componentes utilizados no amplificador real . . . . .	76

# Lista de abreviaturas e siglas

AmpOp	Amplificador Operacional
CI	Circuito Integrado
CTAT	Complementary To Absolute Temperature
IoT	Internet of Things
LDO	Low-Dropout Regulator
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NMOS	N-channel Metal Oxide Semiconductor
PMIC	Power management integrated circuit
PMOS	P-channel Metal Oxide Semiconductor
PMU	Power Management Unit
PSRR	Power Supply Rejection Ratio
TBJ	Transistor Bipolar de Junção
TC	Temperature Coefficient

# Lista de símbolos

$V_{BE}$	Tensão Base-Emissor
$I_C$	Corrente do Coletor
$I_S$	Corrente de Saturação
$V_T$	Thermal Voltage
$q$	Carga do Elétron
$k$	Constante de Boltzmann
$T$	Temperatura
$b$	Fator de Proporcionalidade
$E_g$	Energia de Silicene do Bandgap
$\ln$	Logaritmo Natural
$V_{BG}$	Tensão de Referência de um Bandgap
$V$	Tensão Elétrica
$\alpha$	Fator de Proporcionalidade
$R$	Resistor
$V_{OS}$	Tensão Offset
$Q$	Transistor
$h_{FE}$	Ganho Estático de Corrente
$W$	Width
$L$	Length
$I_D$	Corrente de Dreno
$^{\circ}C$	Graus Celsius
$^{\circ}K$	Graus Kelvin
$I_{REF}$	Corrente de Referência

$\mu_n/\mu_p$	Mobilidade dos Elétrons
$C_{OX}$	Unidade de Área de Óxido do Transistor
$V_{Th}$	Tensão Threshold
$V_{DO}$	Tensão Dropout
$V_{REF}$	Tensão de Referência
$V_{IN}$	Tensão de Entrada
$A$	Ampere
$\Omega$	Resistência Elétrica
$m$	Metro
$C$	Cpacitor
$M$	Transistor MOS
$r_{DS}$	Resistência Dreno-Fonte
$V_{DS}$	Tensão Dreno-Fonte
$I_{DS}$	Corrente Dreno-Fonte
$\Delta$	Variação
$ppm$	Parte Por Milhão
$I_{OUT}$	Corrente de Saída
$V_{GS}$	Tensão Gate-Source
$W$	Watt
$I_{LOAD}$	Corrente de Carga
$F$	Faraday
$dB$	Decibel
$Hz$	Hertz
$^\circ$	Graus
$gm$	transconductance
$GB$	Produto Ganho-Banda
$\pi$	Pi

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>15</b>
1.1	<i>Contextualização</i>	15
1.2	<i>Justificativa</i>	15
1.3	<i>Objetivos</i>	16
1.3.1	<i>Geral</i>	16
1.3.2	<i>Específicos</i>	16
1.4	<i>Metodologia</i>	16
1.5	<i>Organização do Trabalho</i>	17
<b>2</b>	<b>REVISÃO BIBLIOGRÁFICA</b>	<b>18</b>
2.1	<i>Bandgap</i>	18
2.1.1	Topologias de <i>Bandgap</i>	20
2.2	<i>Current Source</i>	24
2.2.1	Topologias de <i>Current Source</i>	25
2.3	<i>Low-Dropout Regulator</i>	27
2.3.1	Topologias de <i>Low-Dropout Regulator</i>	29
<b>3</b>	<b>DESENVOLVIMENTO DOS CIRCUITOS</b>	<b>32</b>
3.1	Especificações	32
3.2	Projeto do <i>Bandgap</i> com componentes ideais	33
3.3	Projeto do <i>Current Source</i> com componentes ideais	35
3.4	Projeto do <i>Bandgap</i> com componentes reais	36
3.5	Projeto do <i>Current Source</i> com componentes reais	38
3.6	Projeto do <i>Low-Dropout Regulator</i> com componentes reais	39
<b>4</b>	<b>RESULTADOS E DISCUSSÕES</b>	<b>42</b>
4.1	Projeto do <i>Bandgap</i>	42
4.1.1	Componentes ideais	42
4.1.2	Componentes reais	46
4.2	Projeto do <i>Current Source</i>	49
4.2.1	Componentes ideais	49
4.2.2	Componentes reais	55
4.3	Projeto do <i>Low-Dropout Regulator</i>	57
<b>5</b>	<b>CONCLUSÃO</b>	<b>67</b>
5.1	Trabalhos Futuros	68

<b>REFERÊNCIAS</b> . . . . .	<b>69</b>
<b>APÊNDICES</b>	<b>72</b>
<b>APÊNDICE A – CÓDIGO E RESULTADOS DO AMPLIFICADOR IDEAL DO <i>BANDGAP</i></b> . . . . .	<b>73</b>
<b>APÊNDICE B – PROJETO DO AMPLIFICADOR REAL</b> . . . . .	<b>76</b>

# 1 Introdução

## 1.1 Contextualização

O uso de aparelhos eletrônicos vem crescendo cada vez mais com o passar dos anos. Em 2017, quase metade da população mundial estava usando a internet e 48% das casas possuíam um computador (BALDÉ et al., 2017), já dados do STATISTA apontam que em 2025 o número de dispositivos móveis eletrônicos será superior à 18 bilhões (STATISTA, 2022).

Além de seu uso doméstico cotidiano como micro-ondas e geladeira, nota-se também que os produtos eletrônicos têm sido cada vez mais empregados no contexto de *smart houses* e *smart cities* (casas inteligentes e cidades inteligentes) (FORTI, 2019). Essa utilização está fortemente atrelada ao conceito de *Internet Of Things* (IoT), termo estabelecido por Kevin Ashton, onde produtos de consumo, carros, instalações industriais e outros objetos do cotidiano são combinados com conectividade com a internet e recursos de análise de dados de modo a transformar a forma como vivemos e trabalhamos (MOUHA, 2021).

Apesar de muitos desses aparelhos eletrônicos utilizarem tecnologias sem fio, eles precisam uma bateria ou uma fonte de alimentação que seja constante e capaz de operar de forma contínua e confiável (YANG; FAN; GAO, 2014), citado em (MOUHA; KHAW; MOHD-YASIN, 2020). Desta forma, tem-se o conceito de *Power Management Unit* (PMU), cujo papel é fazer o gerenciamento do fornecimento de energia, distribuindo uma tensão de alimentação filtrada e regulada para todo o sistema eletrônico (LOPEZ, 2019).

Devido a uma estrita limitação de espaço disponível, essas arquiteturas de PMU são comumente implementadas usando circuitos integrados (CI), conhecidos *Power Management Integrated Circuit* (PMIC) (AHSANUZZAMAN; PRODIC; JOHNS, 2016). Existe uma grande variedade de CI que são utilizados nesse gerenciamento como por exemplo: reguladores lineares, reguladores de comutação, controladores de energia e fontes de corrente (LI, 2005).

## 1.2 Justificativa

O uso de PMIC's se faz essencial em grande parte das tecnologias que são utilizadas atualmente, tendo em vista que eles são importantes afim de garantir uma alimentação estável para o funcionamento do equipamento. Dispositivos portáteis, como celulares e *laptops*, são alimentados por bateria e com o intuito de estender ao máximo sua vida útil,



circuitos de gerenciamento *low voltage* estão em alta demanda (LI, 2005).

Além disso, conversores DC-DC, componentes que fazem parte de um PMIC, são de muita utilidade. Em automóveis, por exemplo, esses conversores são responsáveis por diminuir a tensão da bateria principal afim de alimentar componentes eletrônicos do carro (ERICKSON; MAKSIMOVIC, 2007). Outro ponto a se destacar é que ao se iniciar um aparelho eletrônico, o sistema desse aparelho segue um protocolo de ligamento que sempre começa pelo circuito de alimentação.

Desta forma, se faz necessário o entendimento e desenvolvimento de CI's afim de garantir um gerenciamento de potência adequado para os equipamentos eletrônicos usados no dia-a-dia.

## 1.3 *Objetivos*

### 1.3.1 *Geral*

O principal objetivo deste trabalho é o estudo e criação de blocos de um *Power Management Integrated Circuit* (PMIC) para aplicações em *Internet of Things* (IoT).

### 1.3.2 *Específicos*

Os objetivos específicos deste trabalho são:

- Projetar um circuito *Bandgap* afim de atingir especificações determinadas e validar através de simulações no programa *CADENCE*;
- Projetar um circuito *Current Source* afim de atingir especificações determinadas e validar através de simulações no programa *CADENCE*;
- Projetar um circuito *Low-dropout Regulator* afim de atingir especificações determinadas e validar através de simulações no programa *CADENCE*;
- Estudar e implementar maneiras de otimizar os circuitos desenvolvidos com relação ao tamanho e resultados obtidos.

## 1.4 *Metodologia*

A metodologia utilizada nesse trabalho terá as abordagens *Bottom-Up* (de baixo para cima), uma vez que serão apresentados e desenvolvidos circuitos que fazem parte de um PMIC, e *Top-Down* (de cima para baixo), uma vez que é definido valores esperados e isso servirá de base para a construção dos blocos.

Foi feito um estudo sobre os blocos a serem projetados, analisando as melhores opções para serem construídas. Possuindo os *designs* e os valores estipulados para se ter na saída dos circuitos, foi usado o programa *CADENCE Virtuoso* para os projetos serem validados. Após as simulações, foram feitos ajustes finos nos valores de alguns componentes de forma a alcançar resultados mais exatos de acordo com os estipulados.

## 1.5 Organização do Trabalho

Este trabalho está dividido em 5 capítulos. No capítulo 2 é feita uma revisão bibliográfica acerca dos circuitos que serão desenvolvidos, mostrando seu princípio de funcionamento e equações básicas. Além disso, são apresentadas diferentes metodologias para elaboração dos circuitos propostos, trazendo suas peculiaridades e os pontos positivos e negativos de sua implementação.

No capítulo 3 são apresentadas as topologias que foram utilizadas e os resultados esperados, além de mostrar os cálculos necessários para a implementação dos circuitos.

O capítulo 4 apresenta os resultados obtidos do projeto junto com as discussões sobre eles. Por fim, no capítulo 5 será apresentada a conclusão do trabalho e perspectivas sobre trabalhos futuros.

## 2 Revisão Bibliográfica

Este capítulo irá apresentar um referencial teórico sobre os circuitos que serão projetados neste trabalho. Inicialmente será exibido o funcionamento de cada bloco de PMIC, trazendo suas equações fundamentais e conceitos importantes, e em seguida será abordado alguns exemplos de topologias.

### 2.1 *Bandgap*

*Bandgap* é um circuito que atua como uma tensão de referência que, por possuir uma tensão de saída independente de variações de temperatura, é muito utilizado em circuitos de gerenciamento de potência. A resposta do circuito é feita pela junção de uma tensão proporcional à temperatura absoluta (PTAT) com uma tensão complementar à temperatura absoluta (CTAT), dessa forma o valor da saída permanece constante mesmo com diferentes medidas de temperatura (MALCOVATI et al., 2001).

A resposta CTAT é obtida através da tensão base-emissor ( $V_{BE}$ ) de um transistor bipolar de junção (TBJ), o valor de  $V_{BE}$  é dado através da Eq. 2.1:

$$V_{BE} = V_T \ln\left(\frac{I_C}{I_S}\right) \quad (2.1)$$

Onde  $I_C$  é a corrente do coletor e  $I_S$  é a corrente de saturação. Os termos  $V_T$  e  $I_S$  correspondem respectivamente às equações Eq. 2.2 e Eq. 2.3:

$$V_T = \frac{kT}{q} \quad (2.2)$$

$$I_s = bT^{4+m} \exp\left(\frac{-E_g}{kT}\right) \quad (2.3)$$

Onde  $q$  é a carga do elétron,  $k$  é a constante de Boltzmann,  $T$  é o valor da temperatura,  $b$  é um fator de proporcionalidade,  $m$  tem o valor aproximado de -1,5 e  $E_g$  tem o valor aproximado de 1,12 eV que é a energia de silicone do *bandgap*. Ao se fazer a derivada de  $V_{BE}$  em relação à temperatura, como observado na Eq. 2.4, o coeficiente de temperatura da tensão base-emissor é negativo.

$$\frac{\partial V_{BE}}{\partial T} = \frac{V_{BE} - (4 + m)V_T - E_g/q}{q} \quad (2.4)$$

A resposta PTAT é gerada através da diferença da tensão  $V_{BE}$  entre dois TBJ's que possuem diferentes densidades de corrente (LIMA, 2021). Esse fenômeno pode ser

observado se for considerado dois transistores idênticos que foram polarizados com correntes de coletor iguais à  $nI_0$  e  $I_0$  (RAZAVI, 2017), dessa forma a expressão da variação da tensão base-emissor é mostrada na Eq. 2.5:

$$\Delta V_{BE} = V_T \ln n \quad (2.5)$$

Ao se fazer a derivada de  $\Delta V_{BE}$  com relação à temperatura, como observado na Eq. 2.6, tem-se que o coeficiente de temperatura é positivo.

$$\frac{\partial \Delta V_{BE}}{\partial T} = \frac{k}{q} \ln n \quad (2.6)$$

Ao se fazer a soma entre a resposta PTAT e a resposta CTAT obtém-se a equação da tensão de referência de um *bandgap* ( $V_{BG}$ ) com coeficiente de temperatura nulo (RAZAVI, 2017), como se nota na Eq. 2.7:

$$V_{BG} = \alpha_1 V_{BE} + \alpha_2 (V_T \ln n) \quad (2.7)$$

Onde o primeiro termo é CTAT e o segundo é PTAT. Em temperatura ambiente ( $T = 300^\circ$  Kelvin) tem-se que  $\partial V_{BE}/\partial T \approx -1,5mV/K$  e que  $\partial V_T/\partial T \approx +0,087mV/K$ , dessa forma é preciso definir valores de  $\alpha_1$  e  $\alpha_2$  que obedecem a Eq. 2.8 afim de que o coeficiente de temperatura de  $V_{BG}$  seja nulo.

$$(1,5mV/K)(\alpha_1) = (0,087mV/K)(\alpha_2 \ln n) \quad (2.8)$$

Definindo  $\alpha_1 = 1$ , encontra-se um valor de  $\alpha_2 \ln n \approx 17,2$ , forçando então a Eq. 2.9.

$$V_{BG} = V_{BE} + 17,2V_T \quad (2.9)$$

Com esses dados tem-se que o valor da tensão de referência do *bandgap* possui um valor aproximado de 1,25V (RAZAVI, 2017). A Figura 1 mostra como é o funcionamento de um *bandgap*, já a Fig. 2 apresenta uma ilustração do comportamento das respostas PTAT e CTAT, além da saída  $V_{BG}$ .

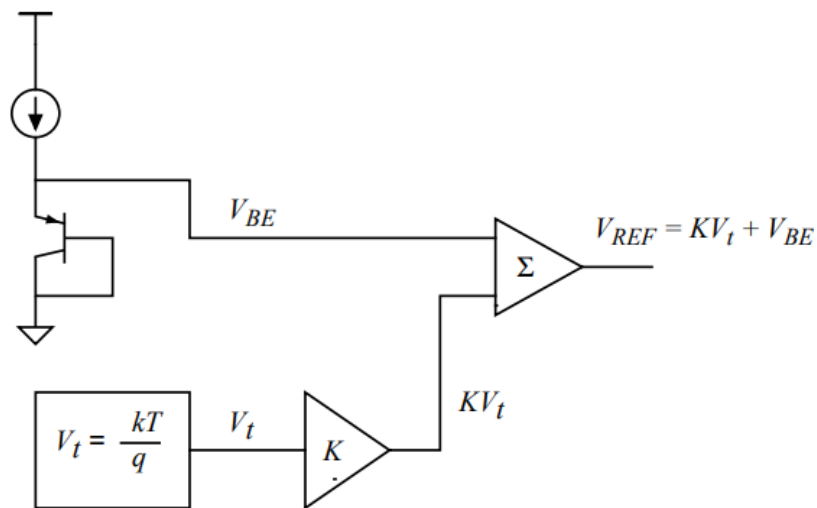


Figura 1 – Funcionamento de um *bandgap*.  
 Fonte:(ALLEN; HOLBERG, 2012)

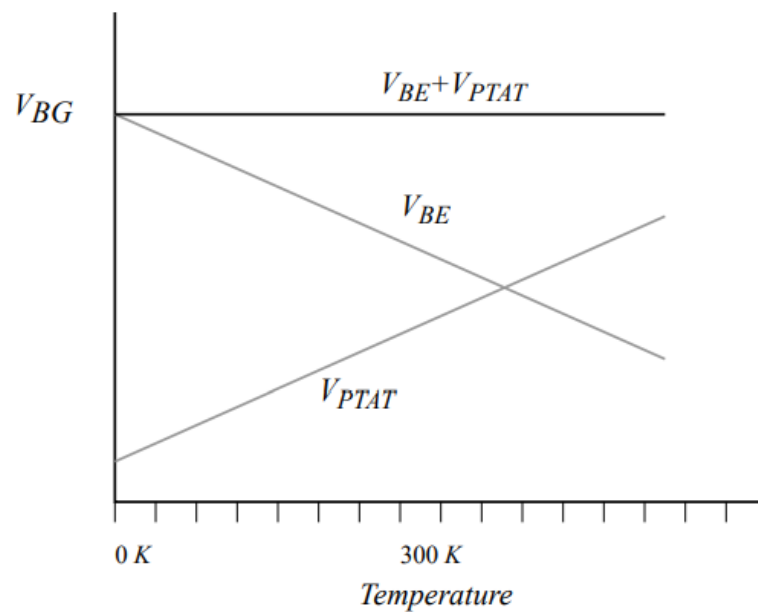


Figura 2 – Tensões de um *bandgap*  
 Fonte:(ALLEN; HOLBERG, 2012)

### 2.1.1 Topologias de *Bandgap*

Dentre as topologias para a criação de um *Bandgap*, a mais comum é a apresentada na Fig. 3.

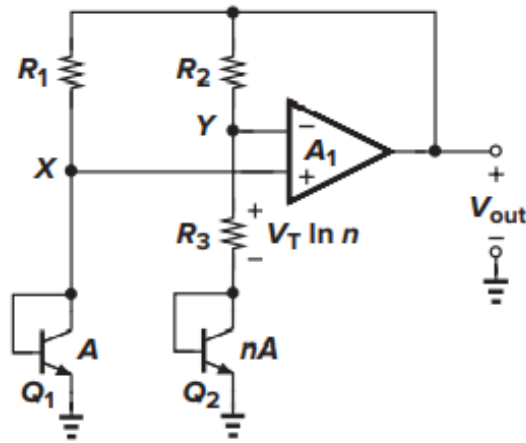


Figura 3 – Topologia Clássica de um *Bandgap*  
 Fonte: (RAZAVI, 2017)

Este circuito apresenta dois transistores TBJ, três resistores ( $R_1$  e  $R_2$  com valores idênticos) e um amplificador operacional (AmpOp). O elemento PTAT do circuito é produzido pela relação de  $Q_2$  e  $R_3$ , já o elemento CTAT é originado do transistor  $Q_1$  (KIT, 2017). O amplificador é utilizado afim de que as tensões em  $X$  e  $Y$  possuam valores aproximadamente iguais. O valor da saída  $V_{OUT}$  é definido pela Eq. 2.10.

$$V_{OUT} = V_{BE2} + (V_T \ln n) \left(1 + \frac{R_2}{R_3}\right) \quad (2.10)$$

Nota-se que essa topologia não se preocupa em fazer o valor de  $V_{OUT}$  ser independente de temperatura, mas sim amplificar o valor da tensão PTAT por um fator de  $1 + \frac{R_2}{R_3}$  de forma que quando for somado com a tensão CTAT, a resposta do circuito *bandgap* tenha um coeficiente de temperatura nulo (RAZAVI, 2017).

No entanto, essa topologia possui alguns problemas. Um deles é o fato de que a tensão *offset* da entrada do AmpOp ( $V_{OS}$ ) introduz um erro na tensão de saída do *bandgap* (SANIKOMMU, 2005). Ao considerar o valor de  $V_{OS}$ , tem-se o valor de  $V_{OUT}$  apresentado na Eq. 2.11.

$$V_{OUT} = V_{BE2} + (V_T \ln n - V_{OS}) \left(1 + \frac{R_2}{R_3}\right) \quad (2.11)$$

Com isso percebe-se que o valor de  $V_{OS}$  é amplificado por um fator de  $1 + \frac{R_2}{R_3}$ . Outro problema é que a tensão de *offset* varia com a temperatura, o que faz aumentar o coeficiente de temperatura da tensão de saída do *bandgap* (RAZAVI, 2017). Outra consequência dessa topologia é o fato da saída do AmpOp possuir uma impedância resistiva (SANIKOMMU, 2005).

Uma topologia menos usual de *bandgap*, com três terminais, é apresentada em (BROKAW, 1974). Sendo composta somente de resistores e TBJ's, ela pode ser vista na Fig. 4.

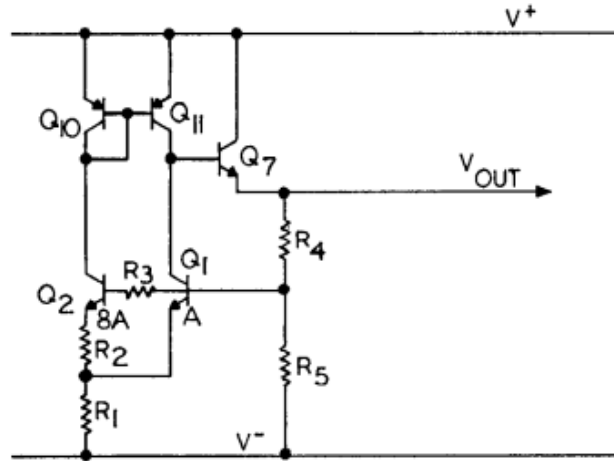


Figura 4 – Topologia de um *Bandgap* de três terminais  
Fonte: (BROKAW, 1974)

Neste circuito os TBJ's *pnp* formam um espelho de corrente que alimenta o transistor  $Q_7$ , responsável por fornecer a tensão de saída do circuito, tensão essa que é dividida entre os resistores  $R_4$  e  $R_5$  (BROKAW, 1974). Nessa topologia, a saída do transistor  $Q_7$  faz com que seja minimizada a diferença da corrente de coletor dos transistores  $Q_1$  e  $Q_2$ , além de ser estabelecido que o valor de  $V_{OUT}$  depende somente dos valores de  $R_4$  e  $R_5$  (BROKAW, 1974).

O resistor  $R_3$  é inserido no esquemático do circuito com o objetivo de eliminar o erro devido à corrente de base no resistor  $R_4$ , seu valor é definido na Eq. 2.12.

$$R_3 = \frac{R_2 R_4 R_5}{R_1 (R_4 + R_5)} \quad (2.12)$$

Esse valor considera que as corrente de base dos TBJ's  $Q_1$  e  $Q_2$  são idênticas e negligencia os efeitos de um  $h_{FE}$  finito e a condutância de saída do circuito (BROKAW, 1974).

Apesar de ser possível seu uso em algumas situações, alguns problemas dificultam a aplicabilidade da topologia mostrada na figura 4. Como por exemplo: o fato de possuir um valor finito de  $h_{FE}$  nos transistores  $Q_7$ ,  $Q_{10}$  e  $Q_{11}$  combinado com a modulação da largura de base dos transistores  $Q_1$  e  $Q_2$  faz com que seja aumentada a impedância de saída do circuito, além de danificar a rejeição de tensão de entrada do sistema (BROKAW, 1974).

Por fim, uma outra topologia de *bandgap* é mostrada na Fig. 5.

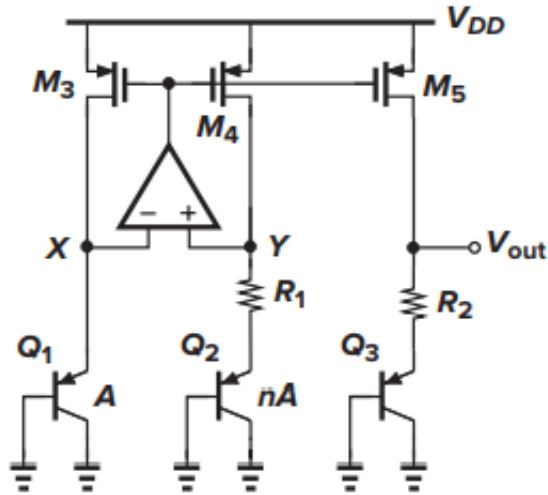


Figura 5 – Topologia de *Bandgap* com três PMOS  
 Fonte: (RAZAVI, 2017)

Neste circuito, o valor de  $V_{OUT}$  é dado pela Eq. 2.13.

$$V_{OUT} = V_{BE3} + \frac{R_2}{R_1} V_T \ln n \quad (2.13)$$

Por possuir diferentes áreas e conseqüentemente diferentes densidades de corrente, uma resposta PTAT é originada através da tensão no resistor  $R_1$  (COLOMBO, 2009), já a resposta CTAT é obtida através da tensão  $V_{BE3}$  no TBJ  $Q_3$ . O amplificador utilizado nessa topologia garante que as tensões de  $X$  e  $Y$  tenham valores iguais.

Os transistores PMOS do circuito são projetados para ter tamanhos de  $W/L$  idênticos afim de que as correntes  $I_{D3}$ ,  $I_{D4}$  e  $I_{D5}$  possuam valores iguais. Ao se comparar a Eq. 2.13 com a Eq. 2.9, pode-se chegar na seguinte expressão:

$$\alpha_2 = \frac{R_2}{R_1} \ln n \quad (2.14)$$

De acordo com a Eq. 2.14, percebe-se que a relação dos valores dos resistores junto do valor de  $n$  (número de TBJ's em paralelo) irá influenciar diretamente no comportamento do coeficiente de temperatura do *bandgap*.

É possível que essa para essa topologia o amplificador operacional seja substituído por uma fonte de corrente independente, entretanto para operações de baixa tensão é preferível o uso de um AmpOp (RAZAVI, 2017).



## 2.2 Current Source

*Current Source* (fonte de corrente) é um circuito capaz de fornecer uma corrente precisa para outros circuitos dentro de um PMIC (CASAÑAS et al., 2022). Esse tipo de circuito é muito utilizado por ter uma operação confiável para faixas de temperatura entre  $-25^{\circ}C$  e  $+125^{\circ}C$ , dessa forma uma fonte de corrente é muito desejável por sua robustez (CHEN; SHI, 2003).

Para a confecção de uma fonte de corrente é utilizado o conceito de *current mirror* (espelho de corrente), circuito apresentado na Fig. 6. Essa topologia possui uma propriedade que possibilita a cópia de um determinado valor de corrente sem nenhuma dependência de temperatura, com isso a relação entre a corrente de saída e a corrente de referência depende basicamente da dimensão dos transistores (RAZAVI, 2017). Desconsiderando a modulação do comprimento do canal, é possível estabelecer a relação entre  $I_{REF}$  e  $I_{OUT}$ , através da Eq. 2.15.

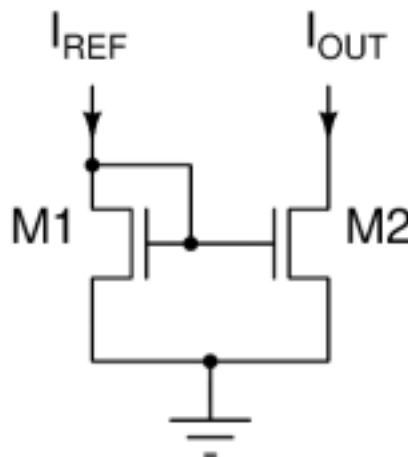


Figura 6 – Topologia de um Espelho de Corrente  
Fonte: (CASAÑAS et al., 2022)

$$I_{OUT} = \frac{(W/L)_2}{(W/L)_1} I_{REF} \quad (2.15)$$

Onde  $W$  se refere à largura do transistor e  $L$  se refere ao comprimento do transistor. Para um funcionamento adequado da fonte de corrente, é necessário que tanto  $M_1$  quanto  $M_2$  estejam operando na região de saturação. O exemplo mais simples de fonte de corrente é apresentado na Fig. 7 e logo abaixo a Eq. 2.16 exibe a expressão de  $I_{REF}$ .

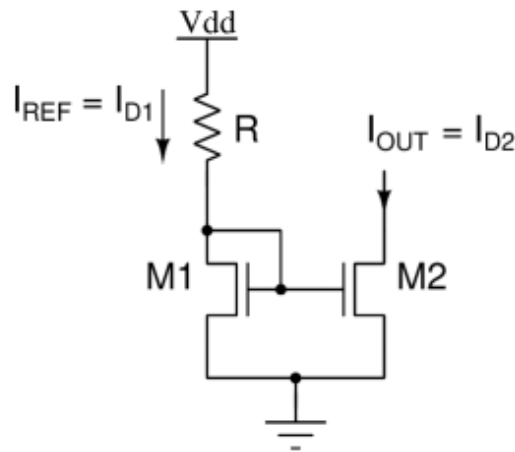


Figura 7 – Topologia de uma Fonte de Corrente  
 Fonte: (CASAñAS et al., 2022)

$$I_{REF} = \frac{V_{DD} - V_{GS1}}{R} \quad (2.16)$$

Nota-se pela Eq. 2.16 que  $I_{REF}$  é diretamente proporcional à tensão de alimentação e inversamente proporcional ao valor do resistor  $R$ , dessa forma a acurácia da fonte de corrente é afetada pela tolerância do resistor e variações na tensão  $V_{DD}$  (CASAñAS et al., 2022).

### 2.2.1 Topologias de *Current Source*

Dentre as topologias para a implementação de uma fonte de corrente, uma bastante utilizada é a *Self Biased Widlar Current Source*, apresentada na Fig. 8.

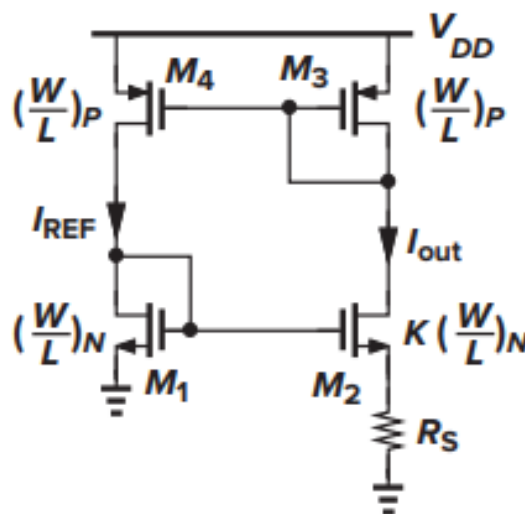


Figura 8 – Fonte de Corrente *Self Biased Widlar*  
 Fonte: (RAZAVI, 2017)

Uma técnica *self biased* faz com que a dependência da fonte de alimentação seja reduzida, já que ao invés de produzir uma corrente conectando um resistor à tensão  $V_{DD}$ , a corrente  $I_{OUT}$  é criada de modo a depender diretamente da corrente  $I_{REF}$  (ANGHEL; BREZEANU, 2010). O valor de  $I_{OUT}$  pode ser encontrado através da seguinte igualdade:  $V_{GS1} = V_{GS2} + I_{D2}R_S$ . Desenvolvendo essa expressão é possível chegar na Eq. 2.17

$$\sqrt{\frac{2I_{OUT}}{\mu_n C_{OX}(W/L)_N}} + V_{TH1} = \sqrt{\frac{2I_{OUT}}{\mu_n C_{OX}K(W/L)_N}} + V_{TH2} + I_{OUT}R_S \quad (2.17)$$

Onde  $\mu_n$  se refere à mobilidade dos elétrons no transistor CMOS,  $C_{OX}$  é a unidade de área de óxido do transistor CMOS e  $V_{TH}$  é a tensão *Threshold* (tensão mínima necessária à  $V_{GS}$  para que se crie um caminho condutor entre os terminais dreno e fonte do transistor) (SEDRA; SMITH, 2010). Ao assumir que  $V_{TH1} = V_{TH2}$ , é possível estabelecer o valor de  $I_{OUT}$  através da Eq. 2.18.

$$I_{OUT} = \frac{2}{\mu_n C_{OX}(W/L)_N} \frac{1}{R_S^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2 \quad (2.18)$$

O que comprova que a corrente de saída não depende da tensão de alimentação do circuito, entretanto ao assumir que a tensão *threshold* de  $M_1$  e  $M_2$  são iguais induz um pequeno erro ao valor de  $I_{OUT}$ , uma vez que suas fontes possuem tensões diferentes (RAZAVI, 2017).

Um aspecto negativo dessa topologia é o fato do resistor ocupar uma excessiva área de silício, o que faz com que esse circuito tenha um tamanho relativamente grande para uma fonte de corrente de pequeno valor (SHARMA, 2016). É preferível que os transistores dessa topologia possuam canais relativamente longos, uma vez que isso ajuda a reduzir o ruído de cintilação do transistor (RAZAVI, 2017).

Como forma de fazer uma fonte de corrente sem o uso de um resistor, é apresentado em (OGUEY; AEBISCHER, 1997), citado por (SHARMA, 2016), a topologia da Fig. 9

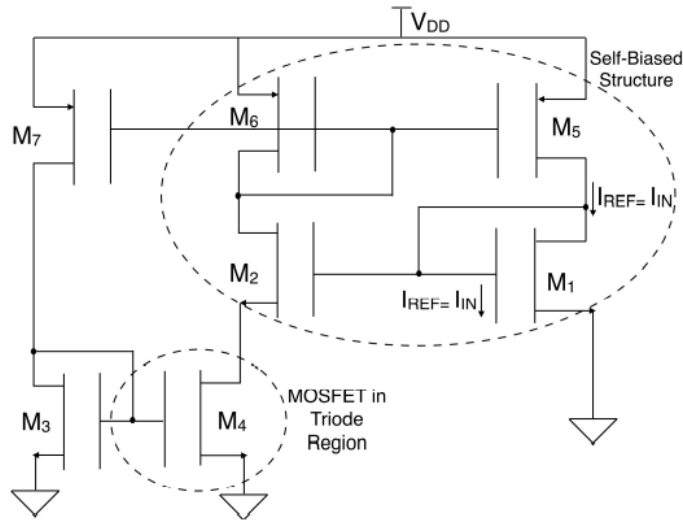


Figura 9 – Fonte de Corrente sem resistor  
Fonte: (SHARMA, 2016)

Nessa topologia um espelho de corrente NMOS substitui o resistor  $R_S$  da topologia da Fig. 8. A tensão no *source* do transistor  $M_2$  é dada através da Eq. 2.19

$$V_{S2} = V_T \ln\left(\frac{S_2 S_5}{S_1 S_6}\right) \quad (2.19)$$

Onde os valores de  $S$  correspondem às razões de  $W/L$  dos transistores.  $M_4$  está operando na região de triodo e  $M_3$  funciona na região de saturação, sendo ambos polarizados em forte inversão (SHARMA, 2016). A corrente de dreno que percorre por  $M_3$  é a corrente  $I_{OUT}$  do circuito, ela é encontrada através da Eq. 2.20

$$I_{OUT} = \frac{1}{2} \mu_n C_{ox} S_3 (V_{G3} - V_{TH})^2 \quad (2.20)$$

Todos os PMOS do circuito foram projetados para operar em inversão forte, já  $M_1$  e  $M_2$  operam em inversão fraca (SHARMA, 2016).

### 2.3 Low-Dropout Regulator

*Low-Dropout Regulator* (LDO) é um circuito que age como um regulador linear de tensão. Reguladores de tensão são circuitos que se comportam como uma fonte de tensão constante ajustando sua resistência interna de acordo com as mudanças da resistência de carga (ČERMÁK, 2016). A tensão *Dropout* ( $V_{DO}$ ) refere-se à diferença de tensão mínima que a tensão de entrada,  $V_{IN}$ , deve manter acima da tensão de saída desejada,  $V_{OUT}$ , para uma regulação adequada (TEXAS INSTRUMENTS, 2018). A Equação 2.21 demonstra o cálculo da tensão  $V_{DO}$ .

$$V_{IN} \geq V_{OUT} + V_{DO} \quad (2.21)$$

Além da tensão *dropout*, quando se trata de LDO's, existem dois termos muito importantes: *Input Rail Range* e *Output Regulated Voltage Range*. *Input Rail Range* diz respeito a faixa de tensão de alimentação de entrada que pode ser regulada, já *Output Regulated Voltage Range* diz respeito a variação da tensão de saída em que é garantido o regulamento da tensão (SÁNCHEZ-SINENCIO, 2010). A Figura 10 apresenta uma representação visual dos termos apresentados anteriormente.

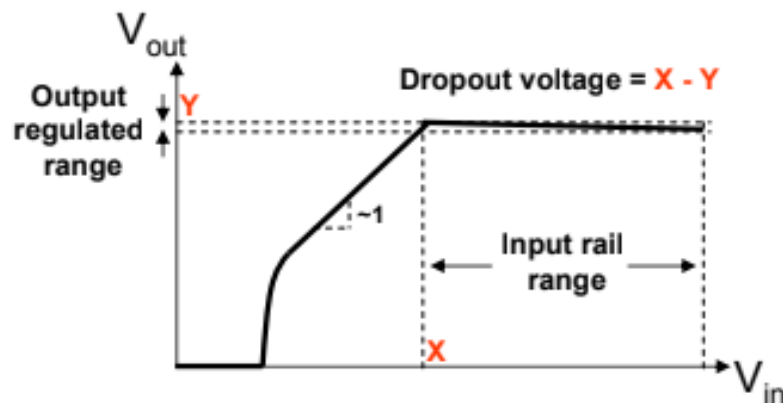


Figura 10 – Parâmetros de um LDO  
Fonte: (SÁNCHEZ-SINENCIO, 2010)

A topologia básica de um *Low-Dropout Regulator* geralmente consiste nos seguintes elementos: uma tensão de entrada, uma tensão de referência, um amplificador de erro, um resistor de amostragem e um elemento de passagem (geralmente um MOS) (AZIZ et al., 2013).

A operação de um LDO consiste na realimentação do amplificador para controlar o fluxo de corrente de saída do dispositivo MOS que aciona a carga. A tensão de saída do circuito será ajustada para uma tensão estável através de  $R_1$ ,  $R_2$  e a tensão de referência e assim que houver uma variação no valor da tensão de saída, o amplificador operacional será forçado a ajustar o valor da corrente que flui pelo transistor (AZIZ et al., 2013). A Equação 2.22 apresenta o cálculo da tensão de saída e a Fig. 11 apresenta a topologia básica de um LDO.

$$V_{OUT} = V_{REF} \cdot \left(1 + \frac{R_1}{R_2}\right) \quad (2.22)$$

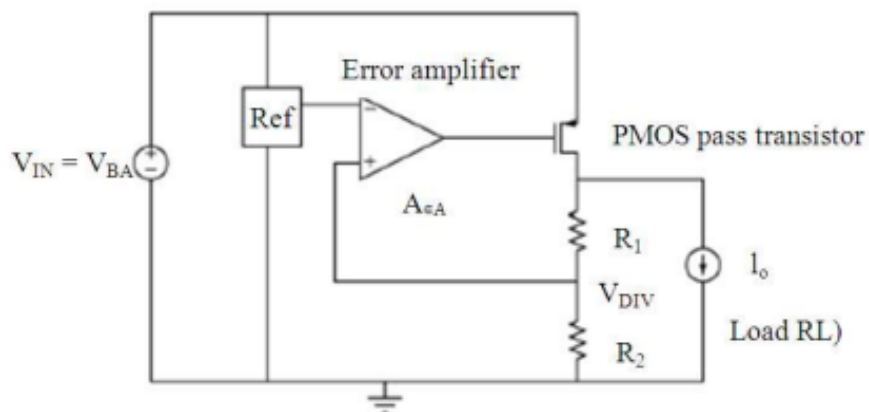


Figura 11 – Topologia básica de um LDO  
 Fonte: (AZIZ et al., 2013)

### 2.3.1 Topologias de *Low-Dropout Regulator*

Dentre as topologias existentes para um *Low-Dropout Regulator*, duas são as principais: a que utiliza um PMOS como transistor de passagem e a que utiliza um NMOS como transistor de passagem.

A Figura 12 apresenta o *design* de um LDO cuja topologia utiliza um PMOS como *pass transistor* (percebe-se que é um circuito semelhante ao apresentado na Fig. 11).

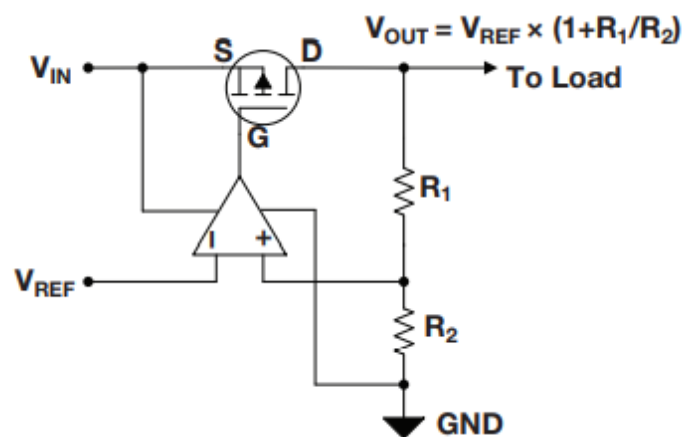


Figura 12 – LDO com um PMOS  
 Fonte: (TEXAS INSTRUMENTS, 2018)

Para LDO's que utilizam PMOS é recomendado que o transistor esteja operando na região de saturação, devido ao problema de estabilidade em diferentes tensões de entrada (LEUNG; MOK, 2003). O *pass transistor* funciona de forma que caso a tensão de realimentação for menor que a tensão de referência, o *gate* do dispositivo PMOS é puxado para baixo, garantindo que mais corrente passe e conseqüente aumente a tensão de saída,

já se a tensão de realimentação for maior que a tensão de referência, o *gate* do transistor é puxado para cima, garantindo que menos corrente passe e conseqüentemente diminuindo a tensão de saída (REVERSE, 2009).

Dentre as vantagens de se utilizar um LDO com dispositivo PMOS é que seu *Power Supply Rejection Ratio* (PSRR) é melhor se comparado com LDO's que usam NMOS, além de não haver necessidade de adicionar um *charge pump* no circuito (SÁNCHEZ-SINENCIO, 2010).

Já a Fig. 13 apresenta a topologia de um LDO que utiliza um transistor NMOS como *pass transistor*.

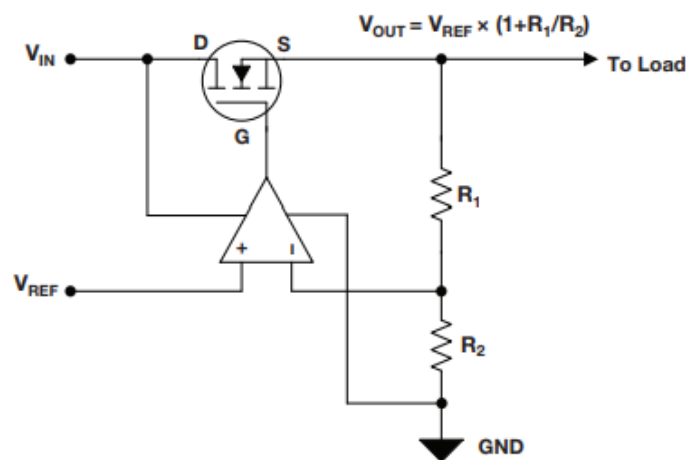


Figura 13 – LDO com um NMOS  
Fonte: (TEXAS INSTRUMENTS, 2018)

Para essa topologia, à medida que o valor de  $V_{IN}$  se aproxima do valor de  $V_{OUT}$ , o amplificador operacional aumentará  $V_{GS}$  afim de baixar o valor de  $R_{DS}$  e manter a regulagem (TEXAS INSTRUMENTS, 2018).

Topologias que utilizam um transistor NMOS possuem algumas vantagens, por exemplo: a capacitância do *gate* do NMOS é menor quando comparada à um PMOS, logo isso ajuda a empurrar os pólos internos para frequências mais altas (HE et al., 2022). Além disso, a tensão *gate-to-source* do transistor NMOS é alterada diretamente quando a corrente de carga é alterada, acarretando em uma melhor resposta transiente (HE et al., 2022).

Entretanto, uma das principais desvantagens de se utilizar um NMOS como *pass transistor* é o fato de que geralmente é incluído um *charge pump* no circuito, o que ocasiona alguns prejuízos como uma maior corrente quiescente e ruído *charge pump* extra (SÁNCHEZ-SINENCIO, 2010).

É muito comum o uso de um capacitor grande (chamado de capacitor *off-chip*)

para o LDO, uma vez que ele garante, durante mudanças de carga, que a corrente seja entregue imediatamente à carga até que o amplificador do circuito se estabilize, além de colaborar com a estabilidade do circuito. ([ČERMÁK, 2016](#)).



## 3 Desenvolvimento dos Circuitos

Este capítulo irá trazer as especificações que deverão ser atingidas com os projetos, além do passo-a-passo para a elaboração dos circuitos do trabalho, demonstrando os cálculos empregados e as justificativas para determinados valores escolhidos.

### 3.1 Especificações

Para este trabalho foram estabelecidos alguns resultados esperados para o *bandgap*, para o *current source* e para o *low-dropout regulator*. Esses valores foram fundamentados em trabalhos para aplicações portáteis de baixo consumo e podem ser vistos na Tab. 1, Tab. 2 e Tab. 3, respectivamente.

Tabela 1 – Valores estipulados para o *bandgap*

Parâmetro	Valor Min.	Valor Typ.	Valor Máx.	Unidade de Medida
$V_{DD}$	3,0	3,3	3,6	V
$V_{BG}$	TBD*	1,25	TBD*	V
Temperatura	-40	27	125	°C

\*TBD (*To Be Defined*) = valor ainda a ser definido.

Tabela 2 – Valores estipulados para o *current source*

Parâmetro	Valor Min.	Valor Typ.	Valor Máx.	Unidade de Medida
$V_{DD}$	3,0	3,3	3,6	V
$I_{OUT}$	TBD	1	TBD	$\mu A$

Tabela 3 – Valores estipulados para o *low-dropout regulator*

Parâmetro	Valor Min.	Valor Typ.	Valor Máx.	Unidade de Medida
$V_{DD}$	3,0	3,3	3,6	V
$V_{OUT}$	1,62	1,65	1,68	V
$I_{OUT}$	1,20	1,25	1,30	mA

Para a criação dos circuitos foi utilizado o programa de computador *CADENCE Virtuoso*, onde nele foi possível fazer o *design* dos circuitos além de poder simular seus resultados. A tecnologia utilizada pelos componentes foi a UMC 0.18um (utilizada pelos transistores CMOS, transistores bipolares de junção, resistores e capacitores) e a Analoglib (utilizada para o  $V_{DD}$ , *ground*, capacitores, resistores, fonte de corrente e fonte de tensão VCVS).

Os transistores usados no trabalho são do tipo 3,3V uma vez que essa é a tensão de alimentação utilizada nos circuitos, seus parâmetros podem ser observados na Tab. 4.

Tabela 4 – Parâmetro dos Transistores CMOS utilizados

Parâmetro	Valor	Unidade de Medida
$V_{THp0}$	-0,7	V
$V_{THn0}$	0,65	V
$\mu_p C_{ox}$	39,8	$\mu A/V^2$
$\mu_n C_{ox}$	168	$\mu A/V^2$

É desejável que os transistores utilizados no projeto estejam operando na região de saturação, uma vez que assim eles se comportam como um curto-circuito entre o coletor e o emissor do componente.

## 3.2 Projeto do *Bandgap* com componentes ideais

Para este projeto foi utilizada a topologia de *Bandgap* apresentada na Fig. 5, por ser uma topologia comumente utilizada e sua resposta ser independente da tensão de alimentação do circuito.

Para o projeto foi utilizado um amplificador ideal que possui características como: resposta de frequência infinita, impedância de saída igual a zero, impedância de entrada infinita e ganho infinito em malha aberta (SEDRA; SMITH, 2010). Pelo fato de nenhuma das tecnologias utilizadas possuírem um modelo de amplificador ideal, foi preciso projetar um.

Primeiro foi aplicado o componente VCVS da *AnalogLib*, que é um *Linear Voltage Controlled Voltage Source*, onde a corrente através da fonte de tensão é calculada e caso flua do terminal positivo até o negativo, seu valor é positivo (CADENCE, 2004). Este componente possui um ganho de tensão que pode ser definido.

Foi adicionado também um filtro passa-baixo com 2 resistores e 2 capacitores de modo a se comportar como um sistema de dois polos, dando ao amplificador uma margem de fase e um produto ganho-banda. Foi estabelecido que o amplificador teria um ganho de 100dB e uma margem de fase de 60°, desse modo foi possível encontrar os valores dos resistores e dos capacitores utilizados através do código de MatLab apresentado no APÊNDICE A. A Fig. 14 apresenta o esquemático do circuito do AmpOp ideal.

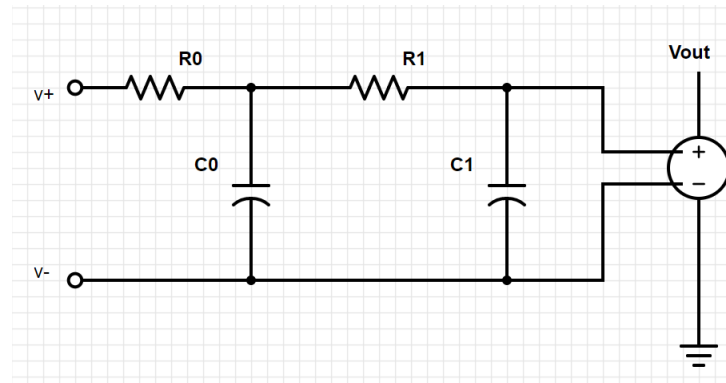


Figura 14 – Esquemático do Amplificador Operacional Ideal

Após o amplificador operacional estar pronto, foram pensados os transistores PMOS a serem utilizados. Foi estabelecido que seus tamanhos seriam iguais, uma vez que o objetivo é que as correntes que fluíssem neles fossem idênticas. O valor de  $W$  definido foi de  $2,66u$  e o valor de  $L$  sendo  $2u$ , assim os componentes ficaram com um tamanho não muito grande.

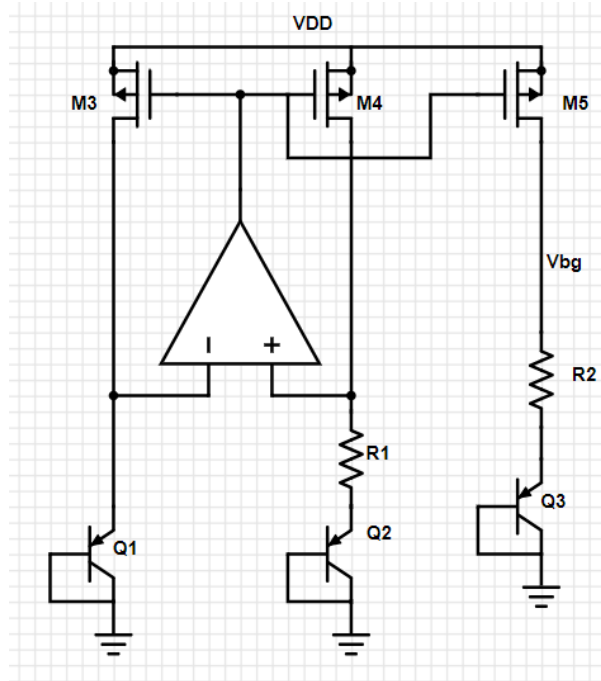
Com relação ao número de TBJ's a se utilizar, foi definido 8 transistores em paralelo para representar o  $Q_2$  da Fig. 5, esse valor foi escolhido tendo base no projeto de *bandgap* apresentado em (COLOMBO, 2009). Todos os TBJ's utilizados neste projeto são do mesmo modelo, com ambos valores de  $W$  e  $L$  sendo  $10u$ , ocupando assim uma área equivalente a  $10^{-10}m^2$ .

Para o valor do resistor  $R_1$  foi estabelecido um valor de  $1k\Omega$ , por ser um valor que simplifica os cálculos e que apresentou uma boa resposta quando simulado. Com todos esses componentes definidos se tornou possível calcular o valor do resistor  $R_2$  afim de que o circuito *bandgap* funcione corretamente. Ao se utilizar a Eq. 2.14, chegou-se na expressão apresentada na Eq. 3.1.

$$17,2 = \frac{R_2}{1000} \ln 8 \quad (3.1)$$

$$R_2 = 8271,45 \quad (3.2)$$

Com isso, foi finalizado o *design* do *bandgap* do trabalho. A Fig. 15 apresenta o esquemático do circuito e a Tab. 5 os valores dos parâmetros dos componentes.

Figura 15 – Esquemático do *Bandgap*Tabela 5 – Parâmetro dos componentes utilizados no *Bandgap*

Componente	Valor	Unidade de Medida
$R_1$	1	$k\Omega$
$R_2$	8,2	$k\Omega$
$M_3, M_4, M_5$	2,66/2	$\mu m$

### 3.3 Projeto do *Current Source* com componentes ideais

Para este projeto foi utilizada a topologia de *current source* apresentada na Fig. 8, por se tratar de uma fonte de corrente comumente utilizada, além da sua resposta ser independente da tensão de alimentação.

Inicialmente foi definido que os transistores  $M_1$ ,  $M_3$  e  $M_4$  teriam um valor de  $W$  e  $L$  de  $40\mu m$ , valores relativamente altos afim de diminuir efeitos de modulação de comprimento do canal. Afim de se ter um fator de multiplicação de 2 (o valor de  $K$ ), o transistor  $M_2$  ficou com um tamanho de  $80\mu m$  e  $40\mu m$  nas dimensões  $W$  e  $L$ , respectivamente.

Com esses parâmetros já estabelecidos, junto dos dados apresentados na Tab. 4, é possível utilizar a Eq. 2.18 para determinar o valor do resistor do circuito. Este valor é apresentado na Eq. 3.4.

$$10^{-6} = \frac{2}{168 \cdot 10^{-6} \cdot 1} \frac{1}{R_S^2} \left(1 - \frac{1}{\sqrt{2}}\right)^2 \quad (3.3)$$

$$R_S = 33186\Omega \quad (3.4)$$

Com isso, foi finalizado o *design* do *current source* do trabalho. A Fig. 16 apresenta o esquemático do circuito e a Tab. 6 os valores dos parâmetros dos componentes.

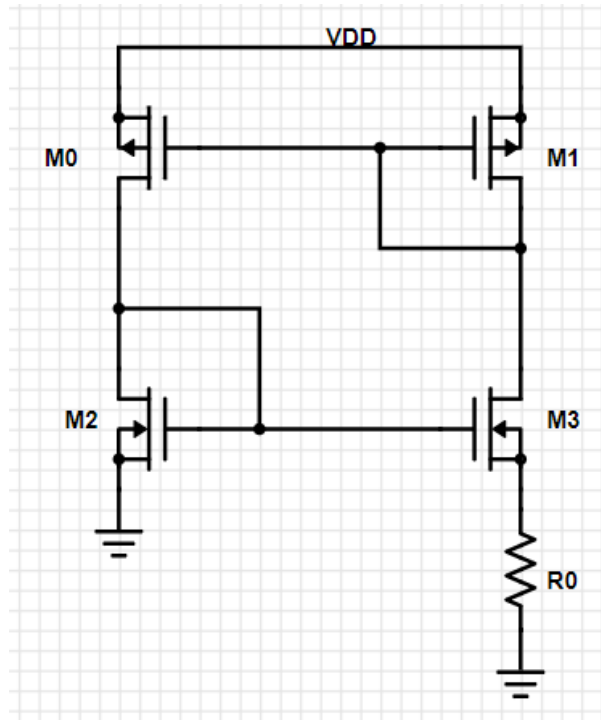


Figura 16 – Esquemático do *Current Source*

Tabela 6 – Parâmetro dos componentes utilizados no *Current Source*

Componente	Valor	Unidade de Medida
$R_0$	33	$k\Omega$
$M_3^*$	80/40	$\mu m$
$M_0^*, M_1^*, M_2^*$	40/40	$\mu m$

\* Nota-se que ao se comparar com a Fig. 8, os transistores apresentados possuem nomenclaturas diferentes. Isto é apenas uma divergência nominal e não afeta no funcionamento do *Current Source*. Para os próximos capítulos, ao se referenciar o projeto da fonte de corrente, será usada a nomenclatura de componentes utilizada na Fig. 16.

### 3.4 Projeto do *Bandgap* com componentes reais

Para esse projeto foi usada como referência a mesma topologia de *bandgap* apresentada em na seção 3.2, porém com componetes da biblioteca UMC  $0.18\mu m$  para todo o circuito (não fazendo mais uso da biblioteca Analoglib).

Como o papel do AmpOp em um circuito *bandgap* é garantir que as tensões da entrada inversora e não-inversora sejam iguais, um alto ganho não é crítico, com isso foi projetado um amplificador operacional de 1 estágio. Seu design e os valores dos componentes podem ser vistos no *APÊNDICE B*.

Ao aplicar um amplificador operacional real no projeto, muitas mudanças ocorrem em comparação ao projeto apresentado na seção 3.2 tendo em vista que agora o amplificador não possui uma impedância de entrada infinita e apresenta uma impedância de saída. Outro ponto que vale destacar é o fato do amplificador operacional agora necessitar de uma corrente de polarização e para isso foi feito uso do projeto do *current source* real apresentado na seção 3.5. Todas essas alterações culminaram em mudanças no valor dos componentes utilizados para o *bandgap*. O *design* do projeto é o mesmo mostrado na Fig. 15 e os valores dos componentes são apresentados na Tab. 7

Tabela 7 – Parâmetro dos componentes utilizados no *Bandgap* real

Componente	Valor	Unidade de Medida
$R_1$	10	$k\Omega$
$R_2$	97	$k\Omega$
$M_3, M_4, M_5$	100/1,5	$\mu m$

Com o valor do resistor  $R_1$  tendo sido estabelecido como 10000 $\Omega$  e a proporção dos TBJ's serem de 1:8, foi possível estabelecer o valor do resistor  $R_2$  fazendo uso da equação apresentada em 2.14.

$$17,2 = \frac{R_2}{10000} \ln 8 \quad (3.5)$$

$$R_2 = 82.714,5 \quad (3.6)$$

Entretanto, com o valor de  $R_2$  expressado em 3.6 o projeto não apresentava o comportamento esperado, então afim de se alcançar um valor de tensão de saída mais próximo do desejado, foi feito um aumento no valor do resistor  $R_2$ .

Outra mudança realizada para esse projeto foi com relação aos valores de  $W/L$  dos dispositivos CMOS  $M_4$  e  $M_5$  do amplificador real. Ao fazer simulações DC, foi notado que não estava chegando corrente suficiente para o correto funcionamento do amplificador, afetando então o funcionamento de todo o *bandgap*. De forma a aumentar o valor da corrente  $I_D$  que passa pelo transistor, nota-se pela Eq. 2.20 que seu valor é diretamente proporcional à  $W/L$ , com isso o valor foi aumentado para 100/50 $\mu m$  (o valor do *multiplier* permaneceu o mesmo).

Com relação as dimensões dos dispositivos PMOS, seu tamanho teve um aumento significativo. Isso foi necessário afim de garantir a capacidade de fornecer corrente para os transistores. Além disso, pelo fato do amplificador real já possuir uma impedância de saída, um valor alto de  $W/L$  estabelece um valor baixo de  $r_{DS}$  (resistência entre dreno e source).

### 3.5 Projeto do *Current Source* com componentes reais

Para esse projeto foi usada a mesma topologia de fonte de corrente apresentada na seção 3.3, porém com componetes da biblioteca UMC  $0.18\mu m$  substituindo os componentes que eram da biblioteca Analoglib, além da adição de um circuito *start-up* para uma melhor resposta transiente do projeto. A topologia desse projeto é apresentada na Fig. 17 e os valores dos componentes utilizados são apresentados na Tab. 8

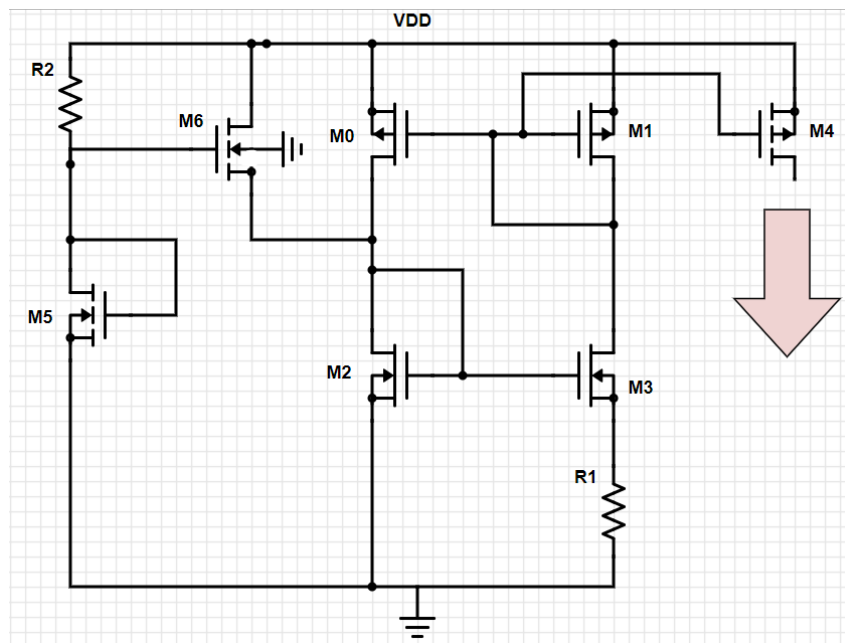


Figura 17 – Esquemático do *Current Source* real

Tabela 8 – Parâmetro dos componentes utilizados no *Current Source* real

Componente	Valor	Unidade de Medida
$R_1$	48	$k\Omega$
$R_2$	200	$k\Omega$
$M_3$	100/40	$\mu m$
$M_0, M_1, M_2, M_4$	40/40	$\mu m$
$M_5$	0,340/1	$\mu m$
$M_6$	10/4	$\mu m$

Para essa fonte de corrente foi feito o uso dos mesmos valores de  $W/L$  que a fonte de corrente com componentes reais, contudo, afim de se obter uma menor variação dos valores da corrente de saída com o aumento da tensão de alimentação, o valor de " $K$ " foi aumentado para 2,5.

Ao se observar a Eq. 2.18 nota-se que " $K$ " é proporcional ao valor da corrente de saída, desta forma é necessário que o valor do resistor  $R_S$  seja aumentado, uma vez que ele é inversamente proporcional à corrente de saída. Através da expressão apresentada na Eq. 3.7 é encontrado o novo valor para o resistor  $R_S$

$$10^{-6} = \frac{2}{168 \cdot 10^{-6} \cdot 1} \frac{1}{R_S^2} \left(1 - \frac{1}{\sqrt{2,5}}\right)^2 \quad (3.7)$$

$$R_S = 40201\Omega \quad (3.8)$$

A fim de se obter um valor de corrente  $I_{OUT}$  mais próximo de  $1\mu A$ , foi realizado um aumento no valor do resistor  $R_S$ .

Com relação ao funcionamento do circuito *start-up*, quando a fonte de corrente estiver no ponto de equilíbrio indesejado, as correntes que passam por  $M_2$  e  $M_3$  são igual a zero (ALLEN; HOLBERG, 2012). Entretanto, o transistor  $M_6$  irá fornecer uma corrente para  $M_2$  que fará com que o circuito se mova para o ponto de equilíbrio de forma que com o passar do tempo a tensão no *source* de  $M_6$  aumenta, fazendo sua corrente  $I_D$  diminuir (ALLEN; HOLBERG, 2012).

Afim de fazer com que a fonte de corrente tivesse um consumo de potência o menor possível, foi preciso garantir que pouca corrente passasse pelo resistor  $R_2$ . Usando a Lei de Ohm é possível garantir isso através de 2 formas: aumentando o valor do resistor  $R_2$  e diminuindo o valor de  $W/L$  do transistor  $M_5$ .

### 3.6 Projeto do *Low-Dropout Regulator* com componentes reais

Para esse projeto foi feito o uso de componentes da tecnologia UMC  $0.18\mu m$ , entretanto tanto a fonte de corrente de carga quanto a tensão de referência do circuito foram feitas utilizando a biblioteca Analoglib. A topologia utilizada foi a mesma apresentada na Fig. 12, tendo sido adicionado um capacitor e uma fonte de corrente na saída do circuito. O design do circuito e os valores dos componentes são apresentados respectivamente na Fig. 18 e na Tab. 9.



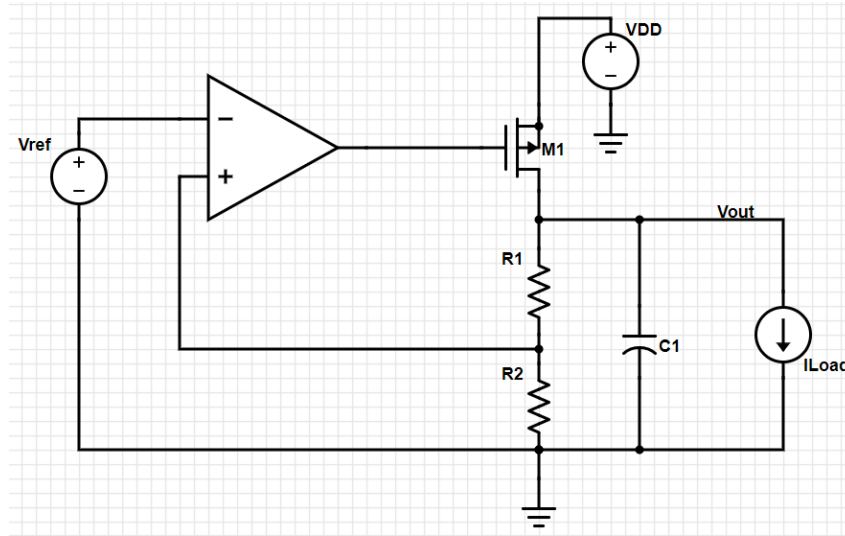


Figura 18 – Esquemático do LDO real

Tabela 9 – Parâmetro dos componentes utilizados no LDO real

Componente	Valor	Unidade de Medida
$C_1$	100	$pF$
$R_1$	320	$\Omega$
$R_2$	1	$k\Omega$
$M_1^*$	100/3	$\mu m$

\* O *Multiplier* desse componente foi de 5000

O valor da tensão de referência desse projeto foi de  $1,25V$  e foi previsto que o resistor  $R_2$  seria de  $1000\Omega$ , desta forma, afim de garantir uma tensão de saída de  $1,65V$  (como estipulado na seção 3.1), foi feito o uso da Eq. 3.9 de forma a determinar o valor do resistor  $R_1$ .

$$V_{OUT} = V_{REF} \left( 1 + \frac{R_1}{R_2} \right) \quad (3.9)$$

$$R_1 = 320\Omega \quad (3.10)$$

Já com relação as dimensões do *pass transistor* utilizado no projeto, é preferível que ele possua um tamanho muito grande afim de o LDO apresente uma boa operação mesmo em um *dropout* baixo. Ao se deparar com a Eq. 3.11 é possível observar que para valores baixos de  $V_{DS}$ , o valor de  $r_{DS}$  também se torna baixo.

$$r_{DS} = \frac{V_{DS}}{I_{DS}} \quad (3.11)$$

---

Como o valor de  $W/L$  é inversamente proporcional ao valor de  $r_{DS}$ , é conveniente o uso de um *pass transistor* bem grande. Trabalhos como (KUMAR; SUJATHA, 2015) também fazem o uso de um PMOS com dimensões bem grandes.

## 4 Resultados e Discussões

Este capítulo irá trazer os resultados alcançados através de simulações realizadas com os circuitos projetados no capítulo anterior. Além disso, será feita uma discussão acerca dos valores obtidos.

### 4.1 Projeto do *Bandgap*

#### 4.1.1 Componentes ideais

O circuito apresentado na Fig. 15 foi simulado no próprio programa *CADENCE Virtuoso*. Para validar o projeto foi feita uma variação no valor da temperatura de  $-40^{\circ}\text{C}$  até  $125^{\circ}\text{C}$ , de forma a analisar o comportamento a saída  $V_{BG}$ . O resultado pode ser visto na Fig. 19

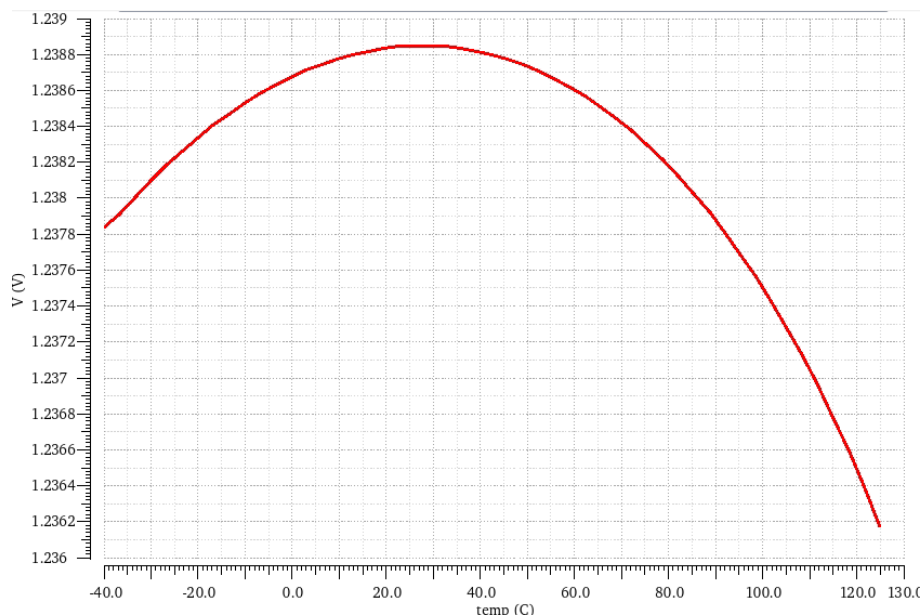


Figura 19 – Resposta  $V_{BG}$  do *Bandgap*

O valor máximo encontrado na curva se situa em  $27^{\circ}\text{C}$ , uma vez que foi assumido no Capítulo 2 que as equações apresentadas estariam em temperatura ambiente. A tensão encontrada foi de  $1,2388\text{V}$  no valor máximo, sendo  $99,1\%$  do valor que foi definido no Capítulo 3.

A variação de  $V_{BG}$  apresentada foi de  $0,0027V$  o que é um valor bastante adequado para uma fonte de tensão por se tratar de uma variação muito pequena. Nota-se que a resposta do *bandgap* não é um valor constante e sim uma curva, isso se deve ao fato dos valores dos resistores utilizados variarem com a temperatura, logo essas mudanças interferiram na tensão de saída do circuito.

Além da resposta apresentada, foi feita uma simulação com o mesmo design apresentado na Fig. 15 com as dimensões dos transistores diferentes, porém mantendo a mesma proporção de  $W/L$ . Inicialmente foi dobrado o tamanho das dimensões dos PMOS, obtendo uma expressão de  $W/L$  igual à  $5,32\mu m/4\mu m$ , e depois foi dividido pela metade as dimensões dos PMOS, obtendo uma expressão de  $W/L$  igual à  $1,33\mu m/1\mu m$ . O resultado da tensão  $V_{BG}$  do circuito com os transistores com dimensões dobradas e do circuito com os transistores com as dimensões pela metade podem ser vistos na Fig. 20 e na Fig. 21, respectivamente.

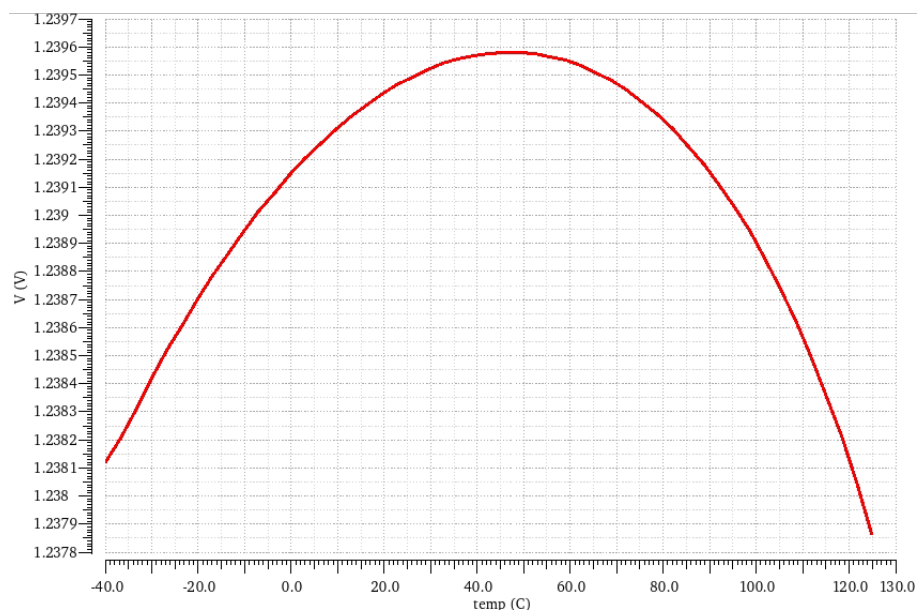


Figura 20 – Resposta  $V_{BG}$  do *Bandgap* com PMOS de dimensões dobradas

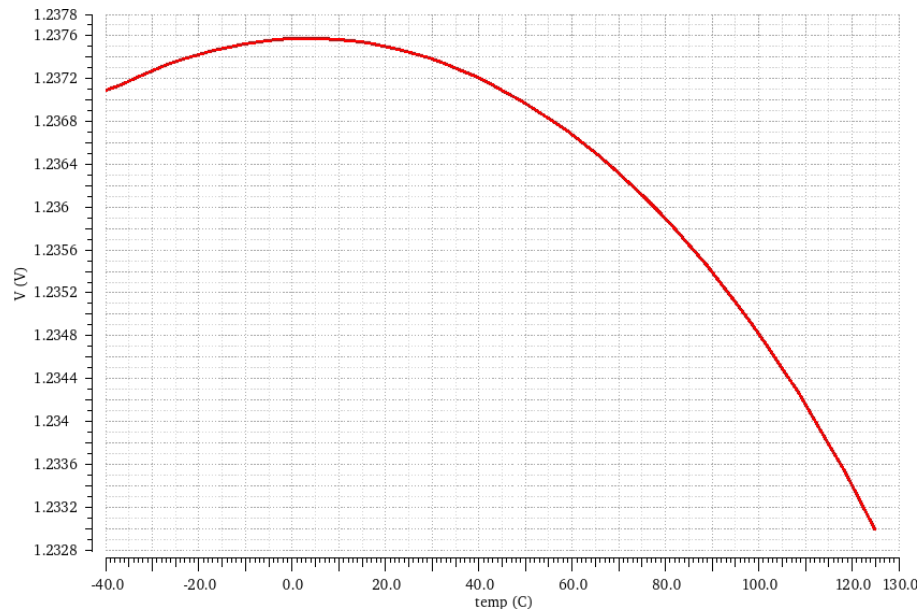


Figura 21 – Resposta  $V_{BG}$  do *Bandgap* com PMOS de dimensões pela metade

Nota-se que o comportamento das respostas do circuito mudaram com relação ao resultado mostrado na Fig. 19. Primeiramente é possível afirmar que as dimensões dos transistores influenciam diretamente no valor da tensão em  $27^{\circ}C$  alcançada pelo *bandgap*, de modo que com o tamanho dobrado chegou-se a alcançar uma tensão de saída de  $1,23950V$  e com o tamanho pela metade chegou-se a alcançar uma tensão de saída de  $1,23742V$ .

Outro ponto a se observar é o comportamento da curva  $V_{BG}$ , com o aumento das dimensões dos PMOS a temperatura em que foi obtido um valor maior de tensão de saída foi aumentando. Com o tamanho pela metade o valor máximo foi de  $1,23757V$  a  $3^{\circ}C$ , com a dimensão padrão o valor máximo foi de  $1,23880V$  a  $27^{\circ}C$  (como mostrado anteriormente) e com o tamanho dobrado o valor máximo foi de  $1,23950V$  a  $45^{\circ}C$ .

Por fim, conclui-se também que com o quanto maior a medida dos transistores utilizados, menor será a variação dos valores da tensão  $V_{BG}$ . A menor medida obteve um  $\Delta V_{BG}$  de  $0,0046V$  e o circuito com maior medida obteve um  $\Delta V_{BG}$  de  $0,0017V$ .

Outras simulações também foram feitas, desta vez seguindo o mesmo design da Fig. 15, entretanto o número de TBJ's utilizados representando  $Q_2$  da Fig. 5 foi modificado, e conseqüentemente o valor do resistor  $R_2$  da Fig. 5 também foi alterado. Inicialmente o número de TBJ's foi dobrado, sendo utilizado 16 ao invés de 8, com isso, empregando a Eq. 3.2, chegou-se em um  $R_2$  de  $6.203,58\Omega$ . Depois o número de TBJ's foi dividido pela metade, sendo utilizado 4 ao invés de 8, com isso, empregando a Eq. 3.2, chegou-se em um  $R_2$  de  $12.407,17\Omega$ .

O resultado da tensão  $V_{BG}$  do circuito com o número de TBJ's dobrado e do

circuito com o número de TBJ's pela metade podem ser vistos na Fig. 22 e na Fig. 23, respectivamente.

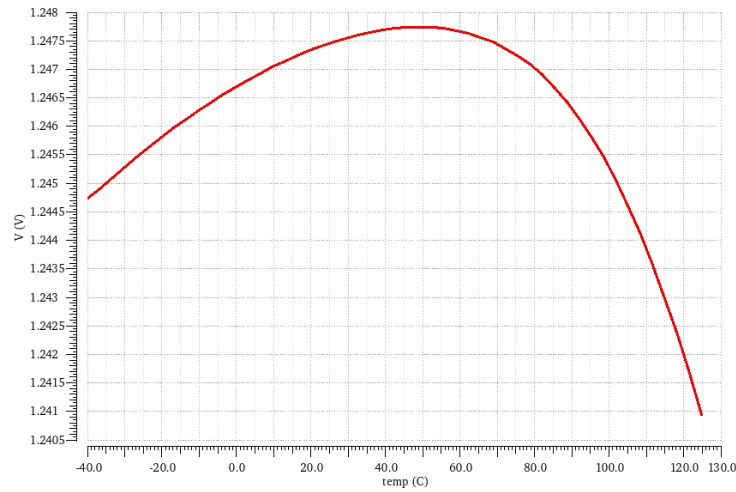


Figura 22 – Resposta  $V_{BG}$  do *Bandgap* com o número de TBJ's dobrado

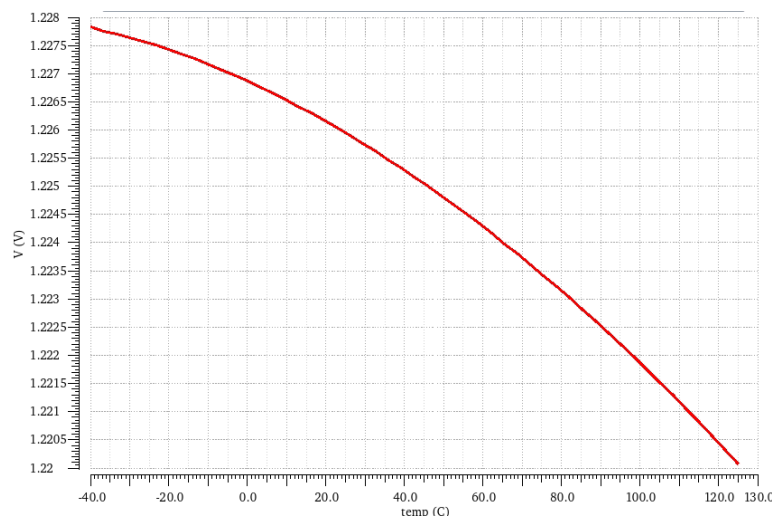


Figura 23 – Resposta  $V_{BG}$  do *Bandgap* com o número de TBJ's pela metade

Nota-se que o comportamento das respostas do circuito mudaram com relação ao resultado mostrado na Fig. 19. Primeiramente é possível afirmar que o número de transistores bipolares influencia diretamente no valor da tensão em  $27^{\circ}C$  alcançada pelo *bandgap*, de modo que com o número dobrado chegou-se a alcançar uma tensão de saída de  $1,2475V$  e com o número pela metade chegou-se a alcançar uma tensão de saída de  $1,2258V$ .

Outro ponto a se observar é o comportamento da curva  $V_{BG}$ , com o aumento do número de TBJ's a temperatura em que foi obtido um valor maior de tensão de saída foi aumentando. Com o número pela metade o valor máximo foi de  $1,22783V$  a  $-40^{\circ}C$ , com

o número padrão o valor máximo foi de  $1,23880V$  a  $27^{\circ}C$  (como mostrado anteriormente) e com o número dobrado o valor máximo foi de  $1,24774V$  a  $49^{\circ}C$ .

Por fim, com relação ao comportamento da curva de resposta, ao se utilizar 4 transistores a tensão  $V_{BG}$  não apresentou o desempenho esperado, não exibindo uma parábola. Nota-se também que a variação da tensão de saída foi um valor alto, sendo um  $\Delta V_{BG}$  de  $0,0078V$ . Já a curva de resposta fazendo uso de 16 transistores bipolares apresentou um comportamento de parábola, tendo um  $\Delta V_{BG}$  de  $0,0068V$ .

Conclui-se que o número de TBJ's a se utilizar para se ter um menor valor de  $\Delta V_{BG}$  utilizando este design, com valores de  $W/L$  de  $2,66\mu/2\mu$ , está entre 4 e 16.

Por fim, as tabelas 10 e 11 trazem um comparativo dos resultados apresentados nessa seção.

Tabela 10 – Resultados de acordo com mudanças nas dimensões dos PMOS do *bandgap*

Resultado	$1,33\mu/1\mu$	$2,66\mu/2\mu$	$5,32\mu/4\mu$
$V_{BG}$	$1,2375V$	$1,2388V$	$1,2395V$
$\Delta V_{BG}$	$0,0046V$	$0,0027V$	$0,0017V$
Temp. com maior $V_{BG}$	$3^{\circ}C$	$27^{\circ}C$	$45^{\circ}C$

Tabela 11 – Resultados de acordo com mudanças no número de TBJ's do *bandgap*

Resultado	4 TBJ's	8 TBJ's	16 TBJ's
$V_{BG}$	$1,2278V$	$1,2388V$	$1,2477V$
$\Delta V_{BG}$	$0,0078V$	$0,0027V$	$0,0068V$
Temp. com maior $V_{BG}$	$-40^{\circ}C$	$27^{\circ}C$	$49^{\circ}C$

#### 4.1.2 Componentes reais

De forma a validar o projeto do *bandgap* apresentado na seção 3.4, foi realizado uma simulação no programa *CADENCE Virtuoso* para acompanhar o comportamento da saída  $V_{BG}$  através da variação de temperatura (de  $-40^{\circ}C$  até  $125^{\circ}C$ ). O resultado dessa simulação pode ser visto na Fig. 24.

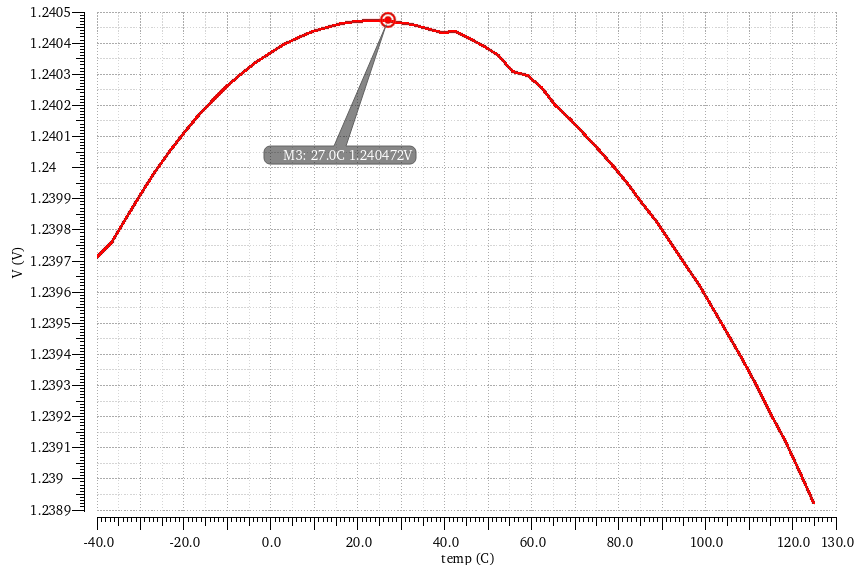


Figura 24 – Resposta  $V_{BG}$  do *Bandgap* com  $V_{DD} = 3.3V$

Nota-se que o circuito apresentou um comportamento esperado, com a saída do circuito apresentando uma curvatura semelhante a apresentada na Fig. 19. Seu valor máximo foi de  $1,2404V$ , um valor  $99,23\%$  do valor inicialmente estipulado, na temperatura de  $27^{\circ}C$  (de acordo com o estipulado na teoria).

Outro detalhe que foi levado em consideração para o projeto foi o coeficiente de temperatura (o quanto o valor muda de acordo com mudanças na temperatura). Pelo fato de um circuito *bandgap* ser uma fonte de tensão que na teoria é invariante com temperatura, é preciso que o projeto possua um valor de coeficiente de temperatura baixo. Seu valor é representado em  $ppm/^{\circ}C$  e pode ser expressado na Eq. 4.1.

$$TC = \frac{V_{REF\_max} - V_{REF\_min}}{V_{REF\_27^{\circ}C}(T_{max} - T_{min})} \cdot 10^6 \quad (4.1)$$

$$TC = \frac{1,2404 - 1,2390}{1,2404(125 - (-40))} \cdot 10^6 \quad (4.2)$$

$$TC = 7,329ppm/^{\circ}C \quad (4.3)$$

O valor encontrado de  $TC$  do projeto foi um valor bastante adequado para um *bandgap*, por se tratar de um valor baixo. A fim de se obter um valor menor de  $\Delta V_{BG}$ , é recomendado que o valor do vértice da curva de resposta esteja situado em torno de  $42^{\circ}C$  para a faixa de temperatura que foi utilizada no projeto.

Além da simulação apresentada na Fig. 24, foram realizadas simulações com variações no valor da tensão de alimentação do circuito de acordo com o que foi estipulado na Tab. 1, entretanto ao se realizar a simulação com  $V_{DD} = 3,6V$ , ocorreu erro de modelo



por parte do simulador, desta forma o projeto do bandgap foi operacionalmente validado para variações de  $V_{DD}$  entre 3V e 3,5V. A saída do circuito com tensão de alimentação igual a 3V e 3,5V podem ser vistos respectivamente na Fig. 25 e na Fig. 26, além disso a Tab. apresenta um comparativo dos resultados apresentados para os 3 valores de  $V_{DD}$  simulados.

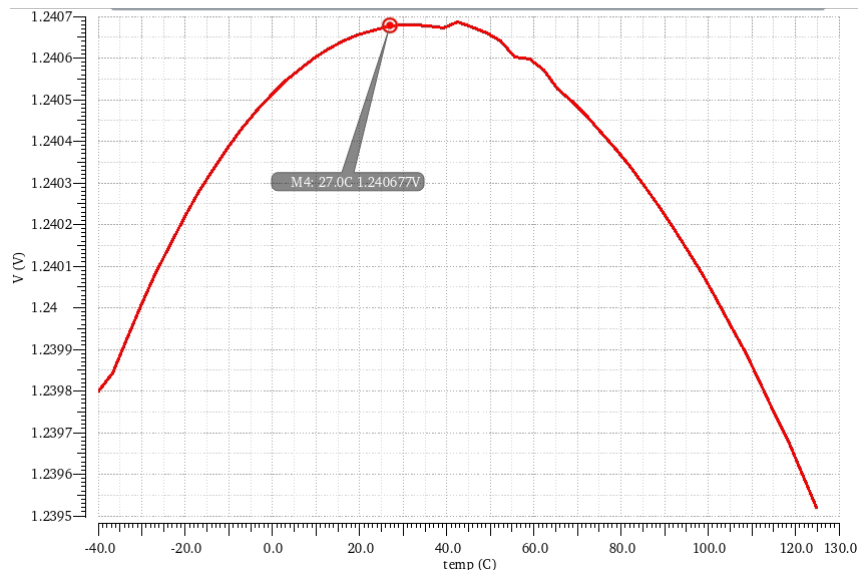


Figura 25 – Resposta  $V_{BG}$  do *Bandgap* com  $V_{DD} = 3.0V$

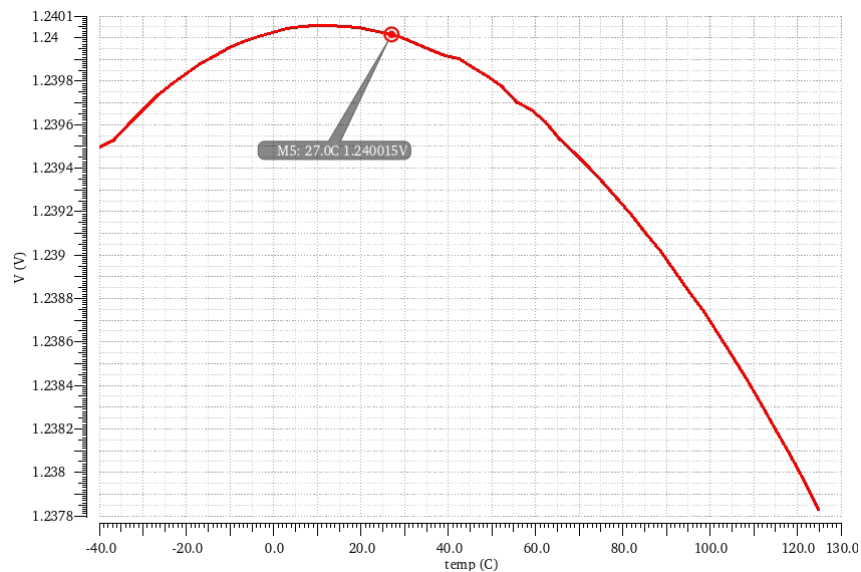
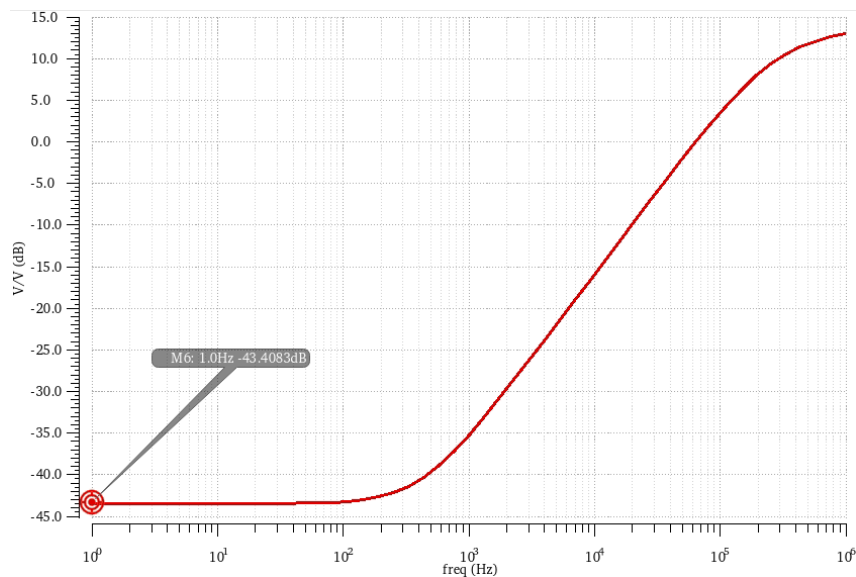


Figura 26 – Resposta  $V_{BG}$  do *Bandgap* com  $V_{DD} = 3.5V$

Tabela 12 – Resultados de acordo com mudanças no  $V_{DD}$  do *bandgap*

Resultado	3V	3,3V	3,5V
$V_{BG}(27^{\circ}C)$	1,2406V	1,2404V	1,24V
$TC(ppm/^{\circ}C)$	5,373	7,329	10,752
Temp. com maior $V_{BG}$	$27^{\circ}C$	$27^{\circ}C$	$12^{\circ}C$

Além das simulações DC, foi feita uma simulação para verificar o *power supply rejection ratio* (PSRR) do circuito. O PSRR é muito usado para descrever a capacidade do circuito em suprimir variações da fonte de alimentação (no caso desse projeto:  $V_{DD}$ ) na sua resposta. O PSRR do projeto pode ser visto na Fig. 27.

Figura 27 – Resposta *PSRR* do *Bandgap*

Nota-se que o valor alcançado de  $-43,4dB$  é um valor muito bom para o projeto do *bandgap*. Por fim, foi verificado que o projeto apresentou um consumo total de potência de  $56,13\mu W$ .

## 4.2 Projeto do *Current Source*

### 4.2.1 Componentes ideais

O circuito apresentado na Fig. 16 foi simulado no próprio programa *CADENCE Virtuoso*. Para validar o projeto foi feita uma variação no valor da tensão de alimentação do circuito de  $0V$  até  $3,3V$ , de forma a analisar o comportamento a corrente que passa pelo dreno do transistor  $M_3$ . O resultado pode ser visto na Fig. 28

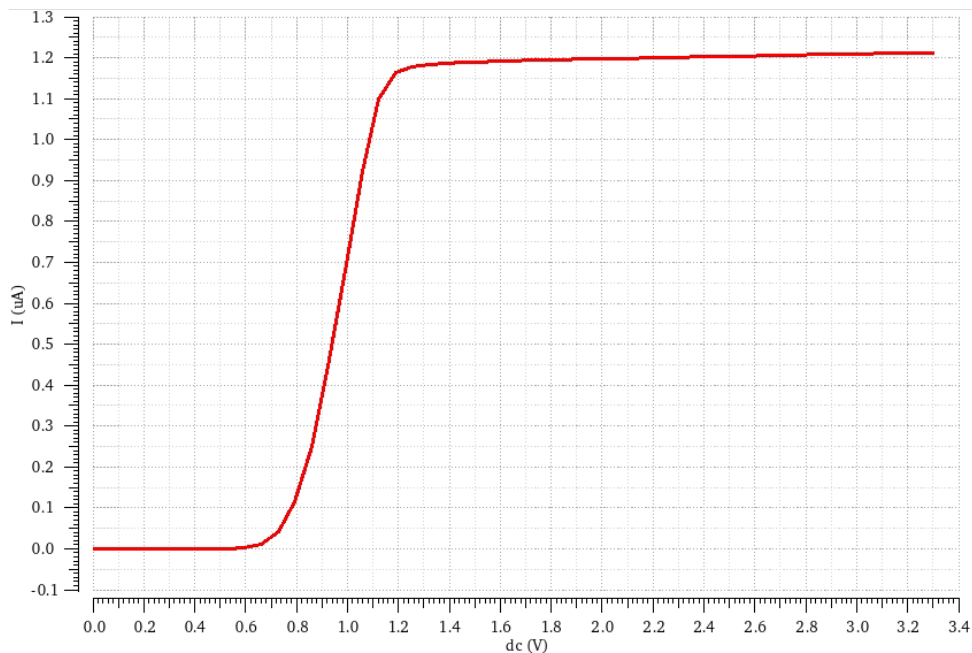


Figura 28 – Corrente  $I_{OUT}$  do *Current Source*

Como pode-se observar o circuito comportou-se da maneira que foi esperado. Nas tensões iniciais não existe corrente fluindo pelo NMOS uma vez que o valor da tensão de alimentação é menor do que a tensão necessária para que os transistores CMOS consigam operar. O *current source* só apresenta uma corrente constante quando o valor da tensão  $V_{DS}$  do  $M_3$  for maior do que a diferença entre as tensões  $V_{GS}$  e  $V_{TH}$ , estando assim em região de saturação.

O valor de  $I_{OUT}$  máximo encontrado foi de  $1,214 \mu A$ , sendo  $21,4\%$  a mais do que o valor estipulado no Capítulo 3. A variação dos valores de saída, a partir do  $V_{DC}$  igual a  $1,2 V$  ( $M_3$  em saturação) até  $3,3 V$ , foi de  $0,044 \mu A$ , um valor bastante adequado de variação para uma fonte de corrente.

A razão para que  $I_{OUT}$  não tenha apresentado uma resposta mais precisa do valor estipulado de  $1 \mu A$  é que nos cálculos utilizados pela Eq. 3.3 estima-se que os valores de  $V_{TH}$  dos dois NMOS sejam iguais, entretanto na prática eles apresentam uma pequena diferença ( $V_{TH}$  de  $M_2$  foi igual a  $0,6014 V$  enquanto que o  $V_{TH}$  de  $M_3$  foi igual a  $0,6121 V$ ) que foi o suficiente para incluir erros no sistema.

Além da resposta apresentada, foi feita uma simulação utilizando o mesmo *design* da Fig. 16 entretanto com tamanho de transistores diferentes, já o valor do fator de multiplicação  $K$  manteve-se como 2. Inicialmente foi diminuída em  $25\%$  as dimensões dos dispositivos CMOS,  $W$  e  $L$  igual a  $30 \mu m$  menos para  $M_3$  cujas dimensões foram

$60\mu\text{m}/30\mu\text{m}$ , e depois foi aumentada em 25% as dimensões dos dispositivos CMOS,  $W$  e  $L$  igual a  $50\mu\text{m}$  menos para  $M_3$  cujas dimensões foram  $100\mu\text{m}/50\mu\text{m}$  (esses valores foram escolhidos uma vez que o simulador só consegue alcançar um valor máximo de  $W$  de  $100\mu\text{m}$ ). O resultado das correntes  $I_{OUT}$  do circuito com as dimensões diminuídas e com as dimensões aumentadas podem ser vistas nas Fig. 29 e Fig. 30, respectivamente.

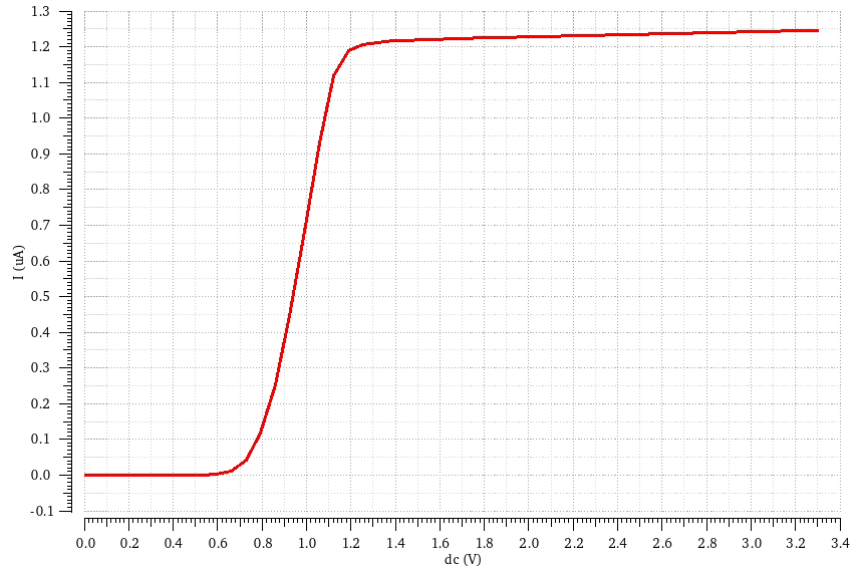


Figura 29 – Corrente  $I_{OUT}$  com CMOS com dimensões diminuídas

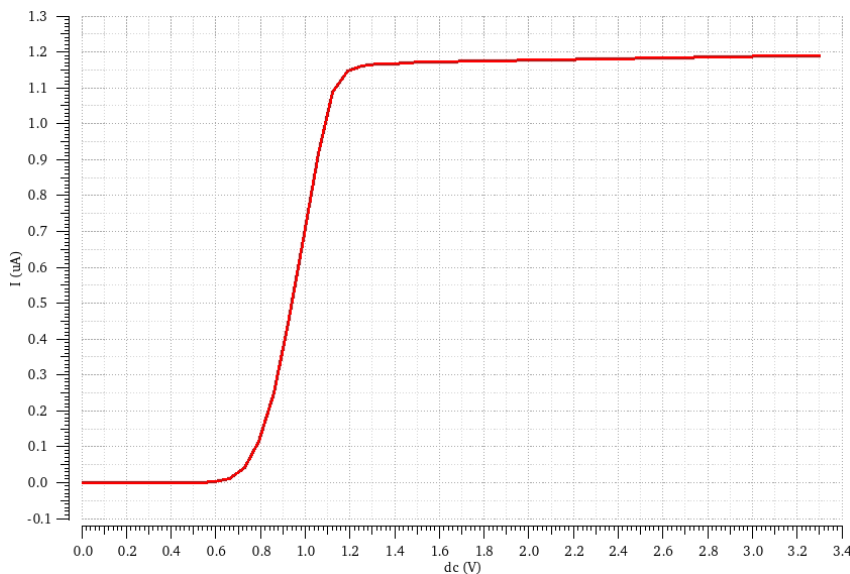


Figura 30 – Corrente  $I_{OUT}$  com CMOS com dimensões aumentadas

Nota-se que o comportamento das respostas do circuito mudaram com relação ao resultado mostrado na Fig. 28. Primeiramente é possível afirmar que o tamanho dos transistores influencia no valor da corrente  $I_{OUT}$  alcançada pelo *Current Source*, de modo que quanto menor a área do CMOS maior é o valor de corrente alcançado. Com as dimensões

menores chegou-se a obter uma corrente de saída de  $1,247\mu A$  e com as dimensões maiores chegou-se a obter uma corrente de saída de  $1,191\mu A$ .

Outro ponto a se observar é que quanto menor os valores das medidas de  $W/L$  maior é o valor da variação dos valores de  $I_{OUT}$  com o aumento da tensão de alimentação. Com as medidas pela diminuídas obteve-se um  $\Delta I_{OUT}$  de  $0,051\mu A$ , já com as medidas aumentadas obteve-se um  $\Delta I_{OUT}$  de  $0,04\mu A$ .

Uma outra simulação foi feita, desta vez variando o fator de multiplicação  $K$  do NMOS  $M_3$ . Os valores de  $W/L$  se mantiveram  $40u/40u$ . Como mudanças no valor de  $K$  também alteram no valor do resistor do circuito, foi necessário utilizar a Eq. 2.18 afim de estabelecer o novo valor do resistor. Para um valor de  $K$  igual a 1,5, o resistor obteve um valor de  $20645\Omega$ , já para um valor de  $K$  igual a 2,5, o resistor obteve um valor de  $41758\Omega$ . O resultado das correntes  $I_{OUT}$  do circuito com o fator de multiplicação igual a 1,5 e a 2,5 podem ser vistos na Fig. 31 e na Fig. 32, respectivamente.

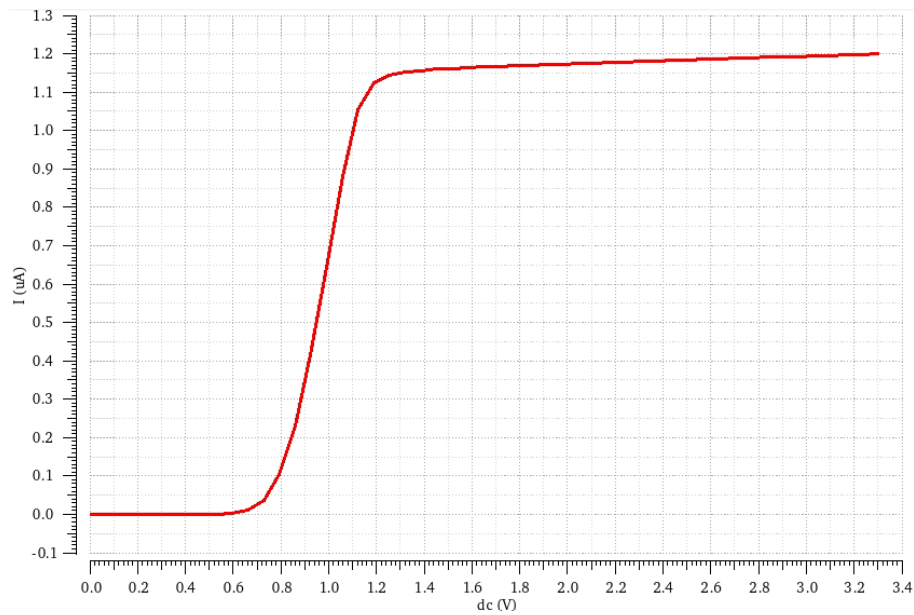


Figura 31 – Corrente  $I_{OUT}$  com  $K = 1,5$

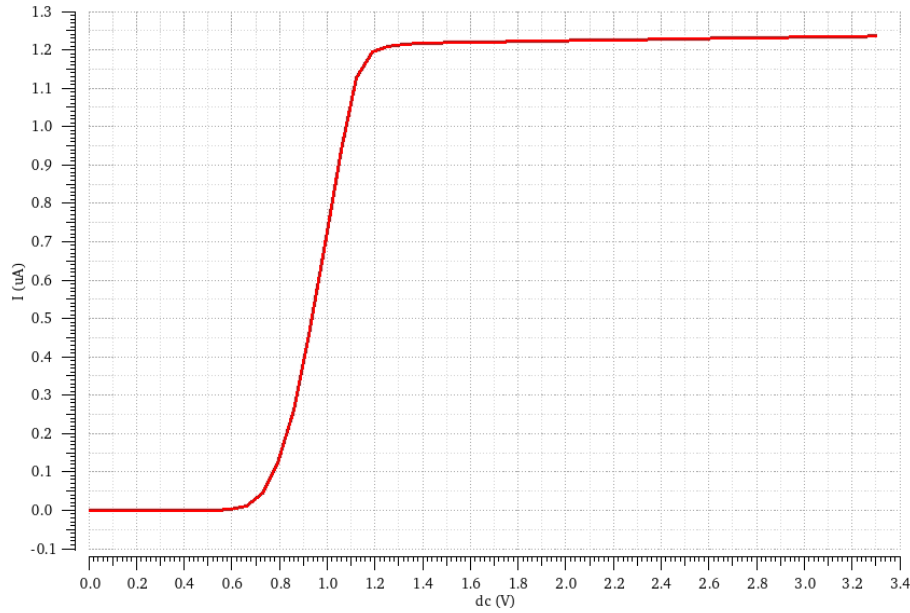


Figura 32 – Corrente  $I_{OUT}$  com  $K = 2,5$

Observa-se que o valor de  $K$  afeta no valor da corrente de saída, uma vez que com  $K = 1,5$  o *current source* alcançou um  $I_{OUT}$  de  $1,201 \mu A$  e com  $K = 2,5$  o *current source* alcançou um  $I_{OUT}$  de  $1,237 \mu A$ . Desta forma é possível afirmar que quanto maior o valor do fator de multiplicação, maior será o valor alcançado.

Outro ponto a ser notado é o fato de que quanto maior o valor de  $K$ , menor será a variação dos valores de  $I_{OUT}$  com o aumento da tensão de alimentação.  $K = 1,5$  obteve um  $\Delta I_{OUT}$  de  $0,071 \mu A$  e  $K = 2,5$  obteve um  $\Delta I_{OUT}$  de  $0,038 \mu A$ .

Por fim, foi feita uma última simulação. Desta vez foi alterado o valor da razão de  $W/L$ , já o valor de  $K$  foi mantido igual a 2. Como mudanças no valor da razão  $W/L$  também alteram no valor do resistor do circuito, foi necessário utilizar a Eq. 2.18 afim de estabelecer o novo valor de  $R_0$ . Para um valor de  $W/L$  de  $45 \mu m / 40 \mu m$ , foi obtido um  $R_0$  de  $31287 \Omega$ , já para um valor de  $W/L$  de  $50 \mu m / 40 \mu m$ , foi obtido um  $R_0$  de  $29681 \Omega$  (novamente os valores das dimensões foram escolhidos tendo em vista que o simulador só alcança um valor de  $W$  máximo de  $100 \mu m$ ). O resultado das correntes  $I_{OUT}$  para os circuitos com  $W/L$  de  $45 \mu m / 40 \mu m$  e com  $W/L$  de  $50 \mu m / 40 \mu m$  podem ser vistos nas Fig. 33 e Fig. 34, respectivamente.

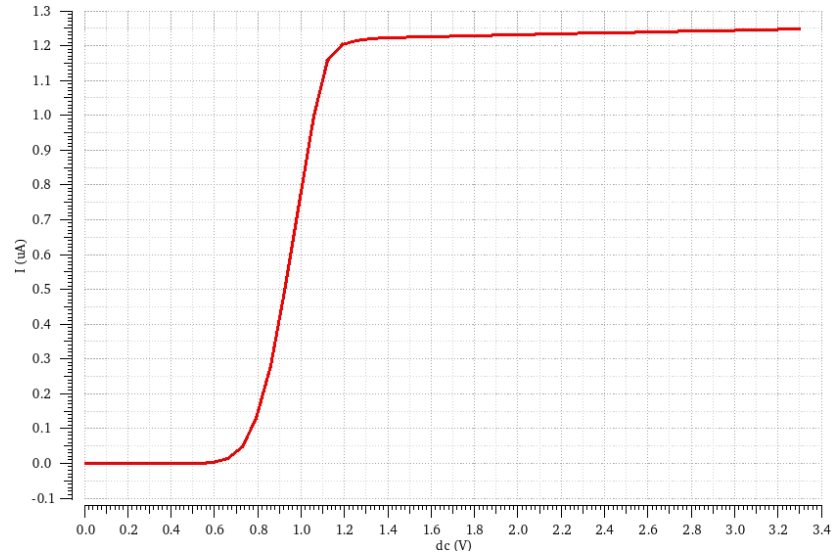


Figura 33 – Corrente  $I_{OUT}$  com CMOS com  $W/L$  de  $45\mu/40\mu$

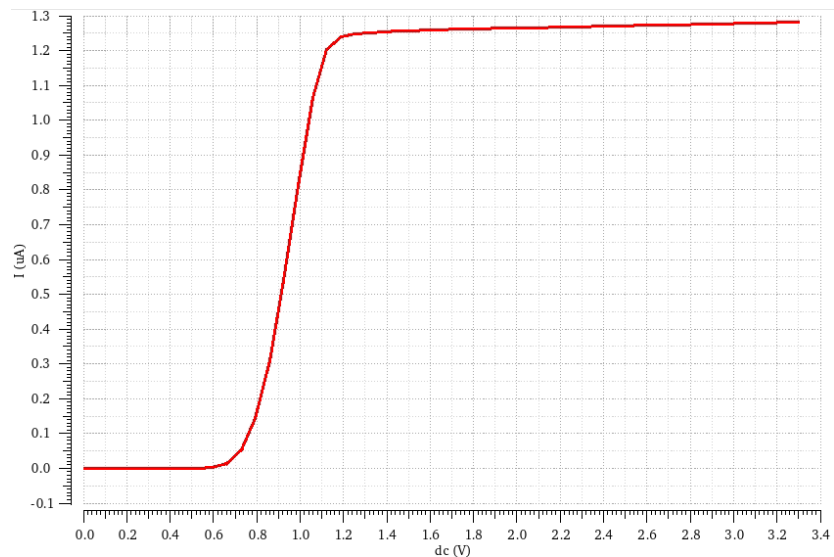


Figura 34 – Corrente  $I_{OUT}$  com CMOS com  $W/L$  de  $50\mu/40\mu$

Nota-se que o valor da razão  $W/L$  influencia na resposta obtida pelo circuito, sendo que quanto menor a razão dos dispositivos CMOS, menor o valor da corrente alcançada. Com  $W/L$  de  $45\mu/40\mu$  foi atingida uma corrente  $I_{OUT}$  de  $1,249\mu A$ , já com um  $W/L$  de  $50\mu/40\mu$  foi atingida uma corrente  $I_{OUT}$  de  $1,282\mu A$ .

Outra característica que foi percebida é que quanto maior o valor da razão  $W/L$ , menor é a variação dos valores de  $I_{OUT}$  com o aumento da tensão de alimentação. O  $\Delta I_{OUT}$  do circuito com razão de 1,125 foi de  $0,042\mu A$ , já o  $\Delta I_{OUT}$  do circuito com razão de 1,25 foi de  $0,04\mu A$ . Entretanto, ao se comparar com o  $\Delta I_{OUT}$  do projeto original (com

$W/L$  de  $40\mu m/40\mu m$ ) nota-se que a diferença dos valores é muito pequena, podendo então ser afirmado que o valor de  $K$  não variou de forma significativa.

Por fim, as tabelas 13, 14 e 15 trazem um comparativo dos resultados apresentados nessa seção.

Tabela 13 – Resultados de acordo com mudanças nas dimensões W e L do *current source*

<b>Resultado</b>	$30\mu/30\mu$	$40\mu/40\mu$	$50\mu/50\mu$
$I_{OUT}$	$1,247\mu A$	$1,214\mu A$	$1,191\mu A$
$\Delta I_{OUT}$	$0,051\mu A$	$0,044\mu A$	$0,04\mu A$

Tabela 14 – Resultados de acordo com mudanças no valor de K do *current source*

<b>Resultado</b>	$K = 1,5$	$K = 2$	$K = 2,5$
$I_{OUT}$	$1,201\mu A$	$1,214\mu A$	$1,237\mu A$
$\Delta I_{OUT}$	$0,071\mu A$	$0,044\mu A$	$0,038\mu A$

Tabela 15 – Resultados de acordo com mudanças na razão W/L do *current source*

<b>Resultado</b>	$40\mu/40\mu$	$45\mu/40\mu$	$50\mu/40\mu$
$I_{OUT}$	$1,214\mu A$	$1,249\mu A$	$1,282\mu A$
$\Delta I_{OUT}$	$0,044\mu A$	$0,042\mu A$	$0,04\mu A$

#### 4.2.2 Componentes reais

De forma a validar o projeto da fonte de corrente, foi feita uma simulação DC no simulador do programa *CADENCE Virtuoso*, variando a tensão de entrada do circuito de 0V até 3,3V. A comportamento da corrente de saída pode ser observado através da Fig. 35.



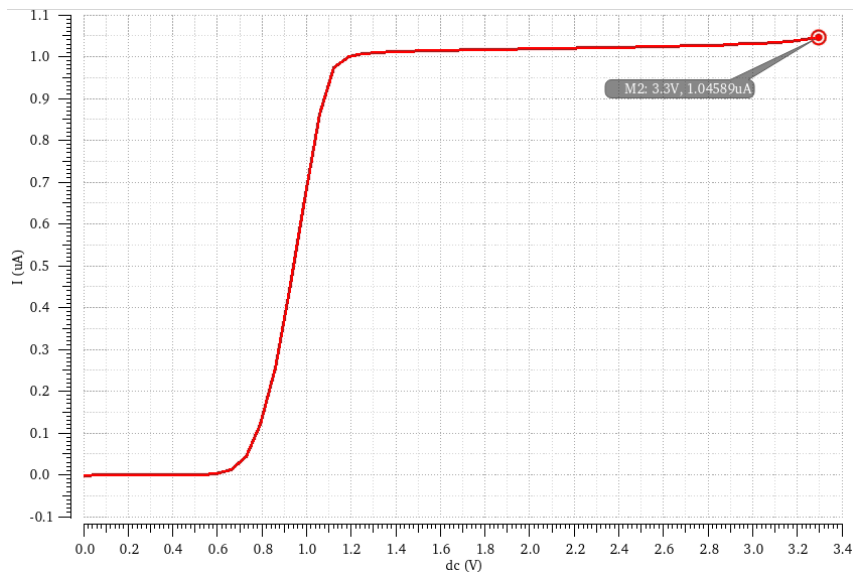


Figura 35 – Corrente  $I_{OUT}$  do *Current Source* com componentes reais

Como foi explicado na seção anterior, em tensões baixas não existe corrente fluindo pelos NMOS uma vez que eles se encontram desligados (região 0 no *CADENCE Virtuoso*). O valor da corrente  $I_{OUT}$  foi de  $1,045\mu A$ , sendo  $4,5\%$  a mais do que o valor estipulado no Capítulo 3. O valor da variação da corrente de saída ( $\Delta I_{OUT}$ ) foi de  $0,042\mu A$ , um valor bem conveniente de variação para uma fonte de corrente.

Também foram feitas simulações para observar o comportamento da fonte de corrente para variações do valor de  $V_{DD}$ . Os resultados de  $I_{OUT}$  e  $\Delta I_{OUT}$  encontrados são apresentados na Tab. 16.

Tabela 16 – Resultados de acordo com mudanças no valor de  $V_{DD}$  do *current source*

Resultado	3,0V	3,3V	3,6V
$I_{OUT}$	$1,032\mu A$	$1,045\mu A$	$1,077\mu A$
$\Delta I_{OUT}$	$0,029\mu A$	$0,044\mu A$	$0,074\mu A$

É possível observar que quanto menor o valor da tensão de alimentação do circuito melhor é o desempenho da fonte de corrente, apresentando um valor de saída mais próximo do desejado e com uma pouca variação dos valores de saída.

Por fim, foi feita uma simulação transiente do circuito de forma a observar o comportamento do start-up e verificar a funcionalidade do projeto no domínio do tempo. A tensão de alimentação DC foi substituída por um pulso que aumenta de 0V até 3,3V com o passar do tempo. A corrente de saída do *current source* pode ser observada através da Fig. 36.

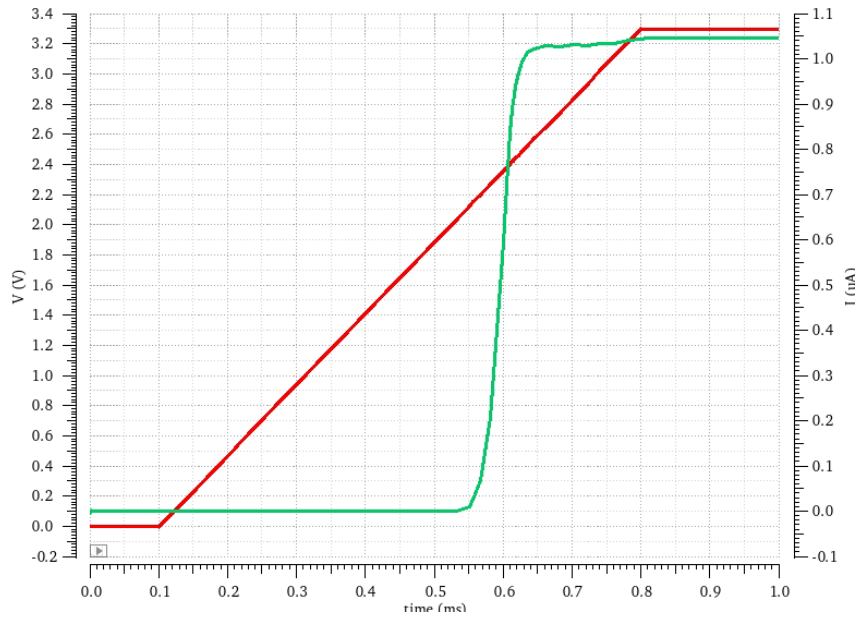


Figura 36 – Funcionamento do *Start-up* do *Current Source*

Nota-se que o circuito apresenta uma corrente de saída nula até a tensão  $V_{DD}$  chegar em  $2,07V$ . A partir desse valor, a corrente  $I_{OUT}$  vai aumentando de valor até se estabilizar com um  $V_{DD}$  de  $2,4V$ . O período de tempo que se levou para a corrente de saída ir de  $0\mu A$  até um valor estável foi de  $90\mu s$ . O consumo de potência total do *current source* foi de  $42,57\mu W$ .

### 4.3 Projeto do *Low-Dropout Regulator*

Para a validação do projeto do *Low-Dropout Regulator* foram feitas uma série de simulações no programa *CADENCE Virtuoso*. Inicialmente foi feita uma simulação DC afim de observar o comportamento da tensão de saída a partir da variação na tensão de alimentação ( $V_{DD}$ ). Essa simulação foi feita tanto para correntes  $I_{LOAD}$  iguais à  $1mA$  e  $100\mu A$ , quanto para valores de capacitor iguais à  $100pF$  e  $1\mu F$  e seus resultados podem ser vistos nas Fig. 37, Fig. 38, Fig. 39 e Fig. 40.

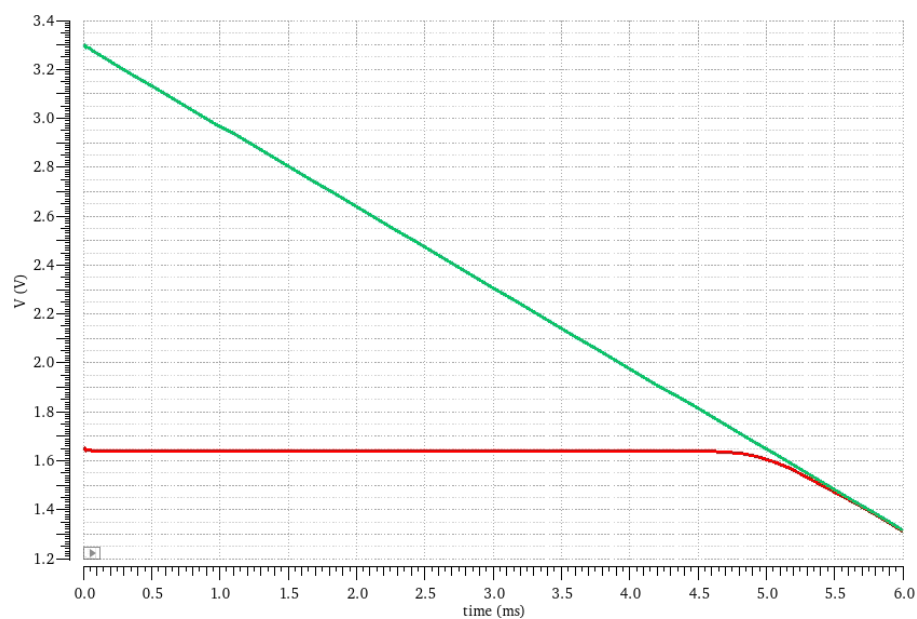


Figura 37 –  $V_{OUT}$  do LDO com  $C = 100pF$  e  $I = 1mA$

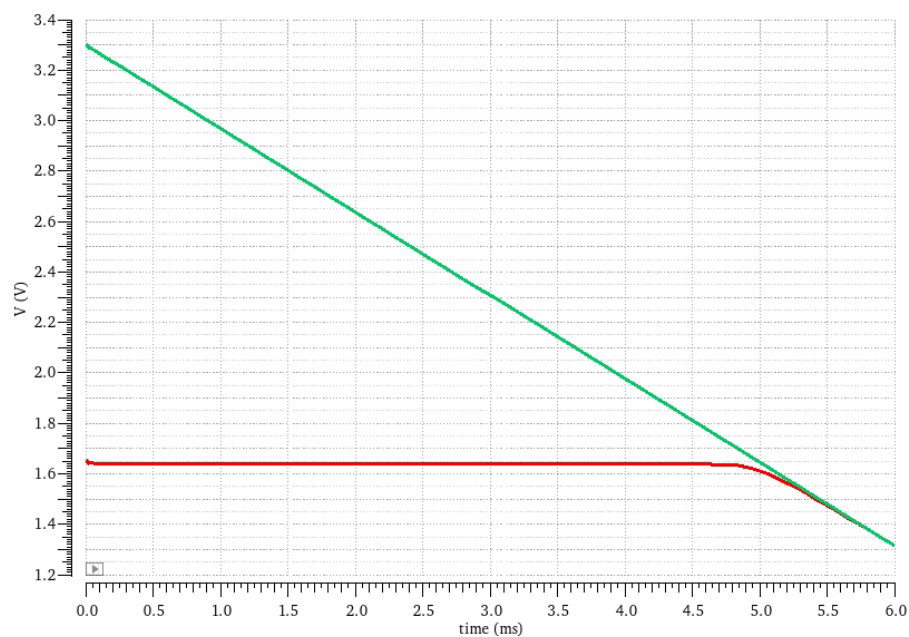


Figura 38 –  $V_{OUT}$  do LDO com  $C = 100pF$  e  $I = 100\mu A$

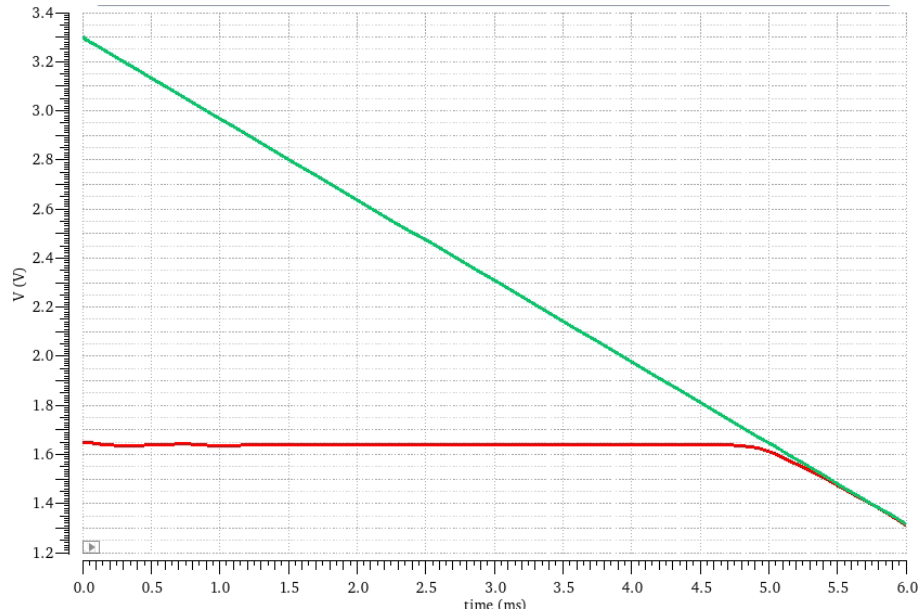


Figura 39 –  $V_{OUT}$  do LDO com  $C = 1\mu F$  e  $I = 1mA$

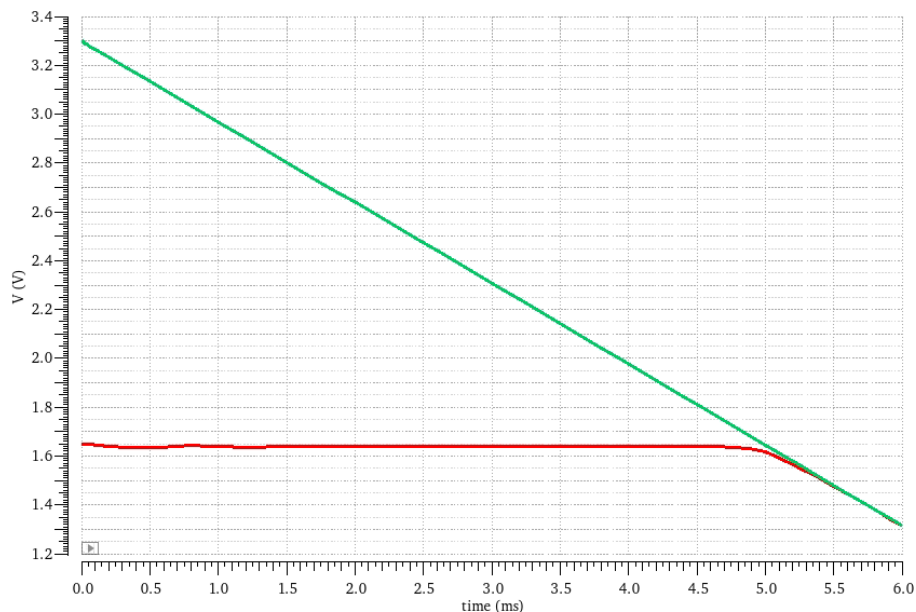


Figura 40 –  $V_{OUT}$  do LDO com  $C = 1\mu F$  e  $I = 100\mu A$

Nota-se através das simulações que mesmo com variações nos valores de corrente de carga e do capacitor (seja *on-chip* ou *off-chip*), as respostas de saída DC do LDO foram muito parecidas. Ambos valores de  $V_{OUT}$  das simulações foram  $1,6505V$  em um  $V_{DD}$  de  $3,3V$  e permaneceram estáveis até  $V_{DD} = 1,73V$ , quando o circuito apresentou uma resposta que acompanhou o valor da tensão de alimentação.

As simulações apresentadas anteriormente demonstram o funcionamento do LDO como um regulador de tensão e possuem um resultado semelhante ao exemplo da Fig. 41, explicitado no trabalho de (SÁNCHEZ-SINENCIO, 2010).

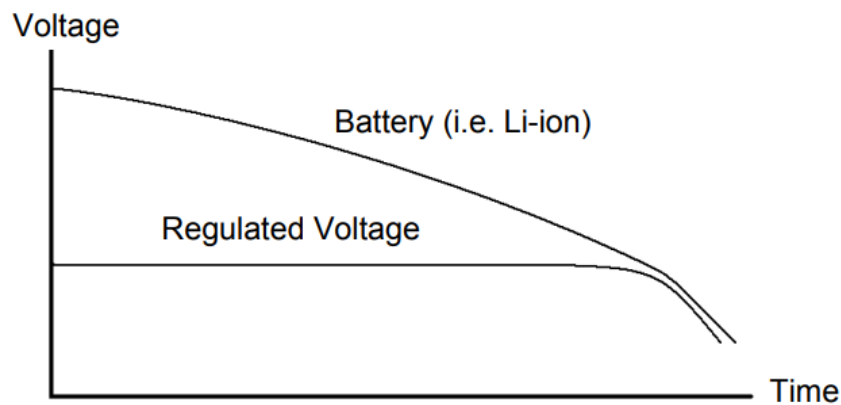


Figura 41 – Exemplo de um funcionamento de um regulador de tensão  
Fonte: (SÁNCHEZ-SINENCIO, 2010)

Além da simulação DC, foram feitas uma série de simulações a fim de observar o comportamento da saída do LDO em relação a pulsos de corrente  $I_{LOAD}$  variando de  $0A$  até  $1mA$  ou  $100\mu A$ . As simulações foram realizadas tanto para capacitor *on-chip* quanto *off-chip* e seus resultados podem ser observados através das Fig. 42, 43, 44 e 45. A Tabela. 17 expõe os valores de  $\Delta V_{OUT}$  adquiridos nessas simulações.

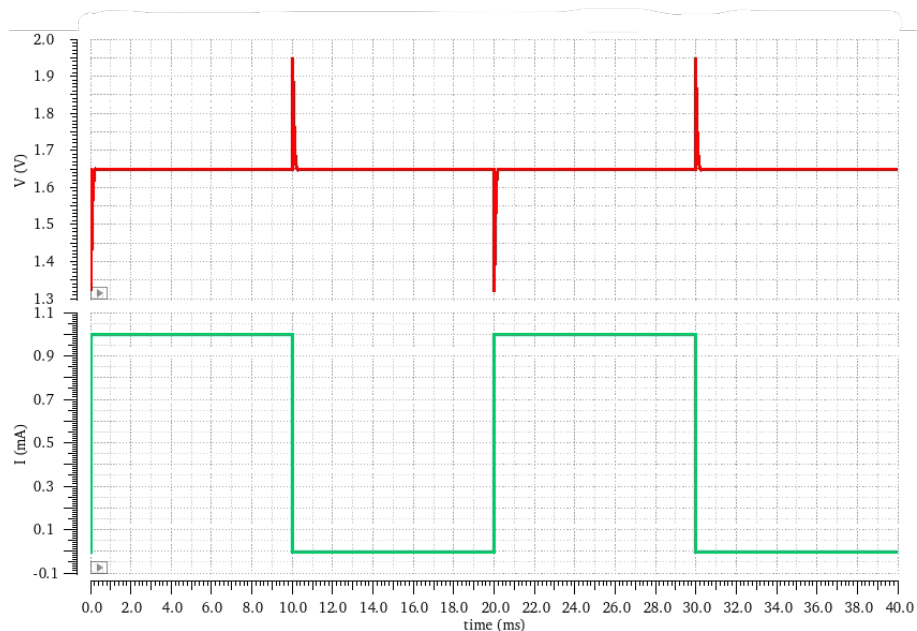


Figura 42 –  $V_{OUT}$  transiente do LDO com  $C = 100pF$  e  $I = 1mA$

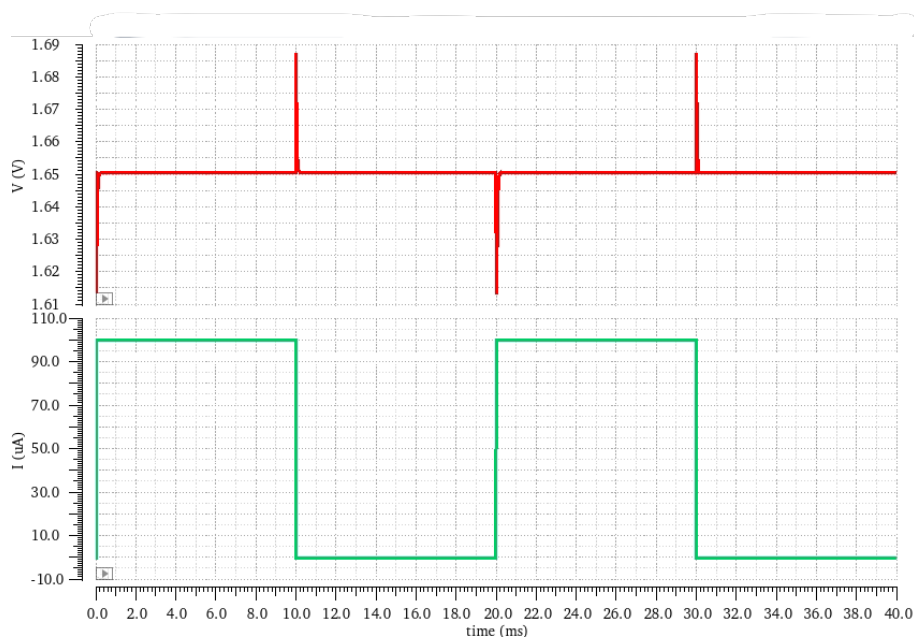


Figura 43 –  $V_{OUT}$  transiente do LDO com  $C = 100pF$  e  $I = 100\mu A$

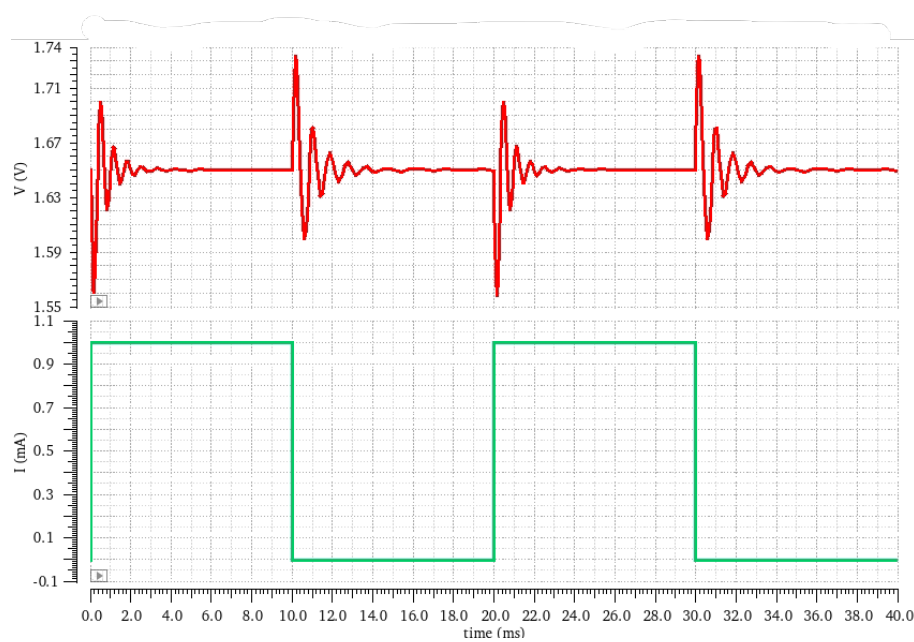


Figura 44 –  $V_{OUT}$  transiente do LDO com  $C = 1\mu F$  e  $I = 1mA$

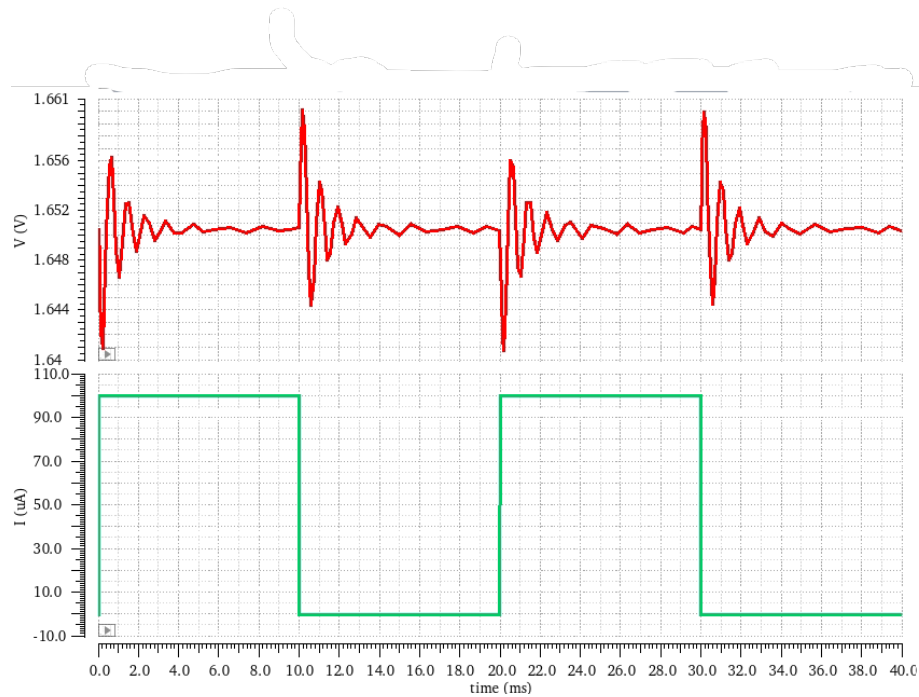


Figura 45 –  $V_{OUT}$  transiente do LDO com  $C = 1\mu F$  e  $I = 100\mu A$

Tabela 17 –  $\Delta V_{OUT}$  da simulação transiente

<b>Resultado</b>	$100pF/1mA$	$100pF/100\mu A$	$1\mu F/1mA$	$1\mu F/100\mu A$
$\Delta V_{OUT}$	0,6230V	0,0731V	0,1750V	0,0193V

Através dos resultados das simulações e da tabela desenvolvida, é possível notar a influência de um valor alto de capacitância, uma vez que ele influencia diretamente na fase do circuito e por consequência, na estabilidade da resposta, onde o valor demora a se estabilizar em 1,65V.

Outro ponto de destaque que é percebido é a baixa variação no valor da saída do LDO que é atingida quando é usada uma corrente de carga pequena.

Por fim, foi realizada uma simulação afim de observar o PSRR de todo o projeto LDO. A simulação foi feita tanto para um capacitor de  $100pF$  quanto de  $1\mu F$  e seu resultado pode ser visto respectivamente nas Fig. 46 e Fig. 47.

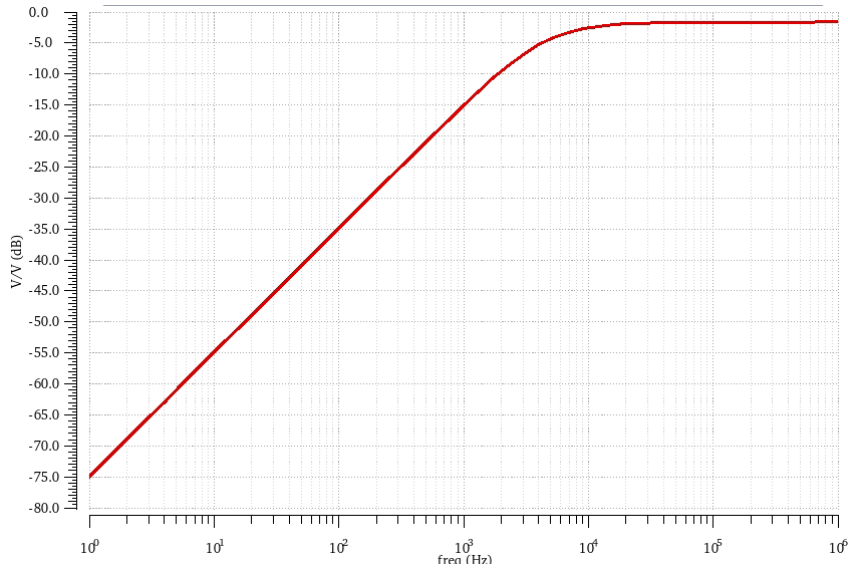


Figura 46 – PSRR do LDO com  $C = 100pF$  e  $I = 1mA$

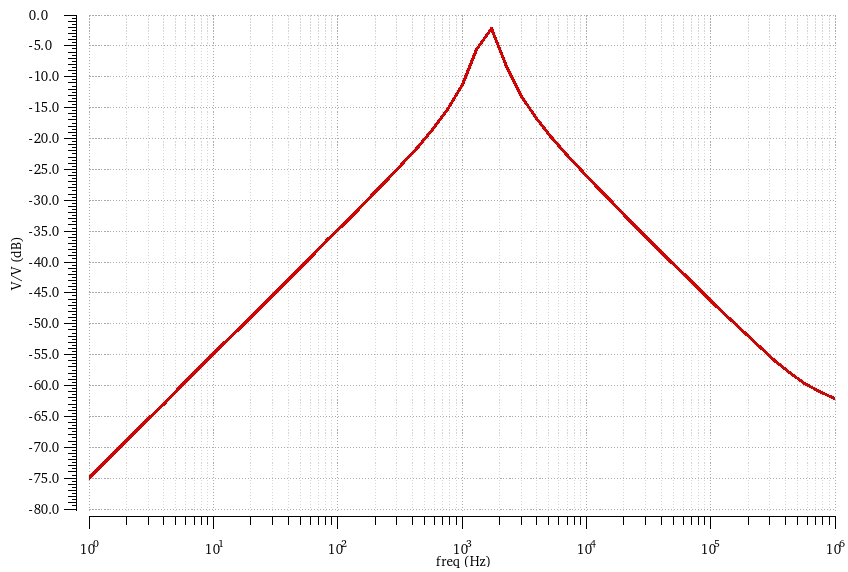


Figura 47 – PSRR do LDO com  $C = 1\mu F$  e  $I = 1mA$

Tabela 18 – PSRR dos LDO's simulados

Resultado	1Hz	100Hz	1kHz	10kHz
$PSRR(C = 100pF)$	-74dB	-35dB	-15dB	-3dB
$PSRR(C = 1\mu F)$	-74dB	-35dB	-11dB	-27dB

Ambos valores de PSRR foram de  $-74.77dB$ . Contudo é possível observar a influência de um capacitor grande na resposta PSRR, dado que a Fig. 47 exibe um valor muito baixo de PSRR para frequência entre  $1kHz$  e  $10kHz$ , entretanto apresenta um valor melhor para altas frequências do que o circuito com um capacitor menor.



Com o objetivo de verificar a corrente de saída do LDO, basta aplicar a lei de Ohm. Dado que a tensão que passa pelo resistor  $R_2$  é  $1,25V$ , o valor de  $I_{OUT}$  do *low-dropout regulator* é de  $1,25mA$ , conforme foi estipulado no capítulo 3.

Por fim, com o intuito de melhorar a tensão *dropout* do LDO, foi feita uma alteração no tamanho do transistor de passagem. O valor do *multiplier* foi alterado de 5000 para 500 e o gráfico da tensão *dropout* para os 2 valores de *multiplier* podem ser vistos nas Fig. 48 e Fig. 49.

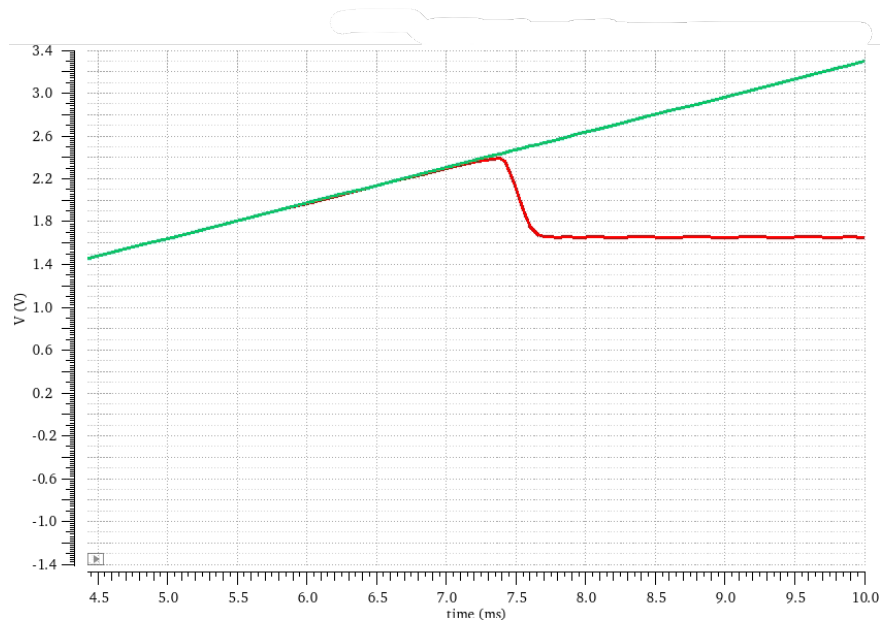


Figura 48 – Tensão *dropout* do LDO com *multiplier* = 5000

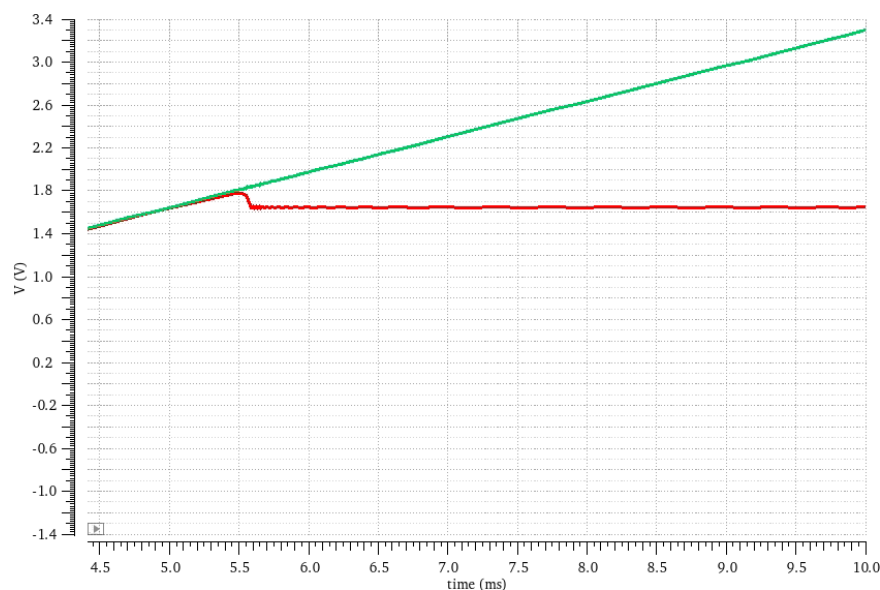


Figura 49 – Tensão *dropout* do LDO com *multiplier* = 500

Com um *pass transistor* maior, o LDO apresentou uma tensão *dropout* de  $V_{DO} =$

$700mV$ , um valor consideravelmente alto para um LDO. Entretanto, ao se diminuir as dimensões do *pass transistor*, o LDO apresentou uma tensão *dropout* de  $V_{DO} = 200mV$ , valor adequado e muito usual em aplicações de LDO's.

Alterações no *pass transistor* também acarretaram em mudanças na resposta transiente do circuito e no PSRR, seus valores podem ser vistos respectivamente nas Fig. 50 e Fig. 51.

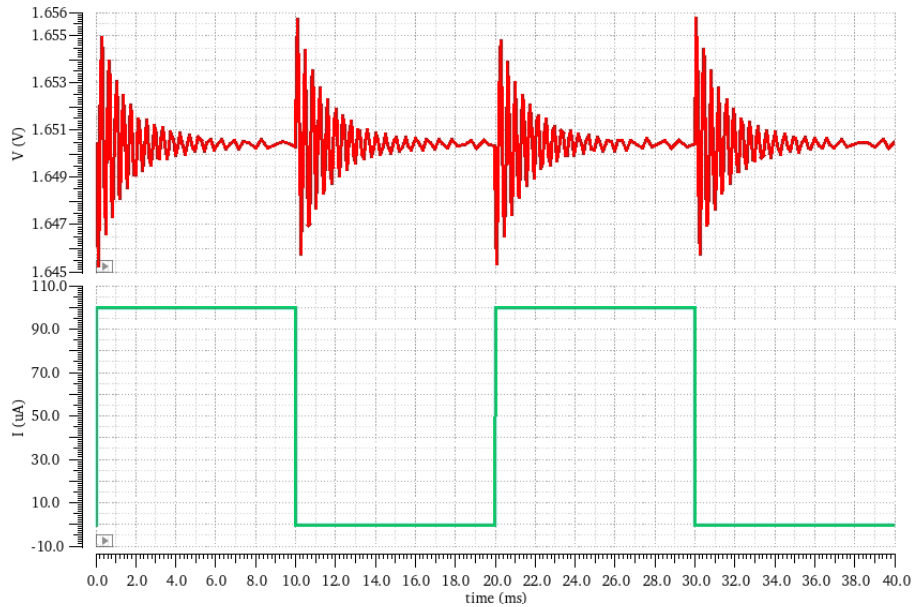


Figura 50 –  $V_{OUT}$  transiente do LDO com  $C = 1\mu F$ ,  $I = 100\mu A$  e  $multiplier = 500$

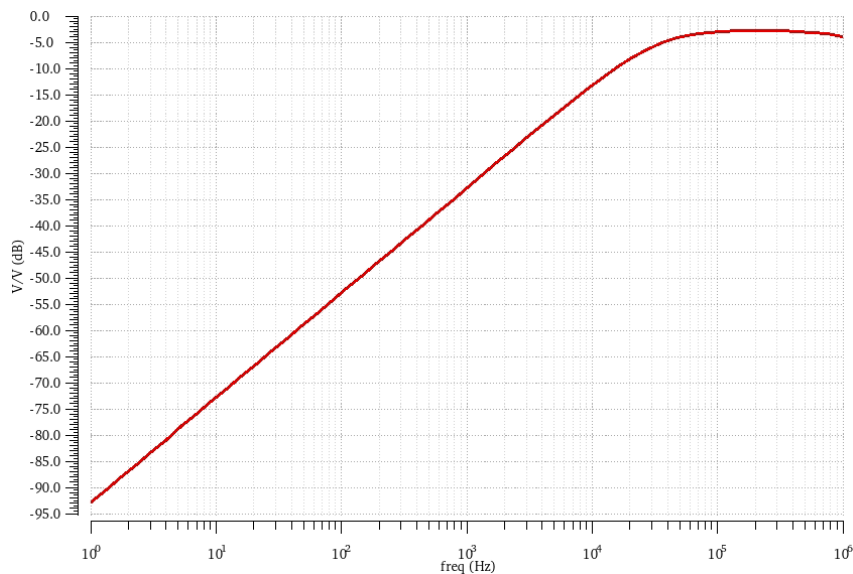


Figura 51 – PSRR do LDO com  $C = 100pF$ ,  $I = 1mA$  e  $multiplier = 500$

Com relação à resposta transiente, com dimensões menores do transistor de passagem foi obtida uma resposta menos estável do que com dimensões maiores, entretanto o

valor de  $\Delta V_{OUT}$  diminuiu de  $0,0193V$  para  $0,0107V$ . Já com relação à resposta PSRR do circuito, com dimensões menores do transistor de passagem foi alcançado um valor maior de PSRR ( $-93,44dB$ ) quando comparado com dimensões maiores ( $-74,77dB$ ).

## 5 Conclusão

Circuitos integrados para gerenciamento de potência são de extrema importância, de forma que todos equipamentos eletrônicos devem possuir um PMIC. Dentre suas funcionalidades pode-se citar a distribuição de uma tensão de alimentação para os sistema, além de garantir que ela seja estável e filtrada.

Neste contexto, foram apresentados blocos básicos de um PMIC: uma fonte de corrente, cujo objetivo é fornecer uma corrente estável para outros blocos de um PMIC, um *bandgap*, cujo objetivo é fornecer uma tensão invariante com a temperatura, e um LDO, cujo objetivo é regular tensão. Esses circuitos foram projetados de acordo com a teoria apresentada no capítulo 2 e foram simulados no programa *CADENCE Virtuoso*.

O circuito *bandgap* ideal foi planejado com o uso de um amplificador operacional ideal, possuindo características como ganho infinito em malha aberta, nenhum ruído e tensão de *offset* nula. Ao fazer a simulação para a faixa de temperatura estipulada, foi atingido um resultado bastante satisfatório de 99,1% do valor desejado. O motivo para a resposta não ter tido um valor constante é que os resistores utilizados são dependentes da temperatura.

Já o projeto do *bandgap* com componentes reais apresentou um  $V_{BG}$  99,23% do valor desejado. Além disso, foi verificado que seu funcionamento permanecia condizente com o esperado para variações de  $V_{DD}$  entre 3 e 3,5V. O coeficiente de temperatura apresentou um valor baixo e o PSRR um valor adequado.

O circuito *current source* foi planejado para seguir a topologia de uma fonte de corrente *self biased widlar*, por ser independente da tensão de alimentação. Ao se fazer a simulação do circuito com componentes ideais variando a tensão de alimentação de 0V até 3,3V, foi obtida uma fonte de corrente com uma variação insignificante, entretanto o valor de corrente foi 21,4% maior que o desejado. O motivo para o resultado  $I_{OUT}$  não ter sido mais preciso foi o fato da equação utilizada para o projeto assumir que a tensão *threshold* dos NMOS serem iguais, algo que não ocorreu devido ao efeito de corpo dos componentes.

Já ao se fazer o circuito *current source* utilizando todos componentes reais da tecnologia UMC 0.18um, foi possível encontrar uma corrente de saída de  $1,045\mu A$ , um valor apenas 4,5% maior do que o que foi estipulado. Além do circuito com componentes reais ter obtido uma saída muito boa, sua variação de valores da corrente de saída também foi bastante adequada. Tentativas de fazer com que o consumo de potência do projeto fossem menores resultavam em uma resposta inapropriada, desta forma o menor valor possível de potência do circuito foi de  $42,57\mu W$ .

Com relação ao projeto do *Low-Dropout Regulator*, pode-se observar que resultados satisfatórios também foram obtidos. O valor da tensão de saída ficou de acordo com o que foi estipulado, além do circuito ter apresentado uma resposta transiente muito boa e um valor de PSRR conveniente.

Além de buscar atingir os resultados definidos no capítulo 3, uma série de simulações foi feita com o intuito de observar se mudanças nos valores dos componentes acarretariam em variações na resposta. Com isto, foi possível determinar quais e como os parâmetros afetam a saída do *bandgap*, do *current source* e do *low-dropout regulator*.

## 5.1 Trabalhos Futuros

Apesar dos circuitos projetados e os resultados alcançados terem sido bastante adequados, tendo em vista que eles apresentaram resultados próximos do que foram estipulados, mudanças podem ser feitas a fim de se obter respostas mais precisas. Além disso, outros blocos de um PMIC podem ser analisados e arquitetados. Desta forma, é listado a seguir propostas de melhorias e objetivos a serem cumpridos para trabalhos futuros:

- Gerar uma validação dos circuitos apresentados nesse trabalho por meio de simulações de *corners* fazendo uso do programa *CADENCE Virtuoso*;
- Realizar uma simulação a fim de validar a fonte de corrente;
- Fazer um estudo de forma a identificar maneiras de garantir uma operação mais adequada da fonte de corrente para variações na temperatura, garantindo um baixo valor de  $ppm/^\circ C$  ;
- Aprimorar o circuito do *low-dropout regulator*, realizando um projeto de compensação para capacitor externo e interno;
- Realizar o *layout* de todos os circuitos apresentados nesse trabalho;
- Fazer a análise e o projeto de outros circuitos que fazem parte de um *Power Management Integrated Circuit*, validá-los através de simulações no programa *CADENCE Virtuoso* e estudar formas de otimizar seus resultados.

# Referências

- AHSANUZZAMAN, S. M.; PRODIC, A.; JOHNS d D. A. An integrated high-density power management solution for portable applications based on a multioutput switched-capacitor circuit. In: *IEEE TRANSACTIONS ON POWER ELECTRONICS*. [S.l.: s.n.], 2016. p. 4305–4323. Citado na página 15.
- ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. [S.l.]: Oxford University Press, 2012. v. 3. Citado 3 vezes nas páginas 7, 20 e 39.
- ANGHEL, V.; BREZEANU, G. Low current references with supply insensitive biasing. In: *Annals of the Academy of Romanian Scientists Series on Science and Technology of Information*. [S.l.: s.n.], 2010. v. 3, p. 7–22. Citado na página 26.
- AZIZ, F. I. B. A. et al. A low drop-out voltage regulator in 0.18  $\mu\text{m}$  cmos technology. *Modern Applied Science*, Canadian Center of Science and Education, v. 7, n. 4, p. 70, 2013. Citado 3 vezes nas páginas 7, 28 e 29.
- BALDÉ, K. et al. The global e-waste monitor – 2017. In: . [s.n.], 2017. Disponível em: <[https://collections.unu.edu/eserv/UNU:6341/Global-E-waste\\_Monitor\\_2017\\_\\_electronic\\_single\\_pages\\_.pdf](https://collections.unu.edu/eserv/UNU:6341/Global-E-waste_Monitor_2017__electronic_single_pages_.pdf)>. Acesso em: 28 ago. 2022. Citado na página 15.
- BROKAW, A. P. A simple three-terminal ic bandgap reference. In: *IEEE JOURNAL OF SOLID-STATE CIRCUITS*. [S.l.: s.n.], 1974. v. 9, p. 388–393. Citado 2 vezes nas páginas 7 e 22.
- CADENCE. *Analog Library Reference Guide*. [S.l.], 2004. Version 5.1.41. Disponível em: <<https://picture.iczhiku.com/resource/eetop/syiRzyDUJWAUQxvN.pdf>>. Citado na página 33.
- CASAÑAS, C. W. V. et al. A review of cmos current references. In: *Journal of Integrated Circuits and Systems*. [S.l.: s.n.], 2022. v. 17. Citado 3 vezes nas páginas 7, 24 e 25.
- CHEN, J.; SHI, B. New approach to cmos current reference with very low temperature coefficient. In: *Proceedings of the 13th ACM Great Lakes Symposium on VLSI*. [S.l.: s.n.], 2003. p. 281–284. Citado na página 24.
- COLOMBO, D. M. Bandgap voltage references in submicrometer cmos technology. In: *PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA PELA UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL*. [S.l.: s.n.], 2009. Citado 2 vezes nas páginas 23 e 34.
- ERICKSON, R. W.; MAKSIMOVIC, D. *Fundamentals of power electronics*. [S.l.]: Springer Science & Business Media, 2007. Citado na página 16.
- FORTI, V. O crescimento do lixo eletrônico e suas implicações globais. In: *Panorama setorial da Internet*. [S.l.: s.n.], 2019. v. 4. Citado na página 15.
- GOMEZ, R. Design of two-stage operational amplifier using indirect feedback frequency compensation. 2019. Citado na página 76.

- HE, L. et al. A fast-transient-response nmos ldo with wide load-capacitance range for cross-point memory. *Sensors*, MDPI, v. 22, n. 23, p. 9367, 2022. Citado na página 30.
- KIT, C. M. Design and simulation of cmos-based bandgap reference voltage with compensation circuit using 0.18  $\mu\text{m}$  process technology. In: *A Dissertation submitted for partial fulfilment of the requirement for the degree of Master of Science*. [S.l.: s.n.], 2017. Citado na página 21.
- KUMAR, C. S.; SUJATHA, K. Design and simulation of low dropout regulator. *International Journal of Science and Research*, v. 4, 2015. Citado na página 41.
- LEUNG, K. N.; MOK, P. K. A capacitor-free cmos low-dropout regulator with damping-factor-control frequency compensation. *IEEE Journal of Solid-State Circuits*, IEEE, v. 38, n. 10, p. 1691–1702, 2003. Citado na página 29.
- LI, Z. Power management integrated circuits design, functionality analysis and applications. In: *Presented to the Faculty of the Graduate School of The University of Texas at Arlington in Partial Fulfillment of the Requirements for the Degree of DOCTOR OF PHILOSOPHY*. [S.l.: s.n.], 2005. Citado 2 vezes nas páginas 15 e 16.
- LIMA, V. F. D. Single-trimming resistorless cmos sub-bandgap voltage references for high precision applications. In: *PROGRAMA DE PÓS-GRADUAÇÃO EM MICROELETRÔNICA PELA UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL*. [s.n.], 2021. Disponível em: <<https://www.lume.ufrgs.br/bitstream/handle/10183/222314/001126163.pdf?sequence=1>>. Acesso em: 6 ago. 2022. Citado na página 18.
- LOPEZ, J. J. E. Circuits and systems for energy harvesting and internet of things applications. In: *Submitted to the Office of Graduate and Professional Studies of Texas AM University in partial fulfillment of the requirements for the degree of DOCTOR OF PHILOSOPHY*. [S.l.: s.n.], 2019. Citado na página 15.
- MALCOVATI, P. et al. Curvature-compensated bicmos bandgap with 1-v supply voltage. 2001. Citado na página 18.
- MOUHA, R. A. Internet of things (iot). In: *Journal of Data Analysis and Information Processing*. [S.l.: s.n.], 2021. v. 9, p. 77–101. Citado na página 15.
- MOUHA, R. A.; KHAW, M.-K.; MOHD-YASIN, F. Power management ic for a dual-input-triple-output energy harvester. In: *Micromachines*. [S.l.: s.n.], 2020. v. 11. Citado na página 15.
- OGUEY, H. J.; AEBISCHER, D. Cmos current reference without resistance. In: *IEEE Journal of Solid-State Circuit*. [S.l.: s.n.], 1997. v. 32, p. 1132–1135. Citado na página 26.
- RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. [S.l.]: McGraw-Hill Education, 2017. v. 2. Citado 7 vezes nas páginas 7, 19, 21, 23, 24, 25 e 26.
- REVERSE, A. The fundamentals of ldo design and application. 2009. Citado na página 30.
- SANIKOMMU, R. R. Design and implementation of bandgap reference circuits. In: *Master thesis performed in Electronics Systems*. [S.l.: s.n.], 2005. Citado na página 21.

- SEDRA, A. S.; SMITH, K. C. *Microelectronic Circuits*. [S.l.]: Oxford University Press, 2010. v. 6. Citado 2 vezes nas páginas 26 e 33.
- SHARMA, A. A design methodology for low power cmos current source. In: *A Thesis Presented to Lakehead University in Partial Fulfillment of the Requirement for the Degree of Master of Science in Electrical and Computer Engineering*. [S.l.: s.n.], 2016. Citado 3 vezes nas páginas 7, 26 e 27.
- SPEEDYZEBRA. *Ideal Op-Amp in Cadence Using VCVS*. 2020. Disponível em: <<https://www.youtube.com/watch?v=INeLsIoHw7A>>. Acesso em: 22 ago. 2022. Citado na página 73.
- STATISTA. Forecast number of mobile devices worldwide from 2020 to 2025 (in billions). In: . [s.n.], 2022. Disponível em: <<https://www.statista.com/statistics/245501/multiple-mobile-device-ownership-worldwide/>>. Acesso em: 28 ago. 2022. Citado na página 15.
- SÁNCHEZ-SINENCIO, E. Low drop-out (ldo) linear regulators: Design considerations and trends for high power-supply rejection (psr). In: *IEEE Santa Clara Valley (SCV) Solid State Circuits Society*. [S.l.: s.n.], 2010. v. 2110. Citado 6 vezes nas páginas 7, 8, 28, 30, 59 e 60.
- TEXAS INSTRUMENTS. *LDO Basics*. [S.l.], 2018. Disponível em: <[https://www.ti.com/lit/eb/slyy151a/slyy151a.pdf?ts=1672215884445&ref\\_url=https%253A%252F%252Fwww.google.com%252F](https://www.ti.com/lit/eb/slyy151a/slyy151a.pdf?ts=1672215884445&ref_url=https%253A%252F%252Fwww.google.com%252F)>. Citado 4 vezes nas páginas 7, 27, 29 e 30.
- YANG, Y.; FAN, Z.; GAO, R. Optimal battery control strategy for wireless sensor networks with solar energy supply. In: *2014 American Control Conference*. [S.l.: s.n.], 2014. p. 3559–3564. Citado na página 15.
- YUAN, T.; FAN, Q. Design of two stage cmos operational amplifier in 180nm technology. *arXiv preprint arXiv:2012.15737*, 2020. Citado na página 76.
- ČERMÁK, M. Design of low-dropout voltage regulator. In: *Master Thesis of Faculty of Electrical Engineering Department of Microelectronics*. [S.l.: s.n.], 2016. Citado 2 vezes nas páginas 27 e 31.



# Apêndices

# APÊNDICE A – Código e Resultados do Amplificador Ideal do *Bandgap*

Neste apêndice será apresentado o código MATLAB que foi usado para encontrar os valores dos resistores a serem utilizados no circuito do amplificador operacional ideal do *bandgap*. O código foi estabelecido por (SPEEDYZEBRA, 2020), considerando os dois capacitores do esquemático com  $1\mu F$ , uma margem de fase de  $60^\circ$  e um ganho de  $100dB$ . A Figura 52 mostra o código utilizado, já a Fig. 53 apresenta o resultado com o valor em  $\Omega$ .

Já a Fig. 54 apresenta os diagramas de Bode do amplificador gerados pelo matlab, nele é possível destacar que o ganho atingido foi o estipulado e que a curva da margem de fase apresenta um comportamento bastante adequado.

```

1  %Ideal_OpAmp_Generator
2  clear all;
3  close all;
4  clc;
5
6  syms R1 R2 W P1
7
8  C1=1E-6;
9  C2=1E-6;
10
11 P2 = 1.5E6;%Radians/sec
12 A = 100000;%DC Gain
13 PM = 60;%Phase Margin
14
15 num = [A*P1*P2];
16 den = sqrt((W*P2)^2+(10*P2-W^2)^2);
17
18 eqs = [den == num, -atan((W*P2/(P1*P2-W^2))) == PM*pi/180];
19
20 S = solve(eqs,[P1 W]);
21 P1 = double(S.P1);
22 W = double(S.W);
23
24 P1=P1/(2*pi);
25 P2=P2/(2*pi);
26
27 Calculated_UGF=sqrt(2*(sqrt(4*A^2*P1^2*P2^2+P1^4-2*P1^2*P2^2+P2^4)-P1^2-P2^2))/(4*pi);%Unity Gain Frequency
28
29 eqns = [P1 == -(sqrt((C1)^2*(R1)^2+2*C1*C2*R1*(R1-R2)+(C2)^2*((R1)^2+2*R1*R2+(R2)^2))-C1*R1-C2*(R1+R2))/(2*C1*C2*R1*R2),
30        P2 == (sqrt((C1)^2*(R1)^2+2*C1*C2*R1*(R1-R2)+(C2)^2*((R1)^2+2*R1*R2+(R2)^2))+C1*R1+C2*(R1+R2))/(2*C1*C2*R1*R2)];
31
32 S = solve(eqns,[R1 R2]);
33 R1 = double(S.R1(1));
34 R2 = double(S.R2(1));
35
36 P1=-(sqrt((C1).^2.*(R1).^2+2.*C1.*C2.*R1.*(R1-R2)+(C2).^2.*((R1).^2+2.*R1.*R2+(R2).^2))-C1.*R1-C2.*(R1+R2))/(2.*C1.*C2.*R1.*R2);
37 P2=(sqrt((C1).^2.*(R1).^2+2.*C1.*C2.*R1.*(R1-R2)+(C2).^2.*((R1).^2+2.*R1.*R2+(R2).^2))+C1.*R1+C2.*(R1+R2))/(2.*C1.*C2.*R1.*R2);
38
39 num = [A.*P1(1).*P2(1)];
40 denom = [1 P1(1)+P2(1) P1(1).*P2(1)];
41 bode(tf(num,denom));%Plot op-loop transfer function of op-amp

```

Figura 52 – Código usado para encontrar o valor dos resistores do AmpOp

```
R1 =  
    3.1415e+05  
  
R2 =  
    8.3776  
  
|  
ft >> |
```

Figura 53 – Valor dos resistores do AmpOp

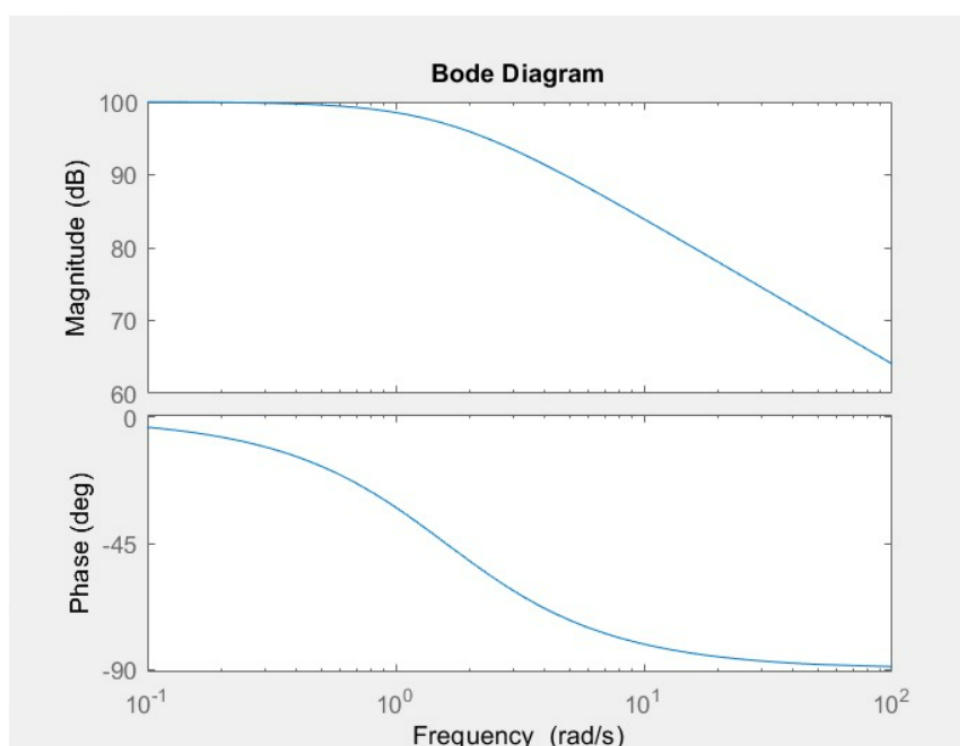


Figura 54 – Diagrama de Bode do AmpOp no MATLAB

Com os valores dos resistores estabelecidos, foi possível terminar o *design* do AmpOp a ser utilizado no *bandgap*. Seu esquemático foi apresentado na Fig. 14.

Este amplificador então passou por uma simulação transiente no programa *CADENCE Virtuoso*, com uma realimentação negativa e a entrada não-inversora conectada no *ground*, em uma frequência de 0 até  $1\text{GHz}$ . O esquemático para o teste do AmpOp e o diagrama de Bode gerado podem ser vistos na Fig. 55 e na Fig. 56, respectivamente.

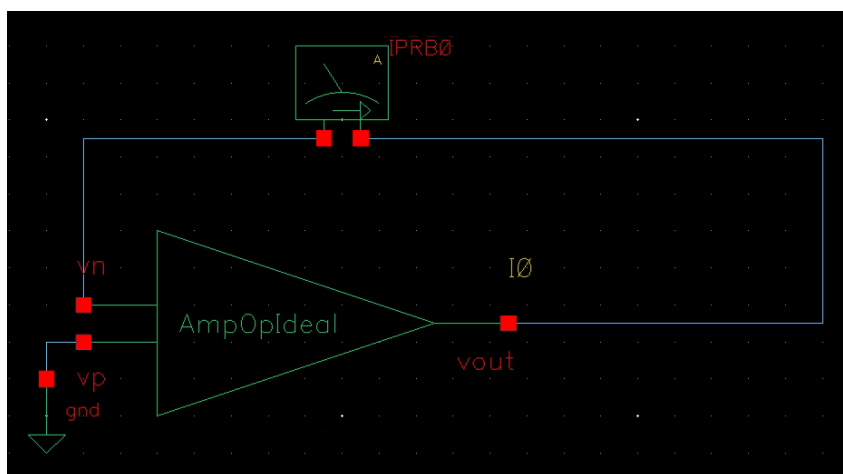


Figura 55 – Teste do AmpOp ideal no *CADENCE Virtuoso*

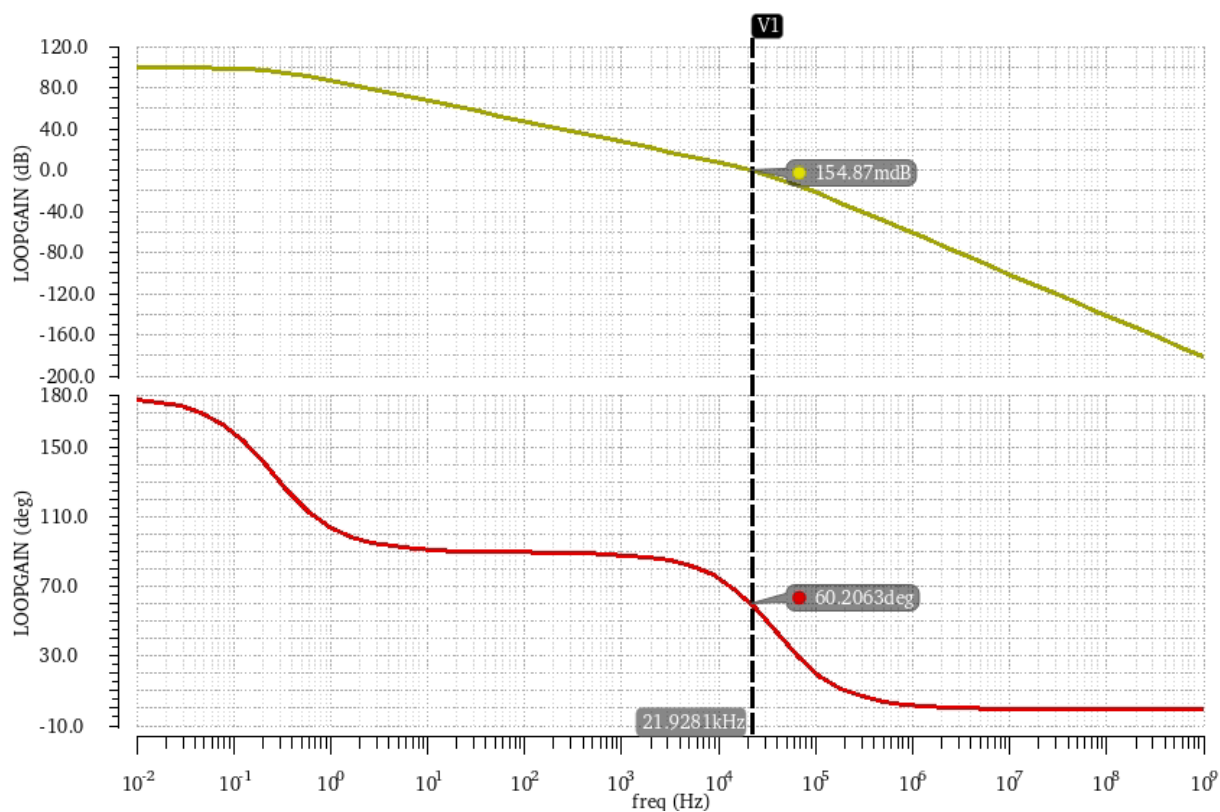


Figura 56 – Diagrama de Bode do AmpOp ideal no *CADENCE Virtuoso*

Como pode-se observar o seu comportamento foi semelhante ao apresentado na Fig. 54, o ganho alcançado foi de  $100\text{dB}$  com uma margem de fase de  $60^\circ$ .

# APÊNDICE B – Projeto do Amplificador Real

Amplificadores operacionais são dispositivos lineares que possuem propriedades necessárias tanto para amplificação de um sinal DC ideal, tanto para condicionamento de sinal, filtragem e desempenho (YUAN; FAN, 2020). É comum que projetistas de circuitos integrados tendam a projetar sistemas com comportamento de um único pólo dominante pois são fáceis de se analisar e por possuírem uma resposta no domínio da frequência estável (GOMEZ, 2019).

O *design* do amplificador real e os valores dos seus componentes são apresentados respectivamente na Fig. 57 e na Tab. 19.

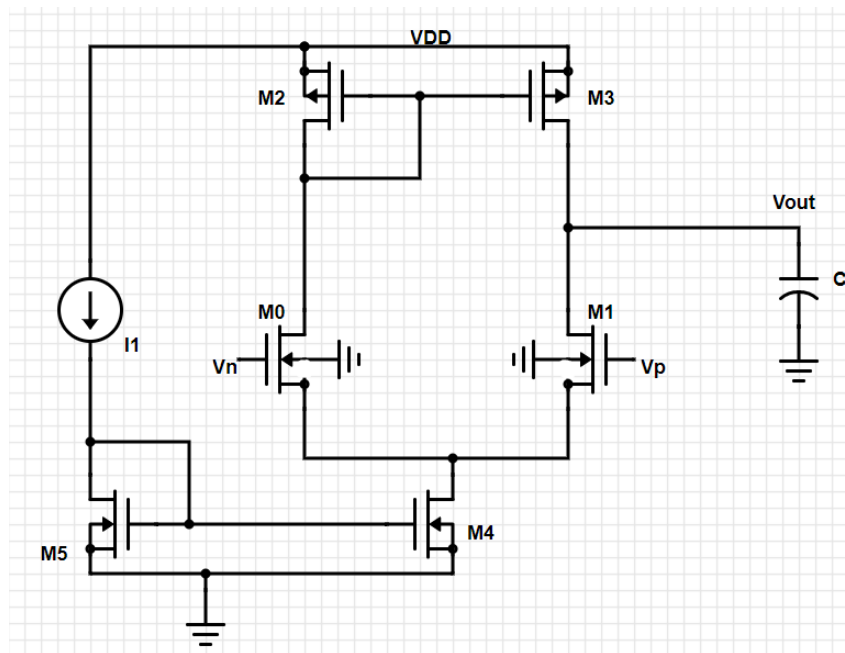


Figura 57 – Esquemático do amplificador operacional real

Tabela 19 – Parâmetro dos componentes utilizados no amplificador real

Componente	Valor	Unidade de Medida
$C$	6	$pF$
$M_0, M_1$	70/33	$\mu m$
$M_2, M_3$	30/10	$\mu m$
$M_4, M_5^*$	70/33	$\mu m$

\* Para esses componentes foi utilizado um *Multiplier* igual a 2.

A fonte de corrente é utilizada de forma a polarizar o circuito e seu valor foi definido como sendo de  $1\mu A$ . Inicialmente foi pensado no amplificador em atingir um produto ganho-banda de  $300kHz$ , além dele ter um capacitor com  $10pF$ , com isso foi possível encontrar o valor de  $gm_0$ .

$$gm_0 = GB \cdot 2 \cdot \pi \cdot C \quad (B.1)$$

$$gm_0 = 1,8 \cdot 10^{-5} \quad (B.2)$$

Com o valor de  $gm_0$  encontrado, foi possível aplicar a equação apresentada em Eq. afim de determinar o valor das dimensões dos transistores  $M_0$  e  $M_1$ . O valor de  $I_D$  é exatamente a metade do valor da corrente de polarização (uma vez que passará metade para  $M_0$  e metade para  $M_1$ ).

$$gm_0 = \sqrt{2 \cdot I_D \cdot \frac{W}{L} \cdot \mu_n C_{ox}} \quad (B.3)$$

$$\frac{W}{L} = 1,92 \quad (B.4)$$

Afim de se atingir um ganho maior, o valor da dimensão foi levemente aumentado. Com relação aos valores das dimensões dos transistores  $M_2$  e  $M_3$ , foi preciso garantir um valor de  $r_{DS}$  alto afim de também garantir um ganho alto, desta forma foi estabelecido um valor de dimensões  $W/L$  de  $30/10\mu m$ .

Por formarem um espelho de corrente, os transistores  $M_4$  e  $M_5$  devem possuir dimensões de mesmos valores de forma a garantir que a corrente de polarização que passa por  $M_4$  seja o dobro da corrente que passe por  $M_0$ . Simulações DC realizadas mostraram que isso ocorria quando o valor de  $W/L$  de  $M_4$  era o dobro do valor de  $M_0$ , desta forma foi usado um *multiplier* igual a 2 para as dimensões de  $M_4$  e  $M_5$ .

Como na prática o produto ganho-banda não estava apresentando um valor desejável, foi feita uma diminuição no tamanho do capacitor do amplificador operacional (tendo em vista que o tamanho do capacitor é inversamente proporcional ao produto ganho-banda), com isso, seu valor passou a ser de  $6pF$ . Ao realizar esse procedimento foi observado um aumento de  $46kHz$  no produto ganho-banda do circuito. Por fim, foi feita uma simulação AC afim de observar o comportamento do amplificador. Seu resultado pode ser visto na Fig. 58.

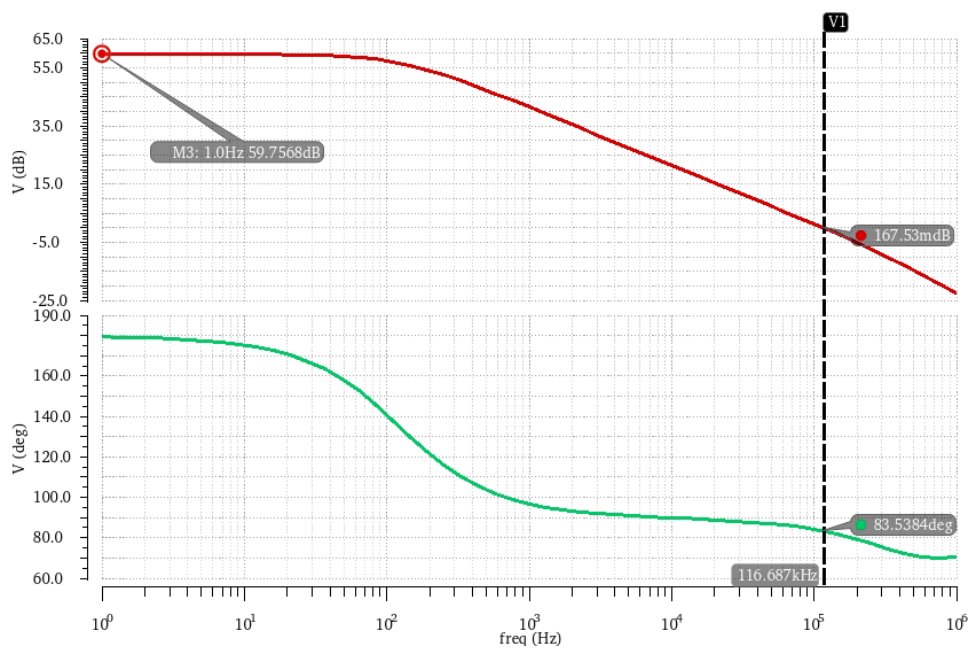


Figura 58 – Ganho e Margem de Fase do Amplificador Operacional real

Ao se comparar com o amplificador ideal apresentado no APÊNDICE A, nota-se que esse amplificador possui um ganho menor ( $59,75\text{dB}$  enquanto que o ideal apresentou  $100\text{dB}$ ). Contudo, o projeto do amplificador real resultou em um melhor produto ganho-banda,  $116\text{kHz}$ , e uma melhor margem de fase,  $83^\circ$ , quando comparado com o projeto do amplificador ideal.