

Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

**Unidade de Gerenciamento de Potência para
Aplicações de *Energy Harvesting*
Eletromagnético**

Autor: Felipe Rodrigues Sobrinho
Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF
2023



Felipe Rodrigues Sobrinho

**Unidade de Gerenciamento de Potência para Aplicações
de *Energy Harvesting* Eletromagnético**

Monografia submetida ao curso de graduação
em Engenharia Eletrônica da Universidade
de Brasília, como requisito parcial para ob-
tenção do Título de Bacharel em Engenharia
Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF

2023

Felipe Rodrigues Sobrinho

Unidade de Gerenciamento de Potência para Aplicações de *Energy Harvesting*
Eletromagnético/ Felipe Rodrigues Sobrinho. – Brasília, DF, 2023-

72 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2023.

1. *energy harvesting*. 2. Unidade de Gerenciamento de Potência. I. Prof. Dr.
Sandro Augusto Pavlik Haddad. II. Universidade de Brasília. III. Faculdade UnB
Gama. IV. Unidade de Gerenciamento de Potência para Aplicações de *Energy
Harvesting* Eletromagnético

CDU 02:141:005.6

Felipe Rodrigues Sobrinho

Unidade de Gerenciamento de Potência para Aplicações de *Energy Harvesting* Eletromagnético

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 24 de fevereiro de 2023:

**Prof. Dr. Sandro Augusto Pavlik
Haddad**
Orientador

**Prof. Dr. José Edil Guimarães de
Medeiros**
Convidado 1

Prof. MSc. Yuri Cesar Rosa de Toledo
Convidado 2

Brasília, DF
2023

Resumo

A demanda por soluções de sistemas de gerenciamento de potência *on-chip* tem aumentado bastante. Tal cenário é condicionado a deixar os circuitos cada vez mais independentes de fontes de energia como baterias e a rede elétrica. A principal solução é o emprego da colheita de energia abundante no ambiente sob diversas formas: luz, movimento, radiação, calor e outros. Neste trabalho serão analisados alguns blocos essenciais e as considerações básicas para a implementação da Unidade de Gerenciamento de Potência dos dispositivos sem fio que realizam a coleta de energia eletromagnética. O objetivo é conseguir realizar um bom levantamento bibliográfico, seguido das implementações dos circuitos com auxílio das ferramentas Cadence. Assim, os circuitos serão implementados em nível de transistor e será comparado o seu comportamento aos circuitos elencados na revisão bibliográfica.

Palavras-chave: *Energy Harvesting*; Unidade de Gerenciamento de Potência; Baixo Consumo.

Abstract

The demand for on-chip power management systems has increased. Such a scenario conditions circuits to become increasingly independent from energy sources such as batteries and the power grid. The main solution is to use energy harvesting to use abundant energy sources present in the environment in different forms, such as light, movement, radiation, heat, and so forth. This work aims to analyze the blocks and the foundational considerations of the basics of electromagnetic energy harvesting as a power source for ultra-low-power circuits. The objective is to elaborate a comprehensive literature review and further implementation of the circuits through the Cadence Virtuoso software. Such circuits are to be implemented at transistor level and their respective behaviors shall be compared to those of similar circuits previously found in the literature review.

Key-words: Energy Harvesting, Power Management Unit, Ultra-Low-Power.

Lista de ilustrações

Figura 1 – Etapas de um projeto de um circuito integrado.	16
Figura 2 – Ilustração da tag RFID vestível para monitorização de sinais vitais. Fonte: (LYU; WANG; BABAKHANI, 2020).	19
Figura 3 – Arquiteturas dos conversores DC-DC mais básicos.	19
Figura 4 – Filtro LC básico utilizado nas topologias de conversores DC-DC <i>buck</i> e <i>boost</i>	20
Figura 5 – Esquema de controle por PWM para os conversores DC-DC. Fonte: (MITCHELL; MAMMANO, 2001).	20
Figura 6 – Esquema de controle por PFM para os conversores DC-DC. Fonte: (LIOU et al., 2007).	21
Figura 7 – Conversor DC-DC buck com os modos PWM e PFM implementados. Fonte: (HA et al., 2014).	22
Figura 8 – Controle em malha fechada de um conversor DC-DC PWM em malha fechada. Fonte: (SHEEHAN; DIANA, 2016).	23
Figura 9 – Resposta ao degrau de carga de um conversor DC-DC <i>buck</i> real. Fonte: (SHEEHAN; DIANA, 2016).	24
Figura 10 – Esquemático de um compensador do tipo I.	24
Figura 11 – Resposta em frequência para o compensador do tipo I. Fonte: (SHE- EHAN; DIANA, 2016).	25
Figura 12 – Esquemático de um compensador do tipo II.	26
Figura 13 – Resposta em frequência para o compensador do tipo II. Fonte: (SHE- EHAN; DIANA, 2016).	27
Figura 14 – Esquemático de um compensador do tipo III.	27
Figura 15 – Resposta em frequência para o compensador do tipo III. Fonte: (SHE- EHAN; DIANA, 2016).	28
Figura 16 – Diferentes arquiteturas de reguladores LDO. Fonte: (TORRES et al., 2014).	29
Figura 17 – Diagrama do controle em malha fechada de um LDO sem capacitor externo.	30
Figura 18 – Diagrama de bode para um LDO sem capacitor externo e com ampli- ficador de erro de um estágio. Fonte: (TORRES et al., 2014).	30
Figura 19 – Dispositivo de passagem sendo transistor PMOS ou NMOS. Fonte: (TANTAWY; BRAUER, 2004)	32
Figura 20 – Tensão de <i>Dropout</i> vs. tensão de entrada para o regulador LDO comer- cial TPS799. Fonte: <i>Texas Instruments</i>	32

Figura 21 – Aplicação típica de reguladores LDO com outros blocos gerenciadores energia, onde SL é um regulador chaveado. Fonte: (SHYLAJA; RINCÓN-MORA, 2021)	33
Figura 22 – Principais caminhos para a passagem do ruído da entrada para a saída. Fonte: (EL-NOZAHY et al., 2010)	34
Figura 23 – Contribuição de cada caminho na frequência. Em vermelho, o resultado somado de cada caminho no PSR. Fonte: (TEEL, 2005b).	35
Figura 24 – Modelo de regulador LDO sem capacitor externo para análise do transiente de carga. Fonte: (TORRES et al., 2014).	36
Figura 25 – Redução na excursão negativa do sinal de saída vs. corrente de polarização do amplificador de erro. Fonte: (TORRES et al., 2014).	37
Figura 26 – Espectro em frequência dos três tipos de ruído. Fonte: (PITHADIA, 2009).	38
Figura 27 – Diagrama em blocos típico de um regulador LDO descrevendo as fontes de ruído. Fonte: (TEEL, 2005a).	39
Figura 28 – Diagrama em blocos do conversor DC-DC <i>buck</i> implementado.	40
Figura 29 – Resposta em frequência do filtro LC projetado.	41
Figura 30 – Circuito de compensação tipo III (PID) implementado para a compensação em malha fechada do conversor.	42
Figura 31 – Resposta em frequência do compensador PID projetado utilizando um amplificador de erro ideal.	43
Figura 32 – Resposta em malha fechada sem considerar o efeito de modulação PWM sobre o circuito filtro.	44
Figura 33 – Resposta em frequência da magnitude inversa do PID e da magnitude do filtro LC.	44
Figura 34 – Amplificador operacional em topologia <i>balanced</i>	45
Figura 35 – Resposta em frequência do amplificador de erro de arquitetura <i>balanced</i> . Tal apresentou uma margem de fase de 45° , para uma carga de $1pF$	45
Figura 36 – Comparativo das respostas em frequência do compensador com o amplificador de erro real e ideal.	46
Figura 37 – Dimensionamento das chaves feito para o conversor DC-DC síncrono.	47
Figura 38 – Circuito de <i>buffer</i> para realizar o disparo das chaves semicondutoras.	47
Figura 39 – Circuito para a geração do tempo morto.	48
Figura 40 – Circuito com uma cadeia de inversores para a geração do atraso entre os sinais de chaveamento.	48
Figura 41 – Gráfico no tempo da geração de tempo morto entre as saídas para os transistores de chaveamento.	49
Figura 42 – Gráfico no tempo da transição de nível baixo para alto na geração de tempo morto.	49

Figura 43 – Esquemático do comparador realimentado positivamente.	50
Figura 44 – Resposta transiente do comparador realimentado positivamente.	51
Figura 45 – Resposta frequencial do comparador com realimentação positiva.	51
Figura 46 – Esquemático do gerador de onda dente de serra implementado.	52
Figura 47 – Resposta transiente do circuito gerador de dente de serra. Fonte:autor.	52
Figura 48 – Circuito de partida suave implementado.	53
Figura 49 – Resposta transiente do circuito de partida suave.	54
Figura 50 – Esquemático da referência de tensão por <i>bandgap</i> implementado.	55
Figura 51 – Análise da tensão em ponto de operação do circuito de referência em função da temperatura. Também, uma variação na tensão de alimentação (V_{dd}).	55
Figura 52 – Análise da variação de tensão em função da temperatura em <i>ppm</i>	56
Figura 53 – Gráfico das curvas PTAT e CTAT para o circuito de referência de tensão por <i>bandgap</i>	56
Figura 54 – Simulação transiente do circuito de referência de tensão <i>bandgap</i> . É observado um tempo de estabilização de aproximadamente $130\mu s$	57
Figura 55 – Esquemático da implementação do multiplexador analógico.	57
Figura 56 – Resposta transiente do conversor quando aplicado um degrau de carga de $200mA$ para $18mA$. Durante a transição de carga, o desvio da tensão nominal é de $45mV$ e o tempo de estabilização de aproximadamente $20\mu s$	58
Figura 57 – Resposta transiente do conversor quando aplicado um degrau de carga de $18mA$ para $200mA$. O desvio máximo da tensão no instante de transição é de $49mV$, com um tempo de estabilização de aproximadamente $20\mu s$	59
Figura 58 – Resposta transiente da corrente do conversor quando aplicado um degrau de carga de $200mA$ para $18mA$	59
Figura 59 – Gráfico que mostra a inicialização suave do conversor e a estabilização. Na imagem, também é possível ver a aplicação das variações de carga abruptas.	60
Figura 60 – Diagrama em alto nível do regulador LDO implementado.	61
Figura 61 – Implementação do amplificador operacional simples com apenas um estágio.	62
Figura 62 – Implementação do amplificador operacional <i>folded cascode</i> com apenas um estágio.	62
Figura 63 – Desempenho em frequência do amplificador de um estágio.	63
Figura 64 – Desempenho em frequência do amplificador FC.	64

Figura 65 – Resposta transiente a um degrau de entrada para a medição do <i>slew rate</i> . Ambos apresentam uma taxa de descida de $1MV/s$ e uma taxa de subida de aproximadamente $900kV/s$	64
Figura 66 – Análise do ICMR para os amplificadores operacionais.	65
Figura 67 – Análise do PSRR para os amplificadores operacionais.	65
Figura 68 – Circuito de testes utilizado para avaliar a performance do circuito com um amplificador de erro na topologia <i>folded cascode</i> ou com estágio único.	66
Figura 69 – Desempenho em frequência do amplificador FC.	67
Figura 70 – Desempenho em frequência do amplificador de estágio único.	67
Figura 71 – Resposta transiente a um degrau de carga baixa para carga alta com vistas a observar o tempo de estabilização.	68
Figura 72 – Resposta transiente a um degrau de carga alta para carga baixa com vistas a observar o tempo de estabilização.	68
Figura 73 – Análise do PSRR para os reguladores LDOs.	69

Lista de tabelas

Tabela 1 – Especificações básicas para a construção do conversor DC-DC <i>buck</i> . . .	41
Tabela 2 – Resultado da performance do conversor DC-DC <i>buck</i>	60
Tabela 3 – Valores de performance mensurados na análise em frequência dos amplificadores implementados.	63

Lista de abreviaturas e siglas

AE	Amplificador de Erro
DC	<i>Direct Current</i>
ESR	<i>Equivalent Series Resistance</i>
FC	<i>Folded Cascode</i>
GBW	<i>Gain-Bandwidth Product</i>
ICMR	<i>Input Common-Mode Range</i>
IOT	<i>Internet of Things</i>
LDO	<i>Low Drop-out</i>
NMOS	<i>nFET Metal Oxide Silicon</i>
PFM	<i>Pulse Frequency Modulation</i>
PID	Proporcional-Derivativo-Integrativo
PMOS	<i>pFET Metal Oxide Silicon</i>
PSR	<i>Power Supply Rejection</i>
PSRR	<i>Power Supply Rejection Ratio</i>
PWM	<i>Pulse Width Modulation</i>
RFID	<i>Radio Frequency Identification</i>
SNR	<i>Signal-to-Noise Ratio</i>
UGP	Unidade de Gerenciamento de Potência
UWB	<i>Ultra Wide-Band</i>
VLSI	<i>Very Large Scale Integration</i>

Lista de símbolos

F	Farad
g	Transcondutância
Hz	Hertz
K	Quilo
M	Mega
R_{DS}	Resistência entre Dreno e Fonte
V_{in}	Tensão de entrada
V_{out}	Tensão de saída
β	Fator de realimentação
ω	Frequência angular

Sumário

1	INTRODUÇÃO	15
	Introdução	15
1.1	Objetivos	15
1.2	Justificativa	15
1.3	Metodologia	16
1.4	Organização do trabalho	17
2	REFERENCIAL TEÓRICO	18
2.1	Visão Geral do Projeto	18
2.2	Conversores DC-DC	19
2.2.1	Método de compensação	22
2.2.1.1	Compensação Tipo I	24
2.2.1.2	Compensação Tipo II	25
2.2.1.3	Compensação Tipo III	27
2.3	<i>Low Drop-out Voltage Regulators</i>	29
2.3.1	<i>Drop-Out</i>	31
2.3.2	<i>Power Supply Rejection</i>	33
2.3.3	Regulação e Transiente de Linha	35
2.3.4	Transiente de Carga	36
2.3.5	Regulação de Carga	37
2.3.6	Ruído	38
3	IMPLEMENTAÇÕES E RESULTADOS	40
3.1	Conversor DC-DC Buck	40
3.1.1	Filtro LC	41
3.1.2	Método de compensação	42
3.1.3	Chaves semicondutoras	46
3.1.4	Gerador de Tempo Morto (<i>Dead Time Generator</i>)	48
3.1.5	Comparador	49
3.1.6	Gerador de Dente de Serra	51
3.1.7	Partida Suave (<i>Soft Start</i>)	53
3.1.8	<i>Bandgap</i>	54
3.1.9	Multiplexador de sinais analógicos	57
3.2	Resultados da Simulação do Conversor DC-DC Buck	57
3.3	Implementação do LDO	60

3.3.1	Amplificadores Operacionais de um Estágio	61
3.4	Comparação de Dois Reguladores LDOs	66
4	CONCLUSÃO E TRABALHOS FUTUROS	70
4.1	Trabalhos Futuros	70
	REFERÊNCIAS	71

1 Introdução

Neste capítulo, será feita uma apresentação inicial do trabalho, conceituando-o em: objetivos gerais e específicos, motivações, justificativas e metodologia. A organização do trabalho também será apresentada.

1.1 Objetivos

O presente trabalho visa realizar o projeto e caracterização de um regulador LDO e um conversor DC-DC, componentes básicos de uma unidade de gerenciamento de potência. O objetivo é analisar as topologias mais utilizadas de alguns destes blocos, em primeiro momento de maneira mais teórica. Em um segundo momento, será proposta a implementação de um circuito eletrônico integrado por meio da ferramenta de desenho de esquemático *Cadence Virtuoso*, na versão 6.18. Para a simulação, será utilizado o *Spectre*, na versão 17.1.

1.2 Justificativa

Todos os dispositivos eletrônicos precisam de uma fonte energética para a operação. Dispositivos pessoais como celulares e computadores são exemplos triviais de dispositivos alimentados por baterias ou por tomadas, e quando não por ambos. A natureza da alimentação pode ser distinta dependendo da necessidade do dispositivo. Por exemplo, não se pode conectar um computador diretamente nos fios de alta tensão da rede de energia. Assim, é necessário realizar a conversão energética para um formato que seja compatível com os dispositivos eletrônicos alvos. Levando em consideração que um dispositivo eletrônico é nada mais que um conjunto de subcircuitos, também é necessário que hajam blocos internos específicos para o gerenciamento energético. Os blocos de gerenciamento energético compõem a Unidade de Gerenciamento de Potência (UGP) de um dispositivo.

O projeto de uma Unidade de Gerenciamento de Potência é baseado nos requisitos de projeto das demais unidades de funcionamento de um circuito integrado. As topologias obedecem o mesmo princípio de funcionamento, adotando algumas diferenças em alguns blocos e integrando-os em função dos requisitos estabelecidos. Assim, para cada projeto, é necessário realizar uma etapa de otimização do circuito de gerenciamento energético, o que depende primariamente da fonte energética do sistema.

Em sistemas de *energy harvesting* de baixíssima potência, a fonte é normalmente de baixa tensão e baixa corrente. Tal faz com que o projeto dos componentes seja feito a

considerar o mínimo de dissipação possível, resultando no máximo de eficiência. Assim, há sempre uma gama de trocas a serem consideradas, o que impacta diretamente na escolha das topologias de circuitos que serão implementados.

Em sistemas de coleta de energia eletromagnética, o sinal apresentado é normalmente de baixa amplitude, baixa potência e de frequência a depender do *front-end* RF (antena e circuitaria para adequação do sinal). Após retificado, o sinal apresenta um *ripple* constante e baixa corrente. Logo, os blocos devem ser feitos com uma boa rejeição ao ruído, um baixo consumo e, a depender do casamento de impedância, uma boa resposta aos transientes de linha.

Devido a alta complexidade da construção de cada bloco da Unidade de Gerenciamento de Potência, este trabalho terá foco na construção de um conversor DC-DC do tipo *Buck* e dos reguladores de tensão lineares de baixa queda (LDO), para um sistema de coleta de energia eletromagnética. O conversor DC-DC *Buck* será utilizado para gerenciar a conversão da tensão ofertada pela bateria; os LDOs, por sua vez terão o enfoque do seu projeto direcionados para atender as especificações dos dispositivos de coleta eletromagnética.

1.3 Metodologia

A metodologia utilizada no projeto foi a *Top-Down*. As tarefas do projeto são separadas em etapas que não podem ser feitas de maneira concomitante. Uma representação básica desse tipo de metodologia para o projeto de circuitos digitais pode ser vista na figura 1.

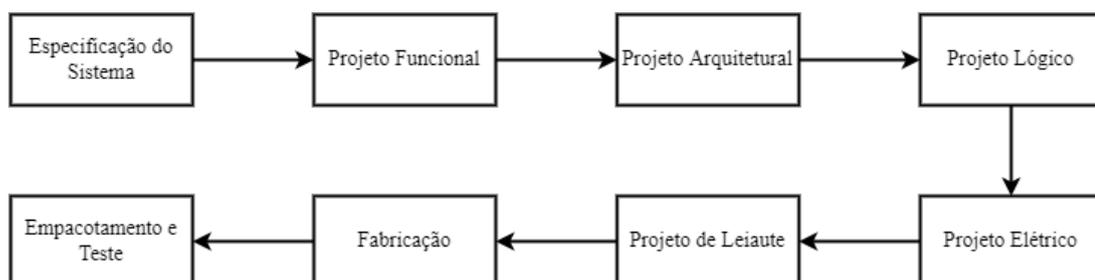


Figura 1 – Etapas de um projeto de um circuito integrado.

Segundo (JOHANN, 1997), essas etapas podem ser explicadas da seguinte forma:

- **Especificação do Sistema:** Nessa etapa é utilizada uma grande quantidade de tempo, pois é feito a designação das equipes, pesquisa de soluções, definição das interfaces entre os blocos do sistema, e os fatores comerciais.

- **Projeto Funcional:** Descreve abstratamente o sistema que funcione de forma a validar inicialmente a ideia proposta. Normalmente, utiliza-se linguagens de validação *Very Large Scale Integration* (VLSI).
- **Projeto Arquitetural:** Aqui são definidos os blocos funcionais per si. São definidas as topologias e arquiteturas internas baseado no comportamento requerido.
- **Projeto Lógico:** Aqui o projeto é refinado logicamente. Assim é feita a verificação da estrutura de funcionamento da unidade de controle sobre as outras unidades.
- **Projeto Elétrico:** Os circuitos então são projetados utilizando os componentes básicos como capacitores, resistores, transistores e indutores.
- **Projeto de Leiaute:** É feito o projeto físico do sistema: a disposição dos componentes, a geometria dos componentes e a extração dos efeitos parasítas.
- **Fabricação:** O circuito é enviado para a fabricação a partir do leiaute. Nesse ponto, não há ação a ser tomada pela equipe de desenvolvimento.
- **Empacotamento e Teste:** O circuito é então encapsulado para a produção em massa, antes de passar por um lote de testes que visam caracterizar o circuito final e encontrar possíveis erros de fabricação e projeto.

Neste projeto, as etapas realizadas incluirão até a etapa de projeto Elétrico.

1.4 Organização do trabalho

O documento segue a organização dada em quatro partes: Revisão Bibliográfica, Projeto, Implementação e Resultados, e Conclusão. A primeira parte tem o intuito de nivelar o leitor quanto aos conceitos básicos abordados e estabelecer os componentes de base para a realização do projeto. A segunda parte reflete a modelagem dos circuitos, a implementação e simulação via *software*. A última parte analisa os resultados obtidos, as possíveis melhorias e os trabalhos futuros a serem realizados.

2 Referencial Teórico

Este capítulo é destinado a apresentar os conceitos básicos e pertinentes para a compreensão do projeto dos circuitos e do resultado analisado. O conteúdo será apresentado de maneira progressiva, dando ênfase aos parâmetros de maior criticidade para a aplicação selecionada.

2.1 Visão Geral do Projeto

O desenvolvimento da internet das coisas (*Internet Of Things* - IOT) fez com que houvesse uma nova era na revolução industrial. Como peças-chave desse fenômeno estão os dispositivos sem-fio de ultra baixa potência, largamente utilizados em aplicações de *Radio Frequency Identification* (RFID), dispositivos vestíveis, dispositivos biologicamente implantáveis e no setor militar.

Apesar dos vários projetos envolvendo circuitos com baixíssimo consumo de potência, os dispositivos sem-fio ainda possuem uma forte interdependência com as baterias, cujo problema primário é o tempo de vida útil finito. Sistemas autônomos que colem energia do ambiente são, agora, estratégias para suplantarem totalmente ou parcialmente essa deficiência.

O conceito de *energy harvesting* consiste em capturar a energia disponível no ambiente e convertê-la em energia elétrica utilizando um transdutor. O ambiente oferece diversas fontes de energia como a luz (PRABHA; RINCÓN-MORA, 2016), o movimento (TORRES; RINCON-MORA, 2010), a vibração (KWON; RINCON-MORA, 2010), o calor (TRAN-DINH et al., 2021), a radiação (LEICHT; MANOLI, 2017), e outras formas de energia em que há um transdutor adequado para coletar essa energia para o sistema.

Nesta senda, a energia disposta no ambiente é capaz de fornecer também informações sobre o ambiente. Uma aplicação interessante pode ser vista em (LYU; WANG; BABAKHANI, 2020), onde é utilizada a energia eletromagnética para a alimentação de uma tag RFID vestível, além de realizar a medição dos sinais vitais a partir da amostragem da amplitude do sinal de alimentação. Com a mesma energia de alimentação, são enviadas as informações sobre a frequência respiratória e cardíaca para um receptor ultra banda-larga (UWB), como visto na Fig. 2.

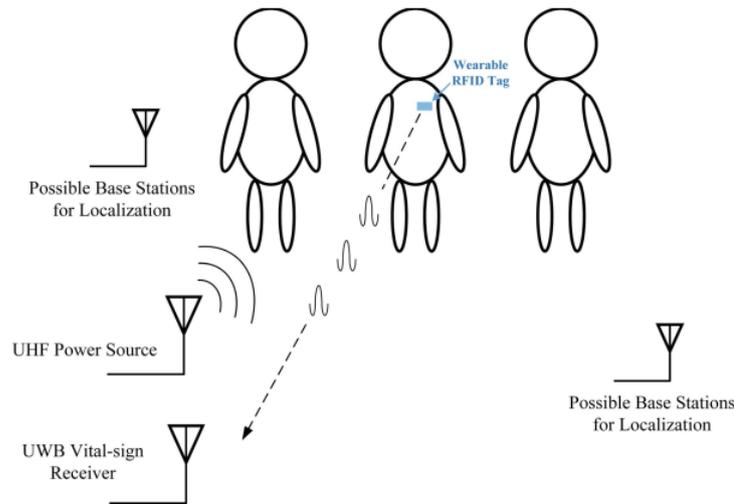
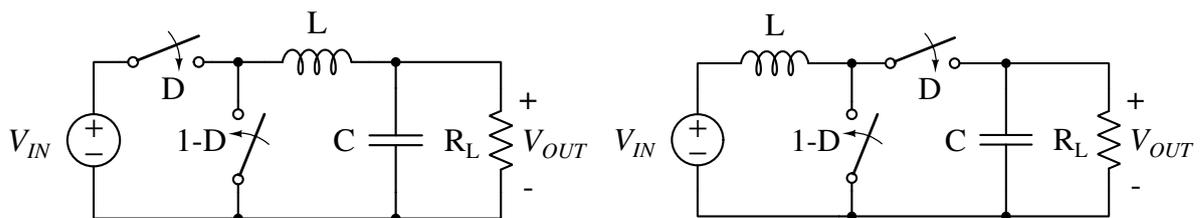


Figura 2 – Ilustração da tag RFID vestível para monitorização de sinais vitais. Fonte: (LYU; WANG; BABAKHANI, 2020).

A realização desse circuito baseia-se em blocos que tenham um baixo consumo de potência, caracterizando-os como sistemas *ultra-low power*. A alimentação desses circuitos baseia-se em blocos básicos utilizados normalmente na unidade de gerenciamento de potência: reguladores LDO, Conversores DC-DC, retificadores e *charge-pumps*. Os blocos que compõem o sistema de gerenciamento de potência necessitam operar em baixo consumo, além de oferecer mais robustez a alguns parâmetros, como o *Power Supply Rejection Ratio* (PSRR) e a regulação de linha. Tais nuances serão abordadas nos capítulos seguintes.

2.2 Conversores DC-DC

Os conversores DC-DC são circuitos que convertem um nível de tensão DC de entrada em outro nível de tensão DC de saída que pode ser maior ou menor que o nível de entrada. Seu funcionamento consiste no chaveamento síncrono ou assíncrono de um filtro LC. São dois os conversores DC-DC mais básicos: *buck* e *boost*. As topologias dos conversores supracitados podem ser vistas na Fig. 3.



(a) Topologia para o conversor do tipo *buck*. (b) Topologia para o conversor do tipo *boost*.

Figura 3 – Arquiteturas dos conversores DC-DC mais básicos.

Ambos os conversores são baseados em um filtro do tipo LC, que pode ser modelado como visto na Fig. 4. A função de transferência desse circuito é facilmente obtida por meio do divisor de tensão, resultando na Eq. 2.1 (MITCHELL; MAMMANO, 2001).

$$\frac{V_o(s)}{V_i(s)} = \frac{\frac{1}{LC}}{s^2 + \frac{s}{R_L C} + \frac{1}{LC}} \quad (2.1)$$

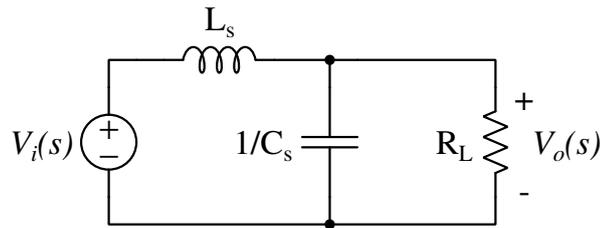


Figura 4 – Filtro LC básico utilizado nas topologias de conversores DC-DC *buck* e *boost*.

A partir da função de transferência é possível ver que, para um filtro com pouco fator de amortecimento, a frequência de corte (ω_c) do filtro pode ser dada pela Eq. 2.2.

$$\omega_c \approx \sqrt{\frac{1}{LC}} \quad (2.2)$$

Tendo feito isso, há agora duas formas principais de se realizar o controle das chaves: por modulação de largura de pulso (PWM) ou por modulação de frequência de pulso (PFM). O modo PWM opera por meio da comparação do sinal da saída por um sinal de referência, em que o resultado do erro entre esses dois sinais é comparado com uma onda dente de serra que realiza a modulação da largura de pulso, como é visto na Fig. 5.

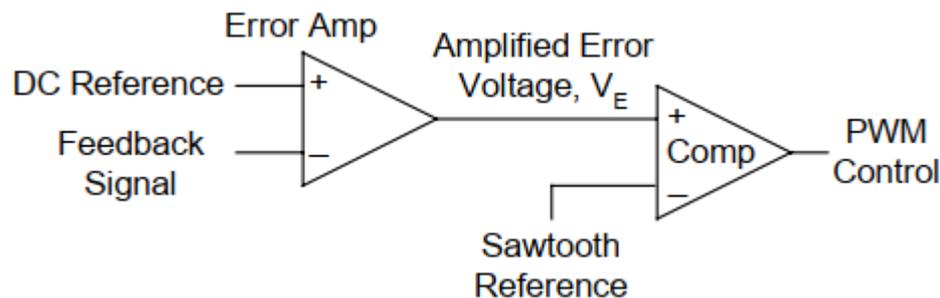


Figura 5 – Esquema de controle por PWM para os conversores DC-DC. Fonte: (MITCHELL; MAMMANO, 2001).

O controle PFM, no entanto, não é como o PWM (o sincronismo é gerado pelo sinal dente de serra). Um esquema de controle PFM pode ser visto na Fig. 6. A saída do

amplificador de erro é comparado com uma tensão de referência (V_{ref}) e por uma tensão gerada por um circuito de transcondutância constante (V_{bias1}). A saída do sinal PFM então é modulada segundo a queda de tensão do circuito abaixo ou acima dos limiares definidos.

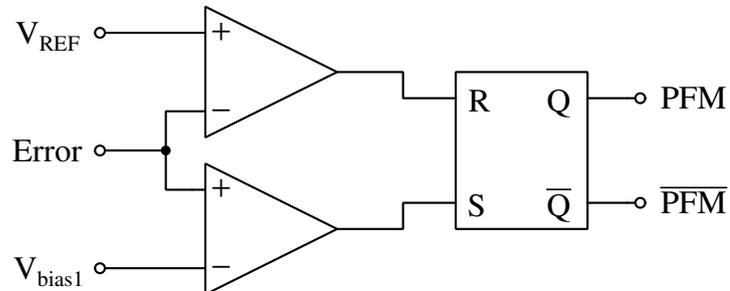


Figura 6 – Esquema de controle por PFM para os conversores DC-DC. Fonte: (LIYOU et al., 2007).

É possível realizar o projeto de um conversor DC-DC com modos PWM e PFM mútuos, melhorando a eficiência final, como visto na Fig. 7. Em cargas mais pesadas, o controle PWM é mais eficiente, o *ripple* é reduzido devido ao sincronismo e a resposta a transientes é mais rápida. Entretanto, em baixas cargas, a eficiência do modo PWM cai principalmente devido as perdas do chaveamento dos transistores e pela descontinuidade da corrente no indutor, o que faz com que haja o retorno de corrente para a tensão de referência. Assim, em baixas cargas, o controle PFM sobressai sobre o PWM, pois modula a frequência com o qual o indutor é chaveado. A grande desvantagem do modo PFM é a baixa velocidade de resposta ao transiente e o *ripple* máximo é expressivamente aumentado (LIYOU et al., 2007).

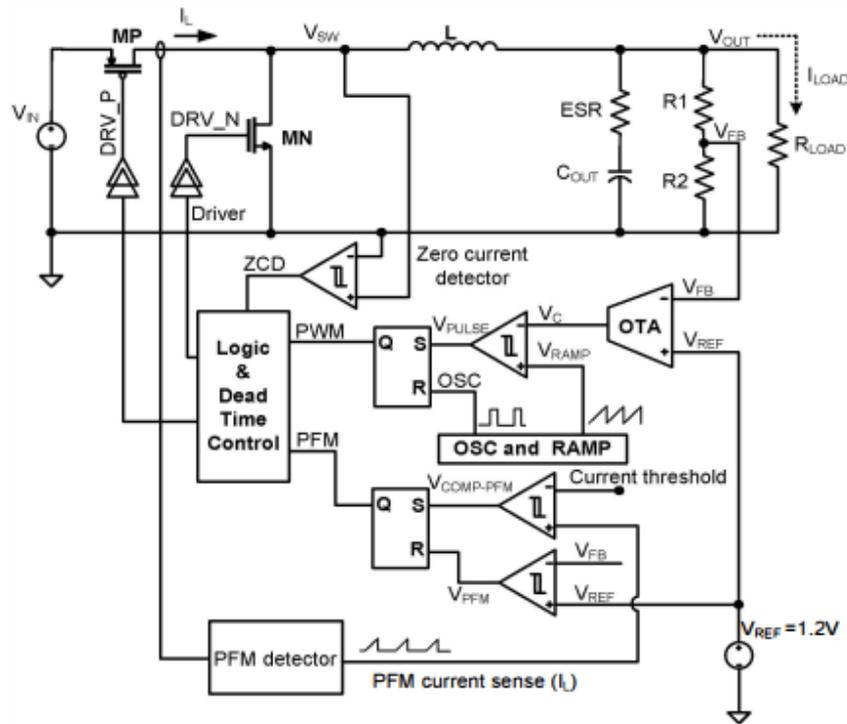


Figura 7 – Conversor DC-DC buck com os modos PWM e PFM implementados. Fonte: (HA et al., 2014).

2.2.1 Método de compensação

A operação de um conversor DC-DC em alta carga, como visto, é feito primariamente pelo PWM. Um diagrama de um conversor DC-DC genérico utilizando o modo PWM em malha fechada pode ser visto na Fig. 8. Nesta figura pode ser visto o estágio de potência que inclui o conjunto de capacitores, indutores e/ou transformadores que compõem o formato do filtro; as chaves para o chaveamento de tensão no filtro; e o modulador de sinal PWM. Também pode ser visto o amplificador de erro, que é responsável por realizar a retroalimentação e a compensação. A tensão de saída é retroalimentada por meio da amostragem da tensão de um divisor resistivo. O sinal de controle gerado por meio do amplificador de erro é enviado para o modulador PWM que aumenta o ciclo útil quando a tensão de saída está baixa, e diminui o ciclo útil quando a tensão de saída está alta. Isso caracteriza como uma malha com realimentação negativa. Portanto, o ganho e a fase de malha é um compromisso entre o ganho e fase do amplificador de erro, do modulador e do estágio de potência. O comportamento do ganho e fase de malha definirão o quão bem funcionará o conversor DC-DC (SHEEHAN; DIANA, 2016).

Três parâmetros que são dependentes do ganho e da margem de fase são a largura de banda, a margem de ganho e a margem de fase. A largura de banda de um sinal representa o quão bem o circuito responderá a transientes de carga: quanto maior a largura de banda, mais veloz será a ação de compensação da malha. A margem de fase ditará

o tipo de resposta que o circuito terá a transientes: sub amortecida, super amortecida ou criticamente amortecida. Por fim, a margem de ganho relaciona-se diretamente com a margem de fase, sendo também um parâmetro passível para avaliação. Para um bom projeto, consideram-se margens de fase entre 45° e 60° uma faixa ideal; margens de ganho de aproximadamente $-6dB$ e abaixo; e larguras de banda de aproximadamente um quinto ou um décimo da frequência de chaveamento um valor adequado.

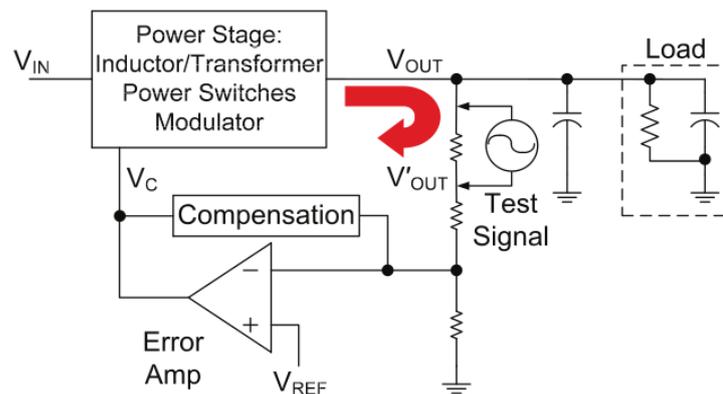
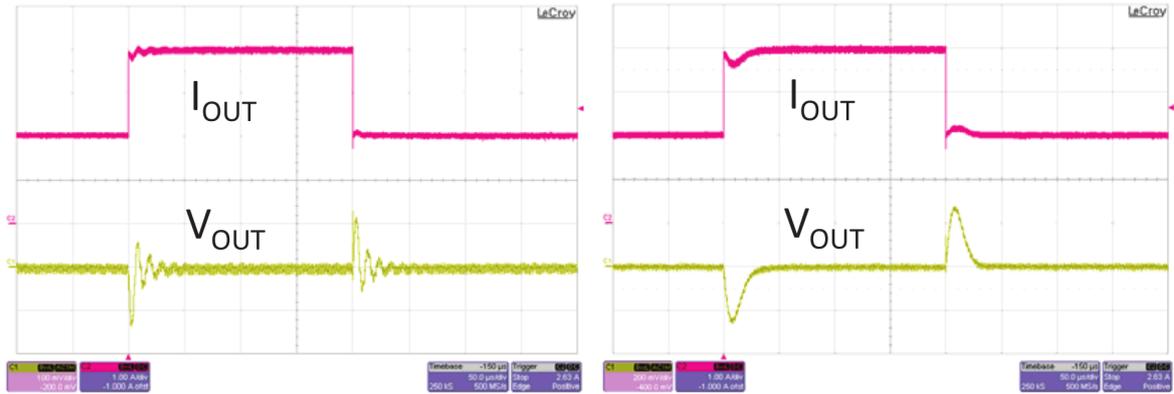


Figura 8 – Controle em malha fechada de um conversor DC-DC PWM em malha fechada. Fonte: (SHEEHAN; DIANA, 2016).

A Fig. 9a mostra uma resposta criticamente amortecida para o transiente de carga: há oscilações durante as trocas de carga. Isso implica que a margem de fase está baixa (aproximadamente 45° ou um pouco acima). Ao passo que o circuito da Fig. 9b mostra um fator de amortecimento bem melhor não causando oscilações durante os transientes de carga. Note, entretanto, que um circuito com uma margem de fase maior possui uma resposta ao transiente um pouco mais lenta do que o circuito com menor margem de fase. Assim, cabe ao projetista ajustar a margem de fase em uma especificação que atenda os requisitos do projeto.



- (a) Resposta transitente com baixo fator de amortecimento (criticamente amortecido), causando oscilações durante os transientes de carga.
- (b) Resposta transitente com bom fator de amortecimento (super amortecido), não causando oscilações na tensão durante os transientes de carga.

Figura 9 – Resposta ao degrau de carga de um conversor DC-DC *buck* real. Fonte: (SHEHAN; DIANA, 2016).

2.2.1.1 Compensação Tipo I

A compensação do tipo I pode ser vista na Fig. 10. Esta é o tipo mais simples de compensação. É composta apenas por um pólo dado pelo capacitor C_{comp} , e é normalmente utilizada quando se tem uma carga de corrente constante, como a alimentação de um LED (LEE, 2014). Este tipo providencia apenas um único polo na origem, causando uma queda no ganho de $-20dB/dec$.

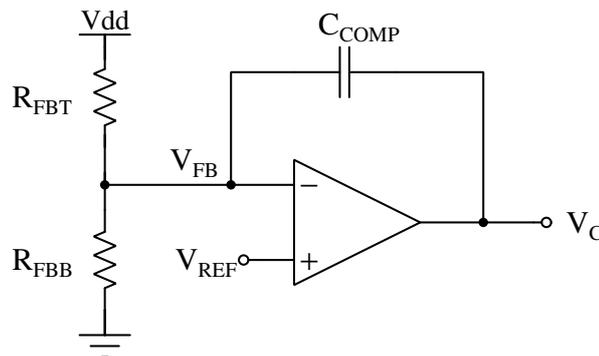


Figura 10 – Esquemático de um compensador do tipo I.

A frequência de cruzamento do ganho unitário ($0dB$) pode ser dada pela Eq. 2.3. Na condição estado DC, as entradas do amplificador são virtualmente curto-circuitadas. Isso determinará o valor da tensão de saída. Entretanto, quando aplicado uma perturbação no circuito, do ponto de vista de análise frequencial, somente o resistor R_{FBT} entrará na

análise, sendo o resistor R_{FBB} apenas um resistor de polarização (LEI; MAN, 2004).

$$f_{p1} = \frac{1}{2\pi R_{FBB} C_{comp}} \quad (2.3)$$

Tal compensação é pouco utilizada por ser mais útil quando tem-se sistemas com deslocamento de fase mínimo. Além disso, o fato de possuir apenas um pólo, faz com que a frequência em que ocorre o ganho unitário seja baixa, caracterizando-o como um circuito com uma resposta ao transiente bastante lenta. A resposta em frequência desse circuito pode ser vista na Fig. 11.

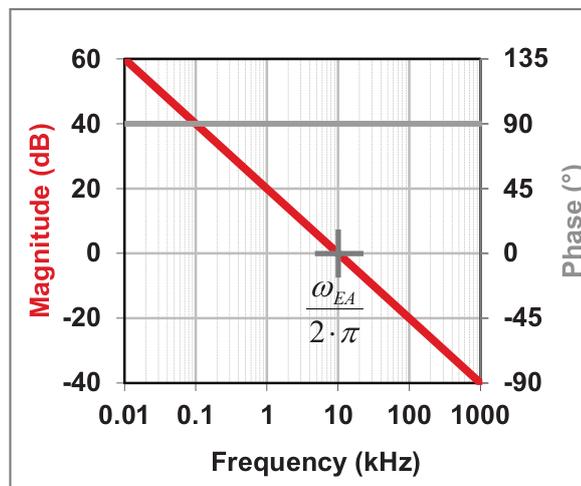


Figura 11 – Resposta em frequência para o compensador do tipo I. Fonte: (SHEEHAN; DIANA, 2016).

2.2.1.2 Compensação Tipo II

A compensação do tipo II pode ser vista na Fig. 12. Tal compensação possui um polo na origem, e um par zero-polo, sendo normalmente utilizada em conversores DC-DC no controlados em modo corrente (RAHIMI; PARTO; ASADI, 2010). A posição do polo pode ser encontrada a partir da Eq. 2.5 (considerando $C_{comp} \gg C_{HF}$) e a posição do zero a partir da Eq. 2.4.

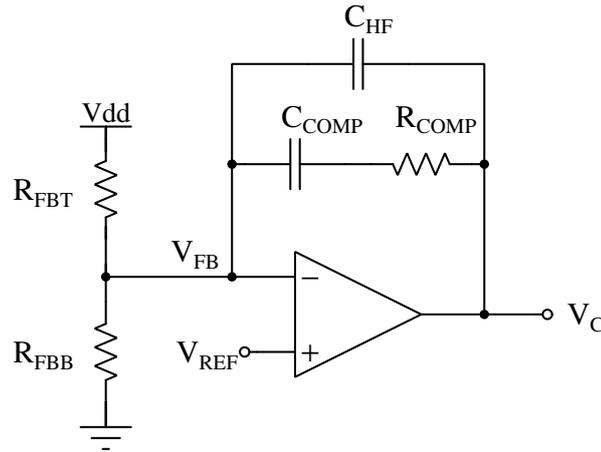


Figura 12 – Esquemático de um compensador do tipo II.

$$f_{zea} = \frac{1}{2\pi R_{comp} C_{comp}} \quad (2.4)$$

$$f_{HF} \approx \frac{1}{R_{comp} C_{HF}} \quad (2.5)$$

Tal compensação é usada para conversores que detêm apenas um polo em seu filtro com um deslocamento de fase máximo de 90° . Estes casos são encontrados em conversores de topologia *boost*, *buck-boost* e *fly-back* operando em modo descontínuo. E como dito, conversores operando em controle por modo corrente também são casos onde o filtro possui apenas um polo. Como o polo é causado pelo capacitor de filtro e a resistência de carga, a frequência com o qual ele ocorre é extremamente baixa. Nesse sentido, para que a resposta ao transiente seja estendida, é necessário que a largura de banda também o seja. Para isso, é adicionado um zero, dado pela Eq. 2.4, antes do primeiro polo do filtro, causando um avanço de fase e melhorando a largura de banda consequentemente. A largura de banda agora passa a ser ditada pelo polo de alta frequência dado pela Eq. 2.5 (LEI; MAN, 2004). A resposta em frequência desse tipo de compensador pode ser vista na Fig. 13.

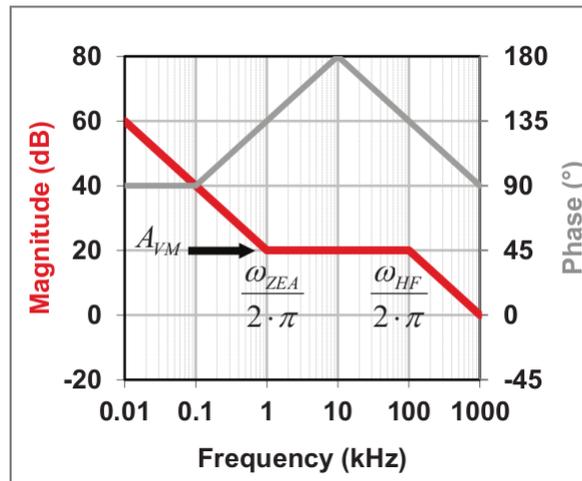


Figura 13 – Resposta em frequência para o compensador do tipo II. Fonte: (SHEEHAN; DIANA, 2016).

2.2.1.3 Compensação Tipo III

Para o conversor PWM em modo tensão, o tipo de compensação mais comum é o Proporcional-Integrativo-Derivativo (PID), ou compensação tipo 3. Tal controlador é munido de dois zeros em baixas frequências e dois pólos em mais altas frequências. O esquemático deste tipo de circuito pode ser visto na Fig. 14.

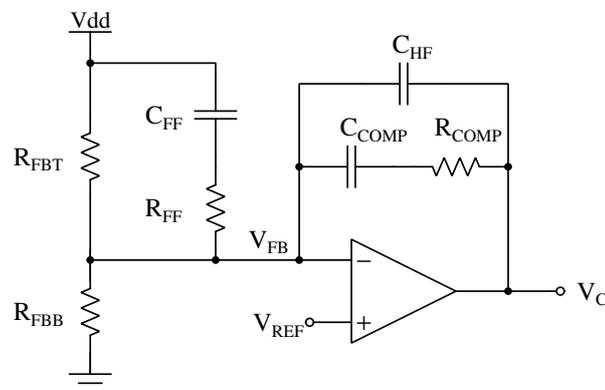


Figura 14 – Esquemático de um compensador do tipo III.

Considerando que o filtro LC utilizado no conversor DC-DC Buck é composto por dois pólos complexos conjugados, tem-se que a fase será invertida 180°. Tal inversão provoca a instabilidade do controle em malha fechada, tornando-o alimentado positivamente. É necessário, portanto, realizar a compensação desse atraso de fase por meio de um avanço de fase. O avanço de fase é realizado por meio de zeros, f_{zea} e f_{fz} , como visto na Fig. 15. Assim, é possível então estabilizar o sistema realizando a compensação da fase antes de atingir o produto ganho-banda (LEI; MAN, 2004).

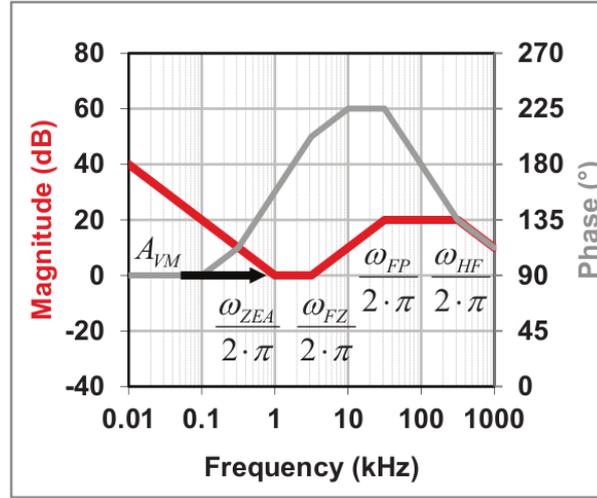


Figura 15 – Resposta em frequência para o compensador do tipo III. Fonte: (SHEEHAN; DIANA, 2016).

Intrinsecamente, o capacitor utilizado no filtro LC possui uma resistência equivalente chamada *Equivalent Series Resistance* ESR. Tal resistência implementa um zero adicional no sistema, f_{esr} que é dependente do valor da resistência, e que, por sua vez, é fortemente dependente da tecnologia do capacitor utilizado. Para capacitores cerâmicos, o valor de ESR é de aproximadamente de $3 - 5m\Omega$; para capacitores eletrolíticos, o ESR utilizando a composição de polímero de alumínio é, normalmente, na faixa de $10 - 20m\Omega$. Já para capacitores eletrolíticos construídos com outras composições, o valor do ESR pode chegar a faixa de centenas de $m\Omega$ (SHEEHAN; DIANA, 2016).

As Eqs. 2.6, 2.7, 2.8 e 2.9 que modelam os polos e zeros do compensador do tipo III, assumindo que os valores dos componentes serão $C_2 > C_3$, $R_1 < R_2$ e $R_1 < R_3$. Para se realizar uma boa compensação do conversor DC-DC *Buck* PWM em modo tensão, precisamos realizar o avanço de fase uma frequência logo após o atraso de fase, ou seja, numa região entre o segundo zero e o primeiro polo, e o segundo pólo deve ser posto em metade da frequência de amostragem. Como maneira de mitigar o zero proveniente do ESR, o primeiro polo é posto na mesma frequência do zero proveniente do ESR. O resultado final da compensação em malha fechada pode ser vista na Fig. 15 (RAHIMI; PARTO; ASADI, 2010).

$$z_1 = \frac{1}{2\pi f R_2 C_2} \quad (2.6)$$

$$z_2 = \frac{1}{2\pi f R_3 C_1} \quad (2.7)$$

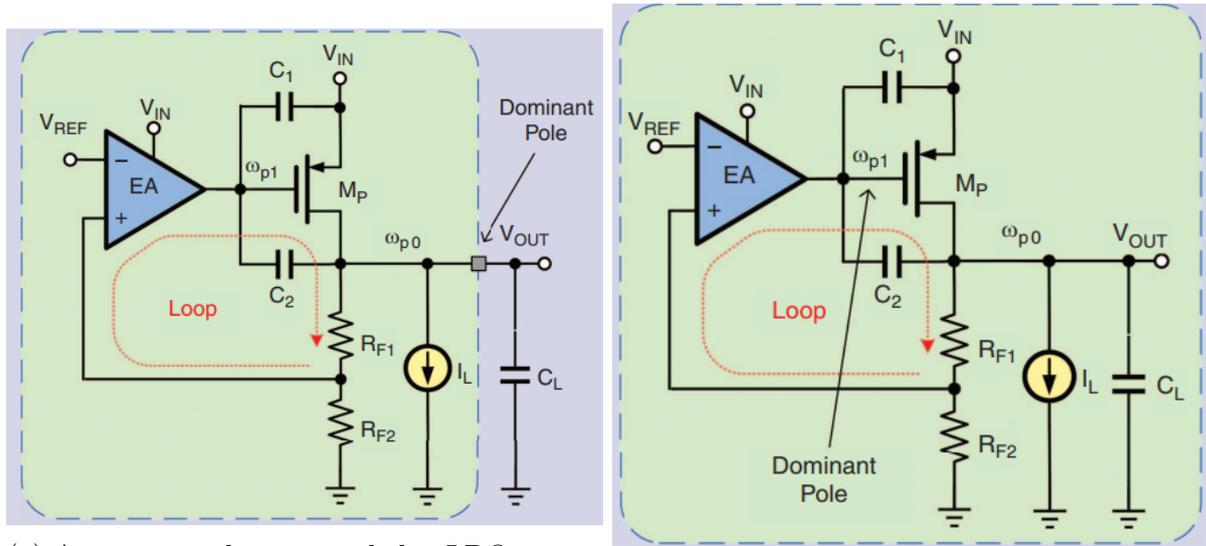
$$p_1 = \frac{1}{2\pi R_1 C_1} \quad (2.8)$$

$$p_2 = \frac{1}{2\pi R_3 C_3} \quad (2.9)$$

2.3 Low Drop-out Voltage Regulators

Os *Low Drop-out* (LDO) *voltage regulators* são blocos essenciais nos sistemas de gerenciamento de potência. Eles são normalmente utilizados em sistemas que necessitam de uma fonte de tensão com o mínimo de *ripple* para os blocos analógicos e de radio-frequência com sensibilidade ao ruído.

O formato básico de construção de um regulador LDO pode ser visto na Fig. 16a. A construção básica compreende basicamente um *pass transistor* (M_P), um amplificador de erro (AE), uma realimentação (R_{F1} e R_{F2}) e um capacitor fora do chip (C_L). A fonte de corrente I_L compreende a carga requerida.



(a) Arquitetura de um regulador LDO com o capacitor externo.

(b) Arquitetura de um regulador LDO sem capacitor externo.

Figura 16 – Diferentes arquiteturas de reguladores LDO. Fonte: (TORRES et al., 2014).

A maior limitação do circuito da Fig. 16a é que o capacitor C_L é da ordem de alguns microfarad. Esse capacitor incrementa o valor total do sistema e ocupa um espaço precioso no circuito. Já na Fig. 16b é utilizado uma arquitetura de regulador que não necessita do capacitor externo, diminuindo o custo final do sistema. A principal desvantagem dessa arquitetura é a instabilidade em baixas cargas.

A função de transferência de um regulador LDO sem capacitor externo é dado pelo diagrama da Fig. 17 e utiliza a Fig. 16b como referência. A entrada e saída são dadas por V_{in} e V_{out} , respectivamente. O fator de realimentação é dado por β , e A_p é o ganho

do transistor M_p . O polo de saída do sistema dado por ω_{po} . A função de transferência do amplificador de erro pode ser dada pela Eq. 2.10.

$$A_{AE}(s) = \begin{cases} \frac{A_{AE,o}}{1 + s/\omega_{p1}}, & \text{AE com um polo} \\ \frac{A_{AE,o}}{(1 + s/\omega_{p1})(1 + s/\omega_{p2})}, & \text{AE com dois polos} \end{cases} \quad (2.10)$$

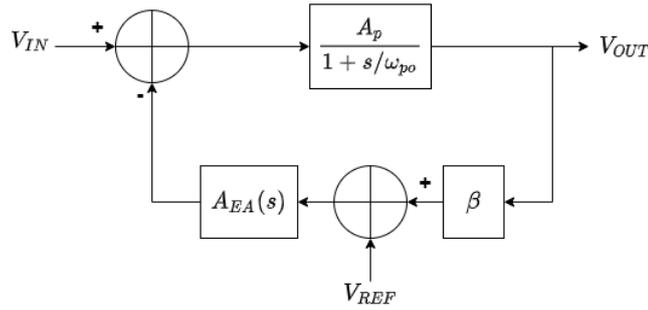


Figura 17 – Diagrama do controle em malha fechada de um LDO sem capacitor externo.

A estabilidade de um circuito pode ser dada a partir do produto ganho-banda (GBW) e da relação com a localização dos polos e zeros na frequência. A robustez de uma estabilidade é dada principalmente pela margem de fase. Estabelecendo uma margem de fase entre 45° e 60° , garante-se a estabilidade do circuito mesmo depois dos erros de fabricação, além de oferecer uma boa resposta a transientes. O diagrama de bode para um regulador LDO sem capacitor externo com dois polos (um polo no amplificador de erro) pode ser visto na Fig. 18.

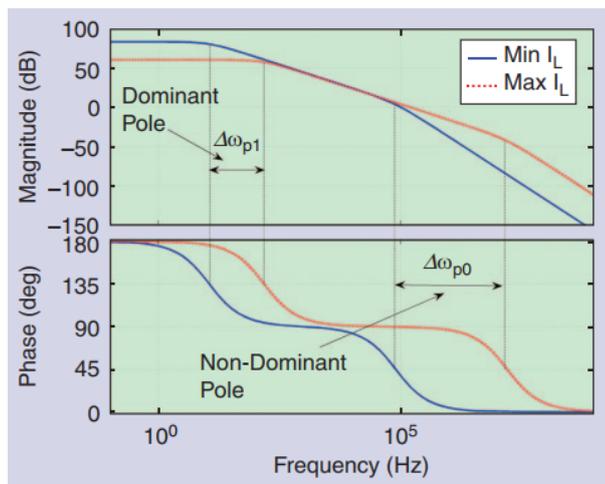


Figura 18 – Diagrama de bode para um LDO sem capacitor externo e com amplificador de erro de um estágio. Fonte: (TORRES et al., 2014).

Observando a Fig. 18, é fácil perceber que para se obter uma boa margem de fase é necessário que o polo de baixa frequência esteja em frequências mais baixas, e o polo de

alta frequência seja deslocado para mais altas frequências. Para manipular esses polos no circuito, é necessário conhecê-los. O polo de alta e baixa frequência, dados por ω_{p0} e ω_{p1} , podem ser expressos pelas equações 2.11 e 2.12.

$$\omega_{p0} = \frac{g_{out}}{C_L} \propto I_L \quad (2.11)$$

$$\omega_{p1} = \frac{g_{o,EA}}{(C_1 + (1 + A_p)C_2)} \propto \sqrt{I_L} \quad (2.12)$$

onde

$$\begin{aligned} g_{out} &= g_{ds} + g_L + g_\beta, \\ g_\beta &= \frac{1}{R_{F1} + R_{F2}}, \\ g_{ds} &= \lambda I_L, \\ g_{mp} &= \sqrt{K_p I_L}, \\ A_p &= \frac{g_{mp}}{g_{out}} \approx \sqrt{K_p I_L} \cdot \frac{1}{K \cdot I_L} = \frac{\sqrt{K_p}}{K \sqrt{I_L}}, \\ GBW &= \frac{\beta g_{m,EA}}{C_2} \end{aligned}$$

Alguns parâmetros são importantes para caracterizar o funcionamento de um regulador LDO. A melhoria em uma característica depende da topologia utilizada, e há sempre uma troca entre a performance das propriedades do regulador LDO. Tais fatores serão descritos nas subseções subsequentes.

2.3.1 Drop-Out

Drop-Out é a queda mínima necessária entre a tensão de entrada e a tensão de saída. Esse parâmetro é exclusivamente determinado pelo *pass device*, que deve manter-se em estado de saturação mesmo providenciando o máximo de corrente (TANTAWY; BRAUER, 2004). Assim, a escolha da tensão de entrada pode ser dada pela Eq. 2.13.

$$V_{IN} \geq V_{OUT(nom)} + V_{DO} \quad (2.13)$$

O transistor de passagem pode ser do tipo PMOS ou NMOS, como visto na Fig. 19. Para o transistor PMOS, quanto menor a tensão na porta, menor será a resistência R_{DS} . Segue-se que quanto mais próxima a tensão de entrada, menor terá de ser a tensão na porta para manter o valor de R_{DS} baixo. O valor máximo de R_{DS} , então acontece na saturação negativa do amplificador de erro, resultando em uma queda de tensão dada pela corrente máxima, I_{OUT} , multiplicada pelo R_{DS} . Nota-se, também, pela Fig. 20, que

a queda de tensão é menor quanto maior for a tensão de entrada. Isso se dá porque a tensão V_{GS} torna-se mais negativa, diminuindo ainda mais o R_{DS} .

O regulador utilizando o transistor NMOS da Fig. 19 possui a vantagem principal de ser menor em tamanho em relação aos transistores PMOS, pois a mobilidade dos elétrons é maior que a mobilidade das lacunas (RAZAVI, 2021). Entretanto, essa topologia faz com que o circuito aumente a sua complexidade. A primeira complexidade é a necessidade de um elevador de tensão - nesse caso, um *charge pump* - na alimentação do amplificador de erro para manter o R_{DS} quando a tensão de entrada se aproxima da tensão de saída.

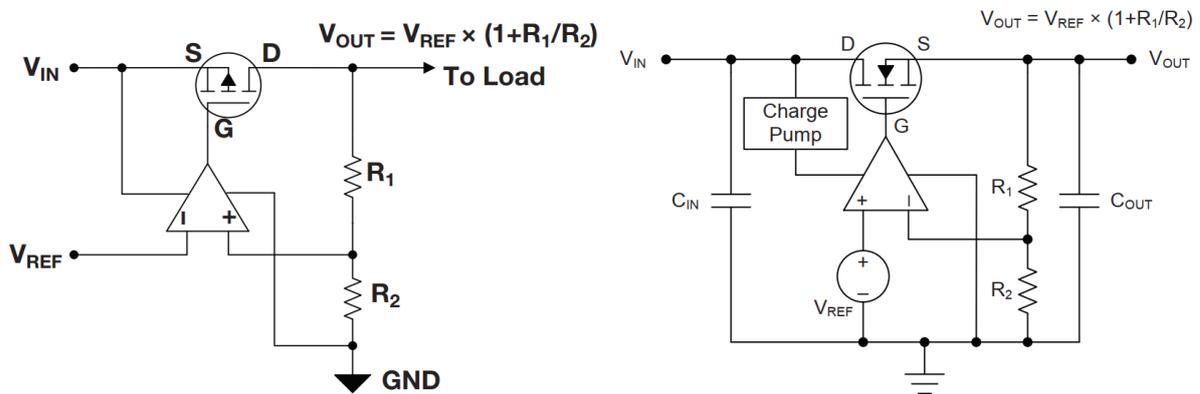


Figura 19 – Dispositivo de passagem sendo transistor PMOS ou NMOS. Fonte: (TAN-TAWY; BRAUER, 2004)

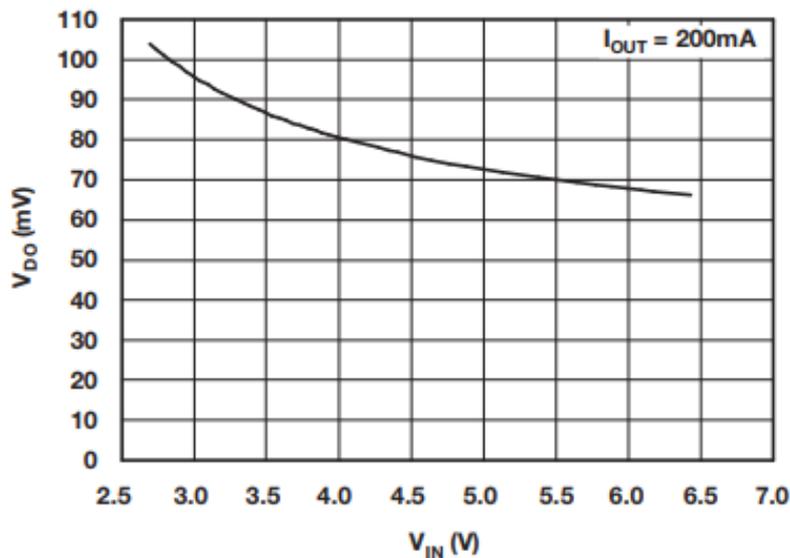


Figura 20 – Tensão de *Dropout* vs. tensão de entrada para o regulador LDO comercial TPS799. Fonte: *Texas Instruments*.

2.3.2 Power Supply Rejection

Uma das principais funções dos reguladores LDO é proporcionar um sinal com baixo ruído e boa estabilidade. Tais características não são muito factíveis com outros blocos como os conversores DC-DC e os *charge pumps* (SHYLAJA; RINCÓN-MORA, 2021). Sendo assim, os reguladores LDO também são utilizados em conjunto com esses outros blocos, facilitando o projeto com um sinal mais estável, como visto na Fig. 21.

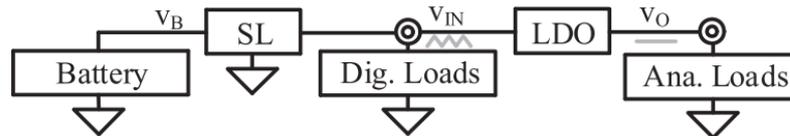


Figura 21 – Aplicação típica de reguladores LDO com outros blocos gerenciadores energia, onde SL é um regulador chaveado. Fonte: (SHYLAJA; RINCÓN-MORA, 2021)

A métrica para medição de ruído da entrada para a saída chama-se *Power Supply Rejection* (PSR) e pode ser definida como a inabilidade do sistema de amplificar o sinal de ruído da entrada para a saída. O PSR é inversamente proporcional ao ganho de alimentação, e pode ser expressado pela Eq. 2.14.

$$A_{IN} = \frac{1}{PSR} = \frac{V_o}{V_{in}} \quad (2.14)$$

Nos reguladores LDO, as fontes de ruído da entrada para a saída podem ser dadas por diversos caminhos, como visto na Fig. 22. O primeiro caminho é o principal caminho dado por meio do *pass device*. O segundo caminho é resultado da condutância finita do *pass transistor* - sendo mais significativo em tecnologias com menor valor de largura. O terceiro caminho é causado pelo amplificador de erro. O quarto caminho é causado pela fonte de referência (*Bandgap*). Normalmente o quarto caminho de ripple é desconsiderado, pois assume-se que a referência de tensão possui uma boa rejeição ao ruído da linha (ELNOZAHY et al., 2010).

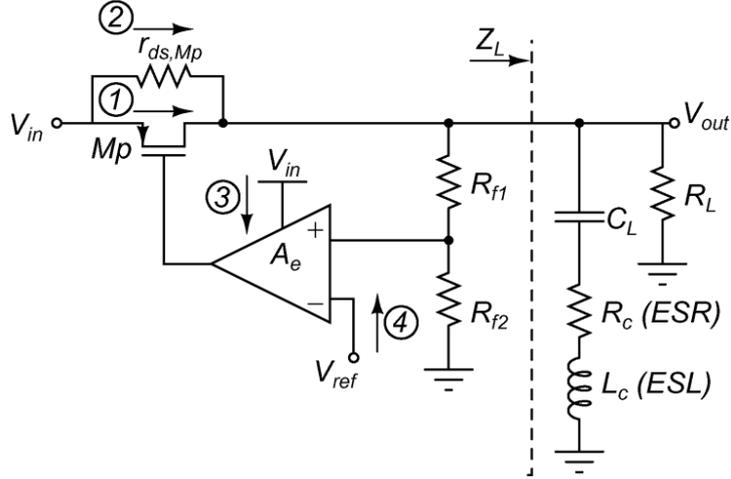


Figura 22 – Principais caminhos para a passagem do ruído da entrada para a saída. Fonte: (EL-NOZAHY et al., 2010)

Para o primeiro e segundo caminho, a função de transferência do regulador LDO é dada pela Eq. 2.15.

$$\frac{V_{out}}{V_{in}}(s) \Big|_{1,2} = \frac{1 + g_{m,MP} \cdot r_{ds,MP}}{1 + \frac{r_{ds,MP}}{Z_L(s)} + \frac{r_{ds,MP}}{R_{f1} + R_{f2}} + \frac{g_{m,MP} r_{ds,MP} A_{eo} R_{f2}}{(R_{f1} + R_{f2})(1 + \frac{s}{\omega_e})}} \quad (2.15)$$

onde $g_{m,MP}$ representa a transcondutância do *pass transistor* (M_P) e $r_{ds,MP}$ representa a resistência de canal do transistor. Z_L é a impedância total do nó V_{out} dada sem considerar os resistores de realimentação. A_{eo} é o ganho em frequência nula e ω_e é o polo dominante do amplificador de erro. Pela Eq. 2.15, é possível notar a dependência do PSR com o ganho de realimentação principalmente em baixas frequências.

Com o aumento da frequência, o polo começa a degradar o ganho de realimentação, diminuindo a rejeição ao ruído. O limite superior e inferior para o espectro devido ao primeiro e segundo caminho podem ser vistos nas equações 2.16 e 2.17, respectivamente. Note que para a alta frequência, as variáveis não variam com a frequência, promovendo uma resposta plana.

$$\frac{V_{out}}{V_{in}}(s = 0) \approx \frac{1}{A_{eo} \frac{R_{f2}}{R_{f1} + R_{f2}}} \quad (2.16)$$

$$\frac{V_{out}}{V_{in}}(s = \infty) \approx g_{m,MP} \frac{R_L \cdot r_{ds,MP}}{R_L + r_{ds,MP}} \quad (2.17)$$

Para o terceiro e quarto caminho, a função de transferência é dada pela Eq. 2.18.

$$\frac{V_{out}}{V_{in}}(s) = \frac{g_{m,MP}Z_{tot}(s)\frac{A_{eo}}{1 + \frac{s}{\omega_e}}}{1 + \frac{g_{m,MP}Z_{tot}(s)A_{eo}R_{f2}}{(R_{f1} + R_{f2})(1 + \frac{s}{\omega_e})}}(PSRR_e + PSR_{BG}) \quad (2.18)$$

onde $Z_{tot}(s) = Z_L(s)/r_{ds,MP}/(R_{f1} + R_{f2})$, $PSRR_e$ é a taxa de rejeição de ruído do amplificador de erro, PSR_{BG} é a rejeição da fonte de alimentação do *Bandgap*. O terceiro e quarto caminho são, portanto, amplificados, contribuindo para a formação do PSR do regulador LDO. Para altas frequências, o polo dominante do amplificador de erro faz com que a função de transferência tenda a zero, resultando um *ripple* bastante atenuado na saída.

A Fig. 23 mostra a contribuição de cada caminho na formação do PSR total. Note que o primeiro e segundo caminho são os únicos atuantes em alta frequência. Para o terceiro e quarto caminhos, é possível reduzir ainda mais o *PSR* em baixas frequências pelo aumento no ganho da malha.

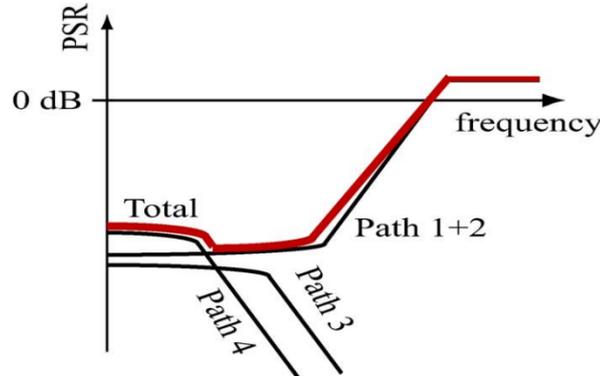


Figura 23 – Contribuição de cada caminho na frequência. Em vermelho, o resultado somado de cada caminho no PSR. Fonte: (TEEL, 2005b).

2.3.3 Regulação e Transiente de Linha

O transiente de linha mensura a resposta da saída em função de uma variação brusca na entrada. Como é um parâmetro que é relacionado a resposta frequencial do sistema, esse parâmetro está atado ao *Power Supply Rejection* (PSR). A diferença principal entre as duas métricas é que o PSR relaciona-se com os parâmetros de pequenos sinais, enquanto o transiente de linha relaciona-se com os parâmetros de grandes sinais, que é em natureza muito mais complicado de se analisar analiticamente (TEEL, 2005b).

Para simplificação, assume-se uma análise de pequenos sinais para o transiente de

linha, que pode se correlacionar com o PSR por meio da Eq. 2.19.

$$\Delta V_{OUT} = PSR(s) \cdot \Delta V_{IN} \quad (2.19)$$

onde $\Delta V_{IN} = V_{step}/s$ no domínio de Laplace e $PSR(s)$ é a função de transferência para o PSR.

A regulação de linha também avalia a variação da tensão de saída em relação a tensão de entrada. Entretanto, essa análise é feita em estado estável, sendo representada pela Eq. 2.20.

$$\text{Regulação de linha} = \left. \frac{\Delta V_{OUT}}{\Delta V_{IN}} \right|_{t \rightarrow \infty} \quad (2.20)$$

Tal parâmetro também se relaciona diretamente com o PSR, mas em seu valor de frequência nula ($PSR(s=0)$). Vale dizer, portanto, que a melhoria na métrica de PSR também resulta em uma melhoria nas métricas de regulação e transiente de linha.

2.3.4 Transiente de Carga

Essa métrica refere-se a excursão máxima da tensão de saída e o tempo de estabilização quando aplicado um degrau na corrente consumida pelo circuito.

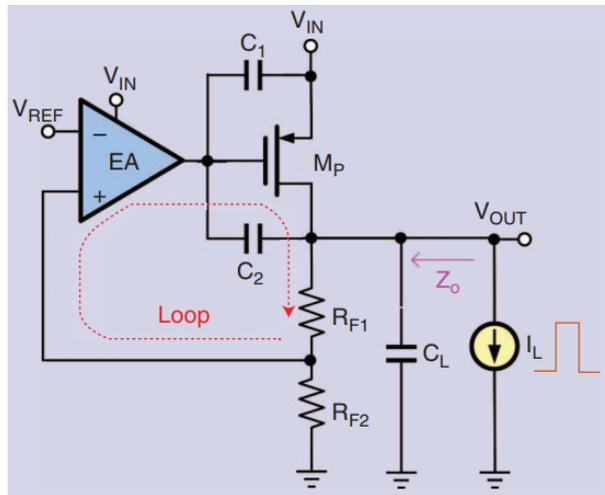


Figura 24 – Modelo de regulador LDO sem capacitor externo para análise do transiente de carga. Fonte: (TORRES et al., 2014).

Considerando a Fig. 24, o modelo de pequenos sinais para a impedância de saída é dado pela Eq. 2.21

$$Z_o(s) = \frac{R_{out}}{1 + \beta g_{me} R_{o,EA} g_{mp} R_{out}} \cdot \frac{1 + s(C_1 + C_2)R_{o,EA}}{s^2 \frac{C_L(C_2 + C_1) + C_2 C_1}{\beta g_{me} g_{mp}} + s \frac{C_2}{\beta g_{me} + 1}} \quad (2.21)$$

onde g_{me} e $R_{o,EA}$ denotam a transcondutância do amplificador de erro e a resistência de saída, respectivamente, e $R_{out} = r_{dsp} || (R_{F1} + R_{F2})$. Pequenas mudanças na corrente causam modificações na impedância de saída dada pela Eq. 2.21. A impedância de saída em reguladores LDO sem capacitor externo aumenta em relação ao ganho de malha aberta, onde isso pode ser melhorado pelo aumento da largura de banda.

Essa métrica é difícil de se analisar de maneira analítica quando aplicado um degrau de maior magnitude. A primeira dificuldade é a transição entre as regiões de operação do transistor. A segunda dificuldade é em relação a capacitância parasítica do *pass transistor* que varia em função da região de operação.

É visto que a melhoria no *slew rate* minimiza a excursão do sinal de saída em degraus mais altos de corrente. Tal parâmetro é relacionado ao amplificador de erro e a capacitância de porta total (C_{gg}), onde aumentando a corrente de saída do amplificador de erro e minimizando a capacitância de porta do *pass transistor*, há uma diminuição significativa na excursão do sinal de saída, como visto na Fig. 25.

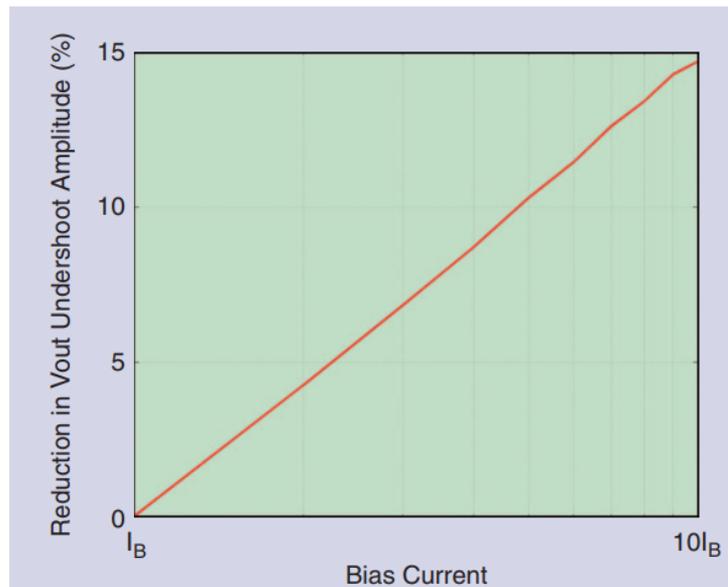


Figura 25 – Redução na excursão negativa do sinal de saída vs. corrente de polarização do amplificador de erro. Fonte: (TORRES et al., 2014).

2.3.5 Regulação de Carga

Tal como a regulação de linha, a regulação de carga é uma métrica que mostra a variação da tensão de saída em função da variação de corrente em estado estável, como sugere a Eq. 2.22.

$$\text{Load Regulation} = \left. \frac{\Delta V_{OUT}}{\Delta I_L} \right|_{t \rightarrow \infty} \quad (2.22)$$

Essa métrica é relacionada a resistência de saída de malha fechada dada pela Eq. 2.23.

$$R_{out,cl} = Z_o(0) = \frac{1}{\beta g_{mp} A_{EA,o}} \quad (2.23)$$

Observando o denominador da Eq. 2.23, vê-se que quanto maior o ganho do amplificador de erro, menor será o valor da resistência de saída, caracterizando uma melhor regulação de carga.

2.3.6 Ruído

O ruído é algumas vezes confundido com o PSRR, pois se trata de um sinal indesejado na saída. Embora o efeito seja o mesmo, a natureza dessas métricas são diferentes. O PSRR significa a quantidade de *ripple* que aparece na saída em função da entrada. O ruído, por outro lado, é um fenômeno físico inerente a todos os componentes eletrônicos (exceto os capacitores), e podem ser classificados como ruído térmico, ruído de corrente e ruído de contato (PITHADIA, 2009).

O ruído térmico é inerente aos resistores e transistores devidos a resistividade do material. Junto ao ruído térmico, o ruído de corrente também é natural, tendo uma potência plana em todo o espectro. O ruído de contato acontece nos transistores devido ao contato imperfeito entre os materiais. A potência do ruído pode ser vista na Fig. 26.

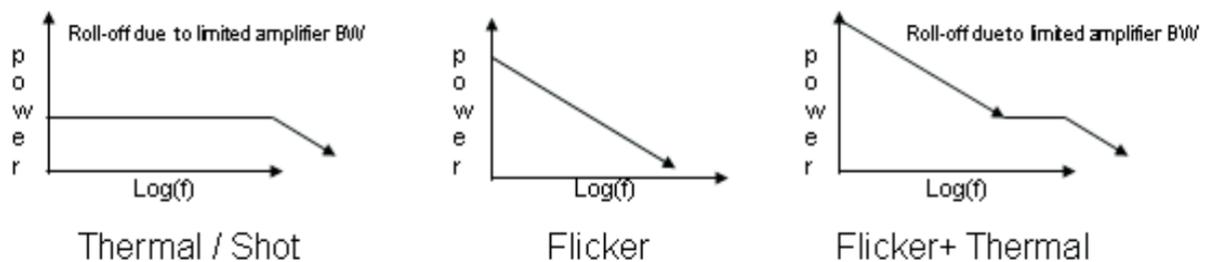


Figura 26 – Espectro em frequência dos três tipos de ruído. Fonte: (PITHADIA, 2009).

A indicação do ruído é dado por meio da densidade espectral ($\mu V/\sqrt{Hz}$) ou por meio da tensão de ruído (μV_{RMS}). A densidade espectral consegue mostrar a quantidade de ruído presente em cada unidade de frequência. A tensão de ruído é um valor único que refere-se a integral de todo o ruído no espectro; muito útil quando se quer realizar uma comparação entre dois sinais ruidosos.

A partir da Fig. 27, pode-se ver claramente as fontes de ruído de um regulador LDO. A densidade de potência espectral pode ser dada pela Eq. 2.24. Observe que foi desconsiderado o erro pelo *pass transistor* (M_P), pois devido a realimentação, o ruído é

dividido pelo ganho de malha fechada, que é muito maior que a densidade espectral do ruído. Vale dizer que o ruído proveniente do amplificador de erro não pode ser amenizado.

$$S_{n,o}(f) = (S_{n,ref}(f) + S_{n,e}(f)) \left(1 + \frac{R_1}{R_2}\right)^2 + S_{n,R2} \left(1 + \frac{R_1}{R_2}\right)^2 + S_{n,R1} \quad (2.24)$$

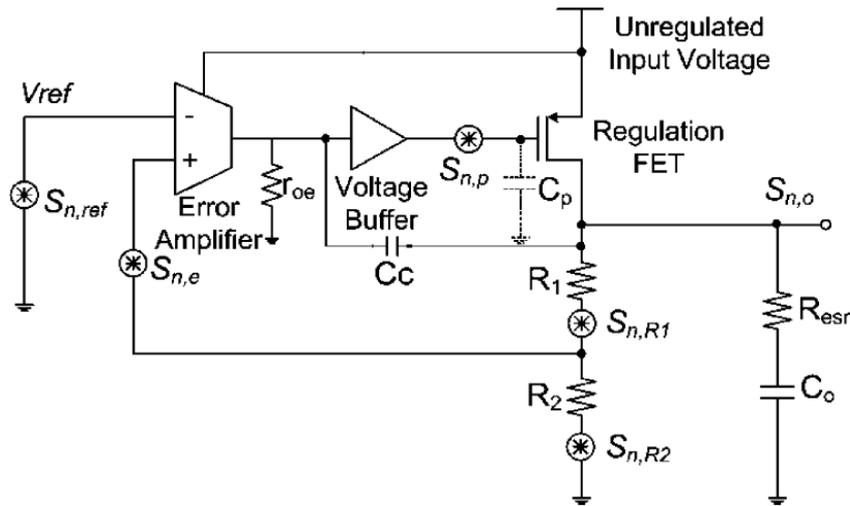


Figura 27 – Diagrama em blocos típico de um regulador LDO descrevendo as fontes de ruído. Fonte: (TEEL, 2005a).

A primeira principal fonte de ruído do regulador LDO é o *Bandgap*, em que a densidade espectral é dada por $S_{n,ref}$. Normalmente, esse ruído pode ser mitigado pela imposição de um filtro passa-baixas na saída do *Bandgap*, melhorando também o PSR. Entretanto, essa solução faz com que o tempo de inicialização do regulador LDO aumente.

A segunda principal fonte de ruído é o divisor resistivo de tensão. Normalmente feito com uma área grande, esse componente sofre de ruído térmico que é dado por $4kTR$, onde k é a constante de Boltzmann, T é a temperatura e R é a resistência. Assim, há uma troca entre corrente quiescente do circuito e ruído: quanto maior o tamanho dos resistores, menor a corrente quiescente, e vice-versa (TEEL, 2005a).

3 Implementações e Resultados

Neste capítulo serão apresentadas algumas implementações feitas para o projeto. Assim, serão apresentados as implementações dos sub-blocos referentes ao conversor DC-DC e ao regulador LDO. Após, será mostrado o resultado final do circuito em paralelo com uma discussão dos resultados.

3.1 Conversor DC-DC Buck

Um diagrama de blocos básico do conversor DC-DC *buck* implementado neste trabalho pode ser visto na Fig. 28. Consiste basicamente de um conversor em modo tensão e a modulação do sinal de erro é feita exclusivamente em modo PWM.

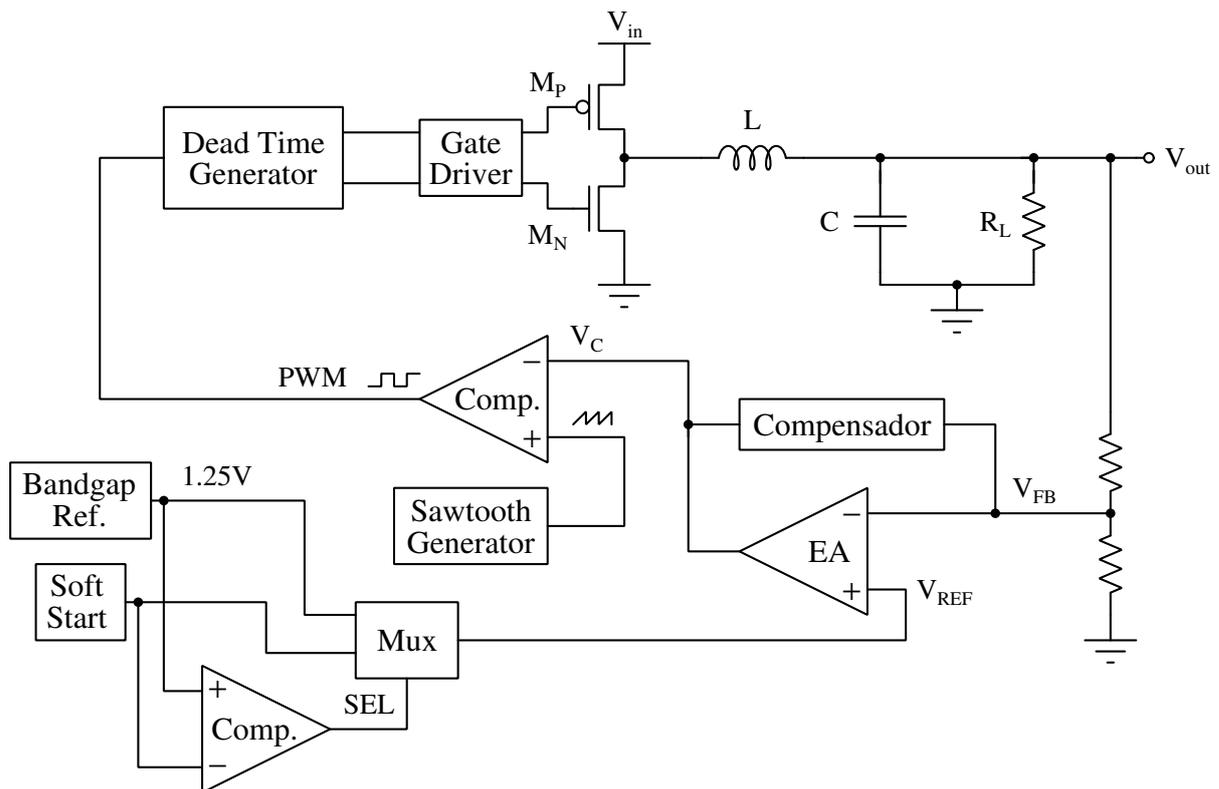


Figura 28 – Diagrama em blocos do conversor DC-DC *buck* implementado.

Para o projeto de cada um dos blocos, foram definidos os requisitos do conversor *buck* com base nos requisitos elencados em (LIOU et al., 2007), que também é um trabalho direcionado para dispositivos portáteis. Os requisitos são sumarizados na Tab. 1.

Tabela 1 – Especificações básicas para a construção do conversor DC-DC *buck*.

Parâmetro	Min.	Típico	Máx.
Tensão de saída (V)	1.75	1.8	1.85
Tensão de entrada (V)	2.5	3	3.3
Corrente de saída (A)	5m	50m	200m
Consumo do circuito (A)	50 μ	500 μ	700 μ
<i>Ripple</i> de tensão (V)	1m	15m	25m
<i>Ripple</i> de corrente (A)	TBD	0.2 · $I_{Máx.}$	0.4 · $I_{Máx.}$
Frequência do <i>Clock</i> (MHz)	0.9	1	1.1
Largura de banda (kHz)	90	100	120
Tempo de estabilização (s)		< 20 μ s @ 150mA load step	

3.1.1 Filtro LC

O filtro LC foi realizado com vistas a atender algumas especificações iniciais relacionadas principalmente ao *ripple* de corrente e *ripple* de tensão, tais como vistos na Tab. 1. Assim, utilizando o método de cálculo dado em (BRIGITTE, 2011), foram encontrados os seguintes valores para o indutor e o capacitor:

- $L = 10.22\mu H$
- $C = 22\mu F$

Plotando a resposta em frequência de tal filtro podemos obter a seguinte resposta em frequência vista na Fig. 29.

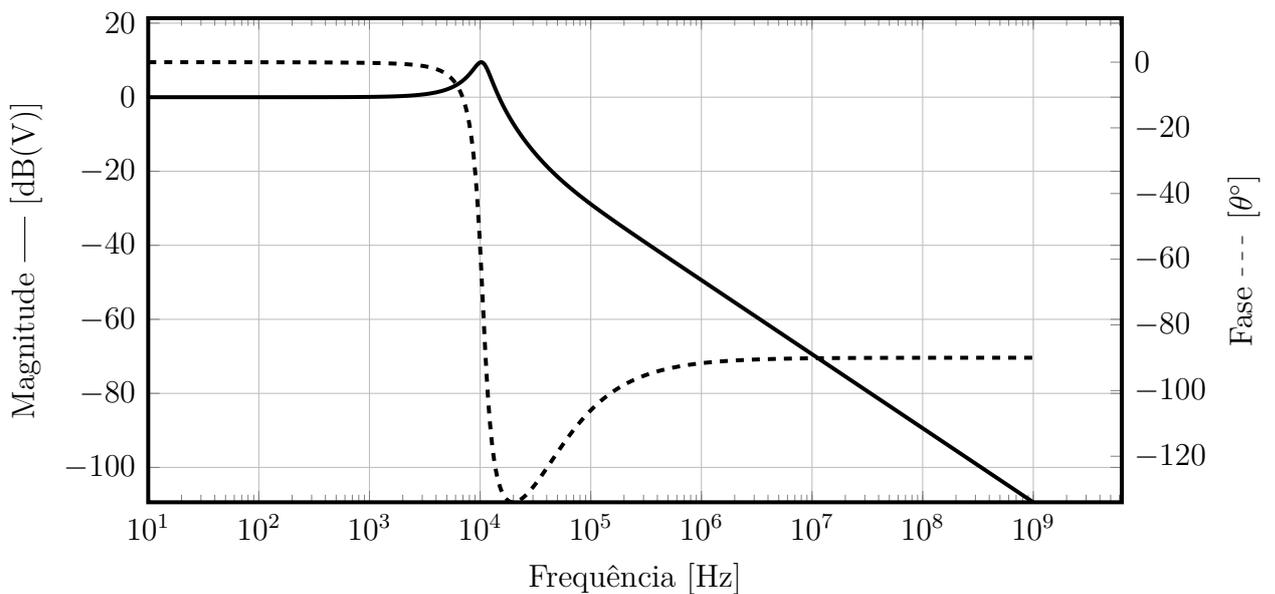


Figura 29 – Resposta em frequência do filtro LC projetado.

Com os valores dos componentes definidos e arbitrando uma resistência $R_{ESR} = 220m\Omega$ máxima, é possível agora encontrar os valores em frequência do filtro:

- $f_0 = 15,7kHz$
- $Q = 8,9$
- $f_{ESR} = 72,3kHz$

3.1.2 Método de compensação

O método de compensação utilizado para o conversor DC-DC Buck foi o PID (tipo III). Tal foi escolhido, pois é o que melhor se adequa para as necessidades de compensação frequencial da malha, que precisa de um avanço de fase de pelo menos 130° para que a margem de fase esteja entre 45° e 90° .

Dessa forma, foram encontrados os seguintes valores para os componentes da rede de compensação fixando o valor de $R_{FBB} = 126k\Omega$:

- $C_{COMP} = 53pF$
- $C_{FF} = 183pF$
- $C_{HF} = 830fF$
- $R_{COMP} = 192k\Omega$
- $R_{FBT} = 55k\Omega$

A disposição dos componentes no circuito podem ser melhor vistas na Fig. 30, que também foi o circuito implementado no simulador.

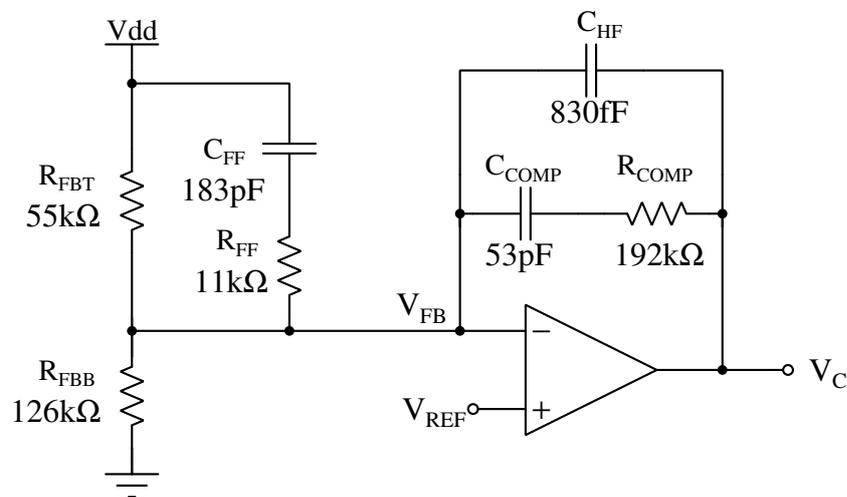


Figura 30 – Circuito de compensação tipo III (PID) implementado para a compensação em malha fechada do conversor.

A partir de tais valores pode-se ter a resposta em frequência do compensador visto na Fig. 31. Tal figura mostra a resposta em frequência do controlador em um amplificador considerado ideal. Assim, pode-se ver que o par inicial de zeros possui uma frequência próxima e ocorrem aproximadamente em $10kHz$, um pouco antes da frequência de ressonância do filtro LC. O pólo subsequente ocorre aproximadamente em $70kHz$, o que elimina o efeito do zero proveniente da resistência ESR do capacitor. O último polo ocorre na frequência de amostragem, aproximadamente $1MHz$. Sumarizando, temos as seguintes localizações dos polos e zeros do sistema:

- $f_{zea} = 15,838kHz$;
- $f_{fz} = 15,738kHz$;
- $f_{fp} = 72,34kHz$;
- $f_{hf} = 1MHz$.

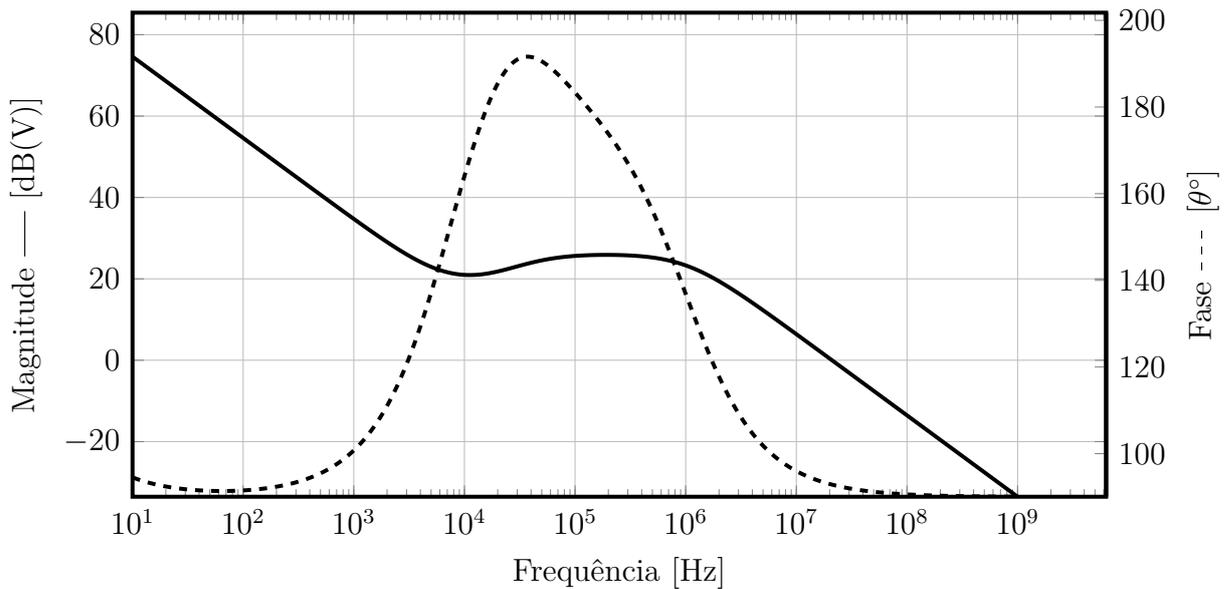


Figura 31 – Resposta em frequência do compensador PID projetado utilizando um amplificador de erro ideal.

O comportamento em malha fechada é dado considerando apenas o indutor e o capacitor retroalimentados pela rede de compensação PID projetada, cujo gráfico pode ser visto na Fig. 32. Assim, mesmo acontecendo o polo complexo com alto fator de qualidade, o circuito de compensação atua logo depois com um avanço de fase, aumentando a largura de banda e aumentando a margem de fase.

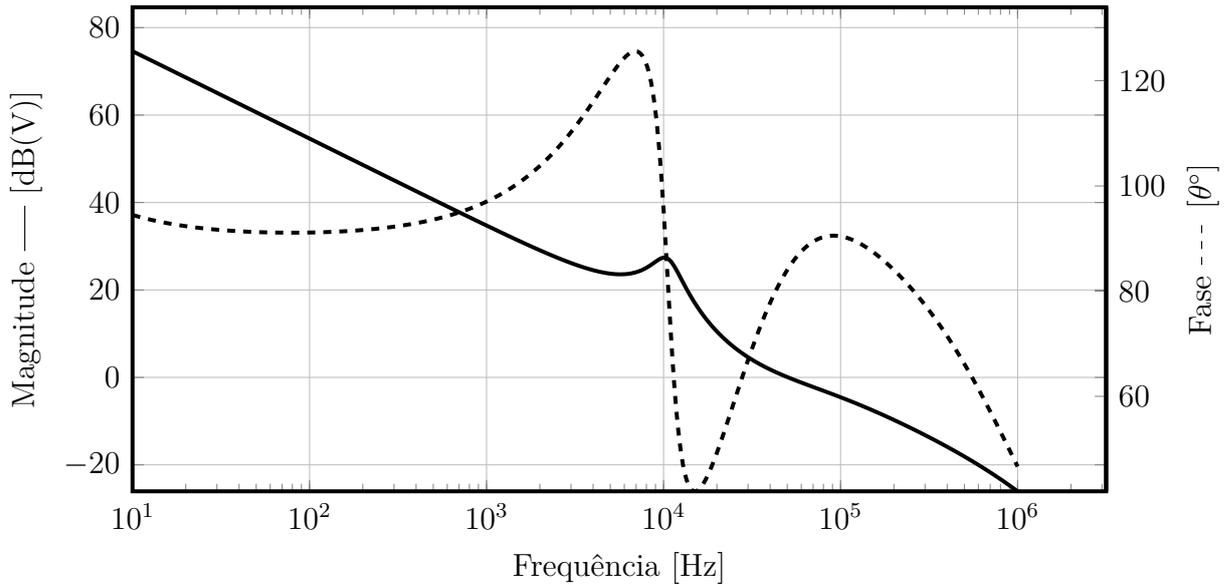


Figura 32 – Resposta em malha fechada sem considerar o efeito de modulação PWM sobre o circuito filtro.

Um dado de interesse a ser analisado é a largura de banda. Isso pode ser feito observando em que frequência os valores de magnitude das respostas em frequência de $\frac{1}{PID}$ e LC se interceptam. Na Fig. 33, é possível ver que o ponto de cruzamento das duas magnitudes ocorre em aproximadamente $90kHz$.

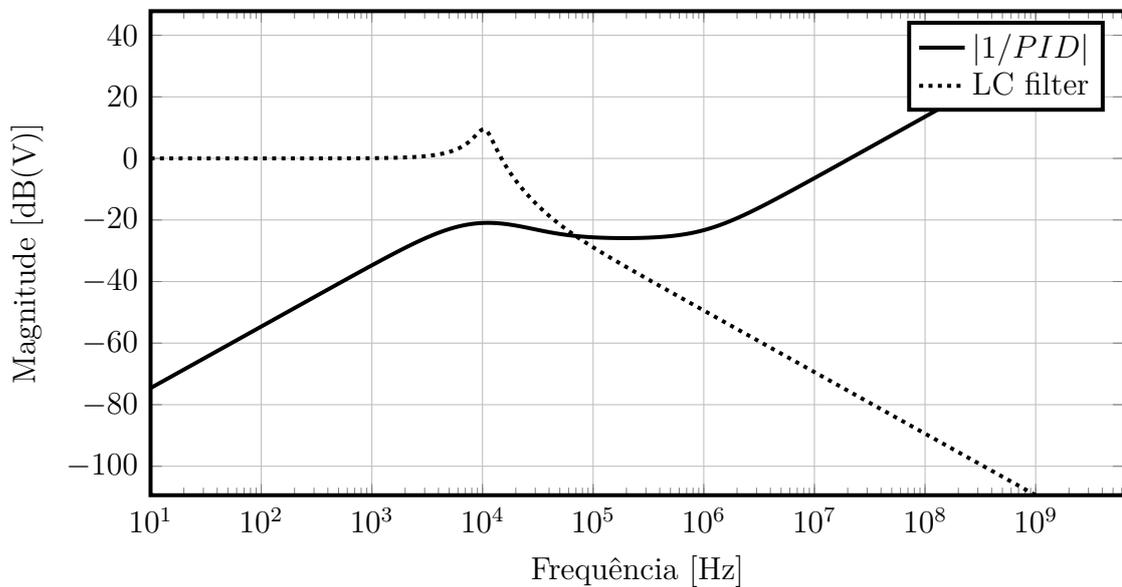


Figura 33 – Resposta em frequência da magnitude inversa do PID e da magnitude do filtro LC.

Como amplificador de erro para o compensador, foi utilizada a topologia *balanced* de amplificador operacional, tal como visto na Fig. 34. Essa topologia foi escolhida por possuir apenas um polo em baixa frequência, e possibilitar altas correntes no estágio de

saída; importante para a alimentação da rede de capacitores e resistores do compensador. A resposta em frequência deste amplificador pode ser vista na Fig. 35.

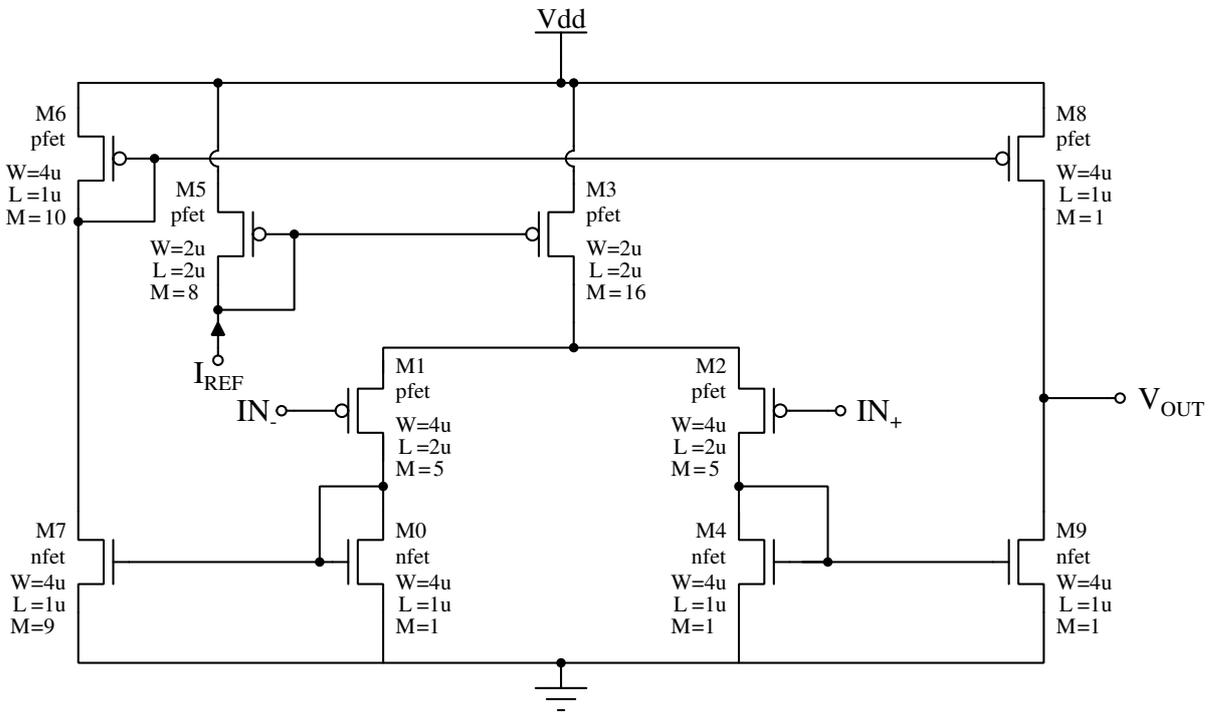


Figura 34 – Amplificador operacional em topologia *balanced*.

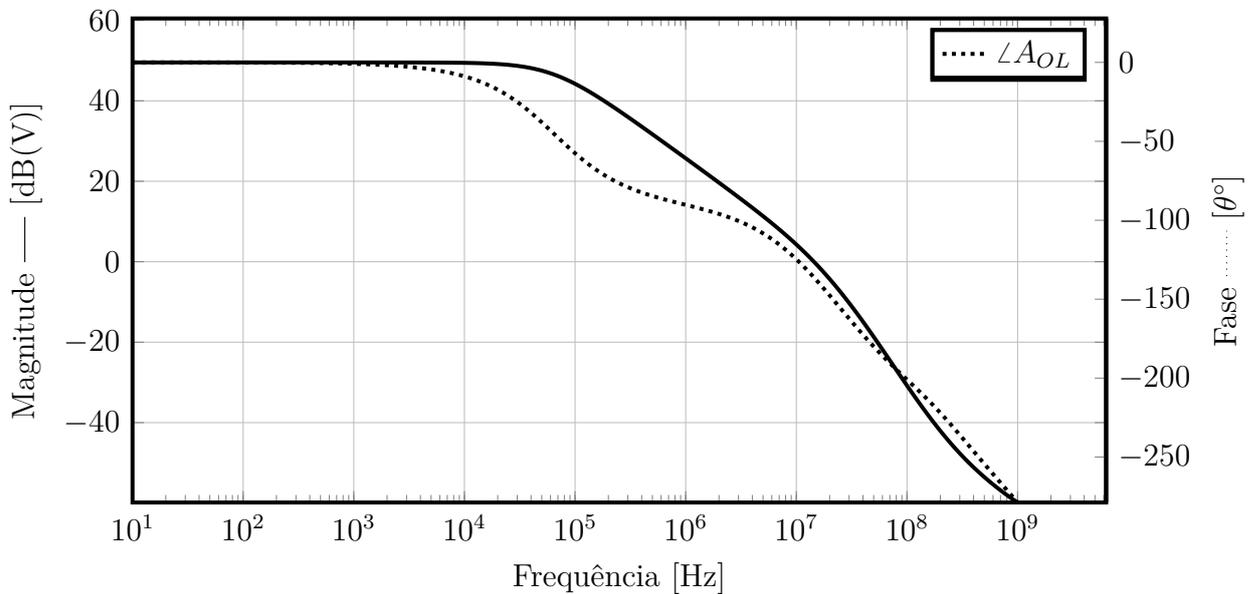


Figura 35 – Resposta em frequência do amplificador de erro de arquitetura *balanced*. Tal apresentou uma margem de fase de 45° , para uma carga de $1pF$.

Agora, levando em consideração o ganho e a largura de banda finita do amplificador de erro, a resposta em frequência do compensador final vista na Fig. 36. Tal figura mostra em linha cinza e tracejada o ganho em malha aberta do amplificador operacional *balanced*;

em linha preta e tracejada, o compensador considerando um amplificador de erro ideal; e em linha contínua e preta o ganho do compensador utilizando o amplificador operacional *balanced*.

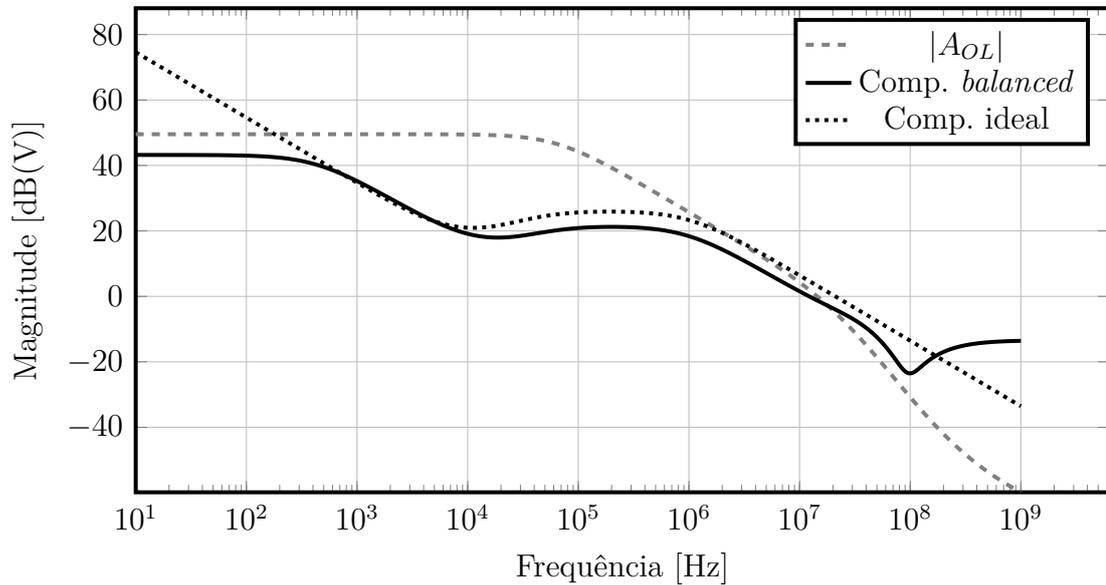


Figura 36 – Comparativo das respostas em frequência do compensador com o amplificador de erro real e ideal.

3.1.3 Chaves semicondutoras

Para realizar o chaveamento da tensão no filtro LC são utilizadas chaves de semicondutores, ou seja, transistores PMOS e/ou NMOS. A determinação das características destas chaves são dadas principalmente pela resistência entre dreno e fonte, R_{DS} , de um transistor quando está em regime de triodo profundo (*Deep-triode*).

Utilizando o transistor PMOS para o chaveamento do semiciclo positivo do PWM, e o transistor NMOS para o chaveamento do semiciclo negativo e realizando a simulação em ponto de operação do transistor com a tensão de porta no máximo, alcançou-se os valores de W/L vistos na Fig. 37 para um valor alvo de $R_{DS} = 100m\Omega$.

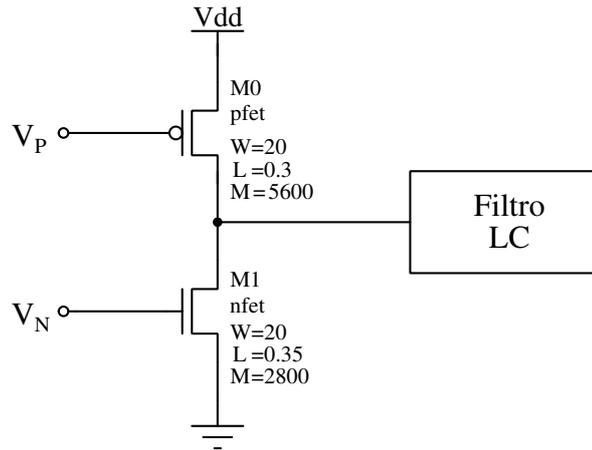


Figura 37 – Dimensionamento das chaves feito para o conversor DC-DC síncrono.

Com tais chaves, a capacitância total do transistor M0 foi de aproximadamente $205pF$ e do transistor M1 de aproximadamente $65pF$. Com esta alta capacitância, é necessário um estágio de *buffer* para realizar o chaveamento da porta das chaves semicondutoras. Um circuito que cumpre essa função é visto na Fig. 38. Tal incrementa o valor de $\frac{W}{L}$ a cada estágio, mas desbalanceando os transistores NMOS e PMOS da cadeia inversora. Isso é feito para que não haja momentos de curto-circuito entre os transistores, já que a corrente é incrementada a cada estágio de inversão do buffer.

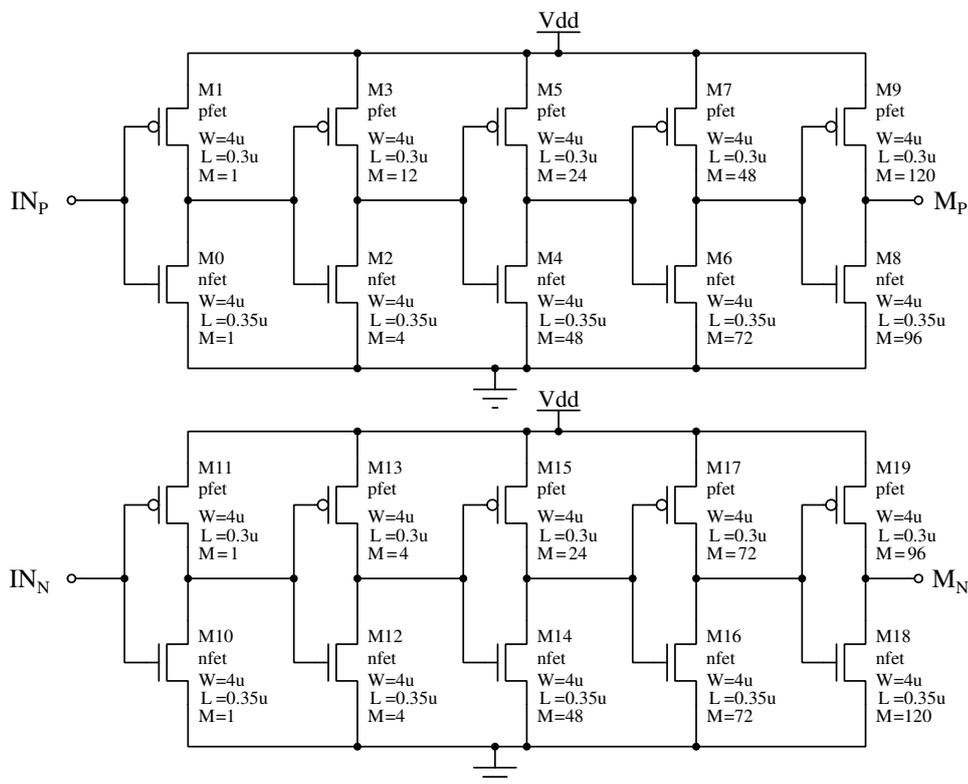


Figura 38 – Circuito de *buffer* para realizar o disparo das chaves semicondutoras.

3.1.4 Gerador de Tempo Morto (*Dead Time Generator*)

Uma das dificuldades que existe é o caso em que ambos os transistores das chaves são ligados, causando o curto-circuito entre eles. Isso é um dos principais fatores para a redução da eficiência de um conversor chaveado e também redutor de vida útil. Assim, é necessário um tempo morto entre o chaveamento dos transistores: um intervalo entre o chaveamento em que nem o transistor PMOS nem o transistor NMOS estão ligados. O tempo morto (*dead time*) é dado por meio de uma regra empírica de $30ns$ para uma corrente de saída igual a $1A$ (LIOU et al., 2007).

Nesse sentido, neste projeto foi implementado um *dead time* de aproximadamente $12ns$, utilizando a topologia vista na Fig. 39. Com tal topologia, ambos os sinais não irão interferir um no outro até que o tempo de atraso seja cumprido.

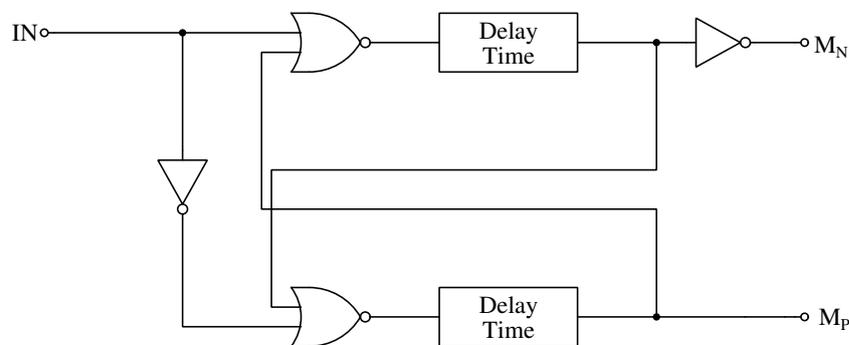


Figura 39 – Circuito para a geração do tempo morto.

Para a geração do atraso ("*delay*"), foi utilizado o circuito da Fig. 40. Note que o segundo estágio inversor está com os transistores NMOS e PMOS em lugares invertidos. Isso foi feito para que fosse adicionado mais tempo de atraso para o circuito sem necessariamente ter de aumentar o tamanho da largura do canal: componente principal para a capacitância de gate e conseqüentemente para o montante total de atraso.

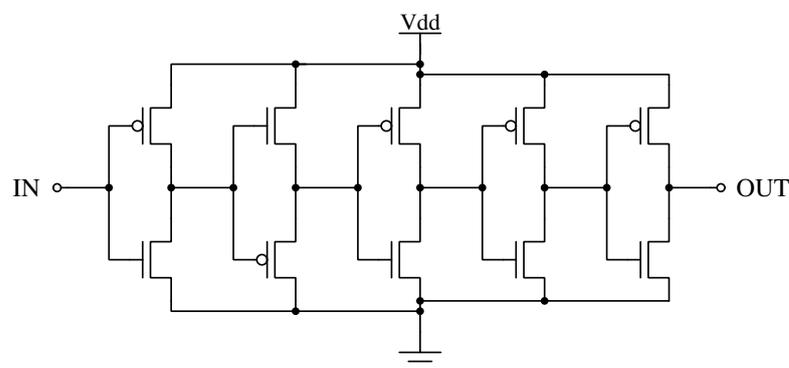


Figura 40 – Circuito com uma cadeia de inversores para a geração do atraso entre os sinais de chaveamento.

A performance do circuito pode ser verificada por meio da Fig. 41 e da Fig. 42. O tempo morto gerado entre as entradas é de aproximadamente $13ns$.

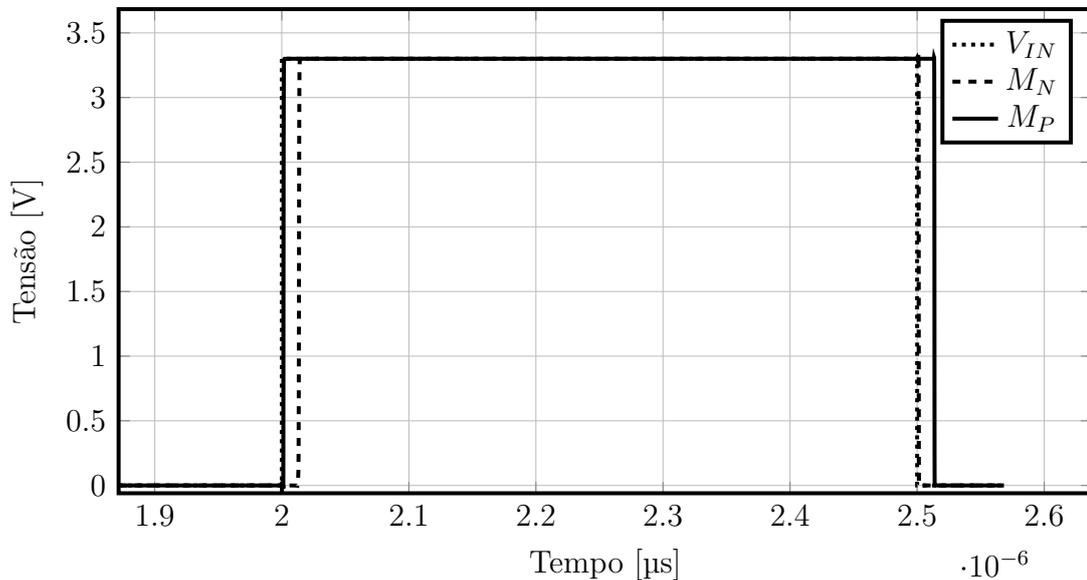


Figura 41 – Gráfico no tempo da geração de tempo morto entre as saídas para os transistores de chaveamento.

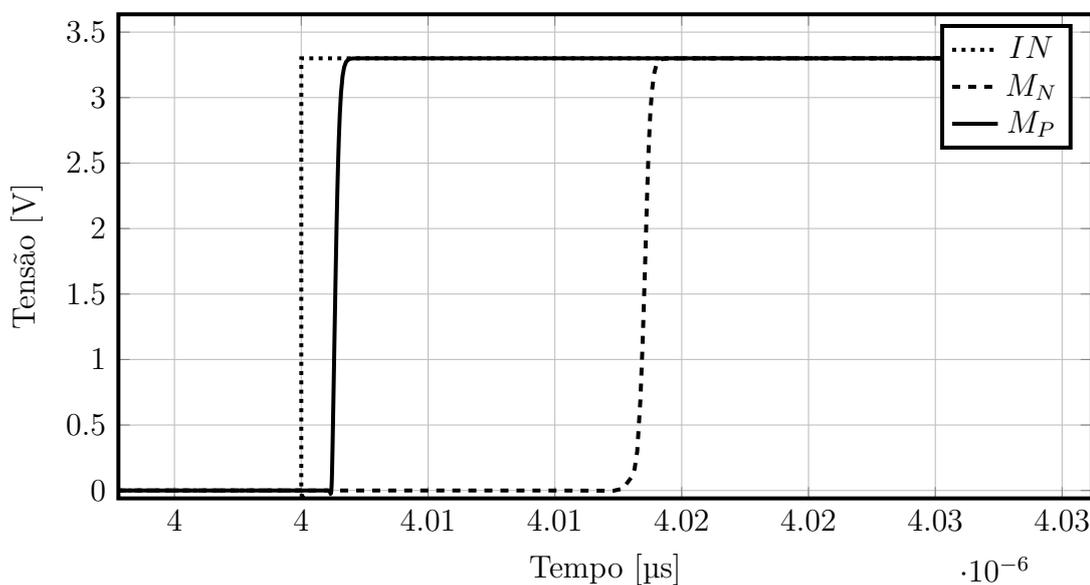


Figura 42 – Gráfico no tempo da transição de nível baixo para alto na geração de tempo morto.

3.1.5 Comparador

O comparador é um circuito extremamente importante para todo o conjunto, pois ele realiza a implementação da modulação do sinal de erro com o sinal dente de serra e realiza a seleção do sinal de referência do amplificador de erro. Dois parâmetros são chave na construção de um comparador: o ganho e a largura de banda. A largura de banda

informa a velocidade com que o circuito irá reagir à entrada, e o ganho dará a resolução ou sensibilidade do sinal à entrada. Os parâmetros de estabilidade não são importantes no projeto de um comparador, pois eles não são circuitos que trabalharão em malha fechada (ou pelo menos não deveriam) (ALLEN; HOLBERG, 2011).

O circuito implementado para ser o comparador pode ser visto na Fig. 43. Note que na saída do circuito há um par de inversores. Tais são postos para que aumente a capacidade de fornecimento de corrente na saída sem necessariamente diminuir a largura de banda. Nesse caso, a largura de banda é aumentada, pois o primeiro polo será dado pela resistência de saída do comparador multiplicado pela soma das capacitâncias do primeiro circuito inversor. Além disso é implementada uma realimentação positiva no circuito, o que faz com que a velocidade e o ganho sejam ainda mais ampliados (GREGORIAN, 1999).

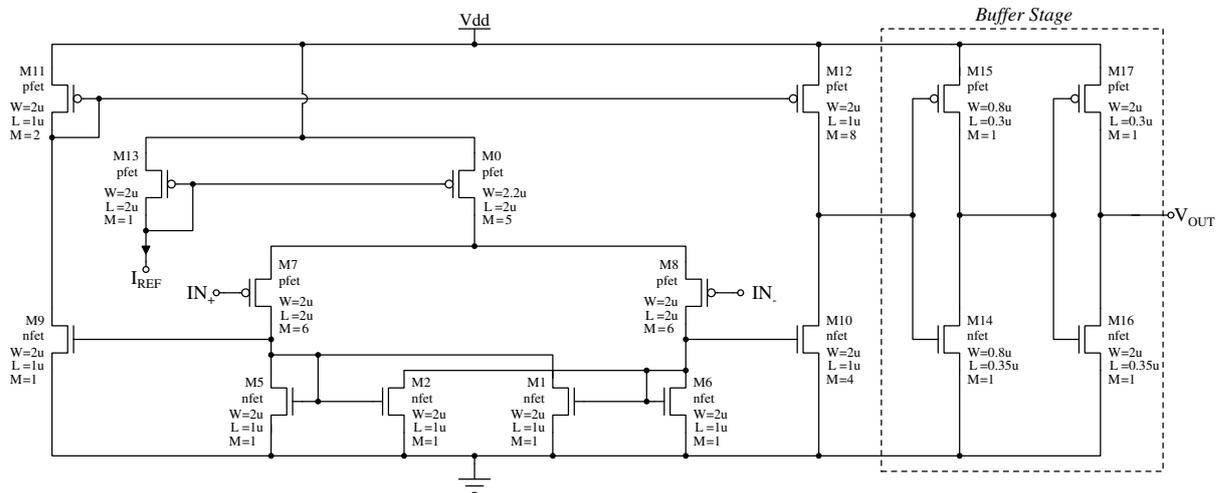


Figura 43 – Esquemático do comparador realimentado positivamente.

A resposta em domínio do tempo do circuito pode ser vista na Fig. 44, enquanto a resposta em domínio da frequência pode ser vista na Fig. 45. Observando a largura de banda, podemos estimar qual será o provável comportamento no tempo. Assim, a largura de banda sendo de $GBW = 100MHz$, então o valor de transição será de aproximadamente $t_{rise} = t_{fall} = \frac{1}{GBW} = 10ns$.

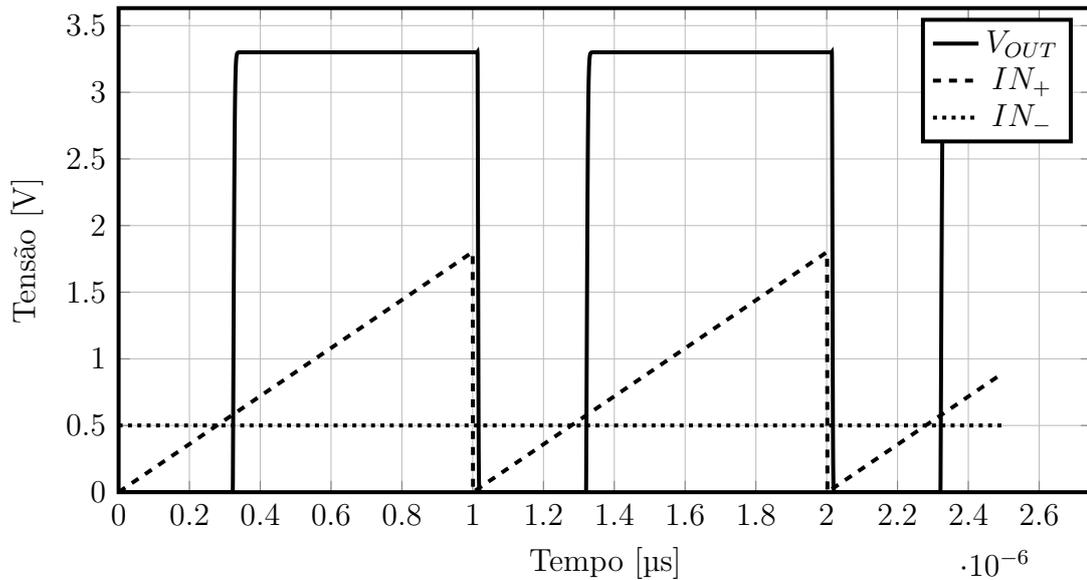


Figura 44 – Resposta transiente do comparador realimentado positivamente.

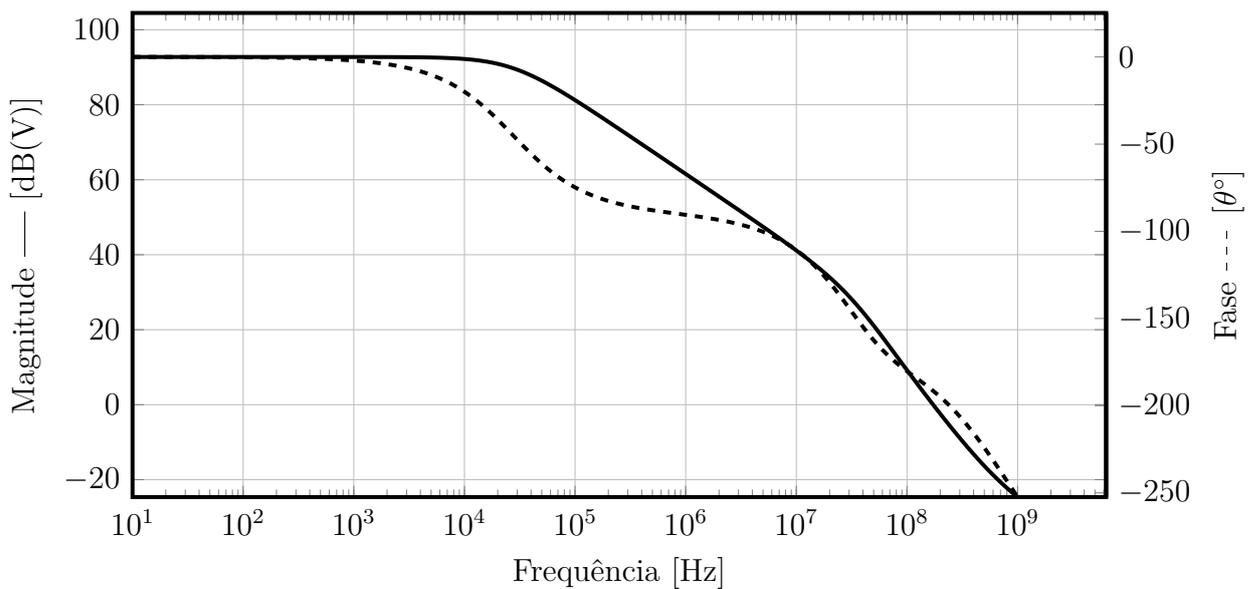


Figura 45 – Resposta frequencial do comparador com realimentação positiva.

3.1.6 Gerador de Dente de Serra

A geração de dente de serra é dada pelo circuito da Fig. 46. O princípio de funcionamento é por meio da carga e descarga do capacitor C_1 . A carga é realizada de maneira linear até $1,8V$ e então retorna para $0V$, num período de $1\mu s$. Para garantir a linearidade da carga é posto um transistor PMOS em uma corrente constante de $1.8\mu A$, garantindo que nessa região o transistor esteja ainda em zona de saturação e com pouca modulação do comprimento do canal.

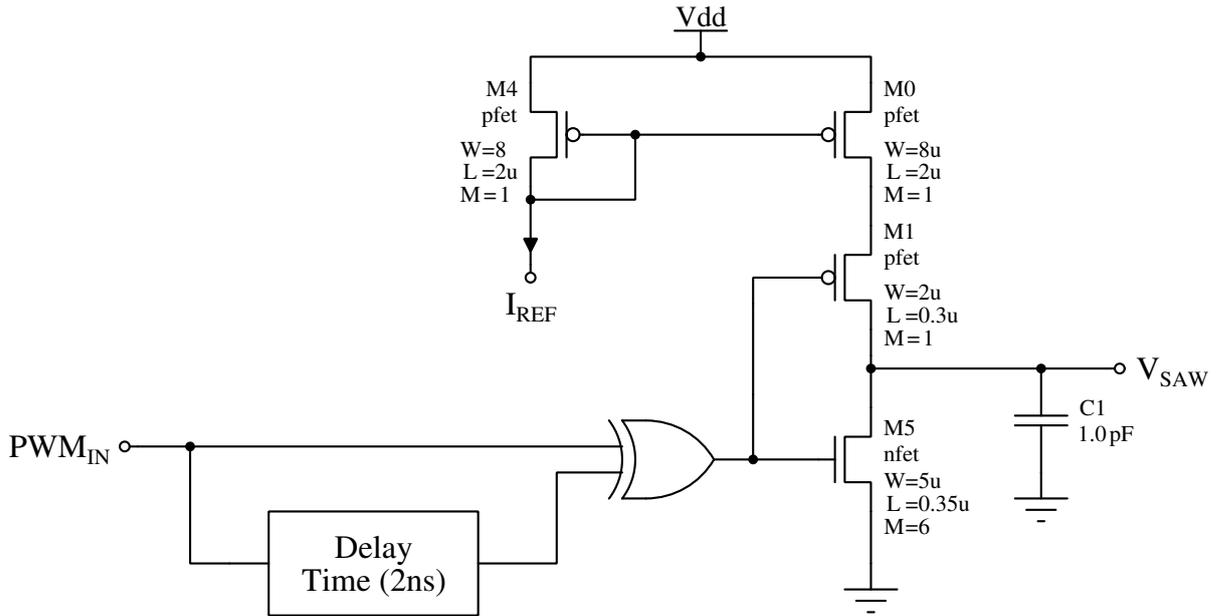


Figura 46 – Esquemático do gerador de onda dente de serra implementado.

A descarga do capacitor deve ser feita por meio de um transistor NMOS, cuja corrente consumida seja tal que possa drenar a energia do capacitor em menos de $5ns$. Para que o disparo do NMOS possa ser feito de maneira síncrona é implementado um circuito de detecção de borda de subida que consiste em uma porta lógica XOR que recebe em suas duas entradas o sinal de *clock*, mas um deles com um pequeno atraso.

O resultado da performance do circuito pode ser visto na Fig. 47. Observe que o capacitor C_0 é descarregado apenas na borda de subida do sinal de *clock*, o que faz com que a onda dente de serra tenha o mesmo período da frequência de amostragem: $1MHz$.

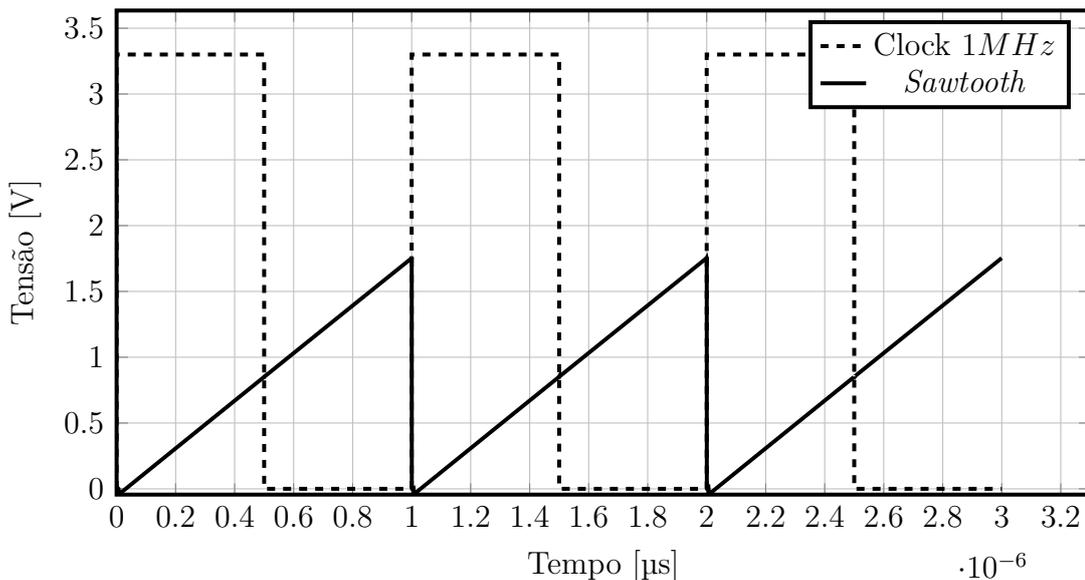


Figura 47 – Resposta transiente do circuito gerador de dente de serra. Fonte:autor.

3.1.7 Partida Suave (*Soft Start*)

A partida suave de um circuito com malha fechada faz com que não haja um degrau inicial muito abrupto na entrada do circuito, e conseqüentemente fazendo-o inicializar com a largura de pulso gradual. Se a tensão de referência for aplicada no circuito durante a inicialização, o valor de erro entre a entrada e a saída será alto, o que inicializará o circuito com valor do ciclo útil do PWM no máximo. A inicialização com o ciclo útil no máximo fará com que a tensão sobre o indutor seja subitamente aumentada, o que pode provocar a queima das chaves, e conseqüente a inoperabilidade do circuito.

Para evitar isso, é inserido um circuito de partida suave ("*soft start*"). O circuito de partida suave se baseia na carga de um capacitor até o momento em que o valor da tensão da partida suave seja igual ao valor de tensão de referência. O circuito que implementa a partida suave pode ser visto na Fig. 48. É composto de um transistor PMOS que realiza a carga constante no capacitor C_0 . Os transistores M_0 e M_2 realizam o controle de habilitar e desabilitar o circuito.

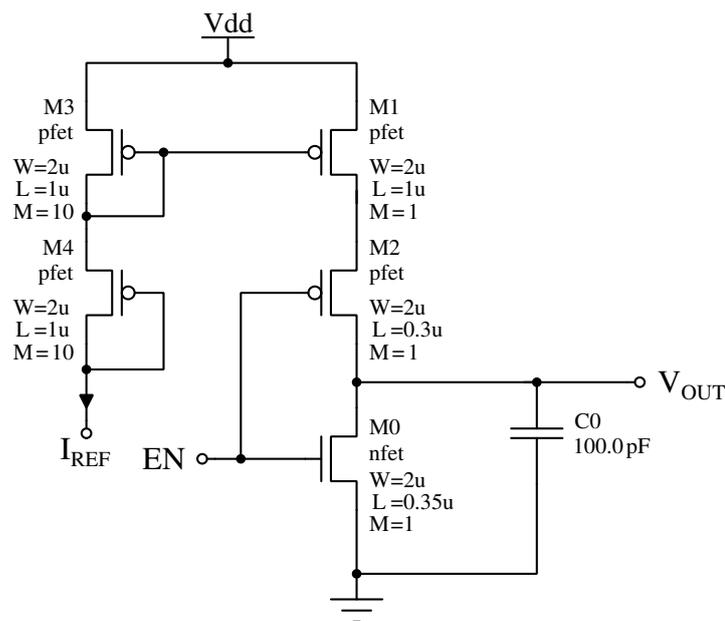


Figura 48 – Circuito de partida suave implementado.

A performance do circuito pode ser vista na Fig. 49. O circuito ao chegar na tensão máxima para de consumir corrente, e só inicializa outra partida suave sob o chaveamento da porta *enable* (EN).

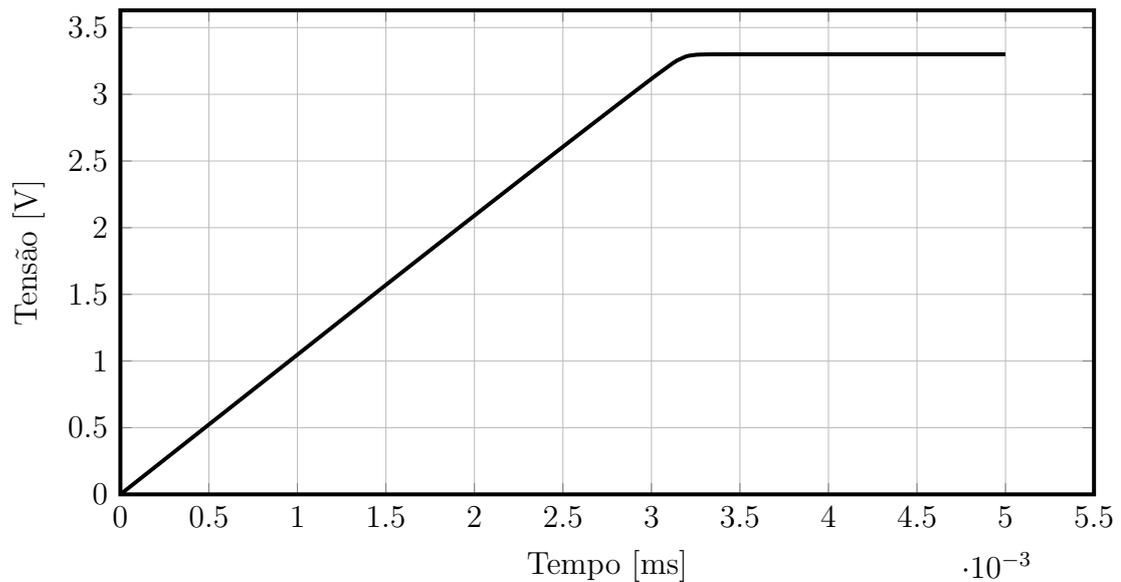


Figura 49 – Resposta transiente do circuito de partida suave.

3.1.8 *Bandgap*

Uma necessidade do circuito é que ele mantenha uma tensão constante independente da tensão, temperatura e processo. Para isso, é utilizado uma referência de tensão de *bandgap*. Tal tensão é proveniente da compensação de tensão por meio de dois componentes eletrônicos que possuem uma tensão proporcional à temperatura - o resistor - e inversamente proporcional à temperatura - o transistor bipolar de junção. Somando ambos, conseguimos um dispositivo robusto às três condições dadas (RAZAVI, 2005).

O circuito de tensão de referência *bandgap* pode ser visto na Fig. 50. Além do circuito de *bandgap* também é inserido um circuito de inicialização. Esse circuito se faz necessário para que a garanta que a referência de tensão não seja nula, já que essa também é uma condição válida.

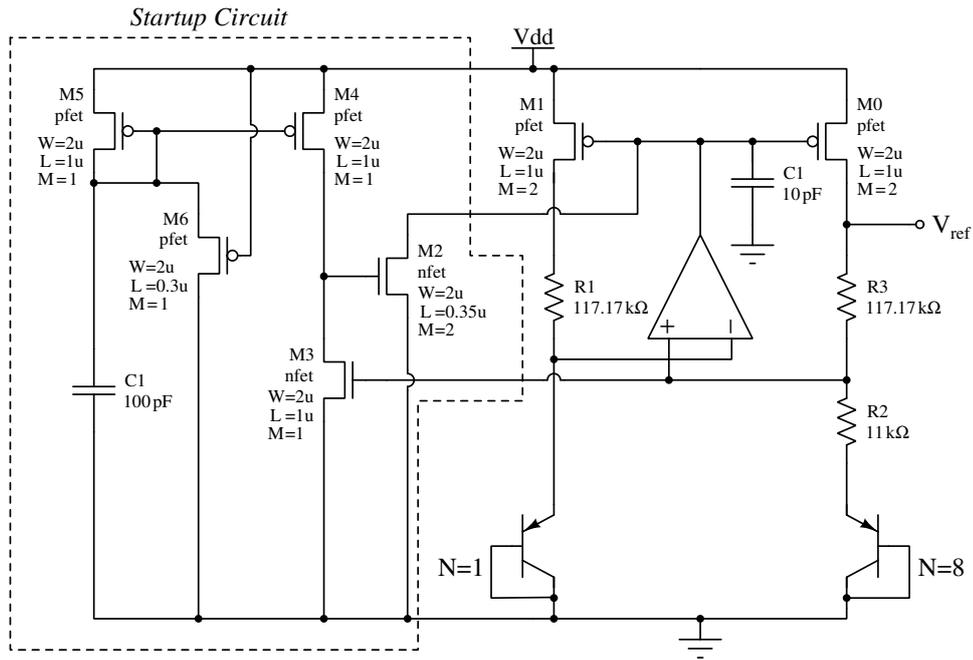


Figura 50 – Esquemático da referência de tensão por *bandgap* implementado.

A simulação de temperatura pode ser vista na Fig. 51. O circuito apresentou um desvio de $1,3 \text{ ppm}/^\circ\text{C}$ a 27°C , $14,65 \text{ ppm}/^\circ\text{C}$ a 0°C e $-17,53 \text{ ppm}/^\circ\text{C}$ a 100°C . A Fig. 52 contém a variação do desvio em $\text{ppm}/^\circ\text{C}$ para todos os valores de temperatura considerando a tensão de alimentação nominal de 3.3V .

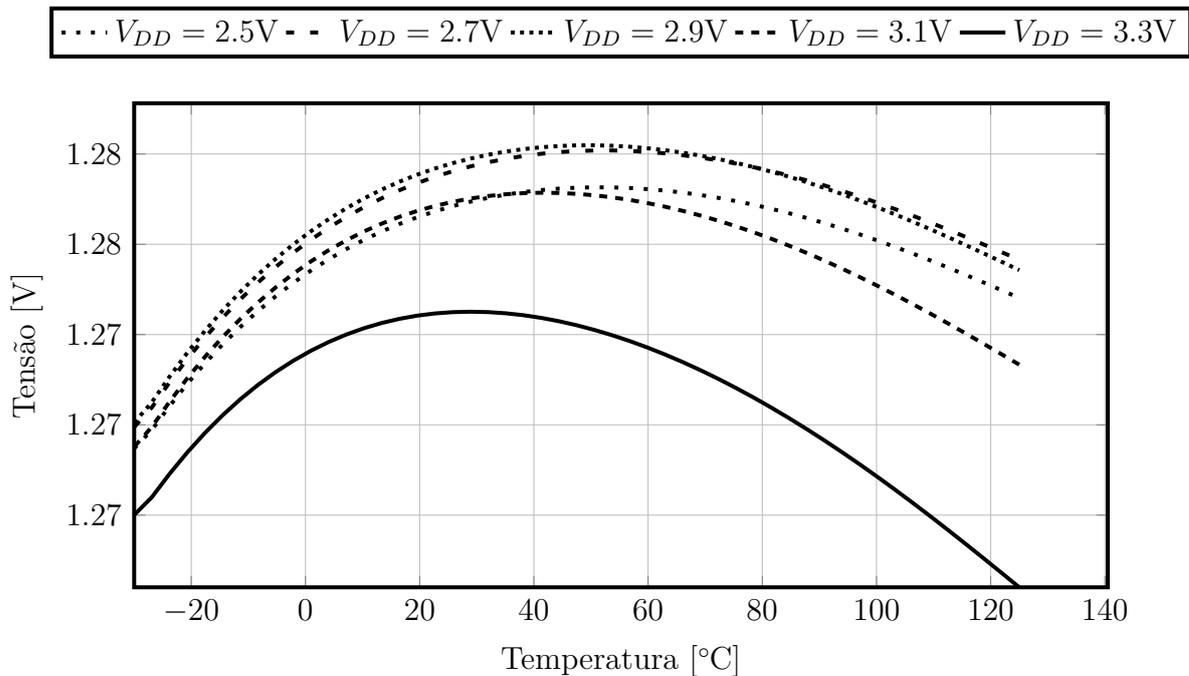


Figura 51 – Análise da tensão em ponto de operação do circuito de referência em função da temperatura. Também, uma variação na tensão de alimentação (V_{dd}).

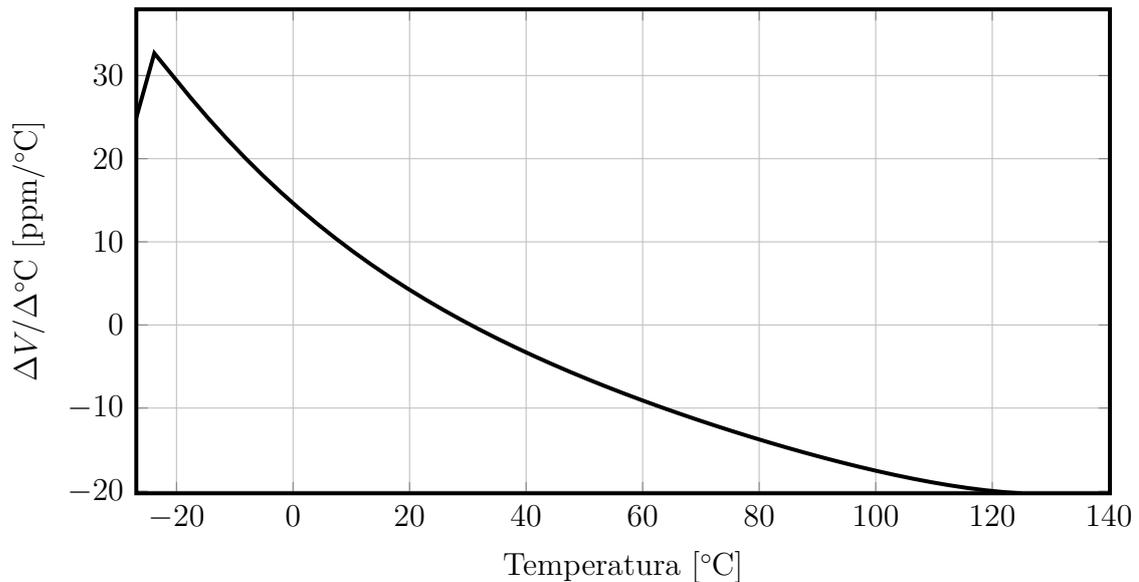


Figura 52 – Análise da variação de tensão em função da temperatura em *ppm*.

Como bem explicitado anteriormente, a tensão é mantida constante pela compensação da saída por meio das curvas PTAT e CTAT. O comportamento de ambas pode ser visto na Fig. 53.

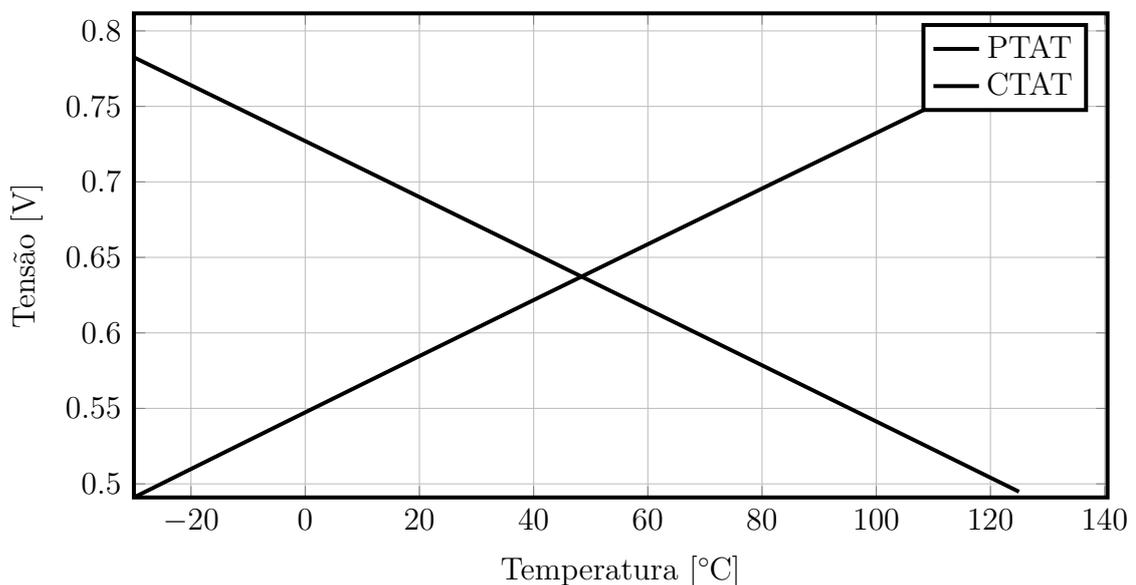


Figura 53 – Gráfico das curvas PTAT e CTAT para o circuito de referência de tensão por *bandgap*.

A simulação transiente do circuito pode ser vista na Fig. 54, onde é mostrado o tempo de inicialização de aproximadamente $130\mu\text{s}$. Observe que o tempo de inicialização é alto, entretanto a referência gerada pelo *bandgap* somente terá início após a partida suave, o que confere um tempo mais que suficiente para a estabilização.

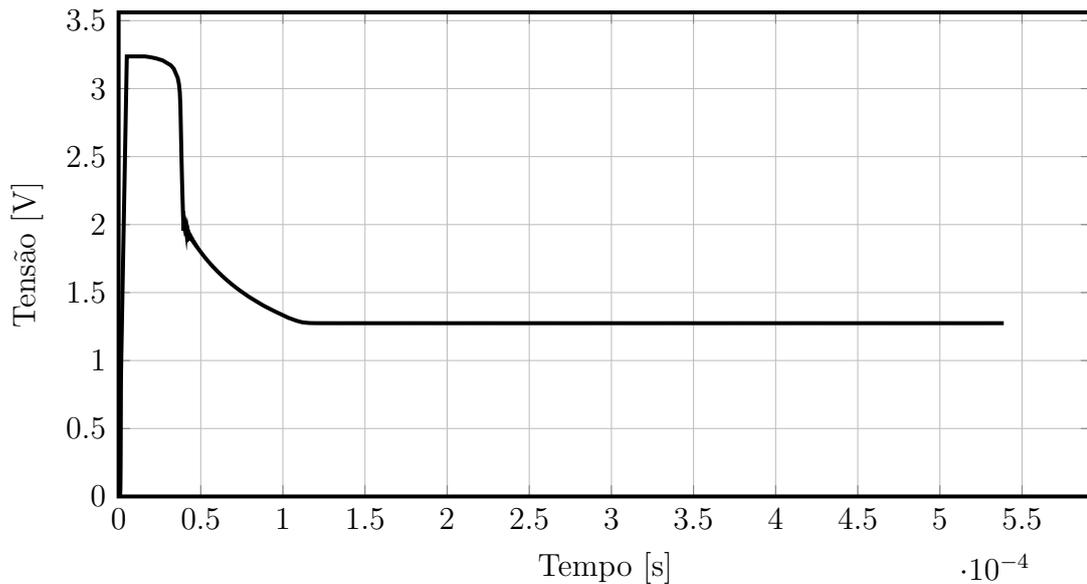


Figura 54 – Simulação transiente do circuito de referência de tensão *bandgap*. É observado um tempo de estabilização de aproximadamente $130\mu s$.

3.1.9 Multiplexador de sinais analógicos

Em vistas a realizar a troca entre as tensões de partida suave e *bandgap* é necessário um multiplexador de sinais analógicos. Tendo em vista que os sinais são de alta impedância, isso dá uma liberdade para a escolha dos transistores serão responsáveis pelo chaveamento dos sinais. Assim, o circuito com implementa o multiplexador analógico pode ser visto na Fig. 55. Nesse ponto, este é o circuito mais trivial deste trabalho.

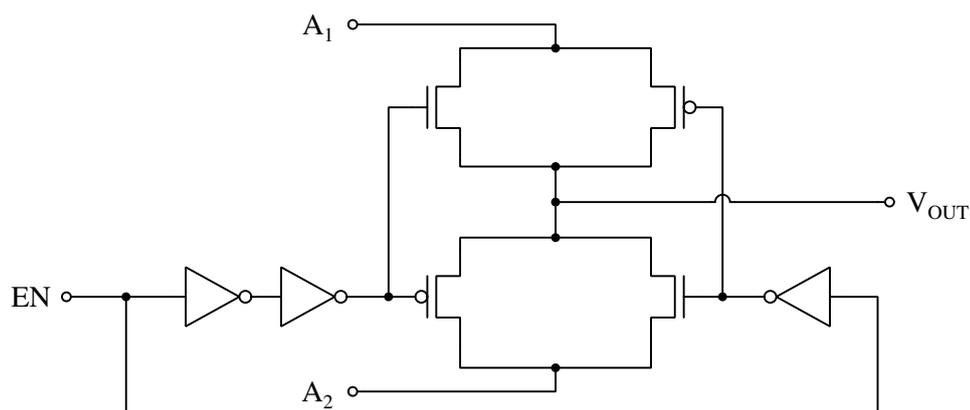


Figura 55 – Esquemático da implementação do multiplexador analógico.

3.2 Resultados da Simulação do Conversor DC-DC Buck

Realizando a simulação de todos os blocos implementados na configuração vista da Fig. 28, foi possível realizar o bom controle da tensão de saída do conversor DC-DC *buck*. O primeiro resultado de interesse é a resposta ao degrau de carga. Pode se ver na

Fig. 56, é feito um degrau de carga de um valor $R_L = 100\Omega$ para um valor $R_L = 18\Omega$, e o valor máximo de desvio da tensão nominal é de $45mV$ e o valor de acomodação de aproximadamente $20\mu s$.

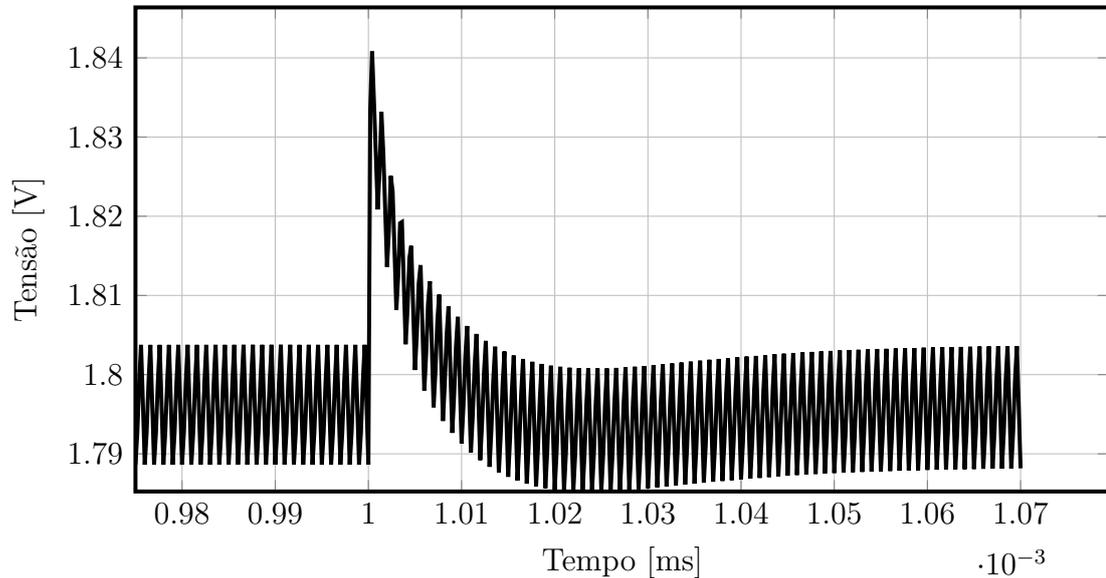


Figura 56 – Resposta transitiente do conversor quando aplicado um degrau de carga de $200mA$ para $18mA$. Durante a transição de carga, o desvio da tensão nominal é de $45mV$ e o tempo de estabilização de aproximadamente $20\mu s$.

Na Fig. 57, pode-se ver a resposta do degrau de carga de $R_L = 100\Omega$ para $R_L = 9\Omega$. Mais uma vez, o tempo de acomodação é de aproximadamente $20\mu s$ e o desvio da tensão nominal de $49mV$. Assim, as respostas para os degraus de carga são bastante similares, e indicam uma boa performance do circuito por atender as especificações iniciais.

Outro parâmetro interessante é o valor do *ripple*, onde para um consumo de $18mA$ e $200mA$ o valor foi aproximadamente o mesmo, de $17,2mV$. Tal valor de *ripple* elevado é por conta do alto valor de resistência ESR, onde foi considerado o pior caso.

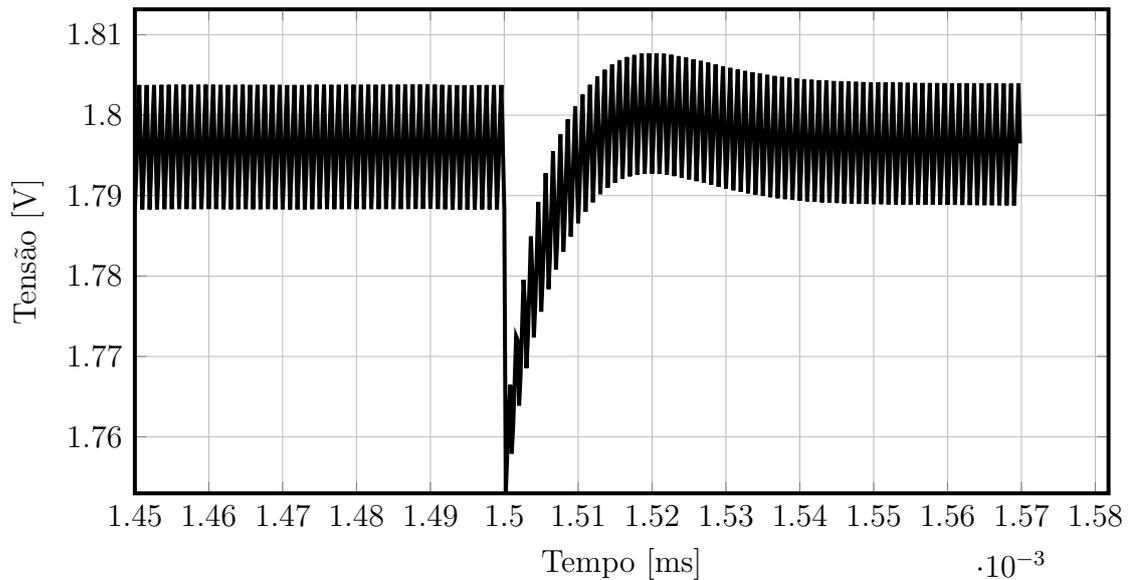


Figura 57 – Resposta transitiente do conversor quando aplicado um degrau de carga de $18mA$ para $200mA$. O desvio máximo da tensão no instante de transição é de $49mV$, com um tempo de estabilização de aproximadamente $20\mu s$.

Observando agora a corrente no circuito a partir da Fig. 58, podemos ver o *ripple* em baixa e alta carga é de aproximadamente $80mA$, que é o máximo estimado pela especificação. E que em baixas cargas, a corrente do indutor entra em modo descontínuo, o que faz com que a eficiência do circuito diminua.

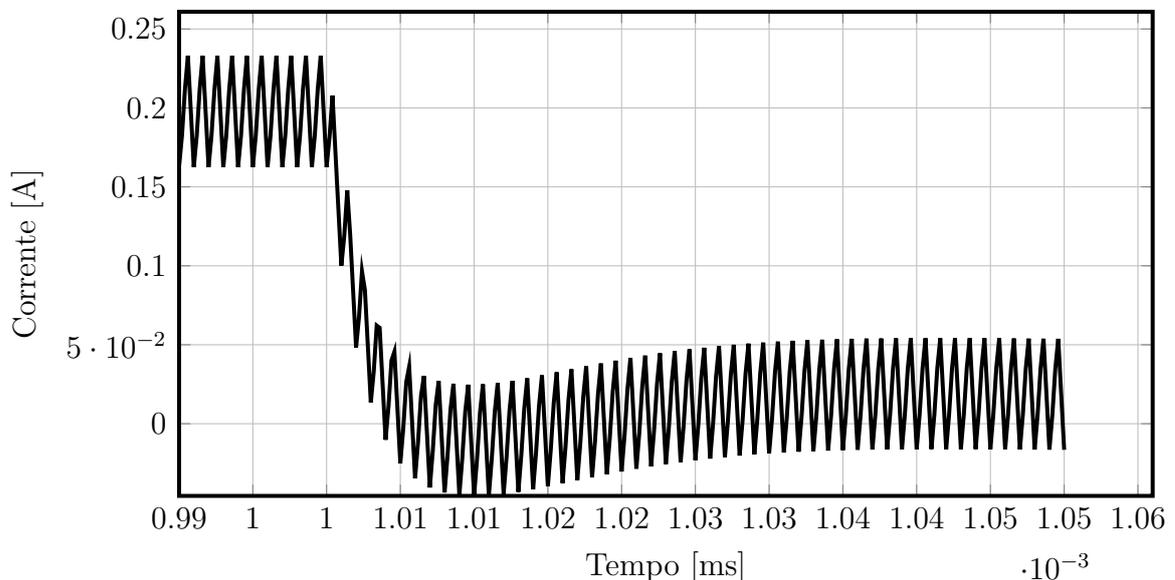


Figura 58 – Resposta transitiente da corrente do conversor quando aplicado um degrau de carga de $200mA$ para $18mA$.

Por fim, é possível ver a inicialização do circuito na Fig. 59, que inicializa com a partida suave, e depois estabiliza na tensão nominal de $1.8V$. Também é possível ver a resposta do circuito à variações de carga abruptas.

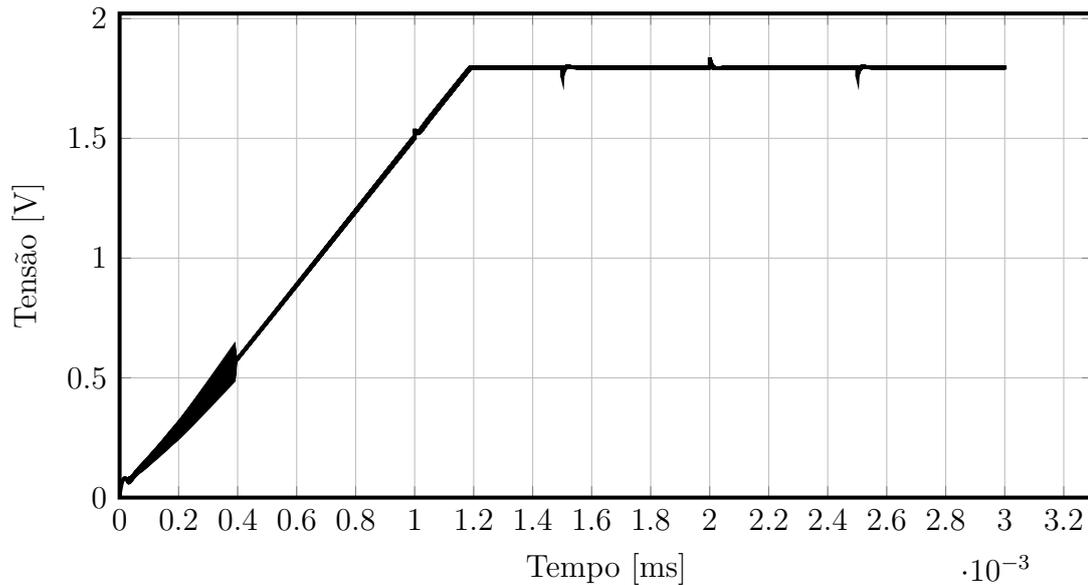


Figura 59 – Gráfico que mostra a inicialização suave do conversor e a estabilização. Na imagem, também é possível ver a aplicação das variações de carga abruptas.

Uma sumarização da performance do conversor DC-DC *buck* projetado pode ser visto na Tab. 2. Em geral, a performance atendeu todas as especificações, com ressalvas pelo consumo do circuito médio em operação. Tal consumo excessivo deve-se ao fato dos sub blocos do sistema terem um consumo elevado, cabendo então um projeto mais refinado de cada um para uma operação em corrente mais baixa. Também, um fator que influencia diretamente no alto consumo é o *driver* das chaves semicondutoras: um melhor balanceamento será o essencial para combater este alto consumo.

Tabela 2 – Resultado da performance do conversor DC-DC *buck*.

Tecnologia	TSMC 0.18
Tensão de entrada (V)	3.3V
Tensão de saída (V)	1.8V
Ripple de tensão (V)	17mV
Frequência de oscilação	1MHz
Saída de Corrente máx.	200mA
Consumo do circuito	1.1mA
Eficiência	97.96%@200mA 88%@18mA
Indutor off-chip	10.22μH
Capacitor off-chip	10μF

3.3 Implementação do LDO

A implementação do LDO terá como base a estabilização da tensão proveniente do retificador com uma corrente máxima de 18mA. A arquitetura básica considerada para a

implementação pode ser vista na Fig. 60.

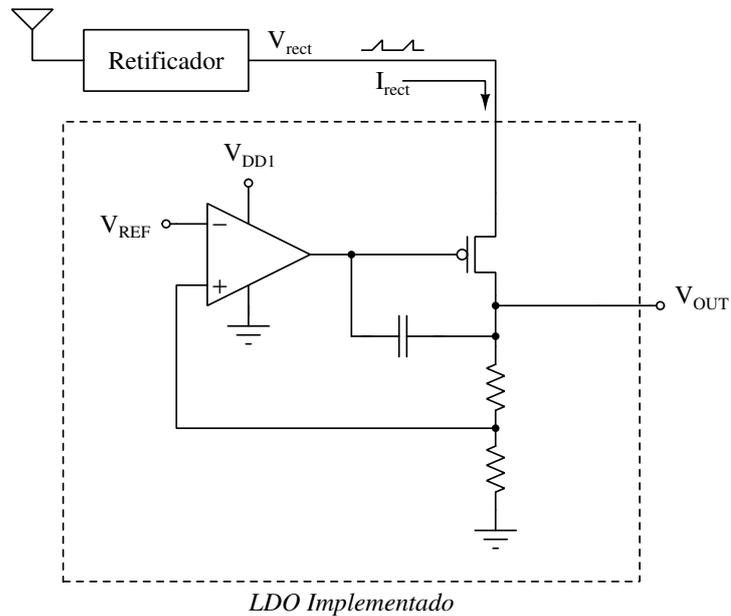


Figura 60 – Diagrama em alto nível do regulador LDO implementado.

3.3.1 Amplificadores Operacionais de um Estágio

De modo a analisar as estruturas dos reguladores LDOs, será feita a implementação da topologia mais simples. Ela é regida por meio de um amplificador de um estágio, o transistor de regulação e a realimentação. O circuito será construído de forma a não ter uma capacitância externa, tal como visto anteriormente na Fig. 16b.

A primeira topologia de amplificador operacional pode ser vista na figura 61, onde trata-se de um circuito clássico regido por um par diferencial e um espelho de corrente PMOS como carga.

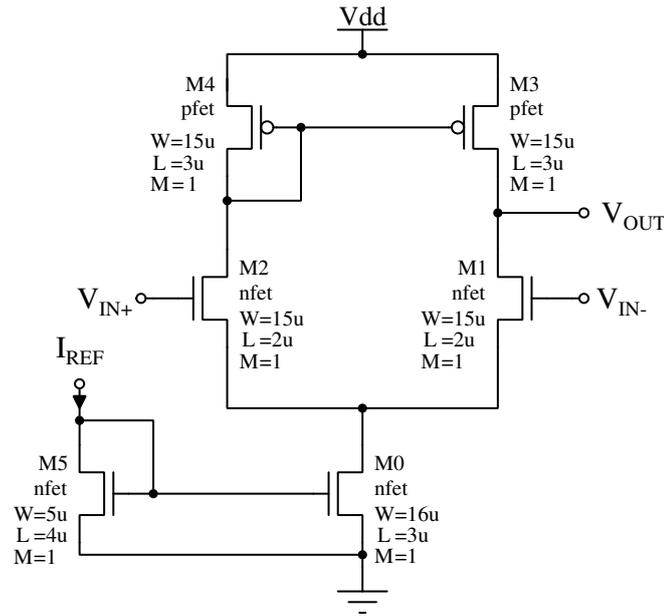


Figura 61 – Implementação do amplificador operacional simples com apenas um estágio.

A segunda topologia pode ser vista na Fig. 62, tratando-se de um amplificador do tipo *folded cascode* (FC). Em relação ao circuito da Fig. 61, este possui um maior ganho em malha aberta, apenas um polo, auto-compensação e uma faixa de entrada de modo comum maior em relação as outras topologias com um ganho equivalente (ALLEN; HOLBERG, 2011).

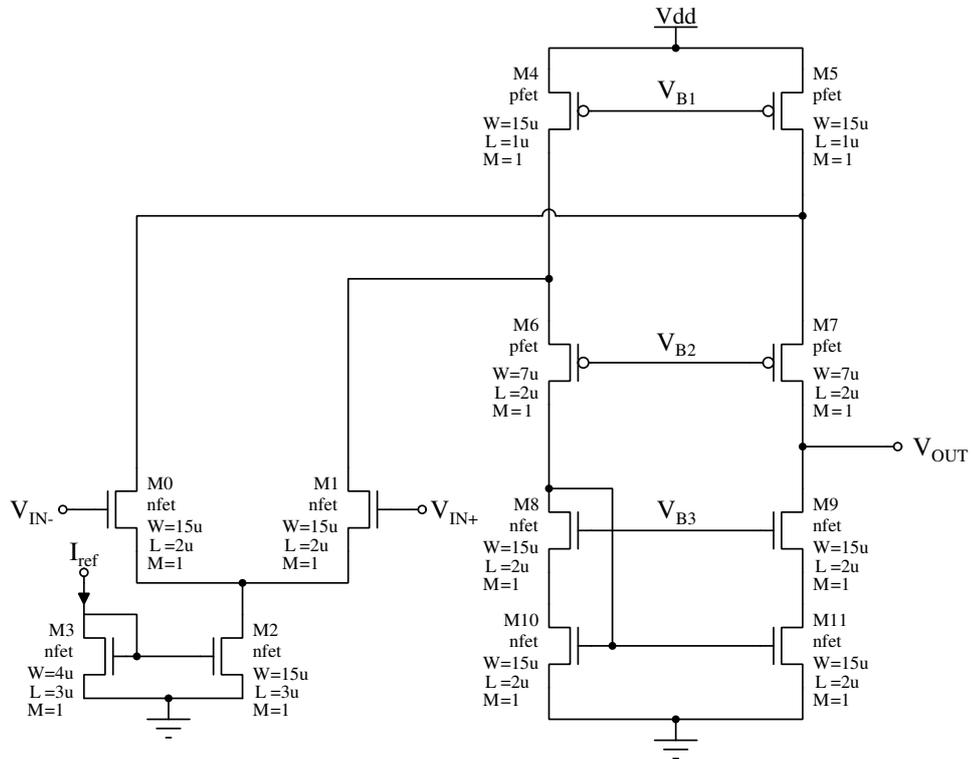


Figura 62 – Implementação do amplificador operacional *folded cascode* com apenas um estágio.

Para entender o impacto desse componente no comportamento dos LDOs, é importante conhecer de antemão a performance individual de cada amplificador operacional. Observando, primeiramente, o comportamento dos amplificadores no domínio da frequência, tem-se os gráficos das Figs. 63 e 64. Ambas as comparações utilizaram um capacitor de 5pF como carga, pois é aproximadamente a capacitância total do *pass transistor*.

O amplificador de um estágio apresentou um ganho em baixas frequências bastante inferior ao amplificador FC, onde para o primeiro foi observado um ganho de aproximadamente 52dB, enquanto para o segundo foi observado um ganho de aproximadamente 93dB. Os demais parâmetros podem ser comparados na Tab. 3.

Tabela 3 – Valores de performance mensurados na análise em frequência dos amplificadores implementados.

Parâmetro analisado	Estágio único	<i>Folded Cascode</i>
Polo 1	3,77kHz	32,11Hz
Polo 2	$\approx 10,7MHz$	13,6MHz
GBW	1,49MHz	1,42MHz
Margem de fase	89°	88°
Ganho em DC	57dB	93dB

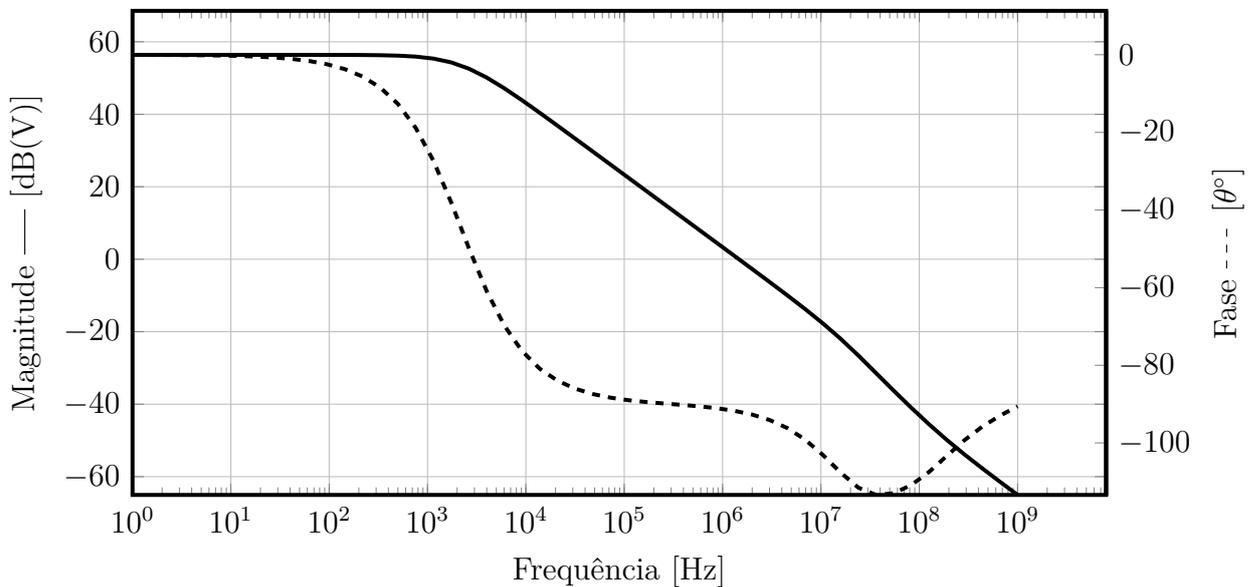


Figura 63 – Desempenho em frequência do amplificador de um estágio.

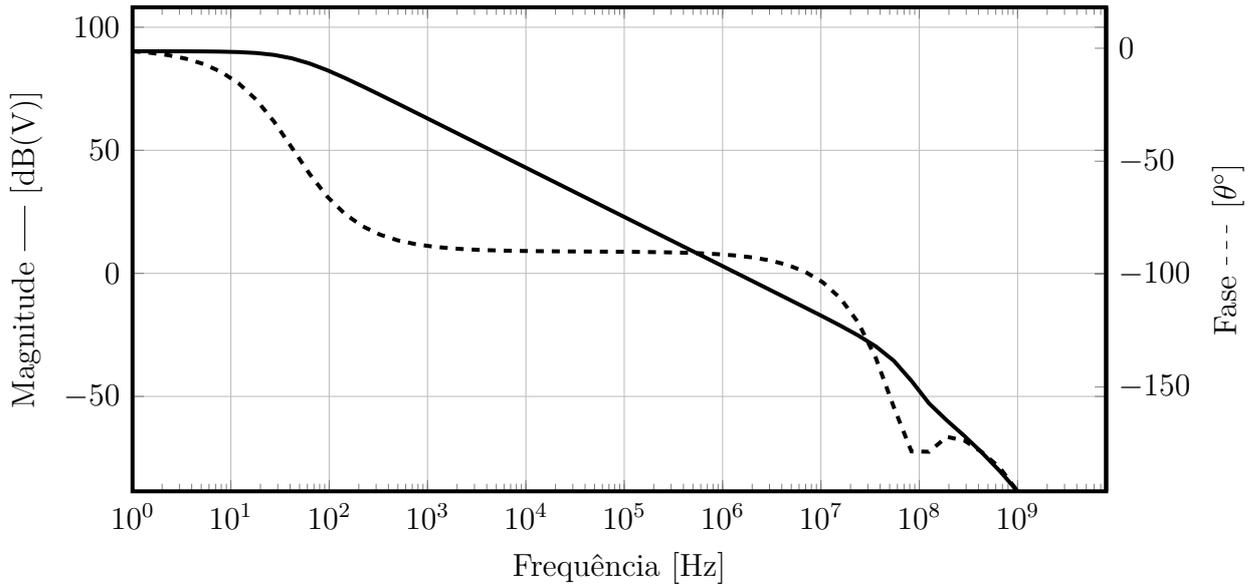


Figura 64 – Desempenho em frequência do amplificador FC.

O segundo parâmetro de interesse é o *slew rate*, ou seja, a taxa de tensão por segundo que o amplificador é capaz de alcançar. Isso traduz a velocidade de saída do amplificador. Pode-se observar o *slew rate* dos amplificadores na Fig. 65, onde a taxa de subida é de aproximadamente $900kV/s$, e a taxa de descida de aproximadamente $1MV/s$. Já é esperado que o *slew rate* dos amplificadores sejam parecidos, pois a largura de banda, observada no parâmetro GBW da Tab. 3, de ambos é próxima.

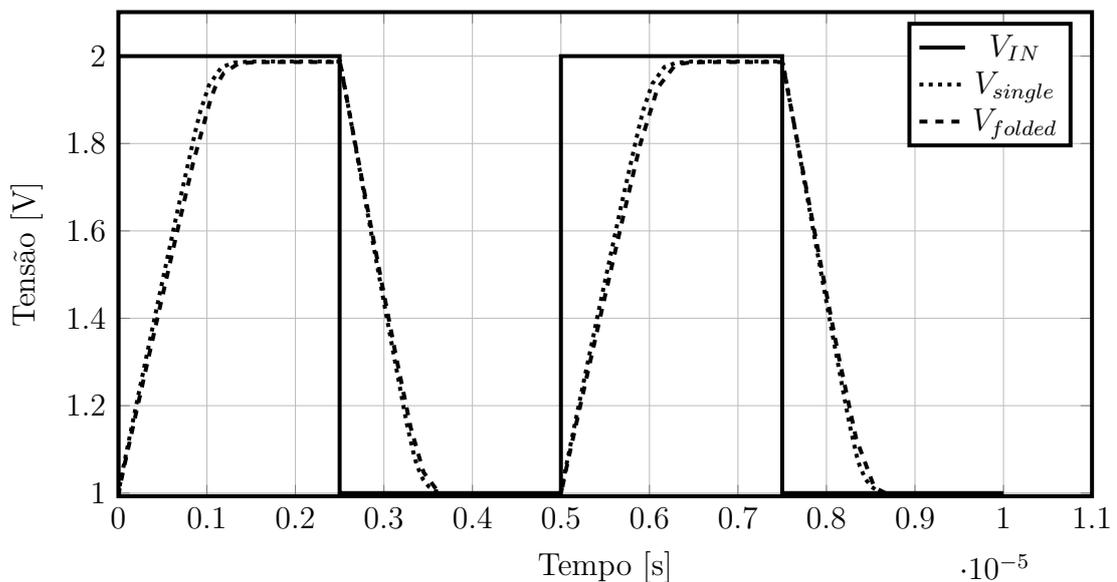


Figura 65 – Resposta transiente a um degrau de entrada para a medição do *slew rate*. Ambos apresentam uma taxa de descida de $1MV/s$ e uma taxa de subida de aproximadamente $900kV/s$.

A modelagem do *pass transistor* é dependente da análise do intervalo de entrada

de modo comum (ICMR) do amplificador. Esse intervalo é dado a partir da análise de linearidade da saída do amplificador em configuração de ganho unitário. Tendo essa definição em mente, pode-se observar ICMR dos amplificadores a partir da Fig. 66. Para o amplificador de estágio único, tem-se um intervalo de entrada entre $0,6V$ e $3,08V$; para o amplificador FC, tem-se uma entrada entre $0,56V$ e $3,1V$.

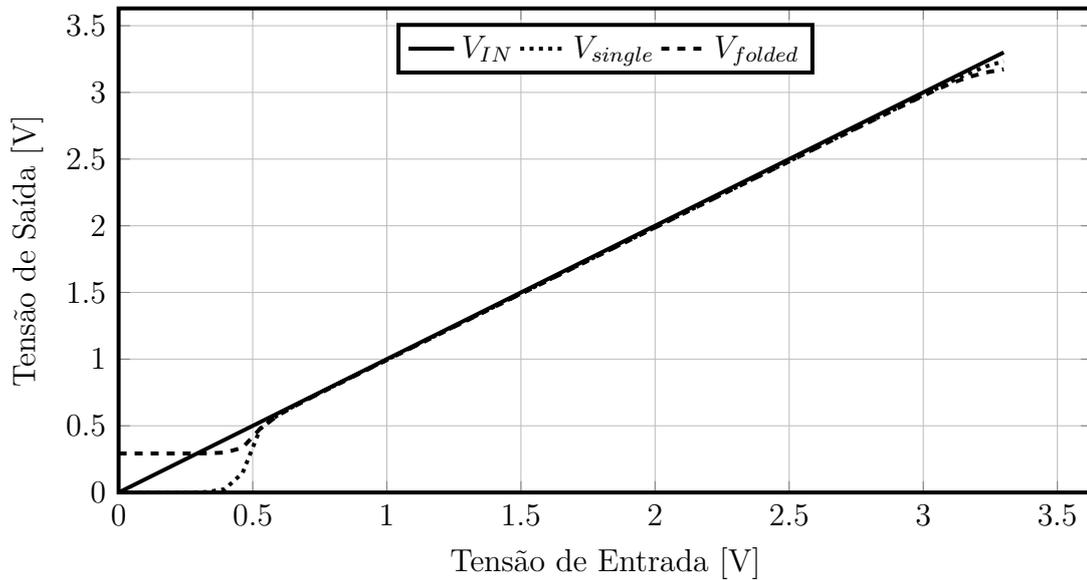


Figura 66 – Análise do ICMR para os amplificadores operacionais.

Por último, e de maior importância, é necessário analisar a *Power Supply Rejection Ratio* (PSRR) dos amplificadores operacionais, pois como visto na seção 2.3.2, eles são as fontes majoritárias para a propagação do *ripple* no circuito. O PSRR para o amplificador de um estágio e FC podem ser vistos na Fig. 67, onde o melhor desempenho observado é do LDO com amplificador *folded cascode*.

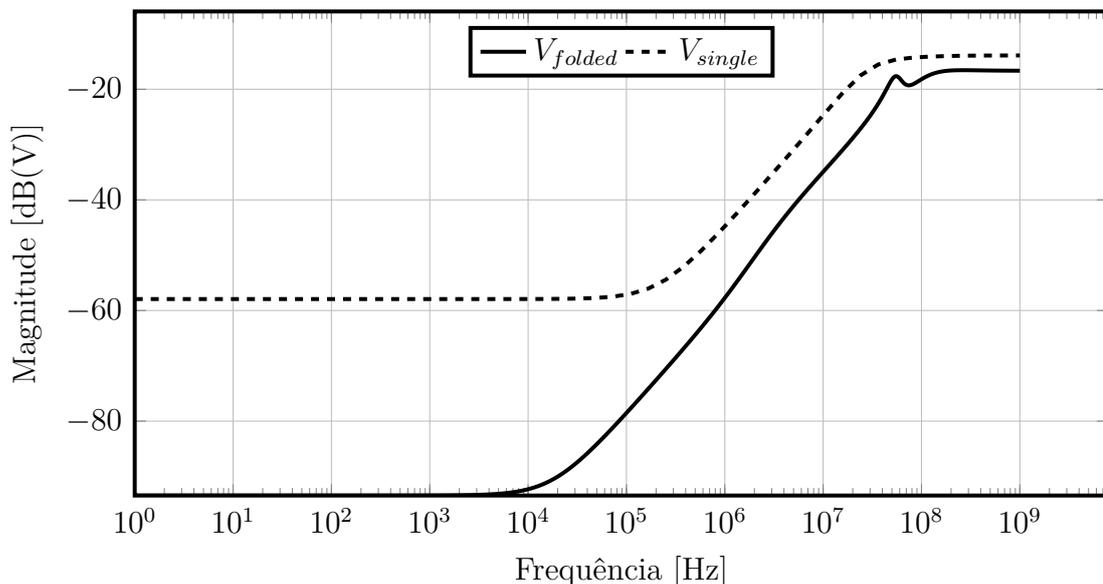


Figura 67 – Análise do PSRR para os amplificadores operacionais.

3.4 Comparação de Dois Reguladores LDOs

A comparação de ambos os reguladores LDOs será dada em conjunto e sob as mesmas condições, como visto na Fig. 68.

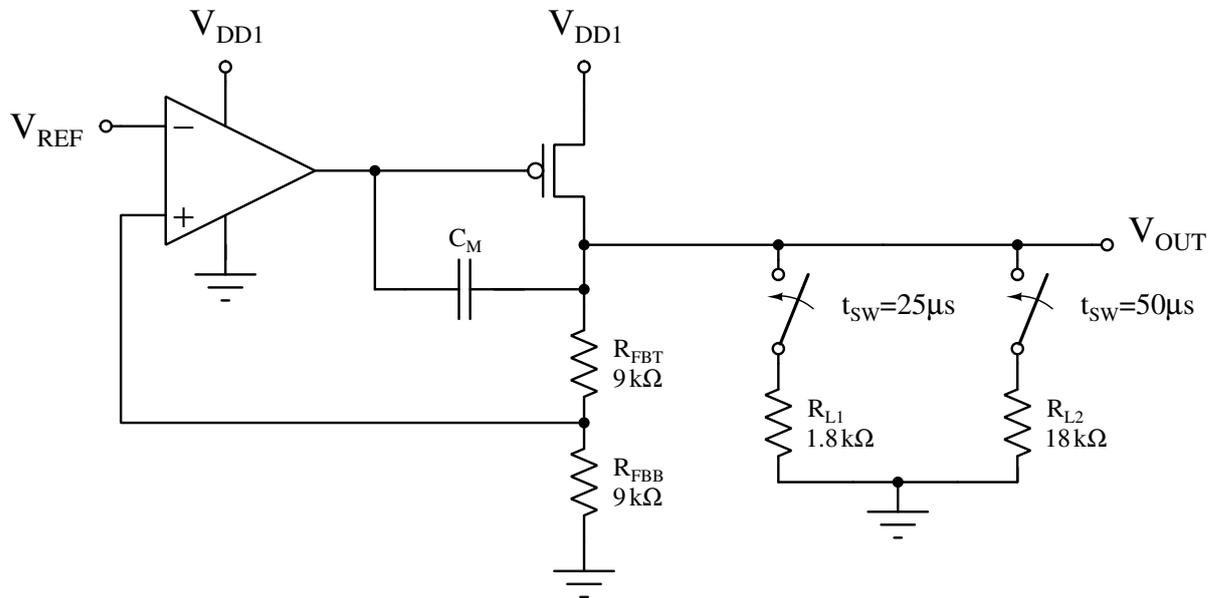


Figura 68 – Circuito de testes utilizado para avaliar a performance do circuito com um amplificador de erro na topologia *folded cascode* ou com estágio único.

O primeiro passo para realizar a construção de um regulador LDO é verificar a estabilidade dele em malha fechada. Isso pode ser feito por por meio da análise de corrente no *loop* (ferramenta já implementada no Cadence). Utilizando dessa ferramenta, tem-se o gráfico do comportamento em frequência para a regulador LDO com amplificador de estágio único visto na Fig. 70. Para o regulador com amplificador FC, tem-se o gráfico na Fig. 69.

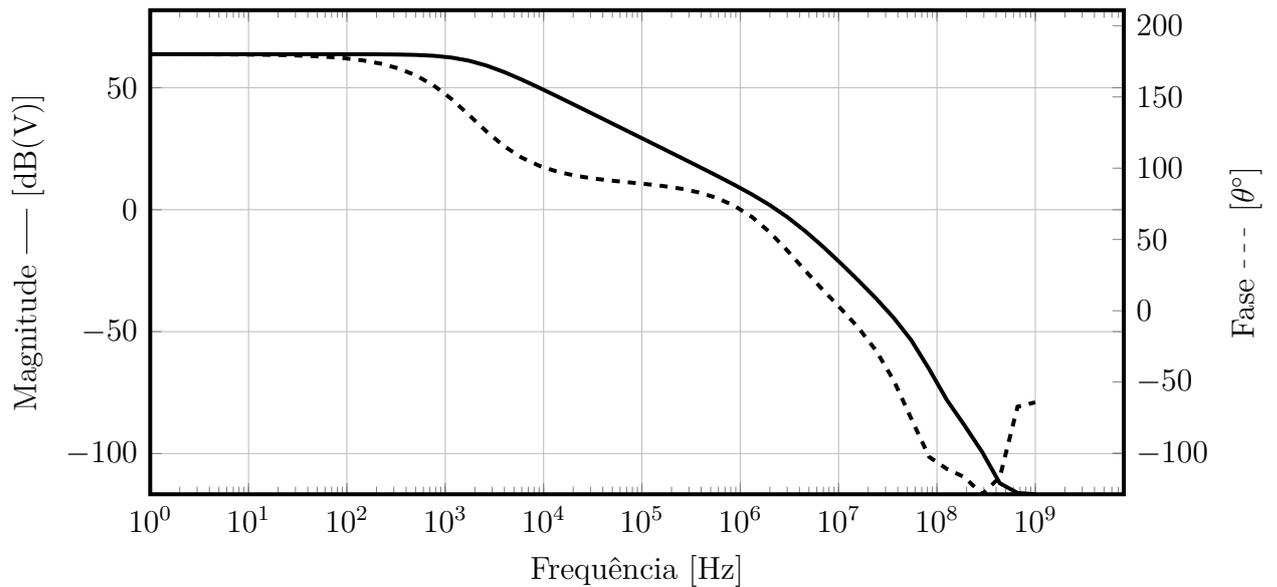


Figura 69 – Desempenho em frequência do amplificador FC.

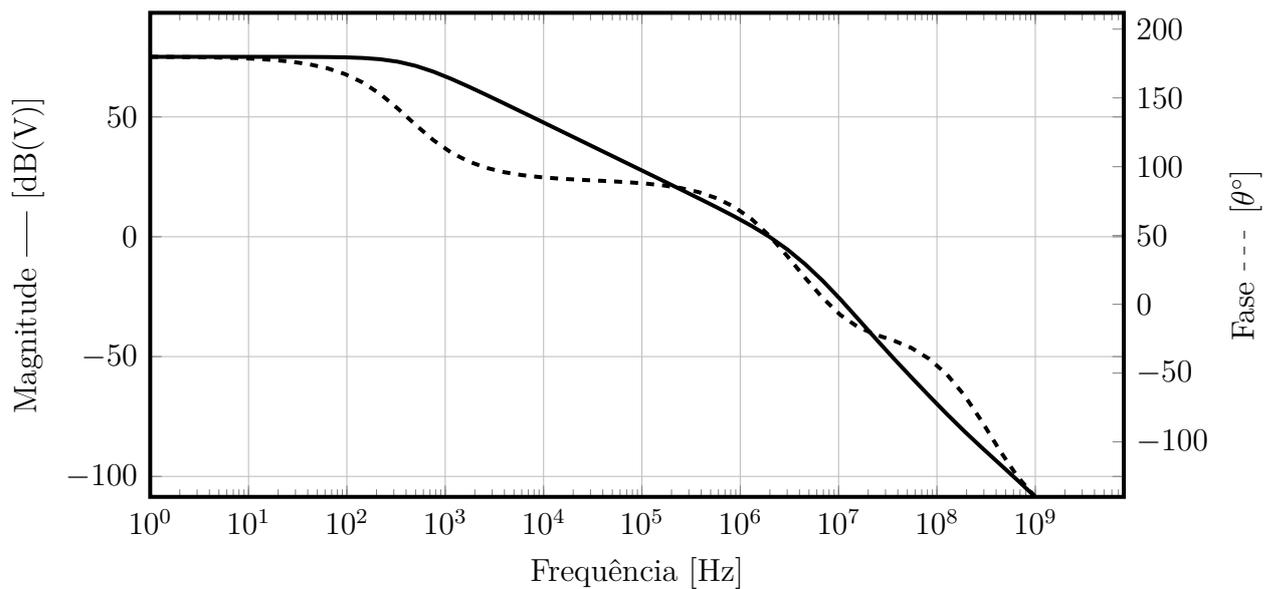


Figura 70 – Desempenho em frequência do amplificador de estágio único.

Ambos os LDOs foram otimizados para terem uma margem de fase de 50° e uma largura de banda de aproximadamente 2MHz . A margem de ganho para o regulador com amplificador de estágio único é de $20,95\text{dB}$, enquanto para o amplificador FC é de $22,79\text{dB}$. Com isso, é esperado mais adiante que o circuito tenha uma boa resposta aos transientes.

Aplicando uma mudança brusca na carga de saída, fazendo com que a corrente varie de 100 para 10mA , foi possível observar o comportamento da Fig. 71. Já para uma transição de uma carga de 10mA para $100\mu\text{A}$, é observado o comportamento visto na Fig. 72.

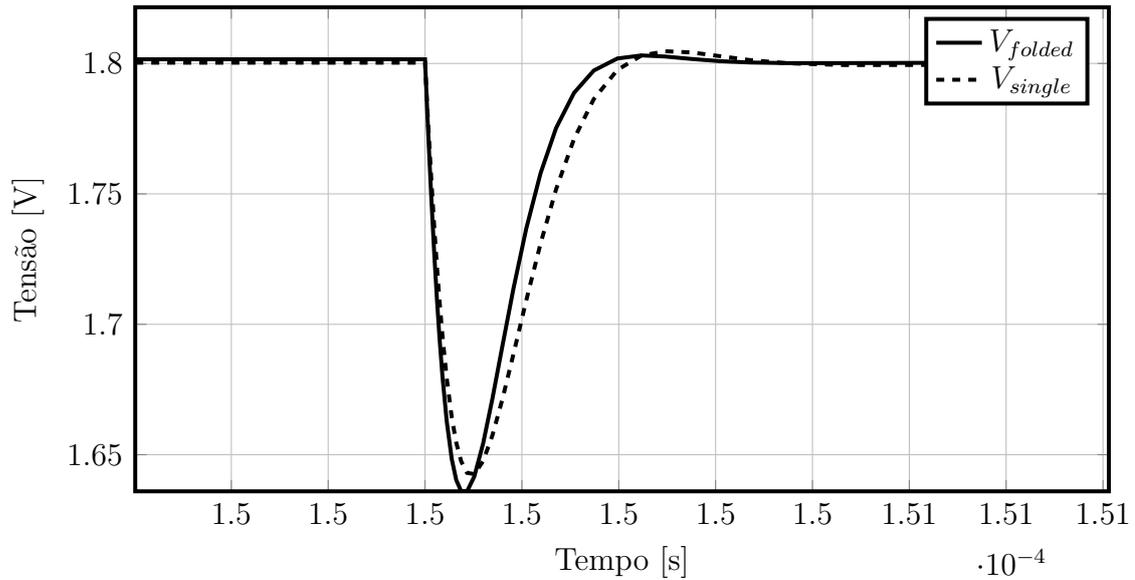


Figura 71 – Resposta transitiente a um degrau de carga baixa para carga alta com vistas a observar o tempo de estabilização.

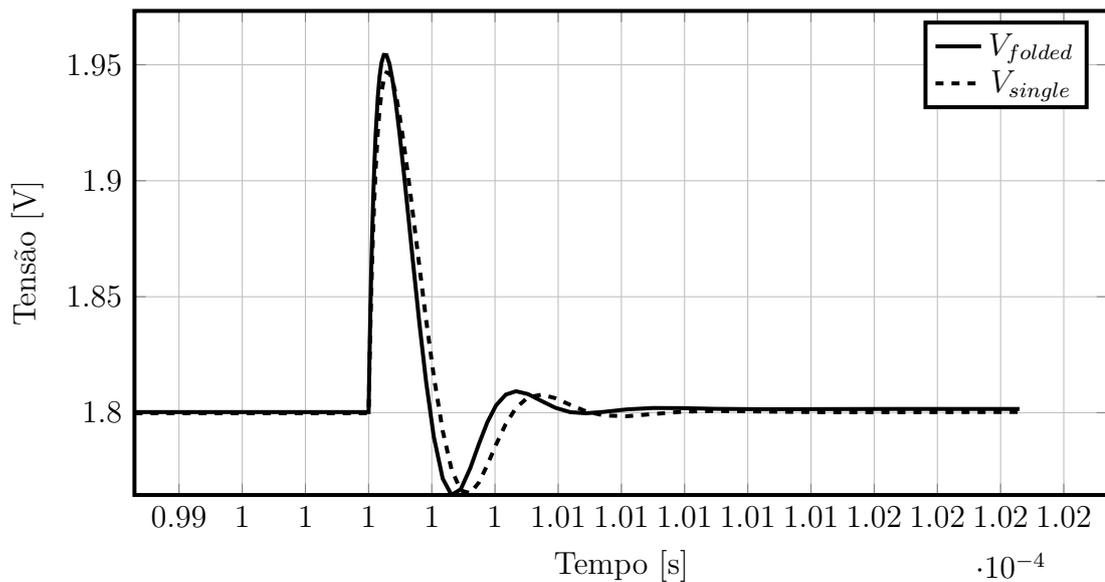


Figura 72 – Resposta transitiente a um degrau de carga alta para carga baixa com vistas a observar o tempo de estabilização.

Por último, tem-se o parâmetro de rejeição de ruído, mostrado na Fig. 73, para o regulador com amplificador FC e de estágio simples, respectivamente. Em baixas frequências, é notável uma melhor performance do amplificador FC, atingindo $-71dB$ aproximadamente. Entretanto, em altas frequências, o regulador com amplificador de estágio único tem uma melhor performance que o FC, o que é esperado pela blindagem conferida a topologia pela carga ativa PMOS.

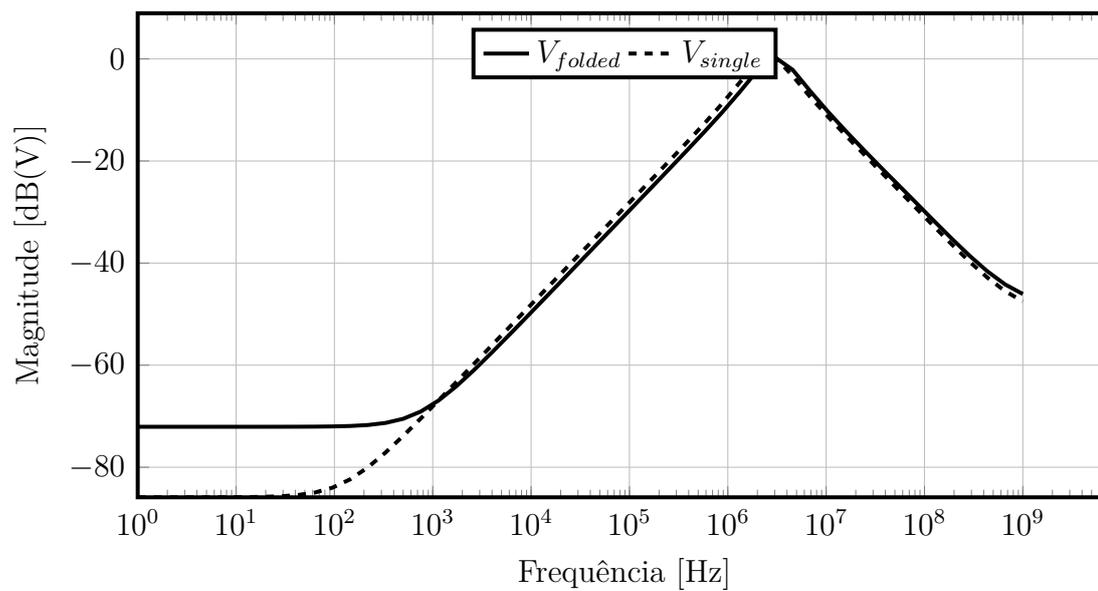


Figura 73 – Análise do PSRR para os reguladores LDOs.

4 Conclusão e Trabalhos Futuros

Os circuitos de gerenciamento de potência se assemelham muito uns dos outros. A diferença entre as topologias são as responsáveis pelas nuances nos parâmetros de desempenho de cada circuito. Sendo assim, como cada aplicação exige uma privilegiação de alguns parâmetros em relação a outros, o requisito de um projeto de gerenciamento de potência está atado primariamente aos demais blocos pertencentes a aplicação, e em segundo a fonte energética que alimenta o circuito.

Como visto na seção 2.1, há diferentes formas de alimentação, cada uma com sua peculiaridade que exige uma estratégia diferente para a extração máxima de potência da fonte. Nas seções 2.2 e 2.3, foram analisados de maneira teórica os blocos básicos principais que serão construídos neste trabalho, de forma a montar o arcabouço de conhecimento para escolha da melhor estrutura de unidade de gerenciamento de potência. Na seção 3.1, foram mostrados as implementações e performances de cada sub bloco do conversor DC-DC *buck*. Na seção 3.2, foram mostrados os resultados do conversor com todos os blocos integrados. Por fim, na seção 3.4, foi observado o comportamento dos reguladores LDOs com relação a modificação do amplificador de erro. Nisso, foi mostrado que a mudança de topologia do amplificador de erro impacta diretamente na maioria dos parâmetros, com maior ênfase na rejeição de *ripple* da rede.

Nessa ótica, este trabalho mostrou a implementação e os resultados de alguns blocos da Unidade de Gerenciamento de Potência para a aplicação de dispositivos sem fio alimentados por bateria. Os resultados atingiram os requisitos estabelecidos em quase sua totalidade. No conversor DC-DC, a especificação de consumo não foi atendida, entretanto as demais especificações foram atendidas e, no que tange a simulação, alcançou bons resultados. O regulador LDO apresentou uma melhor performance sobre o PSRR quando utilizado um amplificador de erro FC, que é o principal parâmetro de interesse para a aplicação. Portanto, tendo em vista os resultados obtidos, é possível com isso realizar a implementação inicial da UGP.

4.1 Trabalhos Futuros

Como trabalhos futuros, espera-se otimizar o consumo do circuito do conversor DC-DC quando ativo, o que auxiliará na eficiência total do circuito; implementar o modo de controle PFM para o uma melhoria na eficiência em baixas cargas; implementar os demais blocos da UGP: retificador e conversor DC-DC *boost*, que servirá para o circuito de carregamento da bateria por meio da energia proveniente da coleta de energia eletromagnética.

Referências

- ALLEN, P. E.; HOLBERG, D. R. *CMOS analog circuit design*. [S.l.]: Elsevier, 2011. Citado 2 vezes nas páginas 50 e 62.
- BRIGITTE, H. Basic calculation of a buck converter's power stage. *Texas Instruments, Dallas, Texas, Tech. Rep. SLVA477*, 2011. Citado na página 41.
- EL-NOZAH, M. et al. High psr low drop-out regulator with feed-forward ripple cancellation technique. *IEEE journal of solid-state circuits*, IEEE, v. 45, n. 3, p. 565–577, 2010. Citado 3 vezes nas páginas 7, 33 e 34.
- GREGORIAN, R. *Introduction to CMOS op-amps and comparators*. [S.l.]: Wiley New York, 1999. Citado na página 50.
- HA, T. T. et al. A buck dc-dc converter using automatic pfm/pwm mode change for high-efficiency li-ion battery charger. In: *2014 International SoC Design Conference (ISOC)*. [S.l.: s.n.], 2014. p. 238–239. Citado 2 vezes nas páginas 6 e 22.
- JOHANN, M. Estrutura de roteamento em circuitos vlsi. *Porto Alegre: CPGCC da UFRGS*, p. 16, 1997. Citado na página 16.
- KWON, D.; RINCON-MORA, G. A. A single-inductor ac-dc piezoelectric energy-harvester/battery-charger ic converting $\pm(0.35$ to $1.2\text{v})$ to $(2.7$ to $4.5\text{v})$. In: *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*. [S.l.: s.n.], 2010. p. 494–495. Citado na página 18.
- LEE, S. Demystifying type ii and type iii compensators using op-amp and ota for dc-dc converters. *Texas Instruments Application Report SLVA662, July*, 2014. Citado na página 24.
- LEI, W.; MAN, T. A general approach for optimizing dynamic response for buck converter. *Proc. Application notes Onsemi Conductors*, 2004. Citado 3 vezes nas páginas 25, 26 e 27.
- LEICHT, J.; MANOLI, Y. A $2.6 \mu\text{W}$ – 1.2mw autonomous electromagnetic vibration energy harvester interface ic with conduction-angle-controlled mppt and up to 95% efficiency. *IEEE Journal of Solid-State Circuits*, v. 52, n. 9, p. 2448–2462, 2017. Citado na página 18.
- LIU, W.-R. et al. A high efficiency dual-mode buck converter ic for portable applications. In: *2007 International Conference on Communications, Circuits and Systems*. [S.l.: s.n.], 2007. p. 1011–1015. Citado 4 vezes nas páginas 6, 21, 40 e 48.
- LYU, H.; WANG, Z.; BABAKHANI, A. A uhf/ubw hybrid rfid tag with a 51-m energy-harvesting sensitivity for remote vital-sign monitoring. *IEEE Transactions on Microwave Theory and Techniques*, v. 68, n. 11, p. 4886–4895, 2020. Citado 3 vezes nas páginas 6, 18 e 19.
- MITCHELL, D.; MAMMANO, B. Designing stable control loops. In: *Texas Instruments Power Supply Design Seminar Notes*. [S.l.: s.n.], 2001. Citado 2 vezes nas páginas 6 e 20.

- PITHADIA, S. Ldo noise demystified. *Texas Instrum. Applic. Report SLAA412*, p. 1–5, 2009. Citado 2 vezes nas páginas 7 e 38.
- PRABHA, R. D.; RINCÓN-MORA, G. A. 0.18-um light-harvesting battery-assisted charger–supply cmos system. *IEEE Transactions on Power Electronics*, v. 31, n. 4, p. 2950–2958, 2016. Citado na página 18.
- RAHIMI, A. M.; PARTO, P.; ASADI, P. Compensator design procedure for buck converter with voltage-mode error-amplifier. *AN-1162, International Rectifier*, 2010. Citado 2 vezes nas páginas 25 e 28.
- RAZAVI, B. *Design of analog CMOS integrated circuits*. [S.l.]: McGraw Hill Education, 2005. Citado na página 54.
- RAZAVI, B. *Fundamentals of microelectronics*. [S.l.]: John Wiley & Sons, 2021. Citado na página 32.
- SHEEHAN, R.; DIANA, L. Switch-mode power converter compensation made easy. *Texas Instruments: Dallas, TX, USA*, 2016. Citado 7 vezes nas páginas 6, 22, 23, 24, 25, 27 e 28.
- SHYLAJA, A. D.; RINCÓN-MORA, G. A. High-psr ldos: Variations, improvements, and best compromise. *IEEE Transactions on Circuits and Systems II: Express Briefs*, IEEE, v. 69, n. 3, p. 924–928, 2021. Citado 2 vezes nas páginas 7 e 33.
- TANTAWY, R.; BRAUER, E. J. Performance evaluation of cmos low drop-out voltage regulators. In: IEEE. *The 2004 47th Midwest Symposium on Circuits and Systems, 2004. MWSCAS'04*. [S.l.], 2004. v. 1, p. I–141. Citado 3 vezes nas páginas 6, 31 e 32.
- TEEL, J. C. Understanding noise in linear regulators. *Texas Instruments Analog Applicant*, 2005. Citado 2 vezes nas páginas 7 e 39.
- TEEL, J. C. Understanding power supply ripple rejection in linear regulators. *Texas Instruments Analog Applicant*, 2005. Citado 2 vezes nas páginas 7 e 35.
- TORRES, E. O.; RINCON-MORA, G. A. A 0.7- μ m bicmos electrostatic energy-harvesting system ic. *IEEE Journal of Solid-State Circuits*, v. 45, n. 2, p. 483–496, 2010. Citado na página 18.
- TORRES, J. et al. Low drop-out voltage regulators: Capacitor-less architecture comparison. *IEEE Circuits and Systems Magazine*, v. 14, n. 2, p. 6–26, 2014. Citado 6 vezes nas páginas 6, 7, 29, 30, 36 e 37.
- TRAN-DINH, T. et al. Power management ic with a three-phase cold self-start for thermoelectric generators. *IEEE Transactions on Circuits and Systems I: Regular Papers*, v. 68, n. 1, p. 103–113, 2021. Citado na página 18.