

Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica

**Proposta de um sistema de aquisição de ECG
abdominal em gestantes para a estimativa da
frequência cardíaca fetal**

Autor: Lourrany Gomes de Mesquita
Orientador: Prof. Gilmar Silva Beserra

Brasília, DF
2022



Lourrany Gomes de Mesquita

**Proposta de um sistema de aquisição de ECG abdominal
em gestantes para a estimativa da frequência cardíaca
fetal**

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Prof. Gilmar Silva Beserra

Brasília, DF

2022

Lourrany Gomes de Mesquita

Proposta de um sistema de aquisição de ECG abdominal em gestantes para a estimativa da frequência cardíaca fetal/ Lourrany Gomes de Mesquita. – Brasília, DF, 2022-

64 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Gilmar Silva Beserra

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB
Faculdade UnB Gama - FGA , 2022.

1. ECG Abdominal. 2. Frequência Cardíaca Fetal. I. Prof. Gilmar Silva Beserra. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Proposta de um sistema de aquisição de ECG abdominal em gestantes para a estimativa da frequência cardíaca fetal

CDU 02:141:005.6

Lourrany Gomes de Mesquita

Proposta de um sistema de aquisição de ECG abdominal em gestantes para a estimativa da frequência cardíaca fetal

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Trabalho aprovado. Brasília, DF, 02 de dezembro de 2022 – Data da aprovação do trabalho:

Prof. Gilmar Silva Beserra
Orientador

Prof. Daniel Mauricio Muñoz
Arboleda
Convidado 1

Prof. Guillermo Alvarez Bestard
Convidado 2

Brasília, DF
2022

Dedico este trabalho à responsável por me fazer florescer:

Ana Lúcia.

Dedico também à minha filha, Luna Maria:

Que o meu teto seja o seu chão.

*me levanto
sobre o sacrifício
de um milhão de mulheres que
vieram antes de mim
e penso
o que é que eu faço
para tornar essa montanha
mais alta
para que as mulheres que
vierem depois de mim
possam ver além
- legado*

Agradecimentos

Agradeço a Deus que me sustentou e me fortaleceu até aqui. Ao meu orientador, Gilmar, que esbanjou paciência, compreensão e flexibilidade. À minha mãe, Ana Lúcia, que me deu tudo o que tinha de melhor, que sonhou comigo e que lutou bravamente para criar todas as condições favoráveis para que eu chegasse aqui. À minha avó, Maria, que sempre cuidou tão bem de mim. À minha tia, Ana Nelsa, que plantou em mim o desejo de estudar na Universidade de Brasília e de conhecer o mundo pelos estudos. À minha tia, Ana Paula, me acolheu e acreditou nos meus sonhos. Ao meu pai, Algaci, que investiu o que pôde para me permitir estudar. Ao meu padrasto, Júnior, que sempre me incentivou em cada livro, caderno, lápis e borracha que me deu. Ao meu companheiro, Maycon, que cuidou tão bem de mim, da nossa criança e da nossa casa, para que eu pudesse me dedicar a este trabalho. Aos meus colegas, Felipe e Gabriel, que foram fundamentais no desenvolvimento deste trabalho e que me ensinaram muito mais do que apenas conhecimento técnico. Aos meus amigos da UnB, e agora da vida, Larissa, Milena, Hachid, Rauena, Vitor, Guilherme, Lucas Fidelis, Vitória, Letícia, Abia e Ricardo. Vocês tornaram a jornada mais leve. Às minhas amigas Jaene, Karol e Stephanie que foram um suporte emocional impecável durante todo o processo. Ao meu psicólogo, Rodrigo, que criou um espaço de acolhimento e amparo para os momentos de dificuldade. E por último, agradeço a mim, por ter persistido mesmo com tantas adversidades.

Resumo

A frequência cardíaca fetal (FHR - *Fetal Heart Rate*) é um dos parâmetros observados nas rotinas médicas durante o pré-natal e o parto. A observação é importante no que se refere ao bem-estar fetal e ao diagnóstico precoce de cardiopatias e de má-formação congênita. Tendo em vista essa preocupação, a Universidade de Brasília, em parceria com a Uniceplac, possui um projeto para aquisição de ECG abdominal (aECG) em gestantes no intuito de criar uma base de dados para aplicar algoritmos de processamento e estimativa da FHR a partir do ECG fetal (fECG), de maneira não invasiva. O *hardware* inicialmente proposto era a placa de desenvolvimento médico da Texas Instruments, TMS320VC5515, juntamente com uma placa-filha de *front-end* analógico, ADS1258, para a realização das aquisições. No entanto, devido a diversas limitações, o objetivo deste trabalho é a proposta de um sistema alternativo para aquisição de aECG para futuras estimativas da FHR. Esse sistema será composto pela placa de *front-end* analógico ADS1258 controlado pelo microcontrolador MSP430. Este trabalho possibilitou conhecer o modo de operação e controle da placa de *front-end* através da MSP430. Embora sejam necessários diversos testes, o protótipo teve alguns de seus módulos parcialmente validados.

Palavras-chaves: Eletrocardiograma Abdominal. ADS1258. Sistemas Embarcados.

Abstract

Fetal Heart Rate is an extremely observed parameter in medical routines during prenatal care and childbirth. Observation is important with regard to fetal well-being and early diagnosis of heart disease and congenital malformation. In view of this concern, at the University of Brasília, there is the development of a project for Acquisition, Processing and Communication of FHR in a non-invasive way. Initially, the project relied on the Texas Instruments medical development board, TMS320VC5515, to carry out the acquisitions. However, this board had several limitations. Therefore, this project aims to propose an Abdominal Electrocardiogram acquisition system for future Fetal Heart Rate estimates. For this system, an architecture based on the ADS1258 *front-end* controlled by the MSP430 is proposed. This work made it possible to know the operation and control mode of the *front-end* board through the MSP430. Although several tests are required, the prototype had some of its modules partially validated.

Key-words: Abdominal Electrocardiogram. ADS1258. Embedded Systems.

Lista de ilustrações

Figura 1 – Sistema de aquisição de FECCG a partir do AECG.	17
Figura 2 – Protótipo proposto na Universidade de Brasília, Faculdade do Gama. . .	18
Figura 3 – Configuração do sistema elétrico do coração e formas de onda dos sinais em cada ponto.	20
Figura 4 – Elementos de um ECG normal.	21
Figura 5 – ECG obtido na região torácica da mãe.	23
Figura 6 – ECG obtido na região abdominal: MECG + FECCG + ruídos.	23
Figura 7 – Representação das derivações unipolares e bipolares	24
Figura 8 – Sistema de derivações de Einthoven	24
Figura 9 – Sistema de Derivações de Wilson	25
Figura 10 – Sistema de Derivações de Goldberger	25
Figura 11 – Configurações AES e CS.	26
Figura 12 – Diagrama de Blocos da Arquitetura de Aquisição e Condicionamento do Sinal ECG.	27
Figura 13 – Diagrama Simplificado para Configuração de Hardware de Aquisição. . .	27
Figura 14 – Amplificador de Instrumentação.	28
Figura 15 – Acoplamento de interferência de linha.	29
Figura 16 – Conversor sigma-delta de primeira ordem.	30
Figura 17 – Diagrama de blocos do <i>hardware</i> MDK Fonte: Markandey (2010)	32
Figura 18 – Placa de <i>front-end</i> analógico para ECG. Fonte: Markandey (2010)	33
Figura 19 – <i>Front-end</i> analógico de ECG conectado ao C5515	33
Figura 20 – Diagrama de Blocos do ADS1258	34
Figura 21 – Multiplexador de Entrada	35
Figura 22 – Diagrama de Blocos do Filtro Digital	36
Figura 23 – Diagrama de Blocos do Gerador de Clock	36
Figura 24 – Cabo de ECG com 10 eletrodos	37
Figura 25 – Diagrama de blocos do sistema.	40
Figura 26 – Tempo de inicialização do dispositivo.	41
Figura 27 – Controle de conversão pelo pino START	42
Figura 28 – Operação de escrita do registrador	43
Figura 29 – Comando de Controle	43
Figura 30 – Interface de Hardware MSP430 e ADS1258	45
Figura 31 – Conexão Cartão SD e MSP430F5529	46
Figura 32 – Configuração típica do FatFs em um microcontrolador	46
Figura 33 – Fluxograma do Firmware	47
Figura 34 – Envio do pacote de dados de inicialização	51

Figura 35 – Pontos de Conexão do eletrodos no SimMan.	53
Figura 36 – DSP, MSP430 e ADS1258.	58
Figura 37 – Circuito montado com o analisador lógico em paralelo.	59
Figura 38 – Mapa de Pinos MSP430	62
Figura 39 – Circuito de entrada da perna esquerda.	63
Figura 40 – Circuito de entrada de braço direito e braço esquerdo.	63
Figura 41 – Interface dos Conectores da placa de <i>front-end</i>	64
Figura 42 – Esquemático da placa de front-end ADS1258.	64

Lista de tabelas

Tabela 1 – Taxa de dados do conversor. Fonte: (TEXAS INSTRUMENTS, 2011)	36
Tabela 2 – Byte de Comando. Fonte:(TEXAS INSTRUMENTS, 2011)	43
Tabela 3 – Bits de comando. Fonte:(TEXAS INSTRUMENTS, 2011)	43
Tabela 4 – Canal de Dados Fonte:(TEXAS INSTRUMENTS, 2011)	44
Tabela 5 – ID do canal. Modo de varredura automática.	60
Tabela 6 – Mapa de Registradores	61

Lista de abreviaturas e siglas

A/D	Analógico/Digital
AECG	Eletrocardiograma Abdominal
AES	Abdominal Electrode-Sourced
AV	Nódulo Atrioventricular
BPM	Batimento Por Minuto
CI	Circuito Integrado
CMRR	Razão de Rejeição de Modo Comum
CS	Combined Source
DR	Decimation Rate
ECG	Eletrocardiograma
EEG	Eletroencefalograma
EMI	Interferência Eletromagnética
EMG	Eletromiograma
FAT	File Allocation Table
FECG	Eletrocardiograma Fetal
FHR	Fetal Heart Rate (Frequência Cardíaca Fetal)
FPGA	Field Programmable Gate Array
LENSE	Laboratório de Ensaios de Equipamentos e Sistemas Eletromédicos
LPM	Low Power Mode
MDK	Medical Development Kit (Kit de Desenvolvimento Médico)
PGA	Programmable Gain Amplifier
SA	nódulo Sinatrial
SDC	Secure Digital Card

SNR	Relação Sinal Ruído
SPI	Serial Peripheral Interface
SPS	Sample per Second
UNB	Universidade de Brasília
Uniceplac	Centro Universitário do Planalto Central Aparecido dos Santos
USB	Universal Serial Bus

Sumário

1	INTRODUÇÃO	16
1.1	Contextualização	16
1.2	Definição do Problema	18
1.3	Objetivos Gerais	19
1.3.1	Objetivos Específicos	19
2	FUNDAMENTAÇÃO TEÓRICA	20
2.1	Eletrocardiograma	20
2.1.1	Eletrocardiograma Fetal	22
2.1.2	Eletrocardiograma Abdominal	22
2.1.3	Derivações	23
2.2	Processo de Aquisição de ECG	26
2.2.1	Eletrodos	27
2.2.2	Amplificação	28
2.2.3	Interferência e Filtragem	29
2.2.4	Conversão A/D	29
2.3	Trabalhos Correlatos	30
3	ASPECTOS METODOLÓGICOS E FERRAMENTAS	32
3.1	<i>TMS320C5515 DSP Medical Development Kit (MDK)</i>	32
3.1.1	ADS1258	34
3.1.1.1	Multiplexador de Entrada	34
3.1.1.2	Conversor Analógico/Digital e Filtro Digital	34
3.1.1.3	Oscilador	35
3.1.1.4	Pinos de Entrada e Saída	36
3.1.1.5	Interface SPI	37
3.1.1.6	Cabo ECG	37
3.2	MSP430F5529	37
3.3	Code Composer Studio	38
3.4	Cartão SD	39
4	PROPOSTA DE ARQUITETURA DO SISTEMA DE AQUISIÇÃO	40
4.1	Configuração do ADS1258	40
4.1.1	Inicialização	41
4.1.2	Modo de Operação	42
4.1.3	Descrição de Comandos	42

4.2	Leitura de Dados no ADS1258	44
5	PROTÓTIPO PARA TESTE E VALIDAÇÃO	45
5.1	<i>Hardware</i>	45
5.1.1	<i>Front-end</i>	45
5.1.2	Controle	45
5.1.3	Registro	46
5.2	<i>Firmware</i>	46
5.3	Testes	50
5.4	Proposta para Validação	52
6	CONCLUSÃO	54
	REFERÊNCIAS	55
	APÊNDICE A – MONTAGEM DO PROTÓTIPO	58
	ANEXO A – REGISTRADORES ADS1258	60
	ANEXO B – MAPA DE PINOS MSP430	62
C	– ESQUEMÁTICO DA PLACA DE <i>FRONT-END</i>	63

1 Introdução

1.1 Contextualização

O monitoramento fetal durante a gestação e no momento do parto é de suma importância no que se refere ao bem estar fetal e ao diagnóstico precoce de cardiopatias e de má-formação congênita. Um parâmetro de grande importância nesse monitoramento é a frequência cardíaca fetal (JAGANNATH; SELVAKUMAR, 2014). A frequência cardíaca fetal (FHR, em inglês *Fetal Heart Rate*) é a medida dos batimentos por minuto (BPM) do coração de um feto. O registro do FHR é realizado rotineiramente para se obter informações sobre as condições do feto e é uma parte importante dos cuidados anteparto e intraparto (STEINBURG et al., 2013) (HASAN et al., 2009).

As diretrizes internacionais definem que uma FHR normal possui uma variação de 110 a 150 BPM. Essa variação deve ser observada com relação às principais características do FHR, sendo elas: a linha de base, a variabilidade, a aceleração e a desaceleração. Essas características estão relacionadas ao movimento fetal, à fatores de risco e ao período gestacional (STEINBURG et al., 2013). A aceleração mede o aumento temporário na FHR, como resposta aos movimentos fetais. Esse aumento é identificado como +15 BPM na linha de base, que por sua vez é definida como padrão fundamental. Já a desaceleração está associada à diminuição temporária na FHR e reflete fatores de riscos ao feto, como por exemplo a compressão do cordão umbilical. A variabilidade, por sua vez, é uma flutuação ligeira sobre a linha de base e possui grande influência no bem-estar fetal (HATAI; CHAKRABARTI; BANERJEE, 2013).

Atualmente existem métodos invasivos e não invasivos de monitoramento fetal. O método invasivo envolve a inserção de um eletrodo no couro cabeludo do feto, para se obter a FHR. No entanto, esse método apresenta desvantagens por apresentar riscos à gestante e ao feto, já que as membranas amnióticas devem ser rompidas para a inserção, além da possibilidade de lesões uterinas e fetais. Em contrapartida, os métodos não invasivos apresentam segurança tanto ao feto quanto à gestante. O monitoramento não invasivo atualmente utilizado é feito por meio de medições cardiotocográficas por fonocardiografia, magnetocardiografia e o efeito doppler através de ultrassom (JEZEWSKI et al., 2011). Além desses, há o monitoramento pelo eletrocardiograma abdominal materno (AECG), o qual fornece a possibilidade de se estimar o eletrocardiograma fetal (FEKG, em inglês *Fetal Eletrocardiogram*) e, assim, a FHR (LAMESGIN; KASSAW; ASSEFA, 2015).

Quando comparados os métodos de vigilância materno-fetal, principalmente durante o parto, observa-se, por meio de estudos, a necessidade de se complementar as

técnicas (BLIX et al., 2005). Isso se deve a uma baixa especificidade do cardiograma, por exemplo, em casos em que há resultados perinatais adversos, causando interpretações subjetivas dos dados. Uma complementação possível, entretanto, é o monitoramento pelo eletrocardiograma fetal (AMER-WÄHLIN; MARŠÁL, 2011).

O FECG é o sinal gerado no coração do feto e possui as mesmas formas de ondas básicas que o coração de um adulto, as ondas P, QRS e T. A interpretação dessas ondas, bem como a sua variação, fornece informações sobre o estado de saúde fetal. Para a obtenção do FECG, posicionam-se eletrodos no abdômen materno, obtendo assim os sinais do AECG. Este sinal é composto pelo ECG materno (MECG), pelo FECG e por ruídos, sendo necessária a aplicação de algoritmos de estimação da FHR a partir da FECG (HATAI; CHAKRABARTI; BANERJEE, 2013). A figura 1 mostra a representação em blocos do sistema de aquisição de FECG não invasivo.

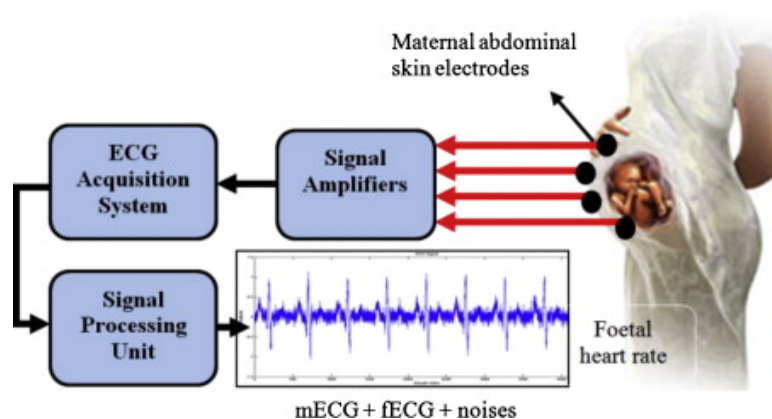


Figura 1 – Sistema de aquisição de FECG a partir do AECG.

Fonte: (JAGANNATH; SELVAKUMAR, 2014)

Na figura 2, o protótipo de estimativa da FHR a partir do FECG utiliza um dispositivo reconfigurável para implementação e aceleração de algoritmos para o processamento dos sinais bioelétricos. Este protótipo está em desenvolvimento na Faculdade do Gama da Universidade de Brasília, sendo um projeto que envolve os processos de aquisição, processamento e comunicação da FHR. Abaixo estão descritas as divisões do projeto.

- Aquisição: Para esse bloco, foi proposta inicialmente uma estratégia para realizar as coletas de AECG por meio da placa de desenvolvimento médico (MDK, em inglês *Medical Development Kit*) TMS320VC5515 da Texas Instruments e da placa de *front-end* analógico para ECG. Essa última placa efetua a leitura dos sensores de ECG posicionados no abdômen materno e envia os sinais amostrados para o bloco de processamento. Entretanto, até o presente trabalho, não foi possível utilizar o MDK devido a limitações de ferramentas e à falta de suporte por se tratar de um dispositivo obsoleto. Assim, o bloco de aquisição está atualmente configurado apenas para efetuar leitura de dados em um cartão de memória (TUTIDA, 2017).

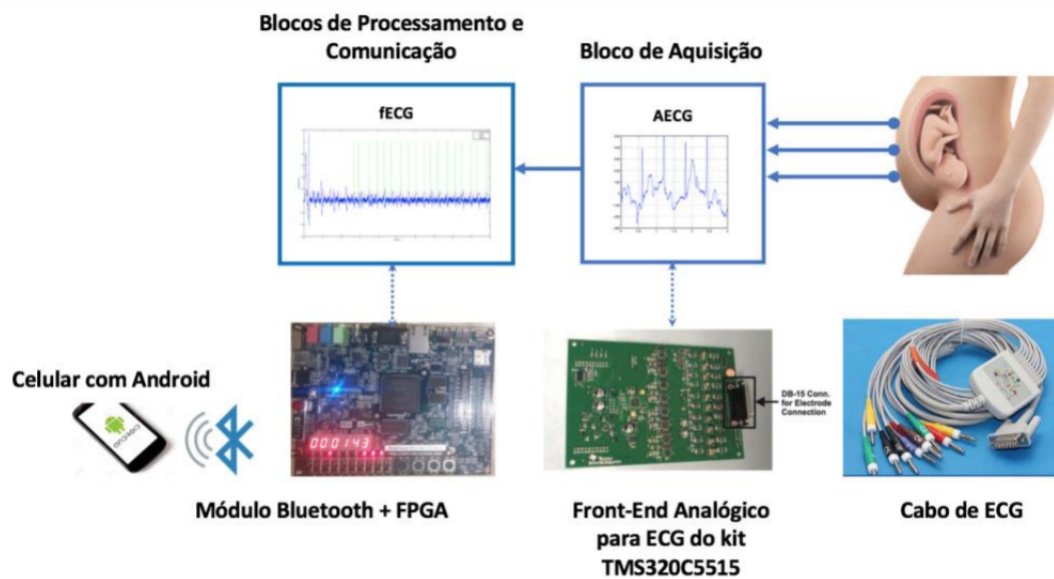


Figura 2 – Protótipo proposto na Universidade de Brasília, Faculdade do Gama.

- **Processamento:** Nesse bloco, o dispositivo central é a FPGA (*Field Programmable Gate Array*), na qual um processador embarcado será utilizado para realizar a aceleração de algoritmos explorando as vantagens de paralelismo oferecidas pela implementação em *hardware* e *software*. Duas abordagens de algoritmos foram implementadas para estimar a FHR: filtro adaptativo (BARBOSA, 2016) e redes neurais (JÚNIOR, 2018)
- **Comunicação:** De modo análogo, esse bloco será implementado com o mesmo processador embarcado em FPGA e realizará a comunicação sem fio com um dispositivo móvel. Até o momento, a implementação permite transmitir a FHR via bluetooth para um *smartphone* com sistema Android, o qual possui um aplicativo que recebe os dados e emite alertas caso ultrapassem os limites definidos. (RODRIGUES, 2016)

Nesse contexto, o presente trabalho se enquadra no bloco de aquisição de eletrocardiograma abdominal para a obtenção do eletrocardiograma fetal, dados esses que serão fundamentais para os algoritmos do bloco de processamento.

1.2 Definição do Problema

Nos testes realizados até o presente momento nos blocos do protótipo em desenvolvimento na UnB, foram utilizados sinais simulados de AECG advindos de duas bases de dados que possuem diversas limitações, como a falta de clareza quanto ao método de coleta, a falta de dados comparativos associados aos sinais coletados e à coleta realizada apenas em uma gestante.

Tendo em vista essas limitações, foi feita uma parceria com a Uniceplac (Centro Universitário do Planalto Central Aparecido dos Santos) para criar uma nova base de dados a partir da coleta de sinais de AECG em seis pacientes gestantes, selecionadas seguindo os mesmos critérios, utilizando os mesmos métodos e, se possível, um monitoramento simultâneo da FHR no momento da coleta para usar como parâmetros de comparação com os sinais obtidos pelo AECG. Entretanto, o kit de desenvolvimento inicialmente proposto, o TMS320VC5515 da Texas Instruments, a qual envolve uma DSP, que controla a placa de *front-end* específica para a aquisição de ECG, possui diversas limitações devido à falta de suporte da fabricante e às versões do software necessário para programação. Com isso, há a necessidade de se substituir a DSP por um microcontrolador capaz de controlar a placa de *front-end* e realizar as funções de inicialização, configuração e coleta dos dados convertidos.

Portanto, para a problemática levantada, a solução proposta no presente trabalho é a arquitetura intermediária de um sistema capaz de efetuar a leitura dos sensores ECG posicionados no abdômen da gestante, baseada na placa de *front-end*, ADS1258, e controlada por um microcontrolador. E, também, possibilitar o armazenamento de dados para uma futura base de dados.

1.3 Objetivos Gerais

O presente trabalho tem por objetivo principal propor um sistema de aquisição de eletrocardiograma **abdominal** para gestantes capaz de obter os sinais e gravá-los para uso posterior como base de dados.

1.3.1 Objetivos Específicos

Para alcançar o objetivo geral, foram definidos os seguintes objetivos específicos:

- Detalhamento do *hardware* para realizar a conversão de sinais de ECG para o formato digital.
- Detalhamento de um *hardware* para realizar o controle e o registro dos sinais coletados.
- Implementação de um protótipo para teste e validação do sistema de *hardware* proposto.

2 FUNDAMENTAÇÃO TEÓRICA

2.1 Eletrocardiograma

O ECG (Eletrocardiograma) é a reprodução gráfica da atividade elétrica originada no coração. O sinal obtido pelo ECG denomina-se eletrocardiógrafo, ele é responsável pela contração ordenada das câmaras do coração, os átrios e os ventrículos. A medição dos fenômenos bioelétricos do coração foi apresentada por Willen Eithoven, em 1902, quando demonstrou um instrumento capaz de captar os sinais eletrocardiográficos. Além disso foram apresentadas a metodologia de medição e de interpretação destes sinais e também o seu estudo fisiológico e suas aplicações para o diagnóstico clínico. Desde então, o instrumento e a metodologia de medição vêm sofrendo diversos avanços tecnológicos, tornando o ECG um dos principais exames de diagnóstico cardiológico (FELDMAN; GOLDWASSER, 2004) (SCHWARZ, 2009).

O coração é o órgão central do sistema circulatório, sendo responsável por bombear sangue para o corpo. O sistema de condução elétrica do coração é responsável pelo desencadeamento do bombeamento, realizando a despolarização e repolarização das células cardíacas. Este é composto pelo nódulo sinoatrial (SA), o marca-passo natural do coração, pelas vias internodais atriais, pelo nódulo atrioventricular (AV), pelo Feixe de His e pelo Sistema de Purkinje (SCHWARZ, 2009).

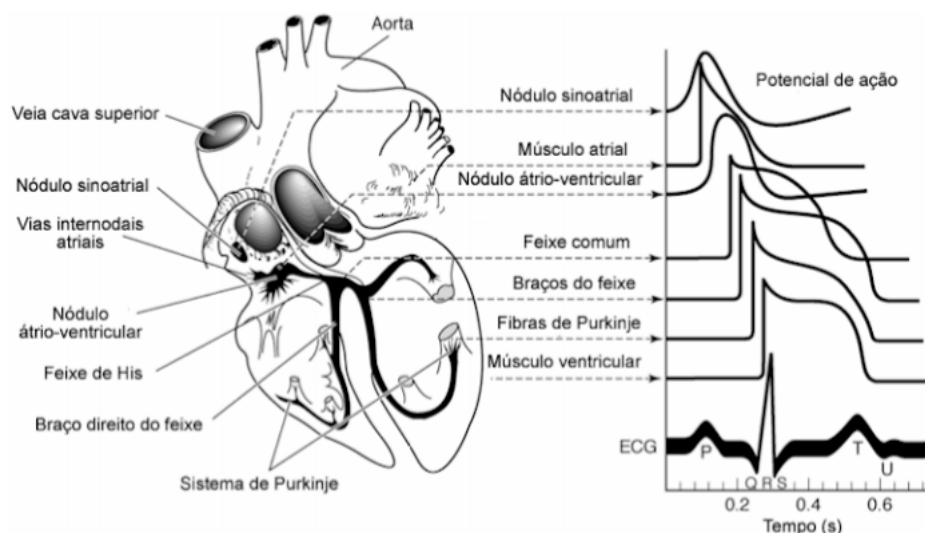


Figura 3 – Configuração do sistema elétrico do coração e formas de onda dos sinais em cada ponto.

Fonte: (WILLIAM; GANONG, 2003) traduzido por (SCHWARZ, 2009).

Na figura 3, estão demonstradas a configuração elétrica do coração e as formas

de onda do sinal elétrico em cada ponto. O fluxo elétrico se inicia no nódulo sinoatrial, cujas células sofrem despolarização causadas pela bomba de sódio e potássio. A onda de despolarização, originada no nódulo sinoatrial, se irradia através dos átrios, pelas vias internodais atriais, chegando até o nódulo atrioventricular. Deste, o fluxo segue para o feixe de His e então para o sistema de Purkinje, o qual o distribui pela musculatura ventricular (WILLIAM; GANONG, 2003).

A despolarização iniciada no nódulo SA e irradiada pelos átrios é concluída em aproximadamente 0,1 s. Já a condução no nódulo AV é mais lenta, sofrendo um atraso de cerca de 0,1 s até ser enviada aos ventrículos, atraso este chamado de atraso atrioventricular. Por outro lado, nas fibras de Purkinje, a condução é feita mais rapidamente, alcançando todas as partes dos ventrículos entre um tempo de 0,08 s a 0,1 s. A onda de despolarização se espalha para o ápice inferior do coração e, em seguida, retorna através do ventrículo esquerdo, para o epicárdio. (FELDMAN; GOLDWASSER, 2004)

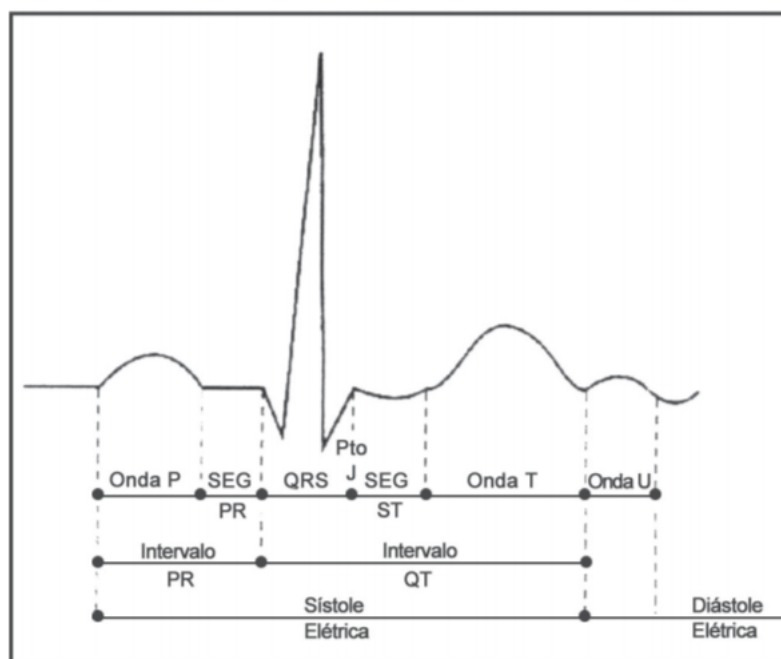


Figura 4 – Elementos de um ECG normal.

Fonte: (FELDMAN; GOLDWASSER, 2004)

Na figura 4 está descrita uma forma de onda eletrocardiográfica. A onda P, representa a condução elétrica nas células do miocárdio atrial, condução esta gerada pelo nódulo SA. O segmento chamado PQ é originado quando esta onda de despolarização atinge o nódulo AV e sofre um atraso para se propagar aos ventrículos. O complexo QRS, por sua vez, representa a contração das fibras musculares dos ventrículos, sendo a onda Q, de polaridade negativa, a onda R, de polaridade positiva, e a onda S, polarizada negativamente. O segmento ST, representa uma estabilidade chamada de segmento isoeletrico, ou seja, um nível de tensão no qual o coração permanece em repouso. Dando sequência, a

onda T representa a repolarização das células cardíacas. O intervalo R - R é normalmente utilizado para fornecer a frequência do batimento cardíaco, devido a sua alta amplitude e, por isso, confiabilidade (GUYTON; HALL, 2002) (HASAN et al., 2009).

Há um grande número de cardiopatias que podem ser reconhecidas pelo eletrocardiograma devido à alteração nas formas de ondas eletrocardiográficas (NICOLAU et al., 2003).

2.1.1 Eletrocardiograma Fetal

O eletrocardiograma fetal representa o sinal bioelétrico gerado no coração fetal. Ele é responsável por fornecer informações importantes sobre o estado do feto durante a gestação ou durante o parto. O monitoramento deste parâmetro é fundamental para prevenir problemas decorrentes de má formação, ou danos cerebrais e até mesmo a mortalidade neonatal. As características observadas na FHR são: as linhas de base, a variabilidade, a aceleração e a desaceleração. A variabilidade dessas características é uma das avaliações clínicas mais importantes para o bem-estar fetal. Atualmente o monitoramento é feito de duas maneiras: o método invasivo e não invasivo (HATAI; CHAKRABARTI; BANERJEE, 2013).

No método invasivo, um eletrodo é inserido no couro cabeludo do feto durante o parto, oferecendo alto risco de infecções e de lesões. Já o método não invasivo é feito pela detecção do ECG abdominal da gestante, o eletrocardiograma abdominal (AECG). Este método possui vantagens como não oferecer riscos à mãe ou ao feto, ser discreto, possuir baixo consumo de energia e a possibilidade de uso prolongado. No entanto, a desvantagem é observada pela relação sinal ruído desfavorável, ou seja, a obtenção do FEKG sofre diversas interferências (HASAN et al., 2009).

2.1.2 Eletrocardiograma Abdominal

Os fluidos corporais são bons condutores de eletricidade e por isso as flutuações de potencial elétrico, que representam a soma algébrica dos potenciais de ação nas fibras do miocárdio, podem ser adquiridas em qualquer parte do corpo (SCHWARZ, 2009). No entanto, o sinal de ECG fetal possui baixa amplitude em relação ao ECG materno (MECG), além de possuir interferências como o desvio de linha de base, os sinais provenientes de contrações musculares e a interferência de linha (LAMESGIN; KASSAW; ASSEFA, 2015). Além dos potenciais bioelétricos das atividades cardíacas materna e fetal e das interferências de linha, o AECG também é sensível às atividades musculares materna e fetal, aos potenciais gerados pela respiração, à atividade estomacal e aos ruídos térmicos corporais (JAGANNATH; SELVAKUMAR, 2014).

Na figura 5, está demonstrado o MECG obtido na região torácica. Em comparação,

na figura 6, está demonstrado o ECG abdominal composto pelo MECG + FECG + ruídos. Tendo em vista a representação do AECG com relação à necessidade de se medir a FHR, faz-se necessária a utilização de algoritmos de estimativa que são capazes de extrair a forma de onda do FECG separadamente do MECG e dos ruídos (HATAI; CHAKRABARTI; BANERJEE, 2013).

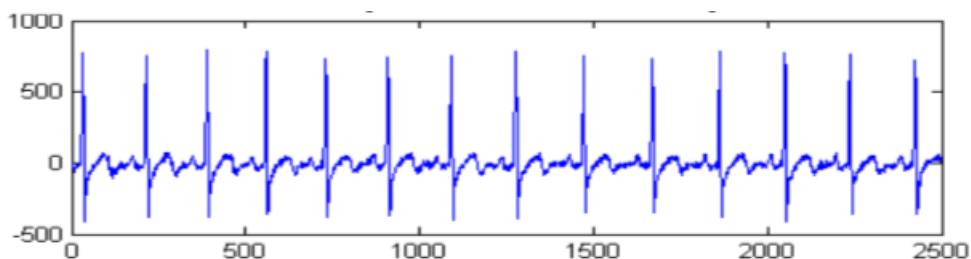


Figura 5 – ECG obtido na região torácica da mãe.

Fonte: (AHMADI, 2008)

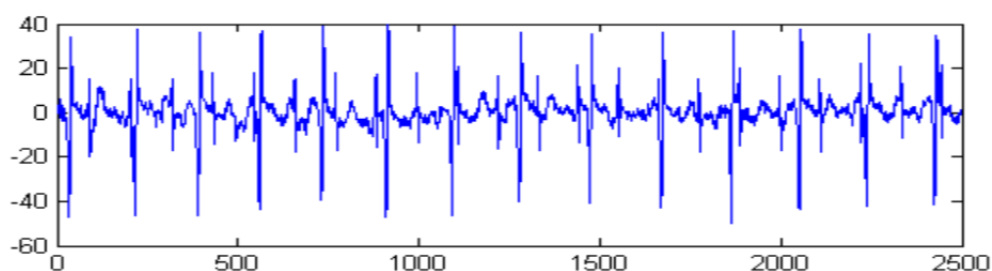


Figura 6 – ECG obtido na região abdominal: MECG + FECG + ruídos.

Fonte: (AHMADI, 2008)

2.1.3 Derivações

Derivações podem ser entendidas de duas maneiras: como o resultado da diferença de potencial entre dois eletrodos dispostos na superfície do corpo, e como o resultado impresso de cada uma das derivações. Existem várias formas de posicionar os eletrodos no corpo do paciente. As mais famosas são as formas bipolares e unipolares. A principal montagem bipolar de eletrodos é o Sistema de Einthoven, enquanto as unipolares são as de Goldberger e a de Wilson (ANANTHI, 2006). Na figura 7, podem ser observadas as derivações bipolares e unipolares.

O sistema de Einthoven é constituído por 3 eletrodos, posicionados no braço direito, braço esquerdo e na perna direita, formando um triângulo conhecido por triângulo de Einthoven. Cada um dos eixos de projeção do triângulo forma uma derivação bipolar. Essas derivações são denominadas de I, II e III (WILLIAM; GANONG, 2003). Na figura 8 podem ser observadas as formas de onda de cada uma das derivações, bem como a disposição dos eletrodos que formam o triângulo de Einthoven.

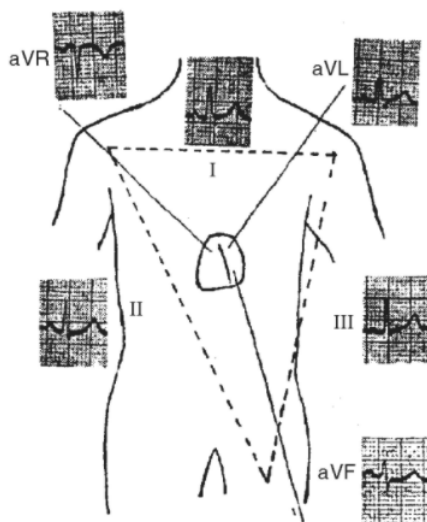


Figura 7 – Representação das derivações unipolares e bipolares

Fonte: (ANANTHI, 2006)

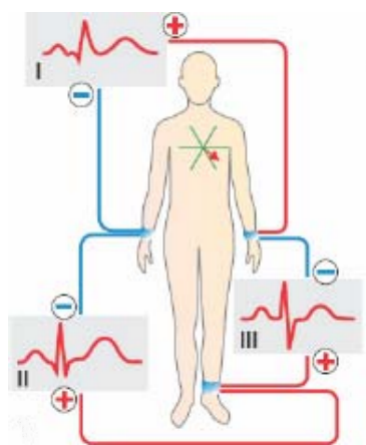


Figura 8 – Sistema de derivações de Einthoven

Fonte: (SILBERNAGL et al., 2009)

O sistema de derivações de Wilson, por outro lado, possui uma configuração unipolar. Ele possui 6 derivações pré-cordiais, as quais são nomeadas de V1 a V6 e possuem uma referência central (WILLIAM; GANONG, 2003). Na figura 9 podem ser observados o posicionamento dos eletrodos no peito e o terminal centro conectando os membros.

O sistema de Goldberger também é um sistema unipolar, mas que é obtido pela desconexão do eletrodo mais próximo da derivação unipolar desejada. Nesse sistema, os sinais obtidos podem apresentar uma amplitude maior do que as derivações pré-cordiais. Dessa forma, as derivações se iniciam com a letra "a" por serem chamadas de derivações aumentadas, e são representadas por aVR, aVL e aVF (WILLIAM; GANONG, 2003). Na figura 10, está representado um exemplo da obtenção da derivação aVR pela desconexão

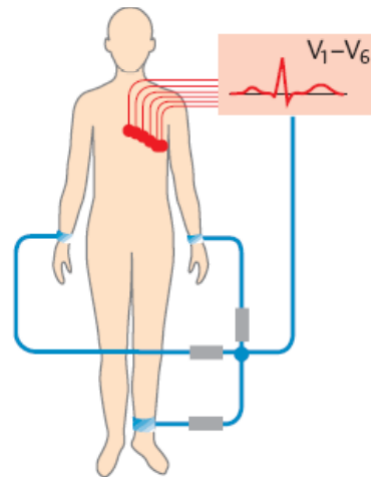


Figura 9 – Sistema de Derivações de Wilson

Fonte: (SILBERNAGL et al., 2009)

do eletrodo do braço direito.

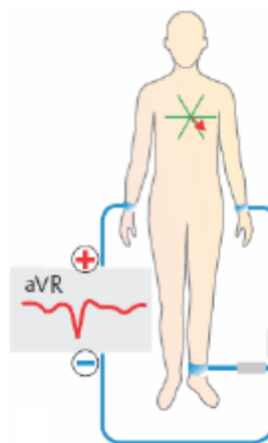


Figura 10 – Sistema de Derivações de Goldberger

Fonte: (SILBERNAGL et al., 2009)

Há uma relação matemática entre as derivações. Através da aquisição de duas derivações bipolares é possível, a partir da lei de Kirchhoff, calcular as outras quatro derivações. Como observado nas relações abaixo (ANANTHI, 2006).

$$aV_R = -\frac{(I + II)}{2} \quad (2.1)$$

$$aV_L = \frac{(I - III)}{2} \quad (2.2)$$

$$aV_F = \frac{(II + III)}{2} \quad (2.3)$$

Na aquisição de eletrocardiograma abdominal, existem duas configurações típicas dos eletrodos: a puramente abdominal e a mista ou combinada. Na puramente abdominal,

os eletrodos são dispostos apenas na região abdominal da gestante, método conhecido por AES (do Inglês, *Abdominal Electrode-Sourced*). Já na aquisição mista ou combinada, os eletrodos também são inseridos na região torácica da gestante, sendo essa abordagem conhecida como CS (do Inglês *Combined Source*) (KAHANKOVA et al., 2019). Na figura 11, estão representadas as diferentes configurações e quantidades de eletrodos utilizando os dois métodos supracitados: AES nas figuras A, B, C e E, e CS nas figuras F, G e H (AGOSTINELLI et al., 2015).

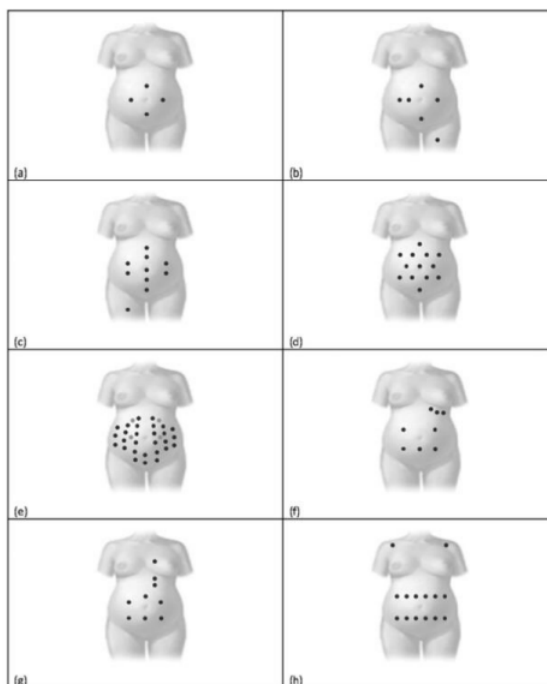


Figura 11 – Configurações AES e CS.

Fonte: (AGOSTINELLI et al., 2015)

2.2 Processo de Aquisição de ECG

A aquisição do ECG e dos sinais bioelétricos é fundamental para o monitoramento das funções fisiológicas. Normalmente, a aquisição de sinais bioelétricos segue os seguintes passos: redução da interferência pele-eletrodo, amplificação do sinal obtido, filtragem dos sinais indesejados e então o processamento dos sinais. Na figura 12, está demonstrado o diagrama de blocos para a aquisição e condicionamento dos sinais de ECG.

Na figura 13, está demonstrado um diagrama simplificado para a configuração de *hardware* de aquisição de ECG, representando um único canal. O processo de aquisição parte da amplificação das variações de tensão entre os eletrodos na superfície da pele. Essa amplificação ocorre com um amplificador de instrumentação e um opto-isolador, responsável por proteger o paciente e o circuito de eventuais correntes de fuga. Em seguida, o sinal passa por um filtro passa alta (do inglês, *High Pass Filter*), por um segundo estágio de

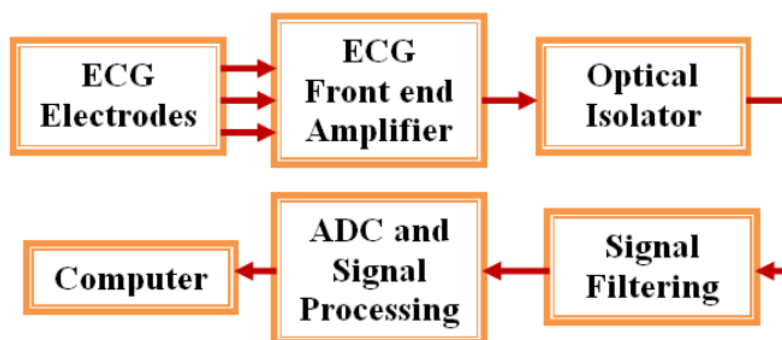


Figura 12 – Diagrama de Blocos da Arquitetura de Aquisição e Condicionamento do Sinal ECG.

Fonte: (GAWALI; WADHAI, 2014)

amplificação e por um filtro passa baixa antialiasing, (do ingles, *Low Pass Filter*). Após esses estágios, o sinal é finalmente amostrado por um conversor A/D, não indicado na figura (CLIFFORD et al., 2006).

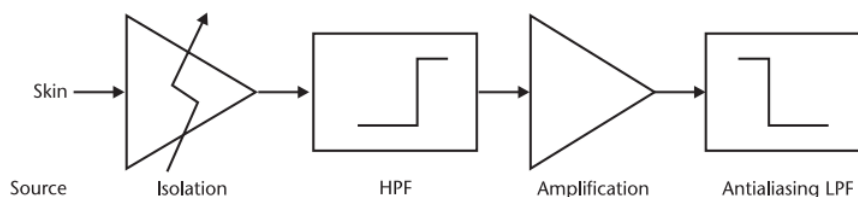


Figura 13 – Diagrama Simplificado para Configuração de Hardware de Aquisição.

Fonte: (CLIFFORD et al., 2006)

Algumas variações dessa configuração de *hardware* podem ser encontradas na literatura, como, por exemplo, na utilização de um filtro passa-faixa no lugar de um filtro passa-alta e, em seguida, um filtro passa-alta. Também podem ser observadas arquiteturas nas quais o opto-isolamento pode ser utilizado após o estágio de conversão A/D (GAWALI; WADHAI, 2014). Cada estágio da tipologia básica de aquisição do ECG será descrito nas sessões a seguir.

2.2.1 Eletrodos

Os eletrodos são responsáveis por realizar a transdução da corrente iônica, proveniente das atividades bioelétricas, em corrente elétrica. Sendo assim, constituem a interface entre o corpo e o instrumento de medição (BECCHETTI; NERI, 2013).

Os eletrodos são divididos entre polarizáveis e não-polarizáveis. Os não-polarizáveis possuem uma alta capacitância e não necessitam de gel, pois a corrente de deslocamento, no eletrodo, se dá pela mudança da concentração iônica da superfície da pele. Por outro

lado, os polarizáveis possuem baixa capacitância e, embora possuam a desvantagem de necessitar de um preparo da pele antes da aplicação do eletrodo e do gel, fornecem um sinal mais limpo de ECG (TAJI; SHIRMOHAMMADI; GROZA, 2014).

Os eletrodos metálicos têm características semelhantes aos eletrodos polarizáveis. Já os eletrodos de Ag/AgCl (Prata ou Cloreto de Prata) se assemelham aos eletrodos não polarizáveis e, por serem mais baratos, são os mais utilizados em projetos de instrumentação biomédica (CARDOSO, 2010).

2.2.2 Amplificação

Amplificadores são circuitos capazes de fornecer em sua saída um sinal elétrico equivalente ao sinal de entrada, mas com um ganho na potência do sinal (SEDRA; SMITH, 1982). No geral, os sinais elétricos resultantes de atividades fisiológicas possuem amplitudes na faixa de microvolts e devem ser amplificados antes de serem processados. Embora as diferentes aplicações de instrumentos de medição de biosinais possam ter suas particularidades mais complexas, normalmente, para as aplicações típicas, alguns parâmetros são de extrema importância, tais como rejeição de sinal de modo comum (CMRR), ganho e impedância de entrada. A rejeição de sinal de modo comum é um mecanismo pelo qual as interferências comuns são rejeitadas quando o sinal obtido é diferencial (PRUTCHI; NORRIS, 2005).

O amplificador de instrumentação é uma topologia de amplificadores operacionais diferenciais que tem como características os parâmetros relevantes para a amplificação de biosinais supracitados, como elevada impedância de entrada, baixa tensão de *offset* de saída e alta razão de rejeição de modo comum (CMRR), além de possibilitarem um ganho adequado para a amplificação desejada (BECCHETTI; NERI, 2013). Na figura 14, está demonstrada a topologia do amplificador de instrumentação.

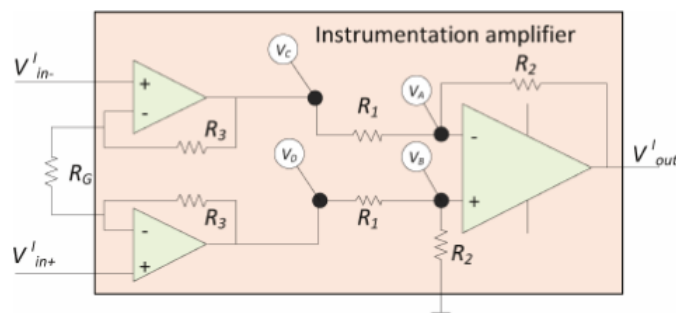


Figura 14 – Amplificador de Instrumentação.

Fonte: (BECCHETTI; NERI, 2013)

2.2.3 Interferência e Filtragem

O corpo humano, por ser um bom condutor, atua como uma antena capaz de captar interferência eletromagnética (EMI) presentes no meio ambiente. Na figura 15, é demonstrada a representação da interferência na arquitetura de aquisição de biosinais. Alguns tipos de radiação eletromagnética presentes na aquisição de biosinais são as ondas de 50/60 Hz e seus harmônicos vindos da linha da rede. Além desses, alguns componentes espectrais costumam ser inseridos por iluminação, maquinário elétrico e computadores, por exemplo (PRUTCHI; NORRIS, 2005).

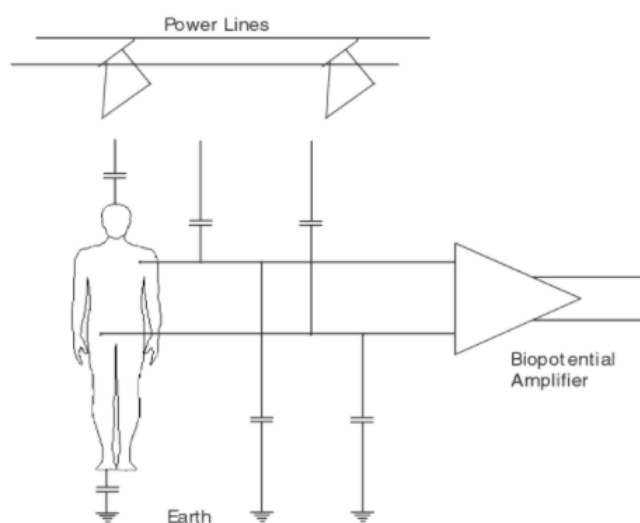


Figura 15 – Acoplamento de interferência de linha.

Fonte: (PRUTCHI; NORRIS, 2005)

Dessa maneira, os sensores são frequentemente afetados por interferências eletromagnéticas significativas contidas no ambiente. Quando a interferência está localizada fora da banda de frequência do sinal desejado, um filtro pode eliminar o sinal indesejado sem danos ao mensurando. Nos casos em que a interferência está localizada na mesma banda de frequência do mensurando, outras abordagens devem ser consideradas, como por exemplo a rejeição de ruído de modo comum, nos amplificadores de instrumentação, para a aquisição em sinais diferenciais, e a inserção desse ruído através da conexão da perna direita (do Inglês, *Right Leg Connection*), melhorando a rejeição. Outro exemplo é a blindagem por *shielding*, a qual consiste envolver o dispositivo por uma superfície condutora capaz de criar uma gaiola de Faraday, bloqueando a propagação de campos elétricos externos dentro do dispositivo (BECCHETTI; NERI, 2013).

2.2.4 Conversão A/D

Os sinais obtidos através dos eletrodos, filtrados e posteriormente amplificados devem ser convertidos de analógicos para digitais a fim de serem processados e interpretados

pelos interfaces disponíveis. Os conversores sigma-delta ($\Sigma \Delta$), também conhecidos como conversores de sobreamostragem, possuem uma técnica distinta e são populares na escolha de conversão A/D. Eles possuem, a capacidade de atingir uma resolução muito mais alta, comumente dada em termos de relação sinal-ruído (SNR), para uma largura de banda menor (LABAZIEWICZ; BAKER, 2011). Na figura 16, está demonstrado um diagrama de blocos de um modulador sigma-delta de primeira ordem.

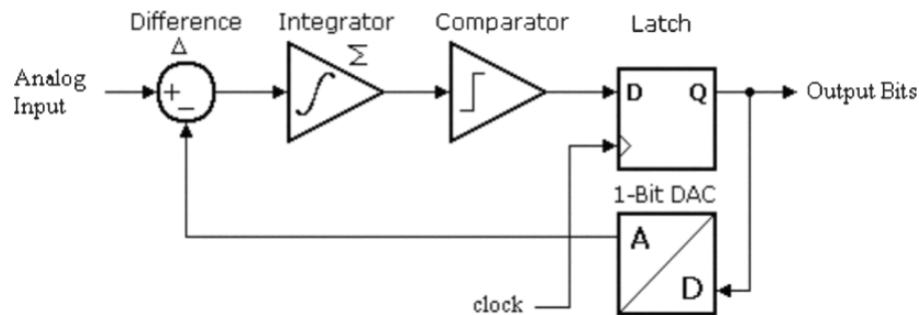


Figura 16 – Conversor sigma-delta de primeira ordem.

Fonte: (LABAZIEWICZ; BAKER, 2011)

Um conversor A/D sigma-delta é um modulador de modelagem de ruído (do inglês, *Noise-Shaping Modulator*) seguido por filtros digitais de decimação. Ele realiza sobreamostragem, ou seja, a frequência de amostragem é um múltiplo da taxa de Nyquist. O *Noise-Shaping Modulator* move o ruído de quantização para as frequências fora da banda base, gerando uma diminuição na quantidade de ruído de quantização dentro da banda de interesse. Em seguida, o ruído de quantização é modulado e filtrado digitalmente, atingindo assim um aumento na relação sinal-ruído (SNR) (LABAZIEWICZ; BAKER, 2011).

2.3 Trabalhos Correlatos

No trabalho de (GALVAO, 2015), foi proposto um sistema de aquisição de EEG (Eletroencefalograma) baseado no CI ADS1298 como *front-end* analógico para a aquisição de biosinais. Foi utilizada uma arquitetura na qual os sinais são obtidos, amplificados, filtrados e digitalizados pelo ADS1298, que é controlado pelo microcontrolador MSP430, cuja inicialização se dá pela interface criada em um celular ou tablet, conectado via bluetooth. As coletas são registradas em um cartão de memória SD e também enviadas para visualização e uma posterior filtragem no computador através do software BrainBay. O protótipo teve bons resultados para o que foi proposto, além de apresentar um *know-how* sobre a implementação de um sistema de aquisição de biosinais.

No trabalho de (INOCÊNCIO; RODRIGUES; FREITAS, 2019), foi desenvolvido um protótipo para a aquisição de sinais FECG de baixo custo, baixo consumo de energia,

seguro e com capacidade de se comunicar sem fio com outros dispositivos. A aquisição do sinal foi feita posicionando-se dois canais de eletrodos sobre o abdômen da gestante, alinhados com o umbigo, e o último canal captando diretamente no tórax. A aquisição dos dados foi possível graças ao auxílio da placa USB6009 da National Instruments e a sua transmissão foi projetada de modo que o dispositivo fosse compatível com vários dispositivos via Bluetooth. O sistema apresentou um bom desempenho na aquisição de dados.

Já no trabalho de (SUN et al., 2013), foi proposto um sistema portátil de aquisição de sinal de ECG com 12 derivações. O módulo de aquisição do projeto consiste em uma placa com o ADS1298 controlado pelo microcontrolador MSP430F5529, o qual consiste no módulo de controle. Já o módulo de transmissão consiste em um *software* médico executado em um *smartphone* com Android. Os dados coletados pelo módulo de aquisição são enviados via bluetooth pelo módulo de controle para o módulo de transmissão. Os módulos foram conectados de modo que o sistema seja sem fio e de tamanho reduzido. A aquisição foi realizada utilizando 10 eletrodos dispostos no braço direito, braço esquerdo, perna direita, perna esquerda e tórax, a fim de se obter 8 derivações, número suficiente para se derivar as 4 restantes através de cálculos. Os resultados foram considerados satisfatórios.

No que diz respeito ao projeto FHR realizado na Universidade de Brasília, o trabalho de (TUTIDA, 2017) realiza a implementação de um módulo de leitura de sinais de AECG, para que os sinais previamente obtidos possam ser lidos e processados pela FPGA a fim de se obter a FHR. Por outro lado, o trabalho de (BARBOSA, 2016) tem como objetivo utilizar o conceito de aceleração de algoritmos, implementando um sistema de estimativa de FHR a partir do eletrocardiograma fetal em uma FPGA. Foi utilizado um filtro adaptativo dos Mínimos Quadrados para o processamento dos sinais. Para fins de testes, foi utilizada uma função do Matlab que simula um sinal eletrocardiográfico. Por fim, o trabalho de (JÚNIOR, 2018) propõe uma arquitetura de processamento de sinais de AECG por meio de redes neurais.

3 Aspectos Metodológicos e Ferramentas

Para se chegar à definição do sistema de aquisição de ECG, foi necessário realizar uma revisão bibliográfica incluindo desde a fundamentação, com o estudo dos sinais de ECG e de seu processo de aquisição, até a análise do funcionamento dos módulos de hardware disponíveis para implementação. Foi realizada também uma revisão do estado da arte com a análise de trabalhos correlatos para verificação dos métodos utilizados.

Os materiais e ferramentas utilizados no presente trabalho estão descritos a seguir.

3.1 TMS320C5515 DSP Medical Development Kit (MDK)

Trata-se de uma plataforma de desenvolvimento da *Texas Instruments* que consiste em placas de *front-end* analógico individuais para ECG, estetoscópio digital e oxímetro de pulso, além da C5515 EVM. Qualquer uma das placas de *front-end* pode ser ligada, uma de cada vez, no C5515 EVM, utilizando conectores universais.

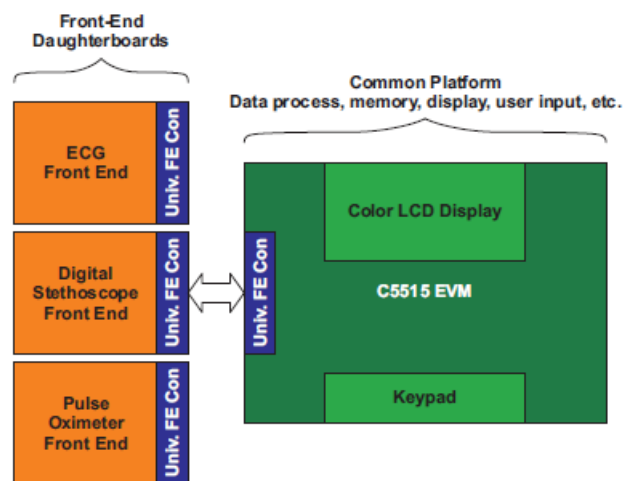


Figura 17 – Diagrama de blocos do *hardware* MDK Fonte: [Markandey \(2010\)](#)

As placas de *front-end* analógico utilizam sensores apropriados e realizam a conversão do sinal analógico para o digital (A/D). Depois, o sinal digital é enviado para a placa C5515 EVM, onde o C5515 DSP executa algoritmos de processamento de sinais para a aplicação. O DSP também é responsável pela gestão do controle e interação com o usuário, incluindo a visualização gráfica dos resultados, que podem ser transferidos para um PC, para análise posterior, e armazenados através de um *software* fornecido junto com o MDK.

Entretanto, como o kit se tornou obsoleto e, portanto, não há mais suporte do fabricante para fornecimento da versão necessária do software de programação da placa bem como dos códigos necessários, para este trabalho foi considerada apenas a placa de *front-end* analógico para ECG (figura 18), cujas características estão listadas a seguir:

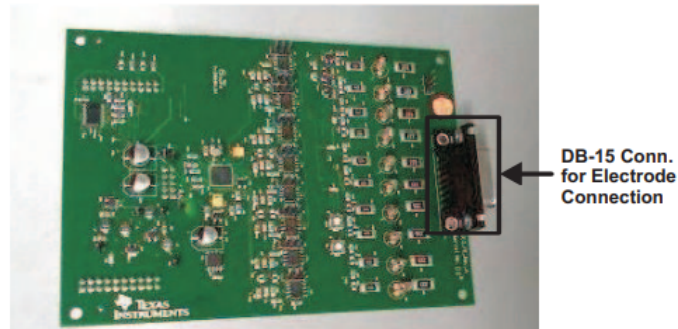


Figura 18 – Placa de *front-end* analógico para ECG. Fonte: [Markandey \(2010\)](#)

- 12 derivações de ECG, através de 10 eletrodos
- Circuito de proteção para uso de desfibrilador.
- Diagnóstico de qualidade de ECG com largura de banda de 0,05 Hz a 150 Hz.
- Detecção de derivações desconectadas.

A placa de *front-end* analógico para ECG é conectada à EVM através de um conector universal usando interfaces I2C e I2S, como mostra na figura 19. Ela possui o ADS1258, um conversor AD que se comunica com o DSP C5515 através de um barramento SPI.

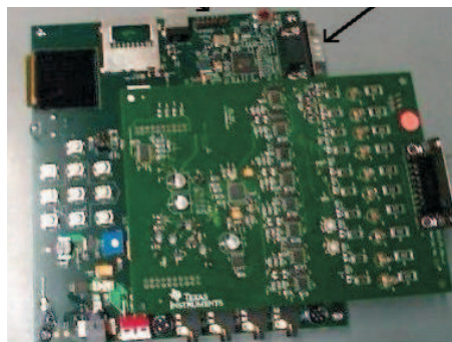


Figura 19 – *Front-end* analógico de ECG conectado ao C5515

Fonte: ([MARKANDEY, 2010](#))

3.1.1 ADS1258

O ADS1258 é um conversor A/D, de 24 bits, que possui baixo ruído e alta resolução. Ele é otimizado para sistemas de medição de multicanais, possuindo 16 canais de entrada, combinados em 8 entradas diferenciais ou 16 entradas *single-ended*. Ele opera a partir de uma fonte analógica unipolar de 5V ou bipolar de 2.5V, além de ser possível alimentá-lo com uma fonte digital compatível que varia entre 2.7V e 5.25V (TEXAS INSTRUMENTS, 2011). A figura 20 mostra o diagrama de blocos do ADS1258, brevemente descritos a seguir.

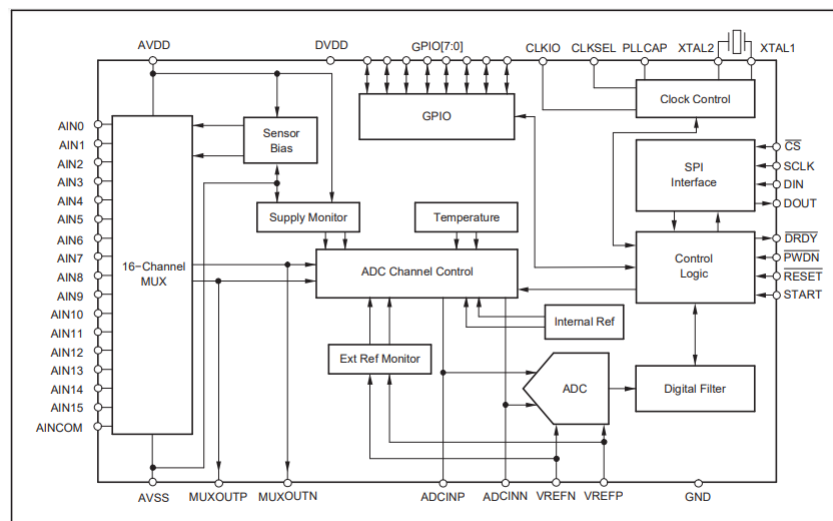


Figura 20 – Diagrama de Blocos do ADS1258

Fonte: (TEXAS INSTRUMENTS, 2011)

3.1.1.1 Multiplexador de Entrada

O multiplexador de entrada seleciona os pinos da entrada analógica, conectando-os aos pinos de entrada do ADC. A figura 21 mostra um diagrama simplificado do multiplexador de entrada. Ele possui diodos ESD que protegem as entradas analógicas e suporta dois modos de aquisição dos dados dos canais: o modo de varredura automática (*Auto-Scan*) e o modo de canal fixo (*Fixed-Channel*). A seleção do modo é feita por meio do bit **MUXMOD** do registrador **CONFIG0**. O primeiro modo realiza a varredura através dos canais selecionados automaticamente. Já o segundo requer a definição do endereço do canal desejado na inicialização da placa. A tensão de referência do ADS1258, por sua vez, é a tensão diferencial entre o **VREFP** e o **VREFN** ($V_{REF} = V_{REFP} - V_{REFN}$). (TEXAS INSTRUMENTS, 2011).

3.1.1.2 Conversor Analógico/Digital e Filtro Digital

O bloco de conversão do ADS1258 pode ser dividido em modulador sigma-delta e filtro digital. O modulador converte as tensões das entradas analógicas em fluxo de dados

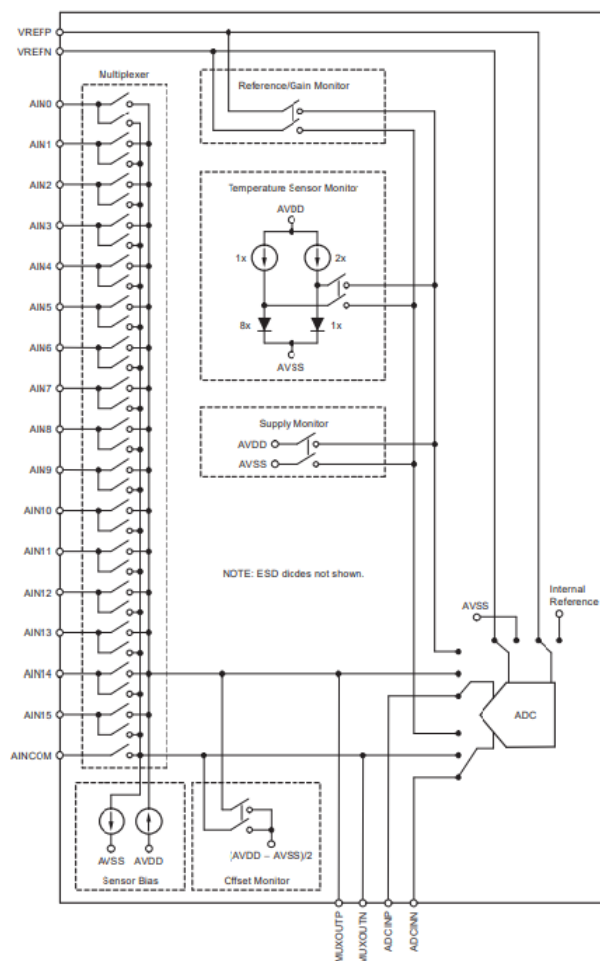


Figura 21 – Multiplexador de Entrada

Fonte: (TEXAS INSTRUMENTS, 2011)

PCM (do Inglês, *Pulse Code Modulated*). O modulador é de quarta ordem e desloca o ruído de quantização para as altas frequências, fora da banda passante, onde é facilmente removido pelo filtro digital (TEXAS INSTRUMENTS, 2011).

O filtro passa-baixa programável recebe a saída do modulador e produz uma saída digital de alta resolução. Na figura 22 é mostrado o diagrama de blocos do filtro, onde os dados são fornecidos a uma taxa de $f_{clk}/2$. O filtro fixo é um filtro **sinc** de quinta ordem com um valor de decimação de 64, o qual produz uma taxa de dados de $f_{clk}/128$. O segundo estágio é um filtro de primeira ordem programável cuja saída de dados depende do frequência do clock e da configuração do conversor, feita por meio dos bits **DRATES[1:0]**. A tabela 1 mostra a configuração dos bits **DRATE[1:0]** e do registrador **CONFIG1** para os dois modos de aquisição dos canais, com $f_{clk} = 16MHz$, Chop = 0 e Delay = 0.

3.1.1.3 Oscilador

Para uma amostragem de alta resolução, o ADS1258 requer um clock de alta frequência. Na figura 23 pode-se observar que o clock pode ser obtido tanto por uma

Tabela 1 – Taxa de dados do conversor. Fonte: (TEXAS INSTRUMENTS, 2011)

DRATE[1:0]	Varredura Automática (SPS)	Canal Fixo (SPS)
11	23739	125000
10	15123	31250
01	6168	7813
00	1831	1953

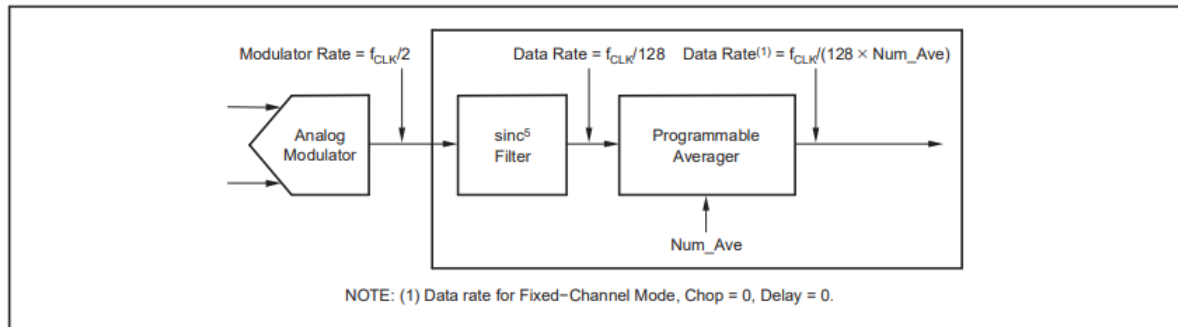


Figura 22 – Diagrama de Blocos do Filtro Digital

Fonte: (TEXAS INSTRUMENTS, 2011)

fonte externa quanto pelo oscilador interno. A seleção da fonte do clock é feita pelo pino **CLKSEL**. Quando este pino é setado, o pino **CLKIO** é configurado como entrada do clock externo. Já quando **CLKSEL** é igual a 0, o pino **CLKIO** é dado como saída do clock gerado pelo *crystal oscillator*.

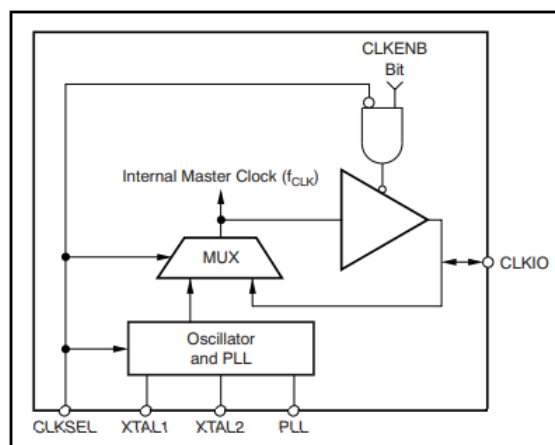


Figura 23 – Diagrama de Blocos do Gerador de Clock

Fonte: (TEXAS INSTRUMENTS, 2011)

3.1.1.4 Pinos de Entrada e Saída

O ADS1258 possui 8 pinos digitais dedicados a propósito geral I/O (GPIO). Eles são configurados como entrada ou saída através do registrador **GPIOC**. O dados, por



Figura 24 – Cabo de ECG com 10 eletrodos

sua vez, são lidos pelo registrador **GPIOD** (TEXAS INSTRUMENTS, 2011).

3.1.1.5 Interface SPI

O ADS1258 se comunica através da interface serial SPI (do Inglês, *Serial Peripheral Interface*) como escravo do microcontrolador, o qual é responsável por configurar, controlar e ler os dados de saída do conversor. A interface consiste em quatro sinais: **CS** (do Inglês, *chip select*), **SCLK** (do Inglês, *Serial Clock*), **DIN** e **DOUT**. O CI funciona pelo modo **SPI 0**, no qual as bordas de comunicação do clock obedecem a fase, **CPHA** = 0, e a polaridade, **CPOL** = 0 (TEXAS INSTRUMENTS, 2011).

3.1.1.6 Cabo ECG

O cabo de ECG possui 6 eletrodos para o peito e 4 para braços/pernas, e é conectado à placa através de um conector DB15. A figura 24 mostra um cabo com conectores banana.

3.2 MSP430F5529

Um microcontrolador se faz necessário para configurar a inicialização, a forma de coleta e o início e o fim das coletas no ADS1298, além de controlar o registro e armazenamento no cartão de memória. Como a arquitetura proposta se trata de uma arquitetura intermediária e temporária no projeto de estimativa de FHR, optou-se por um microcontrolador de baixo custo e alto desempenho para um baixo consumo. Por isso, foi escolhido o microcontrolador MSP430 da família F5529.

O MSP430 é baseado na estrutura RISC (do Inglês, *Reduced Instruction Set Computing*) de 16 bits, ou seja, possui um núcleo com instruções restritas. Ele suporta a comunicação com periféricos externos, como sensores e atuadores. Optou-se por trabalhar

com o LaunchPad da MSP430 devido ao seu ecossistema completo para teste e experimentação, bem como a presença de conector micro-USB e LEDs, por exemplo ([INSTRUMENTS, 2008](#)).

A família MSP430F5529 possui um sistema flexível de clock, 128KB de memória flash, 10KB de memória RAM e 2 modos de comunicação serial universal, além da possibilidade de ser alimentada por tensões entre 1,8 V e 3,6 V. Ela possui um Sistema Unificado de Clock (UCS) que permite que o projetista selecione a melhor alternativa entre as 5 fontes de clock para melhorar o desempenho com o baixo consumo de energia. O UCS possui 3 sinais de clock disponíveis em seu módulo: O ACLK, o qual é utilizado por periféricos e disponível para uso externo através do pino, o SMCLK, que também é utilizado por periféricos, e o MCLK, que é o sinal do clock usado pela CPU. Ambos os sinais de clock podem ser divididos ([INSTRUMENTS, 2008](#)).

Uma outra maneira que a MSP430 possui de melhorar o desempenho com um baixo consumo é através dos seus modos de operação. São 6 modos LPM (do Inglês, *Low Power Mode*) disponíveis e selecionados por meio de programação. Eles são responsáveis por colocar o microcontrolador em modo de baixa potência com interrupções ativas para que, quando houver interrupções, o modo de operação normal seja reestabelecido até que a instrução seja executada antes de voltar para o modo de baixa potência ([INSTRUMENTS, 2008](#)).

O microcontrolador também possui 4 módulos temporizadores: o Timer A0, A1, A2 e o Timer B. Eles são temporizadores digitais cuja função é contar ciclos de clock. As aplicações são diversas e podem ser utilizadas para sinalizar períodos pré-definidos de tempo, por exemplo. Um outro temporizador da MSP430 é o Watchdog Timer. Ele é um temporizador capaz de reiniciar o sistema quando a contagem atinge um certo valor. Essa função é importante principalmente para interromper problemas de *software* ([INSTRUMENTS, 2008](#)).

3.3 Code Composer Studio

O *software* utilizado para o desenvolvimento do *firmware* responsável pelo controle das aquisições e do registro foi o Code Composer Studio (CCS), que é um ambiente de desenvolvimento integrado (IDE) que oferece suporte aos microcontroladores da Texas Instruments e aos portfólios de processadores integrados. O CCS possui um conjunto de ferramentas utilizadas para desenvolver e depurar aplicativos incorporados, além de possuir um compilador C/C++, um depurador, criador de perfil, dentre outros recursos.

3.4 Cartão SD

O registro das amostras obtidas e digitalizadas pelo ADS1258 será realizado pelo MSP430 em um cartão de memória SDC (do Inglês, *Secure Digital Card*). O cartão SD é um dos vários tipos de cartões de memória flash projetados como um dispositivo de armazenamento removível. A interface utilizada no cartão SD é relativamente simples e largamente utilizada. Ela usa 4 linhas de dados, uma linha de comando e uma linha de clock. Há 3 tipos de tamanhos disponíveis para o cartão SD: o SD original, o miniSD e o microSD ([WALLACE, 2012](#)).

O cartão SD possui baixo consumo (100mA para escrita e leitura), implementação simples e baixo custo. Há 3 modos diferentes de comunicação e transferência de dados: SPI, SD de 1 bit e SD de 4 bits. Ele utiliza uma arquitetura de sistema chamada tabela de alocação de arquivos, ou FAT (do Inglês, *File Allocation Table*). Essa arquitetura é um padrão utilizado pela indústria e teve diferentes versões durante a história. As sucessivas versões do formato FAT são nomeadas de acordo com o número de bit para endereçamento de dados, como por exemplo: FAT12, FAT16 e FAT32 ([SANDISK, 2011](#)).

4 ARQUITETURA PROPOSTA PARA O SISTEMA DE AQUISIÇÃO

Considerando-se o processo de aquisição de ECG descrito no item 2.2, o protótipo proposto mostrado na Figura 2, as abordagens utilizadas nos trabalhos correlatos e o material disponível para implementação do sistema de aquisição, a arquitetura proposta no presente trabalho baseia-se em um *hardware* intermediário para aquisição e registro de eletrocardiograma abdominal, de forma a permitir uma posterior estimativa da frequência cardíaca fetal.

A placa de *front-end* precisa ser controlada por um dispositivo que a configure e receba os sinais na forma digital. Por isso, com base nos resultados apresentados nos trabalhos correlatos, foi escolhido o MSP430 da família F5529 da *Texas Instruments*. O processo de aquisição se inicia posicionando-se os eletrodos de acordo com uma configuração pré-definida. Após a inicialização da coleta, comandada pelo microcontrolador, e do ADS1258 realizar a aquisição e conversão A/D dos sinais, o dados deverão ser lidos, processados e gravados em um cartão de memória SD. A Figura 25 mostra o diagrama de blocos do sistema completo.

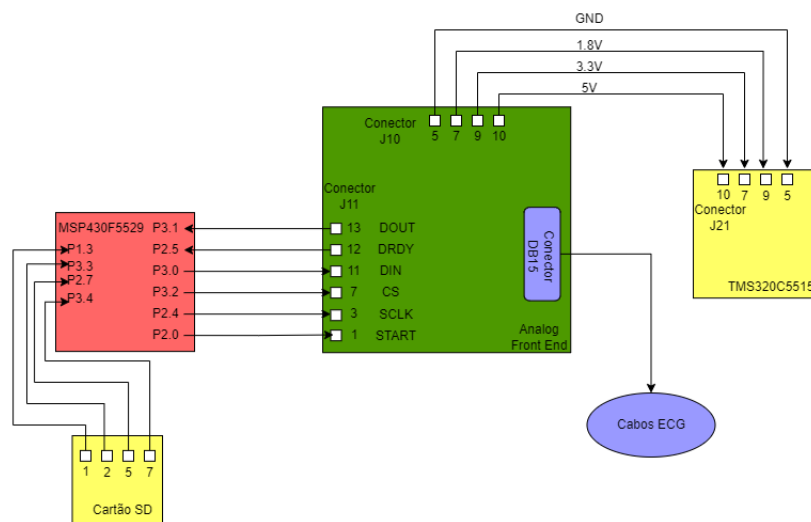


Figura 25 – Diagrama de blocos do sistema.

Fonte: Acervo autor.

4.1 Configuração do ADS1258

Nos próximos itens, serão detalhados os passos necessários para configuração do ADS1258 e da leitura dos dados.

4.1.1 Inicialização

A inicialização do ADS1258 segue uma sequência definida e sugerida pelo fabricante. Primeiro, as alimentações analógica e digital devem ser aplicadas. Em seguida, os registradores retornam para os valores padrão através do pino de \overline{RESET} , do comando **RESET** ou também pelo sinal de reinicialização que é gerado quando a fonte analógica atinge 3.2V (TEXAS INSTRUMENTS, 2011).

Para que as leituras possam ser iniciadas, é necessário aguardar um tempo de *wake-up*, o qual depende da fonte do clock e do modo em que o dispositivo se encontrava antes da inicialização. Um modo possível é o que é gerado pelo pino \overline{PWDN} que, quando mantido em nível baixo por dois períodos do clock, inicia o *power down*, no qual circuito interno é desativado. Ele também é responsável por inicializar o dispositivo. Nesse caso, o tempo de inicialização é de $2/f_{clk}$. Entretanto, se o dispositivo for inicializado sendo alimentado com as tensões analógica e digital, o tempo de *wake-up* é de $2^{18}/f_{clk}$. A figura 26 mostra o tempo de inicialização no caso em que uma fonte externa é aplicada ao clock. É possível observar que o dispositivo só estará pronto após o período de *wake-up* (TEXAS INSTRUMENTS, 2011).

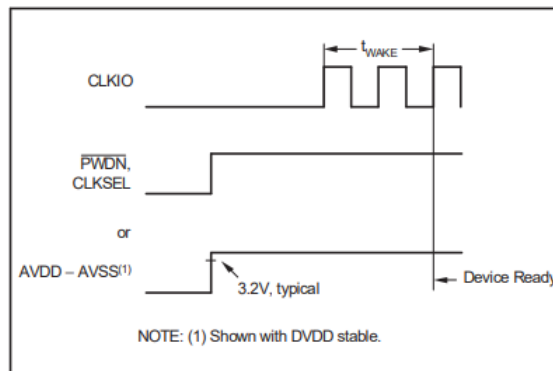


Figura 26 – Tempo de inicialização do dispositivo.

Fonte: (TEXAS INSTRUMENTS, 2011)

Além dos pinos de \overline{RESET} e de \overline{PWDN} , os pinos **START**, **CLKSEL**, **CLKIO** e \overline{DRDY} também são utilizados na inicialização. O pino de **CLKSEL**, como dito anteriormente, seleciona a fonte de clock. Já o pino **CLKIO** fornece ou recebe o clock, dependendo do que foi definido no **CLKSEL**. A utilização do **CLKIO** como saída deve ser configurada pelo bit **CLKENB** do registrador **CONFIG0**. O pino de **START**, por sua vez, quando mantido em alto inicia as conversões, caso contrário, o dispositivo entra em modo *Idle*, terminando a conversão corrente e encerrando as próximas conversões. Por fim, o pino \overline{DRDY} , quando em baixo, é utilizado para indicar que novos dados estão disponíveis para leitura. Na figura 27 é demonstrado o controle de conversão feito pelo pino **START**, no modo de varredura automática.

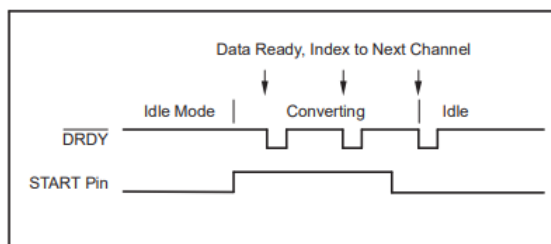


Figura 27 – Controle de conversão pelo pino START

Fonte: (TEXAS INSTRUMENTS, 2011)

4.1.2 Modo de Operação

O ADS1258 possui 3 modos de operação: modo de conversão, modo parado e modo desligado. O modo de conversão é dividido entre o modo de varredura automática (*Auto-Scan*) e modo de canal fixo (*Fixed-Channel*). Nesse modo, o consumo de energia é o maior possível. No modo parado, entretanto, o dispositivo se mantém ativo à espera do início das conversões e o consumo de energia é reduzido em comparação ao modo de conversão. Por fim, o modo desligado possui o menor consumo de energia.

No que se refere ao modo de conversão, a configuração entre os modos de varredura automática e de canal fixo é feita por meio do bit **MUXMOD**, no registrador **CONFIG0**. No primeiro modo, os canais podem ser selecionados para conversão automática através dos registradores **MUXDIF**, **MUSXG0**, **MUSG1** e **SYSRED**. Para que a medição seja feita de modo diferencial, é necessário se atentar aos pares de entrada, por exemplo, os pinos **AIN0/AIN1** são pares, sendo **AIN0** o canal positivo e **AIN1**, o canal negativo. Já no modo de canal fixo, qualquer uma das 16 entradas analógicas podem ser selecionadas como entrada do conversor. O canal deve ser definido através do registrador **MUXSCH**. Por fim, com relação ao modo parado, é possível manter o dispositivo em modo *Sleep* ou *Standby*. A seleção entre os modos é feita pelo bit **IDLMOD** do registrador **CONFIG1**. No modo desligado, tanto o circuito analógico quanto o digital são desabilitados.

4.1.3 Descrição de Comandos

Os comandos são utilizados para ler os dados do canal, acessar os registradores de configuração e controlar o processo de conversão. O byte de comando é composto pelos bits de comando, **C[2:0]**, pelo bit de **MUL[4]**, e pelos bits de endereço **A[3:0]**. Como pode ser observado na tabela 2. É recomendável que os comandos sejam enviados ao ADS1258 sempre com o pino \overline{CS} em baixo e, após a operação de leitura, ele deve ser alternado para que a interface seja resetada antes que outro comando seja enviado. (TEXAS INSTRUMENTS, 2011).

Os bits de comando **C[2:0]** são responsáveis por definir os comandos de leitura ou de escrita. A tabela 3 mostra a definição dos bits e os seus respectivos comandos.

Tabela 2 – Byte de Comando. Fonte:(TEXAS INSTRUMENTS, 2011)

7	6	5	4	3	2	1	0
C2	C1	C0	MUL	A3	A2	A1	A0

Tabela 3 – Bits de comando. Fonte:(TEXAS INSTRUMENTS, 2011)

C[2:0]	Descrição
000	Comando de leitura direta do canal de dados
001	Comando de leitura do canal de dados no formato de registro
010	Comando de leitura de registradores
011	Comando de escrita de registradores
100	Comando de conversão de pulso
101	Reservado
110	Comando de RESET
111	Comando de leitura direta do canal de dados

O Bit4, **MUL**, habilita o acesso a múltiplos registradores. Ele permite a escrita ou leitura de mais de um registrador com apenas um comando. Se **MUL = '1'**, então múltiplos registradores são acessados. A leitura ou escrita se iniciam no registrador cujo endereço foi definido nos bits de endereço **A[3:0]**. O endereço é incrementado até que a operação seja concluída, ao chegar no endereço do último registrador (TEXAS INSTRUMENTS, 2011). As figuras 28 e 29 mostram os diagramas referentes à operação de escrita nos registradores e ao comando de controle, respectivamente.

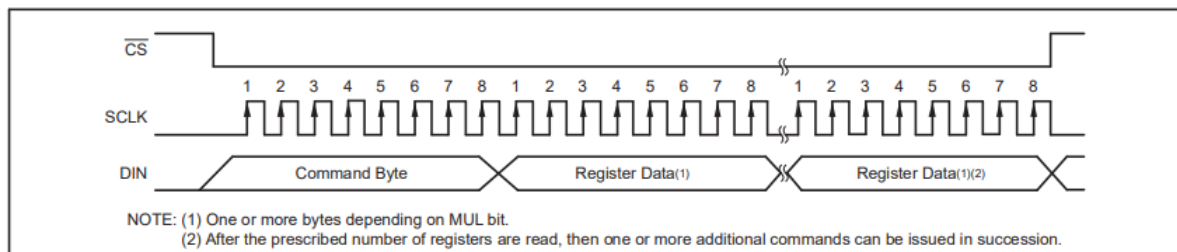


Figura 28 – Operação de escrita do registrador

Fonte:(TEXAS INSTRUMENTS, 2011)

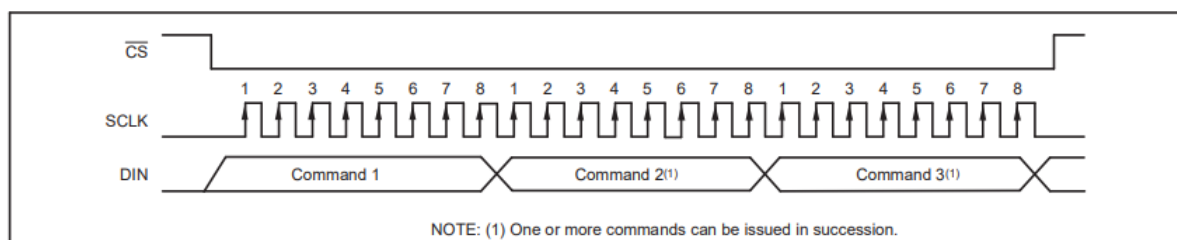


Figura 29 – Comando de Controle

Fonte:(TEXAS INSTRUMENTS, 2011)

4.2 Leitura de Dados no ADS1258

A leitura da saída do conversor gera quatro bytes (um de status e três de dados), conforme mostra a tabela 4, ou somente três bytes de dados, a depender da configuração do bit **STAT** do registrador **CONFIG0**. O deslocamento de dados na comunicação se inicia pelo MSB.

Tabela 4 – Canal de Dados Fonte:([TEXAS INSTRUMENTS, 2011](#))

Byte	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
1-STATUS	NEW	OVF	SUPPLY	CHID4	CHID3	CHID2	CHID1	CHID0
2-MSB	23	22	21	20	19	18	17	16
3-MSB-1	15	14	13	12	11	10	9	8
4-LSB	7	6	5	4	3	2	1	0

Na tabela 4, observa-se o byte **STATUS**, composto pelos bits **NEW**, **OVF**, **SUPPLY** e **CHID[4:0]**. O bit **NEW** permanece setado até que os dados disponíveis no canal sejam lidos. O bit **OVF** indica que a tensão diferencial aplicada no conversor excedeu a faixa do conversor, ou seja, $|VIN| > 1,06VREF$. O bit **SUPPLY** indica que a tensão de alimentação analógica está abaixo de 4,3V. Por último, os bits **CHID[4:0]** indicam em quais canais as medidas estão sendo realizadas. A saída do conversor analógico/digital está alocada nos bits de dados **[23:0]**, sendo o **BIT23** o mais significativo e o **BIT0**, o menos significativo. Os dados são codificados no formato complemento de 2.

Os dados do canal podem ser acessados de duas formas diferentes: leitura direta e leitura de registro. A leitura direta requer um sincronismo com o \overline{DRDY} , para evitar conflito de dados. Por outro lado, a leitura de registro permite que a leitura seja feita a qualquer momento.

5 Protótipo para Teste e Validação

Neste capítulo, é feito o detalhamento da implementação de um primeiro protótipo para teste e validação da arquitetura proposta para o sistema de aquisição. Para uma melhor organização, a implementação foi dividida em 2 partes: *Hardware* e *Firmware*.

5.1 Hardware

Esta parte contém os blocos de *front-end*, controle e registro, bem como o detalhamento das conexões entre os dispositivos físicos utilizados no sistema.

5.1.1 Front-end

Trata-se do bloco no qual ocorre a interação entre os eletrodos e a placa de *front-end*. O cabo de ECG, no qual o ADS1258 se conecta pelo conector DB15, consiste em quatro eletrodos de membros e seis de tórax. Para a interface entre os cabos e a pele do paciente, os eletrodos selecionados foram os de **Ag/AgCl** descartáveis, que se assemelham bastante com os eletrodos polarizáveis.

A alimentação da placa, até o presente momento, se fez por meio da placa DSP (do Inglês, *Digital Signal Processor*), TMS320C5515 do kit médico da Texas Instruments, do qual a placa ADS1258 faz parte.

5.1.2 Controle

A implementação do controle corresponde à conexão entre o MSP430F5529 e o ADS1258. A interface de *hardware* entre o ADS1258 e a MSP430 está demonstrada na figura 30.

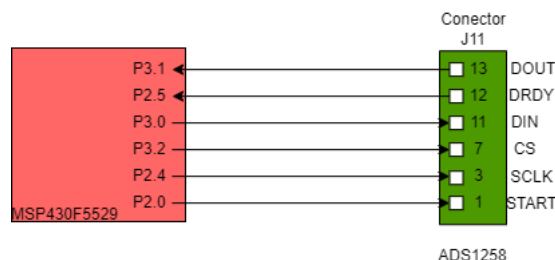


Figura 30 – Interface de Hardware MSP430 e ADS1258

Fonte: Acervo Autor.

5.1.3 Registro

A conexão entre a MSP430F5529 e o cartão SD se dá por meio das ligações demonstradas na figura 31. Embora os resistores de *pull-up* estejam presentes no esquemático, também é possível habilitar o resistor de *pull-up* interno do MSP430F5529, por meio de *software*.

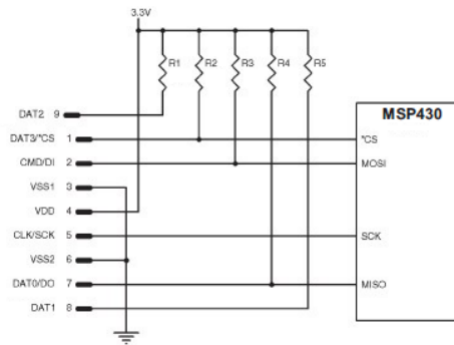


Figura 31 – Conexão Cartão SD e MSP430F5529

Fonte: (WALLACE, 2012)

5.2 Firmware

O *firmware*, criado no Code Composer Studio, utilizou funções disponibilizadas pela Texas Instruments na biblioteca **driverlib**, como parte do pacote **MSP430ware**. Além desse, é utilizado o módulo do sistema de arquivos FatFs para o registro no cartão SD, um *middleware* escrito em ANSI C (C89) feito para pequenos sistemas embarcados. Os arquivos de código e a documentação estão disponíveis na página do projeto (CHAN, 2022). A figura 32 exibe o diagrama de dependência da configuração típica de um sistema embarcado que usa o módulo FatFs.

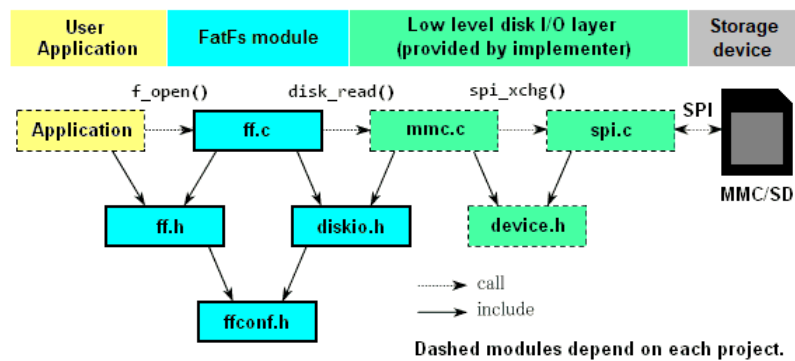


Figura 32 – Configuração típica do FatFs em um microcontrolador

Fonte: (CHAN, 2022).

Na figura 33, pode ser observado o fluxo de funcionamento de todas as fases do *firmware*. Para tal implementação, foram utilizadas funções e comandos que serão explicitados aqui de forma mais concisa no intuito de facilitar o entendimento, mesmo que algumas funções não estejam declaradas, bem como algumas variáveis.

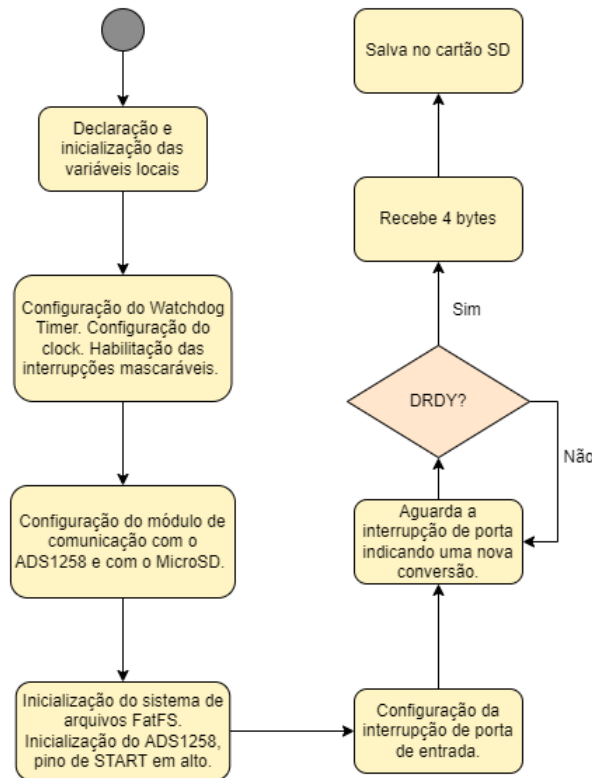


Figura 33 – Fluxograma do Firmware

Fonte: Acervo Autor.

À princípio, foi necessário configurar a parada do *Watchdog Timer* a fim de evitar que o microcontrolador seja reiniciado. Em seguida, o **UCS** (do Inglês, *Unified Clock System*) foi configurado para fornecer um clock adequado para a necessidade do projeto, como mostrado na listagem 5.1. O Registrador **UCSCTL1**, que é o responsável por ajustar a faixa de frequência em que o DCO opera, é setado nos bits **DCORSEL5**, os quais habilitam frequências de aproximadamente 4MHz até 40MHz, faixa adequada já que a frequência necessária para aplicação é de aproximadamente 16MHz.

Listing 5.1 – Código de Configuração do UCS

```

1 void setupUCS(){
2
3 WDTCTL = WDIPW | WDIHOLD; //Hold Watchdog Timer
4
5 UCSCTL0 = 0x0000; // Set lowest DCOx, MODxw

```



```

6 UCSCTL1 = DCORSEL_5; // Select DCO range to 16MHz (entre 2,5Mhz e 54,4Mhz)
7 UCSCTL2 |= 244 | FLLD_2; // Multiplicador N: (N+1)*FLLD*32,768kHz=16,056320 MHz
8 UCSCTL3 = FLLREFDIV_0 | // FLL divider 1;
9     SELREF__XT1CLK; // DCO FLL source = XT1
10 UCSCTL4 = SELA_0 | // ACLK source = XT1
11     SELS_3 | // SMCLK source = DCOCLK;
12     SELM_3; // MCLK source = DCOCLK
13 UCSCTL6 &= ~XT1OFF; // Ensure XT1 is on;
14 __delay_cycles(250000); // Accomodation cycles}

```

No que se refere à comunicação com os periféricos, foi utilizado o módulo **USCI** (do Inglês, *Universal Serial Communication Interface*) da MSP430, na configuração SPI. Tanto o ADS1258 quanto o microSD funcionam pelo modo 0, no qual o **CPOL=0** e **CPHA=0**. Portanto, para o ADS1258, foi utilizado o módulo **USCI_B0** e para o microSD, o módulo **USCI_B1**. Para configurar o SPI, foi necessário selecionar a fonte do clock para o **SMCLK**, definir qual bit seria enviado primeiro, (no caso, o MSB), bem como ajustar a fase e a polaridade do clock em que a comunicação será efetuada e inicializar os pinos de **MOSI**, **MISO**, **CS** e **SCLK**. Além disso, a interrupção foi habilitada, como mostra o código 5.2.

Listing 5.2 – Código de Inicialização do USCI_B0.

```

1 void InitSPI(void)
2 {
3     uint8_t returnValue = 0x00;
4
5     GPIO_setAsPeripheralModuleFunctionInputPin(GPIO_PORT_P3,
6     GPIO_PIN0 + GPIO_PIN1 + GPIO_PIN2);
7
8     //Initialize Master
9     USCI_B_SPI_initMasterParam param = {0};
10    param.selectClockSource = USCI_B_SPI_CLOCKSOURCE_SMCLK;
11    param.clockSourceFrequency = UCS_getSMCLK();
12    param.desiredSpiClock = SPICLK;
13    param.msbFirst = USCI_B_SPI_MSB_FIRST;
14    param.clockPhase = USCI_B_SPI_PHASE_DATA_CHANGED_ONFIRST_CAPTURED_ON_NEXT;
15    param.clockPolarity = USCI_B_SPI_CLOCKPOLARITY_INACTIVITY_HIGH;
16    returnValue
17    USCI_B_SPI_initMaster(USCI_B0_BASE, &param);
18
19    while (STATUS_FAIL == returnValue) //Wait for debugging
20
21    USCI_B_SPI_clearInterrupt(USCI_B0_BASE, USCI_B_SPI_RECEIVE_INTERRUPT);
22    UCBOCTL1 &= ~(UCSWRST);
23    USCI_B_SPI_enableInterrupt(USCI_B0_BASE, USCI_B_SPI_RECEIVE_INTERRUPT);
24 }

```

A inicialização do ADS1258 sugerida pela fabricante deve se começar com a alimentação da placa seguida de um tempo de *wake-up*, que depende da fonte do clock e do tipo de inicialização. No caso, como o clock interno foi escolhido, o tempo de *wake-up* é igual ao tempo de inicialização do oscilador interno mais $2^{18}/f_{clk}$. Após esse tempo, o pino de **PWDN** e o de **START** são setados, habilitando as conversões e solicitando mais um delay para a estabilização das entradas. O pino de **RESET** é alternado para que os registradores sejam restaurados. Depois, os registradores são configurados de acordo com a necessidade do projeto, encerrando a inicialização com a releitura da nova configuração dos registradores, como pode ser observado na listagem 5.3.

Listing 5.3 – Inicialização do ADS1258

```

1 void adcStartupRoutine(void)
2 {
3     delay_ms(50);
4     setPWDN(HIGH);
5     setSTART(HIGH);
6     delay_ms(5);
7     toggleRESET();
8     restoreRegisterDefaults();
9     uint8_t initRegisterMap[NUM_REGISTERS];
10    initRegisterMap[REG_ADDR_CONFIG0] = CONFIG0_MUXMOD_MASK;
11    initRegisterMap[REG_ADDR_CONFIG1] = CONFIG1_DLY_64us |
12        CONFIG1_DRATE_7813SPS;
13    initRegisterMap[REG_ADDR_MUXSCH] = MUXSCH_AINP_AIN0 |
14        MUXSCH_AINN_AIN1;
15    initRegisterMap[REG_ADDR_MUXDIF] = MUXDIF_DEFAULT;
16    initRegisterMap[REG_ADDR_MUXSG0] = MUXSG0_DEFAULT;
17    initRegisterMap[REG_ADDR_MUXSG1] = MUXSG1_DEFAULT;
18    initRegisterMap[REG_ADDR_SYSRED] = SYSRED_DEFAULT;
19    initRegisterMap[REG_ADDR_GPIOC] = GPIOC_DEFAULT;
20    initRegisterMap[REG_ADDR_GPIOD] = GPIOD_DEFAULT;
21    initRegisterMap[REG_ADDR_ID] = 0x00; // Read-only register
22    writeMultipleRegisters(REG_ADDR_CONFIG0, NUM_REGISTERS - 1, initRegisterMap);
23    readMultipleRegisters(REG_ADDR_CONFIG0, NUM_REGISTERS);}

```

Observa-se que o registrador **CONFIG0** foi configurado setando o bit **MUXMOD**, o qual determina que a leitura será realizada no modo canal fixo. De modo análogo, o registrador **CONFIG1** foi configurado de modo em que o dispositivo realize conversões a uma taxa de **7816 SPS**. Por fim, o registrador **MUXSCH** foi configurado para que as entradas **AIN0** e **AIN1** fossem definidas como entradas positiva e negativa, respectivamente.

É necessário acessar o módulo FatFs através das funções fornecidas pela API tanto para a inicialização, quanto para a escrita e leitura do dispositivo FAT. A função de inicialização do SD, por exemplo, possui a configuração dos pinos e de seus respectivos

resistores de *pull-up* habilitados e com o **SPI USCI_B1** devidamente configurado.

Como mostrado na figura 27 e como a taxa de conversão é setada em **7816 SPS**, quando uma conversão é realizada, o pino **DRDY** alterna a cada **0,12ms**. Portanto, é utilizada uma interrupção de porta de entrada com o **DRDY**. Quando a interrupção acontece, o microcontrolador invoca a função **dataRead()**, cujos parâmetros são os ponteiros para o endereço em que serão guardados tanto o byte de status quanto os bytes de dados, e também o comando de leitura direta ou leitura por registro, conforme mostram as listagens 5.4 e 5.5.

Listing 5.4 – Declaração dos ponteiros.

```
1 #define SIZE_OF_STATUS 8
2 uint8_t * status [SIZE_OF_STATUS];
3
4 #define SIZE_OF_DATA 8
5 uint8_t * data [SIZE_OF_DATA];
```

Listing 5.5 – Função de leitura.

```
1 int32_t readData(uint8_t status [], uint8_t data [], readMode mode)
```

Para salvar os dados no cartão de memória é necessário criar um arquivo de extensão **.txt** no sistema de arquivos do dispositivo. Para isso, 5 funções do API do FatFs são necessárias:

- **f_open** – Cria um objeto de arquivo para acessar o arquivo especificado que, caso não exista, é criado.
- **f_size** – obtém o tamanho de um arquivo.
- **f_lseek** – move o ponteiro de leitura/escrita de um objeto de arquivo aberto.
- **f_write** – escreve dados em um arquivo.
- **f_close** – fecha um arquivo aberto.

Após o salvamento no cartão SD, o firmware retorna ao ponto em que aguarda a interrupção da porta de entrada, até que o sistema seja desligado.

5.3 Testes

Neste trabalho, foi possível realizar testes apenas no bloco de controle. Em primeiro lugar, foi verificado se o módulo de comunicação entre a MSP430 e o ADS1258 estava configurado adequadamente. Para isso, foi utilizado um analisador lógico que é capaz de visualizar os níveis lógicos de alguns pontos de um circuito eletrônico digital. O analisador

utilizado possui 8 canais e uma frequência de captura de 24MHz e também possui um *software* de visualização, o **PulseView**.

Para o teste, o analisador lógico foi conectado paralelamente às conexões entre os pinos **MOSI**, **MISO**, **SCLK** e **CS** da MSP430 e do ADS1258. O *software* **PulseView** foi configurado em uma frequência de 2MHz e para coletar 50M *samples*. Dessa forma, as funções de escrita e leitura dos registradores e da rotina de inicialização do ADS1258 foram implementadas, como mostrado na listagem 5.3. A função **writeMultipleRegisters()** envia o **OPCODE_WREG** e o **OPCODE_MULMASK**, que são responsáveis por determinar o comando de escrita em múltiplos registradores.

Dessa forma, foi observado o envio do pacote **0x70**, **0x60** do **OPCODE_WREG**, e **0x10**, do **OPCODE_MULMASK**, como observado na figura 34.

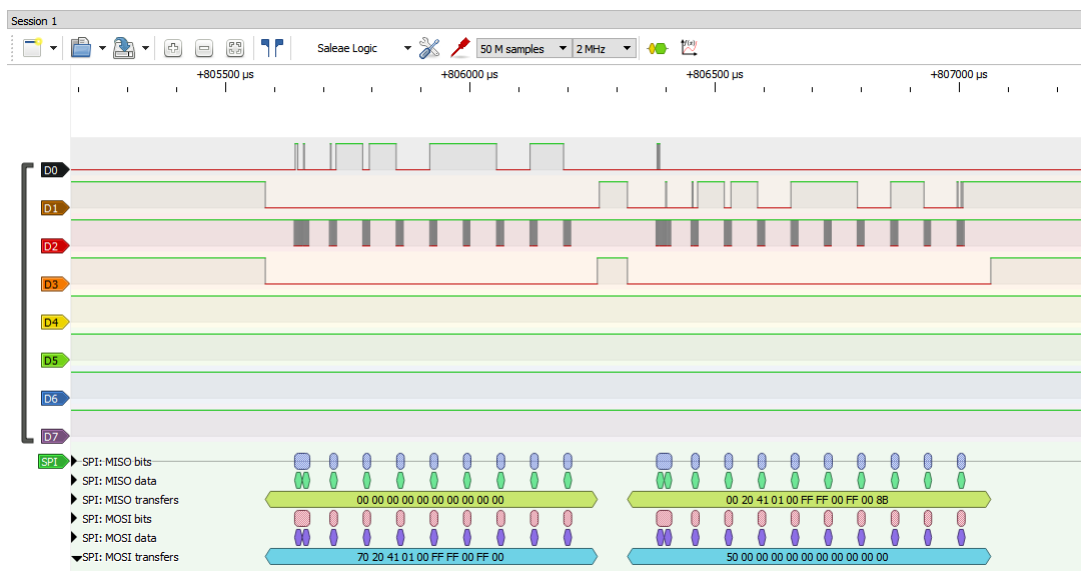


Figura 34 – Envio do pacote de dados de inicialização

Fonte: Acervo Autor.

Pode ser observado, também, na mesma figura, que é enviado um pacote de **0x20**, correspondente à escrita do primeiro registrador, o **CONFIG0**, setando o bit **MUX-MOD**, para que as coletas sejam realizadas no modo de canal fixo, seguido pelo pacote **0x41**, que seta os bits do registrador **CONFIG1**, e pelo pacote **0x01** que seta os canais de coleta no registrador **MUXSCH**. Os pacotes restantes são referentes ao *default* dos demais registradores, como mostrado na listagem 5.3.

O teste da comunicação entre o escravo e o mestre pode ser observado através da função **readMultipleRegisters()**, na qual o mestre envia o **OPCODE_RREG**, **0x50**, a fim de se observar os valores dos registradores do escravo recém-configurados. Na figura 34, pode ser observado o retorno dos valores recém-enviados.

5.4 Proposta para Validação

Para validar o sistema de aquisição, é necessário observar se o mesmo atende às especificações iniciais, ou seja, se é possível realizar corretamente a coleta de sinais de ECG e armazenar seus valores para serem plotados ou processados.

Uma proposta consiste em conectar os eletrodos em um dispositivo que possa simular sinais conhecidos de ECG para que seja possível comparar os valores obtidos com os reais. Na ausência de um simulador específico para essa aplicação, e considerando a parceria com o Laboratório de Habilidades de Medicina da Uniceplac, uma possibilidade é utilizar o boneco Simman ([MEDICAL, 2011](#)), que possui pontos de conexão para eletrodos e uma biblioteca de sinais ECG, bem como um monitor de ECG de 12 derivações. Assim, utilizando um *software* adequado para plotar os dados coletados, será possível comparar os valores obtidos com o ECG real.

Os eletrodos devem ser conectados nos pontos 1,2 e 3 do SimMan, como mostrado na figura 35. Os pontos 1,2 e 3 são conectores de ECG, os quais são utilizados para representar os sinais que seriam obtidos nos braços direito, esquerdo e na perna esquerda, respectivamente. Em seguida, é necessário compilar o código presente na página do projeto ([GOMES, 2022](#)), além de conectar os pinos adequadamente, como mostrado na figura 25, e de conectar os eletrodos nos cabos **RA** (do Inglês, *Right Arm*), **LA** (do Inglês, *Left Arm*) e **LL** (do Inglês, *Left Leg*). Embora o registrador **MUXCH** tenha sido configurado para entrada fixa de canais nos canais **AIN0** e **AIN1**, os sinais devem ser coletados em 3 eletrodos, pois a placa de *front-end* possui dois circuitos amplificadores de instrumentação que utilizam as 3 entradas, seguidos por dois filtros passa-baixa e que, por fim, se conectam às entradas **AIN0** e **AIN1** do CI.

Configurando-se a taxa de conversão para **7816 SPS**, ao inserir um sinal de ECG na entrada, espera-se que ocorra uma interrupção de porta de entrada a cada **0,12ms**, quando há conversões finalizadas (o que pode ser observado com o **DRDY**). Assim, utilizando o analisador lógico, espera-se que no **PulseView** seja observado um pacote de dados do mestre para o escravo com o **OPCODE_READ_DIRECT (0x00)**, o qual comanda a leitura direta dos dados. Na comunicação do escravo para o mestre, por outro lado, espera-se que haja o envio de 4 pacotes de dados (1 byte de STATUS e 3 bytes de dados). Para uma melhor visualização, pode ser necessário que, na execução do *firmware*, *break points* sejam incluídos na função de leitura de dados.

Visão geral do SimMan Essential

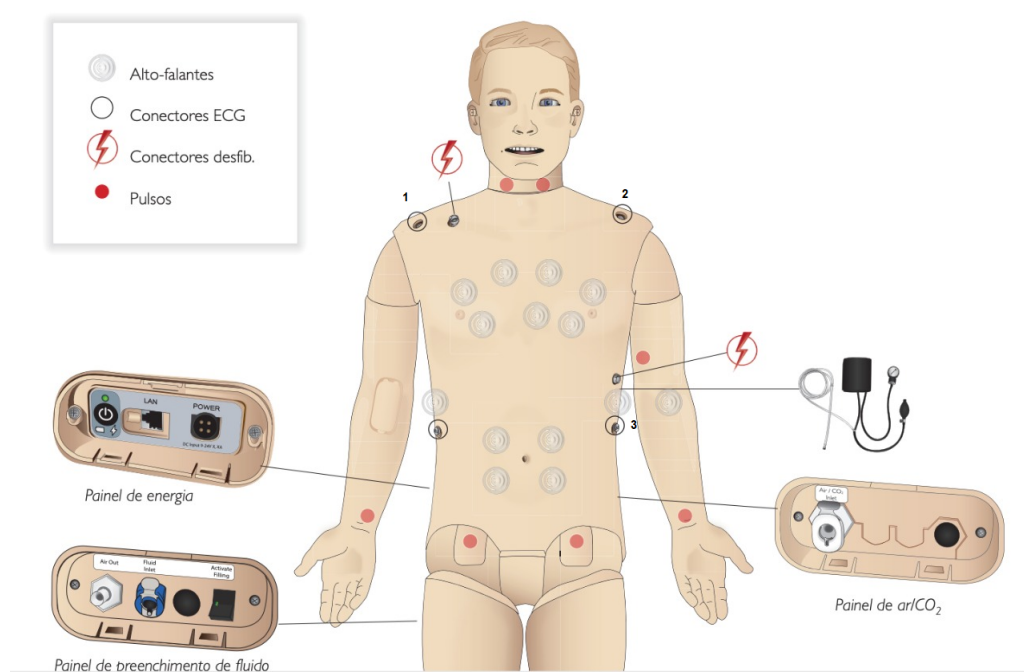


Figura 35 – Pontos de Conexão do eletrodos no SimMan.

Fonte:(MEDICAL, 2011), adaptado.

6 Conclusão

Levando em consideração o contexto em que esse trabalho se insere e a problemática levantada, em que se faz necessário um sistema de aquisição capaz de realizar coletas de AECG em gestantes para a construção de uma futura base de dados, e que o kit de desenvolvimento disponível se mostrou obsoleto. O trabalho atual permitiu observar os detalhes da arquitetura de aquisição de ECG, baseada na placa de *front-end* ADS1258, substituindo o DSP e controlando-a pela MSP430 da família F5529. Foi possível observar a implementação do firmware de controle na MSP430, o qual configura, inicializa e coleta os dados convertidos pelo ADS1258. No entanto, só foi possível realizar testes com relação à configuração do ADS1258. A coleta não foi realizada devido à falta de um gerador de sinais com amplitude adequada à entrada do conversor e sem grandes ruídos, para simular uma coleta de ECG. Além da falta de um protocolo para visualizar o sinal obtido pela MSP430 e garantir que este é compatível com o sinal de entrada.

Por isso, para cumprir o seu papel no projeto de aquisição do FEKG a partir do AECG, mais testes são fundamentais para que a proposta seja validada por completo. Por isso, como proposta futura, é necessário determinar o formato em que os dados serão salvos no cartão SD e verificar, por meio do analisador lógico, se a comunicação está sendo efetiva. É necessário observar, também, se o período de amostragem em que foi o conversor configurado é o suficiente para que o microcontrolador realize a leitura dos dados enviados pelo ADS1258, converta para o formato de gravação e os armazene no cartão SD, sem que haja corrupção de dados.

Além disso, é importante comparar os dados que estão sendo obtidos pelo microcontrolador e o sinal aplicado na entrada do conversor, tornando-se, assim, necessário observar em tempo real a curva obtida na saída do conversor. Uma solução seria utilizar a comunicação serial UART-USB do eZ-FET Lite, presente na MSP430, para enviar os dados no formato OpenBCI V3 ao *software* **BrainBay** no computador. O **BrainBay** é capaz de realizar o tratamento dos sinais inseridos nele, como por exemplo a utilização de filtros digitais no processo de visualização dos gráficos.

Com a possibilidade de se obter a curva do ECG em tempo real, é pertinente que um especialista acompanhe a coleta para analisar a qualidade do sinal obtido, já que a interpretação, no que se refere à presença de ruídos e interferências, é subjetiva. Além disso, como a proposta se encaixa como uma alternativa intermediária para a fase de aquisição do projeto, agora que houve familiarização com o *know-how* da placa de *front-end* ADS1258, é necessário implementar as rotinas de controle e registro em uma FPGA.

Referências

- AGOSTINELLI, A. et al. Noninvasive fetal electrocardiography: an overview of the signal electrophysiological meaning, recording procedures, and processing techniques. *Annals of Noninvasive Electrocardiology*, Wiley Online Library, v. 20, n. 4, p. 303–313, 2015. Citado na página 26.
- AHMADI, M. *Fetal ECG Signal Enhancement*. Tese (Phd Thesis) — American University of Sharjan, 2008. Citado na página 23.
- AMER-WÄHLIN, I.; MARŠÁL, K. St analysis of fetal electrocardiography in labor. In: ELSEVIER. *Seminars in Fetal and Neonatal Medicine*. [S.l.], 2011. v. 16, n. 1, p. 29–35. Citado na página 17.
- ANANTHI, S. *A text book of medical instruments*. [S.l.]: New Age International, 2006. Citado 3 vezes nas páginas 23, 24 e 25.
- BARBOSA, I. J. T. Aceleração de algoritmos para estimativa da frequência cardíaca fetal utilizando fpga. 2016. Citado 2 vezes nas páginas 18 e 31.
- BECCHETTI, C.; NERI, A. *Medical instrument design and development: from requirements to market placements*. [S.l.]: John Wiley & Sons, 2013. Citado 3 vezes nas páginas 27, 28 e 29.
- BLIX, E. et al. Prognostic value of the labour admission test and its effectiveness compared with auscultation only: a systematic review. *BJOG: An international Journal of Obstetrics & Gynaecology*, Wiley Online Library, v. 112, n. 12, p. 1595–1604, 2005. Citado na página 17.
- CARDOSO, A. S. V. Instrumentação e metodologias de medição de biopotenciais. Universidade Federal de Minas Gerais, 2010. Citado na página 28.
- CHAN, E. *FatFs - Generic FAT Filesystem Module*. 2022. Url http://elm-chan.org/fsw/ff/00index_e.html. Citado na página 46.
- CLIFFORD, G. D. et al. *Advanced methods and tools for ECG data analysis*. [S.l.]: Artech house Boston, 2006. Citado na página 27.
- FELDMAN, J.; GOLDWASSER, G. P. Eletrocardiograma: recomendações para a sua interpretação. *Revista da SOCERJ*, v. 17, n. 4, p. 251–256, 2004. Citado 2 vezes nas páginas 20 e 21.
- GALVAO, A. B. Modulo de aquisicao e registro de sinais eletroencefalograficos. UFRN, UFRN, 2015. Citado na página 30.
- GAWALI, D. H.; WADHAI, V. M. Implementation of ecg sensor for real time signal processing applications. In: IEEE. *2014 International Conference on Advances in Electronics Computers and Communications*. [S.l.], 2014. p. 1–3. Citado na página 27.

- GOMES, L. *MSP430 e ADS1258*. 2022. Disponível em: <<https://github.com/lourranygomes/msp430ads1258microSD>>. Acesso em: 28 novembro 2022. Citado na página 52.
- GUYTON, A.; HALL, J. *Tratado de Fisiologia Médica*. 10 44. a ed. [S.l.]: Rio de Janeiro: Editora Guanabara Koogan SA, 2002. Citado na página 22.
- HASAN, M. A. et al. Detection and processing techniques of fecg signal for fetal monitoring. *Biological procedures online*, Springer, v. 11, n. 1, p. 263–295, 2009. Citado 2 vezes nas páginas 16 e 22.
- HATAI, I.; CHAKRABARTI, I.; BANERJEE, S. Fpga implementation of a fetal heart rate measuring system. In: IEEE. *2013 2nd International Conference on Advances in Electrical Engineering (ICAEE)*. [S.l.], 2013. p. 160–164. Citado 4 vezes nas páginas 16, 17, 22 e 23.
- INOCÊNCIO, A. V. de M.; RODRIGUES, M. A. B.; FREITAS, D. R. R. de. Sistema para monitoração de batimentos fetais para aplicação em hospitais públicos. *Revista de Engenharia e Pesquisa Aplicada*, v. 4, n. 3, p. 1–10, 2019. Citado na página 30.
- INSTRUMENTS, T. *Msp430x5xx and msp430x6xx family user's guide*. Texas Instruments Incorporated, 2008. Citado 2 vezes nas páginas 38 e 62.
- JAGANNATH, D.; SELVAKUMAR, A. I. Issues and research on foetal electrocardiogram signal elicitation. *Biomedical signal processing and control*, Elsevier, v. 10, p. 224–244, 2014. Citado 3 vezes nas páginas 16, 17 e 22.
- JEZEWSKI, J. et al. A novel technique for fetal heart rate estimation from doppler ultrasound signal. *Biomedical engineering online*, Springer, v. 10, n. 1, p. 1–17, 2011. Citado na página 16.
- JÚNIOR, H. D. d. C. Proposta de uma arquitetura de redes neurais para estimativa da frequência cardíaca fetal a partir do ecg abdominal em gestantes. 2018. Citado 2 vezes nas páginas 18 e 31.
- KAHANKOVA, R. et al. A review of signal processing techniques for non-invasive fetal electrocardiography. *IEEE reviews in biomedical engineering*, IEEE, v. 13, p. 51–73, 2019. Citado na página 26.
- LABAZIEWICZ, A.; BAKER, R. J. A 2 ghz effective sampling frequency k-delta-1-sigma analog-to-digital converter. In: IEEE. *2011 IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS)*. [S.l.], 2011. p. 1–4. Citado na página 30.
- LAMESGIN, G.; KASSAW, Y.; ASSEFA, D. Extraction of fetal ecg from abdominal ecg and heart rate variability analysis. In: SPRINGER. *Afro-European Conference for Industrial Advancement*. [S.l.], 2015. p. 65–76. Citado 2 vezes nas páginas 16 e 22.
- MARKANDEY, V. Ecg implementation on the tms320c5515 dsp medical development kit (mdk). *Texas Instruments Application Report Jun*, v. 35, 2010. Citado 5 vezes nas páginas 9, 32, 33, 63 e 64.
- MEDICAL, L. *SimMan 3G Directions for Use*. [S.l.]: Laerdal Medical, 2011. <https://cdn.laerdal.com/downloads/f854/Att_2_to_PRO-ML01-1110-854.pdf>. Citado 2 vezes nas páginas 52 e 53.

- NICOLAU, J. C. et al. Diretriz de interpretação de eletrocardiograma de repouso. *Arquivos Brasileiros de Cardiologia*, SciELO Brasil, v. 80, p. 1–18, 2003. Citado na página 22.
- PRUTCHI, D.; NORRIS, M. *Design and development of medical electronic instrumentation: a practical perspective of the design, construction, and test of medical devices*. [S.l.]: John Wiley & Sons, 2005. Citado 2 vezes nas páginas 28 e 29.
- RODRIGUES, J. A. Implementação da comunicação sem fio de um módulo estimador da frequência cardíaca fetal baseado em fpga. 2016. Citado na página 18.
- SANDISK. Sandisk sd card - oem product manual. 2011. Disponível em: <<https://datasheet.ciiva.com/26837/getdatasheetpartid-335894-26837658.pdf/>>. Citado na página 39.
- SCHWARZ, L. Artigo de revisão: eletrocardiograma. *Revista Ilha Digital*, v. 1, p. 3–19, 2009. Citado 2 vezes nas páginas 20 e 22.
- SEDRA, A. S.; SMITH, K. C. *Microelectronic circuits*. [S.l.]: Holt, Rinehart and Winston, 1982. Citado na página 28.
- SILBERNAGL, S. et al. *Color atlas of physiology*. [S.l.]: Thieme Stuttgart, 2009. v. 5. Citado 2 vezes nas páginas 24 e 25.
- STEINBURG, S. P. V. et al. What is the “normal” fetal heart rate? *PeerJ*, PeerJ Inc., v. 1, p. e82, 2013. Citado na página 16.
- SUN, C. et al. A portable 12-lead ecg acquisition system. In: IEEE. *2013 IEEE International Conference on Information and Automation (ICIA)*. [S.l.], 2013. p. 368–373. Citado na página 31.
- TAJI, B.; SHIRMOHAMMADI, S.; GROZA, V. Measuring skin-electrode impedance variation of conductive textile electrodes under pressure. In: IEEE. *2014 IEEE International Instrumentation and Measurement Technology Conference (I2MTC) Proceedings*. [S.l.], 2014. p. 1083–1088. Citado na página 28.
- TEXAS INSTRUMENTS. *16-Channel, 24-Bit Analog-to-Digital Converter*. [S.l.], 2011. Disponível em: <https://www.ti.com/lit/ds/symlink/ads1258.pdf?ts=1663756517802&ref_url=https%253A%252F%252Fwww.ti.com%252Fproduct%252FADS1258>. Citado 9 vezes nas páginas 11, 34, 35, 36, 37, 41, 42, 43 e 44.
- TUTIDA, H. I. C. Implementação de um módulo de leitura de ecg abdominal em gestantes para estimativa da frequência cardíaca fetal usando fpga. 2017. Citado 2 vezes nas páginas 17 e 31.
- WALLACE, L. R. Interfacing a msp430 with an sd card. *University Of Florida*, 2012. Disponível em: <http://www.add.ece.ufl.edu/4924/docs/MSP430_SD.pdf/>. Citado 2 vezes nas páginas 39 e 46.
- WILLIAM, F. G.; GANONG, M. Review of medical physiology. *Maruzen Asian Edition, Lange*, 2003. Citado 4 vezes nas páginas 20, 21, 23 e 24.

APÊNDICE A – Montagem do protótipo

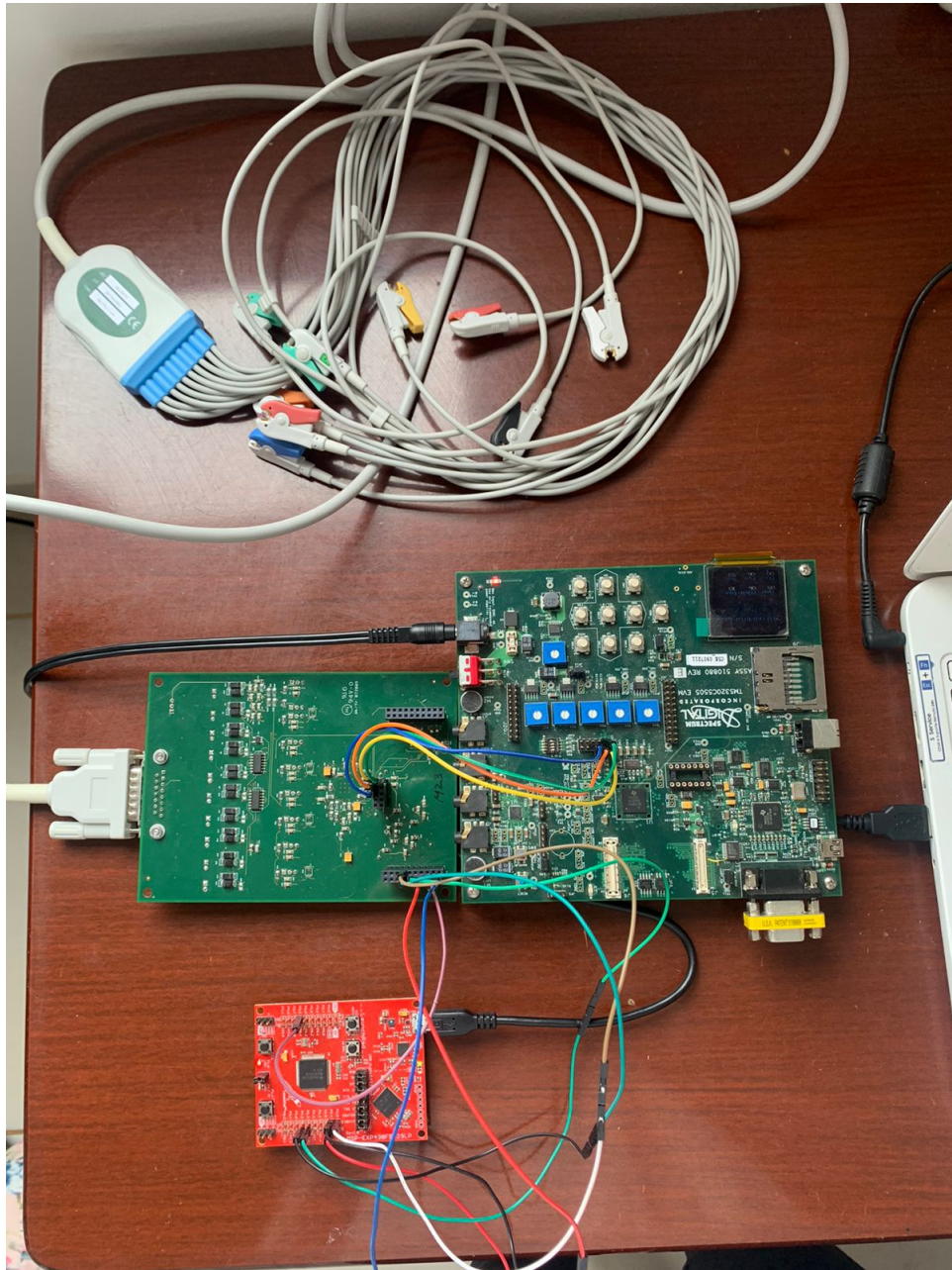


Figura 36 – DSP, MSP430 e ADS1258.

Fonte: Acervo Autor

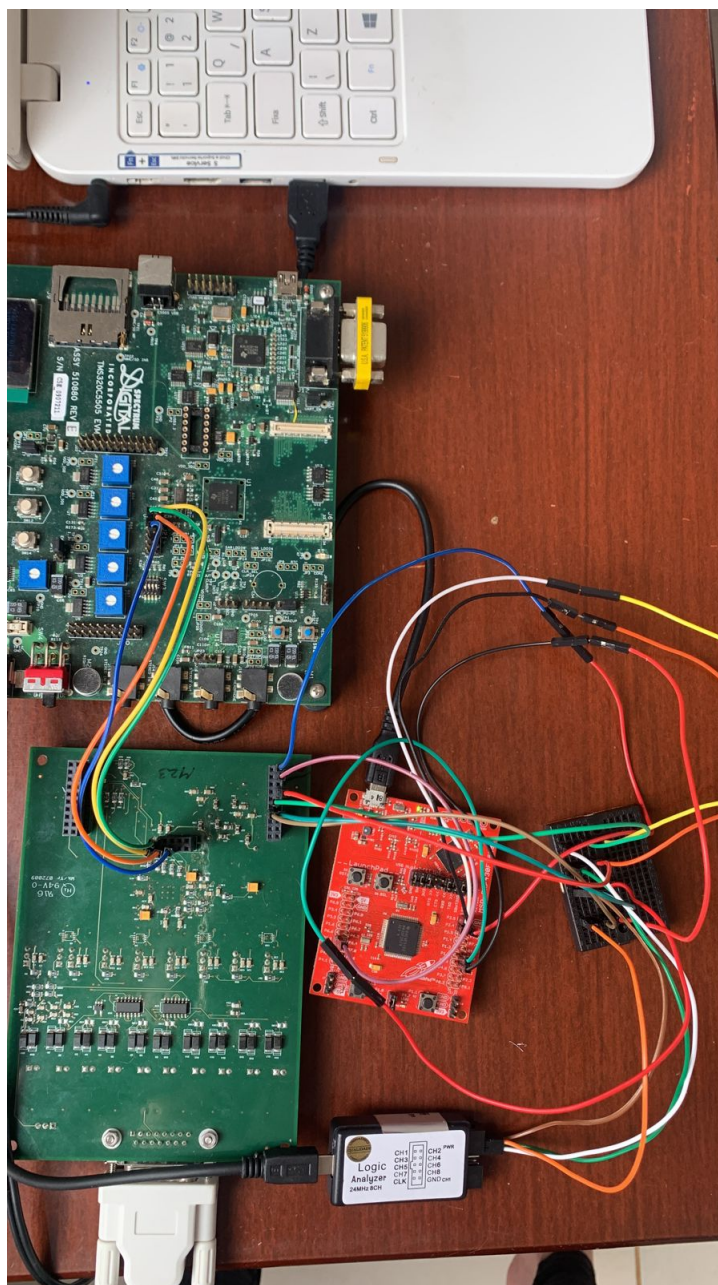


Figura 37 – Circuito montado com o analisador lógico em paralelo.

Fonte: Acervo Autor

ANEXO A – Registradores ADS1258

Tabela 5 – ID do canal. Modo de varredura automática.

BITS CHID [4:0]	PRIORITY	CHANNEL	DESCRIPTION
00h	1 (Highest)	DIFF0 (AIN0-AIN1)	DIFFERENTIAL 0
01h	2	DIFF1 (AIN2-AIN3)	DIFFERENTIAL 1
02h	3	DIFF2 (AIN4-AIN5)	DIFFERENTIAL 2
03h	4	DIFF3 (AIN6-AIN7)	DIFFERENTIAL 3
04h	5	DIFF4 (AIN8-AIN9)	DIFFERENTIAL 4
05h	6	DIFF5 (AIN10-AIN11)	DIFFERENTIAL 5
06h	7	DIFF6 (AIN12-AIN13)	DIFFERENTIAL 6
07h	8	DIFF7 (AIN14-AIN15)	DIFFERENTIAL 7
08h	9	AIN0	Single-Ended 0
09h	10	AIN1	Single-Ended 1
0Ah	11	AIN2	Single-Ended 2
0Bh	12	AIN3	Single-Ended 3
0Ch	13	AIN4	Single-Ended 4
0Dh	14	AIN5	Single-Ended 5
0Eh	15	AIN6	Single-Ended 6
0Fh	16	AIN7	Single-Ended 7
10h	17	AIN8	Single-Ended 8
11h	18	AIN9	Single-Ended 9
12h	19	AIN10	Single-Ended 10
13h	20	AIN11	Single-Ended 11
14h	21	AIN12	Single-Ended 12
15h	22	AIN13	Single-Ended 13
16h	23	AIN14	Single-Ended 14
17h	24	AIN15	Single-Ended 15
18h	25	OFFSET	OFFSET
1Ah	26	VCC	AVDD-AVSS Supplies
1Bh	27	TEMP	Temperature
1Ch	28	GAIN	Gain
1Dh	29(Lowest)	REF	External Reference

Tabela 6 – Mapa de Registradores

Endereço A[3:0]	Nome do Registrador	Valor Padrão	7	6	5	4	3	2	1	0
00h	CONFIG0	0Ah	0	SPIRST	MUXMOD	BYPAS	CLKENB	CHOP	STAT	0
01h	CONFIG1	83h	IDLMOD	DLY2	DLY1	DLY0	SBCS1	SBCS0	DRATE1	DRATE0
02h	MUXSCH	00h	AINP3	AINP2	AINP1	AINP0	AINN3	AINN2	AINN1	AINN0
03h	MUXDIF	00h	DIFF7	DIFF6	DIFF5	DIFF4	DIFF3	DIFF2	DIFF1	DIFF0
04h	MUXSG0	FFh	AIN7	AIN6	AIN5	AIN4	AIN3	AIN2	AIN1	AIN0
05h	MUXSG1	FFh	AIN15	AIN14	AIN13	AIN12	AIN11	AIN10	AIN9	AIN8
06h	SYSRED	00h	0	0	REF	GAIN	TEMP	VCC	0	OFFSET
07h	GPIOC	FFh	CIO7	CIO6	CIO5	CIO4	CIO3	CIO2	CIO1	CIO0
08h	GPIOD	00h	DIO7	DIO6	DIO5	DIO4	DIO3	DIO2	DIO1	DIO0
09h	ID	8Bh	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0

ANEXO B – Mapa de pinos MSP430

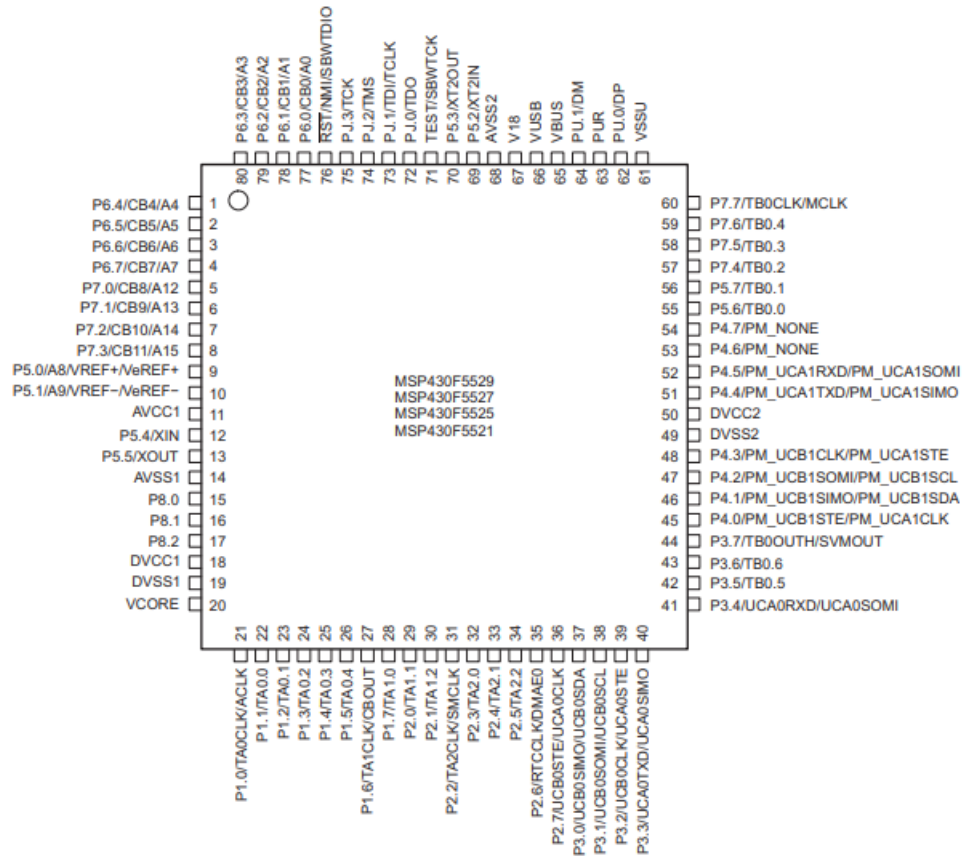


Figura 38 – Mapa de Pinos MSP430

Fonte: (INSTRUMENTS, 2008)

C Esquemático da Placa de *Front-End*

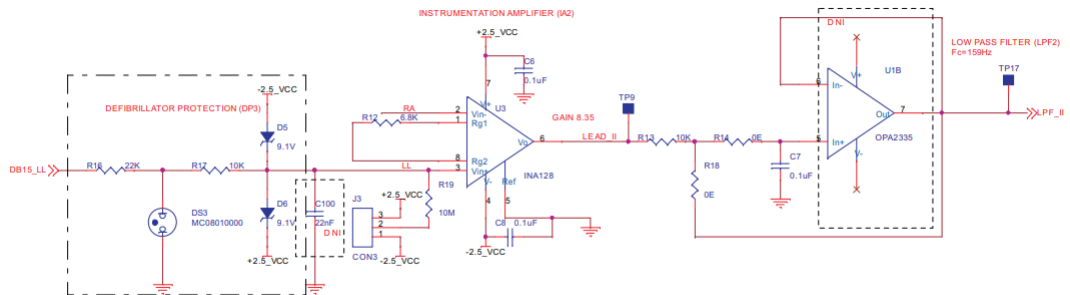


Figura 39 – Circuito de entrada da perna esquerda.

Fonte: (MARKANDEY, 2010)

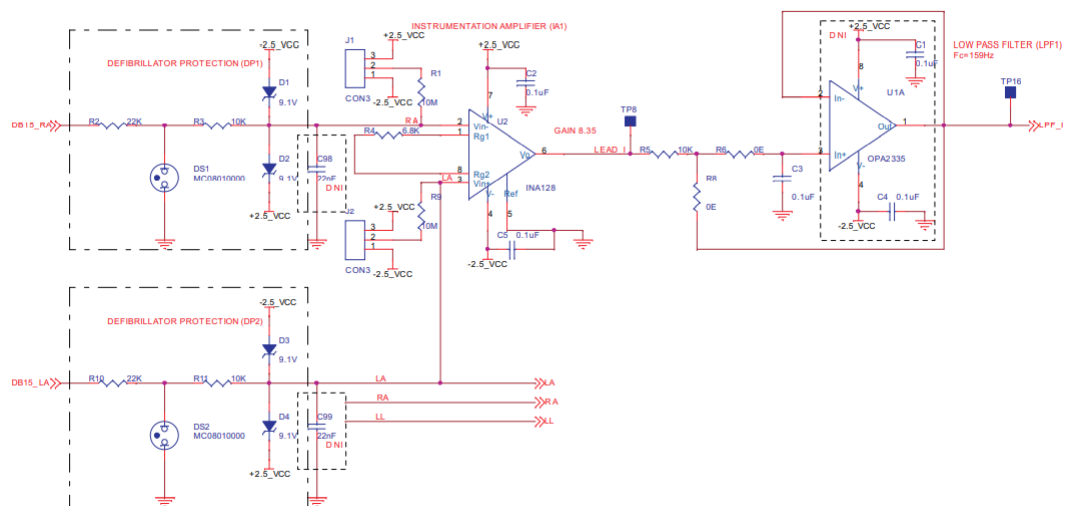


Figura 40 – Circuito de entrada de braço direito e braço esquerdo.

Fonte: (MARKANDEY, 2010)

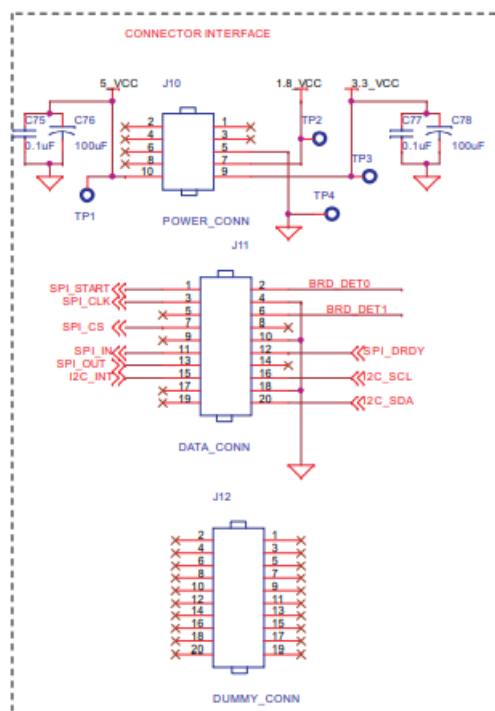


Figura 41 – Interface dos Conectores da placa de *front-end*.

Fonte: (MARKANDEY, 2010)

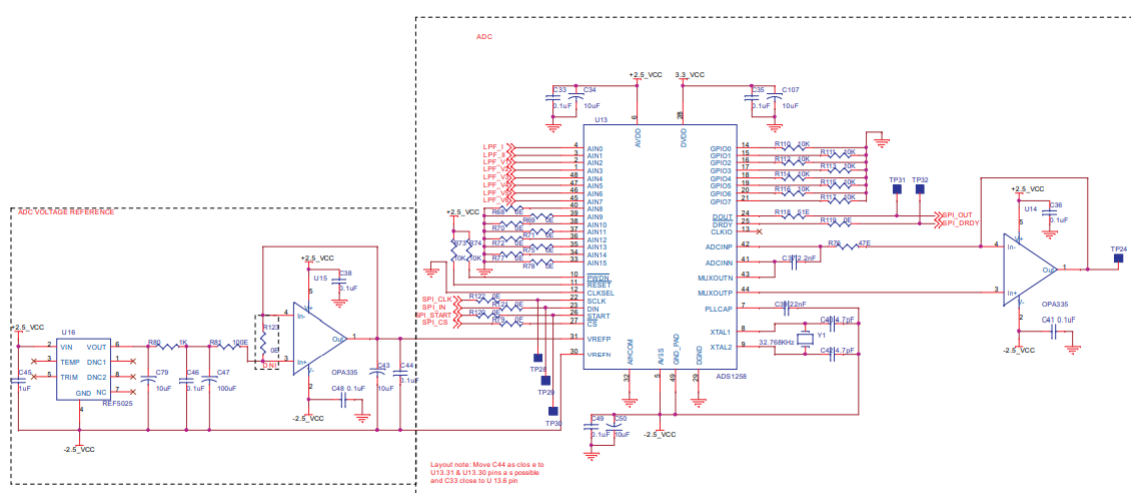


Figura 42 – Esquemático da placa de front-end ADS1258.

Fonte: (MARKANDEY, 2010)