

Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica

Desenvolvimento e Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais

Autor: Gustavo Cavalcante Linhares
Orientador: Wellington Avelino do Amaral

Brasília, DF
2021



Gustavo Cavalcante Linhares

**Desenvolvimento e Projeto de um Conversor Tensão
Frequência de uma Tag UHF Passiva para o
Monitoramento de Sinais Vitais**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Wellington Avelino do Amaral

Brasília, DF

2021

Gustavo Cavalcante Linhares

Desenvolvimento e Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais/ Gustavo Cavalcante Linhares. – Brasília, DF, 2021-

Orientador: Wellington Avelino do Amaral

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB
Faculdade UnB Gama - FGA , 2021.

1. Projeto de circuito analógico 2. Circuito integrado I. Wellington Avelino do Amaral. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Desenvolvimento e Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais

CDU

Gustavo Cavalcante Linhares

Desenvolvimento e Projeto de um Conversor Tensão Frequência de uma Tag UHF Passiva para o Monitoramento de Sinais Vitais

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 05 de novembro de 2021:

Wellington Avelino do Amaral
Orientador

Gilmar Silva Beserra
Convidado 1

José Camargo Costa
Convidado 2

Brasília, DF
2021

*Este trabalho é dedicado à minha família, meus amigos de curso e aos meus professores,
que me deram suporte durante essa longa jornada realizada na graduação.
Sem todo este apoio, eu não teria conseguido chegar aonde estou.*

Agradecimentos

Este trabalho é fruto do conhecimento passado pelos professores ao longo desses 5 anos de graduação na Universidade de Brasília. Agradeço a todos que fizeram parte dessa reta final, em especial os professores Sandro e Wellington, por me apresentarem esse mundo da microeletrônica e pelas oportunidades dadas. Também gostaria de destacar todo o time de desenvolvimento do projeto: Aline, Gabriel, Vitor Guedes, Victor Kaio e Iago, agradeço intensamente o apoio de todos.

*“Os maiores êxitos não são os que fazem mais ruído
e sim nossas horas mais silenciosas.
(Friedrich Nietzsche)*

Resumo

Este trabalho propõe uma abordagem no monitoramento remoto de sinais vitais com base em uma tag de rádio frequência (*Radio Frequency Identification* (RFID)) vestível e alimentada passivamente. Com a utilização de diferentes bandas de radio frequência *ultrahigh frequency* (UHF), ultrawideband (UWB) é possível captar e transmitir os sinais vitais de pacientes sem a necessidade de cabos, as frequências em banda UHF são responsáveis pela alimentação do circuito integrado (CI) e a transmissão é feita pela banda UWB, que através das variâncias da fonte de alimentação capta e transmite os sinais vitais. De acordo com o artigo base (LYU; WANG; BABAKHANI, 2020), o CI projetado pode ser alimentado com distâncias de até 51 metros (m) e o envio pode ser dado em até 2 m com o consumo de aproximadamente 1 μ W (Watt). Dado a quantidade de trabalho, pesquisa e desenvolvimento, necessários para a construção de um CI, a atividade geral foi decomposta em 6 partes, sendo estas designadas para os cinco membros da equipe de projetistas e o professor que também participou na finalização do projeto. Assim, este documento irá tratar somente do desenvolvimento de uma parte do CI, o conversor tensão frequência. Serão apresentados, de forma quantitativa e objetiva, todo processo de pesquisa e desenvolvimento deste circuito. Os resultados serão analisados por meio de gráficos, tabelas comparativas, simulações e verificações paramétricas entre os softwares *Virtuoso*, da *Cadence*, e *Advanced Design System (ADS)*, da *Keysight*.

Palavras-chaves: Conversor tensão frequência, baixo consumo, Monitoramento de sinais vitais.

Abstract

This work proposes an approach to the remote monitoring of vital signs based on a wearable and passively powered radio frequency tag identification (RFID). Using different radio frequency bands *ultrahigh frequency* (UHF), ultrawideband (UWB) it's possible to capture and transmit vital signs of patients without the need for cables, frequencies in the UHF band are responsible for power the integrated circuit (IC) and the transmission is done by the UWB band, which captures and transmits vital signs through the variances of the power supply. According to the base article (LYU; WANG; BABAKHANI, 2020), the projected IC can be powered up with a 51 meters (m) range and the data transmission can be given in up to 2m consuming approximately 1 μ W (watts). Given the amount of work, research and development required to build an IC, the general activity was decomposed into 6 parts, these being assigned to the five members of the design team and the professor who also participated in the project's finalization. This document will only deal with the development of a part of the IC, the voltage-frequency converter. The entire research and development process of this circuit will be presented, in a quantitative and objective way. The results will be analyzed through graphs, comparative tables, simulations and parametric verifications between Virtuoso, by Cadence, and Advanced Design System (ADS), by Keysight.

Key-words: Voltage to frequency converter, low power consumption, Vital signs

Lista de ilustrações

Figura 1 – Ilustração da tag RFID vestível para monitoramento remoto de sinais vitais. Fonte: (LYU; WANG; BABAKHANI, 2020)	24
Figura 2 – Metodologia top down	26
Figura 3 – Metodologia top down aplicada ao projeto	26
Figura 4 – Diagrama de blocos VTF.Fonte: (MURILLO; LOPEZ; PUEYO, 2013)	29
Figura 5 – Detalhamento do bloco VTF e forma de onda de saída. Fonte: (MURILLO; LOPEZ; PUEYO, 2013)	30
Figura 6 – Diagrama esquemático Conversor Tensão Corrente	31
Figura 7 – Diagrama de Blocos Integrador de Corrente bidirecional e Circuito de Controle. Fonte: (MURILLO; LOPEZ; PUEYO, 2013)	33
Figura 8 – Diagrama esquemático Integrador de Corrente bidirecional	34
Figura 9 – Diagrama de blocos circuito de controle. Fonte: (MURILLO; LOPEZ; PUEYO, 2013)	36
Figura 10 – Diagrama esquemático latch NOR e latch NAND. Fonte (FLOYD, 2015)	36
Figura 11 – Diagrama esquemático latch NOR	38
Figura 12 – Diagrama esquemático AmpOp	38
Figura 13 – Resposta transiente dos sinais V_{cap} , V_{CH} , V_{CL} e Q . Fonte: (MURILLO; LOPEZ; PUEYO, 2013)	39
Figura 14 – Diagrama esquemático circuito de controle	40
Figura 15 – Esquemático circuito VTF	43
Figura 16 – Relação da transcondutância do bloco conversor tensão corrente - Cadence	44
Figura 17 – Relação do chaveamento do bloco de controle - Cadence	45
Figura 18 – Relação da tensão do capacitor ao sinal de saída - Cadence	46
Figura 19 – Relação tensão de entrada e frequência de saída - Cadence	47
Figura 20 – Representação de um Wafer de silício. Fonte: (BAKER, 2010)	49
Figura 21 – Encapsulamento de um CI. Fonte: (BAKER, 2010)	49
Figura 22 – Processo de desenvolvimento físico do circuito. Fonte: (BAKER, 2010)	50
Figura 23 – Representação do CI em seu encapsulamento.	54
Figura 24 – Placa de circuito impresso - Encapsulamento QFN56	55
Figura 25 – Pinos macho	55
Figura 26 – Sinal de Saída	57
Figura 27 – Layout CI visão global	65
Figura 28 – Layout CI visão global	65
Figura 29 – Layout CI visão global - foco no conversor VTF	66
Figura 30 – Layout CI conversor VTF	66

Figura 31 – Layout CI conversor VTF - Latch SR NOR	67
Figura 32 – Layout CI conversor VTF - Conversor tensão corrente	67
Figura 33 – Layout CI conversor VTF - Circuito controlador	68
Figura 34 – Layout CI conversor VTF - Circuito controlador	68
Figura 35 – Layout CI conversor VTF - Integrador de corrente	69
Figura 36 – Layout CI conversor VTF - Integrador de corrente	69
Figura 37 – Relação da transcondutância do bloco conversor tensão corrente - ADS	71
Figura 38 – Relação do chaveamento do bloco de controle - ADS	71
Figura 39 – Acompanhamento da carga do capacitor ao sinal de saída - ADS	72
Figura 40 – Desenho técnico do Encapsulamento QFN56.Fonte: (INSTRUMENTS, 2021)	73

Lista de tabelas

Tabela 1 – Dimensões dos transistores Conversor Tensão frequência	32
Tabela 2 – Dimensões dos transistores Integrador de Corrente bidirecional	35
Tabela 3 – Tabela verdade latch NOR	37
Tabela 4 – Dimensões dos transistores latch NOR	37
Tabela 5 – Dimensões dos transistores do circuito de controle	40
Tabela 6 – Tabela de caracterização do circuito	46
Tabela 7 – Relação da Pinagem com os sinais do circuito VTF	56
Tabela 8 – Relação Tensão Frequência	57

Lista de abreviaturas e siglas

ADS	Advanced Design System
AmpOp	Amplificador Operacional
ADJ	Adjust
C	Capacitor
CTI	Centro de Tecnologia e Informação
CI	Circuito integrado
DRC	Design Rule Checking
ERC	Electrical Rule Checking
LVS	Layout vs. Schematic
μ	Micro
R	Reset
RFID	Radio frequency identification
S	Set
SMD	Surface Mount Technology
UHF	Ultrahigh frequency
UWB	Ultrawideband
TSMC	Taiwan Semiconductor Manufacturing Company
g_m	Transcondutância
UTI	Unidade de tratamento intensivo
VTF	Voltage-to-frequency
VWC	Voltage window comparators
W	Watt

Sumário

1	INTRODUÇÃO	23
1.1	Contextualização	23
1.2	Objetivos	23
1.3	Organização do trabalho	24
2	METODOLOGIA	25
2.1	Metodologia <i>Top down</i>	25
2.2	Modelagem Verilog	26
2.3	Simulações <i>ADS-Cadence</i>	27
3	CONVERSOR TENSÃO FREQUÊNCIA	29
3.1	Visão geral	29
3.2	Conversor Tensão Corrente	31
3.3	Integrador de Corrente Bidirecional	33
3.4	Circuito de Controle	35
3.4.1	Latch S-R	35
3.4.2	Comparadores de tensão	38
4	RESULTADOS DE SIMULAÇÃO	43
4.1	Conversor tensão corrente	44
4.2	Circuito de Controle e Integrador de Corrente	45
4.3	Resultados e Especificações Finais	46
5	LAYOUT CI	49
6	ROTEIRO DE TESTES	53
6.1	Encapsulamento e Placa de Circuito Impresso	53
6.2	Roteiro de Testes	56
7	CONSIDERAÇÕES FINAIS	59
7.1	Conclusões	59
7.2	Trabalhos Futuros	59
	REFERÊNCIAS	61

APÊNDICES	63
APÊNDICE A – LAYOUTS DO CI E DO CIRCUITO VTF	65
APÊNDICE B – RESULTADOS DE SIMULAÇÃO - ADS	71
APÊNDICE C – DESENHO TÉCNICO DO ENCAPSULAMENTO QFN56	73

1 Introdução

Neste capítulo, contextualização, objetivos, e como foi-se dada organização deste trabalho

1.1 Contextualização

Com o avanço da tecnologia ocorreu o surgimento de diversos dispositivos de monitoramento de sinais vitais, conhecidos como *wearables*. Apesar de não existir um consenso em sua definição eles podem ser classificados de acordo com a proximidade do corpo e funcionalidade (COUNCIL, 2021). Estes dispositivos tem como objetivo a entrega de informações em tempo real para seu usuário, como por exemplo, intensidade da frequência cardíaca, pulsação, número de passos dados, geolocalização (GPS), etc, auxiliando assim no monitoramento de seu estado físico.

Este trabalho busca a utilização desta tecnologia em um ambiente hospitalar, onde o foco é monitorar os pacientes de forma mais confortável, sem a necessidade de contato físico e também sendo aplicável onde se é necessário o acompanhamento mais constante do paciente, como nas unidades de terapia intensiva (UTI) (LYU; WANG; BABAKHANI, 2020). Essa premissa é importante dado o momento de desafio que é enfrentado pela saúde pública, mais de 200 milhões de casos e 500 mil mortes no Brasil causados pela doença COVID-19 (SAÚDE, 2021).

De acordo com situação, o projeto proposto consiste no desenvolvimento de uma *tag RFID*, utilizada como *wearable*, para o acompanhamento constante nos sinais vitais e também de forma remota em ambientes hospitalares. Isso é possível, dado que toda a alimentação e transmissão de dados da tag é feita através do uso de radio frequência conforme a figura 1.

1.2 Objetivos

Este trabalho tem como objetivo a modelagem de um conversor tensão frequência para sistemas com baixo consumo de potência. Esta modelagem consiste em descrever cada bloco que compõe o circuito e seus respectivos processos de implementação, partindo da pesquisa das topologias até a criação do layout físico. Os blocos a serem descritos são: conversor tensão corrente, integrador bidirecional de corrente e o circuito de controle.

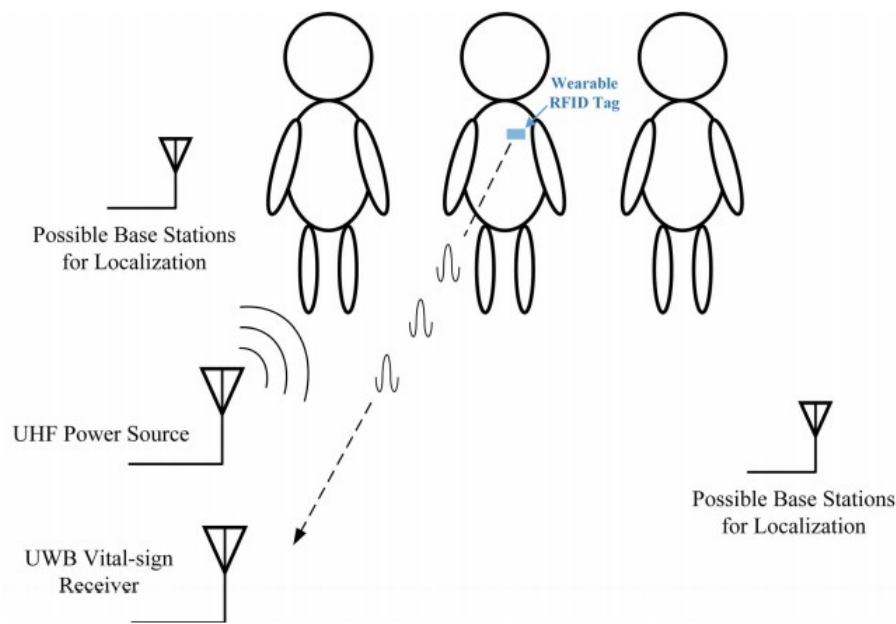


Figura 1 – Ilustração da tag RFID vestível para monitoramento remoto de sinais vitais.
 Fonte: (LYU; WANG; BABAKHANI, 2020)

1.3 Organização do trabalho

Com o intuito de facilitar o entendimento do trabalho ao leitor o mesmo será dividido nas seguintes partes:

- **Capítulo 1 Introdução** : Trata-se da contextualização, objetivos e organização do trabalho.
- **Capítulo 2 Metodologia**: Trata-se do tipo de metodologia adotada, e das ferramentas de modelagem *verilog* e simulação.
- **Capítulo 3 Conversor Tensão Frequência**: Trata-se do desenvolvimento do projeto do circuito e cada um dos suas subdivisões.
- **Capítulo 4 Resultados de Simulação**: Trata-se dos resultados de simulação e especificações alcançadas.
- **Capítulo 5 Layout do Chip**: Trata-se do desenvolvimento do layout do circuito e validações e verificações do layout .
- **Capítulo 6 Roteiro de Testes**: Trata-se do passo a passo para realização dos testes com o CI.
- **Capítulo 7 Considerações Finais**: Trata-se do encerramento do projeto e futuros seguimentos para continuidade na pesquisa.

2 Metodologia de projeto

Método científico pode ser definido como um conjunto de etapas e instrumentos pelo qual o pesquisador científico, direciona seu projeto de trabalho com critérios de caráter científico para alcançar dados que suportam ou não sua teoria inicial. (CORRÊA, 2003). Desta forma cabe a cada pesquisador tomar a decisão do tipo de metodologia utilizada dado sua experiência e área de conhecimento. Neste trabalho foi-se utilizado a metodologia *Top down*, visto que tínhamos uma visão clara do objeto final do trabalho e dado prazo de desenvolvimento curto o que torna mais vantajoso a subdivisão das tarefas.

2.1 Metodologia *Top down*

Em uma metodologia de projeto top down (de cima para baixo), se é definido o objetivo total do projeto e essa visão macro é quebrada em sub-blocos, sendo estes necessários para construir o bloco de nível superior. Subdividi-se ainda mais os sub-blocos até que se chegue em parcelas executáveis conforme mostrado na figura 2. Logo uma visão sistemática de execução se é formada e uma visão das tarefas necessárias para alcançar o topo.

Normalmente esse método é utilizado em projetos de engenharia como por exemplo no caso de um design digital. Os arquitetos projetistas definem as especificações do bloco de nível superior. Os designers lógicos decidem como o design deve ser estruturado dividindo a funcionalidade em blocos e sub-blocos. Ao mesmo tempo, os projetistas de circuitos estão projetando circuitos otimizados para células em nível de folha. (PALNITKAR, 2003).

Aplicando a metodologia ao projeto temos que o objetivo é a construção do CI para o monitoramento dos sinais vitais, este CI pode ser quebrado em 5 sub-blocos conforme a figura 3, dado a quantidade de membros para execução as divisões, sendo cada integrante responsável pelo desenvolvimento do bloco e o professor da integração dos trabalhos no nível mais acima da pirâmide. Além disso, ainda é possível fazer mais uma divisão dentro do próprio conversor tensão frequência continuando assim a aplicação da metodologia.

Apesar da boa aplicabilidade no projeto, deve-se sempre atentar que ao fazer o uso desta metodologia nem sempre os requisitos individuais de cada bloco conseguem satisfazer o desempenho do sistema como um todo (ZINKE, 2004), ou seja, apesar da maior capacidade de execução das tarefas por diferentes pessoas existe também uma maior probabilidade de ajuste ou retrabalho para resolver problemas com as integrações.

Outro aspecto a ser evidenciado é a estrutura em formato de árvore de ambas

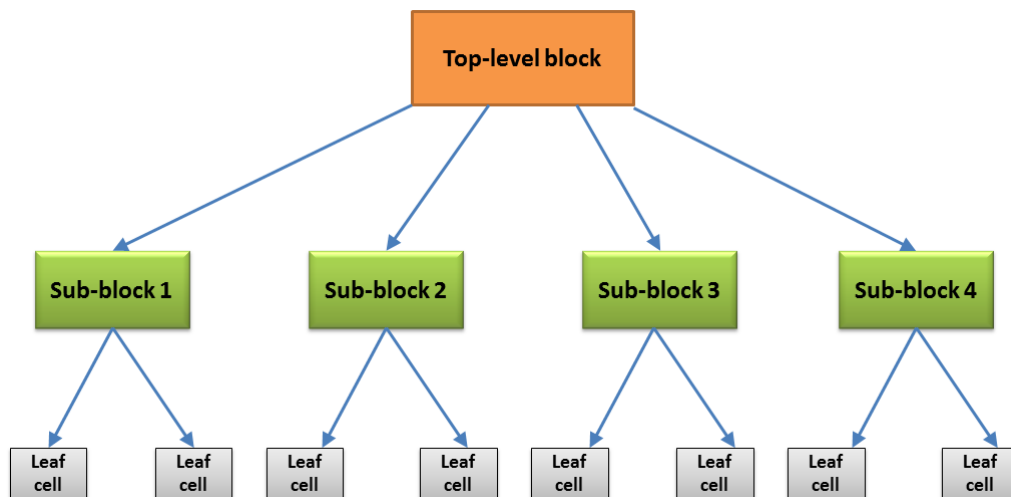


Figura 2 – Metodologia top down

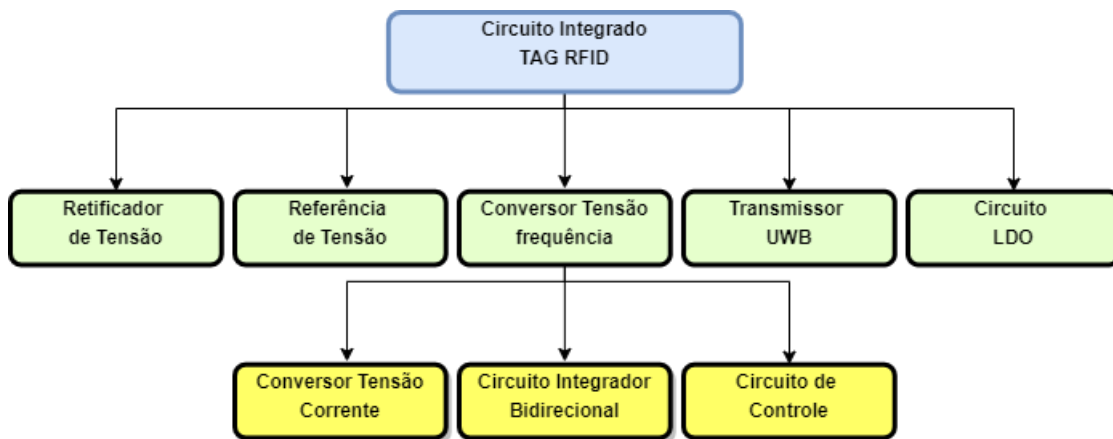


Figura 3 – Metodologia top down aplicada ao projeto

as figuras 2 e 3. Este formato demonstra dois aspectos: que existe uma lógica para o desenvolvimento do projeto e uma dependência entre certos blocos. Isso deixa claro que devem ser resolvidas todas as questões, de desenvolvimento e integração, de determinada ramificação antes de realizar o procedimento da camada superior.

2.2 Modelagem Verilog

"Verilog-A é um padrão de linguagem de descrição de hardware de alto nível que é um subconjunto da linguagem de modelagem de sinais mistos Verilog-AMS. É usado para descrever a estrutura e o comportamento dos sistemas analógicos. As declarações de Verilog-A podem ser usadas para descrever uma ampla gama de sistemas, tais como sistemas elétricos, mecânicos, dinâmicos de fluidos e termodinâmicos. Para especificar o comportamento de módulos individuais, relações matemáticas entre seus sinais de entrada e saída podem ser definidos.

O simulador Spectre é a ferramenta analógica de simulação de circuitos da Cadence ADE. A opção RF, SpectreRF, fornece simulação específica algoritmos para a análise e caracterização de componentes de RF, que pode incluir efeitos de conversão de frequência. Os componentes podem ser descritos no nível do circuito usando netlists ou esquemas. Modelos comportamentais podem ser usados para descrever níveis mais altos de abstração do design. Portanto, a simulação pode ser acelerada para avaliar rapidamente diferentes sistemas arquiteturas."(SPRINGER BOSTON, 2005)

Assim como descrito no trecho do livro (SPRINGER BOSTON, 2005) a modelagem em verilog tem como o intuito descrever o comportamento esperado de um determinado sistema através das relações dos seus sinais de entrada e saída acelerando então a avaliação do sistema.

A utilização deste método no projeto foi um grande catalisador para a velocidade de desenvolvimento, dado que já se tinham previamente os resultados esperados de cada uma das simulações de cada sub-bloco. Fez-se suficiente somente realizar a confirmação dos resultados de simulação e o ajuste do modelo caso o mesmo se encontrasse fora da realidade.

2.3 Simulações ADS-Cadence

Dado os problemas enfrentados para acesso remoto as licenças do software *Cadence*, o projeto teve início no software *ADS*. O trabalho de pesquisa e simulação durou 7 semanas de acordo com o cronograma planejado. Os testes de todos circuitos foram realizados através da biblioteca TSMC (Taiwan Semiconductor Manufacturing Company) 0.18 até que as licenças do *Cadence* fossem liberadas. Assim que essa liberação chegou ao grupo de desenvolvimento, todo o projeto foi migrado para o novo software. Essa transição aconteceu de forma bastante satisfatória dado que o modelo de transistor utilizado comportou-se de forma bastante semelhante ao utilizado anteriormente.

Juntamente com a transição, um sistema de controle de versão também foi implantado ao projeto dado que existe uma interconexão das máquinas utilizadas no Centro de Tecnologia da Informação (CTI), assim era possível visualizar e editar os arquivos de cada um membros do time, o que foi um passo importante para o início da integração dos sistemas.

Logo, pode-se concluir que caso esta burocracia de liberação de licenças seja enfrentada no futuro uma boa alternativa para manter o progresso do desenvolvimento do design é o uso do software ADS.

3 Conversor Tensão Frequência

3.1 Visão geral

"Conversores de tensão em frequência (VFCs) são, por definição, osciladores de primeira ordem cuja entrada é uma tensão analógica V_{in} e sua saída é um sinal de frequência f_0 linearmente proporcional à sua tensão de entrada de acordo com a equação 3.1.

$$f_0 = k \cdot V_{in} \quad (3.1)$$

Muitas vezes são denominados como conversores digitais por causa de sua frequência analógica codificada na saída. Este sinal pode ser facilmente conectado a um microcontrolador usando-se de uma única porta digital, onde, para obter uma palavra digital, um código de frequência a conversão deve ser executado. VFCs são geralmente confundidos com osciladores controlados por tensão (VCOs), mas observe que VFCs têm especificações de desempenho diferentes e mais rigorosas: requisitos típicos são precisão de fator de alta escala e estabilidade com temperatura e tensão de alimentação, ampla faixa dinâmica e baixo erro de linearidade"(MURILLO; LOPEZ; PUEYO, 2013)

Sobre a categorização dos VTFs de acordo com a literatura existem dois tipos de arquitetura mais comuns: o multivibrador VFC e o VFC de equilíbrio de carga. Os dois atuam no mesmo princípio de carga e descarga de um capacitor, porém o multivibrador possui tensões limiares que fazem o chaveamento de transistores realizando a carga e descarga. Já o de equilíbrio de carga possui um circuito de controle que fixa esse tempo de carga ou descarga. O consumo de potência do primeiro tipo é menor e a acuracidade do segundo tipo é maior, assim como tudo na engenharia temos uma relação ganho e perda.

Foi-se optado no desenvolvimento de um VFC multivibrador, devido o seu menor consumo de potência e formato de onda de saída quadrada com ciclo de trabalho em 50%. Um diagrama de blocos, mostrando a composição de um VTF, pode ser observado na figura 4

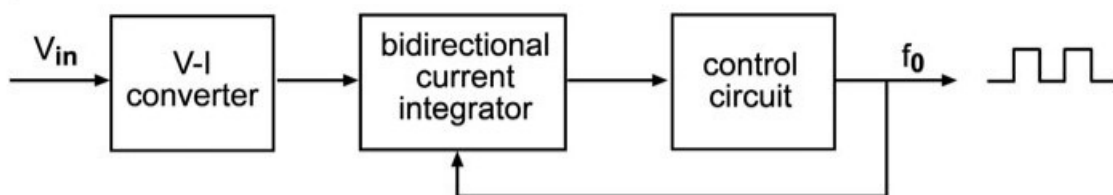


Figura 4 – Diagrama de blocos VTF. Fonte: (MURILLO; LOPEZ; PUEYO, 2013)

Resumidamente pode-se definir o funcionamento do circuito da seguinte maneira: a tensão de entrada (V_{in}) é convertida em uma corrente através a transcondutância produzida no primeiro bloco (*V-I converter*). Essa corrente proporcional é copiada para o segundo bloco através de um espelho de corrente. O segundo bloco (*bidirectional current integrator*) é responsável pela carga ou descarga do capacitor e o intervalo de tempo dessa ação é definido pela intensidade desta corrente, ou seja, quanto maior for a tensão de entrada V_{IN} mais rápido será dado a realização da carga e descarga do capacitor e o contrário também se faz verdade. Finalizando o último bloco tem como função monitorar e realizar o controle do sentido da corrente do bloco anterior. Essa informação é obtida através de comparadores que monitoram a carga do capacitor, e dado o rompimento do limite de tensão pre estabelecido, um sinal é enviado ao bloco anterior ordenando a troca do sentido da corrente de carga e descarga.

A relação entre frequência de saída e tensão de entrada é dada na expressão 3.1. Uma visão em termos de circuitos pode ser vista na figura 5, juntamente com as formas de onda esperadas na saída do integrador e do bloco de controle.

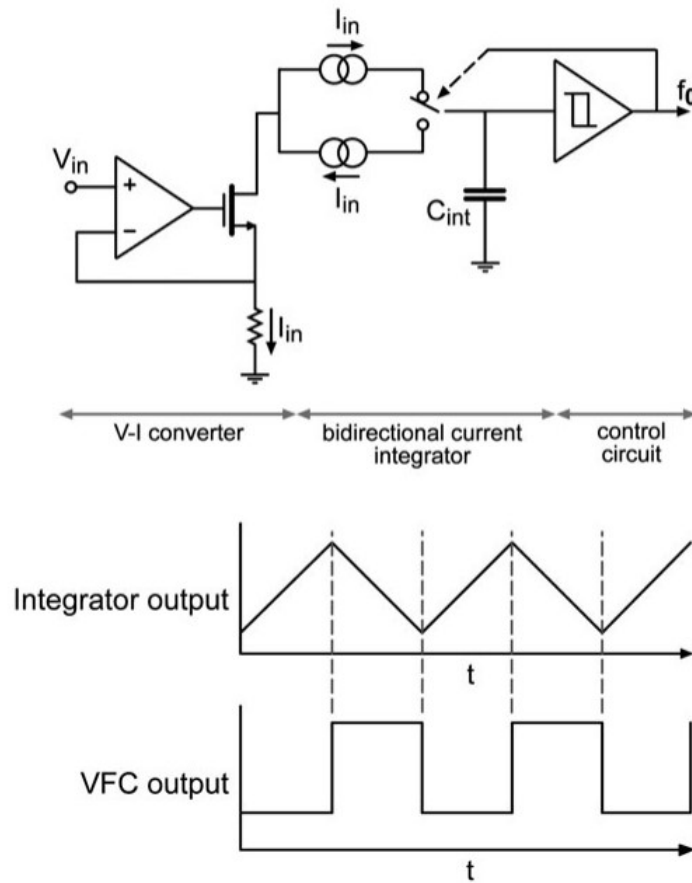


Figura 5 – Detalhamento do bloco VTF e forma de onda de saída. Fonte: (MURILLO; LOPEZ; PUEYO, 2013)

3.2 Conversor Tensão Corrente

O conversor tensão corrente (V-I) é o estágio de entrada do VFC. Esta célula básica possui aplicabilidade em muitos projetos de sinais analógicos e mistos, como por exemplo: multiplicadores, conversores de dados, interfaces de sensor de alto desempenho e amplificadores de ganho variável. É fundamental que este circuito possua uma transcondutância (g_m) linear e uma faixa de tensão de entrada adequada dado que o desempenho do restante do projeto irar depender muito dos recursos do conversor V-I.(MURILLO; LOPEZ; PUEYO, 2013).

O circuito proposto neste trabalho pode ser visualizado na figura 6. A ideia por trás de seu funcionamento é gerar uma corrente que esteja relacionada linearmente com a tensão de entrada. No caso deste projeto a tensão de entrada será proveniente da retificação de tensão dos batimentos cardíacos e respiração do usuário da Tag RFID, que consequentemente será convertida numa frequência pelo circuito VTF. (LYU; WANG; BABAKHANI, 2020)

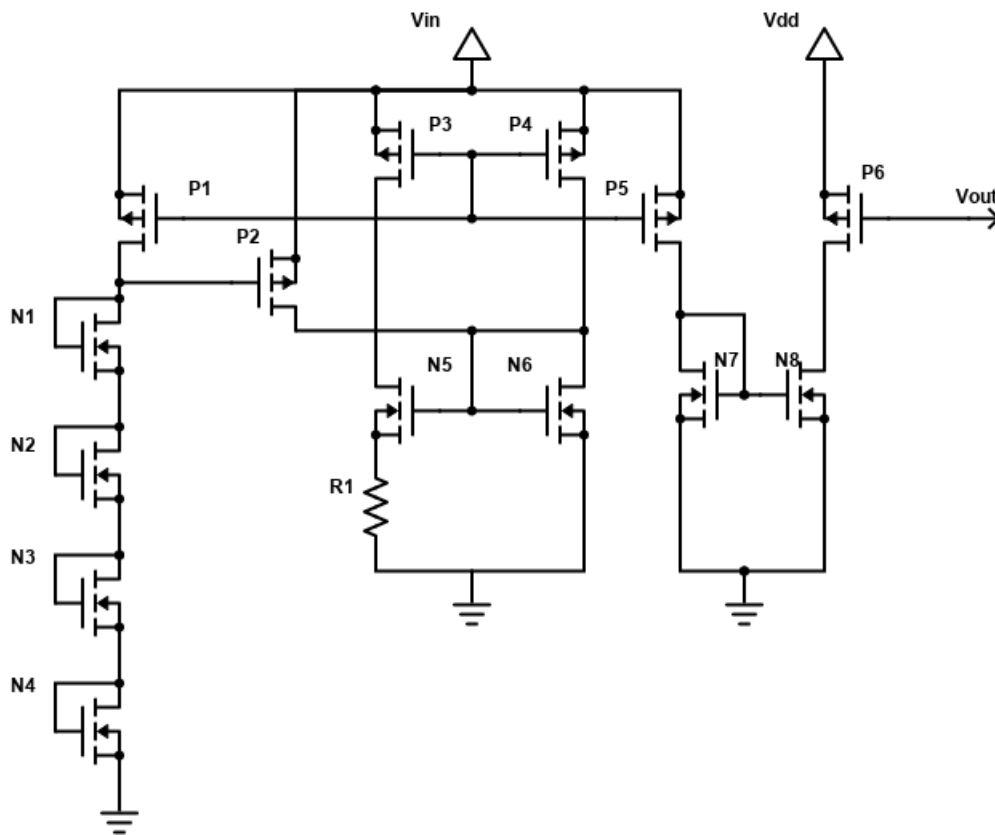


Figura 6 – Diagrama esquemático Conversor Tensão Corrente

Dado que a tensão do bloco irar variar de acordo com os sinais vitais do paciente, pode-se explicar o funcionamento do circuito da seguinte maneira: a tensão do nó da

base do transistor $P2$ é regulada por uma cadeia de transistores conectados em série na configuração de diodo, ou seja, o ramo dos transistores $N1$, $N2$, $N3$ e $N4$ forma um divisor de tensão ativo, e uma fração dessa divisão da tensão de alimentação V_{IN} fará a regulação da polarização do transistor $P2$, fazendo se assim a relação entre a entrada e a corrente conduzida no ramo do transistor $P2$.

Esta corrente do transistor $P2$ também passa pelo transistor $N6$ e é copiada para a polarização do transistor $N5$, cujo possui um resistor em seu dreno. Esta configuração do transistor $N5$ com resistor em seu dreno faz com que sua transcondutância seja dependente do valor deste resistor, sendo esta aproximadamente $\frac{1}{RS}$.

Portanto, $V_{GS,P2}$ é polarizado seguindo a tensão de V_{IN} , e $V_{GS,N6}$ também permanece proporcional a esta mudança dado estar localizado no mesmo ramo que $P2$. Assim a copia da polarização de $N6$ em $V_{GS,N5}$ converte, através da transcondutância, a variação da corrente de $P2$ e conseqüentemente a variação da tensão V_{IN} . Essa razão de proporcionalidade é expressa na equação 3.2.

$$V_{IN} \propto V_{GS,P2} \propto V_{GS,N6} = V_{GS,N5} \implies V_{IN} \propto g_{m,N5} \approx \frac{1}{RS} \quad (3.2)$$

Os transistores $P5$, $P6$, $N7$ e $N8$ foram utilizados como espelho de corrente para adequação da polarização do circuito seguinte.

Os valores das dimensões dos transistores utilizados são mostrados na tabela 1, dado o esquemático da figura 6.

Nome do componente	Dimensões (W/L) [μm]
P3, P4, P5, N7, N8	0.22 / 20
P1, N1, N2, N3, N4	1 / 5
N5, N6	20 / 60
P6	45 / 1.2

Tabela 1 – Dimensões dos transistores Conversor Tensão frequência

Existem alguns aspectos importantes na realização do projeto deste tipo de circuito que devem ser evidenciados. Primeiramente, existe uma relação proporcional entre a faixa de corrente de saída e o consumo de potência do circuito, quanto maior for essa faixa mais potência será necessária, lembrando que esta faixa poderá ditar os limites das frequências máxima e mínima do VTF.

Outro ponto é a questão da linearidade e sua relação com a transcondutância. Dado que o objetivo é obter uma faixa o mais linear possível os transistores utilizados devem ser mais cumpridos, ou seja, com a relação W/L pequena assim evitando o efeito de canal curto e aumentando a linearidade. Porém isso acarreta em uma perda no valor do ganho e conseqüentemente na transcondutância, o que torna a faixa de corrente de saída do

circuito menor. Além deste, outro parâmetro que possui um comportamento semelhante é o resistor, que de acordo com seu tamanho pode ajudar na questão da linearidade porém com a mesma perda de transcondutância.

Conclui-se que nesta topologia, deve-se tomar bastante cautela com essas relações de ganho e perda pois ao ajustar algum parâmetro outro pode ser prejudicado.

3.3 Integrador de Corrente Bidirecional

O integrador de corrente bidirecional consiste em um circuito de temporização, responsável pela ação de realizar a carga e descarga de um capacitor (C), dado que a corrente para essa carga e descarga é proveniente de uma cópia do bloco anterior.

Para controlar o processo o sentido de carga e descarga é introduzido, após o integrador de corrente bidirecional, um circuito de controle que faz a leitura da tensão do capacitor e o compara com um limite superior V_H e um limite inferior V_L de tensão pre estabelecidos no próprio circuito. Quando a tensão do capacitor atinge algum desses limites, o circuito de controle é acionado de forma a realizar a troca. Um diagrama de blocos pode ser visto na figura 7, onde as chaves SW_1 e SW_2 representam o acionamento da carga e da descarga do capacitor.

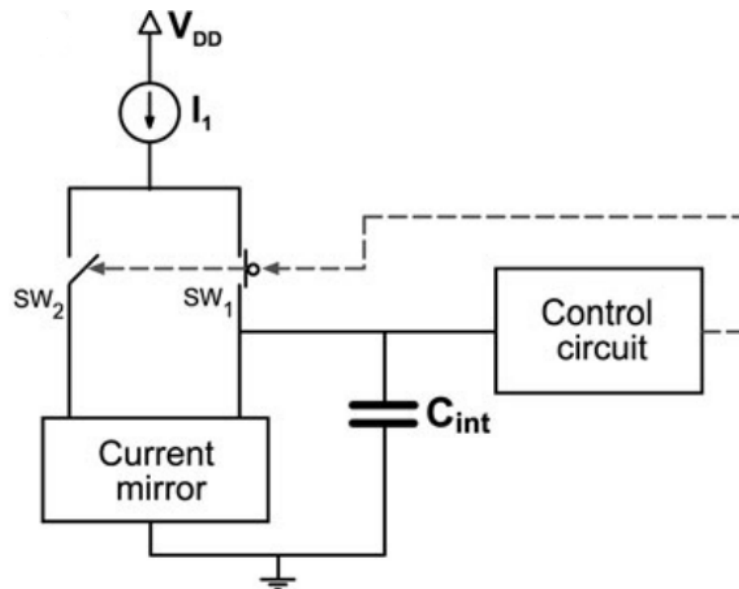


Figura 7 – Diagrama de Blocos Integrador de Corrente bidirecional e Circuito de Controle.
Fonte: (MURILLO; LOPEZ; PUEYO, 2013)

Exemplificando o processo utilizando do esquemático da figura 8, suponha que o capacitor está inicialmente descarregado, e a saída do circuito de controle é tal que o transistor P5 conduz corrente alimentando o capacitor, desconsidere os transistores P2 e P3, sendo somente o transistor P1 a nossa cópia de corrente do conversor tensão corrente.

O capacitor é carregado linearmente com uma corrente constante, sendo o comportamento de a tensão através do capacitor V_{out} dada pela equação 3.3, onde V_0 é a tensão através do capacitor em $t = 0$.

$$V_{out}(t) = V_0 + \frac{It}{C_1} \quad (3.3)$$

Quando V_{out} atinge o limite de tensão superior V_H , do circuito de controle, o sinal S_{up} é invertido de modo que o transistor P5 se abre e o sinal S_{dw} é acionado para ligar o transistor P4, passando a conduzir a corrente e descarregando o capacitor linearmente. Quando V_{out} atinge o limite inferior V_L , os sinal dos transistores P4 e P5 são invertidos novamente iniciando a etapa de carregamento. As fases de carga / descarga são infinitamente repetidas, deixando o circuito em operação estável. A equação 3.4 representa o tempo necessário para carregar / descarregar o capacitor entre os limites V_H e V_L .

$$t = \frac{T}{2} = \frac{C_{int}(V_H - V_L)}{I} \quad (3.4)$$

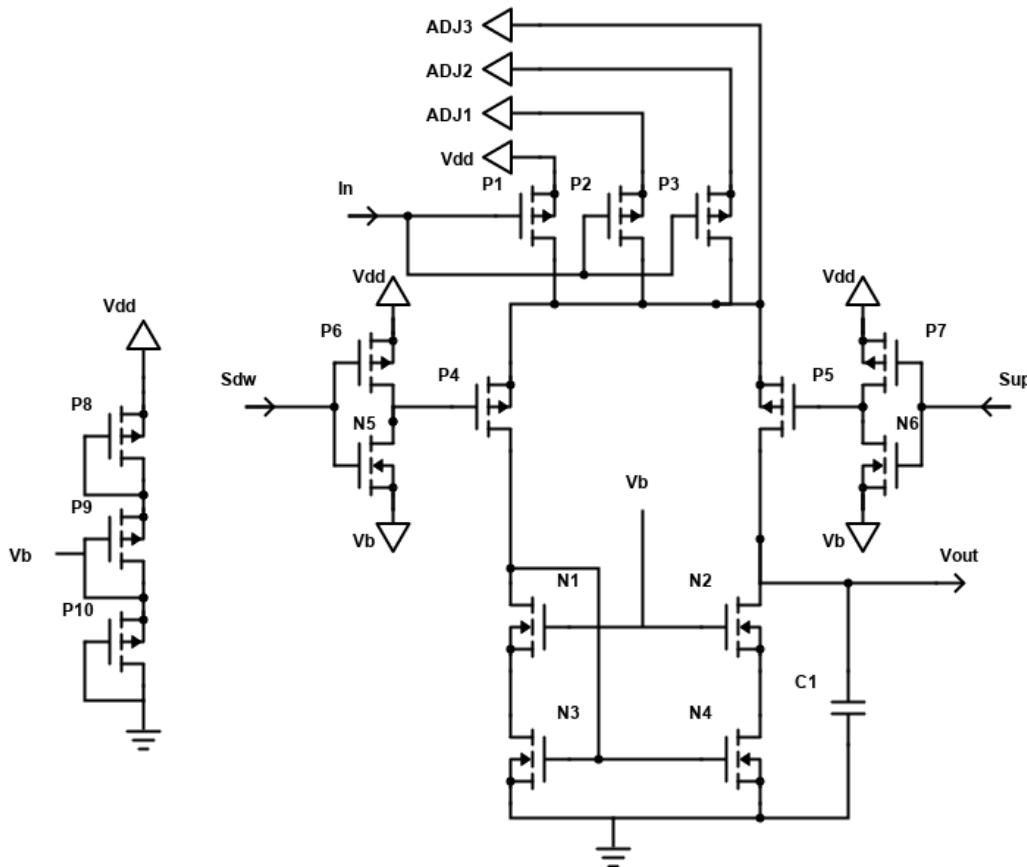


Figura 8 – Diagrama esquemático Integrador de Corrente bidirecional

Para o menor consumo de potência pode-se observar que os inversores mostrados na figura 8 estão sendo chaveados entre V_{dd} e V_b ao invés de V_{dd} e terra, isso auxilia no consumo dado que o tempo de transição do chaveamento será menor. Também pode-se notar os transistores N1 e N2 polarizados com a mesma tensão V_b , o objetivo é o mesmo, manter-los ligados com o mínimo de tensão para o menor gasto energético.

Na proposta inicial somente o transistor P1 fazia a copia da corrente do bloco anterior, porem para um ajuste de múltiplas faixas de carga e descarga foram adicionados os transistores P2 e P3 juntamente com os sinais de ajuste ADJ1, ADJ2 e ADJ3. Estes sinais são pinos externos do chip e os transistores possuem a relação de W/L maior, assim existe a possibilidade de fazer a ligação destes sinais com o V_{dd} do circuito e logo se obter múltiplas faixas de frequência de oscilação do circuito VTF, e mantendo a linearidade criada no conversor tensão corrente.

Os valores das dimensões dos transistores utilizados são mostrados na tabela 2, dado o esquemático da figura 8.

Nome do componente	Dimensões (W/L) [μm]
P4, P5, N1, N2, N3, N4	15 / 1.2
P6, P7	0.3 / 0.18
N5, N6	0.22 / 0.18
P8, P9, P10	1 / 5
P1	0.22 / 2
P2	4.5 / 2
P3	55 / 2
C1	7 pf

Tabela 2 – Dimensões dos transistores Integrador de Corrente bidirecional

3.4 Circuito de Controle

Seguindo a metodologia de trabalho, o circuito de controle pode ser subdivido em dois componentes menores, sendo eles: um latch \overline{SR} e dois comparadores de tensão (*Voltage window comparators (VWC)*) conforme a mostra a figura 9. O objetivo deste conjunto é realizar a medição da tensão do capacitor, do circuito integrador de corrente bidirecional, e determinar a sua função de operação, no caso, se será de carga ou descarga e também de prover um sinal de saída digital dado essa operação de medição de tensão do capacitor.

3.4.1 Latch S-R

Um latch é tipo de dispositivo de armazenamento de dados, ele possui dois estados de saída estáveis (biestável) e , apesar de parecido, é colocado numa categoria diferente dos

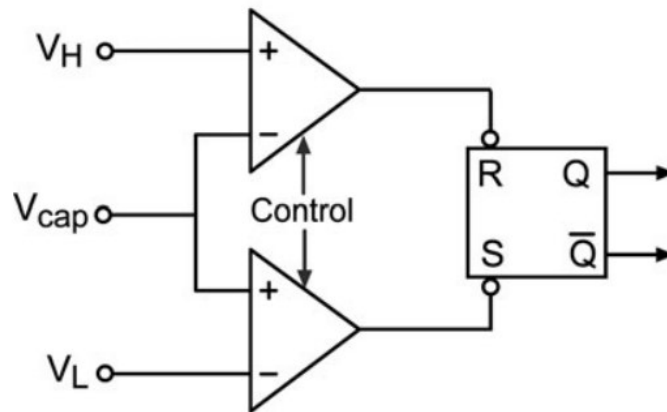


Figura 9 – Diagrama de blocos circuito de controle. Fonte: (MURILLO; LOPEZ; PUEYO, 2013)

flip-flops. Latches são parecidos com flip-flops devido ambos possuírem essa característica de dispositivo biestável, sendo a principal diferença entre eles é o método utilizado para realização desta troca de estado (FLOYD, 2015).

De maneira básica, podemos diferenciar os dois dispositivos dado sua relação de sincronia entre a suas entradas e suas saídas. Enquanto o flip-flop é um dispositivo síncrono, ou seja, depende de um sinal de ativação para realizar a mudança de estado de sua saída o latch altera suas saídas sincronamente com as mudanças na entrada. Essas características não tornam um dispositivo melhor que o outro, elas apenas diversificam os tipos de escolha possíveis na hora do desenvolvimento de um projeto.

Com o foco somente nos latches, de acordo com o tipo de acionamento necessário, sendo este em nível lógico alto ou em nível lógico baixo, pode-se fazer a escolha entre dois tipos. No caso da ativação em nível lógico alto tem-se o latch formado pela ligação cruzada de duas portas lógicas NOR, já no acionamento em nível lógico baixo o latch se dá pela junção cruzada de duas portas lógicas NAND. Ambas configurações são mostradas na figura 10.

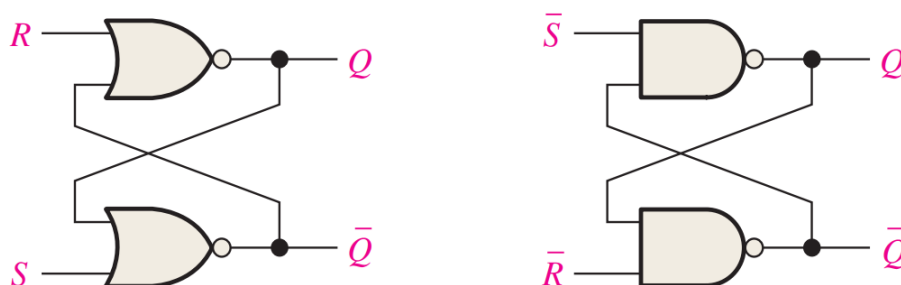


Figura 10 – Diagrama esquemático latch NOR e latch NAND. Fonte (FLOYD, 2015)

Com o auxílio da tabela 3 e da figura 10, e utilizando-se do latch NOR, pode-se

explicar o funcionamento do circuito dado que os sinais S e R são sinais de entrada e Q e \overline{Q} são as saídas, sendo estas últimas responsáveis pelo armazenamento da informação.

Set (S)	Reset (R)	Q	\overline{Q}
0	0	Sem mudança	Sem mudança
0	1	0	1
1	0	1	0
1	1	Inválido	Inválido

Tabela 3 – Tabela verdade latch NOR

Primeiro, deve-se assumir que ambas entradas estão em nível lógico baixo e que o sinal Q se encontra positivo, dado que esta é a configuração padrão do dispositivo. A realimentação do sinal Q na porta NOR de S, garante que \overline{Q} se encontra obrigatoriamente em nível baixo, e a realimentação da porta \overline{Q} em R, garante que o sinal Q continue em seu estado positivo, dado o funcionamento da porta NOR.

A partir do momento que temos o acionamento de um pulso do SET ou do RESET, para o nível lógico alto, essas realimentações garantem que a saída oposta obedeça a relação da tabela 3, isso levando em consideração um atraso de atualização do sinal de saída, Q ou \overline{Q} , na entrada de sua porta contrária. Este sinal se mantém por tempo indeterminado até que seja feito o acionamento do SET ou do RESET novamente.

Este é o motivo da relação SET e RESET ligados simultaneamente ser um estado inválido, pois com o acionamento de ambas entradas as saídas tentarão subir para o nível lógico alto, e dado que sempre existe uma diferença na propagação do atraso das portas lógicas, alguma entrada será forçada para o nível baixo primeiramente, causando uma indeterminação na definição do próximo sinal.

Neste projeto, a determinação da escolha entre o latch NOR ou o latch NAND, dar-se pela quantidade de inversores utilizados no comparador de tensão, no qual será explicado posteriormente. Isso ocorre pois, dependendo da escolha da máxima frequência de saída do VTF, os transistores necessitarão ser otimizados para o funcionamento nesta faixa. Esse ajuste pode ser dado com a adição de inversores nas saídas dos comparadores e dependendo da quantidade utilizada a lógica de acionamento pode ser alterada de acionamento positivo para acionamento negativo, justificando a escolha do latch.

Nome do componente	Dimensões (W/L) [μm]
N1, N2, N3, N4	1 / 0.18
P1, P2, P3, P4	3 / 0.18

Tabela 4 – Dimensões dos transistores latch NOR

Um esquemático do latch NOR pode ser visualizado na figura 11 e as dimensões dos transistores utilizados estão localizadas na tabela 4.

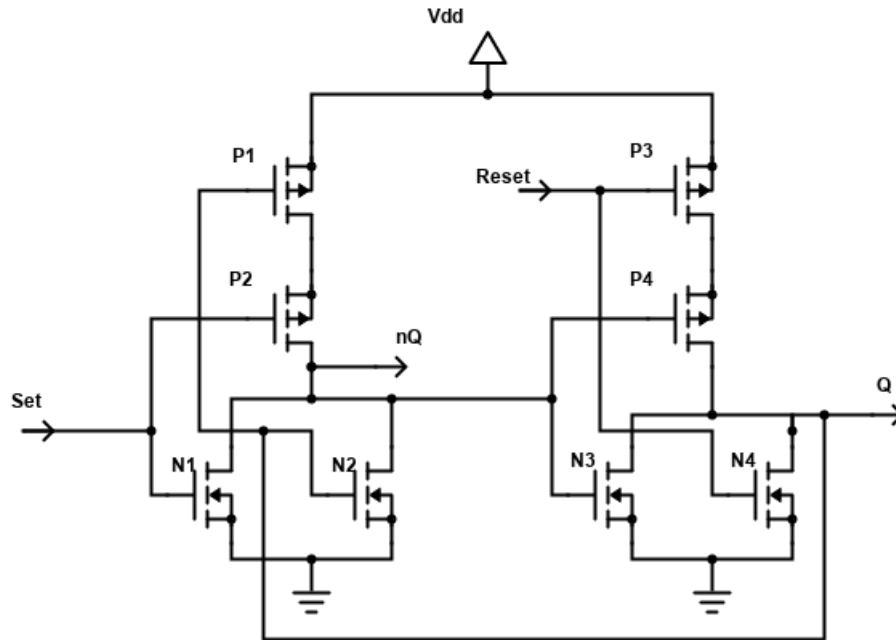


Figura 11 – Diagrama esquemático latch NOR

3.4.2 Comparadores de tensão

Segundo Charles K. Alexander ([ALEXANDER; SADIKU; NASCIMENTO, 2013](#)), um amplificador operacional (AmpOp) é um circuito ativo de grande importância em projetos eletrônicos, pois através do dispositivo é possível realizar operações matemáticas tais como: adição de sinais, amplificação de sinais, integração e diferenciação, e é por essa versatilidade de operações que o circuito recebe o nome de AmpOp.

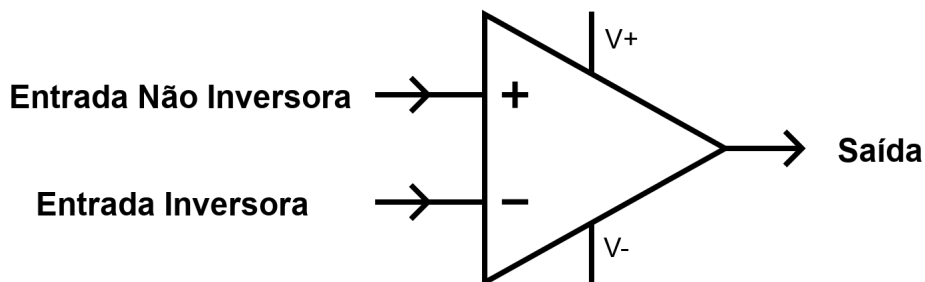


Figura 12 – Diagrama esquemático AmpOp

O AmpOp possui duas entradas, uma inversora e outra não inversora, e uma saída, além dos seus dois pinos de alimentação, conforme mostra a figura 12. Apesar de

sua grande flexibilidade, foi-se utilizado o modo mais elementar neste projeto no qual o intuito é apenas realizar a comparação entre os dois sinais de entrada.

$$V_{saída} = \begin{cases} +V_{SAT} & , \text{ quando } V_{N\grave{a}oInversora} > V_{Inversora} \\ -V_{SAT} & , \text{ quando } V_{Inversora} < V_{N\grave{a}oInversora} \end{cases} \quad (3.5)$$

O comportamento do AmpOp utilizado como comparador é expresso na equação 3.5, onde a diferença de tensão das entradas inversora e não inversora determinará o sinal de saída, sendo $+V_{SAT}$ e $-V_{SAT}$ as tensões de saturação do AmpOp, ou seja, as tensões de alimentação positiva e negativa respectivamente, mostradas na figura 12.

De acordo com a referência da figura 9, mostrada no início do sub capítulo, o funcionamento do circuito de controle pode ser descrito da seguinte maneira: a tensão de entrada V_{cap} alimenta a entrada de dois comparadores, sendo o primeiro a entrada positiva e o segundo a entrada negativa. Logo uma comparação é realizada entre o sinal V_{cap} e outras duas tensões de referencia V_H e V_L , sendo estas ultimas, definidas como frações da tensão de alimentação do circuito.

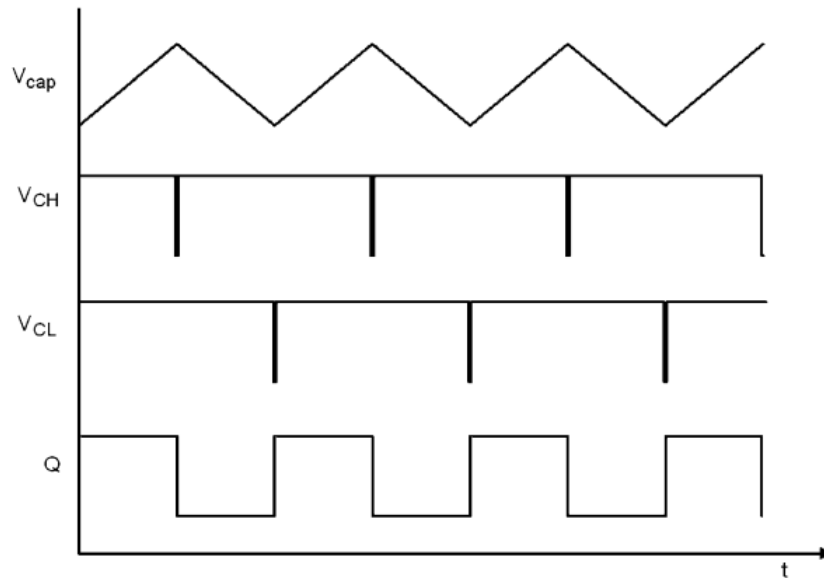


Figura 13 – Resposta transiente dos sinais V_{cap} , V_{CH} , V_{CL} e Q . Fonte: (MURILLO; LOPEZ; PUEYO, 2013)

A partir do momento que V_{cap} ultrapassa V_H positivamente ou V_{cap} ultrapassa V_L negativamente, dado a relação mostrada na equação 3.5, a saída do comparador é alterada chaveando o latch, e conseqüentemente, setando ou resetando o sinal de saída. Esta ação ocasiona uma troca no sentido da carga do capacitor, dado que existe uma realimentação dos sinais do latch nos transistores P4 e P5 da figura 8. Essa descarga do capacitor é justamente a diminuição da tensão V_{cap} que faz com que o comparador

saia rapidamente da sua tensão de saturação até que seja atingido o limite de tensão do acionamento oposto. Assim este processo ocorre indefinidamente: o capacitor carrega até a tensão V_H , o seu sentido de carga é trocado, ele atinge o limite de tensão V_L e sua carga é iniciada novamente. As formas de onda esperadas neste processo são mostradas na figura 13, sendo V_{CH} e V_{CL} as saídas dos comparadores V_H e V_L respectivamente., pode-se perceber que o latch utilizado nestas imagem é do tipo NAND dado que seu acionamento está sendo feito em nível lógico baixo.

O diagrama esquemático do circuito utilizado pode ser visualizado na figura 14 e logo em seguida na tabela 5 as dimensões dos transistores utilizados.

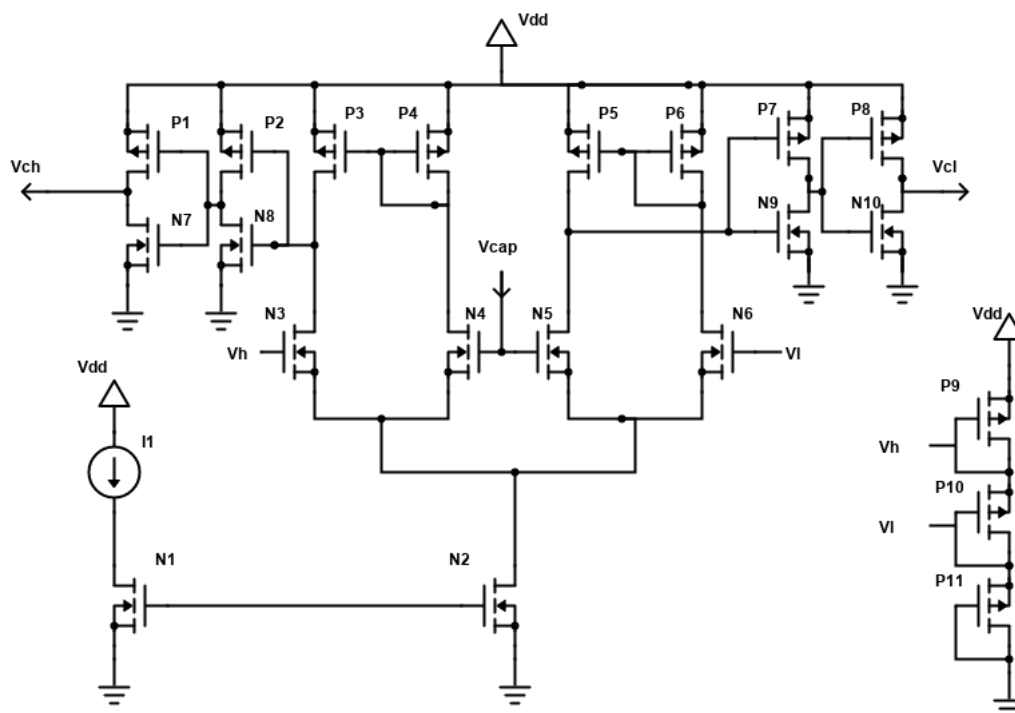


Figura 14 – Diagrama esquemático circuito de controle

Nome do componente	Dimensões (W/L) [μm]
P1, P2, P7, P8, N7, N8, N9, N10	0.22 / 0.18
P3, P4, P5, P6	0.5 / 4.5
N3, N4, N5, N6	0.8 / 1
P9, P10, P11	1 / 5
N2	0.22 / 2
N1	10 / 1

Tabela 5 – Dimensões dos transistores do circuito de controle

Alguns aspectos importantes podem ser notados no diagrama da figura 14. Primeiramente o referencial de tensão foi criado através do uso de transistores cascateados em

forma de diodo, assim eles acabam realizando a função de resistor e dividindo a tensão em partes iguais dado as mesmas dimensões utilizadas. Vale ressaltar que existem diversas maneiras para a criação do referencial de tensão. Logo, dado os requisitos do projeto cabe ao projetista a escolha do melhor método para a criação destas tensões.

Assim como informado na seção anterior, foi-se feito o uso de dois inversores na saída dos comparadores de tensão. Se faz necessário o uso desses inversores dado que: eles auxiliam no ganho do estágio como um todo, eles proporcionam um driver de corrente no bloco subsequente e também aumentam a capacidade na velocidade de chaveamento do circuito. O ganho do comparador mais os inversores é expresso na equação 3.6.

$$A_v = \frac{g_{mN4}}{r_{0N4} + r_{0P4}} \cdot \frac{-(g_{mP} + g_{mN})^2}{(r_{0P} + r_{0N})^2} \quad (3.6)$$

A quantidade de inversores utilizados irar afetar o consumo de potencia do circuito, logo os comparadores devem ser projetados mantendo, a faixa de frequência da saída do circuito, dentro da sua faixa de ganho linear, não fazendo a utilização de uma quantidade grande de inversores. A frequência máxima de saída é expressa pela equação 3.7.

$$f_0 = \frac{I_{N2}}{2 \cdot C_1(V_H - V_L)} \quad (3.7)$$

4 Resultados de Simulação

Os resultados de simulação foram adquiridos com a utilização da tecnologia TSMC 0.18 em dois softwares distintos Cadence e ADS, sendo que os resultados do último podem ser visualizados no apêndice B isso para evitar a duplicidade de imagens com a mesma informação. A fonte de alimentação utilizada em ambos simuladores foi de 1.2V e com consumo máximo do bloco como um todo foi de 17.7 μ W. Na figura 15, pode-se visualizar o esquemático do circuito VTF por completo, essa imagem servira como base para os levantamentos a seguir.

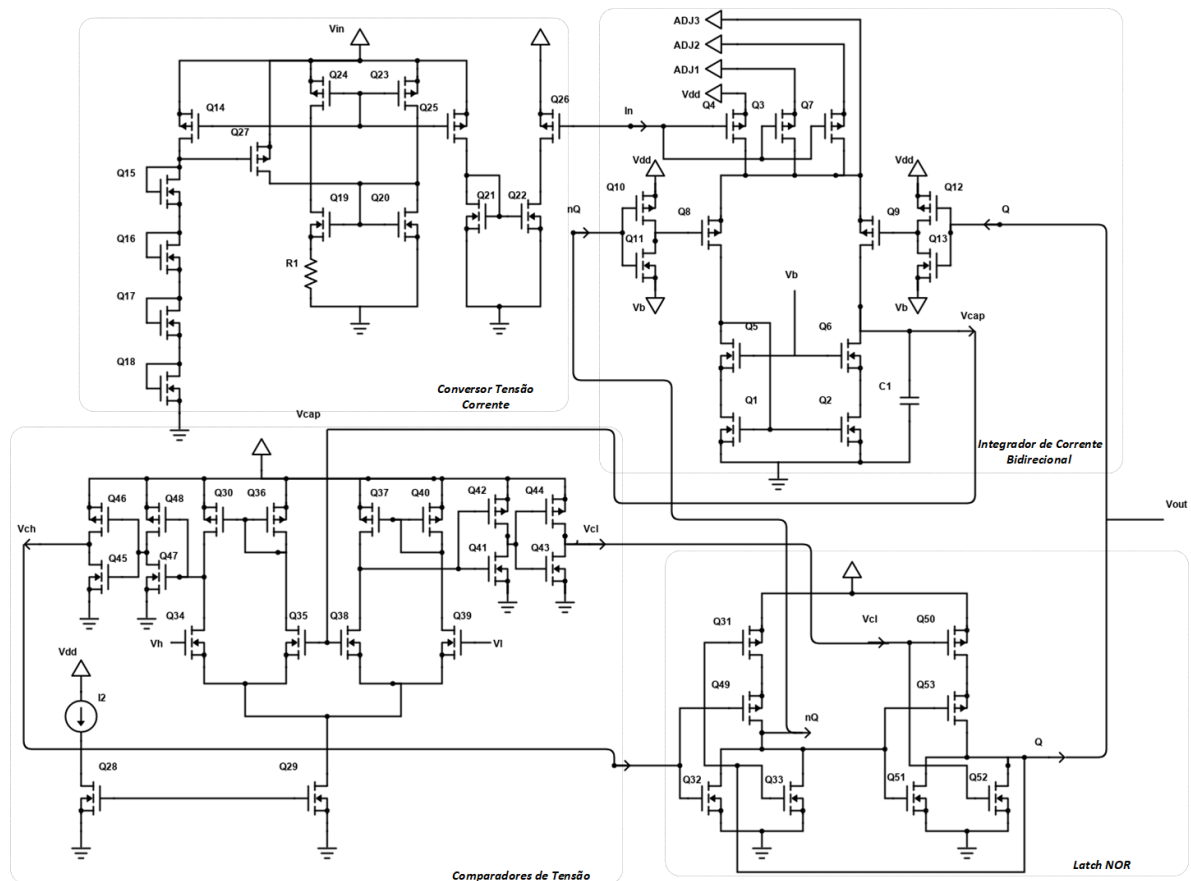


Figura 15 – Esquemático circuito VTF

O alcance da frequência de oscilação do circuito VTF pode ser ajustada em 3 faixas distintas, sendo elas:

- 130 Hz a 940 Hz
- 1.2 KHz a 9.0 KHz
- 13.7 KHz a 99.5 KHz

A mudança no alcance da frequência é realizada através de uma cópia adicional do referencial de corrente fornecido pelo conversor tensão corrente. As proporções do transistor que faz esta cópia foram alteradas de forma a introduzir mais corrente no circuito do capacitor, aumentando assim a sua velocidade de carga e descarga. Isto ocorre sem a perda na linearidade criada pelo bloco anterior dado que apenas um múltiplo da corrente foi adicionado.

Estes mudanças da faixa de operação do sinal de saída são realizadas através da ligação dos pinos adj1 e adj2 a tensão de alimentação. Estes pinos são pinos externos do chip e estão localizados no circuito integrador de corrente bidirecional conforme mostrado na figura 15. O ajuste do alcance de operação da frequência de saída foi projetado desta maneira para que ocorra um estudo na otimização entre frequência de saída e consumo de potência, também tornando possível a reutilização do oscilador em futuros projetos.

4.1 Conversor tensão corrente

Para o conversor tensão corrente o resultado da relação da tensão de entrada com a corrente de saída é apresentado na figura 16. Além de ser o circuito de entrada do VTF, este circuito possui grande importância na caracterização geral do conjunto e é através deste primeiro resultado que os demais blocos devem ser projetados.

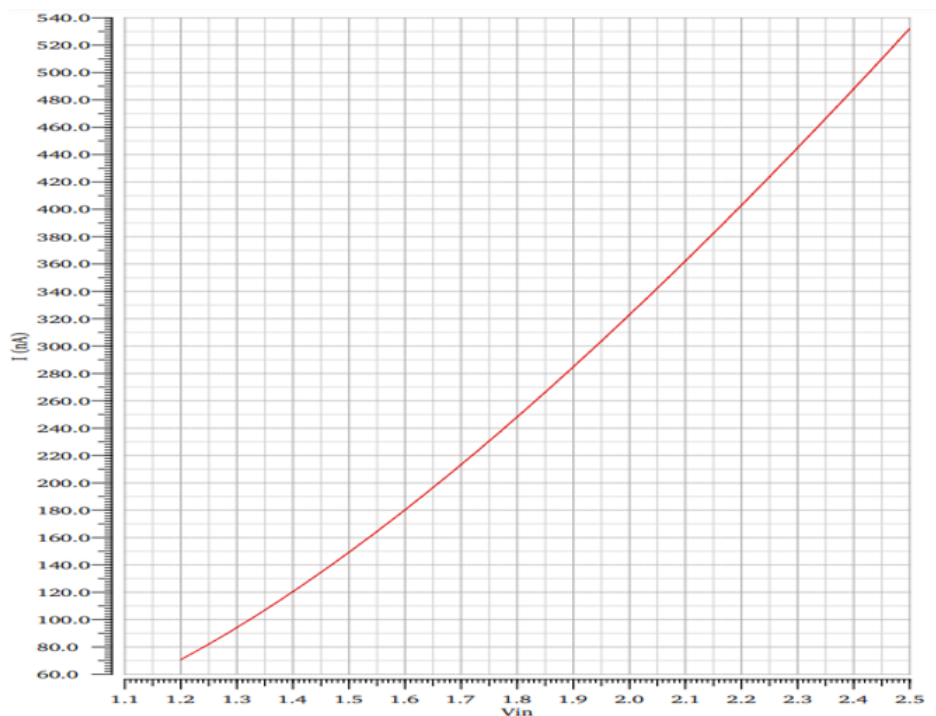


Figura 16 – Relação da transcondutância do bloco conversor tensão corrente - Cadence

Dado que a corrente de carga e descarga do capacitor é uma cópia dessa relação de transcondutância, os parâmetros relacionados a linearidade, alcance de frequência de saída

do VTF e consumo de potência serão todos derivados desse primeiro circuito. Ou seja, um conversor mal projetado acarretará numa curva pouco linear, com um alto consumo de potência e com um alcance de entrada limitado, o que se traduz em dificuldades para o projeto dos demais circuitos dado a relação de dependência criado nas cópias de corrente.

4.2 Circuito de Controle e Integrador de Corrente

Na figura 17, tem-se a relação entre o sinal de controle e o chaveamento do latch. Analizando a mesma imagem temos o sinal de set em cinza e o sinal de reset em vermelho. Pode-se notar que os chaveamentos ocorrem de forma esperada dado o que os acionamentos do chaveamento são respeitados pelo sinal de saída, representado em verde.

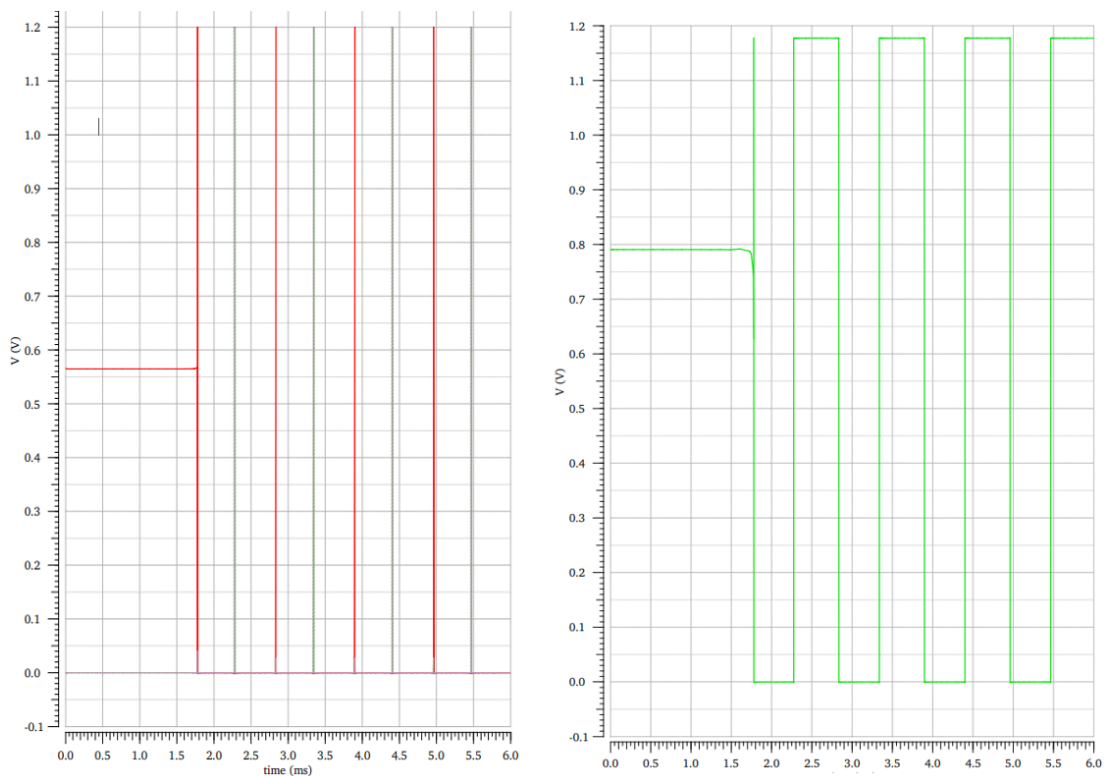


Figura 17 – Relação do chaveamento do bloco de controle - Cadence

Seguindo a mesma lógica de relacionar o sinal analisado com o sinal de saída, na figura 18 temos a forma de onda da tensão do capacitor. Diferentemente do gráfico anterior os sinais estão sobrepostos para melhor evidenciar a relação existente entre eles. Pode-se ver que os limites de tensão criados no circuito estão conforme o esperado e que a carga do capacitor se dá de forma igual, tanto no tempo de subida quanto no tempo de descida.

Vale evidenciar que a partir do momento que o capacitor cruza algum dos limites de tensão, temos o acionamento mostrado na figura 17, ou seja, ambos os sinais estão relacionados sendo um consequência do outro.

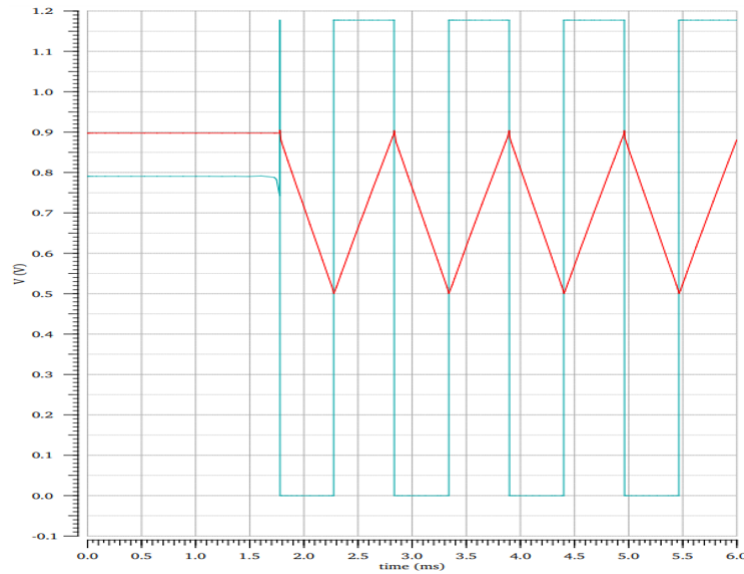


Figura 18 – Relação da tensão do capacitor ao sinal de saída - Cadence

4.3 Resultados e Especificações Finais

O resultado final do circuito VTF pode ser visualizado na tabela 6, aonde as principais características estão representadas.

Parâmetro	Cadence	ADS
Tecnologia	0.18 μm CMOS	0.18 μm CMOS
Tensão de alimentação	1.2V	1.2V
Alcance da tensão de entrada	1.2V - 2.5V	1.2V - 2.5V
Range da frequência de Saida	135Hz - 99.5KHz	200Hz - 125KHz
Sensibilidade	765.4KHz/V	961KHz/V
Desvio de Linearidade	0.76%	Não Calculado
Consumo máximo de potência	17.7 μW	11.5 μW

Tabela 6 – Tabela de caracterização do circuito

Dado que foram feitas as simulações em dois softwares diferentes pode-se notar que há uma certa divergência nos resultados encontrados. Isso deve-se ao fato da utilização de componentes ideais, como no caso do capacitor e o resistor, utilizados na simulação do ADS. O que não aconteceu no Cadence aonde todos os componentes utilizados tinham seus modelos provenientes da tecnologia utilizada. Esse fato dá mais validade aos resultados

obtidos através do Cadence, dado que os modelos dos componentes utilizados possuem uma maior veracidade com a realidade.

Finalizando, temos na figura 19 a relação entre a tensão de entrada e a frequência de saída do circuito VTF. Dado que a existência de três possíveis configurações para os ajustes na faixa de frequência de saída, também se é apresentado a relação para cada uma destas. Pode-se observar que ambos resultados são bastante semelhantes, isso deve-se ao fato de que, em todos os casos os ajustes são provenientes de uma cópia na corrente do bloco conversor tensão corrente mudando somente a multiplicidade desta copia.

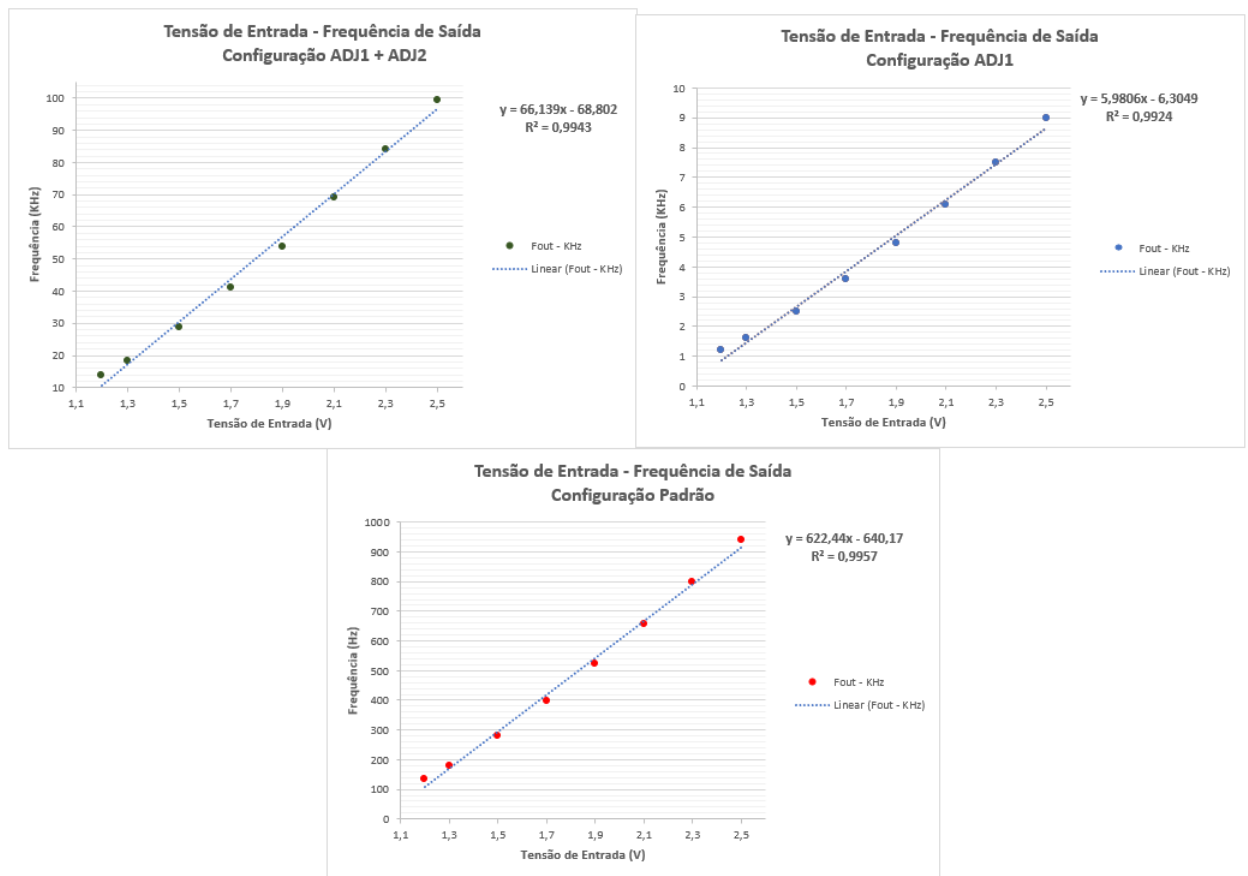


Figura 19 – Relação tensão de entrada e frequência de saída - Cadence

Outro ponto a ser evidenciado e a realização de um ajuste linear aos pontos coletados na simulação, é através deste ajuste que foi calculado a relação de linearidade apresentado na tabela 6.

Como visto na imagem temos a equação da reta que melhor se ajusta de forma a minimizar a distancia de cada um dos pontos (método dos mínimos quadrados), abaixo dela temos o coeficiente de determinação (R^2). Ele é calculado através da equação 4.1, aonde SS_{res} e SS_{tot} representam o somatório dos quadrados residuais e o total do somatório dos quadrados respectivamente.

$$R^2 = 1 - \frac{SS_{res}}{SS_{tot}} \quad (4.1)$$

Este coeficiente serve como medida de relação entre os dados e o ajuste aplicado. Sua variação se dá entre 0 e 1, sendo quanto mais próximo de 1 mais preditivo os dados são ao ponto de vista do modelo. No caso do projeto, este valor irá dizer quão próximo da linearidade nosso circuito chegou, dado que estamos utilizando uma reta como modelo de ajuste. Utilizando da equação 4.2, pode-se calcular este desvio de linearidade, usualmente ele é expresso em termos de porcentagem.

$$L_{erro} = 1 - R^2 \quad (4.2)$$

5 Layout do Circuito Integrado

Os circuitos integrados CMOS são fabricados em finas fatias circulares de silício chamadas wafers. Cada wafer contém vários (talvez centenas ou mesmo milhares) de chips individuais conhecidos como "die". Para fins de produção, cada molde em um wafer é geralmente idêntico, como visto na figura 20 (BAKER, 2010).

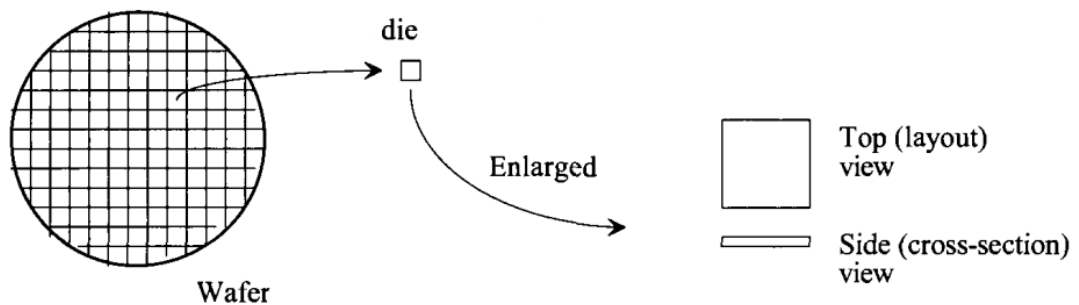


Figura 20 – Representação de um Wafer de silício. Fonte: (BAKER, 2010)

Usualmente o que se é visto dentro das placas de circuito impresso é o die encapsulado dentro de seu pacote (package). A conexão entre o package e o chip é feita através de fios, que são conectados uma de suas pontas no pad do CI e a outra no pedaço de metal no qual irar se encaixar a placa de circuito. Conforme mostrado na figura 21, o chip é fixado ao seu package através de uma resina epóxi.

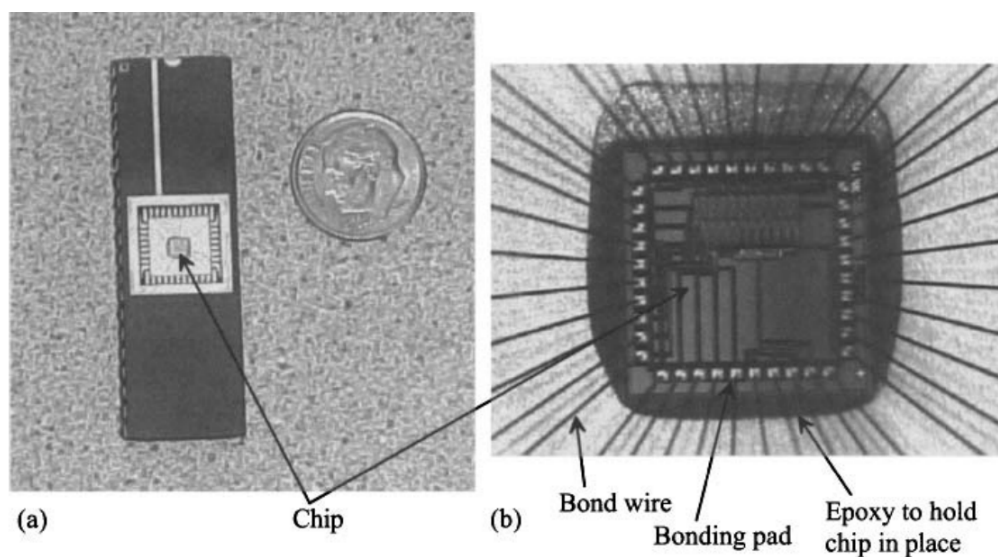


Figura 21 – Encapsulamento de um CI. Fonte: (BAKER, 2010)

Dado a explicação da fabricação de um CI e sua visualização dentro de seu package, pode-se definir melhor o que é e o layout. O mesmo pode ser definido como uma representação do esquemático do circuito em sua forma física, ou seja, todas as macros, células, portas, transistores, etc., com formas e tamanhos projetados por camada de fabricação são atribuídos a localizações espaciais e têm conexões de roteamento apropriadas concluídas em camadas de metal, oxido e semiconductor. O resultado do projeto físico é um conjunto de especificações de fabricação que devem ser verificadas posteriormente (KAHNG et al., 2011).

Todos os projetos de layout devem seguir regras que representam as limitações físicas do processo de fabricação, por exemplo, distancias mínimas entre as trilhas. Essas regras são dadas de acordo com a tecnologia do transistor utilizado no projeto. Geralmente se é disponibilizado um documento que serve como guia no qual são informados todas as peculiaridades necessárias para o projeto e produção do circuito.

Além destas regras, que impõem as limitações físicas do processo de fabricação, o posicionamento físico não adequado do layout pode acabar impactando diretamente na performance do circuito projetado, por exemplo, trilhas longas impactarão em sinais com maior atraso, ou posicionar módulos interligados distantes um do outro causara um chip com maior die e mais lento.

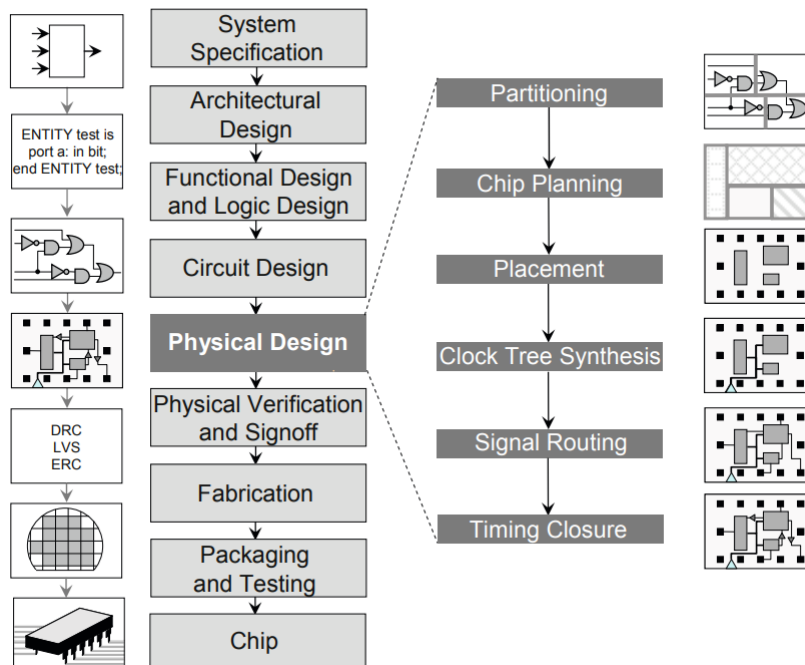


Figura 22 – Processo de desenvolvimento físico do circuito. Fonte: (BAKER, 2010)

Uma metodologia para o desenvolvimento da parte física do layout, pode ser vista na figura 22. Primeiramente são particionados os circuitos existentes e o espaço necessário para cada um deles dentro do chip, após ocorre o posicionamento das divisões iniciais e o

roteamento dos sinais e por fim a otimização da temporização para que o circuito opere de forma correta.

Após a conclusão do projeto físico, o layout deve ser totalmente verificado para garantir a funcionalidade elétrica e lógica. Alguns problemas encontrados durante a verificação física podem ser tolerados se seu impacto no rendimento do chip for insignificante. Caso contrário as alterações devem ser mínimas, para que os parâmetros da fase anterior já estabelecidos não sejam afetados. O processo de verificação pode ser listado, dado sua ordem de acontecimento, da seguinte maneira:

- Design Rule Checking (DRC) - verifica se o layout atende a todas as restrições impostas pela tecnologia.
- Layout vs. schematic (LVS) - verifica a funcionalidade do design. A partir do layout, uma netlist é gerada e comparada com a netlist original produzida a partir do projeto esquemático do circuito.
- Extração de parasitas - Verifica, como o próprio nome informa, os parâmetros elétricos dado o posicionamento geométrico dos componentes.
- Electrical rule checking (ERC) - verifica a exatidão da alimentação e do aterramento das conexões, e que os atrasos de transição do sinal e que as cargas capacitivas estão coerentes com o projetado.

Dado todo o desenvolvimento do layout físico e seus processos de verificação, o resultado obtido pode ser visualizado nas figuras adicionadas ao apêndice do documento. Estão listados todos os layouts do circuito VTF e também uma visão do chip por completo.

6 Roteiro de Testes

Sempre que um produto de Circuito Integrado (CI) é desenvolvido e fabricado, os três principais processos de engenharia necessários são:

- Projeto
- Fabricação
- Teste

Cada disciplina se preocupa principalmente em resolver um problema específico, e tratados principalmente como atividades separadas com um limite de interface limitado:

- A atividade de projeto está principalmente preocupada em obter a especificação do CI e traduzir todas estas especificações em circuitos de trabalho de modo a atender todas necessidades. A conclusão deste é um projeto totalmente desenvolvido que foi avaliado em simulação e está em um formato utilizado pelas empresas de fabricação.
- A atividade de fabricação está principalmente preocupada transformar o projeto anterior em um CI físico utilizando dos processos de fabricação disponíveis. A conclusão deste é um circuito fabricado, para ser fornecido no nível do wafe.
- A atividade de teste está principalmente preocupada em garantir com que o o circuito fabricado realmente atenda ao conjunto necessário de metas de desempenho (GROUT, 2005).

O objetivo desse capítulo é descrever o passo a passo da realização dos testes para a validação do projeto do circuito VTF. Primeiramente serão apresentados os dados do encapsulamento utilizado e da pinagem final do CI, apos o projeto do circuito impresso e finalmente o roteiro será apresentado.

6.1 Encapsulamento e Placa de Circuito Impresso

De acordo com o previsto inicialmente, o projeto do CI teria um total de 33 pinos. Logo, a ideia era posicionar os circuitos de cada um dos membros, num layout final, de forma que todos tenham acesso aos pontos de interesse de seus circuitos nas pinagens do encapsulamento. O layout pode ser visualizado na figura 23, juntamente com a numeração dos pinos de saída, o circuito VTF ficou com seus pontos de acesso localizado entre pinos 38 até o 45.

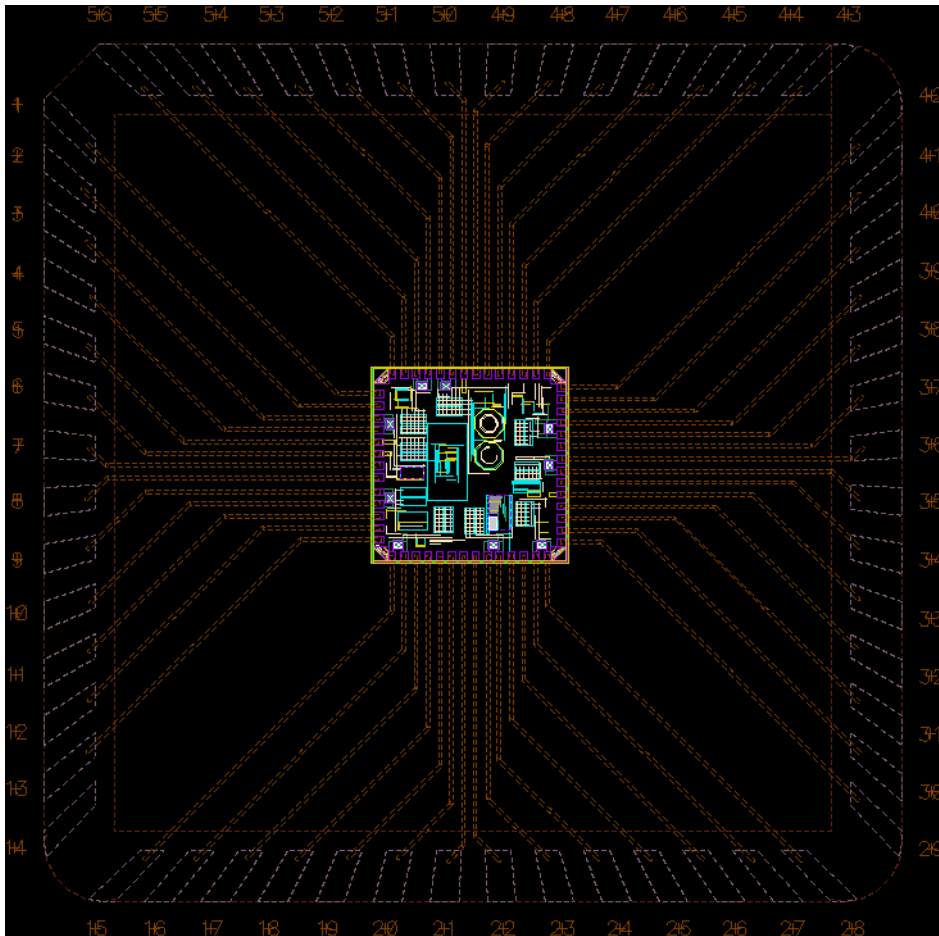


Figura 23 – Representação do CI em seu encapsulamento.

O próximo passo para a construção física do circuito é a escolha do encapsulamento. Dado a quantidade de entradas e saídas e o área disponibilizada de aproximadamente $1,6\text{mm}^2$, foi-se feito uma pesquisa e o encapsulamento QFN56 foi o escolhido. No apêndice C figura 40, pode se visualizar o desenho técnico do encapsulamento juntamente com as dimensões do seu layout para o desenvolvimento de uma placa de circuito impresso. Vale ressaltar que este é um encapsulamento SMD (Surface Mount Technology), ou seja, sua soldagem se dá na superfície da placa de circuito impresso, não sendo necessários nenhum tipo de furo.

A figura 40 do apêndice C, estava sendo seguida como base para o desenvolvimento da placa de circuito impresso, porém antes do início do layout da placa, verificou-se a existência de placas de testes no qual já estavam sendo comercializadas. Logo a escolha pela compra da placa pronta ao invés do desenvolvimento de uma nova foi feita, levando em consideração o seu baixo valor e também a otimização de tempo no desenvolvimento.

Na figura 24 temos a representação da placa comercializada, ela possui em seu centro o layout do encapsulamento da onde saem todos os pinos, e estes estão com a numeração impressa na placa. Pode-se verificar que os pinos relacionados ao circuito

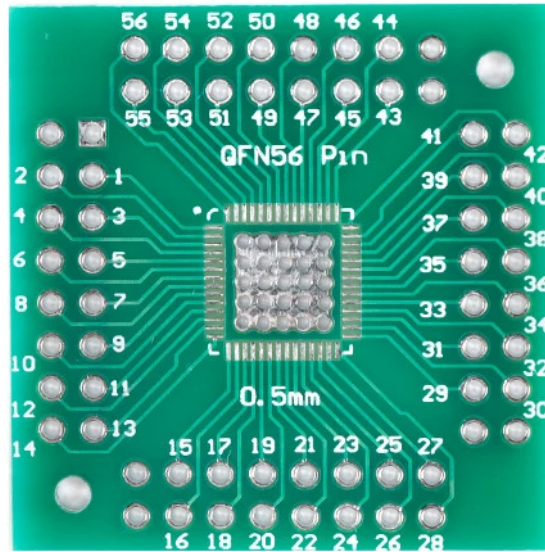


Figura 24 – Placa de circuito impresso - Encapsulamento QFN56

VTF estão localizados em parte nos pinos superiores e o restante a direita do CI.

Realizando uma análise da figura 24, pode-se notar que todos os pinos necessitam ser soldados para a verificação de bancada do circuito, logo para evitar esse problema e tornar a utilização da placa mais fácil, deve-se realizar a soldagem de pinos macho, mostrados na figura 25, em cada um dos 56 pinos, assim com o uso de jumpers os sinais podem ser verificados.

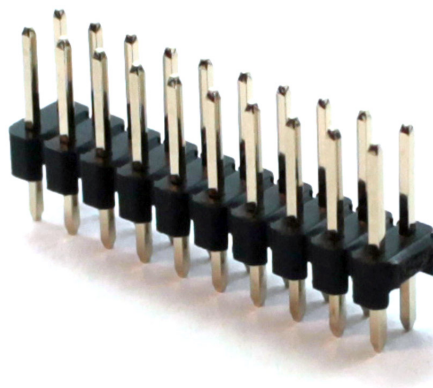


Figura 25 – Pinos macho

6.2 Roteiro de Testes

Seguindo a pinagem da figura 23 podemos relacionar os pinos com os sinais apresentados ao longo do desenvolvimento do texto conforme mostrado na tabela 7. Dado essa relação e explicações sobre o encapsulamento e a placa de circuito impresso, podemos dar início propriamente ao roteiro de testes.

Pinagem	Sinal
38	Gnd
39	V_{dd}
40	V_{out}
41	Adj_3
42	Adj_2
43	Adj_1
44	V_{in}
45	I_{bias}

Tabela 7 – Relação da Pinagem com os sinais do circuito VTF

Inicialmente faz-se necessário seguir com os testes na forma de oscilação na faixa mais baixa do circuito VTF. Iniciando esta configuração precisamos:

- Conectar o pino 38 ao terra
- Conectar o pino 39 a fonte de alimentação utilizando-se de uma tensão de 1.2V
- Conectar o pino 40 ao osciloscópio para a verificação do sinal de saída
- Os pinos 41,42,43 e 45 devem ficar em circuito aberto

Dado a seguinte configuração deve-se aplicar a tensão de 1.2V no pino 44, cuja é a entrada do nosso circuito. Com este passo concluído já é possível verificar a oscilação do sinal de saída, sendo o mesmo uma onda quadrada de amplitude próxima a 1.2V uma representação pode ser observada na figura 26, esta onda terá aproximadamente 134Hz.

A partir deste momento, a tabela 8 servirá de referência para o prosseguimento dos testes. Nela são relacionados todos os valores esperados da frequência de saída para cada tensão de entrada, isto levando em consideração todas as 3 possíveis configurações de banda. Logo seguindo a passos de 0.2V, a tensão de entrada deve ser aumentada até que toda a faixa mostrada na tabela seja percorrida, ou seja, de 1.2V até 2.5V, juntamente com essa discretização as frequências observadas devem ser validadas, dado a primeira coluna da tabela 8.

Após esta verificação inicial, o pino 43 deve ser conectado a tensão de alimentação, mudando assim a operação do circuito para a segunda faixa de operação (Configuração

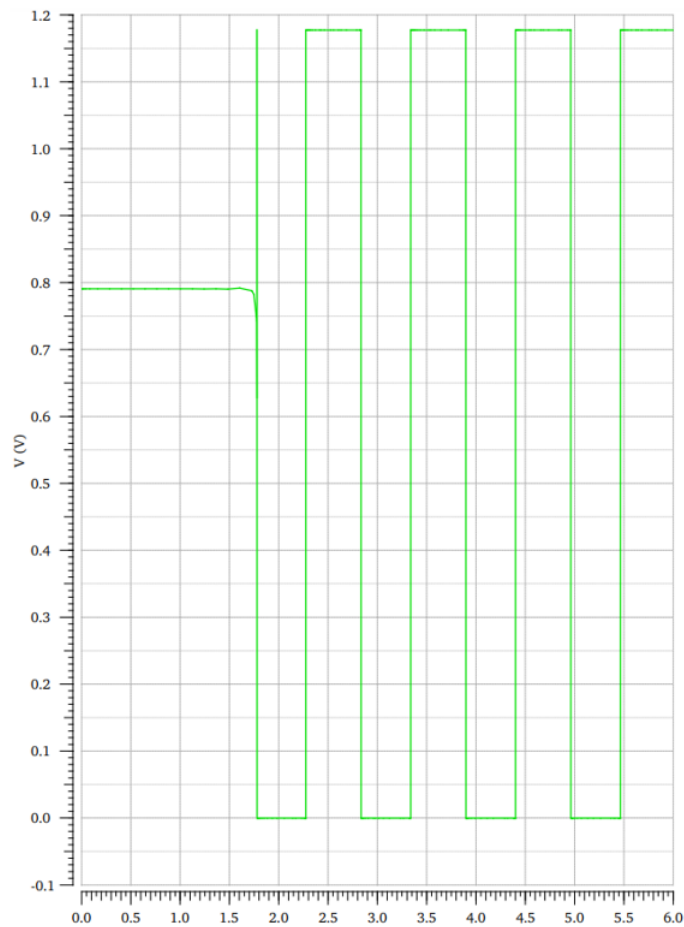


Figura 26 – Sinal de Saída

	Configuração Padrão	Configuração ADJ1	Configuração ADJ1 + ADJ2
Tensão (V)	Frequência (Hz)	Frequência (KHz)	Frequência (KHz)
2,50	940	8,98	99,50
2,30	797	7,5	84,00
2,10	657	6,1	69,00
1,90	522	4,8	54,00
1,70	396	3,6	41,10
1,50	280	2,5	28,90
1,30	178	1,6	18,30
1,20	134	1,2	13,80

Tabela 8 – Relação Tensão Frequência

ADJ1) representada na segunda coluna da tabela 8. O mesmo processo anterior de varredura da faixa de tensão de entrada deve ser feito e todas as frequências de saída seguidas de acordo com o mostrado na tabela. Por fim realizar o mesmo procedimento após a ligação do pino 43 a tensão de alimentação, mudando mais uma vez a configuração do circuito (Configuração AD1 + ADJ2) e completando todo o alcance de frequências.

Caso o sinal de saída comece a apresentar uma diminuição na sua amplitude de

tensão ou um arredondamento nas suas pontas de transição, principalmente nas maiores frequências de operação, existe a possibilidade de utilizar o pino 45 para conceder mais corrente ao circuito de controle e conseqüentemente aumentar sua faixa de operação. Tensões entre 0.5 e 0.9 podem ser aplicadas a este pino.

Por fim temos o pino 41 que funciona como um ajuste geral das frequências de saída. Para o seu uso devemos deixar em circuito aberto os pinos 44, 43 e 42. Desta maneira é possível, com o uso de uma fonte de corrente, percorrer todas faixas de frequência do circuito dado a banda de amperes mostrada na figura 16, ou seja, 70nA resultará em uma frequência de saída de 134Hz e 530nA representará 99,5Khz, logo toda a faixa de operação pode ser observada. Com o uso deste pino a corrente será diretamente introduzida no bloco integrador de corrente sem a relação criada no conversor tensão corrente, o circuito foi projetado desta maneira para que fosse encontrado uma faixa de operação que otimize a relação da banda de operação com o consumo de potência o que também torna este mesmo projeto reutilizável em casos futuros.

7 Considerações Finais

7.1 Conclusões

Neste trabalho foi apresentado todo o desenvolvimento do conversor tensão frequência, partindo da topologia do circuito até a criação do layout físico.

A metodologia top down, explicada no capítulo 2, foi amplamente utilizada no projeto e seu aspecto hierárquico foi evidenciado. Simulações nos softwares Cadence e ADS foram desenvolvidas com os esquemáticos e o funcionamento adequado do circuito foi observado. Uma caracterização do resultado dos circuitos foi realizada, e por fim, um layout foi criado e sua verificação foi feita através dos processos listados no final do capítulo 5. Chegando-se assim em um VTF com uma faixa de operação de frequência de saída entre 135Hz e 99.5KHz e um consumo máximo de $17.7\mu\text{W}$.

Explicações e desenvolvimento sobre cada um dos sub blocos também foram elucidados ao longo do texto, juntamente com as relações de perda e ganho e tomadas de decisão provenientes dos requisitos do projeto. Conclui-se que, dado curto prazo de projeto, e os resultados alcançados no desenvolvimento do circuito, nas suas simulações e na criação do layout, pode-se dizer que os resultados foram satisfatórios.

7.2 Trabalhos Futuros

Para os trabalhos futuros, existem algumas possibilidades para a continuação do mesmo. Pode-se fazer uma melhora na criação dos referenciais de tensão, dado que neste projeto foi-se utilizado divisores de tensão com transistores como carga ativa, sendo a maneira mais básica para a criação do referencial. Também a faixa de operação da frequência de saída pode ser diminuída de forma a atender a aplicação e melhorar o consumo de potência.

Uma otimização na geolocalização espacial do componentes no layout é um ponto que pode ser ajustado, dado o compromisso com a entrega do layout para a fabrica e a pouca familiaridade com os layouts, pode-se notar nas figuras do apêndice A, que há espaço para o aperfeiçoamento da disposição dos circuitos.

Referências

- ALEXANDER, C.; SADIKU, M.; NASCIMENTO, J. D. *Fundamentos De Circuitos Elétricos*. MCGRAW HILL - ARTMED, 2013. ISBN 9788580551723. Disponível em: <<https://books.google.com.br/books?id=AsLbmgEACAAJ>>. Citado na página 38.
- BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation*. 3rd. ed. [S.l.]: Wiley-IEEE Press, 2010. ISBN 0470881321. Citado 3 vezes nas páginas 15, 49 e 50.
- CORRÊA, M. *Como elaborar uma dissertação de Mestrado através da pesquisa científica*. [S.l.]: Pearson, 2003. Citado na página 25.
- COUNCIL, G. E. *Health and Wellness Wearable Electronic Devices*. 2021. Disponível em: <https://globalelectronicscouncil.org/wp-content/uploads/FINAL_HWWEDSOSR_Combined_05May2021.pdf>. Citado na página 23.
- FLOYD, T. *Digital Fundamentals, 11th Edition by Pearson*. Pearson Education India, 2015. ISBN 9789353942496. Disponível em: <https://books.google.com.br/books?id=-g_CDwAAQBAJ>. Citado 2 vezes nas páginas 15 e 36.
- GROUT, I. A. *Integrated Circuit Test Engineering: Modern Techniques*. Berlin, Heidelberg: Springer-Verlag, 2005. ISBN 1846280230. Citado na página 53.
- INSTRUMENTS, T. *56-Pin Quad Flatpack No-Lead Logic Package*. 2021. <https://www.ti.com/lit/an/scea032/scea032.pdf?ts=1635040235469&ref_url=https%253A%252F%252Fwww.google.com%252F>. Citado 2 vezes nas páginas 16 e 73.
- KAHNG, A. B. et al. *VLSI Physical Design - From Graph Partitioning to Timing Closure*. Springer, 2011. ISBN 978-90-481-9590-9. Disponível em: <<https://doi.org/10.1007/978-90-481-9591-6>>. Citado na página 50.
- LYU, H.; WANG, Z.; BABAKHANI, A. A uhf/ubw hybrid rfid tag with a 51-m energy-harvesting sensitivity for remote vital-sign monitoring. *IEEE Transactions on Microwave Theory and Techniques*, v. 68, n. 11, p. 4886–4895, 2020. Citado 6 vezes nas páginas 11, 13, 15, 23, 24 e 31.
- MURILLO, C.; LOPEZ, B.; PUEYO, S. *Voltage-to-Frequency Converters: CMOS Design and Implementation*. Springer New York, 2013. (Analog Circuits and Signal Processing). ISBN 9781461462361. Disponível em: <<https://books.google.com.br/books?id=07XLMgEACAAJ>>. Citado 7 vezes nas páginas 15, 29, 30, 31, 33, 36 e 39.
- PALNITKAR, S. *Verilog HDL 2 Edition*. [S.l.]: Pearson, 2003. (International series of monographs on physics). ISBN 9788177589184. Citado na página 25.
- SAÚDE, M. da. *Corona Vírus Brasil*. 2021. Disponível em: <<https://covid.saude.gov.br>>. Citado na página 23.
- SPRINGER BOSTON, M. *Modeling of Analog Blocks in Verilog-A*. [S.l.]: Springer, 2005. (International series of monographs on physics). ISBN 978-0-387-27584-0. Citado na página 27.

ZINKE. *The designer's guide to Verilog-AMS. 1st edition. ed. [S.l.]. [S.l.]: Kluwer Academic Publishers, 2004. Citado na página 25.*

Apêndices

APÊNDICE A – Layouts do CI e do Circuito VTF

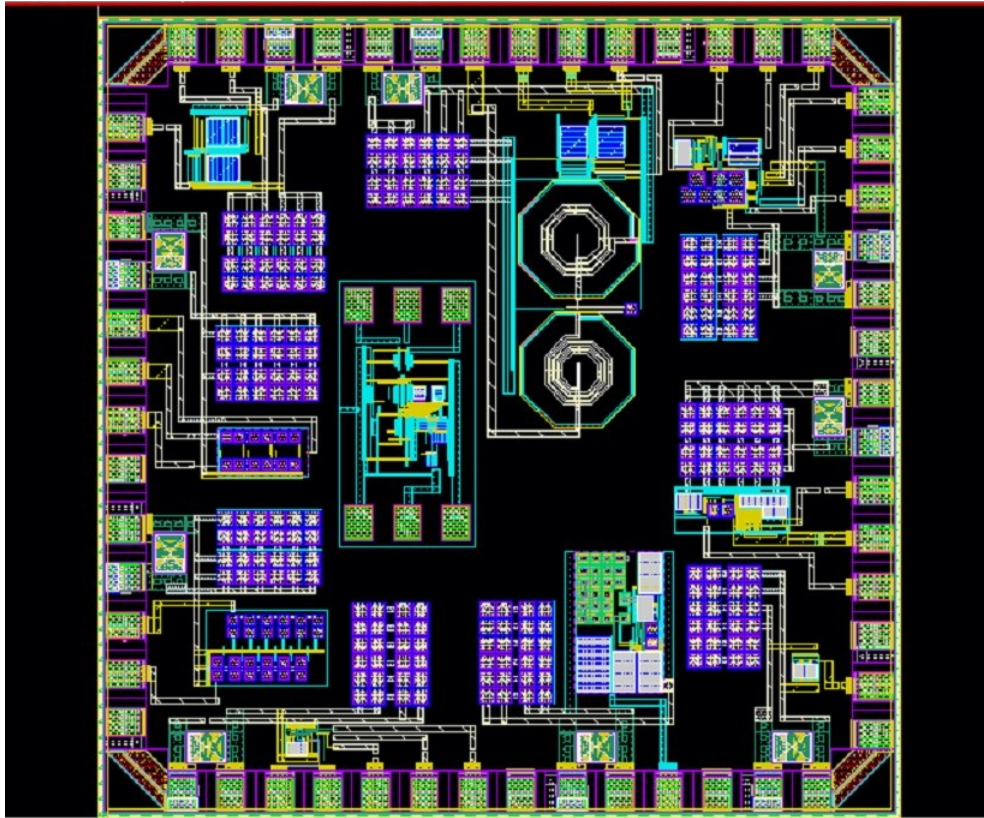


Figura 27 – Layout CI visão global

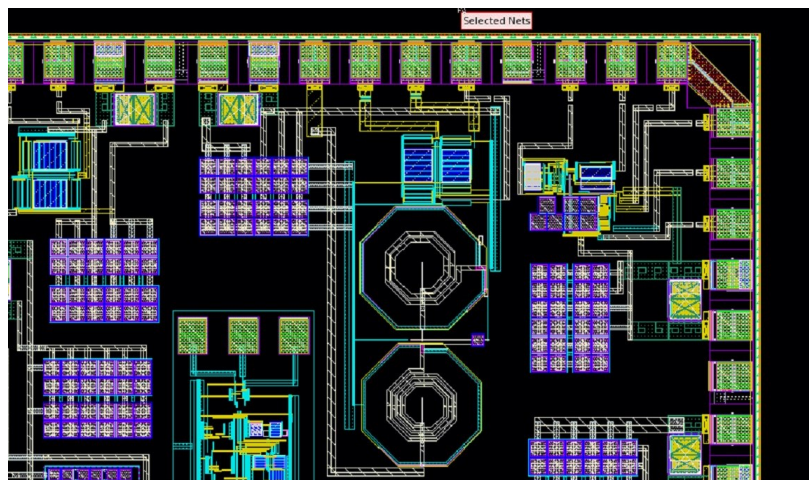


Figura 28 – Layout CI visão global

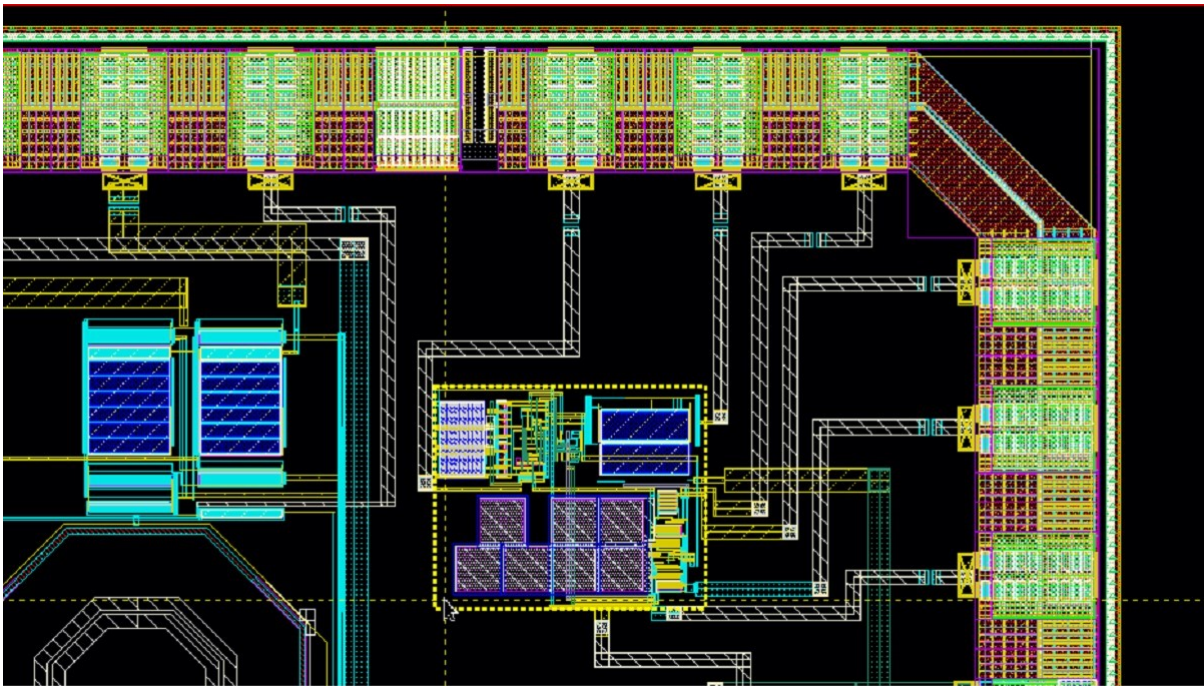


Figura 29 – Layout CI visão global - foco no conversor VTF

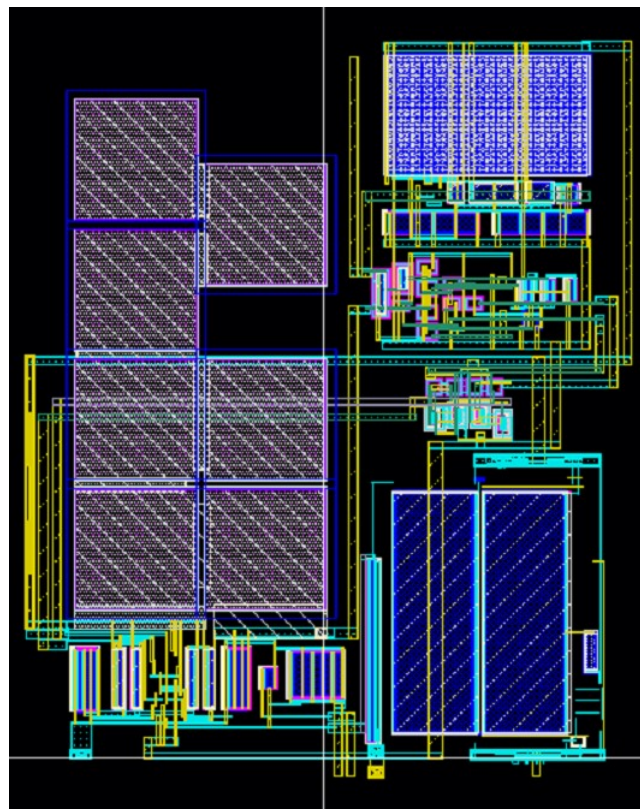


Figura 30 – Layout CI conversor VTF

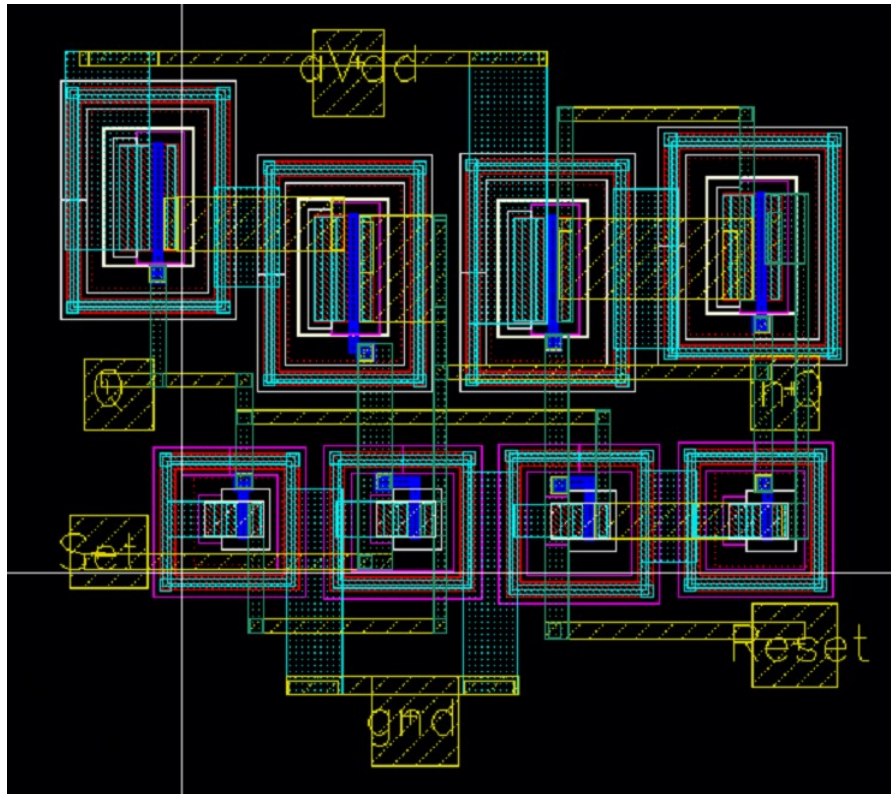


Figura 31 – Layout CI conversor VTF - Latch SR NOR

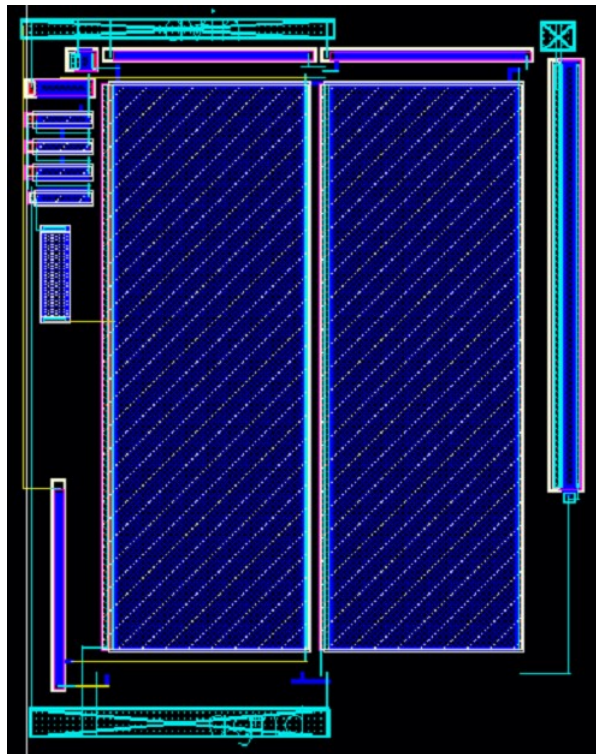


Figura 32 – Layout CI conversor VTF - Conversor tensão corrente

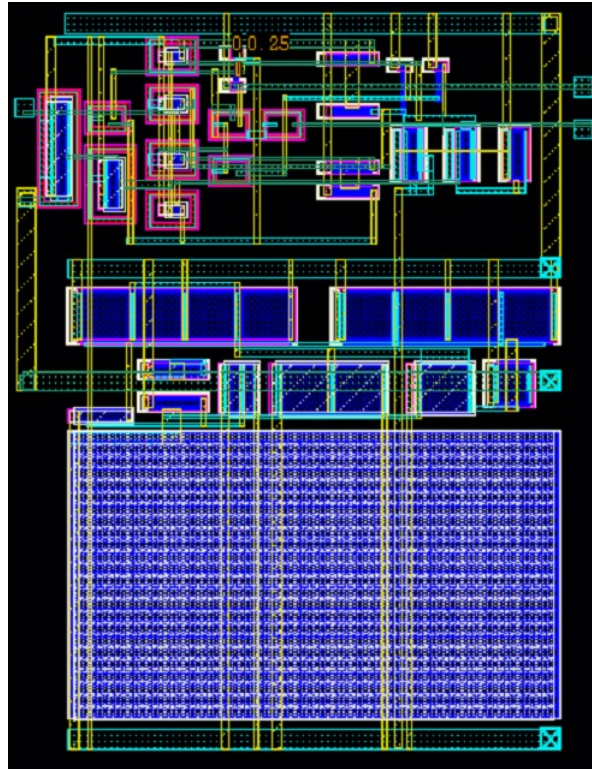


Figura 33 – Layout CI conversor VTF - Circuito controlador

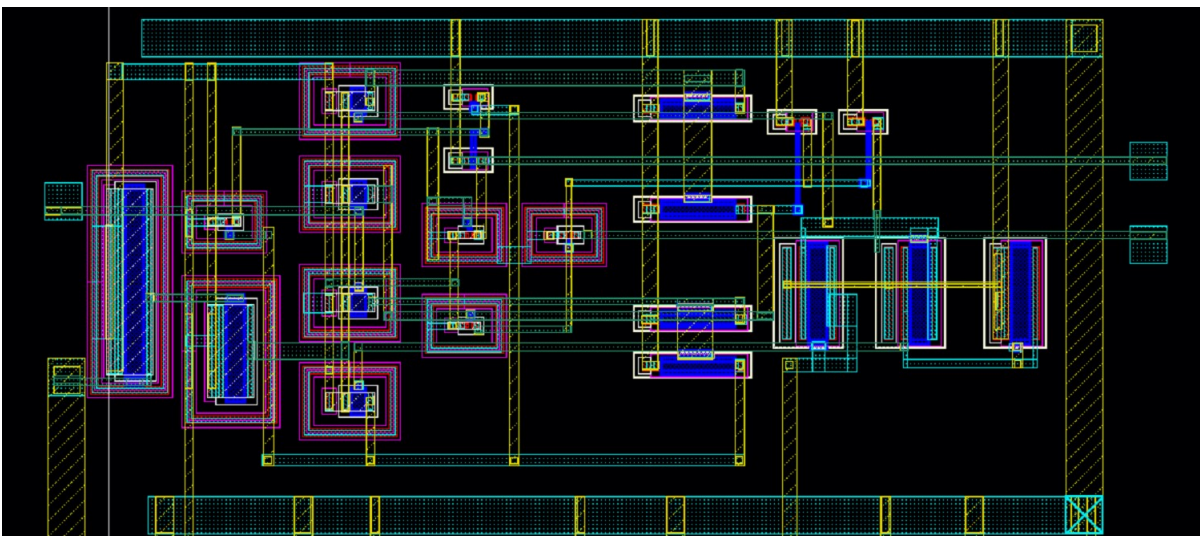


Figura 34 – Layout CI conversor VTF - Circuito controlador

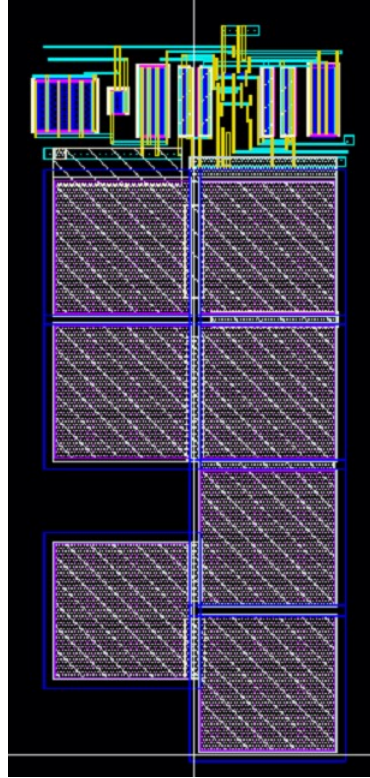


Figura 35 – Layout CI conversor VTF - Integrador de corrente

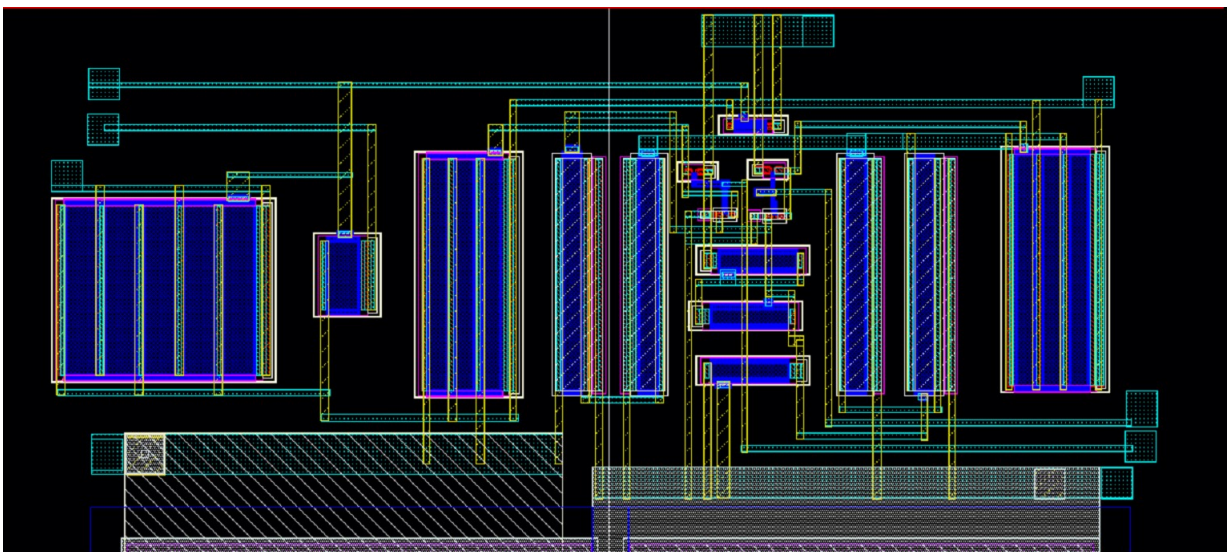


Figura 36 – Layout CI conversor VTF - Integrador de corrente

APÊNDICE B – Resultados de Simulação - ADS

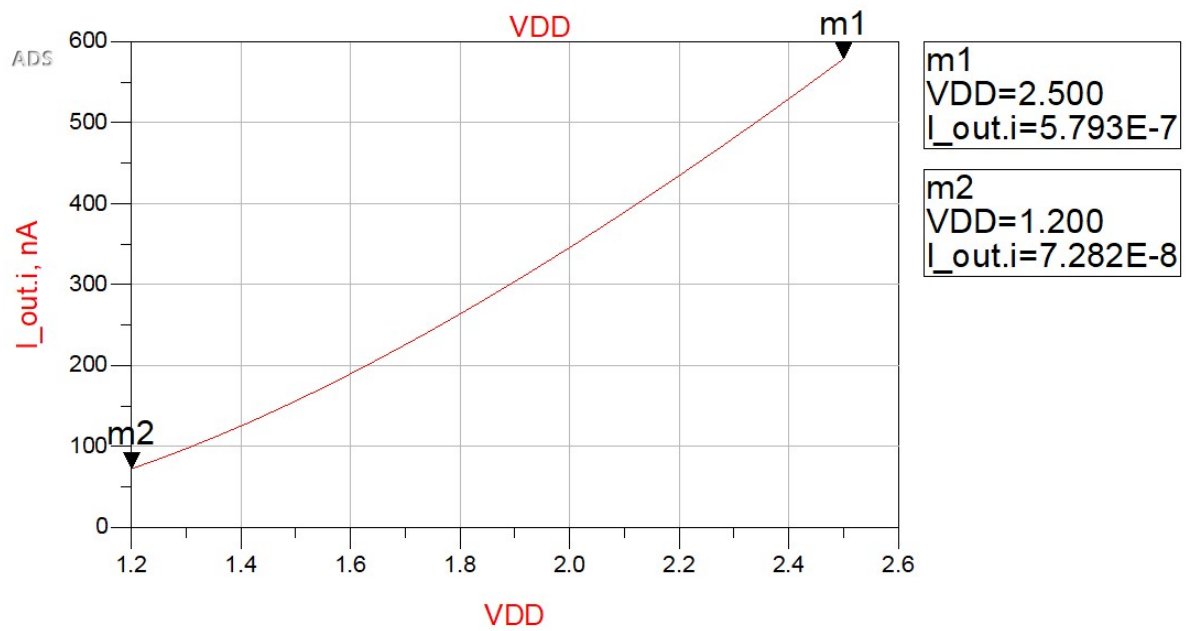


Figura 37 – Relação da transcondutância do bloco conversor tensão corrente - ADS

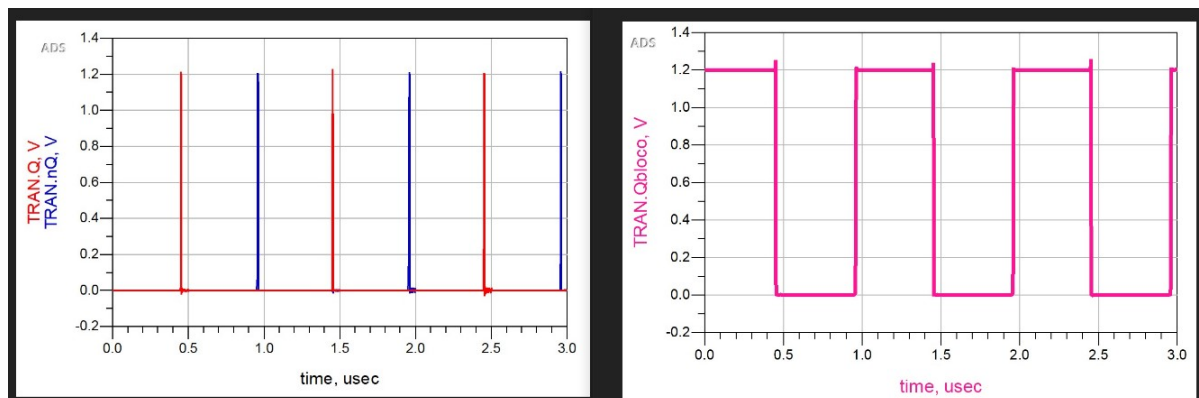


Figura 38 – Relação do chaveamento do bloco de controle - ADS

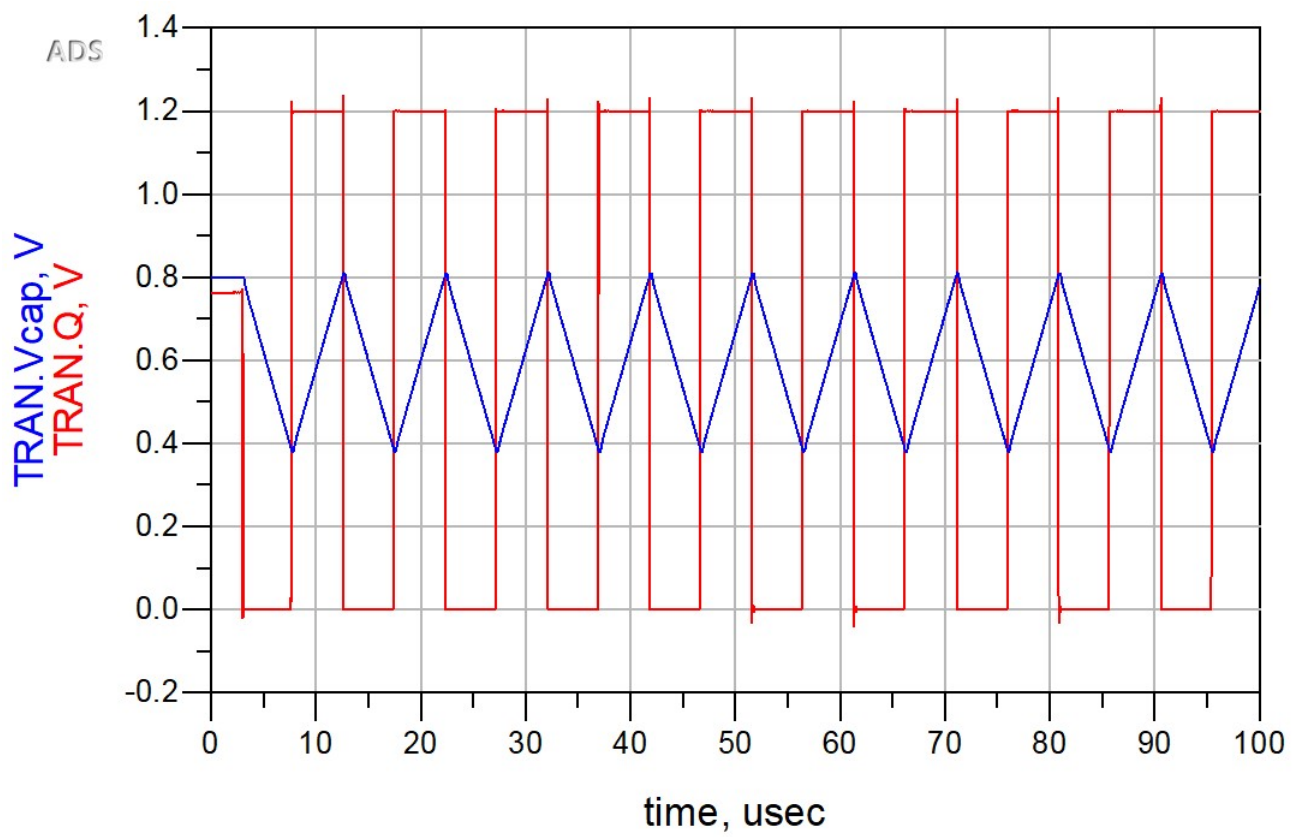


Figura 39 – Acompanhamento da carga do capacitor ao sinal de saída - ADS

APÊNDICE C – Desenho Técnico do Encapsulamento QFN56

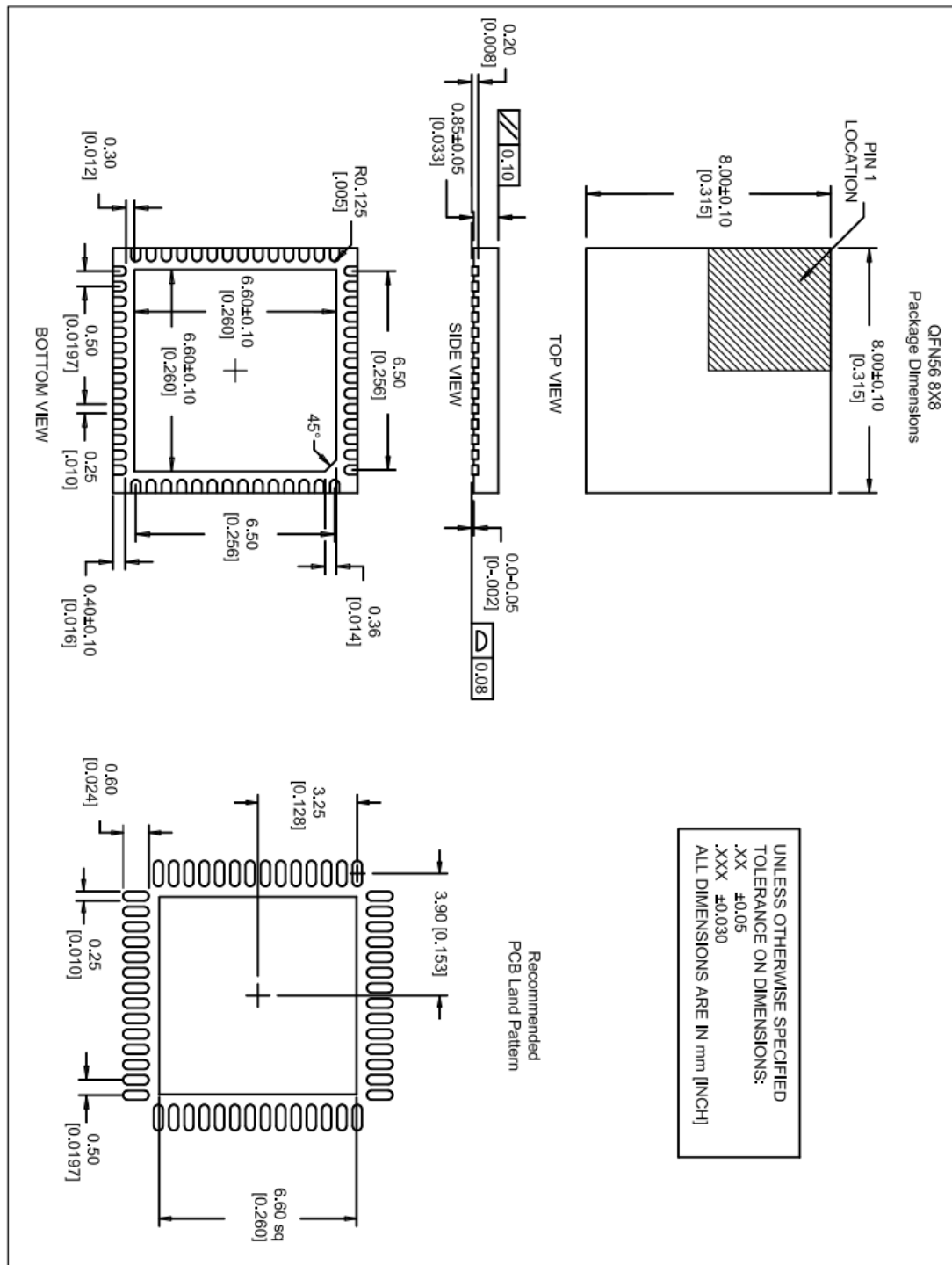


Figura 40 – Desenho técnico do Encapsulamento QFN56. Fonte: (INSTRUMENTS, 2021)