



TRABALHO DE CONCLUSÃO DE CURSO

**MÓDULOS ANALÓGICOS DE UM CONVERSOR
ANALÓGICO DIGITAL POR APROXIMAÇÃO
SUCESSIVA DE 12 BITS EM TECNOLOGIA
CMOS 180 nm**

Carlos Eduardo Carneiro Salustiano

Brasília, Agosto de 2017

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE CONCLUSÃO DE CURSO

**MÓDULOS ANALÓGICOS DE UM CONVERSOR
ANALÓGICO DIGITAL POR APROXIMAÇÃO
SUCESSIVA DE 12 BITS EM TECNOLOGIA
CMOS 180 nm**

Carlos Eduardo Carneiro Salustiano

Relatório submetido como requisito parcial para obtenção
do grau de Engenheiro Eletricista

Banca Examinadora

Prof. José Camargo Costa, UnB/ ENE (Orientador)

Prof. Daniel Chaves Café, UnB/ ENE

Prof. Sandro Augusto Pavlik Haddad, UnB/ FGA

Dedicatória

Dedico este trabalho à minha família, que sempre me apoiou nas minhas escolhas, aos meus amigos mais antigos Sid e Nenem, que me acompanham desde o Ensino Fundamental, à turma do Jointeam por tornar a estadia na UnB repleta de diversão, leveza e sorrisos, aos veteranos, calouros e colegas de semestre do curso pelo companheirismo e parceria e, finalmente, a todos os professores pelo conhecimento.

Carlos Eduardo Carneiro Salustiano

Agradecimentos

Ao professor Camargo, pela orientação, apoio e confiança.

Ao professor Café, pela ajuda no LDCI.

Ao colega de curso Iago Pereira, pela parceria nessa reta final.

À minha melhor amiga Babi, pela empatia nos momentos difíceis.

Carlos Eduardo Carneiro Salustiano

RESUMO

O presente texto apresenta os projetos dos módulos analógicos (comparador, tensão de referência, DAC, chaves do DAC e chave de amostragem) de um conversor analógico digital por aproximação sucessiva (SAR ADC) de 12 *bits* e simulações de parte destes blocos (comparador, tensão de referência e chave de amostragem). Os projetos foram realizados com o auxílio da ferramenta Mentor. As arquiteturas foram implementadas em tecnologia CMOS 180 nm e a tensão de alimentação dos circuitos é de 1,8 volts.

Palavras-chaves: conversor analógico digital, aproximações sucessivas, Mentor, módulos analógicos.

ABSTRACT

This work presents the projects of analog blocks (comparator, bandgap reference, DAC, DAC's switches and sample switch) of a 12-bit successive approximation analog-to-digital converter (SAR ADC) and simulations of part of these blocks (comparator, reference bandgap and sample switch). These projects were made in the computational tool Mentor. The architectures were implemented in CMOS technology 180 nm and the supply voltage is 1,8 volts.

Key-words: *analog-to-digital converter, successive approximation, Mentor, analog blocks.*

SUMÁRIO

1 INTRODUÇÃO	1
2 REVISÃO BIBLIOGRÁFICA	5
2.1 CONVERSORES DE DADOS	5
2.2 SAR ADC	9
2.3 MEDIDAS DE DESEMPENHO DE UM CONVERSOR	13
2.3.1 ERROS ESTÁTICOS	16
2.3.2 ERROS DINÂMICOS	19
3 PROJETO	21
3.1 METODOLOGIA	21
3.2 <i>BOOSTRAPPED SWITCH</i>	23
3.3 DAC	23
3.4 CHAVE DAC	24
3.5 COMPARADOR DINÂMICO	25
3.6 TENSÃO DE REFERÊNCIA	26
4 RESULTADOS	27
4.1 <i>BOOSTRAPPED SWITCH</i>	27
4.2 DAC	30
4.3 CHAVE DAC	32
4.4 COMPARADOR DINÂMICO	34
4.5 TENSÃO DE REFERÊNCIA	36
5 CONCLUSÃO	40
REFERÊNCIAS BIBLIOGRÁFICAS	42

LISTA DE FIGURAS

1.1	Características do sinal em uma conversão A/D e D/A	2
1.2	Diagrama de blocos do tipo SAR ADC	3
2.1.1	<i>Flash</i> ADC	6
2.1.2	<i>Interpolating</i> ADC e sua onda de saída	7
2.1.3	<i>Pipeline</i> ADC de 3 <i>bits</i>	7
2.1.4	ADC Sigma-Delta de 1 bit e um ADC Sigma-Delta de N <i>bits</i>	8
2.2.1	Diagrama de blocos de um SAR ADC	9
2.2.2	SAR ADC com um arranjo de capacitores (DAC)	11
2.2.3	Sequência de escolhas de um SAR ADC de 3- <i>bits</i>	12
2.3.1	Resolução e tamanho do LSB	14
2.3.2	Níveis de quantização de um ADC de 3 <i>bits</i>	15
2.3.3	Curva de transferência de um ADC com Q_e centralizado em relação a zero	16
2.3.4	DNL de um ADC	17
2.3.5	DNL em um ADC causando perda de código	17
2.3.6	Características INL para um conversor de 3- <i>bits</i>	18
2.3.7	Erro de compensação ou <i>offset</i> de um ADC	19
3.2.1	Esquemático de uma chave <i>bootstrapped</i>	23
3.3.1	Esquemático de um DAC <i>single-ended</i>	24
3.4.1	Esquemático da chave do DAC	25
3.5.1	Esquemático do comparador dinâmico	25
3.6.1	Esquemático do circuito de tensão de referência	26
4.1.1	Esquemático da <i>bootstrapped switch</i> na ferramenta Mentor	28
4.1.2	Gráfico da simulação respectiva a <i>bootstrapped switch</i>	29
4.2.1	Esquemático do DAC na ferramenta Mentor	30
4.3.1	Esquemático da chave do DAC na ferramenta Mentor	32
4.4.1	Esquemático do comparador dinâmico na ferramenta Mentor	34
4.4.2	Gráfico da simulação respectiva ao comparador dinâmico	35
4.5.1	Esquemático da tensão de referência na ferramenta Mentor	36
4.5.2	Gráfico da simulação respectiva ao circuito de tensão de referência a 27 °C	37
4.5.3	Gráfico da simulação respectiva ao circuito de tensão de referência a 0 °C	38
4.5.4	Gráfico da simulação respectiva ao circuito de tensão de referência a 70 °C	38

LISTA DE SÍMBOLOS

Símbolos Latinos

<	Menor que
>	Maior que

Subscritos

<i>in</i>	entrada
<i>out</i>	saída
<i>u</i>	subida
<i>d</i>	descida
<i>ref</i>	referência
<i>s</i>	amostragem
<i>f</i>	realimentação
<i>r</i>	referência
<i>pp</i>	pico a pico
<i>bg</i>	<i>bandgap</i>
<i>dd</i>	<i>drain</i>
<i>ss</i>	<i>source</i>
<i>e</i>	erro
<i>ip</i>	entrada positiva
<i>in</i>	entrada negativa
<i>op</i>	saída positiva
<i>on</i>	saída negativa

Siglas

A/D	Analógico digital
ADC	Conversor analógico digital
CLK	<i>Clock</i>
CMOS	<i>Complementary metal-oxide-semiconductor</i>
D/A	Digital analógico

DAC	Conversor digital analógico
DC	<i>Direct current</i>
DNL	<i>Differential Non-Linearity</i>
ENE	Departamento de Engenharia Elétrica
ENOB	<i>Effective number of bits</i>
FPB	Filtro passa-baixa
FS	<i>Full scale</i>
INL	<i>Integral Non-Linearity</i>
LDCI	Laboratório de Dispositivos e Circuitos Integrados
LPCI	Laboratório de Projetos de Dispositivos e Circuitos Integrados
LSB	<i>Least significant bit</i>
MOS	<i>Metal-oxide-semiconductor</i>
MSB	<i>Most significant bit</i>
NMOS	<i>Negative channel metal-oxide semiconductor</i>
PMOS	<i>Positive channel metal-oxide semiconductor</i>
PPM	<i>Parts per million</i>
RMS	<i>Root of mean square</i>
S/H	<i>Sample and hold</i>
SAR	<i>Successive approximation register</i>
SAR ADC	Conversor analógico digital por aproximação sucessiva
SFDR	<i>Spurious free dynamic range</i>
SINAD	<i>Signal-to-noise and distortion ratio</i>
SNDR	<i>Signal to noise-plus-distortion ratio</i>
SNR	<i>Signal-to-noise ratio</i>
SW	<i>Switch</i>
UnB	Universidade de Brasília

1 INTRODUÇÃO

Este capítulo apresenta considerações gerais preliminares relacionadas a conversores analógicos digitais e ao SAR ADC, como conceitos, contexto e importância do projeto e estrutura do conversor. Apresenta também uma breve introdução aos capítulos do texto.

Conversores analógicos digitais (ADC) e digitais analógicos (DAC) são a chave da comunicação entre os domínios analógico e digital, pois transformam representações analógicas em digitais e vice-versa. Apesar do imenso crescimento do mundo digital, a eletrônica analógica é ainda uma parte essencial da tecnologia atual, pois o mundo real opera com conceitos analógicos. Como as quantidades reais são analógicas por natureza e o processamento de dados se dá de forma mais rápida no escopo digital, se vê necessário meios de converter dados analógicos em digitais e digitais em analógicos.

O ADC é um dispositivo que converte uma amostra analógica em uma amostra digital utilizando um determinado número de *bits*. Existem vários tipos de conversores e geralmente se escolhe a técnica de conversão baseada no tipo de aplicação (Gregorian, 1999). Com o crescimento da conscientização ambiental e da crise energética, a comunidade científica passou a reconhecer um tipo de ADC que consome pouca potência, o conversor analógico digital por aproximações sucessivas (SAR ADC). Esse possui excelente eficiência energética e média para alta velocidade. Em razão destas características, o SAR ADC ganhou espaço em aplicações biomédicas e aplicações de baixo consumo de energia. Além disso, trabalha bem em relação à linearidade, acurácia e taxa de conversão. São fáceis de ser implementados por utilizar tecnologia MOS.

A motivação desse trabalho é projetar um SAR ADC, conversor que consome pouca potência, tem taxa de conversão média para alta e é simples de ser implementado. O SAR ADC é, sem dúvida, o conversor mais usado para aquisição e processamento de dados analógicos atualmente. O Laboratório de Dispositivos e Circuitos Integrados (LDCI), onde esse trabalho foi desenvolvido, já desenvolveu trabalhos anteriormente na área de aquisição e processamentos de dados, trabalhos como *Design and Characterization of a 0.35 micron*

CMOS Voltage-to-Current Converter e Instrumentação para Aquisição e Avaliação das Forças Exercidas nos Pedais por Ciclistas, entre outros. Logo, o desenvolvimento de um SAR ADC se encaixa bem no contexto do laboratório. Por outro lado, quando estiver pronto, poderá ser aplicado em projetos já desenvolvidos pelo LDCI, como *CMOS SoC for Irrigation Control*.

Um SAR ADC pode ser dividido basicamente em cinco blocos:

- Filtro Anti-Aliasing;
- Circuito Sample and Hold (S/H);
- DAC;
- Comparador;
- Lógica de controle;

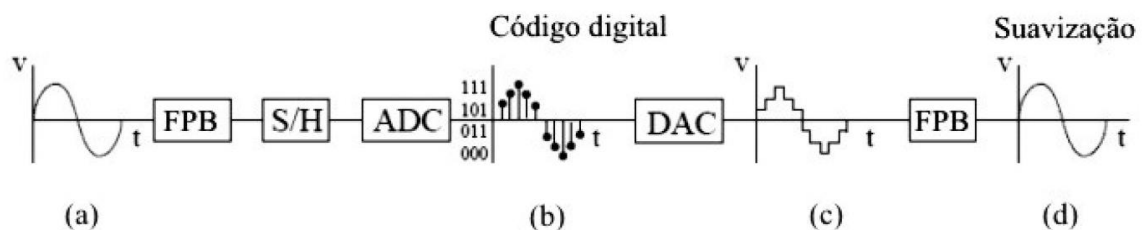


Figura 1.1. Características do sinal em uma conversão A/D e D/A. Adaptado de (Baker, 2008)

A Figura (1.1) exemplifica a conversão analógica digital (A/D) e digital analógica (D/A), em que o sinal analógico (a) passa por um filtro *anti-aliasing* ou filtro passa-baixas com o objetivo de remover componentes de alta frequência que possam causar o efeito de falseamento ou *aliasing*. Esse sinal filtrado é então amostrado e retido pelo circuito S/H e convertido em um sinal digital (b) pelo ADC. O sinal digital, ao passar por um DAC é convertido novamente em sinal analógico (c) e finalmente passa por um FPB, restaurando-se o sinal original, observando-se mudanças de fase após o processo de conversão (Baker, 2008). O sinal analógico possui um conjunto infinito de valores contínuos no tempo enquanto o sinal digital possui um número finito de valores possíveis e é discreto em relação ao tempo.

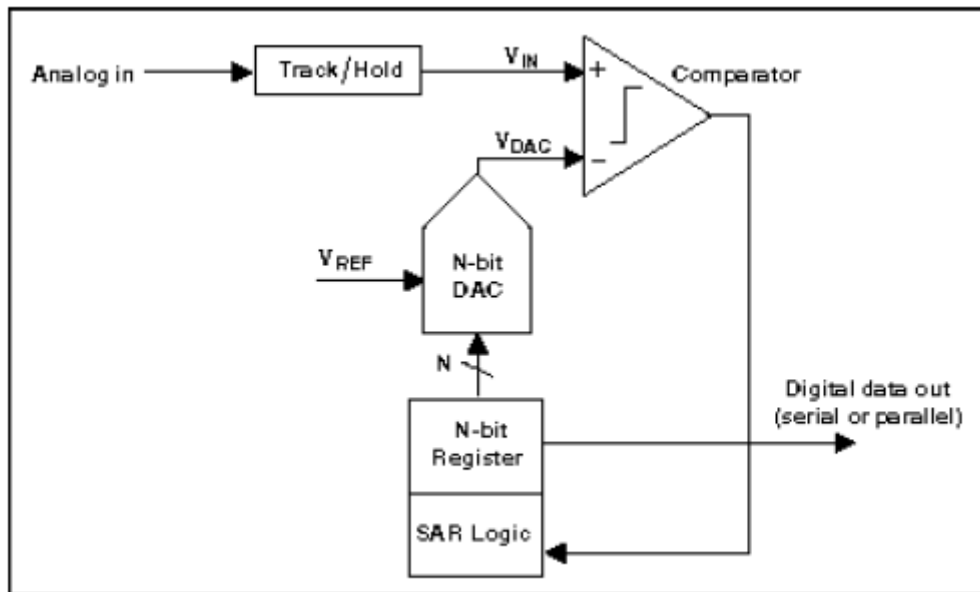


Figura 1.2. Diagrama de blocos do tipo SAR ADC (Baker, 2008)

A Figura (1.2) demonstra o funcionamento de um SAR ADC e seus blocos:

- A lógica de controle SAR gera o código de N -bits com *most significant bit* (MSB) igual a 1 para iniciar a comparação com o valor analógico na porta de entrada (V_{IN});
- Este código ou sinal digital é convertido em analógico (V_{DAC}) pelo DAC e comparado com V_{IN} ;
- O resultado da comparação é analisado pela lógica de controle SAR. Se $V_{IN} > V_{DAC}$, o *bit* em análise é mantido em 1. Se $V_{IN} < V_{DAC}$, o *bit* vira 0.
- Os passos acima são repetidos para todos os *bits*, até que sejam realizados N ciclos, resultando em um sinal digital de N bits, em que N é a resolução do ADC. Logo, a cada ciclo, o sinal digital se aproxima do sinal analógico por aproximações sucessivas.

Do ponto de vista de implementação, o SAR ADC ainda possui uma fonte de tensão de referência, um *buffer* na saída e o FPB.

Este trabalho de graduação é basicamente dividido em quatro seções diferentes. Na primeira seção, encontram-se a teoria geral de conversores de dados, importantes tipos de

arquiteturas de conversores, a razão da escolha do SAR ADC e parâmetros necessários de desempenho que devem ser considerados no projeto.

Na segunda seção, encontram-se as arquiteturas e esquemáticos dos módulos analógicos de um 12-*bits* SAR ADC implementados com o auxílio da ferramenta computacional Mentor, procedimentos e cálculos, metodologia aplicada e especificações do projeto.

Na terceira seção, encontram-se as simulações realizadas e seus detalhes, os gráficos correspondentes, estruturas validadas, implementadas e verificadas, testes realizados e os resultados discutidos e comentados.

Na quarta seção, a conclusão sobre o desempenho dos módulos analógicos do SAR ADC de 12 *bits*, quais possíveis melhorias e sugestões podem ser feitas em trabalhos futuros.

Devido à complexidade inerente ao projeto de um SAR ADC, os componentes ou blocos pertencentes ao projeto foram divididos em trabalhos diferentes. Esse trabalho se trata dos projetos analógicos de um SAR ADC, enquanto outros trabalhos ficaram responsáveis pela simulação por código MATLAB e pelo projeto do bloco lógico digital SAR. Assim, os elementos constituintes do conversor poderiam ser desenvolvidos e posteriormente agrupados para a obtenção de um conversor completo. A primeira versão do projeto serviria para agregar conhecimento necessário com as respectivas dificuldades e implicações, servindo de base para trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

Este capítulo apresenta teoria geral de conversores de dados, importantes tipos de arquiteturas de conversores, a razão da escolha do SAR ADC, parâmetros necessários de desempenho que devem ser considerados no projeto e aplicações gerais de conversores de dados.

2.1 CONVERSORES DE DADOS

Geralmente, um conversor de dados, especificamente o ADC, é uma parte essencial em qualquer sistema em que os sinais analógicos, contínuos no tempo e em amplitude são transformados em sinais discretos no tempo e quantizados em amplitude, digitais. Qualquer ADC pode ser dividido basicamente em três partes:

- Filtro *anti-aliasing*
- *Sample and Hold*
- Codificação

A operação de um ADC é não linear, pois o processo de amostrar e reter valores (S/H) é um processo inerentemente não linear. A frequência de operação ou frequência de amostragem decide as especificações e a topologia do filtro *anti-aliasing*. Baseado nessa frequência, ADCs podem ser classificados como:

- ADCs de Nyquist
- *Oversampled* ADCs

Quando a frequência de amostragem é no mínimo duas vezes a frequência do sinal de entrada, como a Teoria de Amostragem de Nyquist determina, o ADC é um ADC de Nyquist. Alguns ADCs de Nyquist bastante usados comercialmente:

- *Flash* ADC
- *Interpolating* ADC
- *Pipeline* ADC
- SAR ADC

O *Flash* ADC ou ADC instantâneo ou ADC paralelo é bastante usado, pois é o tipo mais rápido em comparação a qualquer outro conversor. Essa é a sua maior vantagem. Utiliza um comparador por nível de quantização ($2^N - 1$) e 2^N resistores. E essa é a sua maior desvantagem, pois quanto maior a resolução (N) do conversor, maior o número de comparadores, aumentando o ruído, consumo de potência do sistema e a área utilizada de *chip*. Logo, esse tipo de conversor é usado para aplicações que necessitam de velocidade alta (1Msps a 10 Gsps) e resolução baixa, geralmente até 8 *bits* (Rapuano, 2005). O *Flash* ADC é mostrado na Fig. (2.1.1) (Baker, 2008):

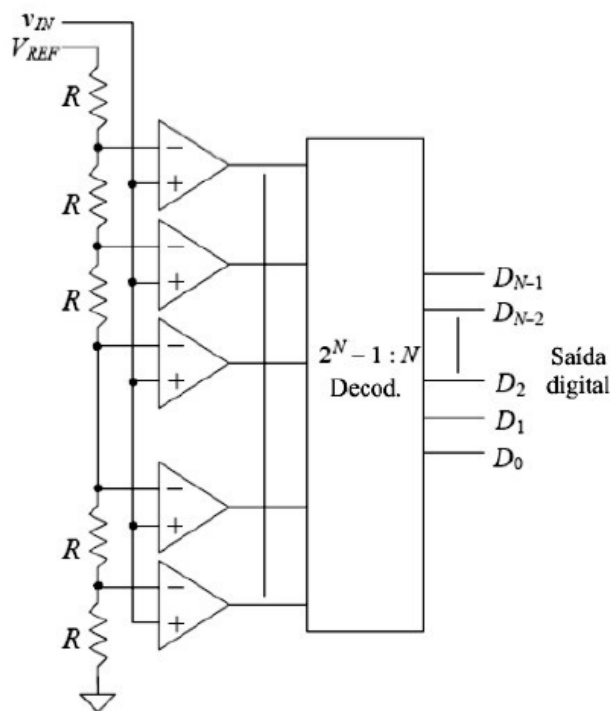


Figura 2.1.1. *Flash* ADC. Adaptado de (Baker, 2008)

O *interpolating* ADC converte uma tensão desconhecida na entrada em um valor digital definido com a ajuda de um integrador e uma fonte de tensão de referência conhecida. Um nível de tensão de entrada desconhecido é conectado a entrada inversora do integrador e permite-se que cresça por um tempo determinado de operação. Quando este tempo acaba, um nível conhecido da tensão de referência é conectado a saída inversora do integrador. O tempo necessário para o nível da resposta do integrador descer é anotado e a então desconhecida tensão de entrada se torna função da tensão de referência, do tempo de subida e do tempo de descida do integrador. A maior vantagem deste comparador é a sua enorme acurácia, porém é extremamente lento (geralmente trabalha ao máximo na taxa de 100 sps) e não é adequado para aplicações com processamento de áudio e sinais (Microchip, 2004). Esse conversor é usado em voltímetros digitais. O *interpolating* ADC é mostrado na Fig. (2.1.2):

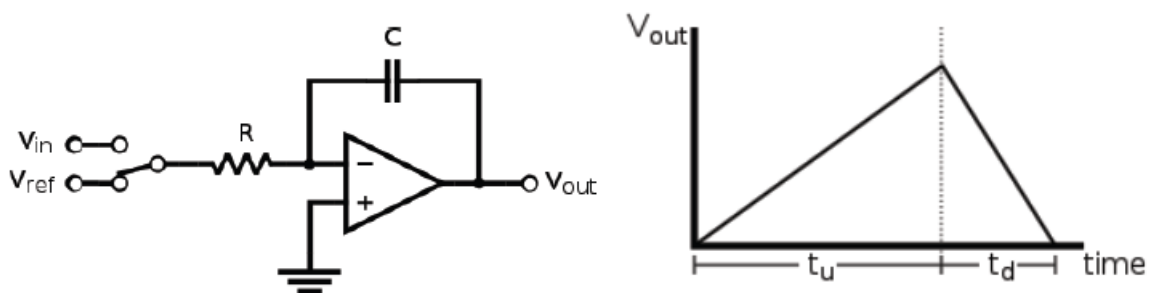


Figura 2.1.2. *Interpolating* ADC e sua onda de saída. (Wikipedia, 2017)

O *pipeline* ADC é um que converte 1 *bit* por estágio e possui N estágios conectados em série. Logo, precisa de N passos para sua conversão. Consegue atingir alta resolução (10 a 17 *bits*) em velocidades relativamente altas (cerca de 1Msps a 1 Gsps) (Rapuno, 2005). Um *pipeline* ADC de 3 *bits* é mostrado na Fig. (2.1.3) (Baker, 2008):

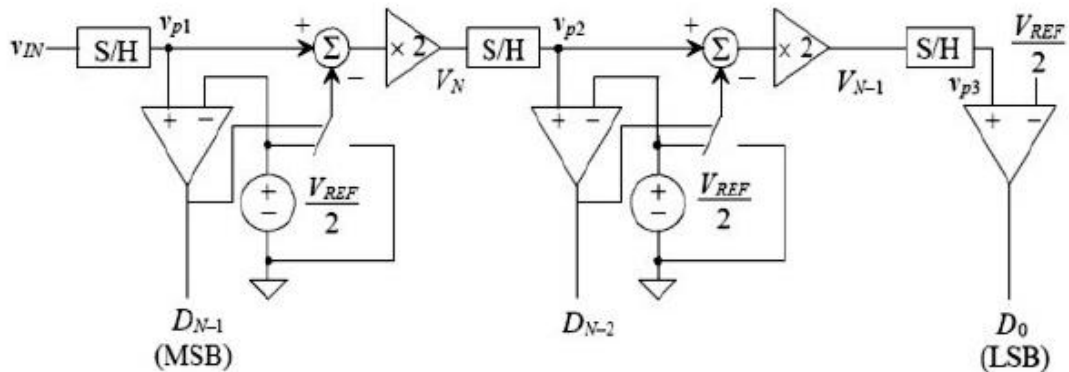


Figura 2.1.3. *Pipeline* ADC de 3 *bits*. (Baker, 2008)

Cada estágio contém um comparador, um S/H, um somador e um amplificador de ganho 2 (dois). Em cada estágio, o sinal de entrada V_{IN} é amostrado e comparado com metade de V_{REF} . Se $V_{IN} > (V_{REF})/2$, a saída do comparador é 1 e $V_{REF}/2$ é subtraído do sinal retido e passado ao amplificador. Se $V_{IN} < (V_{REF})/2$, a saída do comparador é 0 e o sinal de entrada é passado ao amplificador. O resultado da soma é multiplicado por 2 e passado ao seguinte estágio. Apesar de levar N ciclos de *clock* (CLK) para processar o sinal de entrada, uma nova amostra pode ser inserida no *pipeline* a cada ciclo. Assim, a complexidade do ADC se torna proporcional somente a N , fazendo com que o ADC ocupe uma área menor no *chip*. Deve-se ficar atento a erros nos primeiros estágios, pois há propagação de erro no conversor. Logo, deve-se ter grande acurácia nos primeiros estágios, enquanto os estágios seguintes podem ter acurácia menor (Baker, 2008).

Um exemplo mais famoso e eficiente no mercado atual de *oversampled* ADCs é o Sigma-Delta ADC. Esse conversor troca taxa de amostragem (10 sps a 1 Msp) por resolução alta. Os conversores de Nyquist obtêm cada sinal digital a partir de uma quantização exata de uma amostra de entrada. Já o conversor Sigma-Delta obtém sua saída a partir de uma sequência de amostras de entrada quantizadas imprecisamente. Deste modo, a operação de amostragem é feita em uma taxa muito mais alta do que na taxa de Nyquist (Allen *et al*, 2002). A resolução nestes conversores pode chegar até a 24 *bits* (Rapuano, 2005). A Figura (2.1.4) mostra um ADC Sigma-Delta de 1 *bit* e um ADC Sigma-Delta de N *bits*:

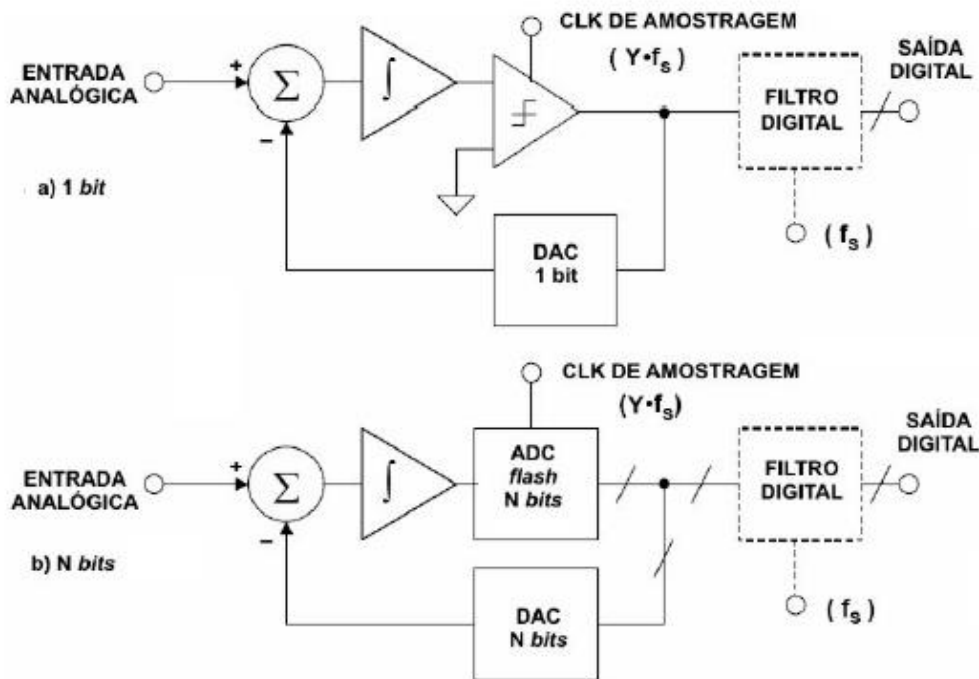


Figura 2.1.4. ADC Sigma-Delta de 1 bit e um ADC Sigma-Delta de N bits (Kester, 2005)

2.2 SAR ADC

O SAR ADC foi escolhido para este projeto, pois possui baixo consumo de potência, trabalha com taxas de conversão médias para altas (geralmente de 50 ksp/s a 50 Msp/s) e resoluções médias para altas (8 a 20 bits) (Rapuano, 2005). A resolução desejada é de 12 bits e a taxa de conversão desejada é de 1 Msp/s, logo o SAR ADC se encaixa bem nas especificações. São fáceis de serem implementados, pois apenas utilizam tecnologia MOS e apresentam bom desempenho em relação à linearidade, acurácia e taxa de conversão. Quando utilizado em resoluções médias para altas, sua simplicidade permite alta para média taxa de conversão, mantendo uma área de *chip* relativamente pequena.

O sistema de um SAR ADC pode ser dividido em quatro subsistemas:

- Circuito *sample and hold*
- Conversor digital analógico
- Comparador
- Bloco lógico *successive approximation register* (SAR)

A Figura (2.2.1) mostra os componentes básicos do conversor:

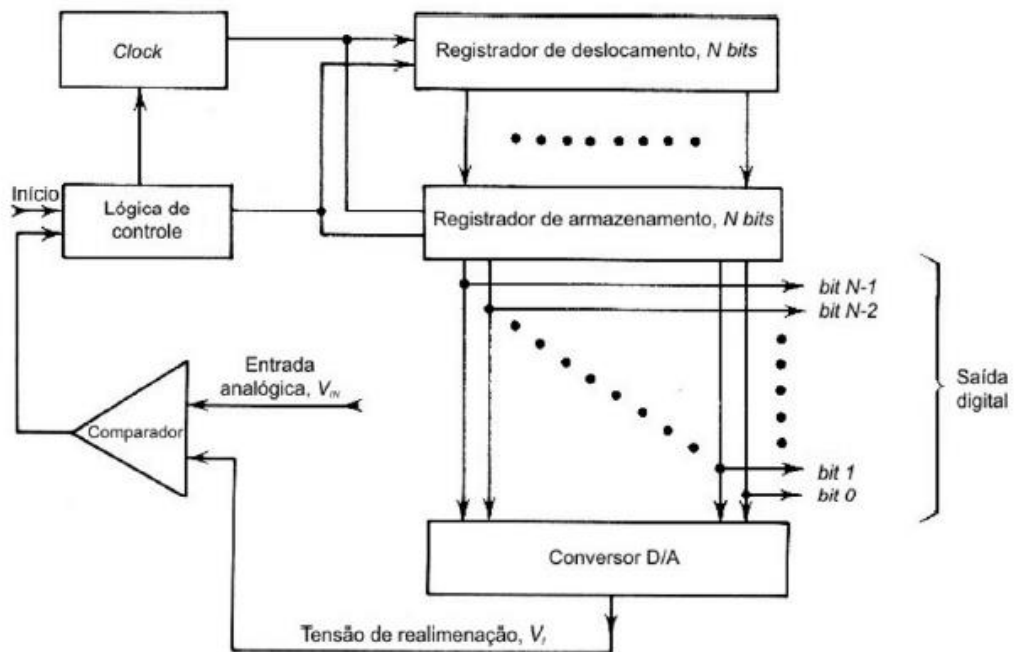


Figura 2.2.1. Diagrama de blocos de um SAR ADC. (Hnatek, 1976)

Esse conversor se baseia em N comparações sucessivas entre a entrada analógica V_{IN} e a tensão de realimentação V_f (ou V_{DAC}). No primeiro ciclo, o comparador determina se V_{IN} é maior ou menor do que $\frac{1}{2}V_{DAC}$. O próximo ciclo determina em que $\frac{1}{4}$ da variação se encontra V_{IN} . E a cada ciclo sucessivo, a faixa de possíveis resultados se estreita por um fator 2 (Barna *et al*, 1973; Hnatek, 1976).

A conversão em si se inicia com a amostragem do sinal analógico V_{IN} a ser convertido. Em seguida, o bloco lógico SAR assume que MSB é 1 e o restante dos *bits* 0. Essa palavra digital é aplicada ao DAC, que produzirá um sinal analógico V_{DAC} que é a metade de V_{REF} . Este sinal oriundo do conversor digital analógico, $\frac{1}{2}V_{REF}$, é comparado com o sinal analógico V_{IN} . Se a saída do comparador for alta, o circuito do bloco lógico de controle SAR mantém MSB igual 1 e o restante dos *bits* igual a 0. Se a saída do comparador for baixa, o circuito do bloco lógico de controle SAR inverte MSB para 0 e mantém o restante dos *bits* igual a 0. E assim o primeiro ciclo se encerra. O processo continua com o teste do segundo *bit* feito da mesma maneira e mantendo o valor definido do primeiro *bit*. Esse processo continua sucessivamente até o N-ésimo *bit* estar definido pela técnica de aproximação sucessiva, formando assim a palavra e saída digital do sistema (Geiger *et al*, 1990). O fim da conversão é marcado por um sinal de fim de conversão.

O bloco da lógica de controle é chamado de registrador por aproximações sucessivas ou registrador SAR (Geiger *et al*, 1990). Como pode se perceber a acurácia do SAR ADC depende inerentemente da acurácia do DAC, pois se o DAC não produzir a tensão analógica certa e necessária para a comparação com a tensão analógica de entrada, esse erro irá se propagar e a saída do conversor analógico digital SAR não será adequada (Baker, 2008).

No sistema SAR ADC, é comum se utilizar um arranjo de capacitores com pesos binários totalizando $2^N C$ como DAC, que serve como a parte *hold* do circuito *sample and hold*. A Figura (2.2.2) mostra um ADC por aproximações sucessivas com um arranjo de capacitores como DAC (McCreary *et al*, 1975; Gregorian, 1999; Baker, 2008):

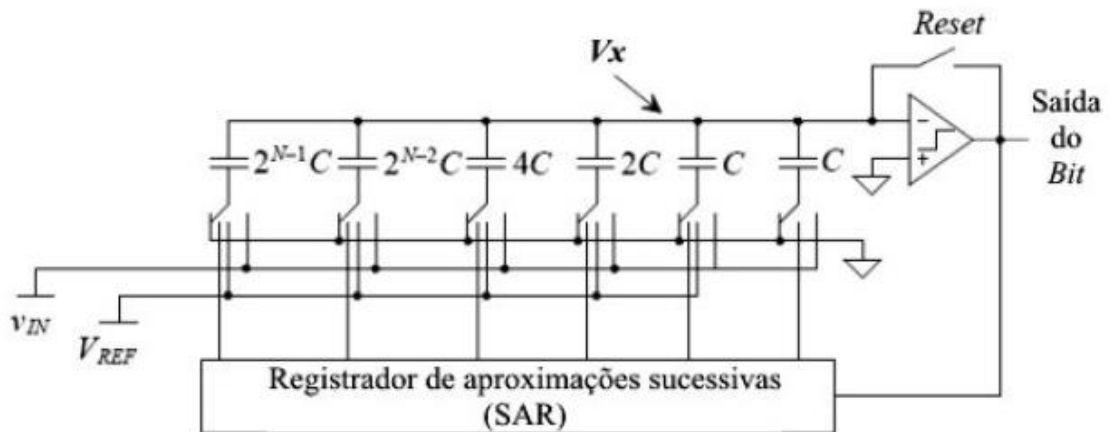


Figura 2.2.2. SAR ADC com um arranjo de capacitores (DAC). Adaptado de (Baker, 2008)

A variável C corresponde ao capacitor unitário que pode assumir qualquer valor conforme as especificações e necessidades do projeto. Após a amostragem do sinal de entrada, o conversor executa uma busca binária baseada na quantidade de carga em cada capacitor do DAC.

Neste tipo de SAR ADC, a operação do conversor pode ser dividida em quatro estágios distintos:

- A chave Reset é fechada, causando a descarga dos capacitores;
- A chave Reset continua fechada e as placas inferiores dos capacitores do DAC são conectadas a tensão de entrada V_{IN} . Deste modo, o valor V_{IN} é carregado em V_X : o total de carga retido nas placas superiores vai ser igual a $-2^N \cdot C \cdot V_{IN}$;
- A busca binária então começa. O registrador N -bits, que comanda as chaves, começa em 1000.....0. O DAC transforma essa palavra binária na tensão $V_{REF} \cdot 2^{N-1} \cdot C$, pois só a primeira chave, correspondente ao maior capacitor e ao MSB, está conectada ao V_{REF} . A tensão V_X é então acrescida desse valor, tornando-se $C \cdot (V_{REF} \cdot 2^{N-1} - 2^N \cdot V_{IN})$;
- O comparador então testa se esse valor é positivo ou negativo. Se for positivo, o bloco lógico SAR mantém o MSB em 1 e se for negativo, o bloco lógico SAR inverte o valor de MSB para 0. Este processo é repetido para todos os bits, mantendo-se os resultados anteriores.

O bloco lógico SAR conecta a chave de cada capacitor a V_{REF} se os *bits* correspondentes forem 1 ou conecta a chave ao terra se os *bits* correspondentes forem 0. Desta forma, um DAC que pega os resultados registrados no bloco lógico SAR como entrada e os converte em uma fração do V_{REF} que se deseja testar é criado. Isto significa que o *least significant bit* (LSB) é igual à $V_{REF}/2^N$, em que N é o número de *bits* e a resolução do conversor. A Figura (2.2.3) mostra a sequência de escolhas de um SAR ADC de 3-*bits*:

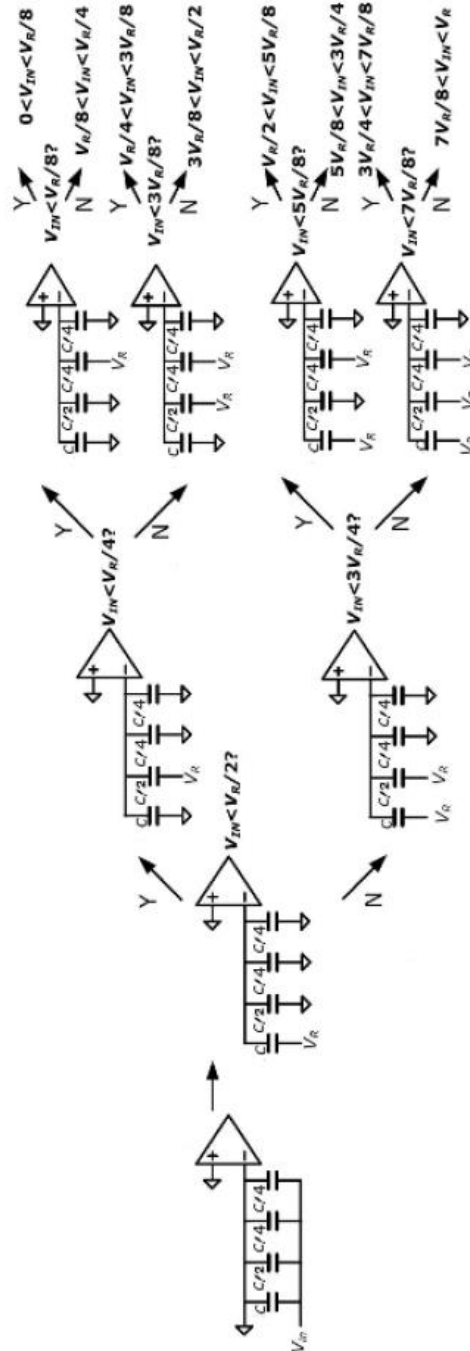


Figura 2.2.3. Sequência de escolhas de um SAR ADC de 3-*bits*. (Aouizerate, 2017)

É possível perceber que se a resposta for “Y” (sim), a chave correspondente ao capacitor e ao *bit* sendo testado é conectada ao terra, enquanto se a resposta for “N” (não), a chave correspondente ao capacitor e ao *bit* sendo testado se mantém conectada a tensão de referência V_{REF} ou V_R . Pode-se concluir também que a saída digital do conversor SAR ADC não fornece um valor exato de tensão, mas sim um intervalo em que a tensão de entrada analógica se encontra.

Deste modo, nota-se que o conversor analógico digital por aproximações sucessivas de N *bits* faz N comparações e que o conversor não pode fazer outra conversão enquanto a conversão atual está sendo feita. Uma resolução maior resulta em uma velocidade menor e se uma velocidade maior for requerida, a resolução do conversor será menor. Essa é uma de suas desvantagens. Por esse motivo, dificilmente a topologia SAR ADC é escolhida para uma resolução de mais de 14 *bits*.

2.3 MEDIDAS DE DESEMPENHO DE UM CONVERSOR

Existem diferentes medidas de desempenho usadas em um ADC para explicar sua qualidade de várias maneiras. Essas medidas de desempenho são geralmente classificadas em dois grandes grupos:

- Erros estáticos;
- Erros dinâmicos.

A categoria de erros estáticos por sua vez é dividida em quatro subdivisões:

- Erro de linearidade diferencial (DNL);
- Erro de linearidade integral (INL);
- Erro de compensação ou *offset*;
- Erro de ganho.

A categoria de erros dinâmicos também é dividida em quatro subdivisões:

- Razão sinal-ruído (SNR);
- Razão sinal-ruído e distorção (SNDR);
- Faixa dinâmica livre de espúrios (SFDR);
- Número efetivo de *bits* (ENOB).

O sinal na entrada de um ADC é quantizado, ou seja, uma palavra de N *bits* representa um entre 2^N estados possíveis. Isto quer dizer que um ADC determina em qual nível de quantização entre 2^N níveis de quantizações (saídas digitais possíveis e finitas) um sinal analógico (infinitos valores) se encontra. A resolução de um ADC pode ser expressa de várias formas. Entre elas, peso do *bit* menos significativo (LSB), número de *bits*, partes por milhão relativas ao final de escala (ppm FS), milivolts (mV), etc.

A Figura (2.3.1) mostra o valor de tensão de 1 LSB para uma tensão *full-scale* de 10V (Kester, 2005):

RESOLUÇÃO N	2^N	TENSÃO (10V FS)	ppm FS	% FS	dB FS
2-bit	4	2.5 V	250,000	25	- 12
4-bit	16	625 mV	62,500	6.25	- 24
6-bit	64	156 mV	15,625	1.56	- 36
8-bit	256	39.1 mV	3,906	0.39	- 48
10-bit	1,024	9.77 mV (10 mV)	977	0.098	- 60
12-bit	4,096	2.44 mV	244	0.024	- 72
14-bit	16,384	610 μV	61	0.0061	- 84
16-bit	65,536	153 μV	15	0.0015	- 96
18-bit	262,144	38 μV	4	0.0004	- 108
20-bit	1,048,576	9.54 μV (10 μV)	1	0.0001	- 120
22-bit	4,194,304	2.38 μV	0.24	0.000024	- 132

Figura 2.3.1. Resolução e tamanho do LSB. (Kester, 2005)

O final de escala digital (todos os *bits* em 1) é igual a 1 LSB abaixo do final de escala analógica ou FS e pode haver uma diferença de até $\frac{1}{2}$ LSB entre o valor real da entrada analógica e o exato valor da saída digital, surgindo assim o erro de quantização. Isso se aplica

tanto para um ADC quanto para um DAC. Por esse motivo, o processo de conversão analógica digital é muito mais difícil do que o processo de conversão digital analógica e muitas arquiteturas de ADC utilizam um DAC, como por exemplo, o SAR ADC.

A Figura (2.3.2) mostra todos os níveis de quantização para um ADC de 3 bits:

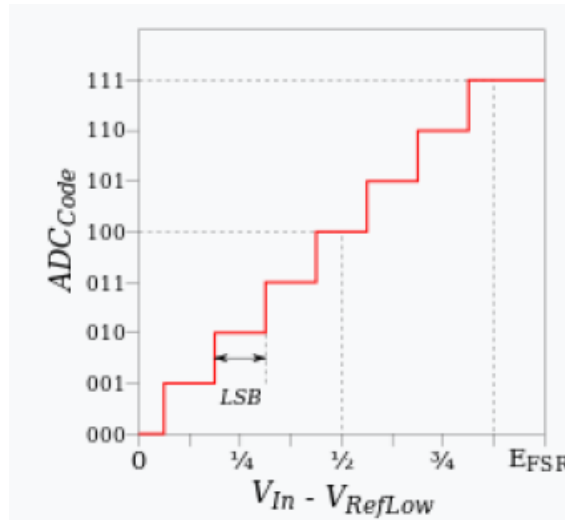


Figura 2.3.2. Níveis de quantização de um ADC de 3 bits. (Aouizerate, 2017)

O erro de quantização ou incerteza de quantização, Q_e , é definido como a diferença entre a entrada analógica real e o valor de tensão de saída (escada) produzida (Baker, 2008):

$$Q_e = v_{IN} - V_{escada} \quad (1)$$

O valor de saída da escada, V_{escada} , pode ser calculado como (Baker, 2008):

$$V_{escada} = D \cdot \frac{V_{REF}}{2^N} = D \cdot V_{LSB} \quad (2)$$

Em que D é o valor do código digital de saída e V_{LSB} o valor de 1 LSB em volts. Percebe-se que o erro de quantização é inerente a qualquer conversão analógica digital. A Figura (2.3.3) mostra que o valor do erro de quantização pode ser achado pela diferença entre o valor da escada e a linha pontilhada, que representa a entrada analógica. Para se obter o erro de quantização em $\pm 1/2$ LSB, desloca-se a curva de transferência para a esquerda em $1/2$ LSB, que produz a centralização dos códigos em torno dos incrementos de LSB na abscissa (Baker, 2008):

Código digital de saída, D

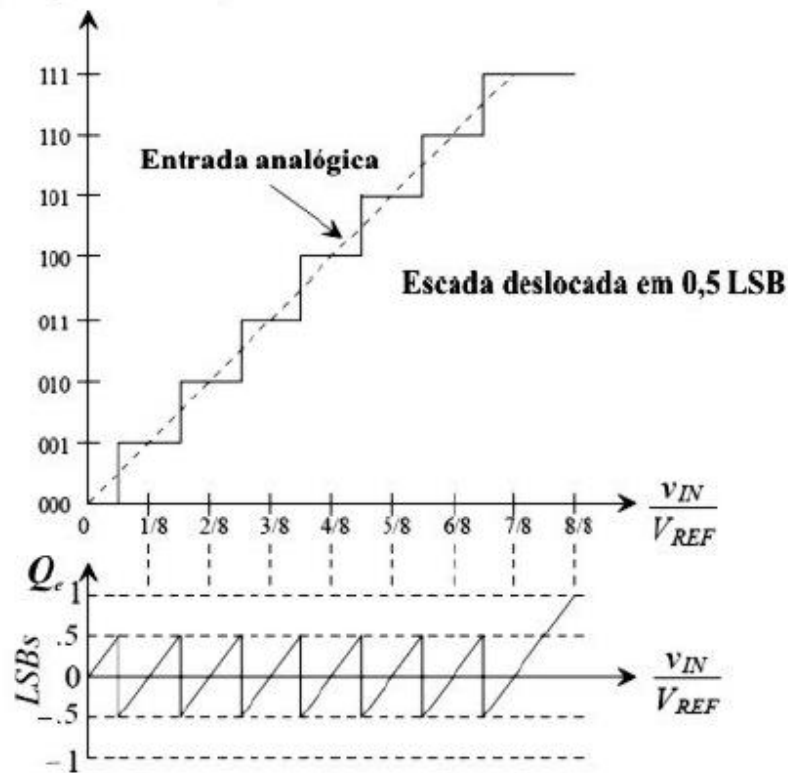


Figura 2.3.3. Curva de transferência de um ADC com Q_e centralizado em relação a zero. Adaptado de (Baker, 2008)

2.3.1 ERROS ESTÁTICOS

O erro de linearidade diferencial (DNL) é uma das mais importantes medidas de desempenho entre os erros estáticos e está relacionado à linearidade na transição do código do conversor. Esse erro explica a diferença entre o tamanho do degrau de um conversor não ideal e o tamanho do degrau de um conversor ideal (Gustavsson *et al.*, 2002). Em um ADC ideal, quando ocorre a mudança de 1 LSB na entrada analógica, ocorre a transição de 1 LSB no código digital, que é exatamente a transição de um nível para o próximo. Em um ADC não ideal, o DNL é definido como o máximo valor de desvio de uma quantidade qualquer, em toda sua função de transferência, ou seja, corresponde à diferença entre a largura real de um código de um conversor não ideal e o seu correspondente código de um conversor ideal (Baker, 2008). Se essa largura real for menor ou maior do que o valor de 1 LSB, verifica-se um erro DNL. A Figura (2.3.4) exemplifica a não linearidade diferencial de um ADC (Kester, 2005):

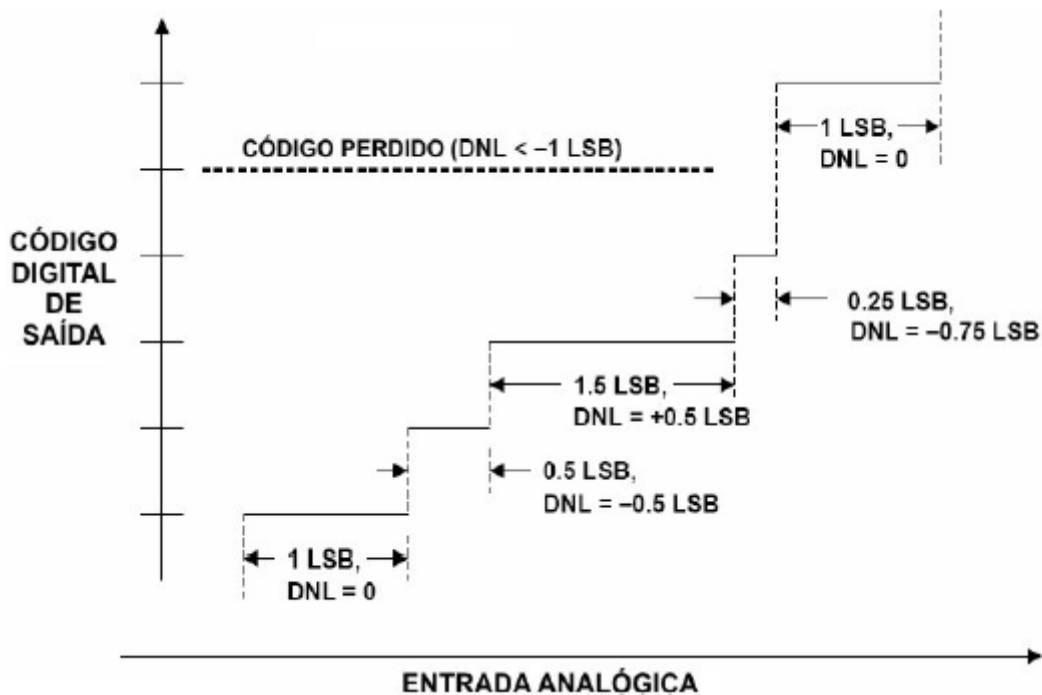


Figura 2.3.4. DNL de um ADC. (Kester, 2005)

Pode-se notar que o DNL está diretamente ligado ao erro de quantização. Além disso, para casos em que o DNL tenha valor igual a -1 LSB há perdas de códigos no momento da aquisição de dados (*missing codes*). Porém, não necessariamente há perdas de códigos para um ADC que apresenta um DNL maior que 1 LSB, apesar de haver a possibilidade (Baker, 2008). A Figura (2.3.5) exemplifica este caso:

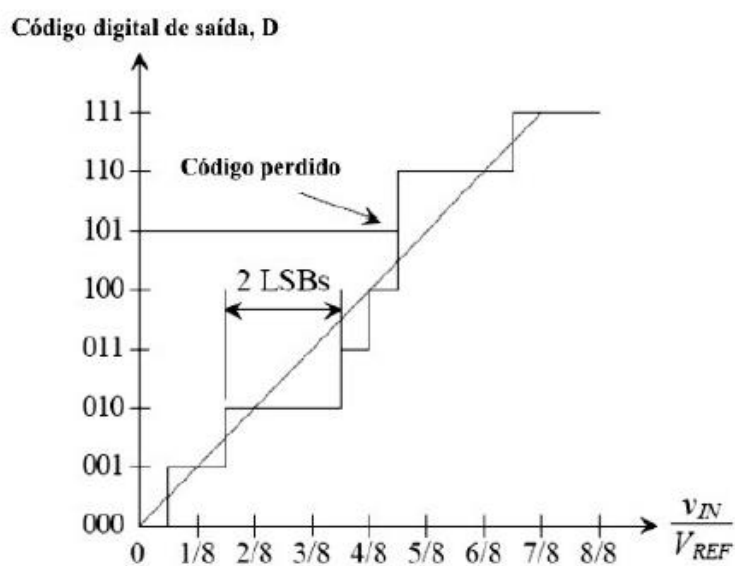


Figura 2.3.5. DNL em um ADC causando perda de código. Adaptado de (Baker, 2008)

O erro de linearidade integral (INL) também é uma das mais importantes medidas de desempenho entre os erros estáticos e é definido como máximo desvio da curva de transferência real de um conversor em relação à curva de transferência ideal de um conversor (Kester, 2005). Para ADCs, costuma-se traçar uma linha reta ao longo do meio das larguras dos códigos. O INL explica a natureza acumulativa da propriedade desempenho DNL. O tamanho e a distribuição de erros DNL decidem a natureza dos erros INL do conversor. A Figura (2.3.6) exemplifica as características INL para um conversor de 3-bits, em que a linha pontilhada representa a curva de transferência ideal e a linha cheia representa a curva de transferência real:

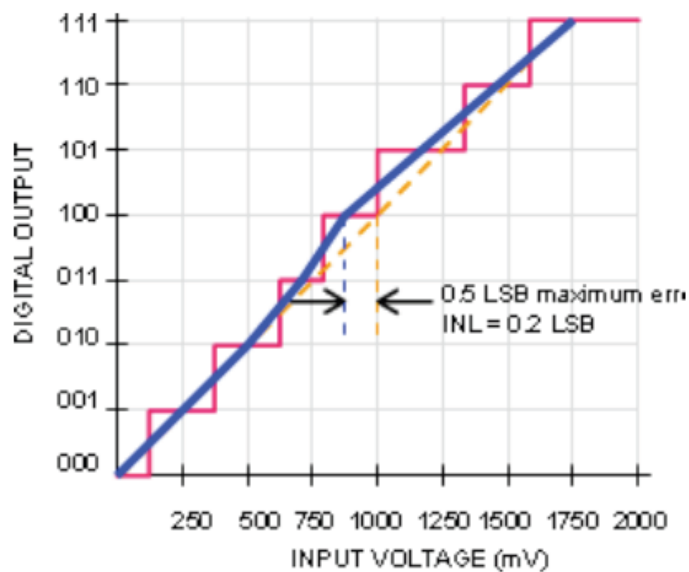


Figura 2.3.6. Características INL para um conversor de 3-bits. (Perumal, 2017)

O erro de compensação ou *offset* ocorre quando há uma diferença entre o valor real de primeira transição de código e o valor ideal de primeira transição em $1/2$ LSB. O valor do erro de compensação é constante e se torna ideal após a passagem pela tensão de compensação inicial. A Figura (2.3.7) mostra o erro de *offset* de um ADC:

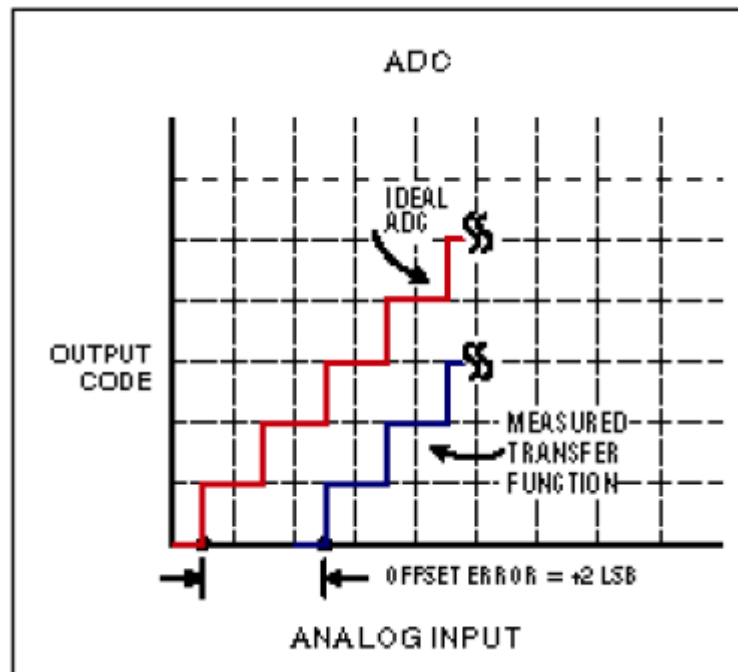


Figura 2.3.7. Erro de compensação ou *offset* de um ADC. (Aouizerate, 2017)

O erro de ganho corresponde à diferença entre a inclinação de uma linha reta ao longo da curva de transferência real e a inclinação de uma linha reta ao longo da curva de transferência de um conversor ideal.

2.3.2 ERROS DINÂMICOS

Enquanto os erros estáticos são testados com uma entrada analógica *direct current* (DC), os erros dinâmicos são testados quando o ADC tem uma entrada senoidal como entrada analógica e estão relacionados ao processo de amostragem e quantização. Esses erros dão informações sobre o ADC em relação ao ruído e aos efeitos quando submetido a altas frequências.

A razão sinal-ruído (SNR) pode ser definida como a razão da potência do sinal e a potência total de ruído gerado pelo processo de quantização. Essa propriedade dinâmica leva em conta todo o ruído presente no intervalo de Nyquist. O seu valor depende da magnitude do sinal de entrada e decresce proporcionalmente com a redução da amplitude do sinal de entrada. O valor da SNR pode ser calculado usando-se a Eq. (3) abaixo, em que N é a resolução do conversor (Baker, 2008):

$$SNR = 6,02N + 1,76 \text{ dB}$$

(3)

A razão sinal-ruído e distorção (SNDR ou SINAD) corresponde à relação entre a potência do sinal e a potência combinada de todos os componentes de distorção e ruído (exceto ruído DC) e pode ser definida como a razão do valor *root mean square* (RMS) da potência do sinal na faixa de Nyquist e a potência do ruído gerado pelo processo de quantização e outras fontes de ruído, inclusive de fontes não lineares que geram distorção.

A faixa dinâmica livre de espúrios (SFDR) é a relação entre a máxima componente do sinal de entrada do ADC e a maior componente de distorção do sinal de saída (Plassche, 2003). É definida como a razão do valor RMS da máxima componente do sinal e o valor RMS da máxima componente de ruído.

O número efetivo de *bits* (ENOB) é especificado como ao número de *bits* no sinal digitalizado que se encontra acima do patamar de ruído. Logo, o ENOB é menor que o número de *bits* que o ADC trabalha. Com a Equação (4) abaixo, pode-se determinar o valor do ENOB (Baker, 2008):

$$ENOB = \frac{SINAD - 1,76 \text{ dB}}{6,02}$$

(4)

3 PROJETO

Neste capítulo encontram-se as arquiteturas e esquemáticos dos módulos analógicos de um 12-bits SAR ADC implementados com o auxílio da ferramenta computacional Mentor, procedimentos e cálculos, metodologia aplicada e especificações do projeto.

3.1 METODOLOGIA

Com frequência, a análise e projeto de circuitos integrados necessita de abordagens em vários níveis de abstração (Razavi, 2001). Existem duas abordagens possíveis em projetos de circuitos integrados que podem ser identificadas:

- *Bottom-up*
- *Top-down*

Na abordagem *bottom-up*, o projetista começa no nível de transistor ou porta e cria circuitos com complexidade crescente, interconectados posteriormente para se conseguir a funcionalidade requerida. Já na abordagem *top-down*, o projetista repetidamente decompõe as especificações ao nível de sistema em grupos e subgrupos de tarefas mais simples (Geiger *et al*, 1990). Nessa abordagem, o projeto é definido como um diagrama de blocos que são simulados e otimizados por meio de uma ferramenta computacional de simulações. A partir dessas simulações de alto nível, são derivados os requisitos para os blocos individuais do circuito. Em seguida, os circuitos são projetados individualmente para atenderem às especificações. Na etapa final, estes circuitos são conectados, o projeto final é criado e testado em relação às especificações originais (Kundert, 2010).

Para projetar os módulos analógicos de um SAR ADC de 12-bits, com tensão de alimentação de 1,8 V, taxa de amostragem de 1 Msps, tecnologia CMOS 180 nm, tensão de entrada variando entre 0 V a V_{DD} (tensão de alimentação), a metodologia *top-down* foi

adotada com o objetivo de permitir inicialmente um entendimento geral da dinâmica do sistema, da interação entre diferentes blocos e a relação entre as porções digital e analógica.

Deste modo, foi utilizada a ferramenta MATLAB para a simulação de um modelo completo ideal de um conversor analógico digital por aproximações sucessivas, com o foco no comportamento geral do sistema.

Em seguida, os blocos analógicos foram projetados individualmente usando-se a ferramenta Mentor configurada na tecnologia 180 nm. Essa etapa foi realizada no Laboratório de Dispositivos e Circuitos Integrados (LDCI), laboratório pertencente ao Departamento de Engenharia Elétrica (ENE) da Universidade de Brasília (UnB). Os blocos analógicos projetados são os seguintes:

- *Bootstrapped switch*
- DAC
- Chave DAC
- Comparador dinâmico
- Tensão de referência

Para um desenvolvimento mais fluído do projeto, os blocos referentes ao *bootstrapped switch*, comparador dinâmico e tensão de referência passaram pelas seguintes fases:

- Criação do esquemático;
- Criação do símbolo;
- Verificação do funcionamento do bloco com uso de ferramenta computacional para simulação.

Os blocos DAC e chave do DAC passaram apenas pela primeira fase, pois precisam do bloco lógico com função digital SAR (circuito digital) para serem simulados e o projeto de circuitos digitais não fez parte do desenvolvimento deste trabalho, pois o projeto completo do SAR ADC de 12-bits foi dividido em parte analógica e digital.

Nenhum bloco projetado teve seu *layout* determinado, pois pela metade do tempo de desenvolvimento desse trabalho, o LDCI esteve sem ferramenta computacional Mentor. Depois que foi instalada, essa ferramenta não estava instalada na tecnologia desejada. Desse modo, foi necessária a instalação da tecnologia 180 nm, que gerou mais um atraso nos projetos desse trabalho.

3.2 BOOSTRAPPED SWITCH

A arquitetura de chave chamada *bootstrapped switch* foi empregada para reduzir a variação da *on-resistance* e melhorar a linearidade da chave, melhorando assim a linearidade do sistema. Deste modo, esta chave provê linearidade alta com uma taxa de amostragem alta. Na fase de amostragem, a chave *bootstrapped* e o DAC desempenham a função *sample and hold*. Além disso, foi adotada uma solução diferencial para minimizar as imperfeições inerentes, como injeção de carga e de alimentação indireta por meio do sinal de *clock*, solução diferencial que melhora o desempenho dinâmico do ADC. A Figura (3.2.1) mostra o esquemático de uma *bootstrapped switch* (Liu, 2016):

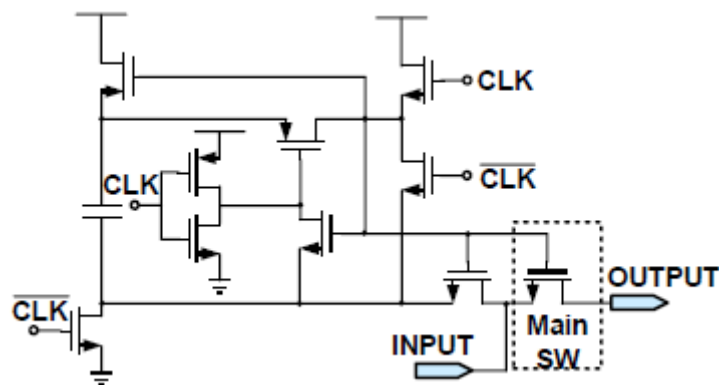


Figura 3.2.1. Esquemático de uma chave *bootstrapped*. (Liu, 2016)

3.3 DAC

A parte DAC de um SAR ADC determina a linearidade do sistema inteiro, logo é necessário projetá-la com o mínimo de não linearidades possível. A configuração apresentada aqui é a *single-ended*. É composta basicamente por capacitores e chaves e como a energia consumida pelo SAR ADC é diretamente proporcional aos valores dos capacitores empregados, a maior parte da potência usada pelo sistema é usada neste bloco. O circuito do

SAR ADC de 12-*bits* consiste em 12 capacitores proporcionais ao capacitor unitário. Além dos 12 capacitores, há um capacitor *dummy* igual ao capacitor correspondente ao LSB, colocado no fim da disposição de capacitores (mais perto da entrada do comparador). O capacitor unitário escolhido neste projeto tem capacitância de 28 fF. O capacitor unitário corresponde ao MSB, enquanto os capacitores seguintes são divididos por um fator 2 a cada *bit* seguinte, com dois capacitores com o valor correspondente ao LSB, como foi explicado. A arquitetura *single-ended* escolhida é bastante simples e eficiente. Apesar desta eficiência notada nesta arquitetura, apenas arquiteturas diferenciais são usadas na indústria. A *single-ended* foi usada principalmente para entender o sistema e seu funcionamento. A Figura (3.3.1) mostra o esquemático de uma arquitetura *single-ended* para um DAC (Aouizerate, 2017):

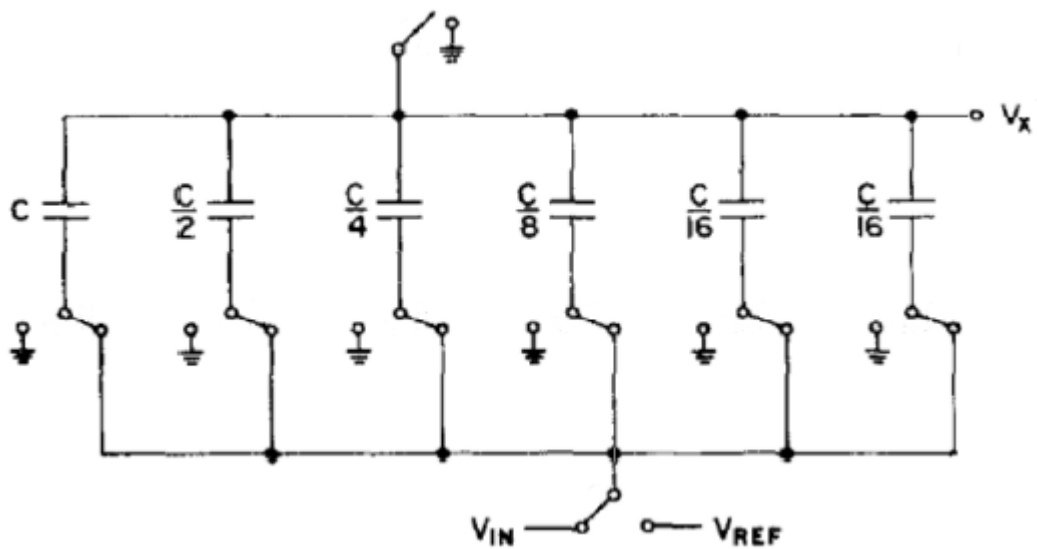


Figura 3.3.1. Esquemático de um DAC *single-ended*. (Aouizerate, 2017)

3.4 CHAVE DAC

Como a Figura (3.3.1) exemplifica, todo DAC capacitivo necessita de chaves conectadas aos capacitores que são controladas pelo bloco lógico digital SAR. Para este projeto, foi escolhida uma arquitetura simples e eficiente como arquitetura para estas chaves. Usando um transistor PMOS em paralelo com um transistor NMOS, é possível criar uma chave bidirecional controlada por tensão bastante eficiente e simples que pode ser aplicada em circuitos analógicos e digitais (Baker, 2008). A Figura (3.4.1) mostra o esquemático de uma chave desse tipo:

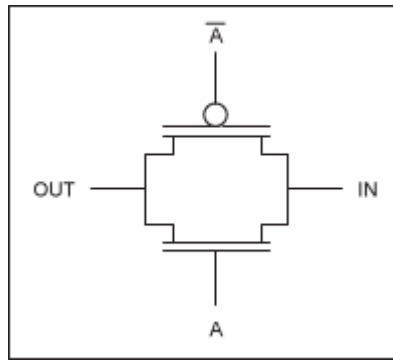


Figura 3.4.1. Esquemático da chave do DAC. (Baker, 2008)

Esta chave vai permitir ou bloquear a passagem de um sinal da entrada para a saída. Os sinais que controlam os *gates* são projetados de modo complementar, de modo que os transistores estão ora ligados ora desligados. Cada capacitor do DAC precisa de três chaves dessas, uma para o *ground*, uma para a tensão de referência e uma para a tensão de entrada.

3.5 COMPARADOR DINÂMICO

A função de um comparador é crucial e frequentemente um componente limitante no projeto de um sistema conversor de alta velocidade devido a sua acurácia limitada, velocidade de comparação e consumo de potência. Para atingir um desempenho melhor em velocidade na tecnologia CMOS 180 nm, uma estrutura sem pré-amplificador foi adotada. Além disso, com essa estrutura, é possível trabalhar em velocidades maiores, com menos potência e com baixa tensão de *offset*. A dissipação de potência também é menor, além de reduzir a área de *chip* utilizada pelo comparador. A Figura (3.5.1) mostra o esquemático do comparador dinâmico (Liu, 2016):

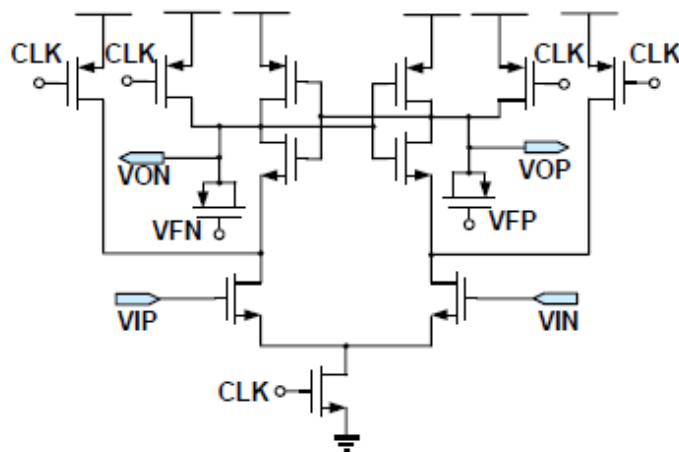


Figura 3.5.1. Esquemático do comparador dinâmico. (Liu, 2016)

3.6 TENSÃO DE REFERÊNCIA

O circuito de tensão de referência é um circuito do tipo *bandgap* que tem uma baixa sensibilidade a variações térmicas e é também robusto às flutuações na tensão de alimentação. Por esses motivos é muito usado em circuitos integrados. Produz uma tensão fixa ou constante que não varia com as flutuações da tensão de alimentação. Geralmente tem uma tensão de saída de 1,25 V e usa uma tensão de alimentação de no mínimo 1,4 V. Neste projeto, foi escolhida uma arquitetura de tensão baixa implementada inteiramente com tecnologia CMOS, sem resistores e transistores bipolares. A Figura (3.6.1) mostra o esquemático de um circuito de tensão de referência (Becker-Gomez, 2008):

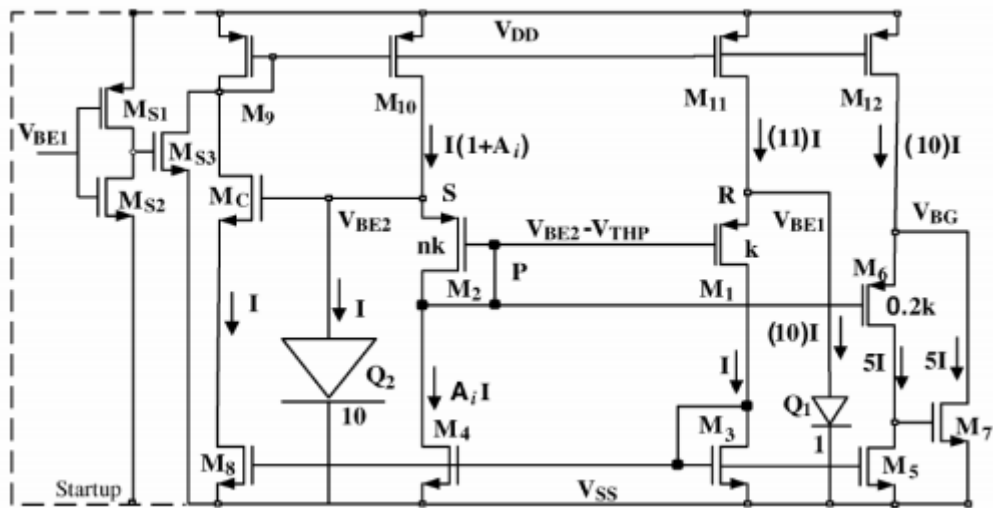


Figura 3.6.1. Esquemático de um circuito de tensão de referência (Becker-Gomez, 2008)

Não foi necessária a utilização do *start-up* circuito e a saída deste circuito é a tensão V_{BG} .

4 RESULTADOS

Neste capítulo encontram-se as simulações realizadas e seus detalhes, os gráficos correspondentes, estruturas validadas, implementadas e verificadas, testes realizados e os resultados discutidos e comentados.

Todos os circuitos foram implementados na ferramenta Mentor, disponível no Laboratório de Dispositivos e Circuitos Integrados (LDCI), laboratório do Departamento de Engenharia Elétrica da Universidade de Brasília. As simulações correspondentes a cada circuito também foram realizadas na ferramenta computacional Mentor.

4.1 **BOOTSTRAPPED SWITCH**

O circuito implementado de acordo com o projeto escolhido encontra-se na Fig. (4.1.1). O circuito foi projetado de tal modo que as imperfeições inerentes, como injeção de carga e de alimentação indireta por meio do sinal de *clock* fossem minimizadas, com o objetivo de melhorar o desempenho dinâmico do conversor. Esse circuito foi o terceiro e último projeto da chave de amostragem.

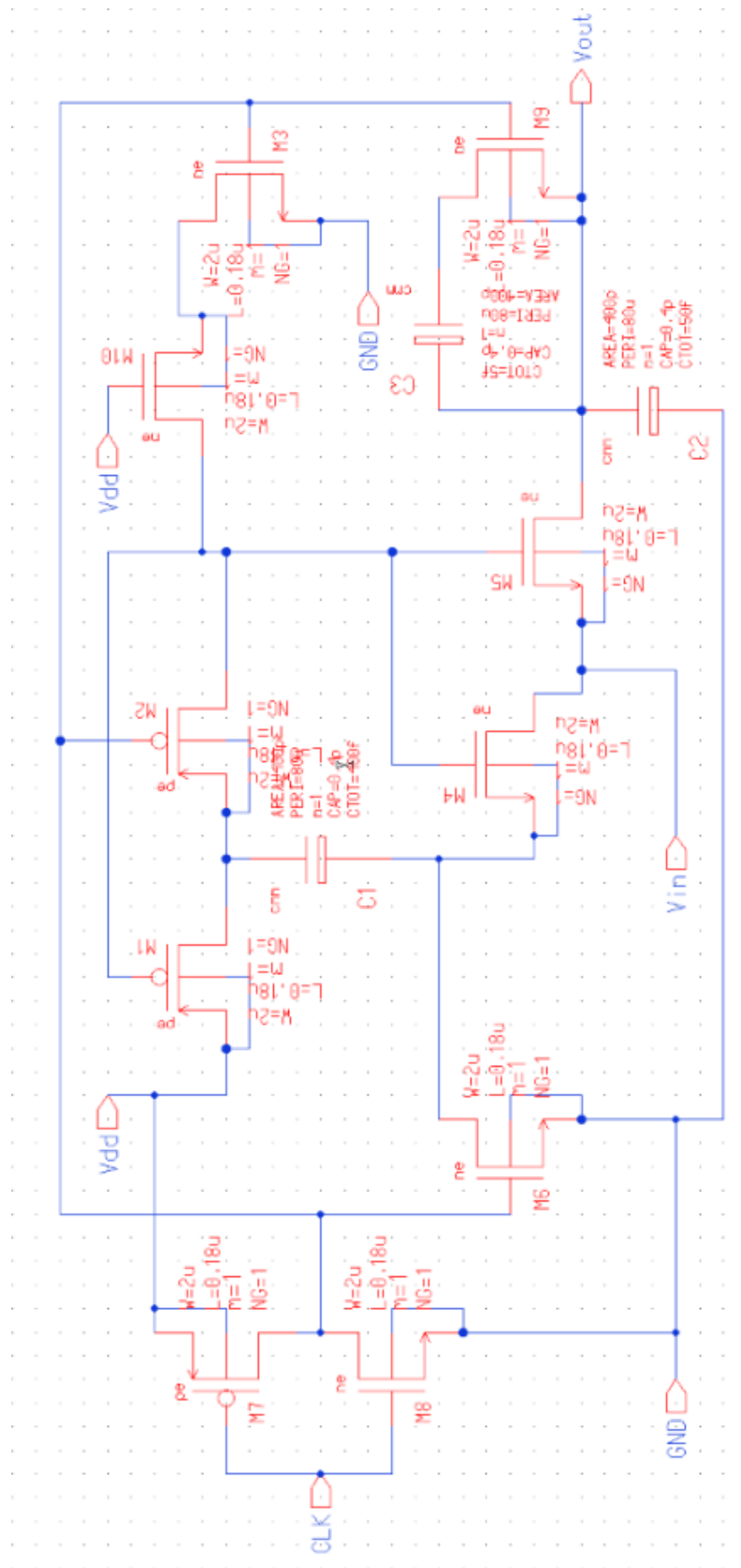


Figura 4.1.1. Esquemático da *bootstrapped switch* na ferramenta Mentor

Para realizar a simulação da chave de amostragem, foi realizada uma verificação de erros no circuito. Após a eliminação de erros do projeto, uma simulação transiente foi realizada na ferramenta computacional Mentor. A Figura (4.1.4) mostra a simulação realizada, em que o primeiro sinal na imagem representa o *clock* invertido, o segundo sinal na imagem representa o sinal de entrada, o terceiro sinal na imagem representa o sinal de entrada amostrado e o último sinal na imagem representa a diferença entre o sinal de entrada e o sinal de entrada amostrado:

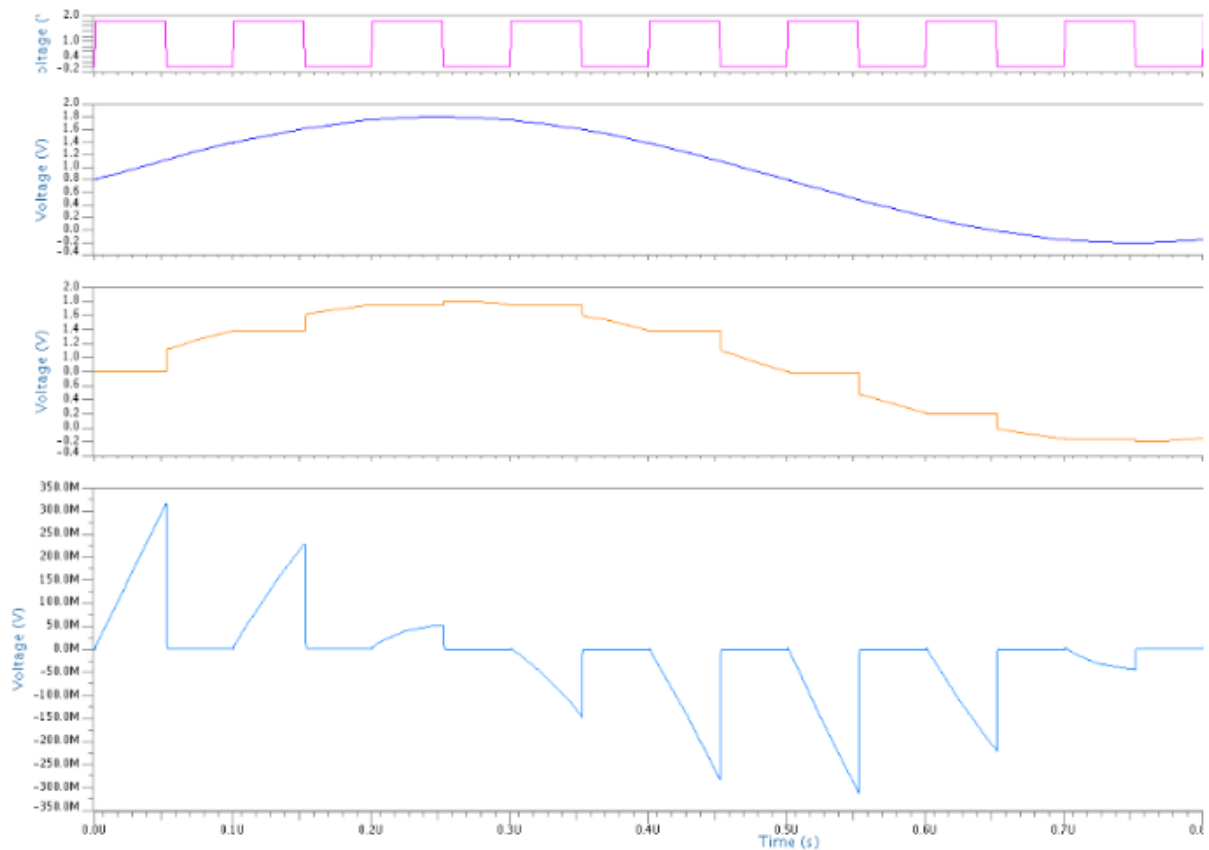


Figura 4.1.2. Gráfico da simulação respectiva a *bootstrapped switch*

Pode-se notar que, pelo último sinal representado, que a diferença entre o sinal de entrada e o sinal de entrada amostrado chega ao máximo a 0,3 V. Essa diferença é grande, levando em conta que o SAR ADC deve ter 12 *bits* de resolução para uma tensão de alimentação de 1,8 V. Porém, deve-se notar que a chave acima segue o sinal de entrada com a subida do *clock* e entra no modo *hold* com a descida do *clock*. Logo, assim que a chave entra no modo de *hold* do valor do sinal de entrada, a diferença entre os sinais é zero. A diferença aumenta até o *clock* subir novamente, em que o sinal amostrado passa novamente a seguir o sinal de entrada. Portanto, observa-se uma amostragem satisfatória com espaço para melhoria.

4.2 DAC

O circuito implementado de acordo com a arquitetura escolhida encontra-se na Fig(4.2.1):

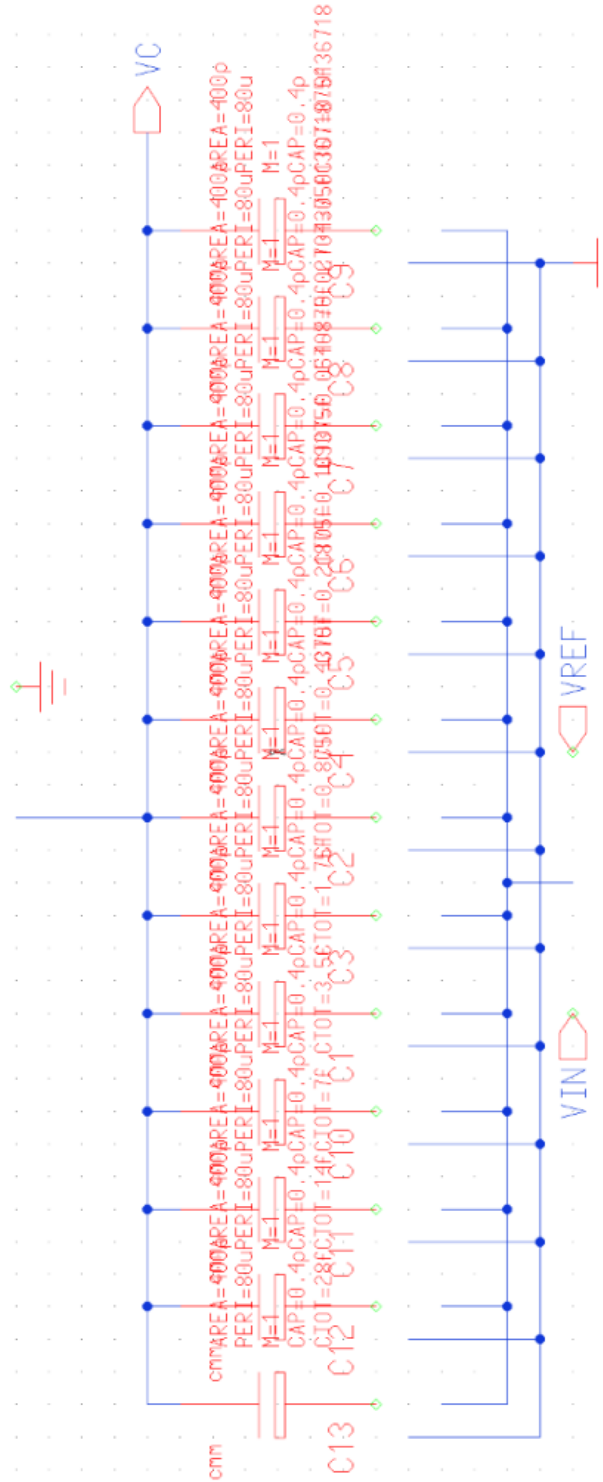


Figura 4.2.1. Esquemático do DAC na ferramenta Mentor

Apesar do DAC ser um módulo analógico do SAR ADC, para simulá-lo seria necessário o bloco lógico digital SAR para controlar suas chaves. O bloco lógico digital SAR estava sendo realizado em outro projeto, porém devido a falta da ferramenta computacional durante parte da realização do trabalho e a certos erros na instalação da parte responsável por circuitos digitais da ferramenta Mentor, existiram atrasos na síntese do bloco lógico digital SAR, impossibilitando a integração dos dois blocos a tempo e como consequência, a simulação do DAC acima. Em trabalhos futuros, espera-se a realização de tais simulações e testes.

Como se percebe, há 13 capacitores acima, com o capacitor unitário de 28 fF correspondente ao MSB a esquerda. Em seguida, há um capacitor de 14 fF, 7 fF e assim sucessivamente, sempre dividindo-se o valor da capacitância anterior pelo fator 2, até o décimo segundo capacitor, correspondente ao LSB. O décimo terceiro e último capacitor (*dummy*) tem o mesmo valor do LSB.

4.3 Chave DAC

O circuito implementado de acordo com a arquitetura escolhida encontra-se na Fig(4.3.1):

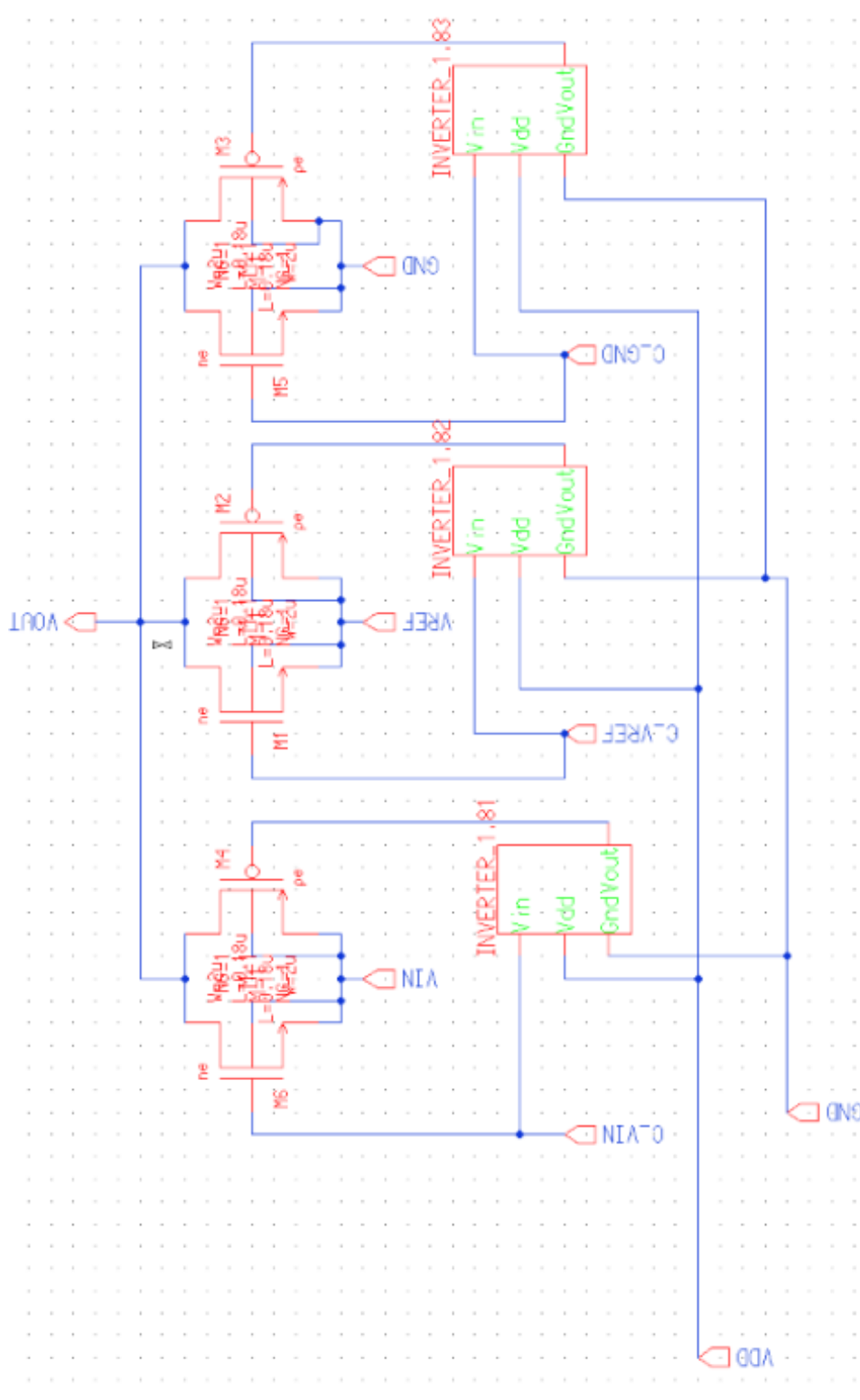


Figura 4.3.1. Esquemático da chave do DAC na ferramenta Mentor

Deve-se notar que o esquemático possui três chaves, uma para o *ground*, uma para a tensão de referência V_{REF} e uma para a tensão de entrada V_{IN} . Além disso, deve-se notar que o esquemático representa as chaves que serão usadas em apenas um capacitor. Logo, deve-se reproduzir esse esquemático para todos os capacitores do DAC.

Devido aos imprevistos relacionados ao bloco lógico digital SAR, que tem como função controlar essas chaves do DAC, não foi possível realizar a simulação desse esquemático. Espera-se que, em trabalhos futuros, esse teste se realize e concretize a teoria estudada para este projeto de chave.

4.4 COMPARADOR DINÂMICO

O circuito implementado de acordo com o projeto escolhido encontra-se na Fig. (4.4.1):

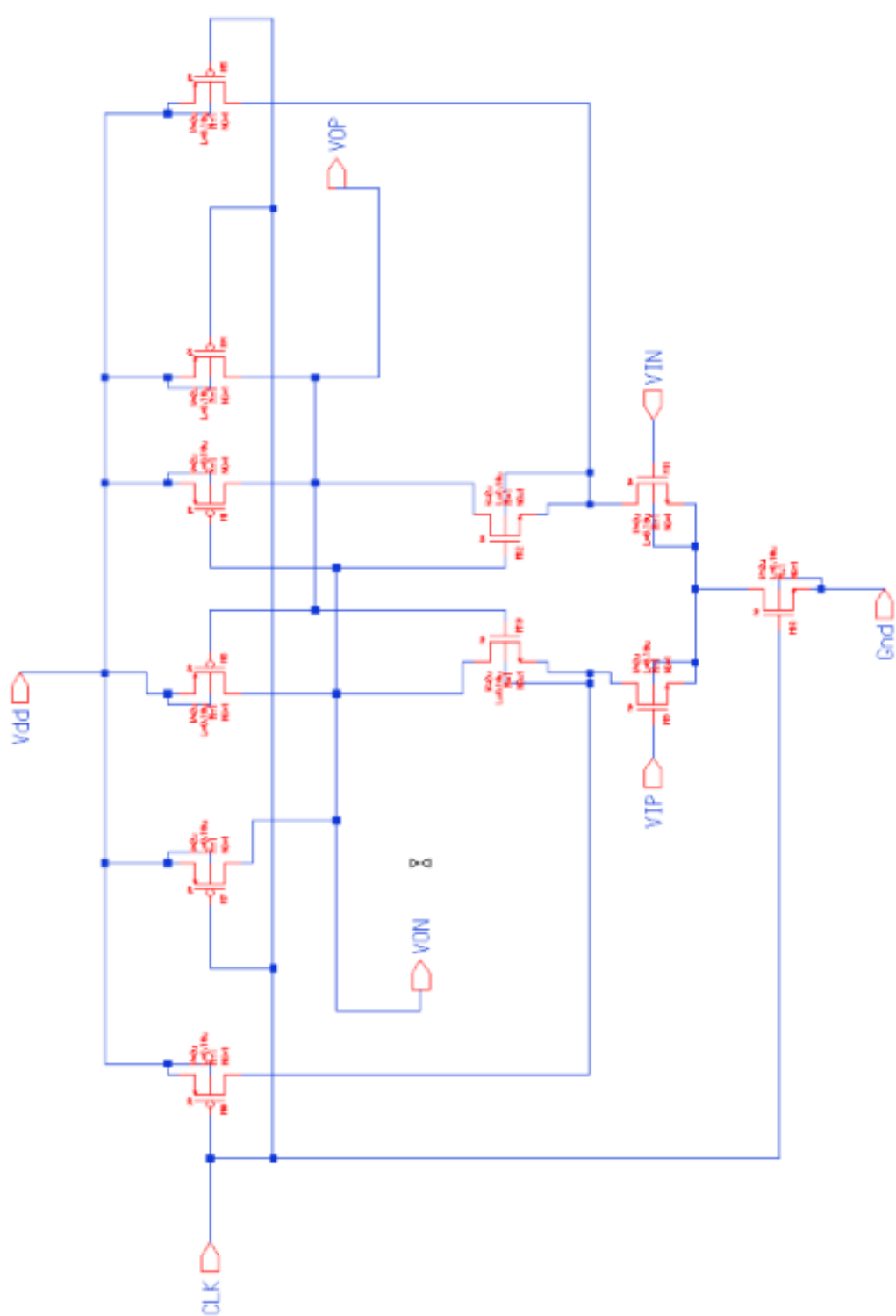


Figura 4.4.1. Esquemático do comparador dinâmico na ferramenta Mentor

Para realizar a simulação do comparador dinâmico, foi realizada uma verificação de erros no circuito. Após a eliminação de erros do projeto, uma simulação transiente foi realizada na ferramenta computacional Mentor. A Figura (4.4.2) mostra a simulação realizada, em que o primeiro sinal na imagem representa o *clock*, o segundo sinal na imagem representa o sinal de entrada positivo, o terceiro sinal na imagem representa o sinal de entrada negativo e o último sinal na imagem representa a comparação e saída do comparador dinâmico:

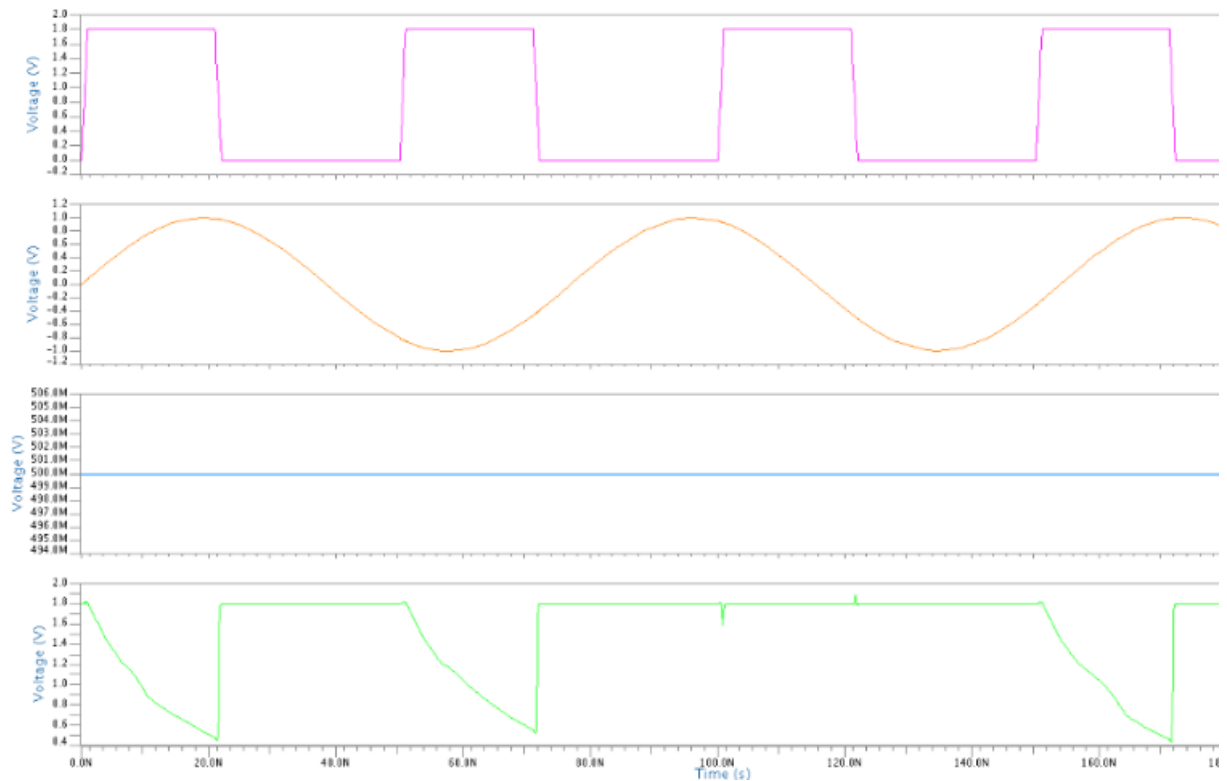


Figura 4.4.2. Gráfico da simulação respectiva ao comparador dinâmico

O comparador dinâmico compara o segundo sinal representado (sinal de entrada positivo) com o terceiro sinal representado (sinal de entrada negativo). Se o segundo sinal representado for maior que o terceiro, o comparador tem como saída sua tensão de alimentação de 1,8 V. Se o segundo sinal representado for menor que o terceiro, o comparador tende sua saída para 0 V. A comparação é realizada em toda subida de *clock* (primeiro sinal de entrada representado). O sinal de entrada positivo é uma senoidal centrada em 0 V e com 2 V_{PP}. O sinal de entrada negativo é uma tensão DC de 0,5 V.

Analisando a saída do comparador (quarto sinal representado), percebe-se que o comparador está realizando sua tarefa corretamente, pois sua saída tende a 0 V (valor lógico 0) quando o sinal de entrada positivo é menor que o negativo e permanece em 1,8 V (valor

lógico 1) quando o sinal de entrada positivo é maior que o negativo. Deste modo, conclui-se que esta arquitetura foi um sucesso. Porém, deve-se procurar espaço para melhorias em trabalhos futuros, como observar se o comparador consegue diferenciar sinais de entrada com diferença de $\pm 1/2$ LSB.

4.5 TENSÃO DE REFERÊNCIA

O circuito implementado de acordo com a arquitetura escolhida encontra-se na Fig(4.5.1):

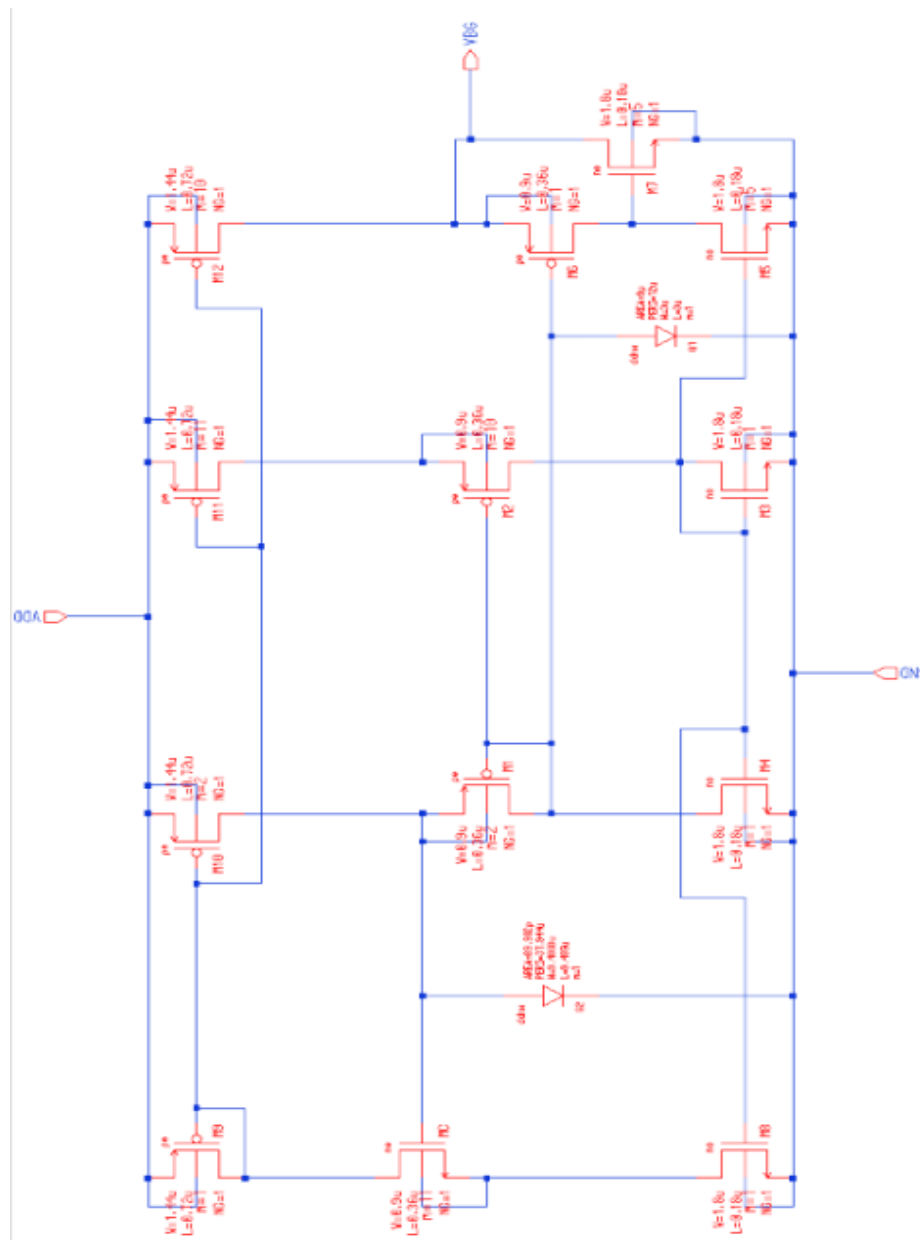


Figura 4.5.1 Esquemático da tensão de referência na ferramenta Mentor

Para realizar a simulação do circuito da tensão de referência, foi realizada uma verificação de erros no circuito. Após a eliminação de erros do projeto, uma simulação transiente foi realizada na ferramenta computacional Mentor. A Figura (4.5.2) mostra a simulação realizada, em que o primeiro sinal na imagem representa a variação da tensão de alimentação V_{DD} e o segundo sinal na imagem representa a variação da tensão de referência V_{BG} :

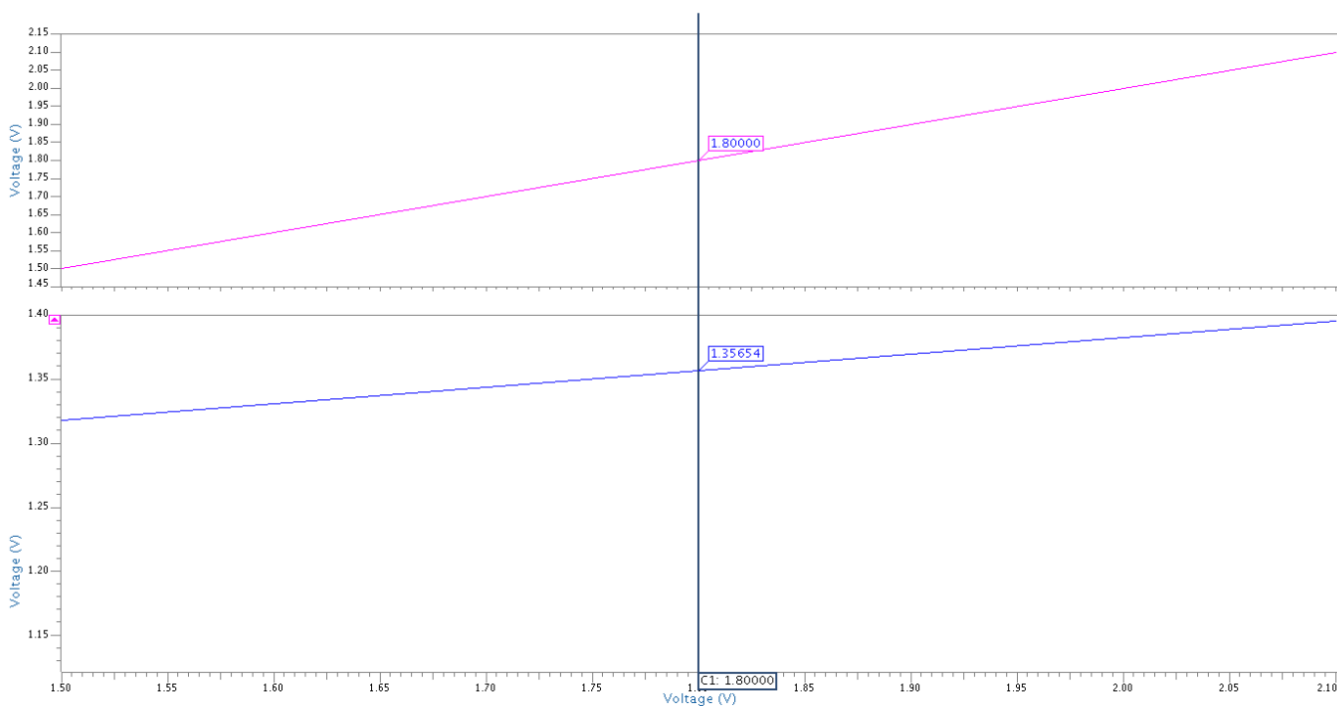


Figura 4.5.2 Gráfico da simulação respectiva ao circuito de tensão de referência a 27 °C

Como é possível perceber pelo gráfico acima, a tensão de alimentação V_{DD} varia de 1,5 V a de 2,1 V. Porém, a tensão de referência V_{BG} se mantém constante entre o intervalo entre aproximadamente 1,32 V e 1,4 V. Logo, essa arquitetura se mostra eficiente em relação a flutuações da tensão de alimentação e atinge um de seus objetivos de manter a tensão de referência aproximadamente fixa mesmo com variações da tensão de alimentação. Essa simulação foi realizada com a temperatura ambiente (27 °C).

As Figuras (4.5.3) e (4.5.4) abaixo mostram essa mesma simulação realizada com temperaturas diferentes, especificamente 0 °C e 70 °C respectivamente:

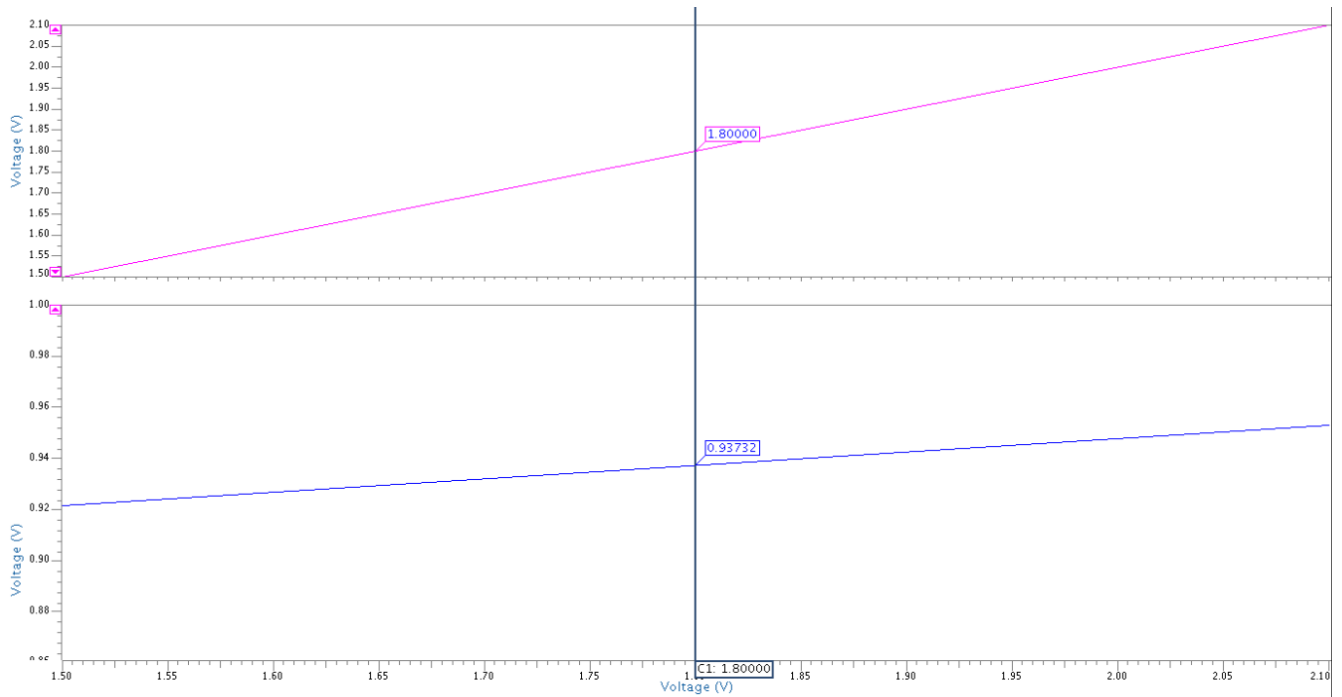


Figura 4.5.3 Gráfico da simulação respectiva ao circuito de tensão de referência a 0 °C

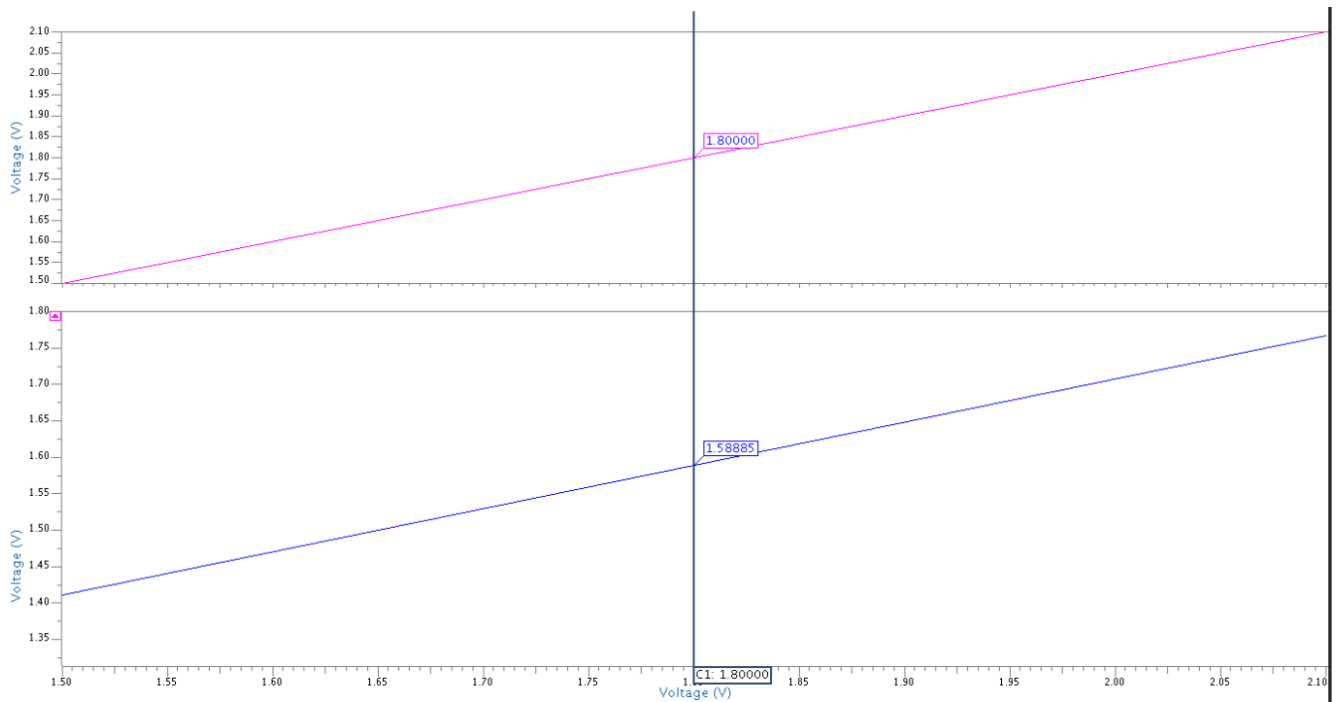


Figura 4.5.4 Gráfico da simulação respectiva ao circuito de tensão de referência a 70 °C

Pelos gráficos acima, nota-se que o circuito de tensão de referência se mostra mais eficiente em relação a flutuações na tensão de alimentação quando trabalha na temperatura ambiente e a temperaturas mais baixas, como por exemplo, a 0 °C. Quando trabalha em temperaturas altas, como 70 °C, não se mostra tão eficiente em relação a variações da tensão

de alimentação. Além disso, nota-se que a tensão de referência muda para a tensão de alimentação 1,8 V, como mostram os gráficos acima, em diferentes temperaturas. Logo, esse circuito se mostrou sensível à variação de temperatura, falhando neste quesito.

Como sugestões em trabalhos futuros, deve-se procurar melhorar ainda mais a tensão de referência, aumentando sua robustez em relação a flutuações da tensão de alimentação, principalmente em temperaturas mais altas. Além disso, trabalhar na sensibilidade a variações de temperatura.

5 CONCLUSÃO

Neste capítulo encontram-se a conclusão sobre o desempenho dos módulos analógicos do SAR ADC de 12 bits e quais possíveis melhorias e sugestões podem ser feitas em trabalhos futuros.

Esse trabalho atingiu parcialmente aos objetivos propostos, que eram os projetos e simulações de todos os blocos analógicos de um SAR ADC de 12-bits. Parcialmente devido a falta das simulações referentes aos blocos analógicos DAC e chaves do DAC, devido ao atraso da síntese do bloco lógico digital SAR, projeto referente a outro trabalho sendo realizado paralelamente. Porém, em relação aos blocos analógicos comparador, tensão de referência e chave de amostragem, o objetivo de projetar e simular estes blocos analógicos foi atingido.

Como pontos fortes e contribuições desse trabalho, deve-se deixar em destaque a pesquisa e revisão bibliográfica feita dos tipos de conversores, medidas de desempenho, blocos analógicos pertencentes a um SAR ADC, projetos e simulações feitos de parte dos blocos analógicos.

Como limitações desse trabalho, deve-se notar a falta de *layouts* dos circuitos projetados e a falta de simulação dos blocos analógicos DAC e chaves do DAC. Além dessas, deve-se notar que os circuitos projetados e simulados ainda possuem espaço para melhoras, devendo-se melhorar os resultados obtidos nesse trabalho.

Esse trabalho mostra a sequência de desenvolvimento dos módulos analógicos de um conversor analógico digital por aproximações sucessivas de 12 bits. A primeira observação que se segue após o estudo teórico de conversão analógica digital é que o desenvolvimento de um sistema integrado de sinais mistos se mostra bastante complexo, tendencioso a falhas e necessita de muita atenção a inúmeros detalhes por parte dos projetistas. Ao longo do processo, ocorrem inúmeros refinamentos, modificações, correções e testes que requerem intensa atividade e que muitas vezes resultam em erros, que fazem com o que os projetistas voltem ao início do processo.

Consequentemente, a revisão bibliográfica se mostra inerente e essencial ao desenvolvimento do conversor. O conhecimento dos princípios básicos, das funções de cada bloco, da interação entre os blocos, das inúmeras arquiteturas possíveis para cada bloco e como cada arquitetura pode melhorar o resultado final é de importância imensurável.

A metodologia foi de vital importância, pois guiou o desenvolvimento do projeto de maneira organizada. O modelo inicial, código MATLAB que simula o SAR ADC de 12-*bits* e que não fez parte deste trabalho, proporcionou a verificação da viabilidade do projeto, corroborando ou reprovando cada resultado encontrado.

Durante o processo de desenvolvimento dos módulos analógicos, decisões referentes a arquiteturas tiveram que ser tomadas, tendo sempre em mente a maior eficiência para o sistema. As topologias apresentadas ao final não implicam necessariamente em circuitos finais e funcionais, pois podem sempre serem melhoradas e caso outra topologia se mostre mais eficiente, substituídas.

Neste trabalho, buscou-se o desenvolvimento de circuitos analógicos que permitissem o entendimento e a produção de conhecimento necessário ao refinamento e melhoria de futuras versões.

Como sugestões de melhorias nesse projeto, deve-se levar em conta principalmente a implementação de uma topologia diferencial para o DAC, assim como realizar testes e simulações deste bloco integrado ao bloco lógico digital SAR, que não fez parte deste trabalho. Aperfeiçoar também resultados do comparador dinâmico, chave de amostragem e tensão de referência. Além disso, quando todos os blocos estiverem prontos, integrá-los e testar o SAR ADC de 12 *bits* como um todo. Em seguida, criar *layouts* dos blocos e do sistema, com o objetivo de criar um protótipo de um *chip* contendo um conversor analógico digital por aproximações sucessivas de 12-*bits* completo.

REFERÊNCIAS BIBLIOGRÁFICAS

- (Allen, 2002) ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design*. 2nd ed. New York: Oxford University Press, 2002.
- (Aouizerate, 2017) AOUIZERATE, M.; SHU, J.; KOPLIKU, A. *Study for the improvement of a SAR interleaved analog-to-digital converter*. CentraleSupélec, Conception Analogique Avancée.
- (Baker, 2008) BAKER, J. R. *CMOS Circuit Design, Layout, and Simulation*. 2nd ed. Piscataway: Wiley-Interscience, 2008.
- (Barna, 1973) BARNA, A.; PORAT, D. I. *Integrated circuits in digital electronics*. New York: John Wiley & Sons, 1973.
- (Becker-Gomez, 2008) BECKER-GOMEZ, A.; VISWANATHAN, T. L.; VISWANATHAN, T. R. *A Low-Supply-Voltage CMOS Sub-Bandgap Reference*. *IEEE Transactions on Circuits and Systems II: Express Briefs*, Vol. 55, No 7, julho de 2008.
- (Geiger, 1990) GEIGER, R. L.; ALLEN, P. E.; STRADER, N. R. *VLSI Design Techniques for Analog and Digital Circuits*. New York: McGraw-Hill, 1990.
- (Gregorian, 1999) GREGORIAN, R. *Introduction to CMOS OP-AMPS and comparators*. New York: Wiley-Interscience, 1999.
- (Gustavsson, 2002) GUSTAVSSON, M.; WIKNER, J. J.; TAN, N. N. *CMOS data converters for communications*. New York: Kluwer Academic Publishers, 2002.
- (Hnatek, 1976) HNATEK, E. R. *A user's handbook of D/A and A/D converters*. New York: John Wiley & Sons, 1976.
- (Kester, 2005) KESTER, W. *The Data Conversion Handbook*. Boston: Newnes, 2005.
- (Kundert, 2010) KUNDERT, K. S. *Principles of Top-Down Mixed-Signal Design*. Disponível em <http://www.designers-guide.org>. Acesso em: 14 de julho de 2017.
- (Liu, 2016) LIU, J.; ZHAO, L.; QIN, J.; YANG, Y.; YU, L.; LIANG, Y.; LIU, S.; AN, Q. *Design and simulation of a 12-bit, 40 MSPS asynchronous SAR ADC for the readout of PMT signal*. Disponível em <https://arxiv.org/abs/1601.03549>. Acesso em: 10 de agosto de 2017.
- (McCreary, 1975) MCCREARY, J. L.; GRAY, P. R. *All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques – Part I*. *IEEE Journal of Solid State Circuits*, Vol. SC-10, No 6, dezembro de 1975.

- (Microchip, 2004) *Analog-to-Digital Converter Design Guide: High-Performance, Stand-Alone A/D Converters for a Variety of Embedded Systems Applications*. Chandler, AZ, EUA, 2004.
Disponível em <http://ww1.microchip.com/downloads/en/devicedoc/21841a.pdf>. Acesso em: 10 de agosto de 2017.
- (Perumal, 2017) PERUMAL, C.; *Design of a successive approximation (SAR) ADC in 65 nm technology*. Disponível em <http://www.eit.lth.se/srapport.php?uid=462>. Acesso em: 10 de agosto de 2017.
- (Plassche, 2003) PLASSCHE, R. van de. *CMOS integrated analog-to-digital and digital-to-analog converters*. 2nd ed. Boston: Kluwer Academic Publishers, 2003.
- (Rapuano, 2005) RAPUANO, S.; DAPONTE, P.; BALESTRIERI, E.; VITO, L. de; TILDEN, S. J.; MAX, S.; BLAIR, J. *ADC Parameters and Characteristics - Part 6. IEEE Instrumentation and Measurement Magazine*, Vol. 8, No 5, dezembro de 2005.
- (Razavi, 1995) RAZAVI, B. *Principles of Data Conversion System Design*. Piscataway: IEEE Press, 1995.
- (Razavi, 2001) RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. Boston: McGraw Hill, 2001.
- (Wikipedia, 2017) *Integrating ADC*.
Disponível em https://en.wikipedia.org/wiki/Integrating_ADC. Acesso em: 10 de agosto de 2017.