

TRABALHO DE CONCLUSÃO DE CURSO

**PROJETO AUXILIADO POR COMPUTADOR DE
UM TRANSISTOR DE TUNELAMENTO RECONFIGURÁVEL
(R-TFET) DE NANOTUBOS DE CARBONO (CNT)**

Denise Louzada Muniz de Andrade

Brasília, Julho de 2016

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE CONCLUSÃO DE CURSO

**PROJETO AUXILIADO POR COMPUTADOR DE
UM TRANSISTOR DE TUNELAMENTO RECONFIGURÁVEL
(R-TFET) DE NANOTUBOS DE CARBONO (CNT)**

Denise Louzada Muniz de Andrade

*Relatório submetido ao Departamento de Engenharia
Elétrica como requisito parcial para obtenção
do grau de Engenheiro Eletricista*

Banca Examinadora

Prof. Stefan Blawid, ENE/UnB
Orientador

Prof. Daniel Café, ENE/UnB
Examinador interno

Prof. José Camargo, ENE/UnB
Examinador interno

Dedicatória

Dedico este trabalho à minha família e meus melhores amigos, em especial à minha mãe Angela, minha melhor amiga e minha fortaleza.

Denise Louzada Muniz de Andrade

Agradecimentos

Agradeço à minha mãe e às minhas irmãs por todo o apoio e carinho.

Ao Prof. Stefan, pela incrível paciência em todo o processo de realização deste trabalho, com todos os seus entraves. Sua orientação e compreensão foram fundamentais para tornar este trabalho possível.

Ao grupo de estudos da Universidade de Dresden pelo acesso ao COOS e sua documentação.

À colega Rebeca Moura por me ajudar com o COOS e outros aspectos deste trabalho.

Aos meus familiares, que sempre me incentivaram e ajudaram quando possível.

Às minhas amigas Lore e Fernanda e às minhas prima-irmãs Lígia, Suzanna e Natália pelo apoio e momentos de descontração.

Às meus amigos Taís e Pedro por serem o melhor casal e por estarem sempre dispostos a ajudar em qualquer área da vida.

À minha amiga Helena, minha alma gêmea paulistana.

Aos meus colegas de semestre, por todos os momentos de estudo e descontração que compartilhamos durante todo o curso.

Ao meu pai Jovelino, por todo o incentivo e apoio nos breves, mas preciosos momentos em que estamos juntos.

Por fim, agradeço a todos os meus colegas com que compartilhei momentos durante a graduação, dentro ou fora da Universidade.

Denise Louzada Muniz de Andrade

RESUMO

Transistores reconfiguráveis tem surgido como alternativa à miniaturização de dispositivos CMOS ditada pela lei de Moore. Este trabalho tem como objetivo avaliar se é possível realizar um transistor reconfigurável com transistores de tunelamento (TFETs) de nanotubos de carbono (CNT). Uma geometria retangular com uma porta de controle e duas portas de programação foi utilizada para possibilitar a operação em regime tipo-p e tipo-n por meio da modulação de suas tensões de polarização. O simulador COOS, um *framework* de simulação numérica para dispositivos, foi a principal ferramenta utilizada nesta investigação teórica. O simulador foi configurado de forma a descrever a injeção de cargas por tunelamento e o transporte balístico de cargas no canal. A possibilidade de reconfiguração foi confirmada e em seguida foram investigados os efeitos da variação de alguns parâmetros nos perfis de bandas de energia e na característica de transferência, em especial, no *subthreshold slope*, SS . Para tanto, foram variadas as tensões de polarização das portas, a simetria do dispositivo e o diâmetro do CNT. A avaliação dos resultados foi feita por meio da visualização de gráficos gerados na ferramenta MATLAB.

ABSTRACT

Reconfigurable transistors have emerged as an alternative to the CMOS device scaling resulted from Moore's law. This work aims to determine the possibility of realisation of a reconfigurable transistor with tunneling transistors (TFETs) made with carbon nanotubes (CNTs). A rectangular geometry with one control gate and two programming gates was used to enable p-type and n-type operation by means of gate bias modulation. The COOS simulator, a numerical simulation framework for devices, was the main tool used in this theoretical investigation. The simulator was configured to describe the charge injection by tunneling and the ballistic charge transport within the channel. Reconfigurability was confirmed and the effects of some key parameter variations on band profiles and transfer characteristics, subthreshold slope, SS in particular, were investigated. For that reason, gate bias, device symmetry and CNT diameter were varied. The evaluation of results was done by visualising graphics created with MATLAB.

SUMÁRIO

1	Introdução	1
1.1	CONTEXTUALIZAÇÃO	1
1.2	OBJETIVOS DO PROJETO	2
1.3	APRESENTAÇÃO DO MANUSCRITO	2
2	Revisão Bibliográfica	3
2.1	TRANSISTORES DE TUNELAMENTO (TFETs)	3
2.1.1	TUNELAMENTO QUÂNTICO	3
2.1.2	PRINCÍPIO DE OPERAÇÃO	4
2.1.3	TFET <i>vs</i> MOSFET	5
2.1.4	APLICAÇÕES COM TFETs	7
2.2	NANOTUBOS DE CARBONO (CNTs)	8
2.2.1	PROPRIEDADES ELETRÔNICAS DE CNTs	10
2.3	TRANSISTORES DE TUNELAMENTO DE CNT (CNT-TFET)	11
2.4	MÉTODOS DE RECONFIGURABILIDADE	11
3	Metodologia	13
3.1	SIMULADOR COOS	14
3.2	SIMULAÇÃO DE UM CNT-RTFET	18
4	Resultados e Análises	20
4.1	SIMULAÇÃO DE UM CNT-RTFET	20
4.1.1	DIAGRAMAS DE BANDA	20
4.1.2	CARACTERÍSTICA DE TRANSFERÊNCIA	22
4.2	SIMULAÇÃO DA RECONFIGURABILIDADE	23
4.2.1	DIAGRAMAS DE BANDA	23
4.2.2	CARACTERÍSTICA IV	23
4.3	ANÁLISE DE <i>subthreshold slope</i>	24
4.4	OTIMIZAÇÃO DA GEOMETRIA	25
4.5	OTIMIZAÇÃO DO MATERIAL	27
4.6	OTIMIZAÇÃO PRELIMINAR DE UM CNT-RTFET	28
5	Conclusões	30

5.1	TRABALHOS FUTUROS	31
	REFERÊNCIAS BIBLIOGRÁFICAS	32
	Anexos.....	35
I	Apêndice	36
I.1	CÓDIGO DE ENTRADA DO COOS.....	36

LISTA DE FIGURAS

2.1	Ilustração do efeito túnel em um STM, em que E é a energia dos elétrons livres incidentes e V_0 é a altura da barreira de potencial. O eixo vertical representa energia e a forma da função de onda $\psi(x)$ é mostrada para um momento específico. Figura retirada de [1].....	4
2.2	Princípio de operação de um TFET tipo-p. (a) Seção transversal do dispositivo. (b) Perfil das bandas de energia no estado desligado (linha azul tracejada) e estado ligado (linha vermelha). (c) Característica de transferência. Figura retirada de [2]...	5
2.3	Comparação entre as características de transferência de MOSFETs e TFETs. (a) Performance para tensão de <i>overdrive</i> constante, (b) comparação qualitativa de soluções para MOSFETs e um TFET. Extraído de [2].	7
2.4	Ambipolaridade em TFETs. Retirado de [3]	8
2.5	Característica de saída para o inversor C-TFET. Retirado de [3].....	8
2.6	Ganho de tensão do inversor C-TFET. Retirado de [3].....	9
2.7	Estrutura de três tipos de SWCT. (a) tipo <i>zig-zag</i> , (b) tipo poltrona, (c) helicoidal. Extraído de [4].	9
2.8	Esquemático de uma treliça hexagonal de grafeno para a produção de um SWNT. Extraído de [4].	10
2.9	Variação da banda proibida E_g em função do diâmetro d_{CNT} . Extraído de [5].	11
2.10	Célula de 8 portas lógicas reconfiguráveis composta por 7 DG-CNTFETs e a respectiva tabela verdade. Extraído de [6].....	12
3.1	Fluxograma de cálculo das características de saída do COOS	14
3.2	Geometria do TFET	19
4.1	Diagramas de banda para CNT-RTFET tipo-p.....	21
4.2	Característica de transferência de um CNT-RTFET tipo-p	22
4.3	Diagramas de banda para CNT-RTFET tipo-n.....	24
4.4	Característica de transferência de um CNT-RTFET tipo-n	25
4.5	Determinação do <i>Subthreshold slope</i> para transistor tipo-n.....	25
4.6	Determinação do <i>Subthreshold slope</i> para transistor tipo-p.....	26
4.7	Efeitos da variação de geometria na característica de transferência. L é o comprimento total do dispositivo.....	26
4.8	Característica de transferência para variação de diâmetro do CNT	27

4.9	Característica de um dispositivo com otimização preliminar em relação a otimizações independentes	29
-----	---	----

LISTA DE TABELAS

4.1	Parâmetros de simulação para CNT-RTFET tipo-p.....	21
4.2	Parâmetros de simulação para CNT-RTFET tipo-n.....	23
4.3	Parâmetros de simulação de geometria	26
4.4	Parâmetros de simulação de material	27
4.5	Parâmetros de simulação de otimização	28

LISTA DE SÍMBOLOS, NOMECLATURAS E ABREVIACÕES

Variáveis

C_d	Capacitância da região de depleção	[F/cm ²]
C_{ox}	Capacitância do óxido	[F/cm ²]
d	Diâmetro	[nm]
E_C	Energia da banda de condutância ou condução	[eV]
E_g	Energia da banda proibida	[eV]
E_V	Energia da banda de valência	[eV]
I_D	Corrente de dreno	[μ A]
I_{ON}	Corrente de estado ligado (<i>ON</i>)	[μ A]
I_{OFF}	Corrente de estado desligado (<i>OFF</i>)	[μ A]
L	Comprimento	[nm]
m^*	Massa efetiva das cargas	[kg ou m_e]
SS	<i>Subthreshold slope</i>	[mV/dec]
T	Temperatura	[K]
V	Tensão elétrica	[V]
V_G	Tensão na porta de controle	[V]
V_D	Tensão no dreno	[V]
V_S	Tensão tensão na fonte	[V]
V_{PD}	Tensão na porta de programação do dreno	[V]
V_{PS}	Tensão porta de programação da fonte	[V]

Constantes

\hbar	Constante de Planck reduzida ou constante de Dirac = $6,583 \times 10^{-16}$	[eV/s]
q	Carga do elétron = $1,6 \times 10^{-19}$	[C]
k	Constante de Boltzmann $\approx 8,617 \times 10^{-5}$	[eV/K]

Símbolos gregos

λ	Janela de tunelamento	[eV]
λ_{eff}	Caminho livre efetivo	[nm]
$\Delta\phi$	Janela de transmissão	[eV]
Ψ_s	Potencial eletrostático de superfície	[V]

Siglas

BTBT	<i>Band-to-band-tunneling</i>
CNT	<i>Carbon Nanotube</i>
CNTFET	<i>Carbon Nanotube Field-Effect-Transistor</i>
CNT-TFET	<i>Carbon Nanotube Tunneling Field-Effect Transistor</i>
CNT-RTFET	<i>Carbon Nanotube Reconfigurable Tunneling Field-Effect Transistor</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
FET	<i>Field-Effect Transistor</i>
MOSFET	<i>Metal-Oxide-Semiconductor Field-Effect Transistor</i>
SWNT	<i>Single Wall Nanotube</i>
TFET	<i>Tunneling Field-Effect Transistor</i>
WKB	<i>Wentzel-Kramer-Brillouin</i>

Capítulo 1

Introdução

1.1 Contextualização

Durantes as últimas décadas, a tendência da indústria de semicondutores tem seguido a Lei de Moore, que afirma que a densidade de transistores nos microchips mais avançados dobra a cada 18 meses [7]. Para tanto, a miniaturização dos transistores é fundamental para que essa tendência se mantenha. Dessa forma, temos observado uma incrível diminuição de escala de transistores e o conseqüente aumento de capacidade de armazenamento e processamento, assim como de funcionalidade de dispositivos eletrônicos.

No entanto, existem limites físicos para o dimensionamento de transistores e a indústria de semicondutores está se aproximando desses. Nesse sentido, existe uma grande motivação da comunidade científica em investigar formas alternativas de implementação de circuitos integrados e novos materiais para substituir o silício. Portanto, o objetivo é encontrar uma solução diferente da tecnologia CMOS (*more Moore*) que possa complementá-la ou substituí-la [8].

Como alternativa para o silício, materiais de carbono como grafeno e nanotubos de carbono tem sido investigados devido às suas excelentes características térmicas e elétricas. Apesar de materiais como estes terem sido muito investigados nas décadas de 70 e 80, somente após o trabalho pioneiro de Sumio Ijima [9], os nanotubos de carbono (CNTs) começaram a serem estudados como material de canais condutores. Uma variedade de dispositivos utilizando CNTs foram estudados e alguns deles realizados logo depois [10],[11],[12].

Uma popular abordagem *beyond Moore* é o transistor de tunelamento de efeito de campo, o TFET, que utiliza emissão de cargas por efeito túnel em contrapartida à emissão termiônica de dispositivos CMOS. O efeito túnel fornece uma grande vantagem na implementação de circuitos de baixa potência devido a sua capacidade de gerar mesma corrente que um MOSFET à tensões bem menores e a uma mudança abrupta de estado desligado para ligado, que não depende da temperatura como os MOSFETs [13].

Transistores reconfiguráveis são outra abordagem possível nesse sentido. A tecnologia CMOS, que utiliza transistores tipo-p e tipo-n, foi revolucionária no sentido de implementação de funções

lógicas em circuitos eletrônicos. No entanto, a dopagem é realizada durante a fabricação e não pode ser alterada durante a operação. A possibilidade de configuração dinâmica do transistor promete aumentar o número de funções lógicas de um dispositivo eletrônico [14].

Transistores reconfiguráveis de nanotubos de carbono (CNT-RFET) já foram investigados na literatura existente [6], assim como transistores de tunelamento de nanotubos de carbono (CNT-TFET) [15],[12]. Entretanto, não há literatura conhecida que combine a reconfigurabilidade de transistores com a tecnologia CNT-TFET.

1.2 Objetivos do projeto

O objetivo deste trabalho é investigar a possibilidade de integrar o conceito de reconfigurabilidade de dispositivos com a tecnologia CNT-TFET, utilizando uma geometria de três portas (uma de controle e duas de programação, uma em cada contato). Esta investigação teórica é realizada com *framework* COOS de simulação numérica para dispositivos com o objetivo de investigar as características elétricas do CNT-RFET aqui concebido.

1.3 Apresentação do manuscrito

No Capítulo 2 é feita uma revisão dos conceitos e técnicas necessários para este estudo. Em seguida, o Capítulo 3 descreve a metodologia empregada no desenvolvimento do projeto, definindo todas as etapas para implementação do dispositivo. Os resultados das simulações realizadas são discutidos e analisados no Capítulo 4. No Capítulo 5 são feitas as considerações finais sobre o projeto e seus resultados, além de propor linhas de estudo para trabalhos futuros no tema. Enfim, nos anexos contém um exemplo de arquivo de entrada utilizado para as simulações.

Capítulo 2

Revisão Bibliográfica

Neste capítulo, serão elucidados os principais conceitos e técnicas necessários para o entendimento deste trabalho. Na seção 2.1 são abordados os princípios físicos e as características de operação de TFETs, assim como uma comparação com dispositivos CMOS. Em 2.2, é mostrada a teoria de CNTs e suas características físicas e eletrônicas. Na seção 2.3, é feita a exposição de CNT-TFETs e, por fim, a seção 2.4 aborda o conceito de reconfigurabilidade de dispositivos.

2.1 Transistores de Tunelamento (TFETs)

Com o intuito de compreender o interesse em transistores de tunelamento, é necessário entender os princípios físicos em que essa tecnologia se baseia. Esta seção se ocupa em explicar estes conceitos e como a aplicação dos mesmos leva ao funcionamento do dispositivo e às suas vantagens e desvantagens em relação a MOSFETs.

2.1.1 Tunelamento quântico

O tunelamento quântico, ou efeito túnel, é um fenômeno que provém diretamente da interpretação do princípio da incerteza de Heisenberg e da dualidade onda-partícula para a energia de partículas como o elétron em relação a uma barreira de potencial. Heisenberg afirma que existe uma probabilidade não nula de que uma partícula com energia total menor que uma barreira de potencial possa atravessá-la [16]. Este é um fenômeno essencialmente quântico, uma vez que viola as relações clássicas entre energia, posição e momento, e se torna mais explícito quanto menores forem as distâncias observadas.

A Figura 2.1 mostra um modelo para um microscópio de varredura por tunelamento (do inglês, *scanning tunneling microscope* ou STM). Nele, os elétrons atravessam de uma região classicamente permitida para outra ($V < E$) por meio de uma região classicamente proibida ($V > E$) [1].

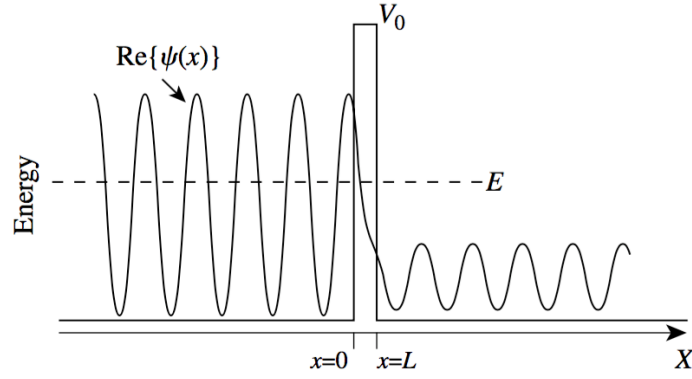


Figura 2.1: Ilustração do efeito túnel em um STM, em que E é a energia dos elétrons livres incidentes e V_0 é a altura da barreira de potencial. O eixo vertical representa energia e a forma da função de onda $\psi(x)$ é mostrada para um momento específico. Figura retirada de [1]

2.1.2 Princípio de operação

Um dos mecanismos de tunelamento, observado por Zener pela primeira vez em 1934, é o tunelamento banda a banda (em inglês, *band to band tunneling* ou BTBT) [2]. Este fenômeno ocorre quando as cargas passam da banda de valência para a banda de condução, ou o contrário, por meio do tunelamento quântico. Portanto, em contraste com o mecanismo de emissão termiônica de MOSFETs, os TFETs utilizam BTBT como mecanismo primário de injeção de cargas no canal.

Para simplificar a análise, aqui será analisado apenas um TFET tipo-p, pois o mesmo princípio pode ser aplicado a um TFET tipo-n apenas invertendo a dopagem e a polarização dos contatos. Os TFETs mais comuns consistem em uma junção p-i-n reversamente polarizada em que a fonte tem dopagem tipo-n e o dreno, tipo-p, enquanto o canal é intrínseco. O canal é controlado por um contato de porta isolado por uma fina camada dielétrica. A polarização da porta afeta diretamente o perfil das bandas de energia do dispositivo, como mostra a Figura 2.2. E_F mostra os níveis de Fermi na fonte e no dreno. E_V e E_C indicam a energia das bandas de valência e condução, respectivamente.

Quando $V_{GS} = 0$ e $V_{DS} < 0$, o transistor está desligado e não há estados de energia livres no canal para que as cargas possam tunelar a partir da fonte. Conseqüentemente, a corrente de fuga que flui no canal é muito pequena. Quando aplicada uma tensão $V_{GS} < 0$, uma janela de transmissão $\Delta\phi$ é aberta, criando estados livres na região intrínseca, permitindo o tunelamento das cargas na fonte.

A barreira para o tunelamento pode ser aproximada pela barreira triangular em cinza (Figura 2.2(b)) de largura λ . A corrente I_{ON} em um TFET é criticamente dependente da probabilidade de transmissão do BTBT, que é comumente computada pela aproximação de Wentzel-Kramers-Brillouin (WKB) aplicada a equação de Schrödinger. A Figura 2.2(c) mostra como relação de transferência de um TFET é não linear em escala logarítmica, o que ocorre em MOSFETs convencionais, justamente devido a dependência da corrente em relação à probabilidade de transmissão

pelo método WKB, T_{WKB} , e do número de estados disponíveis para tunelamento entre a fonte e o canal.

$$T_{WKB} \approx \exp\left(-\frac{4\lambda\sqrt{2m^*}\sqrt{E_g^3}}{3q\hbar(E_g + \Delta\phi)}\right) \quad (2.1)$$

Aqui, λ é a janela de tunelamento, que corresponde a espessura da barreira de tunelamento, m^* é a massa efetiva das cargas, E_g é o *bandgap* ou banda proibida do material, q é a carga do elétron, $\Delta\phi$ é a janela de transmissão e \hbar é a constante de Planck reduzida, ou constante de Dirac.

De acordo com T_{WKB} , a modulação da porta do TFET deve ser feita de forma a gerar um campo elétrico capaz de deslocar as bandas de valência e condução da junção de modo que a diferença seja no mínimo o *bandgap* do semiconductor utilizado.

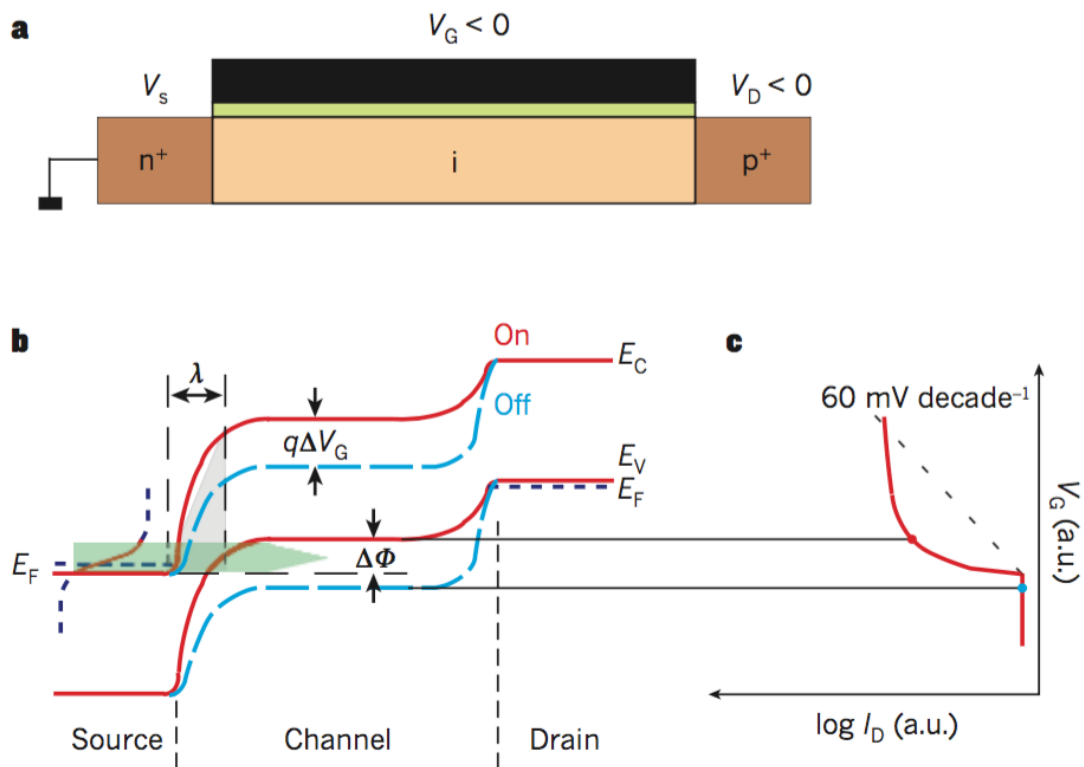


Figura 2.2: Princípio de operação de um TFET tipo-p. (a) Seção transversal do dispositivo. (b) Perfil das bandas de energia no estado desligado (linha azul tracejada) e estado ligado (linha vermelha). (c) Característica de transferência. Figura retirada de [2].

2.1.3 TFET vs MOSFET

Tendo em vista os princípios elucidados anteriormente e suas implicações, podemos analisar como o fenômeno de tunelamento quântico se apresenta em dispositivos eletrônicos como transis-

tores, que vem sofrendo grande miniaturização nas últimas décadas. Os dispositivos MOSFET estado-da-arte possuem dimensões de menos de 20 nm [17] e essa menor escala se torna cada vez mais um entrave para o controle de corrente do dispositivo. Para distâncias menores que 10nm, as cargas passam a tunelar da fonte direto para o dreno, fazendo que o canal fique essencialmente transparente e, conseqüentemente, que o controle de corrente pelo contato de porta se torne inefetivo [18]. Tarr *et al* [19] mostrou em 1995 como o efeito de redução do comprimento do canal afeta negativamente tanto o *subthreshold slope* quanto a relação I_{ON}/I_{OFF} de MOSFETs. Dessa forma, a diminuição da escala destes dispositivos requer uma análise mais a fundo desse efeito e na relação nesses dois parâmetros da sua característica elétrica.

O principal quesito de análise da capacidade de troca entre os estados ligado e desligado de um transistor é o seu *subthreshold slope* ou *subthreshold swing*, SS , que reflete a tensão que deve ser aplicada na porta para que a corrente no dreno varie em uma ordem de grandeza quando o transistor está operando em regime sub-limiar, e pode ser computada pela expressão [2]:

$$SS = \frac{dV_G}{d\Psi_s} \frac{d\Psi_s}{d(\log I_D)} \quad (2.2)$$

Aqui, Ψ_s é o potencial eletrostático de superfície. O primeiro termo corresponde ao fator de efeito de corpo e o segundo caracteriza a variação da corrente de dreno em função da variação no potencial eletrostático. Como MOSFETs se utilizam de emissão termiônica para injeção de cargas, o seu *subthreshold slope* depende da temperatura. A equação 2.3 aplica as características elétricas de MOSFETs à equação SS , à temperatura ambiente.

$$SS \cong \left(1 + \frac{C_d}{C_{ox}}\right) \ln 10 \frac{kT}{q} \Big|_{T=300K} \cong 60mV/dec \quad (2.3)$$

Este resultado mostra que há um limite térmico do SS para MOSFETs. Não há como reduzir as tensões aplicadas sem aumentar I_{OFF} e, conseqüentemente, degradar SS . Em contrapartida, é possível computar *subthreshold slope* para TFETs a partir da corrente de dreno para BTBT numa junção p^+-n^+ :

$$SS \approx \frac{\ln(10)}{|e|} \frac{3q\hbar(E_g + \Delta\phi)^2}{4\lambda\sqrt{2m_*}\sqrt{E_g^3}} \quad (2.4)$$

Nota-se que os termos da equação não são limitados pela temperatura, portanto fica clara a possibilidade de realizar um dispositivo com $SS < 60$ mV/dec utilizando o efeito túnel como método de injeção de cargas [20].

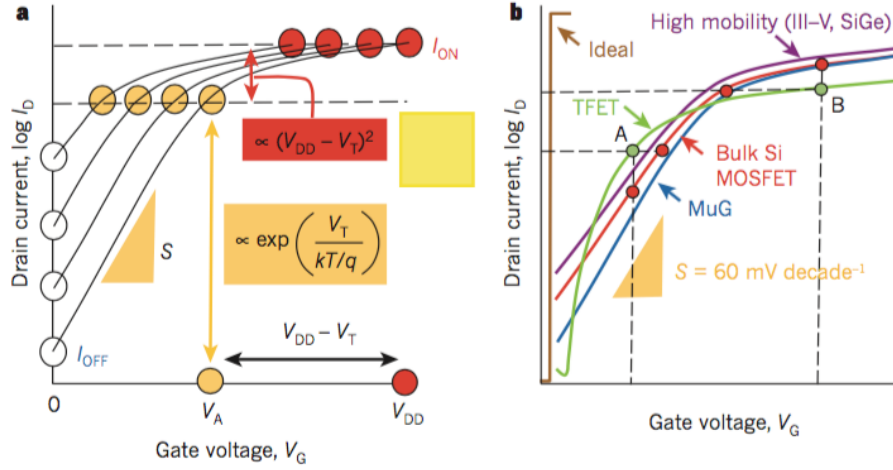


Figura 2.3: Comparação entre as características de transferência de MOSFETs e TFETs. (a) Performance para tensão de *overdrive* constante, (b) comparação qualitativa de soluções para MOSFETs e um TFET. Extraído de [2].

Outra grande vantagem de TFETs é uma corrente I_{OFF} muito reduzida, para mesma corrente I_{ON} em relação a MOSFETs a menor tensão de alimentação V_{DD} . Conseqüentemente, TFETs tem melhor performance a baixas tensões [21]. Entretanto, um dos principais desafios dos TFETs é realizar uma corrente I_{ON} satisfatória, devido a forte dependência em relação a probabilidade de transmissão T_{WKB} . Além disso, como já citado, SS não é linear em relação a V_G , dificultando a tarefa de manter SS médio menor que 60 mV/dec para um intervalo razoável de tensão de porta [22].

Visando mitigar estes problemas, algumas otimizações foram propostas levando em consideração os parâmetros característicos da performance de TFETs. Para aumentar a corrente I_{ON} , a probabilidade de transmissão da barreira na fonte deve ser próxima a unidade para pequenas variações em V_G . Analisando a aproximação WKB, deve-se minimizar E_G , m e λ , sendo que os dois primeiros parâmetros dizem respeito ao material. Já λ pode ser modulado por variações em diversos parâmetros diferentes, resultando em soluções diferentes. Dentre elas estão: aumento da permissividade do dielétrico entre canal e porta, canal o mais unidimensional possível e alta dopagem do contato fonte. Em tempo, resultados experimentais mostraram que I_{ON} quase não depende do comprimento do canal. Por fim, deve-se observar que TFETs são dispositivos ambipolares (Figura 2.4), isto é, conduzem corrente para tensões de porta positivas e negativas. Esta característica dificulta a supressão das cargas provenientes do dreno. Para contornar esse efeito, o uso de heteroestruturas, assimetria dos perfis de dopagem do dreno e da fonte e assimetria da geometria são recomendados [2].

2.1.4 Aplicações com TFETs

Aplicações em eletrônica utilizando TFETs já foram investigadas. Em 2013, Mantl *et al* [3] realizaram experimentalmente um inversor C-TFET (*Complementary TFET*) utilizando nanofios

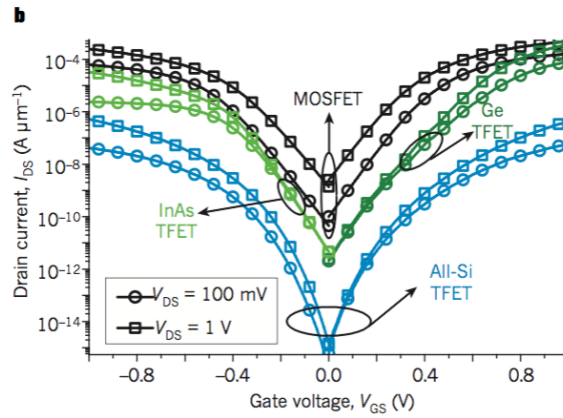


Figura 2.4: Ambipolaridade em TFETs. Retirado de [3]

de silício. A Figura 2.5 mostra uma transição abrupta com grande margem de ruído até para $V_{DD} = 0,2$ V. A Figura 2.6 mostra que um ganho máximo de 57 para $V_{DD} = 1,2$ V e de aproximadamente 3 para $V_{DD} = 0,2$ V, o que ilustra o potencial da tecnologia TFET para aplicações em ultra-baixa potência.

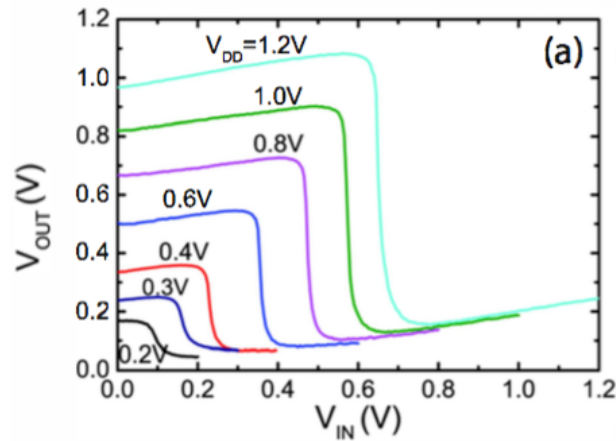


Figura 2.5: Característica de saída para o inversor C-TFET. Retirado de [3]

2.2 Nanotubos de Carbono (CNTs)

Os nanotubos de carbono são nanomateriais orgânicos, descobertos em 1991 por Sumio Iijima[9]. Um CNT de parede simples é uma folha de grafeno enrolada cilindricamente para formar um tubo. A folha deve ser enrolada de forma a conectar os seus anéis hexagonais de forma apropriada e as pontas dos tubos devem ser fechadas, normalmente por uma tampa de hemi fullereno de diâmetro apropriado. A Figura 2.7 mostra três estruturas de nanotubos de carbono de parede única (do inglês, *Single Wall Nanotube* ou SWNT), definidas pelo ângulo de conexão dos anéis hexagonais e seus respectivos fullerenos hemisféricos.

A estrutura de um SWNT é definida por um vetor quiral que é dado pela equação 2.5 e

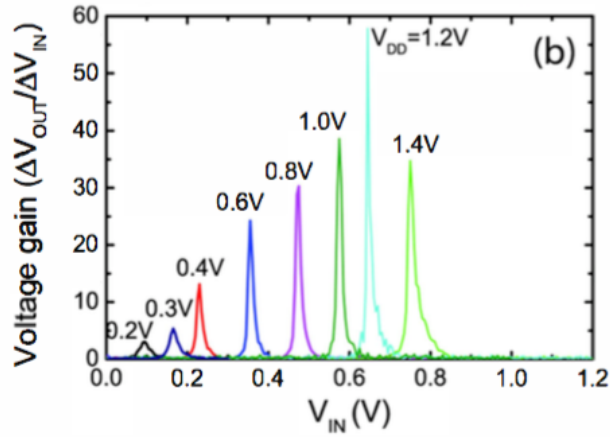


Figura 2.6: Ganho de tensão do inversor C-TFET. Retirado de [3]

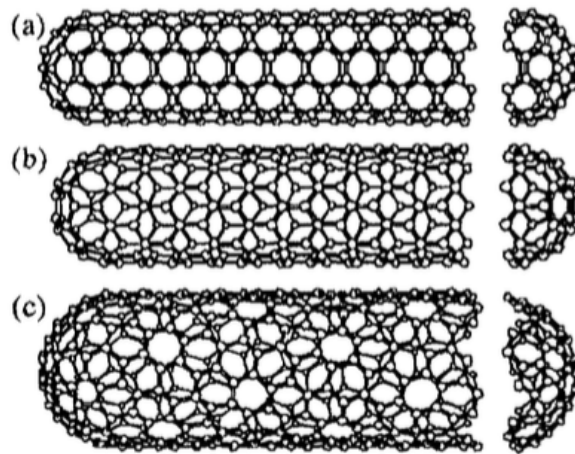


Figura 2.7: Estrutura de três tipos de SWCNT. (a) tipo *zig-zag*, (b) tipo poltrona, (c) helicoidal. Extraído de [4].

que corresponde a uma seção do tubo perpendicular ao seu eixo. O vetor é descrito por uma combinação linear de dois vetores unitários de base. O índice de quiralidade (n, m) define o tipo de nanotubo.

$$OA = C_h = \mathbf{n}a_1 + \mathbf{m}a_2 \quad (2.5)$$

A Figura 2.8 mostra a estrutura de treliça hexagonal desenrolada de um SWCN. Os vetores OA e OB definem o vetor quiral C_h e o vetor translacional T , respectivamente. O nanotubo é criado unindo-se os pontos O e A , e B e B' e R é um vetor de simetria. A quiralidade está diretamente relacionada com as características físicas, pois caracteriza a estrutura cristalográfica do nanotubo. Portanto, deve-se observar o tipo de nanotubo para atender as especificações da aplicação desejada.

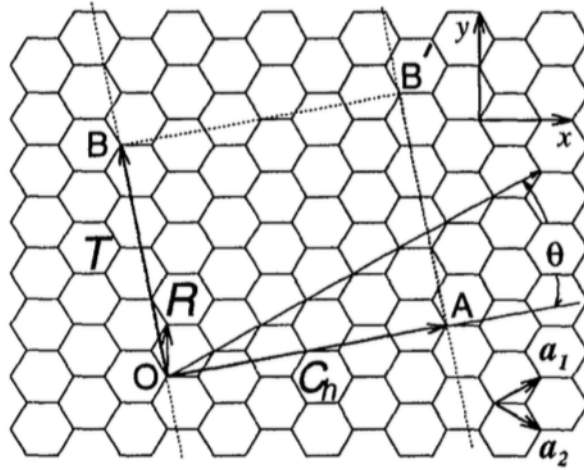


Figura 2.8: Esquemático de uma treliça hexagonal de grafeno para a produção de um SWNT. Extraído de [4].

2.2.1 Propriedades eletrônicas de CNTs

O comportamento eletrônico de CNTs é devido principalmente às características da folha de grafeno e a forma com que a folha é enrolada em formato cilíndrico. O arranjo da estrutura cristalográfica define o comportamento do tubo, fazendo-o ser metálico ou semicondutor, dado que o grafeno não possui banda proibida e é um semi-metal, em sua forma de folha [23]. O arranjo é definido pelo ângulo de quiralidade entre os átomos dos anéis hexagonais das extremidades a serem conectadas e esse ângulo define o comportamento do nanotubo [1].

Uma das principais características dos nanotubos (CNTs) de carbono é o fato de que seu diâmetro é muito menor do que seu comprimento. Essa razão de aspecto é extremamente útil, pois sua estrutura quase unidimensional fornece pouquíssimo espalhamento de cargas, sendo possível transporte balístico de cargas até à temperatura ambiente [23]. No entanto, a esse transporte depende do caminho efetivo das cargas, que para CNTs é $\lambda_{eff} \approx 100$ nm. A partir dessa distância, o espalhamento de cargas se torna significativo, degradando I_{ON} [24].

Devido ao confinamento das cargas à camada monoatômica do grafeno, os CNTs permitem o transporte em apenas duas direções opostas em relação ao seu eixo. Entretanto, o transporte de cargas em CNTs semicondutores ainda não é entendido completamente. Além da sua característica quase unidimensional, uma característica importante a ser levada em conta é o diâmetro do tubo [11]. A Figura 2.9 mostra como a banda proibida do CNT é afetada pelo diâmetro.

Além disso, os CNTs possuem cargas com baixa massa efetiva e fornecem excelente controle eletrostático do canal devido ao seu diâmetro muito pequeno, isso faz que estas estruturas sejam muito boas tanto em termos de materiais quanto de geometria. Arranjando a estrutura de forma apropriada, unimos estas características a um *bandgap* pequeno, fazendo que os CNTs possivelmente já possam ter performance comparável ao silício como material intrínseco [25],[26].

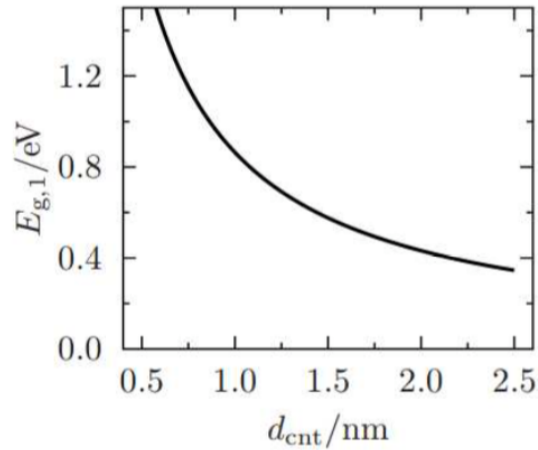


Figura 2.9: Variação da banda proibida E_g em função do diâmetro d_{CNT} . Extraído de [5].

2.3 Transistores de tunelamento de CNT (CNT-TFET)

Devido as suas excelentes características elétricas, os CNTs são bons candidatos para transistores de tunelamento. O primeiro transistor com *subthreshold slope* menor que 60 mV/dec foi realizado com TFETs de nanotubos de carbono por Appenzeller *et al* [27] em 2004. Outros estudos foram executados confirmando a realização de CNT-TFETs [28],[12].

A implementação de uma estrutura p-i-n é mais vantajosa, entretanto a implementação física requer dopagem de regiões do CNT, assim como junções abruptas, o que se provou desafiador. No entanto, simulações teóricas foram realizadas por Poli *et al* [29]. Além disso, foi mostrado que a tensão no dreno não deve ser muito maior que na porta, para reduzir correntes parasitas [30].

O uso de CNTs como material intrínseco em TFETs provou-se muito vantajoso, uma vez que permite melhor performance no estado ligado e menor SS [28]. Em contraste com CNTs, o silício não é um bom material para TFETs devido ao seu grande bandgap e a alta massa efetiva das cargas, necessitando de muitas otimizações par obter boa performance [2],[15].

2.4 Métodos de reconfigurabilidade

A possibilidade de reprogramação de circuitos durante a sua operação tem sido estudada com o objetivo de expandir a funcionalidade de circuitos, utilizando a mesma quantidade de dispositivos e flexibilizando a operação de circuitos eletrônicos. Para tal realização, existem duas estratégias de reprogramação possíveis [14]:

1. Método de granularidade grossa

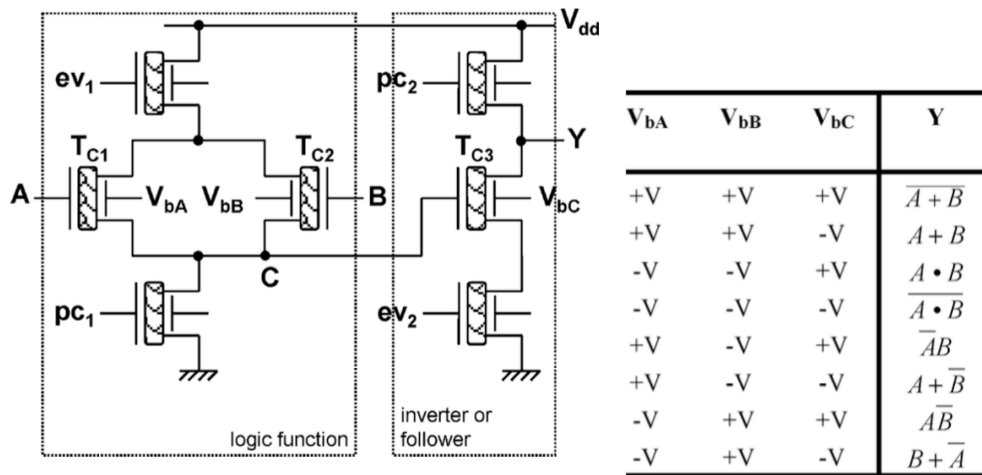
Este método consiste em criar e alterar o caminho da informação até o dispositivo ou unidade funcional desejados. Assim, o usuário final pode criar os caminhos de informação necessários para sua aplicação. O FPGA (do inglês, *Field Programmable Gate Array*), utilizado desde

1984, é o exemplo mais comum deste tipo dessa abordagem.

2. Método de granularidade fina

Utilizando a granularidade fina, o objetivo é que se possa reprogramar o circuito a nível de cada dispositivo ou unidade funcional, permitindo um modelo de circuito mais compacto e flexível. O exemplo mais proeminente deste tipo de abordagem é o *memristor* (do inglês *memory resistor*), que é um componente elétrico passivo não-linear de dois terminais que relaciona carga elétrica e fluxo magnético. Como seu funcionamento pode ser definido pelas variáveis fundamentais da eletrônica, ele é considerado o quarto componente passivo da eletrônica, junto com resistores, capacitores e indutores [31].

O método de granularidade fina pode ser aplicado à transistores, criando a possibilidade de se mudar o seu comportamento para tipo-n ou tipo-p pela polarização dos seus contatos.



(a) Célula de 8 portas lógicas reconfiguráveis

(b) Tabela verdade da função da célula de 8 portas

Figura 2.10: Célula de 8 portas lógicas reconfiguráveis composta por 7 DG-CNTFETs e a respectiva tabela verdade. Extraído de [6].

Um modelo de circuito lógico reconfigurável baseado em CNTFETs foi proposto por O'Connor et al [6]. A célula dinamicamente reconfigurável proposta tem 8 portas lógicas e é composta por 7 DG-CNTFETs (*Double-Gate CNTFETs*). Uma estrutura de duas portas é utilizada. O controle de corrente é feita por uma *front-gate* e a mudança de polaridade por uma *back-gate*. Dessa forma, a combinação de polarizações de cada *back-gate* resulta em uma função lógica (Figura 2.10), possibilitando a configuração em 8 modos diferentes.

Capítulo 3

Metodologia

A elaboração deste projeto foi realizada seguindo os seguintes passos:

1. Adaptação ao simulador COOS:

A conexão ao servidor Linux em que o COOS está hospedado foi feita e sua documentação acessada para fins de familiarização com a sintaxe dos arquivos de entrada e saída.

2. Definição da geometria:

Parte crucial do trabalho aqui desenvolvido é determinar a geometria do dispositivo para que a reconfigurabilidade seja realizada. Portanto, foram determinados os seguintes parâmetros:

- comprimento do canal (nanotubo)
- diâmetro do nanotubo
- quantidade de portas
- dimensões dos contatos metálicos e portas
- posição relativa entre os contatos metálicos e portas

3. Simulação de um CNT-RTFET

Em seguida, foram feitas simulações de teste para observar se a reconfigurabilidade é realizável em CNT-TFETs. Após confirmação, foram realizadas várias simulações como objetivo de observar o efeito da variação dos parâmetros determinados no funcionamento do dispositivo. As simulações duraram, em média, 3 horas, podendo chegar a um dia inteiro, dependendo da precisão dos parâmetros.

4. Visualização dos resultados simulados:

Tendo em vista que o COOS não possui interface gráfica, foi necessário o uso da ferramenta MATLAB para a visualização gráfica dos arquivos de saída das simulações, o que foi feito por meio de *scripts* disponibilizados pelos desenvolvedores do simulador. Alguns *scripts* foram adaptados de acordo com as necessidades de visualização.

5. Simulação de otimização preliminar:

Por fim, é realizada uma simulação combinando as otimizações anteriores para obter um cenário preliminar da performance do dispositivo nestas circunstâncias. O resultado é comparado com as otimizações individuais.

3.1 Simulador COOS

COOS é um simulador baseado em função de onda para modelar transistores de nanotubos a partir da equação da equação de Schrödinger para massa efetiva [32]. Apesar de ser desenvolvido para CNTs, também pode ser usado para outros nanotubos inorgânicos, sendo necessário um ajuste cuidadoso do parâmetros do modelo.

A licença de uso do COOS foi concedida pela Technischen Universität Dresden, bem como acesso à documentação [33]. O servidor Linux, onde o simulador é acessado remotamente, se encontra no Laboratório de Dispositivos e Circuitos Integrados (LDCI), do Departamento de Elétrica da UnB.

Neste trabalho, o COOS foi utilizado para resolver um modelo de transporte por difusão e deriva com injeção de cargas por tunelamento banda a banda (BTBT). A Figura 3.1 mostra um fluxograma simplificado para o processo de cálculo das características de saída.

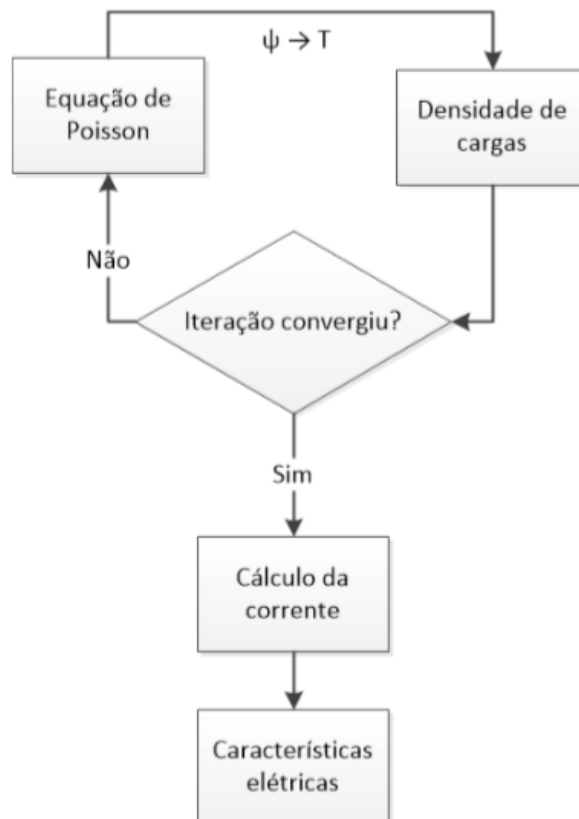


Figura 3.1: Fluxograma de cálculo das características de saída do COOS

Para a determinação de tais características, é feita uma iteração da equação de Poisson e da equação da densidade de cargas. O potencial eletrostático é determinado pela equação de Poisson, que juntamente com a probabilidade de transmissão T_{WKB} , definem uma barreira de potencial utilizada no cálculo da densidade de cargas.

Este processo se repete até que haja convergência e se possa obter a densidade de cargas e, conseqüentemente, a corrente elétrica. Caso contrário, o processo se repete até convergir ou atingir o número de iterações definidas pelo usuário. Em seguida, o processo se repete para cada ponto de operação definido e, se as características elétricas forem satisfeitas, a simulação termina. Então, por fim, pode-se visualizar os resultados gerados nos arquivos de saída.

Na documentação disponibilizada ??, estão listados alguns parâmetros que podem ser usados nos cálculos das equações internas:

1. parâmetros para a transporte DD (difusão e deriva)
2. parâmetros para solução da equação de Poisson
3. parâmetros para o cálculo numérico da distribuição de Fermi
4. parâmetros para bloqueio de Pauli com espalhamento
5. solução WKB
6. detecção de estado estacionário
7. parâmetros para solucionador de transporte por difusão e deriva

Outros parâmetros também podem ser definidos. O código de entrada no Anexo mostra toda a parametrização feita para os objetivos deste trabalho. Em seguida, são mostrados cada bloco de programação utilizado para as simulações.

STRUCTURE

```
&GEN_INFO device='user' spat_dim=3 coor_sys='cart' /

&REGION_DEF reg_mat='OXID' shape='rect' low_xyz= 0 0 0 upp_xyz= 160e-9 40e-9 100e-9/
&REGION_DEF reg_mat='CONT' shape='rect' low_xyz=0 0 0 upp_xyz=10e-9 20e-9 100e-9
cont_name='source' /
&REGION_DEF reg_mat='CONT' shape='rect' low_xyz=150e-9 0 0 upp_xyz=160e-9 20e-9
100e-9 cont_name='drain' /
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=55e-9 5e-9 0 upp_xyz=105e-9 40e-9
100e-9 cont_name='gate' /
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=0e-9 25e-9 0 upp_xyz=35e-9 40e-9
100e-9 cont_name='gates' /
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=15e-9 5e-9 0 upp_xyz=35e-9 25e-9
100e-9 cont_name='gates' /
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=125e-9 25e-9 0 upp_xyz=160e-9 40e-9
100e-9 cont_name='gated' /
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=125e-9 5e-9 0 upp_xyz=145e-9 25e-9
```

```

100e-9 cont_name='gated'/
&REGION_DEF reg_mat='SEMI' shape='rect' low_xyz=10e-9 0 0 upp_xyz= 150e-9 0 100e-9/
.STRUCTURE

```

O bloco STRUCTURE define os materiais, os tipos de região e a dimensão do dispositivo. Em GEN_INFO, define-se a dimensão espacial a ser usada para a equação de Poisson e o sistema de coordenadas para a especificação da geometria do dispositivo. Neste trabalho, será usado um sistema 3D em coordenadas retangulares. Além disso, define-se os seguintes parâmetros:

1. Óxido: define uma região retangular de 160 nm por 40 nm. A terceira dimensão é mantida em 100 nm para todos os elementos, caracterizando uma estrutura periódica ao longo do eixo z (a estrutura do dispositivo se repete a cada 100 nm nessa direção).
2. Contatos
 - Fonte: comprimento 10 nm e altura de 20 nm.
 - Dreno: idem, muda apenas a posição, como mostrado.
3. Portas
 - Porta de controle (*gate*: comprimento de 50 nm e altura de 35 nm com espaçamento de óxido de 5 nm.
 - Porta de programação da fonte *gates*: pode-se ver no código que há duas linhas definindo esta região. Para coordenadas retangulares, o arquivo de entrada permite apenas estruturas em paralelepípedo. Como a geometria usada neste trabalho utiliza portas de programação em "L", que sobrepõe aos contatos, é necessário que se definam dois blocos distintos. Um com comprimento de 35 nm e altura de 15 nm e outro com comprimento de 20 nm e altura de 20 nm.
 - Porta de programação do dreno *gated*: Idem ao item anterior, deslocado para o dreno. Essa geometria foi escolhida de forma a diminuir a barreira de Schottky entre o contato e o canal, melhorando a injeção de cargas.
4. Semicondutor: comprimento de 140 nm, unidimensional.

```

DISC
&RANGE_GRID disc_dir='x' intv_pnts=0 10e-9 15e-9 35e-9 55e-9 105e-9 125e-9 145e-9
150e-9 160e-9 intv_diff=1e-9 0.25e-9 0.5e-9 0.5e-9 0.5e-9 0.5e-9 0.5e-9 0.25e-9 1e-9/
&RANGE_GRID disc_dir='y' intv_pnts=0 5e-9 20e-9 25e-9 40e-9 intv_diff=0.5e-9 1e-9
1e-9 1e-9/
&RANGE_GRID disc_dir='z' intv_pnts=0 100e-9 intv_diff=10e-9 /
.DISC

```

No bloco DISC, é feita a discretização das regiões de simulação, para cada coordenada. Neste caso, foram criados espaços de discretização para cada região demarcada pelos elementos da estrutura. Isso foi feito com o objetivo de obter um ponto de simulação na interface de cada mudança de

material para melhor qualidade de resultado. Além disso, foram feitas discretizações com menores resoluções nos contatos e maiores resoluções entre os contatos e as portas de programação para contabilizar a possível mudança abrupta das características elétricas nessas regiões.

```
MODEL
&OXIDE mod_name='HF02' /
&CONTACT sb_type='mid' /
.MODEL
```

O bloco MODEL define o tipo de óxido e o tipo de contato. Aqui, os contatos são do tipo Schottky e a altura da barreira é definida pelo parâmetro 'sb_type'. O comando 'sb_type = mid' coloca a altura da barreira no meio da banda proibida.

```
SEMICONDUCTOR
&CNT d_cnt=1.4e-9 elec=1 hole=1/
&SUBBAND region='channel' type='mintmire' /
.SEMICONDUCTOR
```

Para definir as características do semiconductor, utiliza-se o bloco SEMICONDUCTOR. No caso, existe um sub-bloco específico quando se usa CNTs. Nele, foram determinados o diâmetro de 1,4 nm e ativação do transporte de lacunas, assim como de elétrons. O sub-bloco SUBBAND define a estrutura de banda do CNT. Aqui, é selecionada a região do canal do tipo Mintmire.

```
SOLUTION
&DD n_iter=200 /
&POISSON p_tol=1e-6 damp_init=1e-1 damp_min=1e-3/
&TUNNEL model='WKB' max_width=20e-9 bbt=1/
.SOLUTION
```

O bloco SOLUTION define os parâmetros do solucionador. No caso, foram apenas definidos os parâmetros para a solução da equação Poisson e para o solucionador DD (*drift diffusion*). O número máximo de iterações foi fixado em 200. Para a equação de Poisson, o erro limite foi definido por 'p_tol' e os parâmetros de amortecimento por 'damp_init' e 'damp_min'.

No campo TUNNEL, são definidos os parâmetros para cálculo da probabilidade de transmissão. Como dito no Capítulo 2, foi utilizada a aproximação WKB, definida em 'model'. A máxima altura da barreira define quando T_{WKB} é anulada. Aqui, é definida para 20 nm. O tunelamento banda a banda (BTBT) é ativado fazendo 'bbt = 1'.

```
BIAS
&BIAS_DEF dv_max=0.02/
&BIAS_INFO cont_name='source' bias_fun='TAB' bias_val=0 /
&BIAS_INFO cont_name='drain' bias_fun='TAB' bias_val=0.5 /
&BIAS_INFO cont_name='gate' bias_fun='LIN' bias_val=0 2 21/
&BIAS_INFO cont_name='gates' bias_fun='TAB' bias_val=-2/
```

```
&BIAS_INFO cont_name='gated' bias_fun='TAB' bias_val=2/
.BIAS
```

O bloco BIAS define as características de polarização de todos os contatos. Em BIAS_DEF define-se o máximo passo de tensão pra 0.02 V em 'dv_max'. No campo BIAS_INFO são determinadas as tensões em cada contato. O parâmetro 'bias_fun' determina se a tensão é constante ou variável. Neste caso, a única tensão a ser varrida é a da porta de controle (*gate*), utilizando 'bias_fun = 'LIN' ', que define variação linear. Neste arquivo, a tensão foi variada de 0 a 2 V em 21 passos. A tensão da fonte foi mantida em zero e a tensão do dreno, em 0,5 V. As tensões das portas de programação foram mantidas em -2 e 2 V para *gates* e *gated*, respectivamente.

```
OUTPUT
&GENERAL name='RTCNTFET_v11' multicore=0/
&SAVE_CNT band_lev=1/
&TRANSPORT elpa_lev=1 inqu_lev=1/
.OUTPUT
```

Por fim, o bloco OUTPUT define como os arquivos de saída são gravados. Em GENERAL, são definidos o nome da simulação e a quantidade de cores. Os arquivos de saída relacionados às propriedades do CNT são definidas em SAVE_CNT. O parâmetro 'band_level' em 1 ativa propriedades como densidade de estados e massa efetiva para cada região de sub-banda. Em TRANSPORT, define-se a gravação das características elétricas e quantidades internas colocando-se nos parâmetros pertinentes o valor 1.

As propriedades de entrada das simulações foram definida acima para o propósito deste trabalho, entretanto o COOS permite a definição de muitos outros parâmetros de entrada não relacionados acima. A configuração descrita acima pode ser comparada com a Figura 3.2 para melhor entendimento.

Os arquivos de entrada e saída são gerenciados no servidor por meio de um cliente SFTP (*SSH File Transfer Protocol*, ou protocolo de transferência de arquivos com segurança SSH). Os arquivos de saída são visualizados com o MATLAB.

3.2 Simulação de um CNT-RTFET

Primeiramente, foi realizada uma simulação para observar a possibilidade de reconfigurabilidade de CNT-TFETs por dopagem eletrostática com o dispositivo concebido no passo anterior. A seção transversal do dispositivo é mostrado na Figura 3.2. Após confirmada a reconfigurabilidade, foram realizadas simulações visando a otimização dos parâmetros de interesse.

- Otimização dos parâmetros de polarização:

As tensões das portas de programação foram variadas para $V_G = 0$ V e $V_D = \pm 0,5$ V (tipo-p e -n). Após determinada a melhor polarização para as portas de programação, variou-se V_G

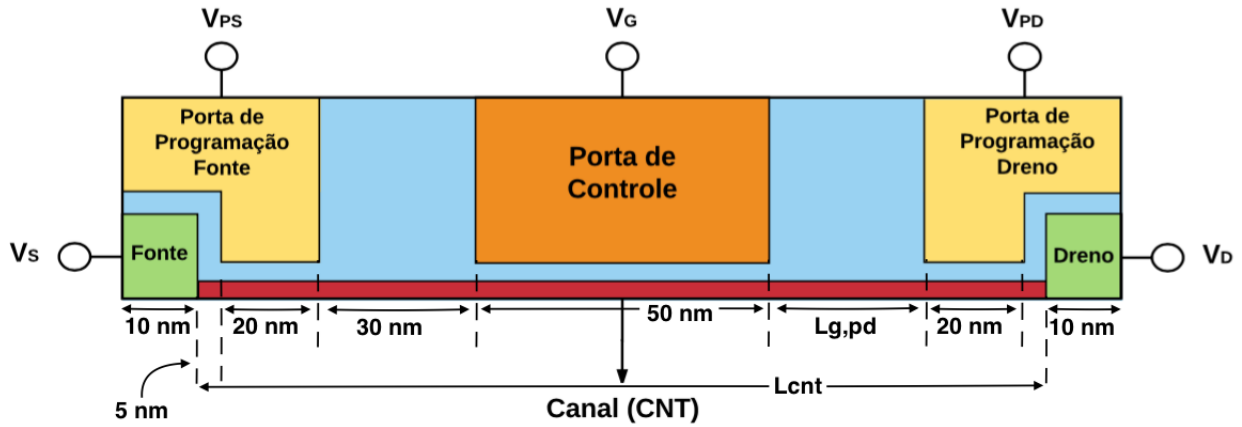


Figura 3.2: Geometria do TFET

para obter as características de transferência e perfil de bandas de energia para dispositivos tipo-n e tipo-p.

- Otimização da geometria:

O comprimento de canal L_{CNT} foi alterado em conjunto com distâncias assimétricas entre a porta de programação do dreno e a porta de controle $L_{g,pd}$ para a determinação dos efeitos destas variações nas características elétricas do dispositivo. O aumento de resolução na região de limiar (*subthreshold*) foi necessário para melhor comparação de performance entre as geometrias.

- Otimização do material:

Foram realizadas simulações para diferentes valores do diâmetro do CNT com o intuito de observar os efeitos nos resultados. Para algumas simulações, foi necessária a mudança de passo máximo de tensão ("*dv_max*") para haver convergência.

- Análise de SS:

Um passo importante na análise de qualquer TFET é analisar o *subthreshold slope* do dispositivo. Para tanto, definiu-se um aumento de resolução de V_G para simulação da característica de transferência na região de *subthreshold*, com base nas simulações mais amplas. Foram determinados SS_{min} e SS_{max} para as regiões de interesse, calculando-se uma derivada aproximada entre cada ponto de operação simulado.

Capítulo 4

Resultados e Análises

Neste capítulo, são apresentados os resultados obtidos e suas análises. Na seção 4.1, o funcionamento de um CNT-RTFET tipo-p é descrito por meio da característica de transferência e dos diagramas de banda .

A verificação de reconfigurabilidade é exposta na seção 4.2, por meio da simulação de um dispositivo CNT-RTFET tipo-n, alterando-se os parâmetros de polarização. Já a análise de *subthreshold slope* é feita na seção 4.3 para CNT-RTFET em modos p-FET e n-FET.

Nas seções seguintes, são apresentados os efeitos de mudanças paramétricas do dispositivo. As características variadas foram o espaçamento entre a porta de controle e a porta de programação do dreno (seção 4.4) e o diâmetro do CNT (seção 4.5). Na última seção (4.6), é feita uma simulação de otimização preliminar do dispositivo com base nos resultados obtidos nas seções anteriores.

4.1 Simulação de um CNT-RTFET

Para esta simulação, foi utilizada uma geometria com duas portas de programação, uma na fonte e outra no dreno, além da porta de controle entre os contatos. As duas portas de programação, *PS* e *PD* tem a função de realizar a dopagem eletrostática do dispositivo, simulando a dopagem química dos dispositivos não reconfiguráveis (ver Figura 3.2 no Capítulo 3).

Primeiramente, um CNT-TFET tipo-p foi simulado, variando-se V_G de -2 a -0,25 V. Para simular uma estrutura n-i-p, as portas de programação foram polarizadas com $V_{PS} = 2$ V e $V_{PD} = -2$ V de forma a se obter a dopagem eletrostática adequada.

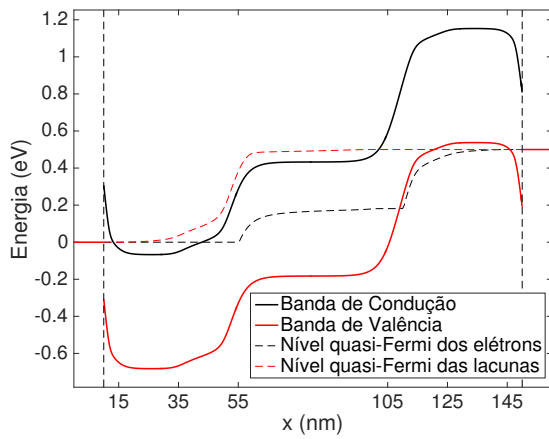
4.1.1 Diagramas de banda

De modo a visualizar o perfil de energia das bandas de condução e valência no dispositivo e, conseqüentemente, o seu funcionamento, foram gerados três diagramas de banda em pontos estratégicos. A Figura 4.1 mostra estes diagramas para valores de V_G que correspondem a corrente mínima (a), centro da rampa de transição entre os estados ligado e desligado (b) e corrente máxima

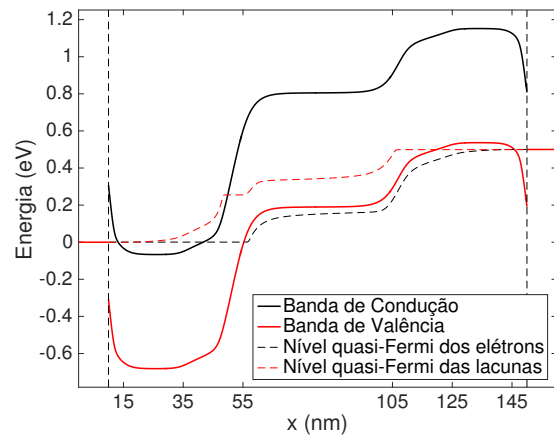
(c).

Tabela 4.1: Parâmetros de simulação para CNT-RTFET tipo-p

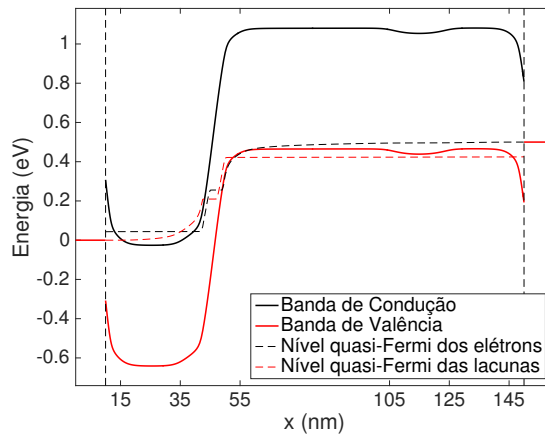
Parâmetro constante	Valor
V_S	0 V
V_D	- 0,5 V
V_{PS}	2 V
V_{PD}	- 2 V
L	160 nm
L_{CNT}	140 nm
$L_{g,pd}$	30 nm
d_{CNT}	1,4 nm



(a) Estado desligado: $V_g = -0,25$ V



(b) Região de limiar: $V_g = -0,5$ V



(c) Estado ligado: $V_g = -2$ V

Figura 4.1: Diagramas de banda para CNT-RTFET tipo-p.

Nos diagramas obtidos, nota-se que a energia da banda de condução na região do canal afetada pela porta de programação do dreno localiza-se abaixo do nível quasi-Fermi dos elétrons. Este

nível corresponde à concentração de elétrons nas bandas de valência e condução separadamente quando fora do equilíbrio eletrostático. Portanto, quando ocorre a separação entre a banda de condução e o nível quasi-Fermi dos elétrons, há estados livres que os elétrons da fonte podem agora ocupar. A modulação das bandas também cria uma pequena barreira de Schottky na interface entre fonte e porta, possibilitando o tunelamento. Dessa forma, a dopagem eletrostática do canal é realizada, do lado n. O mesmo ocorre do lado do dreno, porém para a banda de valência e lacunas. Assim, a estrutura n-i-p do transistor tipo-p é definida pela dopagem eletrostática do canal.

Na Figura 4.1(a), podemos ver a organização das bandas para o estado desligado. Quando V_G está próximo de zero, não há estados livres no canal para que as cargas fluam da região n para o dreno, efetivamente bloqueando a corrente. Em (b), abre-se uma janela de tunelamento entre porta da fonte e o canal, porém sua espessura ainda é grande, acarretando em baixa probabilidade de transmissão e, conseqüentemente, baixa corrente. Quando da diminuição da tensão V_G para -2 V, criam-se estados livres para as lacunas no canal, assim como uma diminuição significativa da janela de tunelamento. Dessa forma, aumenta a probabilidade de transmissão, assim como a quantidade de cargas disponíveis no canal, possibilitando um maior fluxo de corrente.

4.1.2 Característica de transferência

A Figura 4.2 mostra a relação entre corrente no dreno e tensão na porta de controle. Nela, é possível observar as regiões de operação ilustradas pelos diagramas de banda da Figura 4.1.

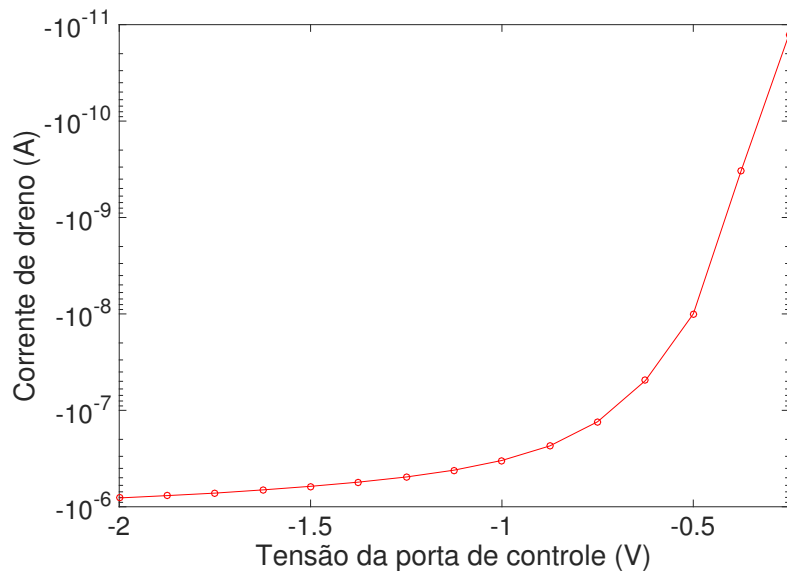


Figura 4.2: Característica de transferência de um CNT-RTFET tipo-p

A corrente I_{ON} é de aproximadamente $-1 \mu\text{A}$. A corrente I_{OFF} não pode ser resolvida satisfatoriamente nesta simulação (ver seção 4.3). A corrente na região de triodo correspondente à Figura 4.1(b) é de aproximadamente $-0,3 \text{ nA}$. O duplo tunelamento das cargas nesse dispositivo é responsável por uma corrente I_{ON} não muito alta, como observado. Entretanto, esse dispositivo

é mais interessante para aplicações em baixa potência, portanto este pode não ser um problema significativo, a depender da aplicação desejada.

4.2 Simulação da reconfigurabilidade

Na seção anterior, obtivemos as características de transferência e os perfis de bandas de energia para um CNT-RFET do tipo-p. Como a reconfigurabilidade com CNT-TFETs é o principal objeto de estudo neste trabalho, é necessário que se obtenha os mesmos dados para um transistor tipo-n. Para tanto, deve-se apenas inverter as polarizações das portas de controle e programação, assim como de V_D , como descreve o método de granularidade fina.

Tabela 4.2: Parâmetros de simulação para CNT-RTFET tipo-n

Parâmetro constante	Valor
V_S	0 V
V_D	0,5 V
V_{PS}	- 2 V
V_{PD}	2 V
L	160 nm
L_{CNT}	140 nm
$L_{g,pd}$	30 nm
d_{CNT}	1,4 nm

4.2.1 Diagramas de banda

Na Figura 4.3, temos a contrapartida para o tipo-n das regiões de operação definidas na seção anterior. Aqui, podemos ver como há a inversão da dopagem, caracterizando uma estrutura p-i-n. Neste caso, a banda de valência na região da porta da fonte se encontra acima do nível quasi-Fermi das lacunas, gerando estados livres. O mesmo ocorre no dreno com a banda de condução e os elétrons.

Da mesma forma que com o dispositivo tipo-p, pode-se observar a gradual diminuição da janela de tunelamento com o aumento de tensão V_G , neste caso. As mesmas considerações feitas sobre a modulação das bandas para o tipo-p valem aqui, apenas invertem-se as polarizações.

4.2.2 Característica IV

Na Figura 4.4 podemos observar a característica de transferência do dispositivo em operação n-FET. Aqui podemos ver o comportamento característico de um transistor tipo-n, com corrente I_{ON} de aproximadamente $1 \mu\text{A}$ e corrente I_{OFF} menor que $0,1 \text{ fA}$. A razão de correntes resultante fica de aproximadamente 10^{10} , resultado excelente tendo em vista a grande preocupação com dissipação de energia em circuitos.

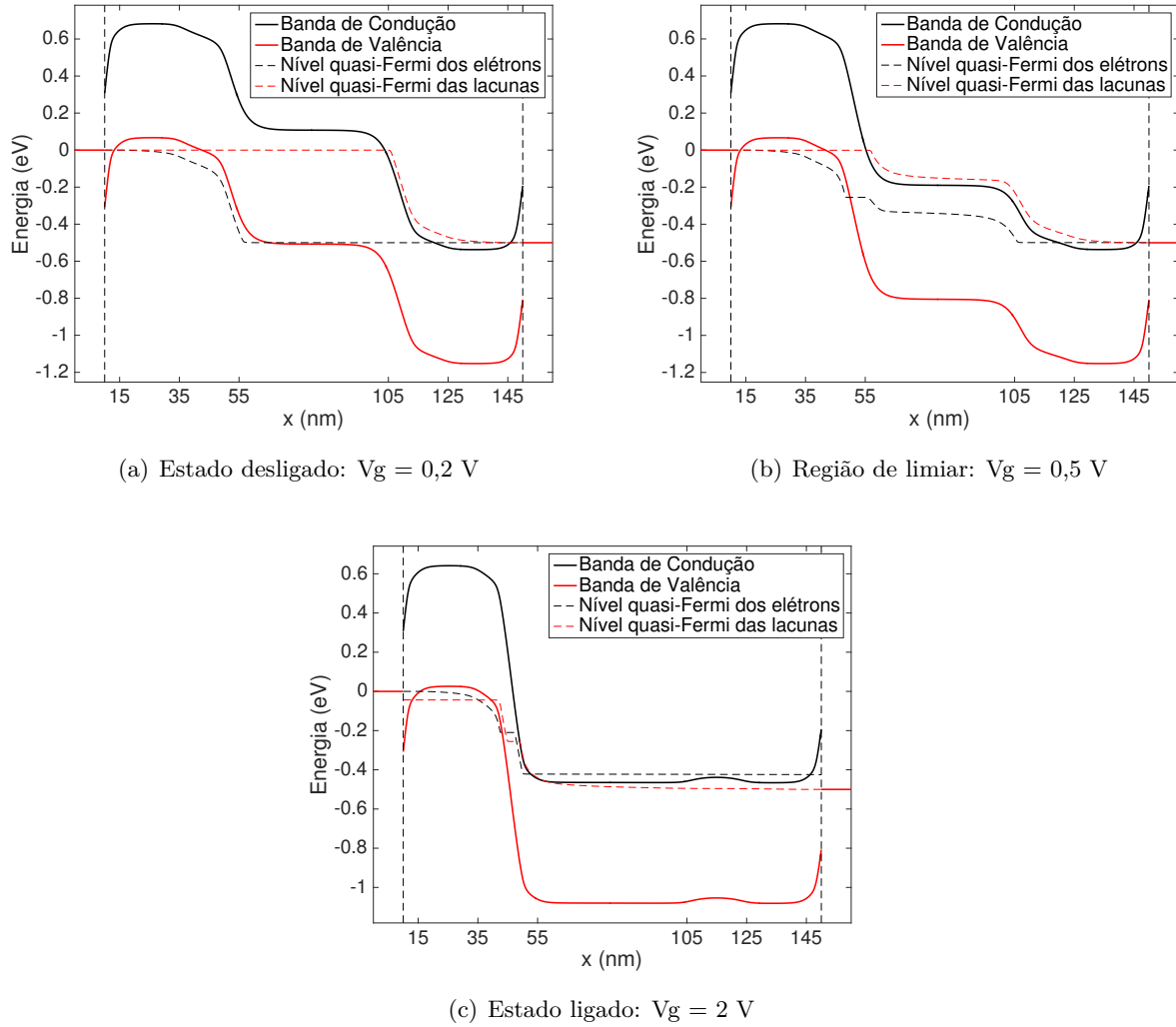


Figura 4.3: Diagramas de banda para CNT-RTFET tipo-n.

4.3 Análise de *subthreshold slope*

Uma grande vantagem de se utilizar um dispositivo TFET é a possibilidade de realizar um *subthreshold slope* menor que o limite térmico de 60 mV/dec, característico de MOSFETs. Assim, foi realizada uma simulação da característica de transferência de um CNT-RTFET tipo-n com maior resolução na região de mudança de operação, para melhor extração do *SS*. O mesmo foi feito para um CNT-RTFET tipo-p.

Os parâmetros usados são os mesmos das Tabelas 4.1 e 4.2. Podemos ver que o SS_{min} na região de interesse é igual a 13,04 mV/dec para ambas as polaridades e o SS_{max} é próximo de 60 mV/dec. Estes resultados condizem com o esperado, e fica exposto o comportamento sub 60 mV/dec no dispositivo. No entanto, é importante notar que a região de interesse foi escolhida não apenas por fazer parte da região de triodo, mas também pela resolução dos resultados.

Nas Figuras 4.5(a) e 4.6(a), é possível notar que o *SS* passa a ser tão pequeno que dificulta a sua resolução. Esse fenômeno é esperado, caso os valores de corrente sejam muito baixos e o

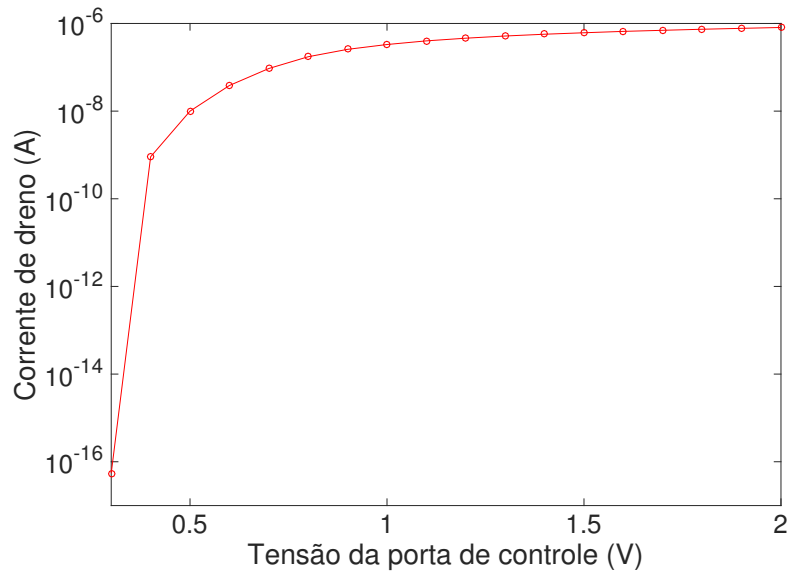


Figura 4.4: Característica de transferência de um CNT-RTFET tipo-n

SS na região seja muito pequeno [34], o que parece ser o caso. Essa dificuldade de resolução é mais evidente no dispositivo tipo-p. Diversas melhorias nos parâmetros de convergência foram feitos com o propósito de resolver este problema, sem sucesso. A pesquisa de Verhulst *et al* [35] mostrou a vantagem de p-TFETs em relação a n-TFETs em lógica complementar, portanto este resultado não é inesperado. Entretanto, este estudo não inclui testes com CNTs como material semiconductor.

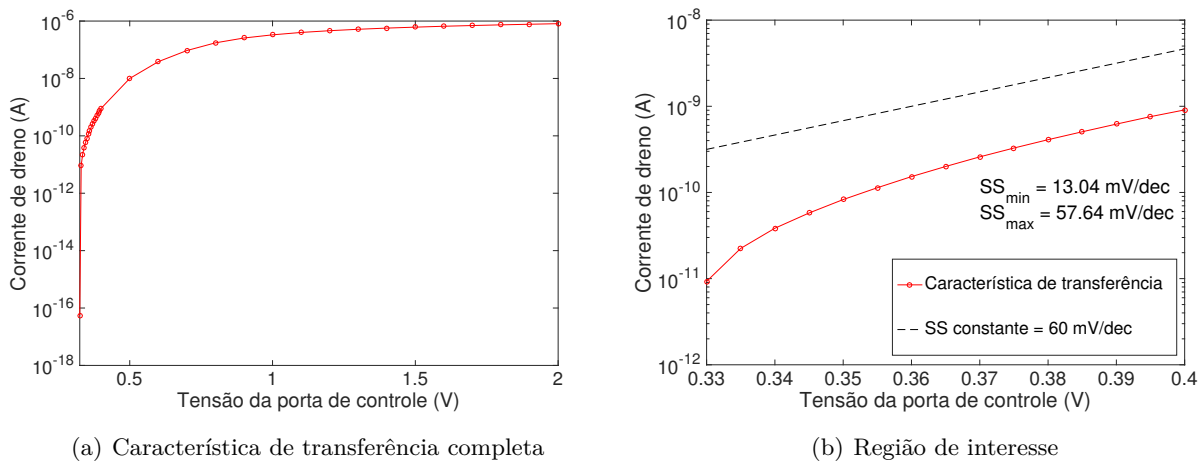
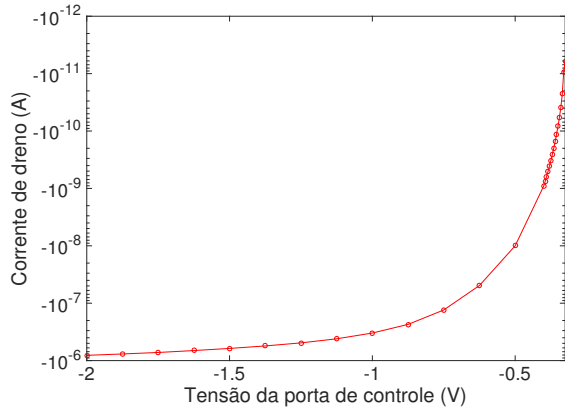


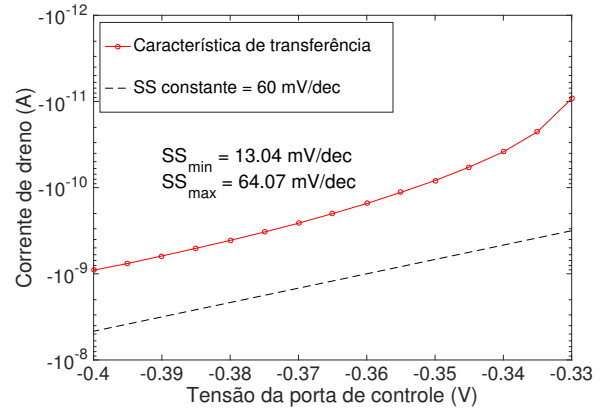
Figura 4.5: Determinação do *Subthreshold slope* para transistor tipo-n

4.4 Otimização da geometria

A ambipolaridade característica de TFETs é um dos fatores que degrada sua performance, portanto uma estrutura assimétrica é proposta. Com o intuito de investigar os efeitos da assimetria



(a) Característica de transferência completa



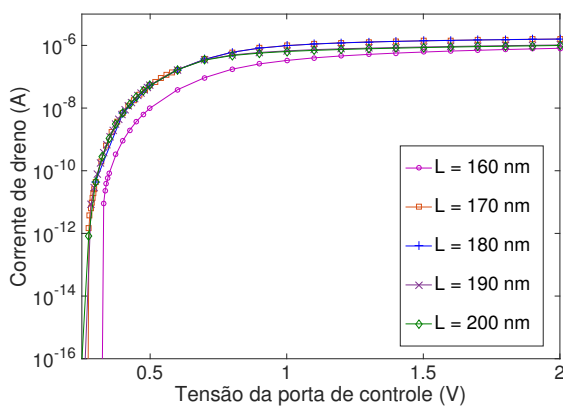
(b) Região de interesse

Figura 4.6: Determinação do *Subthreshold slope* para transistor tipo-p

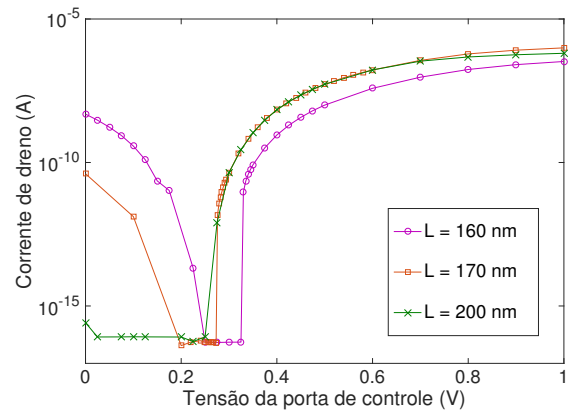
sobre a ambipolaridade e a corrente de operação, foi alterada a distância $L_{g,pd}$ entre a porta de controle e a porta de programação do dreno. Nota-se que essa assimetria também supõe aumento do comprimento do canal, e consequentemente do dispositivo.

Parâmetro constante	Valor	Parâmetro variável	Valor
V_S	0 V	V_G (para I_D)	0,25 a 2 V
V_D	0,5 V	V_G (para ambipolaridade)	0 a 2 V
V_{PS}	- 2 V	L	160, 170, 180, 190 e 200 nm
V_{PD}	2 V	L_{CNT}	140, 150, 160, 170 e 180 nm
d_{CNT}	1,4 nm	$L_{g,pd}$	30, 40, 50, 60 e 70 nm

Tabela 4.3: Parâmetros de simulação de geometria



(a) Corrente de saturação



(b) Ambipolaridade

Figura 4.7: Efeitos da variação de geometria na característica de transferência. L é o comprimento total do dispositivo

Como esperado, a Figura 4.7(a) mostra que o aumento de corrente de saturação funciona até certo ponto quando do aumento de $L_{g,pd}$. Este fenômeno ocorre devido à degradação do mecanismo

balístico em CNTs com o aumento do caminho efetivo livre, discutido no Capítulo 2. Portanto, a melhora devido à supressão de ambipolaridade é rapidamente compensada pelo aumento do espalhamento de cargas no CNT. Por fim, o SS na região de interesse parece ser comparável para todos os comprimentos considerados.

4.5 Otimização do material

O diâmetro do CNT é outro parâmetro que afeta suas características elétricas. A Figura 4.8 mostra a variação da curva de saída para diferentes valores de diâmetro d_{CNT} .

Tabela 4.4: Parâmetros de simulação de material

Parâmetro constante	Valor
V_S	0 V
V_D	0,5 V
V_{PS}	- 2 V
V_{PD}	2 V
L	160 nm
L_{CNT}	140 nm
$L_{g,pd}$	30 nm

Parâmetro variável	Valor
V_G	0,25 a 2 V
d_{CNT}	1, 1,2, 1,4 e 1,6 nm

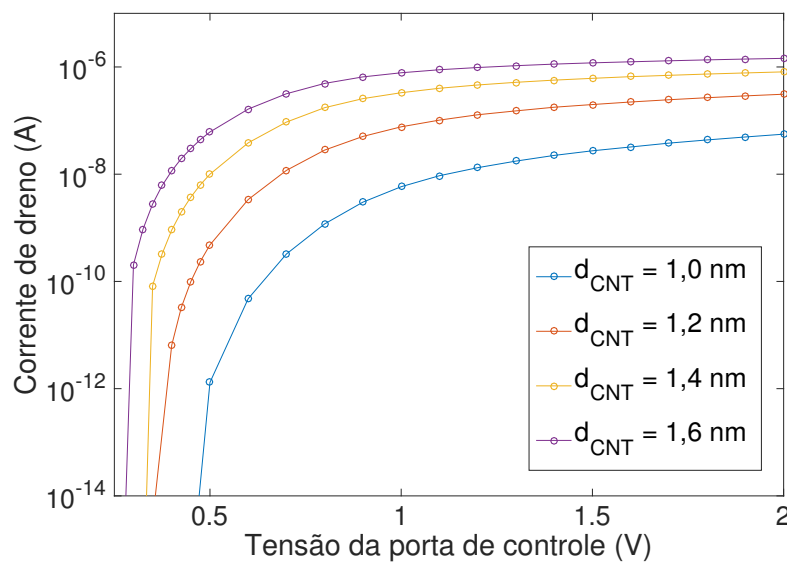


Figura 4.8: Característica de transferência para variação de diâmetro do CNT

No Capítulo 2 foi mostrado que a banda proibida do CNT é inversamente proporcional ao seu diâmetro. Dessa forma, os resultados obtidos estão de acordo com o esperado. A diminuição da banda proibida com o aumento do diâmetro permite que o perfil de bandas de energia seja mais suscetível à mudanças de polarização, permitindo a criação de mais estados livres e diminuindo a janela de tunelamento.

O aumento da quantidade de estado livres tanto nas regiões de dopagem eletrostática quanto no canal aumenta a quantidade de cargas disponíveis, aumentando a probabilidade de transmissão e, conseqüentemente, a corrente. Além disso, o aumento de estados livres nas regiões de programação traduz-se em um perfil de dopagem mais forte e uma conseqüente diminuição da janela de tunelamento, que também melhora a probabilidade de transmissão, de acordo com a aproximação WKB 2.1.

O aumento do diâmetro acarretou uma melhoria geral na característica de transferência, pois tanto a corrente de saturação quando o SS mostraram melhores resultados. No entanto, nota-se que essa mudança de escala é não-linear, definindo um limite de eficiência para essa técnica de otimização.

4.6 Otimização preliminar de um CNT-RTFET

Com base nos resultados obtidos anteriormente, foi simulado um CNT-RTFET tipo-n com $L_{g,pd}$ de 70 nm ($L = 200$ nm) e $d_{CNT} = 1,6$ nm com o objetivo de comparar a sua performance às otimizações de geometria e material separadamente. A Figura 4.9 mostra uma comparação entre as características de transferência dos dispositivos otimizados.

Tabela 4.5: Parâmetros de simulação de otimização

Parâmetro constante	Valor	Parâmetro variável	Valor
V_S	0 V	V_G	0 a 2 V
V_D	0,5 V	d_{CNT}	1,4 e 1,6 nm
V_{PS}	- 2 V	L	160 ,170 e 200 e nm
V_{PD}	2 V	L_{CNT}	140, 150 e 180 nm
		$L_{g,pd}$	30, 40 e 70 nm

Este resultado mostra que a otimização paralela de geometria e material melhora a corrente I_{ON} , mais evidentemente a tensões baixas. A característica de ambipolaridade é suprimida com sucesso, apesar de resultar em maior I_{OFF} , devido a diminuição da banda proibida para $d_{CNT} = 1,6$ nm. O SS não pode ser comparado satisfatoriamente devido à diferença de resolução na região de interesse, porém pode-se ver que a variação não é muito grande. Com base nestes resultados, tem-se uma melhor ideia dos *trade-offs* quando do projeto de um CNT-RTFET.

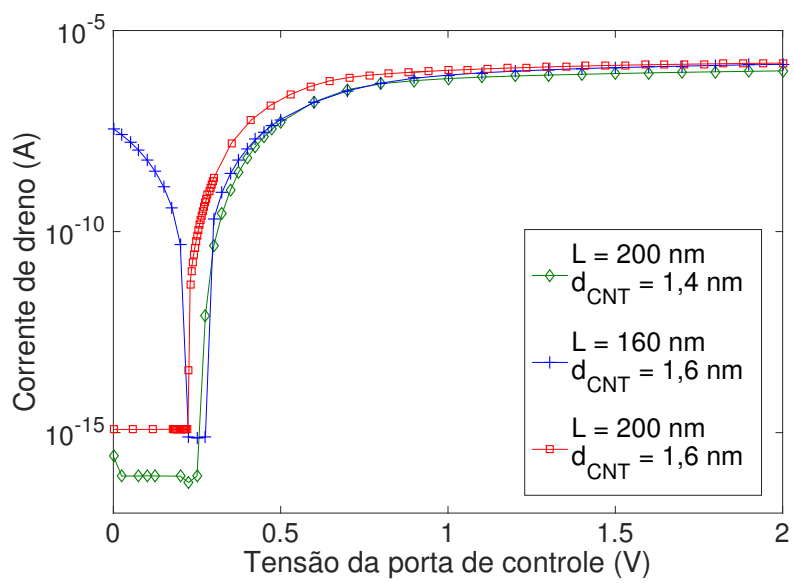


Figura 4.9: Característica de um dispositivo com otimização preliminar em relação a otimizações independentes

Capítulo 5

Conclusões

Este trabalho investiga a reconfigurabilidade em um transistor de tunelamento de nanotubo de carbono.

O simulador de dispositivos COOS foi configurado de forma a resolver um modelo de injeção por tunelamento e transporte por difusão e deriva no canal (equação de Poisson e densidade de cargas em cada ponto de operação) em modo 3D com coordenadas retangulares. Os resultados numéricos gerados foram então visualizados usando a ferramenta MATLAB.

Por meio da concepção de um dispositivo com uma porta de controle no canal e duas portas de programação, uma próxima ao dreno e outra à fonte, foi possível reconfigurar o dispositivo CNT-RTFET para operar tanto em modo p quanto em modo n apenas por modulação de polarização das portas.

O dispositivo padrão utilizado nas simulações possui $d_{CNT} = 1,4$ nm, $L_{CNT} = 140$ nm, comprimento de porta de controle $L_g = 50$ nm e das portas de programação $L_{pg} = 20$ nm. A barreira de Schottky foi mantida no meio da banda proibida por meio do comando `sb_type='mid'` no arquivo de entrada do COOS. As portas de programação são espaçadas em 20 nm da porta de controle, que se encontra no meio do canal. A corrente I_{ON} de saturação encontrada foi de $0,81 \mu\text{A}$ e uma relação I_{ON}/I_{OFF} da ordem de 10^{10} foi realizada, assim como SS menor que 60 mV/dec, podendo chegar a 13,04 mV/dec. Estes valores são para o CNT-TRFET em modo n-FET.

A baixa corrente I_{ON} é esperada, pois as cargas precisam tunelar através de duas barreiras de potencial (contato de fonte e entre porta de programação da fonte e o canal) para chegar no canal, em contraste com um TFET comum. O tunelamento ocorre com a probabilidade T_{WKB} , parâmetro que influencia muito a corrente. Outro fator que degradou a corrente foi o comprimento do CNT, que a 140 nm se encontra acima do caminho livre efetivo de $\lambda_{eff} \approx 100$ nm, discutido no Capítulo 2.

As simulações de geometria mostraram resultados consistentes com a teoria. O aumento da distância entre a porta de controle e a porta de programação do dreno $L_{g,pd}$ aumenta a largura janela de tunelamento λ entre o dreno e o canal, suprimindo a ambipolaridade. Além disso, foi observado que a relação entre aumento do espaçamento e corrente não é linear. Para maiores

espaçamentos, a corrente aumenta e depois satura, para os casos observados. Novamente, o aumento L_{CNT} contribuiu para a degradação da corrente.

A otimização do material também foram consistentes com esperado. O aumento do diâmetro do CNT acarretou em aumento da corrente, pois há uma diminuição da banda proibida do material. Ainda mais, a relação I_{ON}/I_{OFF} não se alterou muito para os valores de V_G varridos pela simulação. Portanto, existe um *trade-off* que deve ser observado quando do projeto de uma aplicação.

Tendo em vista esses resultados, é de responsabilidade do projetista determinar os aspectos mais importantes de um projeto. Dependendo das prioridades de cada aplicação, os parâmetros investigados deve ser combinados de forma apropriada para que seja obtida a melhor performance do dispositivo.

5.1 Trabalhos futuros

Neste trabalho foi elucidada a possibilidade de reconfigurabilidade em CNT-TFETs, entretanto este é um assunto que, ao nosso conhecimento, ainda não foi estudado, portanto existem muitas investigações interessantes a serem realizadas.

Uma alternativa para a supressão da ambipolaridade é a assimetria de dopagem entre fonte e dreno. Como em CNT-RTFETs essa dopagem é feita eletrostaticamente, a assimetria de polarização das portas de programação pode ser investigada.

Outras possibilidades são o desenvolvimento de um modelo compacto de CNT-RTFETs para ser usado em simulações de circuitos, a otimização de outros parâmetros materiais do CNT e do óxido (como permissividade), a otimização de outros parâmetros da geometria e a investigação de outras geometrias, como a concebida por [36], que utiliza quatro portas ao invés de três.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] LINDSAY, S. *Introduction to nanoscience*. [S.l.]: Oxford University Press, 2009.
- [2] IONESCU, A.; RIEL, H. Tunnel field-effect transistors as energy-efficient electronic switches. *Nature*, v. 479, 2011.
- [3] MANTL, S. et al. Si based tunnel field effect transistors: Recent achievements. In: IEEE. *Ultimate Integration on Silicon (ULIS), 2013 14th International Conference on*. [S.l.], 2013. p. 15–20.
- [4] SAITO, R. et al. *Physical properties of carbon nanotubes*. [S.l.]: World Scientific, 1998.
- [5] CLAUS, M. *Modeling of ballistic carbon nanotube transistors for analog high-frequency applications*. [S.l.]: TUDpress, 2011.
- [6] O’CONNOR, I. et al. Cntfet modeling and reconfigurable logic-circuit design. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 54, n. 11, p. 2365–2379, 2007.
- [7] MOORE, G. E. Cramming more components onto integrated circuits. *PROCEEDINGS OF THE IEEE*, v. 86, n. 1, 1998.
- [8] BERNSTEIN, K. et al. Device and architecture outlook for beyond cmos switches. *Proceedings of the Ieee*, v. 98, n. 12, p. 2169–2184, 2010. ISSN 0018-9219. Disponível em: <<Go to ISI>://WOS:000284410800014>.
- [9] IJIMA, S. Helical microtubules of graphitic carbon. *Nature*, v. 354, p. 56–58, November 1991.
- [10] APPENZELLER, J. et al. Carbon nanotubes as potential building blocks for future nanoelectronics. *Microelectronic Engineering*, Elsevier, v. 64, n. 1, p. 391–397, 2002.
- [11] AVOURIS, P. et al. Carbon nanotube electronics. *Proceedings of the IEEE*, IEEE, v. 91, n. 11, p. 1772–1784, 2003.
- [12] APPENZELLER, J. et al. Comparing carbon nanotube transistors—the ideal choice: a novel tunneling device design. *IEEE transactions on electron devices*, IEEE, v. 52, n. 12, p. 2568–2576, 2005.
- [13] LIU, H. C. et al. Steep switching tunnel fet: A promise to extend the energy efficient roadmap for post-cmos digital and analog/rf applications. *2013 Ieee International Symposium*

- on *Low Power Electronics and Design (Islped)*, p. 145–150, 2013. Disponível em: <<Go to ISI>://WOS:000337238700025>.
- [14] HEINZIG, A. et al. Reconfigurable silicon nanowire transistors. *Nano letters*, ACS Publications, v. 12, n. 1, p. 119–124, 2011.
- [15] HOFFMANN, M. *Simulation of Carbon Nanotube Tunneling Field-Effect Transistors*. March 2015. Private communication.
- [16] HEISENBERG, W. *The physical principles of the quantum theory*. [S.l.]: Courier Corporation, 2013.
- [17] INTERNATIONAL Roadmap for Semiconductors: 2012 Update Overview. 2012. <http://www.itrs2.net/>.
- [18] IEONG, M. et al. Silicon device scaling to the sub-10-nm regime. *Science*, American Association for the Advancement of Science, v. 306, n. 5704, p. 2057–2060, 2004.
- [19] TARR, N. et al. Short-channel effects on mosfet subthreshold swing. *Solid-state electronics*, Elsevier, v. 38, n. 3, p. 697–701, 1995.
- [20] ZHANG, Q.; ZHAO, W.; SEABAUGH, A. Low-subthreshold-swing tunnel transistors. *IEEE Electron Device Letters*, IEEE, v. 27, n. 4, p. 297–300, 2006.
- [21] SEABAUGH, A. C.; ZHANG, Q. Low-voltage tunnel transistors for beyond cmos logic. *Proceedings of the Ieee*, v. 98, n. 12, p. 2095–2110, 2010. ISSN 0018-9219. Disponível em: <<Go to ISI>://WOS:000284410800010>.
- [22] KNOCH, J.; MANTL, S.; APPENZELLER, J. Comparison of transport properties in carbon nanotube field-effect transistors with schottky contacts and doped source/drain contacts. *Solid-State Electronics*, v. 49, n. 1, p. 73–76, 2005. ISSN 0038-1101. Disponível em: <<Go to ISI>://WOS:000225719100012>.
- [23] FERRY, D.; GOODNICK, S. M. *Transport in nanostructures*. [S.l.]: Cambridge university press, 1997.
- [24] SHUKLA, S. K.; BAHAR, R. I. *Nano, quantum and molecular computing*. [S.l.]: Springer, 2004.
- [25] GHANI, T. et al. 100 nm gate length high performance/low power cmos transistor structure. In: IEEE. *Electron Devices Meeting, 1999. IEDM'99. Technical Digest. International*. [S.l.], 1999. p. 415–418.
- [26] WIND, S. et al. Vertical scaling of carbon nanotube field-effect transistors using top gate electrodes. *Applied Physics Letters*, AIP Publishing, v. 80, n. 20, p. 3817–3819, 2002.
- [27] APPENZELLER Y.M. LIN, J. K. J.; AVOURIS, P. Band-to-band tunneling in carbon nanotube field-effect transistors. *Physical Review Letters*, v. 93,19, 2004.

- [28] KNOCH, J.; APPENZELLER, J. A novel concept for field-effect transistors-the tunneling carbon nanotube fet. In: IEEE. *63rd Device Research Conference Digest, 2005. DRC'05.* [S.l.], 2005. v. 1, p. 153–156.
- [29] POLI, S. et al. Computational study of the ultimate scaling limits of cnt tunneling devices. *IEEE Transactions on Electron Devices*, IEEE, v. 55, n. 1, p. 313–321, 2008.
- [30] POURFATH, M.; KOSINA, H.; SELBERHERR, S. Tunneling cntfets. *Journal of Computational Electronics*, Springer, v. 6, n. 1-3, p. 243–246, 2007.
- [31] CHUA, L. Memristor-the missing circuit element. *IEEE Transactions on circuit theory*, IEEE, v. 18, n. 5, p. 507–519, 1971.
- [32] CLAUS, M. et al. Coos: a wave-function based schrödinger–poisson solver for ballistic nanotube transistors. *Journal of Computational Electronics*, Springer, v. 13, n. 3, p. 689–700, 2014.
- [33] MOTHEs, S. *COOS Manual*. May 2016. Private communication.
- [34] CAO, W. et al. Subthreshold-swing physics of tunnel field-effect transistors. *AIP Advances*, AIP Publishing, v. 4, n. 6, p. 067141, 2014.
- [35] VERHULST, A. et al. Can p-channel tunnel field-effect transistors perform as good as n-channel? *Applied Physics Letters*, AIP Publishing, v. 105, n. 4, p. 043103, 2014.
- [36] NAVARRO, C. et al. Reconfigurable field effect transistor for advanced cmos: A comparison with fdsoi devices. In: IEEE. *2016 Joint International EUROS0I Workshop and International Conference on Ultimate Integration on Silicon (EUROS0I-ULIS)*. [S.l.], 2016. p. 5–8.

ANEXOS

I. APÊNDICE

I.1 Código de entrada do COOS

Segue o código de entrada completo para simulação no COOS. Este foi um dos códigos utilizados em simulação e é usado aqui como exemplo.

```

STRUCTURE
&GEN_INFO device='user' spat_dim=3 coor_sys='cart' /

&REGION_DEF reg_mat='OXID' shape='rect' low_xyz= 0 0 0 upp_xyz= 160e-9 40e-9
100e-9/
&REGION_DEF reg_mat='CONT' shape='rect' low_xyz=0 0 0 upp_xyz=10e-9 20e-9
100e-9 cont_name='source'/
&REGION_DEF reg_mat='CONT' shape='rect' low_xyz=150e-9 0 0 upp_xyz=160e-9
20e-9 100e-9 cont_name='drain'/
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=55e-9 5e-9 0 upp_xyz=105e-9
40e-9 100e-9 cont_name='gate'/
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=0e-9 25e-9 0 upp_xyz=35e-9
40e-9 100e-9 cont_name='gates'/
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=15e-9 5e-9 0 upp_xyz=35e-9
25e-9 100e-9 cont_name='gates'/
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=125e-9 25e-9 0 upp_xyz=160e-9
40e-9 100e-9 cont_name='gated'/
&REGION_DEF reg_mat='GATE' shape='rect' low_xyz=125e-9 5e-9 0 upp_xyz=145e-9
25e-9 100e-9 cont_name='gated'/
&REGION_DEF reg_mat='SEMI' shape='rect' low_xyz=10e-9 0 0 upp_xyz= 150e-9 0
100e-9/
.STRUCTURE

DISC
&RANGE_GRID disc_dir='x' intv_pnts=0 10e-9 15e-9 35e-9 55e-9 105e-9 125e-9
145e-9 150e-9 160e-9 intv_diff=1e-9 0.25e-9 0.5e-9 0.5e-9 0.5e-9 0.5e-9
0.25e-9 1e-9/
&RANGE_GRID disc_dir='y' intv_pnts=0 5e-9 20e-9 25e-9 40e-9 intv_diff=0.5e-9
1e-9 1e-9 1e-9/
&RANGE_GRID disc_dir='z' intv_pnts=0 100e-9 intv_diff=10e-9 /
.DISC

MODEL
&OXIDE mod_name='HF02'/
&CONTACT sb_type='mid'/
.MODEL

SEMICONDUCTORa
&CNT d_cnt=1.4e-9 elec=1 hole=1/
&SUBBAND region='channel' type='mintmire' /
.SEMICONDUCTOR

SOLUTION
&DD n_iter=200 /
&POISSON p_tol=1e-6 damp_init=1e-1 damp_min=1e-3/
&TUNNEL model='WKB' max_width=20e-9 bbt=1/
.SOLUTION

BIAS
&BIAS_DEF dv_max=0.02/
&BIAS_INFO cont_name='source' bias_fun='TAB' bias_val=0 /
&BIAS_INFO cont_name='drain' bias_fun='TAB' bias_val=0.5 /
&BIAS_INFO cont_name='gate' bias_fun='LIN' bias_val=0 2 21/
&BIAS_INFO cont_name='gates' bias_fun='TAB' bias_val=-2/
&BIAS_INFO cont_name='gated' bias_fun='TAB' bias_val=2/
.BIAS

OUTPUT
&GENERAL name='RTCNTFET_v11' multicore=0/
&SAVE_CNT band_lev=1/
&TRANSPORT elpa_lev=1 inqu_lev=1/
.OUTPUT

```