



Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA  
Engenharia Eletrônica

**Título: Analisador de Qualidade de Energia  
Elétrica**

**Autor: Ricardo Vieira Borges**  
**Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad**

Brasília, DF  
2020





Ricardo Vieira Borges

## **Título: Analisador de Qualidade de Energia Elétrica**

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF

2020

---

Ricardo Vieira Borges

Título: Analisador de Qualidade de Energia Elétrica/ Ricardo Vieira Borges.  
– Brasília, DF, 2020-  
145 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA , 2020.

1. qualidade. 2. energia. I. Prof. Dr. Sandro Augusto Pavlik Haddad. II.  
Universidade de Brasília. III. Faculdade UnB Gama. IV. Título: Analisador de  
Qualidade de Energia Elétrica

CDU 02:141:005.6

---

Ricardo Vieira Borges

## **Título: Analisador de Qualidade de Energia Elétrica**

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Trabalho aprovado. Brasília, DF, 18 de Dezembro de 2020:

---

**Prof. Dr. Sandro Augusto Pavlik  
Haddad**  
Orientador

---

**Prof. Dr. Alex Reis**  
Convidado 1

---

**Eng. Ricardo Noronha Junior**  
Convidado 2

Brasília, DF  
2020







# Agradecimentos

*Agradeço primeiramente à minha família por me proporcionar um ambiente acolhedor e saudável durante toda a minha estrada acadêmica, além de todo apoio necessário que me foi dado. Agradeço aos meus amigos e a minha companheira que foram bastante presentes dentro e fora da faculdade. Por fim agradeço ao meu orientador e colegas de trabalho pelo auxílio e apoio em todas as etapas do projeto de graduação.*



**”Homens fortes criam tempos fáceis. Tempos fáceis geram homens fracos.  
Homens fracos criam tempos difíceis. Tempos difíceis geram homens fortes”.**

*Provérbio Oriental*



# Resumo

O projeto descrito neste documento trata-se de um analisador de energia elétrica voltado para aplicações não industriais, como aplicações em testes acadêmicos, por exemplo. É contemplado todo o desenvolvimento e fabricação de um Hardware embarcado e desenvolvimento de Firmware de acordo com as funcionalidades requeridas. As principais funcionalidades são de análise de fator de potência e análise de níveis de frequências harmônicas do sinal da rede elétrica de baixa tensão. Apesar de não seguir todos os parâmetros industriais, o projeto se baseia em normas para aquisição e comparação de dados, para facilitar a observação do usuário sobre o monitoramento que está sendo feito. O Hardware é capaz de exportar os resultados via USB para um dispositivo externo e possui atualização contínua e automática dos resultados do monitoramento. O projeto é aberto para expansões futuras, possibilitando a continuidade do projeto com adição de novas funcionalidades no Firmware e melhorias de Hardware.

**Palavras-chaves:** analisador, harmônicos, fator de potência, energia elétrica.



# Abstract

The project described in this document is an electric power analyzer aimed at non-industrial applications, such as applications in academic tests, for example. It includes all the development and manufacture of embedded hardware and development of firmware according to the required functionalities. The main features are power factor analysis and analysis of harmonic frequency levels of the low voltage electrical network signal. Despite not following all industrial parameters, the project is based on standards for data acquisition and comparison, to facilitate the user's observation of the monitoring that is being done. The Hardware is capable of exporting the results via USB to an external device and has automatic continuous updating of the monitoring results. The project is open for future expansions, allowing the continuity of the project with the addition of new features in the Firmware and Hardware upgrades.

**Key-words:** analyzer, harmonics, power factor, electricity.



# Lista de ilustrações

Figura 1 – Relação do triângulo retângulo entre tipos de potência. . . . .	34
Figura 2 – Representação de sinais harmônicos em relação ao sinal fundamental. Adaptado de (OHMIC, n.d.). . . . .	36
Figura 3 – Representação no domínio do tempo e frequência de um sinal senoidal de 5Hz. . . . .	37
Figura 4 – (a) Amplificador inversor (b) Amplificador Não Inversor). Adaptado de (SEDRA; SMITH, 2015). . . . .	39
Figura 5 – Configuração de amplificador de diferença. Adaptado de (SEDRA; SMITH, 2015). . . . .	40
Figura 6 – Circuito Divisor de Tensão. . . . .	41
Figura 7 – (a) Filtro passa baixa (b) Filtro passa alta. Adaptado de (SEDRA; SMITH, 2015). . . . .	42
Figura 8 – (a) Filtro passa baixa ativo (b) Filtro passa alta ativo. Adaptado de (SEDRA; SMITH, 2015). . . . .	43
Figura 9 – Sensor de corrente não invasivo modelo SCT013. . . . .	44
Figura 10 – Efeito de clamp de tensão utilizando diodos do tipo PN. Adaptado de (INSTRUMENTS, 2018). . . . .	46
Figura 11 – Curva de Impedância x Frequência de alguns modelos de ferrite. Adap- tado de (INCOMPILANCE, 2010). . . . .	47
Figura 12 – Fluxo de atividades utilizado no desenvolvimento do projeto. . . . .	50
Figura 13 – Diagrama geral do sistema de condicionamento de sinal. . . . .	51
Figura 14 – Bloco de adequação/tradução da grandeza de entrada. . . . .	52
Figura 15 – Bloco de proteção de componentes. . . . .	53
Figura 16 – Bloco de filtragem de sinal. . . . .	53
Figura 17 – Bloco de amplificação de sinal. . . . .	53
Figura 18 – Blocos do MCU utilizados pelo projeto. . . . .	55
Figura 19 – Amplificador de diferença com offset. . . . .	59
Figura 20 – Topologia utilizada de circuito condicionador. . . . .	60
Figura 21 – Estágio divisor de tensão para leitura de tensão da rede elétrica. . . . .	60
Figura 22 – Estágio de sensoriamento de corrente. . . . .	62
Figura 23 – Circuito simulado, condicionamento de tensão. . . . .	64
Figura 24 – Saída simulada do circuito de condicionamento de tensão. . . . .	64
Figura 25 – Circuito simulado, condicionamento de corrente. . . . .	65
Figura 26 – Saída do circuito de condicionamento de corrente. . . . .	65
Figura 27 – Resposta em frequência do filtro anti-aliasing. . . . .	66
Figura 28 – Fluxograma de configuração de periféricos. . . . .	73

Figura 29 – Loop para processamento relacionado ao FP e tensão de regime permanente. . . . .	74
Figura 30 – Loop para processamento relacionado a análise de frequência. . . . .	75
Figura 31 – Configuração de saída do gerador de funções (tensão). . . . .	75
Figura 32 – Resultado do teste de leitura de tensão com entrada controlada. . . . .	76
Figura 33 – Configuração de saída do gerador de funções (corrente). . . . .	76
Figura 34 – Resultado do teste de leitura de corrente com entrada controlada. . . . .	77
Figura 35 – Configuração de saída do gerador de funções (defasagem). . . . .	77
Figura 36 – Resultado do teste de leitura do fator de potência com defasagem controlada. . . . .	77
Figura 37 – Configuração de saída do gerador de funções (harmônicas). . . . .	78
Figura 38 – Espectro de frequência contendo a frequência fundamental + harmônicas. . . . .	78
Figura 39 – Blocos do projeto de Hardware. . . . .	80
Figura 40 – Bloco regulador de tensão. . . . .	80
Figura 41 – Package TO-252-3. . . . .	81
Figura 42 – Bloco gerador de referências. . . . .	82
Figura 43 – Package SOT-23-5. . . . .	82
Figura 44 – Bloco MCU Core. . . . .	83
Figura 45 – Bloco MCU Control. . . . .	85
Figura 46 – Package LPFP-100. . . . .	85
Figura 47 – Bloco UART-USB Interface. . . . .	86
Figura 48 – Package QNF-24. . . . .	87
Figura 49 – Bloco de condicionamento de tensão. . . . .	87
Figura 50 – Bloco de condicionamento de corrente. . . . .	87
Figura 51 – Package 8-Pin SOIC. . . . .	88
Figura 52 – Circuito para conector USB. . . . .	89
Figura 53 – Conector micro-USB-AB. . . . .	89
Figura 54 – Interface JTAG/SWO. . . . .	90
Figura 55 – Header PTH 2x10. . . . .	90
Figura 56 – PCI de 4 camadas, vista lateral. . . . .	91
Figura 57 – Layout geral da PCI. . . . .	92
Figura 58 – Modelo 3D da PCI e respectivos blocos principais do projeto. . . . .	93
Figura 59 – Recomendações de placement para o bloco do MCU. . . . .	94
Figura 60 – Recomendações de placement para os demais blocos. . . . .	94
Figura 61 – Parâmetros para casamento de impedância do par diferencial. . . . .	95
Figura 62 – Trilhas das interfaces USB, obedecendo os parâmetros para casamento de impedância. . . . .	96
Figura 63 – Placa de circuito impresso antes do processo de montagem. . . . .	99
Figura 64 – Placa de circuito impresso com componentes necessários para a aplicação. . . . .	100

Figura 65 – Projeto em operação real. . . . .	100
Figura 66 – Resultados sem consumo de carga. . . . .	101
Figura 67 – Referência de medição de tensão da rede elétrica . . . . .	102
Figura 68 – Referência de medição de frequência da rede elétrica . . . . .	102
Figura 69 – Resultados com consumo de carga. . . . .	103
Figura 70 – Referência de medição de corrente da carga. . . . .	103



# Lista de tabelas

Tabela 1 – Limites das distorções harmônicas totais (em % da tensão fundamental) para instalações com $V \leq 1kV$ . Adaptado de (PRODIST, 2020). . . . .	69
Tabela 2 – Níveis de referência para distorções harmônicas individuais de tensão (em % da tensão fundamental) para instalações com $V \leq 1kV$ . Adaptado de (PRODIST, 2020) Rev 7. . . . .	70
Tabela 3 – Pontos de conexão em Tensão Nominal igual ou inferior a 1 kV. Adaptado de (PRODIST, 2020). . . . .	71
Tabela 4 – Pontos de conexão em Tensão Nominal igual ou inferior a 1 kV. Adaptado de (PRODIST, 2020). . . . .	71
Tabela 5 – Legenda de alertas. . . . .	72
Tabela 6 – Parâmetros USB 2.0. Adaptado de (TI, 2018) . . . . .	95
Tabela 7 – Informações de fabricação de acordo com as capacidades da JLCPCB. Adaptado de (JLCPCB, 2020b). . . . .	96
Tabela 8 – Informações de fabricação de acordo com as capacidades da JLCPCB. Adaptado de (JLCPCB, 2020a). . . . .	97
Tabela 9 – Custos PCI (5 unidades). . . . .	97
Tabela 10 – Custos Componentes (2 BOM). . . . .	98
Tabela 11 – Custos relacionados a impostos. . . . .	98



# Lista de abreviaturas e siglas

NBR	Norma Brasileira
ANEEL	Agência Nacional de Energia Elétrica
IEEE	Instituto de Engenheiros Eletricistas e Eletrônicos
IEC	International Electrotechnical Commission
PCI	Placa de Circuito Impresso
CI	Circuito Integrado
IDE	Integrated Development Environment
MCU	Microcontroller Unit
CPU	Central Process Unit
UART	Universal Asynchronous Receiver/Transmitter
LED	Light-Emitting Diode
EMI	Electromagnetic Induction
AmpOp	Amplificador Operacional
CMRR	Common-Mode Rejection Ratio
DC	Corrente Contínua
AC	Corrente Alternada
DDP	Diferença de Potencial
DFT	Transformada Discreta de Fourier
FFT	Transformada Rápida de Fourier
SPICE	Simulation Program with Integrated Circuit Emphasis
CAD	Computer Aided Design
A/D	Conversor Analógico Digital
GND	Referência do Circuito

II	Impostos de Importação
ICMS	Imposto sobre Operações relativas a Circulação de Mercadores sobre Prestações de Serviços de Transporte Interestadual
IOF	Imposto sobre Operações Financeiras

# Lista de símbolos

p	pico ( $10^{-12}$ )
n	nano ( $10^{-9}$ )
$\mu$	micro ( $10^{-6}$ )
m	mili ( $10^{-3}$ )
k	kilo ( $10^3$ )
M	mega ( $10^6$ )
V	Volt
A	Ampere
v	Tensão
i	Corrente
P	Potência
FP	Fator de Potência
W	Watt
VA	Volt Ampere
VAR	Volt Ampere Reativo
Vrms	Tensão média quadrática
Irms	Corrente média quadrática
Vp	Tensão de pico
Ip	Corrente de pico
Vpp	Tensão pico-a-pico
Ipp	Corrente pico-a-pico
R	Resistência
C	Capacitância

L	Indutância
Z	Impedância
F	Farads
H	Henry
Wb	Weber
Hz	Hertz
s	Segundo
bps	Bits por segundo
j	Número imaginario
f	Frequência
fc	Frequência de corte
t	Tempo
°C	Graus Celsius
$\frac{d}{dt}$	Derivada em relação ao tempo
$\int$	Integral
dB	Decibel
sps	Samples per second (amostras por segundo)
mil	Milésimo de polegada
$\pi$	Constante 3,14159
$\Omega$	Ohm
$\beta$	Letra grega minúscula beta
$\epsilon$	Letra grega minúscula epsilon
$\Delta$	Letra grega maiúscula delta
$\phi$	Letra grega minúscula phi

# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>29</b>
<b>1.1</b>	<b>Definição do Problema</b>	<b>30</b>
<b>1.2</b>	<b>Objetivos</b>	<b>30</b>
1.2.1	Objetivo Geral	30
1.2.2	Objetivos Específicos	30
<b>2</b>	<b>REFERENCIAL TEÓRICO</b>	<b>33</b>
<b>2.1</b>	<b>Tipos de Potência</b>	<b>33</b>
2.1.1	Fator de Potência	34
2.1.1.1	Cálculo do Fator de Potência	34
2.1.1.2	Normas Relacionadas ao Fator de Potência	35
<b>2.2</b>	<b>Harmônicos em Sistemas Elétricos</b>	<b>35</b>
2.2.1	Normas Relacionadas à Harmônicos em Redes Elétricas	36
<b>2.3</b>	<b>Análise de Fourier</b>	<b>36</b>
2.3.1	FFT - Transformada Rápida de Fourier	37
<b>2.4</b>	<b>Circuitos Condicionadores de Sinal</b>	<b>38</b>
2.4.1	Amplificador Operacional	38
2.4.1.1	CMRR - Common Mode Rejection Ratio	39
2.4.1.2	Slew Rate	39
2.4.1.3	Configuração Inversora e Não Inversora	39
2.4.1.4	Amplificador de Diferença	40
2.4.1.5	Circuito Integrador e Diferenciador	40
2.4.2	Divisores de Tensão	41
2.4.3	Filtros Analógicos	41
2.4.3.1	Filtros Passivos	41
2.4.3.2	Filtros Ativos	43
2.4.3.3	Filtro Anti-Aliasing	44
<b>2.5</b>	<b>Sensores</b>	<b>44</b>
2.5.1	Sensor de Corrente	44
2.5.1.1	Não Invasivo	44
2.5.1.2	Invasivo	45
<b>2.6</b>	<b>Topologias e Elementos de Proteção de Circuitos</b>	<b>45</b>
2.6.1	Limitação de Tensão com Diodos (Clamping)	45
2.6.2	Ferrites	46
2.6.3	Capacitores de Bulk e Desacoplamento	47

<b>2.7</b>	<b>Ferramentas de Simulação de Circuitos</b>	<b>47</b>
2.7.1	SPICE - Simulation Program with Integrated Circuits Emphasis	48
<b>3</b>	<b>METODOLOGIA</b>	<b>49</b>
<b>3.1</b>	<b>Metodologia Top-Down</b>	<b>49</b>
3.1.1	Especificações e Funcionalidades	50
3.1.2	Sinais de Interesse, Adequações e Processamentos	51
3.1.2.1	Processamento dos Sinais Condicionados	52
3.1.3	Topologias de Circuitos	52
3.1.3.1	Topologia dos Circuitos de Condicionamento	52
3.1.4	Desenvolvimento de Firmware	54
3.1.4.1	Firmware Bare-Metal	54
3.1.5	Prova de Conceitos	55
3.1.5.1	Simulação Analógica	55
3.1.5.2	Testes Reais dos Circuitos de Condicionamento	55
3.1.5.3	Testes de Firmware em Ambiente Controlado	56
3.1.6	Desenvolvimento de Hardware e Fabricação	56
3.1.7	Integração, Testes e Validação	56
<b>4</b>	<b>DESENVOLVIMENTO</b>	<b>59</b>
<b>4.1</b>	<b>Definição de Topologias</b>	<b>59</b>
4.1.1	Tensão	60
4.1.2	Corrente	61
4.1.3	Proteções	62
<b>4.2</b>	<b>Simulações</b>	<b>63</b>
4.2.1	Tensão	64
4.2.2	Corrente	65
4.2.3	Resposta em frequência	66
<b>4.3</b>	<b>Desenvolvimento de Firmware</b>	<b>66</b>
4.3.1	Requisitos Funcionais	66
4.3.1.1	Requisitos de Fator de Potência	66
4.3.1.2	Requisitos de Análise de Harmônicos	67
4.3.1.3	Tensão em Regime Permanente	71
4.3.1.4	Frequência	71
4.3.2	Alertas	72
4.3.3	Algoritmos	72
4.3.3.1	Fator de Potência e Tensão de Regime Permanente	73
4.3.3.2	Análise de Harmônicos e Frequência Fundamental	74
4.3.4	Testes de Firmware	75
<b>4.4</b>	<b>Desenvolvimento de Hardware</b>	<b>79</b>

4.4.1	Definição de Componentes Principais e Periféricos . . . . .	79
4.4.1.1	Fontes . . . . .	80
4.4.1.2	Microcontrolador . . . . .	82
4.4.1.2.1	MCU Core . . . . .	83
4.4.1.2.2	MCU Control . . . . .	84
4.4.1.3	Interface de Comunicação Externa . . . . .	86
4.4.1.4	Circuitos de Condicionamento . . . . .	87
4.4.1.5	Conectores . . . . .	89
4.4.1.6	Expansões . . . . .	90
4.4.2	Design de Hardware . . . . .	91
4.4.2.1	Recomendações e Boas Práticas . . . . .	92
4.4.2.2	Fabricação de PCI . . . . .	96
4.4.3	Custos de Projeto . . . . .	97
<b>5</b>	<b>RESULTADOS E DISCUSSÕES . . . . .</b>	<b>99</b>
<b>5.1</b>	<b>Projeto de Hardware . . . . .</b>	<b>99</b>
<b>5.2</b>	<b>Funcionalidades . . . . .</b>	<b>100</b>
<b>5.3</b>	<b>Discussões . . . . .</b>	<b>104</b>
<b>6</b>	<b>CONCLUSÕES . . . . .</b>	<b>105</b>
	<b>REFERÊNCIAS . . . . .</b>	<b>107</b>
	<b>ANEXOS . . . . .</b>	<b>109</b>
	<b>ANEXO A – PROJETO DE FIRMWARE (C) . . . . .</b>	<b>111</b>
	<b>ANEXO B – PROJETO DE HARDWARE . . . . .</b>	<b>131</b>



# 1 Introdução

Todos nós nos beneficiamos com a energia elétrica, sendo para utilização de eletrodomésticos, ferramentas de construção e ultimamente até como combustível para veículos elétricos, em alguns casos. A gama de aplicações e demanda por energia elétrica são gigantescas e há toda uma estrutura de distribuição para suprir essa demanda.

Esta estrutura de distribuição demanda equipamentos de alto valor, grandes construções e pessoas operantes em todo o sistema, resolvendo problemas ou criando soluções.

A distribuição de grandes quantidades de energia gera algumas preocupações sobre a qualidade da mesma, pois os custos operacionais possuem valores elevados, e perdas devem ser minimizadas ou até mesmo anuladas em alguns casos. Devido a essa preocupação, existe um ramo na área de energia elétrica voltado apenas para a qualidade de energia, onde são observados alguns fenômenos naturais e definidos parâmetros para monitorar, prevenir e amenizar esses fenômenos que podem ser danosos a toda a cadeia de distribuição.

A qualidade de energia elétrica são medidas que expressam o quão bem a energia elétrica pode ser utilizada pelos consumidores, levando em consideração parâmetros considerados desejáveis para uma operação segura. Como a energia elétrica está ligada a setores essenciais como saúde, educação, área militar e etc, a sua falta ou má qualidade podem gerar consequências como perda de produtos perecíveis, paralisação de centros logísticos e de manufatura, falta de sinalização no trânsito e outras consequências que geram grandes prejuízos.

Há toda uma regulamentação sobre qualidade de energia, normalmente determinada pela ANEEL no Brasil, porém existem outras normas internacionais que a própria ANEEL utiliza como base. A agência regulamentadora define limites onde tanto os distribuidores de energia, quanto consumidores de grande porte devem estar atentos, sendo passível de penalizações em alguns casos, caso não seja cumprido o estipulado pelas normas.

Há uma série de distúrbios na rede elétrica que afetam a qualidade de energia, como por exemplo:

- Transitórios de tensão, que provocam alterações nas condições operacionais do sistema, danificando ou gerando instabilidade em equipamentos e instalações. Podem ser causados por descargas atmosféricas ou chaveamentos na rede.

- Desequilíbrios nas médias das correntes ou tensões, geralmente ocasionados por desequilíbrios nos sistemas de distribuição de cargas.

- Harmônicas, tensões ou correntes senoidais de frequências múltiplas inteiras da frequência fundamental.

- Ruídos, sinal elétrico indesejado causado por equipamentos eletrônicos de potência, circuitos de controle, equipamentos a arco e equipamentos que estão em situação imprópria de aterramento.

Há todo um mercado de equipamentos que possuem funcionalidades de monitoramento da qualidade de energia. Normalmente com valores bem elevados, pois devem seguir alguns padrões de fabricação e são utilizados em meios industriais, em instalações de grande porte ou em centros de distribuição de energia.

## 1.1 Definição do Problema

Devido aos preços elevados da maioria dos analisadores de qualidade de energia disponíveis e conseqüentemente sua baixa disponibilidade, pensou-se em criar uma versão de analisador de qualidade energia elétrica para aplicações que não sejam industriais, algo voltado para acadêmicos ou até mesmo para hobistas. Um equipamento embarcado com funções básicas relacionadas a qualidade de energia e conseqüentemente com um valor final bastante inferior ao de um modelo industrial, sem deixar de observar alguns parâmetros, limites e recomendações descritos por norma.

## 1.2 Objetivos

### 1.2.1 Objetivo Geral

Através de um equipamento eletrônico projetado para este fim, obter grandezas físicas de tensão da rede elétrica comum e corrente que flui através de uma carga genérica ligada a mesma rede para realizar um processamento de dados e obter uma análise de qualidade do sinal da rede elétrica e qualidade do consumo de potência da carga.

Levar em consideração as necessidades de condicionamento desses sinais para possibilitar um processamento de dados, cuidados a serem tomados de acordo com cada grandeza que será aferida e fatores externos que podem afetar a integridade do circuito.

### 1.2.2 Objetivos Específicos

- Projetar e simular os circuitos de condicionamento de sinal levando em consideração a amplitude dos sinais reais de entrada e limites de tensão desejados na saída do condicionamento.

- 
- Devido a exposição direta e indireta de todo o conjunto de circuitos à centenas de Volts e dezenas de Amperes, dimensionar topologias e componentes de proteção contra sobretensões e ruídos provenientes de possíveis surtos na rede elétrica.
  - Disponibilizar sinais condicionados para serem lidos por um conversor analógico digital de um microcontrolador.
  - Desenvolver projeto de Firmware utilizando um microcontrolador para realizar todo o processamento dos sinais de entrada e obter variáveis de interesse relacionadas a qualidade de energia elétrica, comparando essas variáveis processadas com valores tabelados de normas técnicas já definidas. Disponibilizar a análise final via interface de comunicação externa.
  - Validar Firmware utilizando sinais de entrada genéricos próximos aos esperados na saída do circuito de condicionamento real.
  - Desenvolver projeto de Hardware integrando todos os blocos do sistema em uma placa de circuito impresso (condicionamento de sinais, processamento de sinais e interfaces de comunicação externa), considerando todas as necessidades de periféricos para cada bloco.
  - Solicitar fabricação da placa de circuito impresso projetada, realizar compra de todos os componentes necessários e realizar a montagem e solda desses componentes na placa.
  - Realizar testes e validação do projeto de Hardware integrado com o projeto de Firmware e obter resultados das análises de qualidade de energia propostas.



## 2 Referencial Teórico

Para realização desse trabalho é necessário um levantamento teórico sobre conceitos, componentes, topologias e métodos que podem ser utilizados. O conhecimento sobre conceitos teóricos gerais e específicos auxiliam no entendimento do comportamento de cada elemento do projeto e podem ser úteis para prevenir equívocos e agilizar a confecção do trabalho.

### 2.1 Tipos de Potência

Quando a potência consumida por um equipamento é medida ou calculada, normalmente são consideradas apenas a tensão eficaz e corrente eficaz, que dá a informação de uma potência aparente. Para análises de qualidade de energia elétrica, devem ser consideradas três tipos de potência:

- Potência Ativa - Denominada como potência útil ou potência real entregue ao equipamento, é a energia que é totalmente aproveitada para gerar movimento, calor, emissão de luz e etc. (WEG, 2012). É medida em Watts [W] e pode ser calculada por:

$$P(t) = v(t)i(t) \quad (2.1)$$

- Potência Reativa - É a potência que oscila entre a fonte elétrica e a carga, causada por elementos armazenadores de energia no circuito da carga, como bobinas (indutores) e capacitores. Esse tipo de potência tem apenas a função de magnetizar as bobinas de motores, por exemplo, e não é consumida pela carga para se transformar em outro tipo de energia. (WEG, 2012). É medida em Volt Ampere Reativo [VAR] e pode ser calculada por:

$$Q(t) = v(t)i(t) \sin \phi \quad (2.2)$$

- Potência Aparente - Potência total entregue à carga, é composta pela combinação entre potência ativa e reativa. É medida em Volt Ampere (VA). (WEG, 2012) e pode ser calculada por:

$$S = v_e f \cdot i_e f \quad (2.3)$$

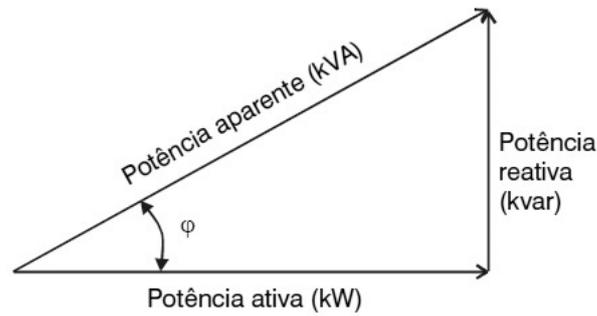


Figura 1 – Relação do triângulo retângulo entre tipos de potência.

### 2.1.1 Fator de Potência

É um índice que relaciona os níveis de energia ativa e reativa de uma instalação elétrica, sendo um dos principais indicadores de eficiência energética. (CHESP, n.d.). É uma medida adimensional que varia de 0 até 1, valores de FP próximos de 1 representam pouca ou nenhuma utilização de energia reativa. O fator de potência pode ser classificado como indutivo ou capacitivo, um FP indutivo significa que a unidade consumidora está absorvendo energia reativa da rede, o que acontece na maioria dos casos pelo fato dos equipamentos domésticos possuírem bobinas (indutores). Um FP capacitivo representa a injeção de energia reativa na rede, uma situação que pode ocorrer apenas em unidades consumidoras que possuem bancos de capacitores instalados.

#### 2.1.1.1 Cálculo do Fator de Potência

Sabendo que a Equação 2.3 utiliza valores eficazes e considerando que a tensão eficaz e corrente eficaz podem ser representadas de forma geral por:

$$v_{ef} = \frac{V_p}{\sqrt{2}} \quad (2.4)$$

$$i_{ef} = \frac{I_p}{\sqrt{2}} \quad (2.5)$$

e em função do tempo por:

$$v_{ef} = \sqrt{\frac{1}{T} \int_0^t v(t)^2 dt} \quad (2.6)$$

$$i_{ef} = \sqrt{\frac{1}{T} \int_0^t i(t)^2 dt} \quad (2.7)$$

Onde T é o período do sinal.

A potência aparente pode ser representada por:

$$S = \frac{1}{T} \sqrt{\int_0^t v(t)^2 dt \int_0^t i(t)^2 dt} \quad (2.8)$$

O valor de FP é literalmente o valor de  $\cos \phi$ , onde  $\phi$  é o ângulo do triângulo retângulo de potências. Utilizando as propriedades do triângulo retângulo, podemos definir o FP como:

$$FP = \cos \phi = \frac{P(t)}{S(t)} \quad (2.9)$$

### 2.1.1.2 Normas Relacionadas ao Fator de Potência

Considerando que a maioria dos consumidores da rede elétrica utiliza equipamentos com bobinas, há uma preocupação sobre o nível de potência reativa que é consumida da rede, principalmente em empresas que utilizam máquinas de alta potência. Também há uma preocupação sobre o nível de potência reativa injetada na rede, isso acontece quando empresas que utilizam bancos de capacitores para compensar os efeitos das suas cargas indutivas não fazem o manejo correto desse sistema, deixando o banco ligado à rede enquanto as máquinas indutivas não são utilizadas, por exemplo.

Um baixo fator de potência demonstra que a energia está sendo mal aproveitada e isso pode trazer riscos e prejuízos, como: Variações de tensão, aquecimento excessivo de condutores, perdas de energia, redução do aproveitamento da capacidade de transformadores, entre outros problemas. (CHESP, n.d.).

Existem regulamentações que definem faixas de tolerância para o FP de uma instalação, sob o risco de penalizações caso a instalação com valores fora da tolerância não se adapte aos valores definidos. Um exemplo de regulamentação que cita um limite de FP é a PRODIST da ANEEL.

## 2.2 Harmônicos em Sistemas Elétricos

De acordo com normas e recomendações nacionais e internacionais, a presença de harmônicos da frequência fundamental de uma rede elétrica AC deve ser monitorada para garantir um nível aceitável de qualidade de energia. São importantes indicadores de qualidade de energia elétrica.

Harmônicos são distorções em uma forma de onda, caracterizadas por sinais senoidais com frequências múltiplas inteiras da frequência fundamental. No caso da rede elétrica essas distorções acontecem tanto nas ondas de tensão quanto nas ondas de corrente. (PRODIST, 2020).

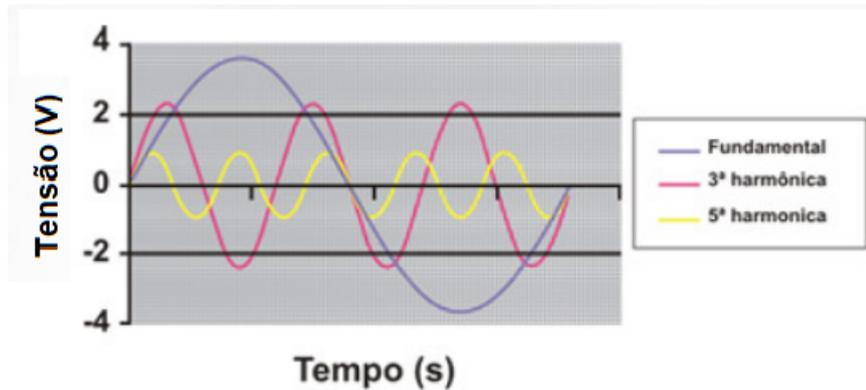


Figura 2 – Representação de sinais harmônicos em relação ao sinal fundamental. Adaptado de (OHMIC, n.d.).

Este fenômeno é inevitável e pode ter origem na concessionária de energia, devido a manobras na rede, instabilidade de subestação, efeitos de transmissão, entre outras diversas causas e também podem ser causadas pelo consumidor final, seja ele uma empresa ou usuário comum, com a utilização de equipamentos indutivos de alta potência, por exemplo.

Os efeitos negativos de níveis altos de sinais harmônicos na rede são prejudiciais em toda a cadeia de distribuição, diminuindo a vida útil de equipamentos da concessionária e de usuários finais, ou até mesmo danificando-os.

### 2.2.1 Normas Relacionadas à Harmônicos em Redes Elétricas

Como comentado anteriormente, algumas regulamentações e recomendações são necessárias para se obter um controle sob o problema, definindo faixas de níveis de distorção harmônica aceitáveis e críticos, com responsabilidades a nível de distribuidor e usuário.

A principal norma nacional que regulamenta uma série de efeitos na rede elétrica, além das distorções harmônicas é o PRODIST da ANEEL, para redes de distribuição com tensão inferior a 230kV. Outras normas internacionais como a IEEE-519 e a série de normas IEC-61000 apresentam limites de referência para diversas interferências na distribuição e interferências de equipamentos de usuários da rede.

## 2.3 Análise de Fourier

Para a análise de harmônicos ou qualquer componente de frequência de um sinal é necessário uma forma de se obter o sinal que originalmente é caracterizado no tempo em seu equivalente no espectro de frequência.

Qualquer função geral periódica pode ser escrita como uma série de funções senoidais, esta decomposição é denominada Série de Fourier, que é definida apenas para sinais periódicos. (OPPENHEIM; WILLSKY, 2010).

A Transformada de Fourier é extensão da Série de Fourier que transforma um sinal no domínio do tempo para o domínio da frequência e que abrange também os sinais não periódicos que se aproximam de um tempo infinito, em teoria. (OPPENHEIM; WILLSKY, 2010). Um sinal de tensão contínuo no tempo, por exemplo, pode ser expresso no domínio da frequência pela seguinte expressão:

$$V(j\omega) = \int_{-\infty}^{\infty} v(t)e^{-j\omega t} dt \quad (2.10)$$

Onde,

$v(t)$ : tensão no domínio do tempo;

$\omega$ :  $2\pi f$  (frequência angular);

$j$ : número imaginário relacionado a fase do sinal;

Essa expressão retorna um espectro de índices que representam a potência (normalmente em dB) em cada componente de frequência do sinal.

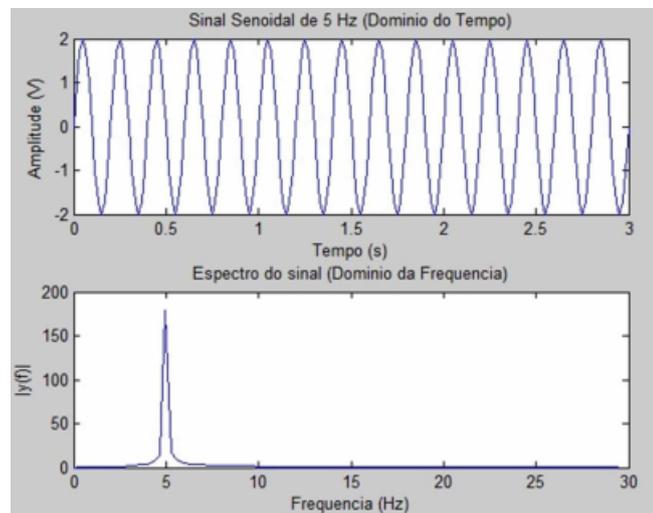


Figura 3 – Representação no domínio do tempo e frequência de um sinal senoidal de 5Hz.

### 2.3.1 FFT - Transformada Rápida de Fourier

A Transformada de Fourier contínua no tempo compreende um intervalo infinito de tempo, impossibilitando implementações reais do conceito em equipamentos. Por esse motivo existe uma variação discreta da Transformada de Fourier (DFT) que possui amostras discretas de um sinal em um intervalo de tempo finito, de acordo com a seguinte equação:

$$V[k] = \sum_{n=0}^{N-1} v(n)e^{-j2\pi kn/N} \quad (2.11)$$

Onde,

N: Número total de amostras;

n: Índice de posição da amostra do sinal;

k: Índice de posição da amostra da transformada;

v(n): Amostra do sinal na posição n;

Pelo fato do cálculo da DFT ser lento utilizando a definição básica, foi criado um algoritmo que calcula a DFT de uma forma mais eficiente, ideal para aplicações com recursos de processamento limitados, este algoritmo é denominado FFT. A utilização da definição da DFT leva a operações aritméticas de ordem  $N^2$ , enquanto a utilização da FFT leva a operações de ordem  $N \log(N)$ , economizando tempo de processamento do sistema. (Heideman; Johnson; Burrus, 1984). O algoritmo utiliza transformações matemáticas e substituições de variáveis com base na equação da DFT para gerar essa eficiência.

## 2.4 Circuitos Condicionadores de Sinal

Para uma boa aquisição de dados, condicionadores de sinais são utilizados para adequar grandezas a um nível em que elas fiquem compatíveis aos demais elementos do circuito. No caso desse projeto há a leitura de grandezas na ordem de centenas de Volts e dezenas de Amperes e deve-se atenuar os níveis elétricos proporcionalmente e filtrar interferências indesejáveis para possibilitar a leitura dos dados.

### 2.4.1 Amplificador Operacional

Com a necessidade de amplificar, atenuar, filtrar ou até mesmo isolar (com alta impedância) certos sinais do projeto, é necessário utilizar algumas topologias que incluem amplificadores operacionais.

O amplificador operacional é um circuito integrado que tem a função de amplificar na saída a diferença dos sinais nos terminais de entrada, essa amplificação é dada pelo ganho de malha aberta do amplificador operacional que for utilizado (SEDRA; SMITH, 2015). As configurações mais usuais com amplificadores operacionais utilizam elementos passivos para realizar realimentação negativa, determinando seu ganho de acordo com os elementos adicionados e possibilitando diversas configurações, como de amplificador inversor, não inversor e subtrator, por exemplo. Além disso, um amplificador operacional

possui elevada impedância de entrada e baixa impedância de saída, o que favorece na isolamento de determinados circuitos.

#### 2.4.1.1 CMRR - Common Mode Rejection Ratio

Idealmente, um amplificador operacional deveria ter saída nula quando dois sinais exatamente iguais fossem aplicados em suas entradas, pois a saída reflete a diferença (subtração) das entradas multiplicadas por um ganho, porém em aplicações reais, um pequeno sinal aparece na saída mesmo com as condições citadas anteriormente. O CMRR, Relação de Rejeição em Modo Comum (Common Mode Rejection Ratio) é a capacidade do amplificador operacional de rejeitar esses sinais equivalentes na entrada (SEDRA; SMITH, 2015).

#### 2.4.1.2 Slew Rate

Velocidade de resposta de um amplificador quando ocorre uma variação de tensão na entrada (SEDRA; SMITH, 2015). É útil para identificar a frequência máxima que pode ser aplicada ao amplificador sem que haja distorções do sinal.

#### 2.4.1.3 Configuração Inversora e Não Inversora

Amplificador inversor e não inversor defasa o sinal em  $180^\circ$  ou reflete a mesma fase do sinal de entrada, respectivamente. Podem aplicar ganho ao sinal de acordo com os valores dos elementos passivos da topologia.

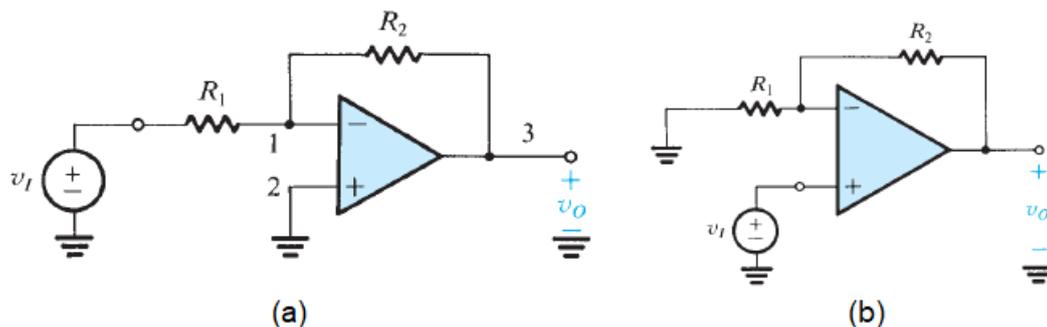


Figura 4 – (a) Amplificador inversor (b) Amplificador Não Inversor). Adaptado de (SEDRA; SMITH, 2015).

As expressões de saída para esses tipos de configuração são:

$$v_o = -\frac{R_2}{R_1}V_i \quad (2.12)$$

$$v_o = \left(1 + \frac{R_2}{R_1}\right)V_i \quad (2.13)$$

#### 2.4.1.4 Amplificador de Diferença

Uma topologia bastante comum em aplicações com amplificadores operacionais, que usa o CMRR para rejeitar ruídos de modo comum na entrada.

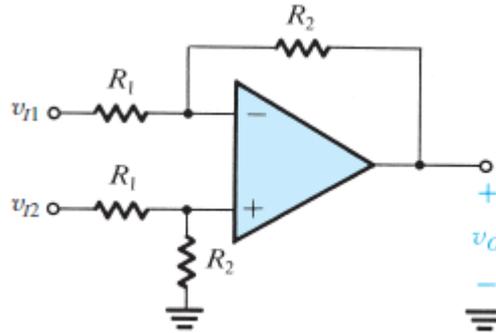


Figura 5 – Configuração de amplificador de diferença. Adaptado de (SEDRA; SMITH, 2015).

A equação da tensão de saída é dada por:

$$v_o = \frac{R_2}{R_1}(v_{I2} - v_{I1}) \quad (2.14)$$

Dependendo da combinação de elementos passivos, pode ser utilizado como filtro ativo, amplificador ou atenuador.

#### 2.4.1.5 Circuito Integrador e Diferenciador

Com realimentação negativa através de um capacitor, o circuito integrador pode ser realizado a partir de um amplificador operacional e fornece na saída a equivalente integral do sinal de entrada em relação ao tempo. Nessa topologia a tensão de entrada é aplicada na entrada inversora do amplificador operacional, o que torna o integrador também um circuito inversor.

$$V_o = -\frac{1}{RC} \int V_{in}(t) dt \quad (2.15)$$

Para o circuito diferenciador, a realimentação negativa é feita através de um resistor, com o capacitor presente na entrada inversora do amplificador operacional, em série com a tensão de entrada. O amplificador diferenciador também é inversor.

$$V_o = -RC \frac{dV_{in}(t)}{dt} \quad (2.16)$$

## 2.4.2 Divisores de Tensão

Técnica utilizada para obter uma tensão elétrica em um ponto do circuito de acordo com uma tensão geral de entrada e os componentes de malha do circuito. Um exemplo de divisor de tensão é o de resistores em série, onde a queda de tensão em cada resistor será proporcional a resistência de cada um deles e da tensão de alimentação da malha resistiva.

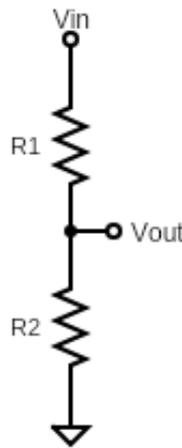


Figura 6 – Circuito Divisor de Tensão.

Com a saída de tensão dada pela seguinte equação:

$$V_{out} = \frac{R2}{R1 + R2} V_{in} \quad (2.17)$$

## 2.4.3 Filtros Analógicos

Como uma boa prática em projetos de circuitos eletrônicos, deve-se levar em consideração variações de sinais que são indesejáveis para certos circuitos, alguns ruídos elétricos podem levar os circuitos de uma aplicação a comportamentos indesejáveis ou até mesmo danificá-los. Para isso são adicionados filtros eletrônicos pelo projeto, que possuem a função de atenuar sinais fora da faixa de frequência para que foram projetados. Podemos separar os filtros em quatro topologias: filtro passa baixa, passa alta, passa faixa e rejeita faixa. A quantidade de filtros em um circuito e seus tipos vão depender de cada projeto e suas aplicações.

### 2.4.3.1 Filtros Passivos

Levando em consideração a resposta em função da frequência de componentes armazenadores de energia, no caso capacitores e indutores, é possível realizar topologias

de circuitos para estipular a faixa de frequência em que um sinal pode atuar de acordo com o filtro implementado

Capacitores possuem impedância inversamente proporcional à frequência. (SEDRA; SMITH, 2015):

$$Z_c = R + \frac{1}{j2\pi fC} \quad (2.18)$$

Indutores possuem impedância diretamente proporcional à frequência. (SEDRA; SMITH, 2015):

$$Z_l = R + j2\pi fL \quad (2.19)$$

Onde,

R: Parte real da impedância, pode ser vista como a resistência do componente real, ou um resistor em série;

f: frequência do sinal [Hz];

C: Capacitância em Farads [F];

L: Indutância em Henry [H];

j: Número imaginário, está relacionado com a defasagem do sinal;

Um exemplo de topologia de passa baixa ou passa alta simples, pode ser realizado por um circuito com resistor em série com um capacitor ou indutor, conhecidos como filtros RC ou RL. O capacitor tende a bloquear baixas frequências e o indutor tende a bloquear altas frequências, a combinação da posição desses elementos de acordo com o sinal definirá se o mesmo irá se comportar como um passa baixa ou como passa alta.

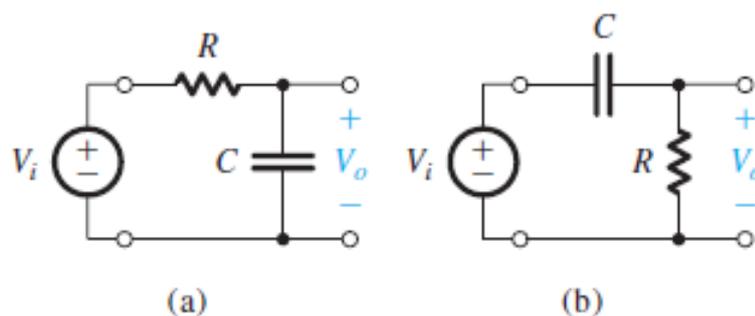


Figura 7 – (a) Filtro passa baixa (b) Filtro passa alta. Adaptado de (SEDRA; SMITH, 2015).

A frequência de corte tanto para a passa alta quanto para a passa baixa será definida pela resistência e capacitância dos elementos escolhidos.

$$f_c = \frac{1}{2\pi RC} \quad (2.20)$$

Com uma combinação mais elaborada de elementos ou cascatas em série de filtros, podemos obter características de passa faixa, rejeita faixa e também obter um filtro de maior ordem, que aumenta a velocidade de corte de um filtro na frequência projetada, quanto maior a ordem de um filtro mais próximo o mesmo fica de um filtro ideal.

#### 2.4.3.2 Filtros Ativos

Possuem mesma função dos filtros analógicos, porém com a utilização de elementos ativos no circuito, como amplificadores operacionais e transistores (SEDRA; SMITH, 2015). No caso do uso de amplificadores operacionais, capacitores ou indutores definirão a frequência de corte do filtro. As vantagens de associação de elementos ativos à filtros são: Evitar perdas por inserção, pois o circuito pode proporcionar um ganho real de potência de acordo com a necessidade do projetista e maior possibilidade combinação de filtros, aumentando sua ordem com configurações simples repetidas, tirando proveito da característica de alta impedância de entrada e baixa impedância de saída dos amplificadores operacionais.

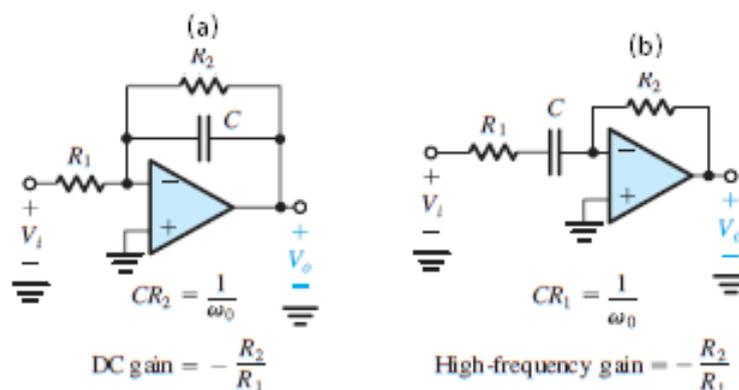


Figura 8 – (a) Filtro passa baixa ativo (b) Filtro passa alta ativo. Adaptado de (SEDRA; SMITH, 2015).

O ganho do amplificador operacional dependerá da configuração do mesmo, e a frequência de corte do filtro seguirá como nos filtros passivos, dependendo dos valores dos elementos armazenadores de energia.

### 2.4.3.3 Filtro Anti-Aliasing

Utilizado para evitar o efeito de Aliasing em uma amostragem, que é o erro de reconstrução de um sinal amostrado pelo fato do sinal possuir frequências superiores a metade da frequência de amostragem, essa necessidade da frequência de amostragem ser o dobro da maior frequência do sinal amostrado é denominado critério de Nyquist.

Para garantir que não haja reconstrução errônea do sinal amostrado, um filtro passa-baixa pode ser aplicado em um estágio do circuito com frequência de corte na metade da frequência de amostragem, esta aplicação específica do filtro passa-baixa é denominada filtro anti-aliasing.

## 2.5 Sensores

A utilização de sensores no projeto será necessária para possibilitar a leitura de certas grandezas físicas.

Sensores são componentes que respondem à um estímulo físico ou químico, o transformando em outra grandeza física (BALBINOT; BRUSAMARELLO, 2019), para eletrônica, as saídas se dão em tensão, corrente ou resistência.

### 2.5.1 Sensor de Corrente

#### 2.5.1.1 Não Invasivo

Modelo que realiza a leitura de uma corrente circulando por um condutor a partir do seu campo magnético, portanto não há interferências no circuito em que a corrente está sendo aferida. Modelos comuns disponíveis no mercado possuem núcleo de ferrite para confinamento do campo magnético e uma bobina ou sensor de efeito Hall que transformam o campo magnético em um pequeno fluxo de corrente ou diferença de potencial.



Figura 9 – Sensor de corrente não invasivo modelo SCT013.

Esse tipo de sensor pode ser utilizado para amplas faixas de corrente dependendo do modelo, porém com menor sensibilidade para correntes muito pequenas, na ordem de

microamperes.

### 2.5.1.2 Invasivo

Necessita que o dispositivo que está realizando a leitura esteja em série com o ramo do circuito a ter sua corrente mensurada. Uma solução comum é utilizar um resistor de referência que ficará em série com o circuito, denominado “resistor shunt”, que normalmente possui baixo valor de resistência e alta potência. A tensão gerada nesse resistor de valor conhecido reflete a corrente que está passando pelo circuito através da Lei de Ohm. Para grandes fluxos de corrente, este método pode apresentar problemas devido a potência limitada do resistor shunt.

Alguns modelos de sensor de corrente invasivos também usam o princípio do efeito Hall, porém com a mesma necessidade de estar em série com o circuito que terá sua corrente mensurada. Os chips com essa funcionalidade possuem uma trilha transversal a um sensor de efeito Hall, causa menor interferência no circuito e possibilita a medição de maiores fluxos de corrente pelo fato de não utilizarem um resistor do tipo shunt. Sensores do tipo Hall normalmente possuem custo mais elevado e requerem um maior cuidado no projeto, pois são circuitos com menor imunidade a EMI.

## 2.6 Topologias e Elementos de Proteção de Circuitos

Devido à preocupação com transientes de elevada tensão e ruídos de alta frequência comuns em grande parte das aplicações com eletrônica, deve-se garantir que pontos críticos de um circuito estejam menos suscetíveis a essas interferências não desejadas aplicando elementos de proteção adicionais.

### 2.6.1 Limitação de Tensão com Diodos (Clamping)

Consiste em ceifar toda variação de tensão fora de uma faixa especificada, entre a referência do circuito e a alimentação, por exemplo.

Aproveitando a característica de condução de um diodo de acordo com o potencial aplicado, é possível aplicar uma topologia com diodos antiparalelos, que limitarão a tensão da linha de acordo com a tensão de referência aplicada no terminal oposto com a adição de sua tensão de condução, que é de aproximadamente 0,7V em diodos do tipo PN de propósito geral.

Para essa topologia, é ideal a utilização de diodos do tipo Schottky, que possuem junção de um metal com um material semicondutor do tipo N, diferente dos diodos comuns, que possuem junção de dois materiais semicondutores do tipo P e N. A junção metal-semicondutor possui característica de menor tensão de condução (cerca de 0,3V),

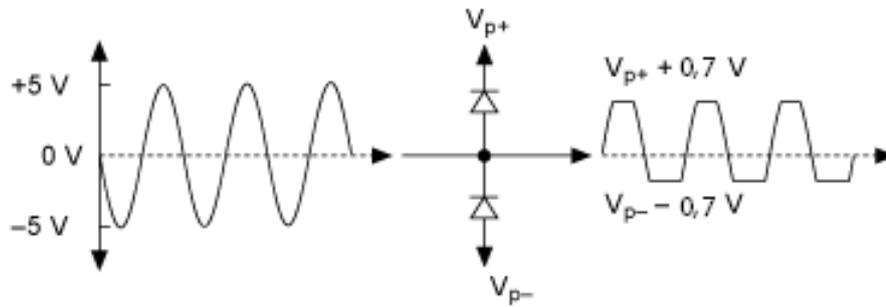


Figura 10 – Efeito de clamp de tensão utilizando diodos do tipo PN. Adaptado de (INSTRUMENTS, 2018).

maior capacidade de condução de corrente e menor capacitância parasita, que influencia em uma resposta mais rápida de condução. (SEDRA; SMITH, 2015). Além disso, os diodos do tipo Schottky possuem alguns pontos negativos, como maior corrente de fuga e suporta uma menor tensão em modo reverso.

## 2.6.2 Ferrites

Indutores específicos para supressão de interferências de alta frequência externas a um circuito. São bastante utilizados em entradas de circuitos de comunicação serial, fontes, conversores DC/DC e em entradas de tensões de referência em microcontroladores. Podem ser classificados de acordo com a faixa de frequência de atuação, velocidade de resposta e capacidade de corrente. Ferrites com enrolamento possuem maior capacidade de corrente e atenuam sinais em frequências mais baixas que os ferrites tradicionais de chip (ELETRONICSNOTES, n.d.).

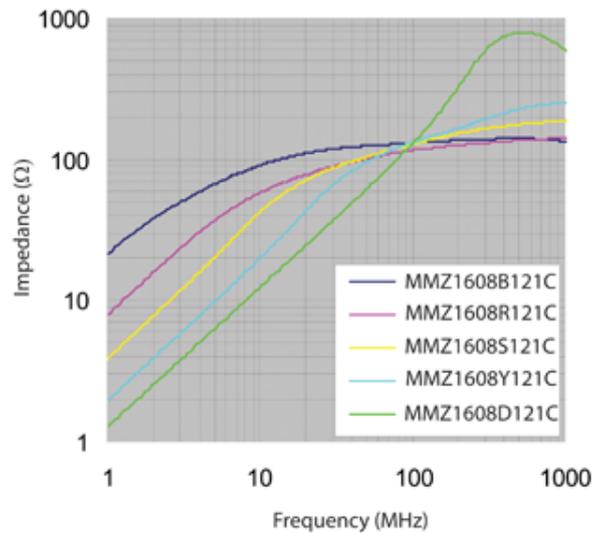


Figura 11 – Curva de Impedância x Frequência de alguns modelos de ferrite. Adaptado de (INCOMPILANCE, 2010).

### 2.6.3 Capacitores de Bulk e Desacoplamento

Como boa prática em projeto de circuitos, deve-se levar em consideração a adição de capacitores de bulk e desacoplamento imediatamente antes da entrada de alimentação dos componentes ativos, posicionados entre as trilhas de alimentação e terra. A motivação para essa topologia é a de fornecer uma tensão de melhor qualidade possível para os chips do circuito.

A diferença entre capacitores de desacoplamento e bulk é apenas de escala de capacitância, o desacoplamento evita transientes de curta duração oriundos da fonte ou induzidos pela própria trilha da placa ocasionados por chaveamento de circuitos digitais, já os capacitores de bulk possuem valores maiores de capacitância que evitam a que a tensão nas proximidades do mesmo seja reduzida, caso a fonte sofra interferência e a tensão abaixe por um curto período de tempo, esse tipo de queda de tensão normalmente ocorre quando há uma demanda instantânea de corrente pelo circuito.

## 2.7 Ferramentas de Simulação de Circuitos

Para validação de dimensionamentos e observar comportamentos não ideais de componentes de acordo com estímulos de entrada, é recomendável realizar uma simulação através de software dos circuitos propostos para o projeto.

### 2.7.1 SPICE - Simulation Program with Integrated Circuits Emphasis

A sigla SPICE significa Simulation Program with Integrated Circuits Emphasis, realizado por Laurence W. Nagel na Universidade da Califórnia em 1972 (NAGEL; PEDERSON, 1973). Permite a simulação de circuitos eletrônicos descritos por texto, onde são inseridos os parâmetros de comportamento do componente e de análise desejada. Para descrição dos componentes, algumas regras de sintaxe devem ser respeitadas, como em uma linguagem de programação.

Atualmente, existem variações de interfaces baseadas em simulações SPICE disponíveis gratuitamente com uma infinidade de bibliotecas de componentes e diversos tipos de análise. Também é possível a inserção de componentes específicos através do modelo SPICE do componente, que é disponibilizado pela maioria dos fabricantes.

O presente trabalho irá utilizar a ferramenta LTSpice para simulação dos circuitos analógicos de condicionamento.

## 3 Metodologia

O estudo proposto consiste em buscar soluções considerando simplicidade e custo aliados a um projeto que atenda os requisitos definidos, levando em consideração etapas futuras de desenvolvimento e possíveis alterações na proposta inicial. O desenvolvimento da aplicação levará em conta procedimentos padrões descritos por norma e valores tabelados de referência para comparação com resultados. O esquemático do circuito e tipos de componentes utilizados serão definidos considerando o desenvolvimento do layout de uma placa de circuito impresso que será produzida.

Um fluxo de projeto foi definido para o trabalho a ser realizado, visando observar o sistema em modo amplo e, a partir de cada bloco abranger os subsistemas necessários para a aplicação. Essa metodologia é denominada fluxo de projeto Top-Down

### 3.1 Metodologia Top-Down

Como citado acima, a partir de uma visão geral do sistema, deve-se obter uma fragmentação do mesmo para compreensão de todos os seus subsistemas e conseqüentemente obter as especificações dos níveis mais básicos do projeto.

Para a aplicação deste fluxo no trabalho em questão, é necessário especificar os dados relevantes para os objetivos que podem ser obtidos a partir do sensoriamento de grandezas oriundas da rede elétrica. Após a definição dos dados que serão de fato relevantes, serão definidos os sub blocos com métodos para a obtenção e processamento desses dados. Os sub blocos serão divididos em topologias de circuitos eletrônicos até finalmente atingir o nível de componentes reais necessários para a aplicação. Os níveis de fluxo para o projeto podem ser observado na Figura (12).

Cada bloco do fluxo Top-Down define bem sua função geral para ser utilizada como referência pelos seus sub-blocos, o que reduz o risco de possíveis erros de definição nos blocos de baixo nível, facilitando alterações e correções nos mesmos.

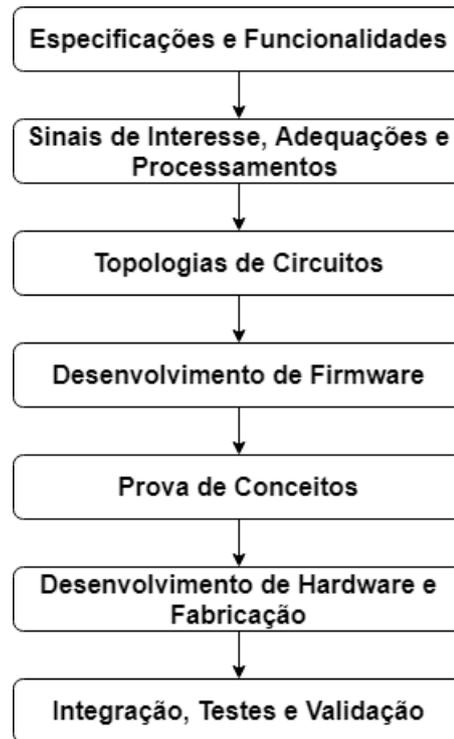


Figura 12 – Fluxo de atividades utilizado no desenvolvimento do projeto.

### 3.1.1 Especificações e Funcionalidades

O projeto consiste em um Analisador de Qualidade de Energia Elétrica que, apesar de não seguir um padrão de desenvolvimento e produção industrial, irá considerar algumas normas e recomendações definidas por órgãos de regulamentação, que são padrões utilizados como requisitos em projetos de escala industrial.

A seguir são listados os requisitos e funcionalidades básicas do projeto:

- Conexão paralela do equipamento diretamente na rede elétrica de baixa tensão;
- Leitura não invasiva de corrente que flui por uma carga genérica;
- A partir da conexão com a rede elétrica e sensoriamento de corrente, obter dados de Tensão Eficaz, Corrente Eficaz, Potência Aparente e Fator de Potência;
- A partir da conexão de Tensão, obter amplitudes de harmônicos da rede elétrica. A quantidade mínima de harmônicos monitorados deve seguir o estipulado pelo documento PRODIST da ANEEL;
- A partir dos dados amplitude de harmônicos, calcular índices de interesse relacionados a qualidade de energia expressos no documento PRODIST da ANEEL;
- A partir dos dados limites e recomendações de tensão, fator de potência, índices de harmônicos, entre outros tabelados pela norma IEC61000-2-2 e pelo documento

PRODIST da ANEEL, realizar comparações com valores calculados e gerar alertas caso os limites sejam excedidos;

### 3.1.2 Sinais de Interesse, Adequações e Processamentos

Os sinais de interesse para a análise proposta são de tensão da rede elétrica e corrente fluindo por uma carga.

O sistema que será desenvolvido terá a capacidade de ser exposto a uma grandeza de tensão na ordem de centenas de Volts e através de estágios de condicionamento, adequar os sinais para que se tornem legíveis por outro sistema. O mesmo acontece para a leitura de corrente, o sensoriamento poderá converter correntes na ordem de dezenas de Amperes para sinais legíveis por outros sistemas.

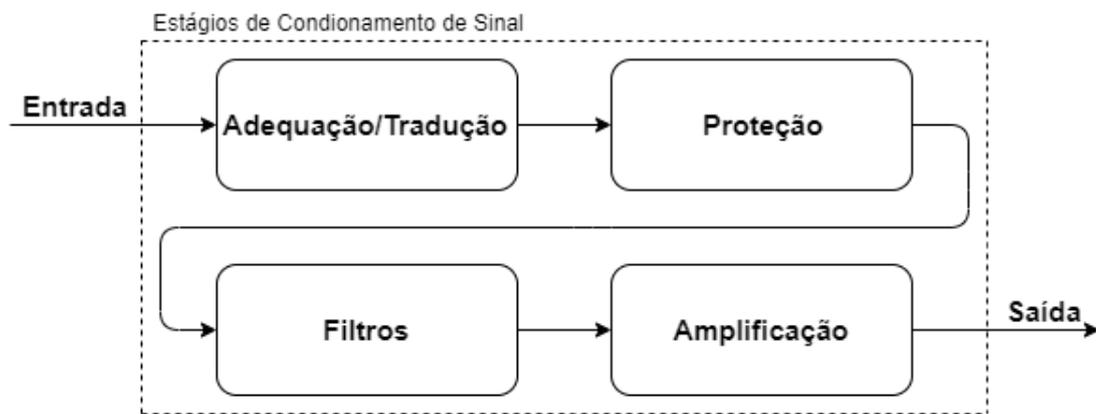


Figura 13 – Diagrama geral do sistema de condicionamento de sinal.

O sistema de adequação da grandeza, é normalmente desempenhado por um sensor. Há uma tradução da grandeza física em um nível elétrico proporcional à mesma, possibilitando a leitura e tratamento do sinal pelos blocos de circuitos que operam em baixos níveis lógicos de tensão.

Dependendo da aplicação, componentes de um estágio genérico de um circuito acabam se tornando sensíveis a picos de energia que podem ocorrer em um determinado momento. A função de estágios de proteção se assemelha a um estágio de filtros, porém com funcionalidade de interromper sinais prejudiciais a integridade dos elementos do sistema.

Devido a interferências externas, o estágio de filtragem de sinal é necessário para reduzir a possibilidade de interpretações equivocadas de sinal devido a instabilidade que ruídos geram em alguns tipos de circuitos.

Para casos onde o nível de tensão disponibilizado pela entrada possui baixa amplitude, deve-se amplificar o sinal para obtenção de uma melhor resolução. Essa adequação diminui a necessidade de um instrumento de leitura de alta resolução.

### 3.1.2.1 Processamento dos Sinais Condicionados

Com a necessidade de se realizar operações aritméticas e alguns outros processos mais complexos com o sinal para se obter as informações relevantes do sistema proposto, faz-se necessária a conversão do sinal condicionado analógico para sua forma equivalente digital.

Esta conversão é realizada por um conversor Analógico-Digital ou A/D, que capta a tensão em sua entrada e a transforma em um valor equivalente na forma digital que fica armazenado em uma variável, possibilitando operações e leituras.

Os sinais podem ser processados por um microcontrolador que já possui um conversor A/D integrado, o que facilita a integração entre o bloco de condicionamento e o bloco de processamento.

### 3.1.3 Topologias de Circuitos

Alguns métodos simples e comuns para tratamento de sinal neste tipo de aplicação serão utilizados no projeto.

#### 3.1.3.1 Topologia dos Circuitos de Condicionamento

Os circuitos condicionadores do projeto seguirão um padrão geral de tratamento de sinais, sendo específico de cada medição os valores de ganho, configuração do amplificador operacional, frequências de corte de filtros e topologias de proteção.

Todos os estágios de condicionamento de sinal serão baseados em amplificadores operacionais, cada um com parâmetros e topologias adicionais de acordo com cada grandeza e tipo de sinal que será medido.

Os estágios de tratamento de sinais são:

- Estágio de tradução ou adequação das grandezas que será realizado por meio de sensores ou atenuadores de sinal.

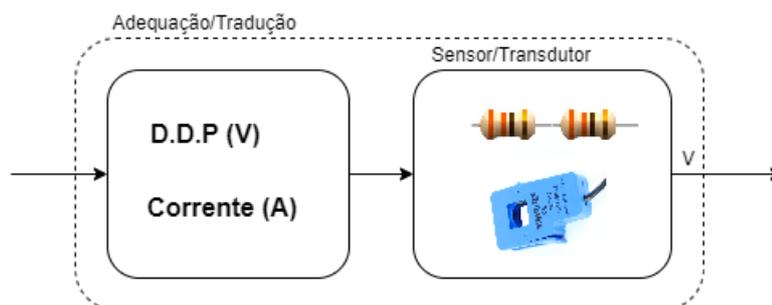


Figura 14 – Bloco de adequação/tradução da grandeza de entrada.

- Estágio que diminuirá consideravelmente a possibilidade de ocorrência de danos aos elementos do circuito, devido a absorção de picos de energia pelos componentes de proteção que serão utilizados. Este estágio será baseado em topologias de proteção utilizando diodos, indutores do tipo ferrite ou capacitores em alguns casos.

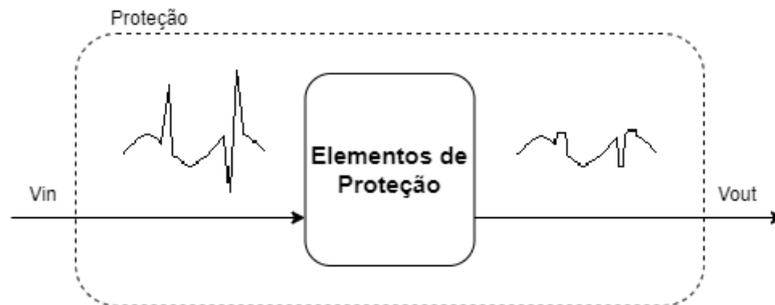


Figura 15 – Bloco de proteção de componentes.

- Estágio de filtragem de ruídos que não são úteis a aplicação, possibilitando uma leitura do sinal original com maior clareza. Todos os filtros de sinais serão baseados em topologias de filtros passivos.

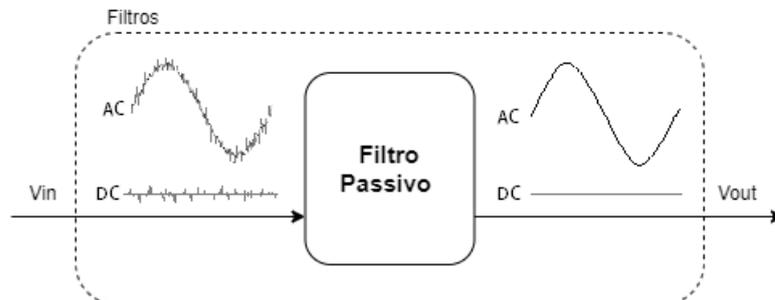


Figura 16 – Bloco de filtragem de sinal.

- Estágio amplificador de tensão baseado em um amplificador operacional que irá aplicar um ganho previamente definido em seu sinal de entrada, gerando um sinal de amplitude superior na saída.

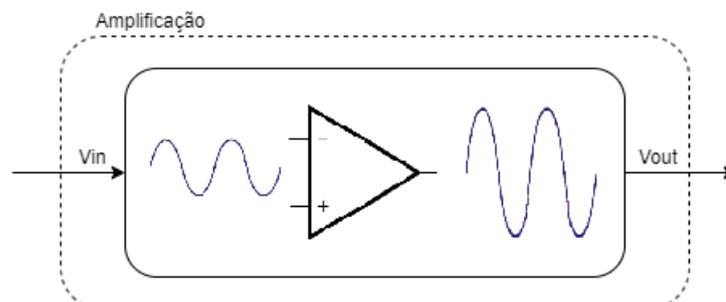


Figura 17 – Bloco de amplificação de sinal.

Vale ressaltar que os estágios descritos anteriormente podem ser implementados mais de uma vez no mesmo circuito, e em ordens diferentes das descritas.

### 3.1.4 Desenvolvimento de Firmware

Ferramentas e estilos de programação comuns e consolidadas foram utilizadas no desenvolvimento de Firmware.

#### 3.1.4.1 Firmware Bare-Metal

Método de programação de baixo nível, normalmente em microcontroladores, que visa otimizar aplicações específicas de um pequeno sistema ou pequeno grupo de sistemas. É um Firmware descrito diretamente para um microcontrolador que não possui sistema operacional.

Utilizando apenas uma IDE compatível com o microcontrolador e sua documentação técnica, é possível acessar todos os periféricos do microcontrolador necessários para a aplicação, além da possibilidade do uso de bibliotecas de processamento digital de sinais que otimizam algumas operações matemáticas, deixando o código mais simples e rápido.

Para este projeto, os seguintes periféricos serão essenciais para a aplicação:

- Conversor A/D - Tradução dos dados analógicos para a forma digital;
- Timer - Temporizador preciso para definir velocidade das operações e tempos de acontecimentos de eventos.
- GPIO's - Portas do MCU, definem os canais físicos de entrada e saída e o comportamento desses canais.
- UART - Interface de comunicação assíncrona para comunicação com dispositivo externo.

Além dos periféricos, serão necessárias algumas bibliotecas que auxiliam no desenvolvimento, como a biblioteca de registradores do MCU utilizado e bibliotecas de processamento digital de sinal para realizar operações como uma FFT sem a necessidade de desenvolver todo o algoritmo.

Será utilizada a linguagem de programação C para o desenvolvimento proposto. A IDE utilizada para a compilação do código e geração dos arquivos de programação foi a plataforma uVision (KEIL Arm).

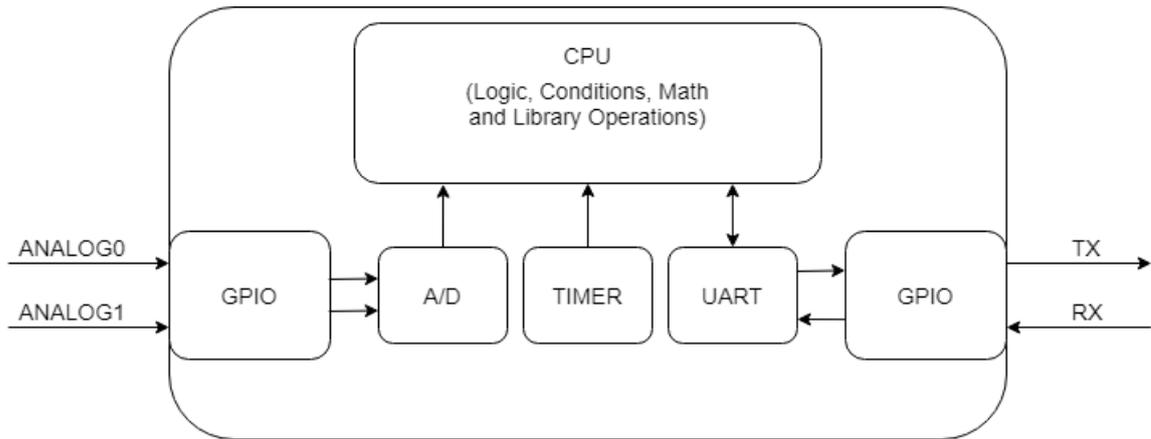


Figura 18 – Blocos do MCU utilizados pelo projeto.

### 3.1.5 Prova de Conceitos

A prova de conceitos das topologias definidas e da programação para o processamentos dos sinais será dividida em três partes distintas.

#### 3.1.5.1 Simulação Analógica

As topologias de circuitos de condicionamento de sinal propostos serão simuladas no software LTSpice, da empresa americana Analog Devices, que conta com a possibilidade de adição de diversos parâmetros em componentes passivos para simular seus efeitos não ideais no circuito. O software possui uma vasta biblioteca de componentes ativos e passivos genéricos que são utilizados no projeto.

Os estímulos de entrada para as simulações dependerão de cada grandeza para qual o circuito foi projetado. Os estímulos de entrada devem ser os mais próximos possíveis dos estímulos em uma situação real, sempre obedecendo os limites de operação do circuito.

As simulações darão auxílio no dimensionamento correto de alguns componentes do sistema.

#### 3.1.5.2 Testes Reais dos Circuitos de Condicionamento

Para validar a topologia e os componentes escolhidos para a aplicação é importante a realização de testes próximos da aplicação real em que o sistema estará sujeito.

Com base nas simulações, deve-se definir o esquemático da topologia que será utilizada. É possível realizar uma montagem com componentes discretos, CI's e sensores necessários. Após isso, deve-se realizar testes com as entradas necessárias (Tensão e Sensoriamento de Corrente) e observar se os resultados estão de acordo com o esperado e coerente com as simulações.

### 3.1.5.3 Testes de Firmware em Ambiente Controlado

Toda a lógica de Firmware deve ser testada e validada durante e após o desenvolvimento utilizando sinais de entrada controlados semelhantes aos sinais que seriam disponibilizados pela saída do condicionamento de sinais, estes sinais podem ser gerados por um gerador de funções por exemplo, que daria um controle sobre vários aspectos do sinal, como amplitude, frequência, fase e etc, sendo possível testar todos os aspectos e funcionalidades do Firmware.

A validação dos requisitos funcionais do Firmware também inclui a interface de comunicação externa, que deve enviar os dados da análise de forma organizada e sequencial para facilitar a leitura em dispositivos externos, como um computador, sem que o dispositivo externo necessite processar ou traduzir esses dados para que se tornem legíveis.

### 3.1.6 Desenvolvimento de Hardware e Fabricação

O Desenvolvimento de um Hardware embarcado consolida todos os passos anteriores em uma placa de circuito eletrônico impresso, unindo todos os subsistemas necessários em um equipamento único que cumprirá com todos os requisitos definidos.

O desenvolvimento será realizado primeiramente observando as topologias definidas de circuitos necessários e seus periféricos, como os amplificadores operacionais, microcontrolador, componentes discretos e todos os outros componentes do projeto.

Deve-se definir o modelo exato de cada componente, considerando se os limites de operação são adequados, familiaridade com as funções do modelo, como por exemplo: MCU que já está sendo utilizado no desenvolvimento de Firmware ou componente já testado na prova de conceitos. Outra definição importante é o tipo de encapsulamento dos componentes e seus valores comerciais.

O software CAD utilizado para a geração dos esquemáticos e design de PCI será o Altium Designer.

Após a definição de todo o Hardware, geração de esquemáticos e design da PCI, um fabricante terceiro será acionado para a fabricação da PCI com o design definido de forma industrial.

Os componentes necessários para finalizar o conjunto serão adquiridos separadamente e montados manualmente na PCI.

### 3.1.7 Integração, Testes e Validação

A integração entre o Desenvolvimento de Firmware e Hardware irá compor o sistema embarcado final específico para a aplicação do projeto.

Após a finalização do conjunto do projeto de Hardware, o projeto de Firmware deve ser integrado ao Hardware e os testes devem ser iniciados.

Preferencialmente, os blocos de circuitos devem ser testados individualmente para identificar se o comportamento é o esperado em cada bloco. Após essa validação, o sistema pode ser testado como um todo, utilizando as entradas reais da aplicação e observando a análise de saída, comparando os valores com os testes de validação realizados anteriormente, observando se os requisitos estão sendo cumpridos ou se há alguma instabilidade ou comportamento não esperado do sistema.



## 4 Desenvolvimento

### 4.1 Definição de Topologias

A configuração utilizada em todas as leituras será a do amplificador de diferença, que amplificará a diferença da entre os sinais de entrada, tirando proveito da característica do CMRR para rejeitar ruídos de modo comum que possam afetar a leitura.

Como não será utilizada uma fonte simétrica para alimentar os amplificadores e os sinais mensurados podem assumir valores negativos, deve-se definir uma tensão de referência para gerar um Offset positivo nas medições, essa solução também é necessária para a leitura do conversor A/D que não suporta valores negativos de tensão.

O Offset será gerado a partir de um circuito gerador de referência com VBIAS de 1,65V, metade da tensão de referência do A/D, que será de 3,3V. Este será o limite de operação de tensão do conversor A/D.

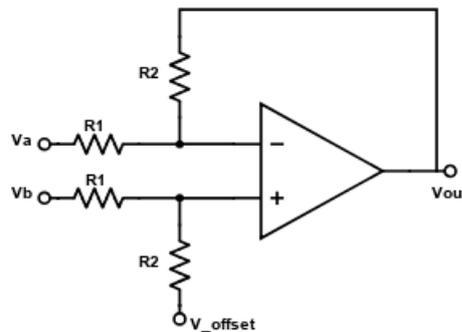


Figura 19 – Amplificador de diferença com offset.

$$V_{out} = \frac{R2}{R1}(V_b - V_a) + V_{offset} \quad (4.1)$$

Um estágio adicional utilizando um amplificador operacional como buffer (para isolamento entre circuitos) e um filtro passa baixa para compor a topologia de filtro anti-aliasing. A operação do conversor A/D irá definir a frequência de corte do filtro passa baixa, que será de no máximo a metade de frequência da taxa de amostragem, impedindo que frequências acima do limite gerem efeito de aliasing na leitura, obedecendo assim o critério de Nyquist.

Será padrão em todos os circuitos a presença de diodos Schottky de clamping logo antes da entrada do conversor A/D. O circuito da Figura (20) é a topologia básica utilizada para condicionar os sinais de tensão e sensoriamento de corrente.

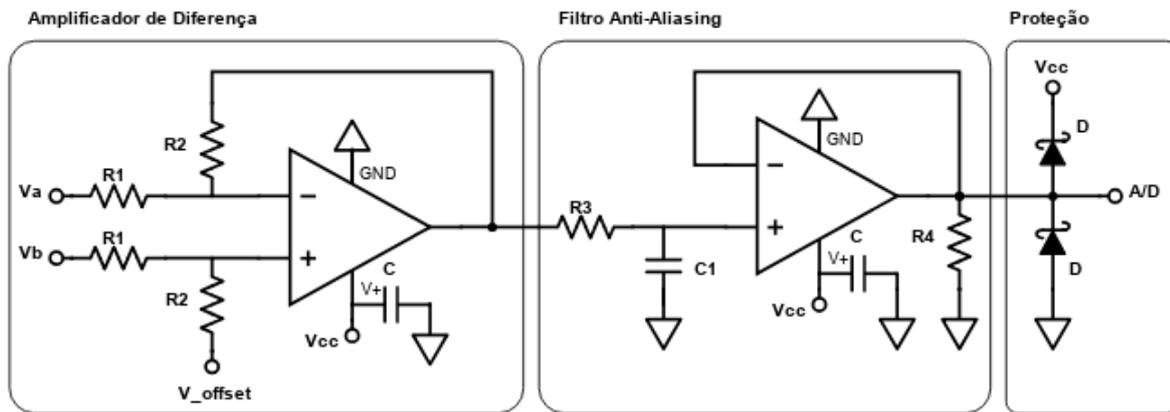


Figura 20 – Topologia utilizada de circuito condicionador.

#### 4.1.1 Tensão

Além do circuito geral apresentado na Figura (20), haverá um estágio anterior de adequação do sinal de tensão utilizando um divisor de tensão com resistores de valor elevado, devido ao fato de que as tensões que serão medidas possuirão valores não suportados pelos circuitos que serão utilizados. O divisor funcionará como um estágio abaixador de tensão, que será proporcional a tensão original, possibilitando a leitura da grandeza sem danos aos componentes.

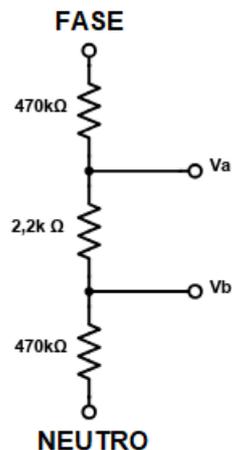


Figura 21 – Estágio divisor de tensão para leitura de tensão da rede elétrica.

Com os valores dos resistores utilizados na Figura (21), a tensão de entrada será reduzida em aproximadamente 0,23% dos seus valores originais, o sinal utilizado é a diferença de potencial entre os terminais do resistor central.

É de interesse para o projeto um acompanhamento do sinal oriundo da rede elétrica. Neste caso seria considerado um sinal de uma rede elétrica de baixa tensão, ou seja, amplitude de  $-311\text{V}$  até  $311\text{V}$  ( $220\text{V}_{\text{rms}}$  /  $622\text{V}_{\text{pp}}$ ) e frequência de  $60\text{Hz}$ , porém há a ne-

cessidade de monitorar limites de operação e possibilidade de leitura de picos de tensão, portanto os limites máximos de leitura foram definidos de -430V até 430V (304Vrms / 860Vpp). Esses limites serão definidos pelo ganho do estágio do amplificador de diferença.

Considerando os limites de tensão definidos, podemos calcular a tensão no resistor central de  $2,2k\Omega$  do divisor resistivo de acordo com a Equação (2.15):

$$V_b - V_a = 430 \frac{2,2k}{470k + 2,2k + 470k} = 1,004V \quad (4.2)$$

Como a tensão assume o mesmo valor com polaridade invertida, temos uma variação de -1,004V até 1,004V (2,008Vpp) entre os terminais do resistor central de  $2,2k\Omega$ .

De acordo com os limites de leitura e atenuação definidos, o primeiro estágio de leitura é composto pelo amplificador diferencial com ganho  $1,62\frac{V}{V}$ , ou seja, para uma entrada de -430V até 430V (800Vpp), com a etapa de atenuação do divisor resistivo e o ganho do estágio de amplificação, a saída geraria uma variação de tensão aproximada entre 0V e 3,3V considerando o Offset aplicado, teoricamente. A variação é calculada de acordo com a equação (2.14), considerando que  $\frac{R2}{R1}$  nos dá o valor de ganho do amplificador.

$$V_{est\acute{a}gio1} = 1,62 * 1,004V + 1,65V = 3,28V \quad (4.3)$$

O Segundo estágio com o conjunto anti-aliasing com filtro passa baixa e clamp de tensão com diodos Schottky como referenciado na Figura (20) possui ganho unitário e não altera a amplitude de tensão do primeiro estágio. A frequência do filtro passa baixa é definida de acordo com o tópico 9.1.5 do documento PRODIST da ANEEL. O analisador deve ser capaz de analisar desde a frequência fundamental até 40ª ordem harmônica da rede (PRODIST, 2020). Então deve-se cobrir uma faixa de aproximadamente 2,5kHz ( $40 * 60Hz$ ) no espectro de frequência, o valor da frequência de corte do filtro passa baixa deve ser definido próximo desse valor.

### 4.1.2 Corrente

A corrente que flui através de uma carga será monitorada por meio de um sensor não invasivo de corrente modelo SCT-013. Este sensor é configurado como fonte de corrente possui uma relação de 50mA para 100A de fluxo (corrente máxima). É necessário um resistor do tipo shunt para converter a corrente em um sinal de tensão proporcional.

O circuito de condicionamento para corrente é o mesmo da Figura (20), tendo como diferença do circuito de tensão apenas a entrada de sinal definida nos terminais do resistor shunt. O ganho para o primeiro estágio do amplificador de diferença é unitário.

Como o foco do projeto não é analisar cargas de alta potência com consumos em torno de 100A, então o limite de corrente foi adaptado para equipamentos de média e

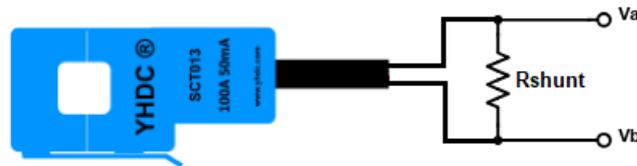


Figura 22 – Estágio de sensoriamento de corrente.

baixa potência, a faixa de limite de corrente é definida pelo valor do resistor shunt, o sinal de tensão de saída não deve ultrapassar os limites máximos de leitura do A/D e considerar o nível de Offset.

Para um resistor shunt de  $100\Omega$  e limite de leitura de  $3,3V - Offset$  (O Offset é considerado pois a leitura assume polaridades positivas e negativas) temos:

$$3,3V - 1,65V = I_{sensor} * 100\Omega \quad (4.4)$$

$$I_{sensor} = 16,5mA \quad (4.5)$$

Utilizando a referência de  $50mA$  para cada  $100A$  e assumindo que o sensor se comporta de maneira linear, temos:

$$I_p = \frac{16,5mA * 100A}{50mA} = 33A \quad (4.6)$$

Portanto a faixa de leitura de corrente é de  $-33A$  até  $33A$  ( $23,33Arms$ ). A faixa de leitura de corrente permite a análise de equipamentos com potência de até  $5,134kW$ .

Nesta versão do projeto não haverá análise de harmônicos do sinal de corrente, porém o estágio do filtro anti-aliasing para o sinal de corrente terá a mesma frequência de corte da leitura de tensão. Passa baixa teórico definido em  $2,5kHz$ .

### 4.1.3 Proteções

Nota-se que em todos os circuitos possuem componentes de proteção, como diodos e capacitores de desacoplamento, medidas necessárias devido a exposição do circuito a surtos e ruídos existentes na rede.

- Diodos Schottky

Todas as saídas dos circuitos que são ligadas ao microcontrolador possuem um circuito ceifador de tensão, utilizando diodos do tipo Schottky com as referências

de tensão de alimentação e GND (Figura (20)), que será a faixa de tensão admitida na trilha com o adicional da tensão de condução do diodo, qualquer tensão acima ou abaixo dos limites fará o diodo conduzir e regular a tensão da trilha.

- Capacitores de Desacoplamento

Como boa prática, foi adicionado aos terminais de alimentação de todos os componentes ativos um capacitor de 100nF em paralelo, para efeito de desacoplamento da tensão de alimentação, esses capacitores podem ser observados nas vias de alimentação dos amplificadores operacionais da Figura (20).

## 4.2 Simulações

Para obter uma melhor aproximação do cenário real, foram buscados os modelos SPICE dos componentes ativos utilizados disponíveis no site de cada fabricante e os mesmos foram adicionados à biblioteca do software.

Os estímulos de entrada para as simulações seguiram o padrão de uma rede elétrica em operação normal: Fonte de tensão senoidal com amplitude máxima de 311V (220Vrms) e frequência de 60Hz.

Para o sensoriamento de corrente foi utilizada uma fonte de corrente senoidal com amplitude máxima de 16,5mA (Equivalente aos 33A (23,33Arms)) e frequência de 60Hz em conjunto com um resistor shunt.

Para realização das topologias, o modelo SPICE de amplificador operacional utilizado será o do TLV9002 da Texas Instruments, devido as seguintes características que atendem o projeto:

- Bandwidth máximo de 1MHz;
- Tensão de alimentação de 1,8V até 5,5V;
- Entrada e saída rail-to-rail;
- Tensão máxima de entrada dada pela tensão de alimentação +0,5V;
- CMRR de até 95dB;
- Proteção contra descarga eletrostática de até 2kV;

Referência dos dados técnicos: ([TEXAS INSTRUMENTS, 2019](#))

Os outros componentes são resistores e capacitores genéricos com tolerância de 5%.

## 4.2.1 Tensão

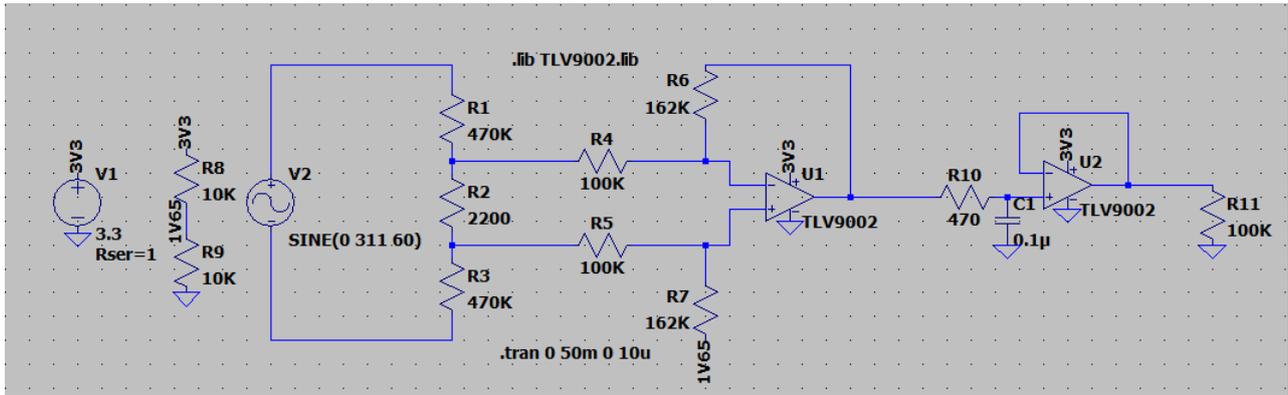


Figura 23 – Circuito simulado, condicionamento de tensão.

A saída do circuito condicionador para leitura de tensão apresenta um resultado esperado, refletindo a forma de onda com tensão reduzida, possibilitando a leitura do conversor A/D.

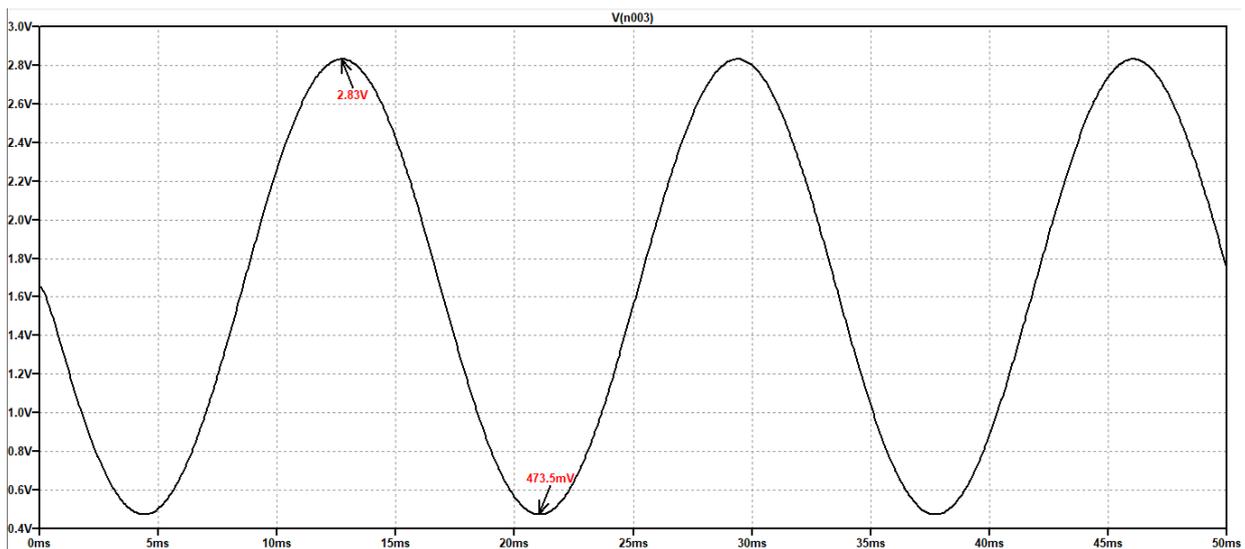


Figura 24 – Saída simulada do circuito de condicionamento de tensão.

A Figura (24) reflete a onda senoidal de 60Hz da rede elétrica, com pico mínimo de 473,5mV e pico máximo de 2,83V (equivalente a faixa de -311Vp até 311Vp). A faixa de medição permite uma margem para leitura de pequenos picos de tensão na rede (até 430Vp), pois os valores de tensão permitidos na entrada do A/D são de até 3,3V.

## 4.2.2 Corrente

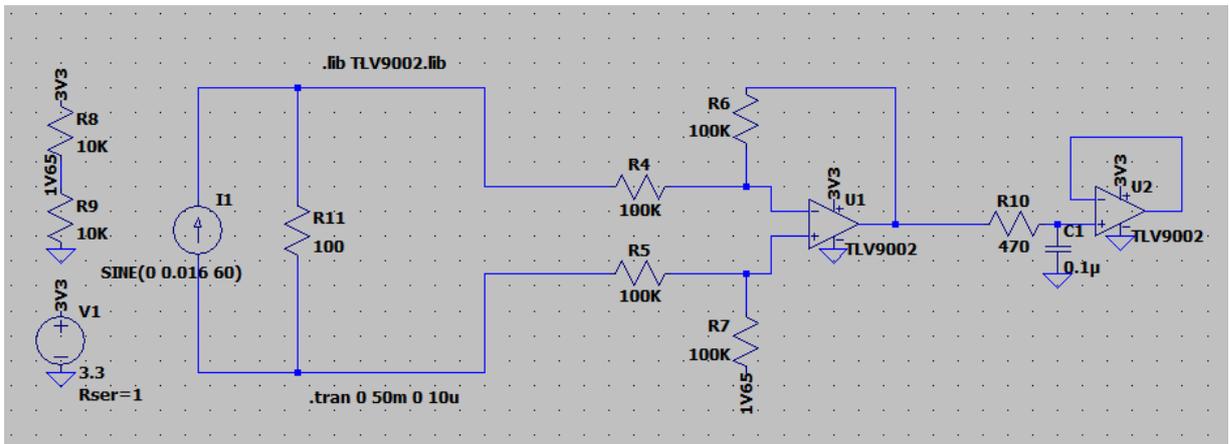


Figura 25 – Circuito simulado, condicionamento de corrente.

A saída do circuito condicionador para leitura de corrente apresentou uma tensão um pouco saturada em 3,3V, o valor de pico de corrente do sensor foi ajustado de 16,5mA para 16mA, o que equivale a um pico máximo de corrente de 32A.

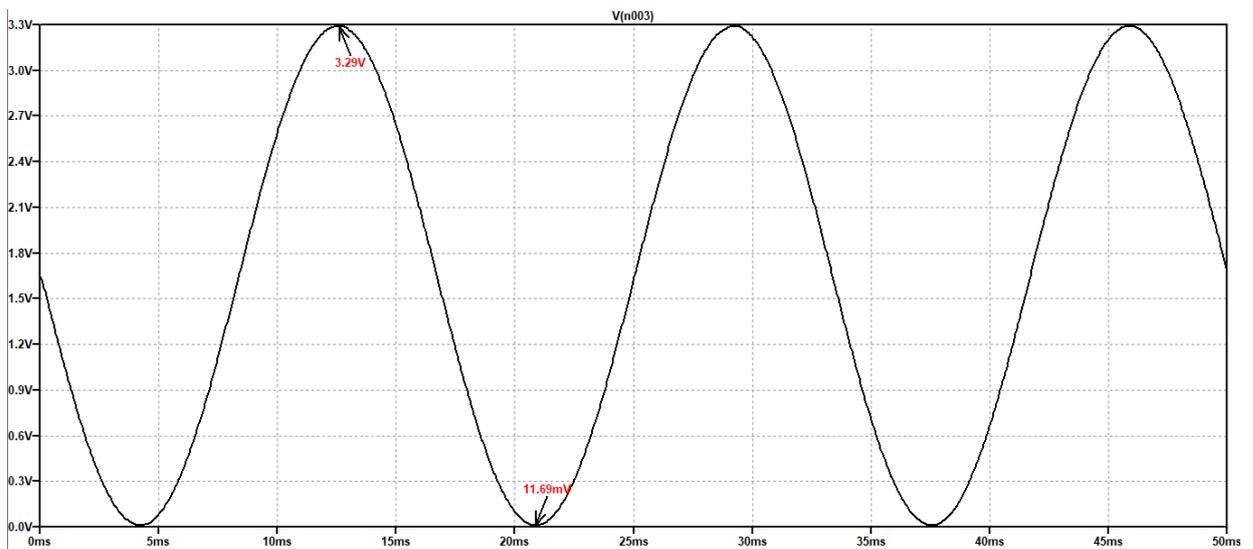


Figura 26 – Saída do circuito de condicionamento de corrente.

A Figura (26) reflete a onda senoidal de 60Hz da corrente do sensor, com pico mínimo de 11,69mV e pico máximo de 3,29V, o que equivale aproximadamente a faixa de -32A até 32A de corrente real.

### 4.2.3 Resposta em frequência

Devido a presença dos filtros anti-aliasing, sua função também foi validada por meio de simulação no domínio da frequência. A frequência teórica do filtro passa baixa utilizando um resistor de  $470\Omega$  e capacitor de  $100\text{nF}$  é de  $3,39\text{kHz}$ .

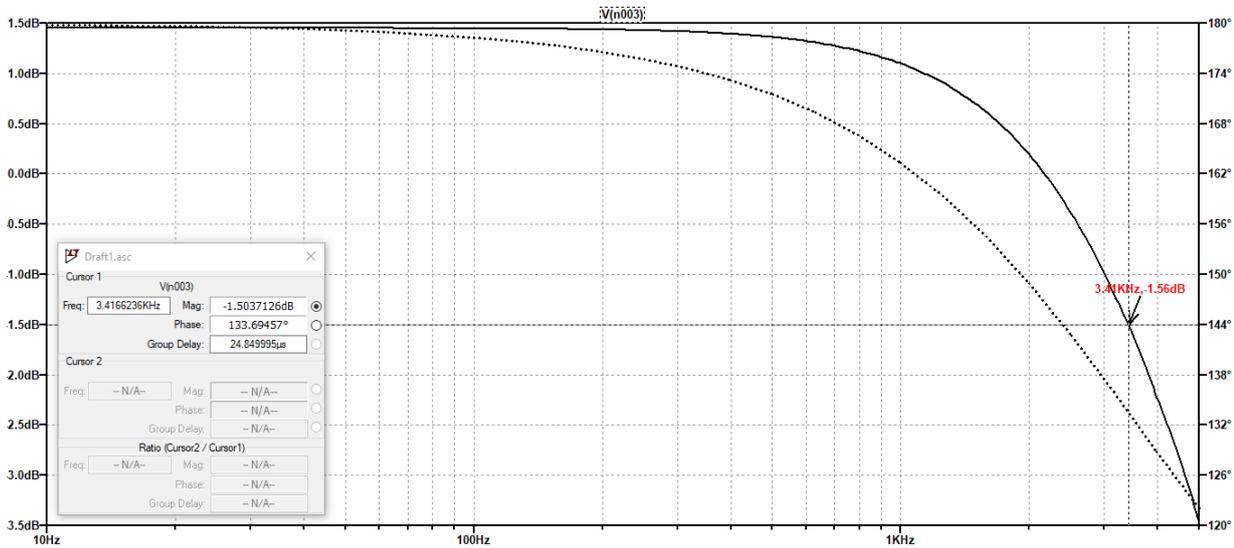


Figura 27 – Resposta em frequência do filtro anti-aliasing.

Ao analisar a resposta em frequência da Figura (27), podemos observar uma atenuação de  $-3\text{dB}$  no sinal próximo a frequência projetada para o filtro, validando sua frequência de corte em aproximadamente  $3,4\text{kHz}$ .

## 4.3 Desenvolvimento de Firmware

### 4.3.1 Requisitos Funcionais

Os requisitos funcionais de Firmware serão baseados em algumas normas técnicas e procedimentos de órgãos reguladores nacionais. Os principais documento utilizado é o "Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional - PRODIST ANEEL (Rev7 e Rev11)".

#### 4.3.1.1 Requisitos de Fator de Potência

Principais requisitos relacionados ao Fator de Potência que serão utilizados:

- "As leituras devem ser obtidas por meio de equipamentos que operem segundo o princípio da amostragem digital". (PRODIST, 2020).

- "O valor do fator de potência deve ser calculado a partir dos valores registrados das potências ativa e reativa (P, Q) ou das respectivas energias (EA, ER), utilizando-se a seguinte fórmula:". (PRODIST, 2020).

$$FP = \frac{P}{\sqrt{P^2 + Q^2}} \quad (4.7)$$

- "Para unidade consumidora ou conexão entre distribuidoras com tensão inferior a 230 kV, o fator de potência no ponto de conexão deve estar compreendido entre 0,92 (noventa e dois centésimos) e 1,00 (um) indutivo ou 1,00 (um) e 0,92 (noventa e dois centésimos) capacitivo, de acordo com regulamentação vigente". (PRODIST, 2020).

#### 4.3.1.2 Requisitos de Análise de Harmônicos

Principais requisitos relacionados a distorções harmônicas que serão utilizados:

- "As leituras devem ser obtidas por meio de equipamentos que operem segundo o princípio da amostragem digital". (PRODIST, 2020).
- "O espectro harmônico a ser considerado para fins do cálculo das expressões relacionadas com a distorção harmônica total de tensão deve compreender uma faixa de frequências que considere desde a componente fundamental até pelo menos a 40ª ordem harmônica". (PRODIST, 2020).

A amplitude de tensão das componentes harmônicas devem ser utilizadas para calcular os indicadores de interesse do documento PRODIST, considerando a leitura final na 40ª harmônica, esses índices são calculados de acordo com as expressões abaixo:

- $DIT_h\%$  - Distorção harmônica individual de tensão de ordem h;

$$DIT_h = \frac{V_h}{V} * 100 \quad (4.8)$$

- $DTT\%$  - Distorção harmônica total de tensão;

$$DTT\% = \frac{\sqrt{\sum_{h=2}^{40} V_h^2}}{V} * 100 \quad (4.9)$$

- $DTT_p\%$  - Distorção harmônica total de tensão para as componentes pares não múltiplas de 3;

$$DTT_p\% = \frac{\sqrt{\sum_{hp=2}^{40} V_h^2}}{V} * 100 \quad (4.10)$$

- $DTT_i\%$  - Distorção harmônica total de tensão para as componentes ímpares não múltiplas de 3;

$$DTT_i\% = \frac{\sqrt{\sum_{hi=5}^{37} V_h^2}}{V} * 100 \quad (4.11)$$

- $DTT_3\%$  - Distorção harmônica total de tensão para as componentes múltiplas de 3;

$$DTT_3\% = \frac{\sqrt{\sum_{h3=3}^{39} V_h^2}}{V} * 100 \quad (4.12)$$

Onde,

$V_h$ : Tensão harmônica de ordem h;

h: Ordem harmônica;

V: Tensão fundamental medida;

Após implementação do cálculo dos indicadores, o seguinte processo deve ser realizado:

- "O conjunto de leituras para gerar os indicadores da qualidade do produto de regime permanente (distorções harmônicas) deve compreender o registro de 1008 (mil e oito) leituras válidas obtidas em intervalos consecutivos (período de agregação) de 10 minutos cada". (PRODIST, 2020).

Ou seja, devem ser registrados 1008 valores de todos os indicadores com intervalos de 10 minutos para cada aquisição, gerando uma análise total de 7 dias. A partir desse conjunto de valores, os indicadores estatísticos devem ser definidos.

Os indicadores estatísticos são:

- $DTT_{95\%}$  - Valor do indicador  $DTT\%$  que foi superado em apenas 5% das 1008 leituras válidas.
- $DTT_p95\%$  - Valor do indicador  $DTT_p\%$  que foi superado em apenas 5% das 1008 leituras válidas.
- $DTT_i95\%$  - Valor do indicador  $DTT_i\%$  que foi superado em apenas 5% das 1008 leituras válidas
- $DTT_395\%$  - Valor do indicador  $DTT_395\%$  que foi superado em apenas 5% das 1008 leituras válidas

Tabela 1 – Limites das distorções harmônicas totais (em % da tensão fundamental) para instalações com  $V \leq 1kV$ . Adaptado de (PRODIST, 2020).

Indicador	% da Tensão Nominal
DTT95%	10%
$DTT_p95\%$	2,5%
$DTT_i95\%$	7,5%
$DTT_395\%$	6,5%

Após o cálculo dos indicadores estatísticos, a comparação com os limites da Tabela (1) deve ser realizada.

Para fins de demonstração, também será feita a comparação com os limites tabelados das distorções harmônicas individuais de acordo com a Tabela (2)

Tabela 2 – Níveis de referência para distorções harmônicas individuais de tensão (em % da tensão fundamental) para instalações com  $V \leq 1kV$ . Adaptado de (PRODIST, 2020) Rev 7.

Ordem Harmônica	Distorção Harmônica Individual de Tensão ( $DIT_h\%$ )	
Pares não múltiplas de 3	2	2,5%
	4	1,5%
	8	1%
	10	1%
	14	1%
	16	1%
	20	1%
	22	1%
	26	1%
	28	1%
	32	1%
	34	1%
	38	1%
	40	1%
Ímpares não múltiplas de 3	5	7,5%
	7	6,5%
	11	4,5%
	13	4%
	17	2,5%
	19	2%
	23	2%
	25	2%
	29	1,5%
	31	1,5%
	35	1,5%
	37	1,5%
Múltiplas de 3	3	6,5%
	6	1%
	9	2%
	12	1%
	15	1%
	18	1%
	21	1%
	24	1%
	27	1%
	30	1%
	33	1%
	36	1%
39	1%	

#### 4.3.1.3 Tensão em Regime Permanente

O projeto também irá realizar uma análise de níveis de tensão em regime permanente, de acordo com as seguintes indicações:

- "Os valores de tensão obtidos por medições devem ser comparados à tensão de referência, a qual deve ser a tensão nominal ou a contratada, de acordo com o nível de tensão do ponto de conexão". (PRODIST, 2020).
- "Para cada tensão de referência, as leituras a ela associadas classificam-se em três categorias: adequadas, precárias ou críticas, baseando-se no afastamento do valor da tensão de leitura em relação à tensão de referência". (PRODIST, 2020).

Tabela 3 – Pontos de conexão em Tensão Nominal igual ou inferior a 1 kV. Adaptado de (PRODIST, 2020).

Tensão de Atendimento (TA) [Vrms]	Faixa de Variação da Tensão de Leitura (TL) [Vrms]
Adequada	$202 \leq TL \leq 231$
Precária	$191 \leq TL < 202$ ou $231 < TL \leq 233$
Crítica	$TL < 191$ ou $TL > 233$

#### 4.3.1.4 Frequência

A análise de frequência fundamental da rede utilizará os seguintes limites expostos na tabela (4) para comparação com os resultados calculados.

Tabela 4 – Pontos de conexão em Tensão Nominal igual ou inferior a 1 kV. Adaptado de (PRODIST, 2020).

Frequência Fundamental [Hz]	Faixa de Variação da Frequência Fundamental de Leitura (FL) [Hz]
Adequada	$59,9 \leq FL \leq 60,1$
Precária	$56,5 \leq FL < 59,9$ ou $60,1 < FL \leq 66$
Crítica	$TL < 56,5$ ou $TL > 66$

Os valores listados acima são referências para a rede operando em normalidade. Caso haja uma variação fora da faixa de operação adequada, existe um tempo definido para a frequência fundamental da rede retornar aos valores adequados.

- "Quando da ocorrência de distúrbios no sistema de distribuição, as instalações de geração devem garantir que a frequência retorne, no intervalo de tempo de 30 (trinta)

segundos após a transgressão, para a faixa de 59,5Hz a 60,5Hz, para permitir a recuperação do equilíbrio carga-geração”. (PRODIST, 2020)

- "Pode permanecer acima de 62Hz por no máximo 30 (trinta) segundos e acima de 63,5Hz por no máximo 10 (dez) segundos”. (PRODIST, 2020).
- "Pode permanecer abaixo de 58,5Hz por no máximo 10 (dez) segundos e abaixo de 57,5Hz por no máximo 05 (cinco) segundos”. (PRODIST, 2020)

### 4.3.2 Alertas

Utilizando como base os valores de referência e os limites citados anteriormente, cada resultado do processamento de dados terá um índice de alerta vinculado. A seguinte legenda de alertas será utilizada:

Tabela 5 – Legenda de alertas.

Índice de Alerta	Situação
0	Adequado
1	Precário
2	Crítico

Para o caso onde o resultado de medição só possua referência única de limite, serão utilizados apenas os alertas de índice 0 e 1.

### 4.3.3 Algoritmos

Para de fato programar um microcontrolador, é necessário a utilização de algumas ferramentas e ambientes computacionais, como:

- Ambiente de programação KEIL uVision (IDE).
- Debug Probe ULINK2 (para debug de código em tempo real).
- Placa de avaliação do microcontrolador utilizado (EVK).

O microcontrolador utilizado no projeto é um Arm Cortex-M3 modelo LPC1768 da empresa NXP, com 512kB de memória Flash e 64kB totais de memória RAM.

Antes de iniciar qualquer processamento do sinal de entrada, é necessário uma pré configuração dos periféricos do microcontrolador que serão utilizados, inicialização de variáveis e vetores, inicialização de bibliotecas e outras configurações.

- Fontes de Clock - Configurado para utilizar o oscilador principal, gerando a base de clock para todos os periféricos (100MHz).

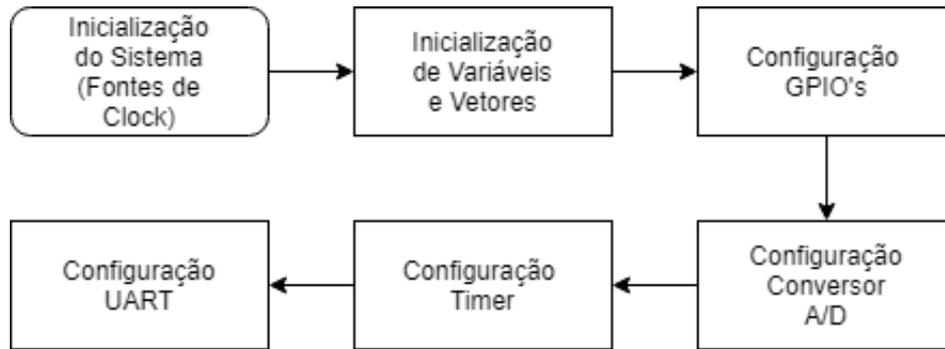


Figura 28 – Fluxograma de configuração de periféricos.

- Variáveis e Vetores - Variáveis de controle e armazenamento de resultados, vetores para armazenar leituras do conversor A/D e para realização do processamento de sinais.
- GPIO's - Configuradas de acordo com as necessidades de cada periférico: Duas GPIO's de entrada para o conversor A/D, GPIO de entrada e GPIO de saída para comunicação serial UART (TX/RX), GPIO de saída digital para LED de debug.
- A/D - Configurado em resolução máxima disponível no MCU (12 bits).
- Timer - Configurado de acordo com a fonte de clock de entrada para gerar uma interrupção a cada  $240\mu s$ , utilizada como referência para a taxa de amostragem do conversor A/D (4,2kHz).
- UART - Configurada com BAUDRATE de 115200bps, sem paridade, stop bit = 1 e palavra de 8 bits.

#### 4.3.3.1 Fator de Potência e Tensão de Regime Permanente

O fator de potência e tensão de regime permanente serão calculados com 2048 amostras de tensão e 2048 amostras de corrente amostradas a uma frequência de 4,2kHz, o que corresponde a cerca de 30 ciclos de uma onda de 60Hz.

O cálculo da potência real (P) é realizado pelo produto da tensão e corrente instantâneas, ou seja, em um dado ponto  $[n]$  da aquisição.

$$P = v[n]i[n] \quad (4.13)$$

Para o cálculo da tensão e corrente eficaz, serão utilizadas as Equações (2.6) e (2.7) em sua forma digital:

$$v_{ef} = \frac{1}{T} \sum_{n=0}^{n=T-1} v[n]^2 \quad (4.14)$$

$$i_{ef} = \frac{1}{T} \sum_{n=0}^{n=T-1} i[n]^2 \quad (4.15)$$

O cálculo para a potência aparente (S) é dado pelo produto entre a tensão eficaz e corrente eficaz e sabendo que  $\sqrt{P^2 + Q^2}$  é a potência aparente (S), é possível calcular a FP utilizando a Equação (2.9)

$$FP = \frac{P}{S} \quad (4.16)$$

Após todos os cálculos, os resultados são comparados aos valores de limite e de referência para a geração dos alertas relacionados a cada resultado.

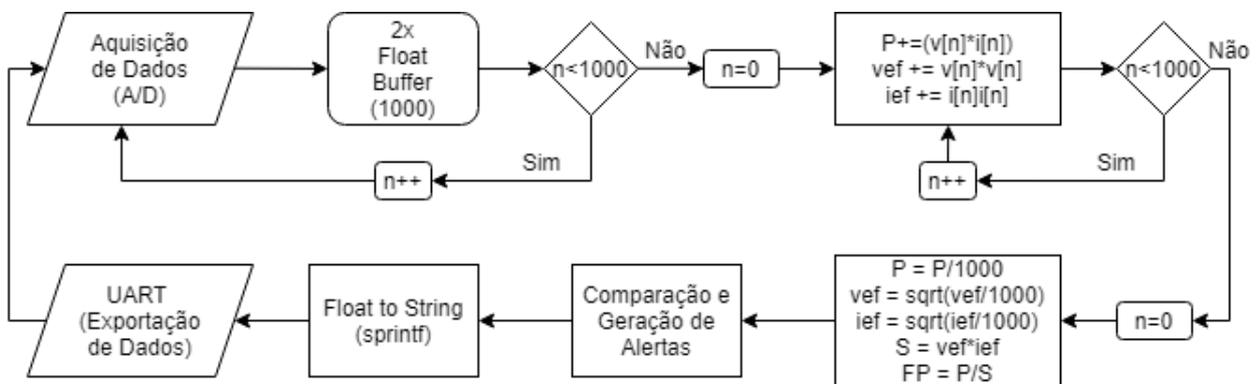


Figura 29 – Loop para processamento relacionado ao FP e tensão de regime permanente.

#### 4.3.3.2 Análise de Harmônicos e Frequência Fundamental

Para a análise de harmônicos e frequência fundamental do sinal da rede, o processamento será para adquirir informações no espectro de frequência do sinal amostrado. Para isso será utilizada uma biblioteca de processamento de sinais e operações matemáticas (CMSIS-DSP) disponibilizada pela KEIL e disponível na IDE uVision.

A função utilizada irá calcular a FFT de um vetor com uma sequência de 2048 aquisições relacionadas a tensão da rede elétrica. A função gera como resposta um vetor de espectro de frequência também com 2048 posições, porém apenas a primeira metade do espectro é de interesse (1024 posições), pois de acordo com uma das propriedades da Transformada de Fourier, o resultado é sempre espelhado na metade do período de amostras.

A função retorna o resultado da FFT com suas componentes reais e imaginárias, é necessário utilizar outra função para extrair a magnitude dos resultados, gerando um vetor de valores positivos, que são as respectivas energias em cada frequência do sinal de tensão.

Aproveitou-se da simetria que FFT gera de acordo com o tamanho do vetor de entrada e taxa de amostragem. Foi utilizada uma taxa de amostragem de aproximadamente 4,2kHz para gerar 2048 aquisições, o que possibilita a leitura de frequências até 2,048kHz, de acordo com Nyquist. Como a parte de vetor que a FFT gera possui 1024 posições, cada posição do vetor equivale a intervalos de 2Hz, facilitando a análise da energia nas frequências necessárias de acordo com sua posição equivalente no vetor.

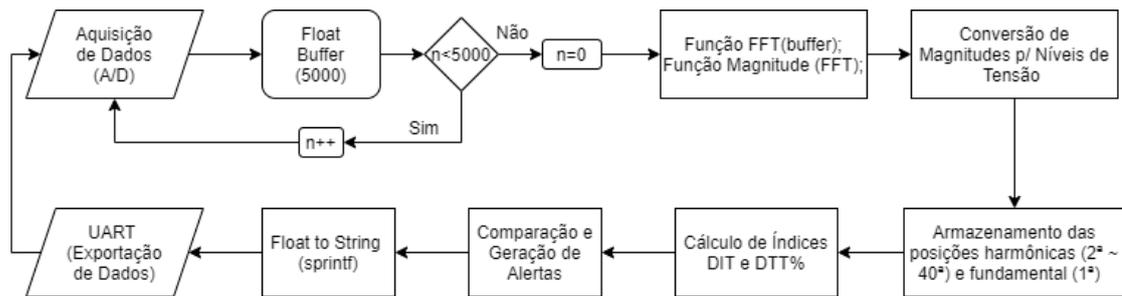


Figura 30 – Loop para processamento relacionado a análise de frequência.

#### 4.3.4 Testes de Firmware

Para validar o funcionamento dos algoritmos listados acima, foram geradas algumas entradas controladas diretamente nas portas do conversor A/D do MCU por meio de um gerador de funções, simulando as saídas dos circuitos de condicionamento de acordo com os valores de saída observados nas simulações realizadas.

- Tensão

Neste teste foi injetada uma tensão seguindo o resultado de simulação da Figura (24) (considerando o offset). O valor de amplitude pico-a-pico deve ser de 2,3565Vpp (2,83V - 0,4735V).



Figura 31 – Configuração de saída do gerador de funções (tensão).

Os valores de amplitude acima são equivalentes, em teoria, a faixa de  $-311\text{Vp}$  até  $311\text{Vp}$  ( $220\text{Vrms}$ ). O algoritmo trata o valor correspondente lido no conversor A/D, convertendo-o para a faixa de valores da tensão instantânea real, a partir desses valores é utilizado um conjunto de amostras para o cálculo da tensão eficaz.

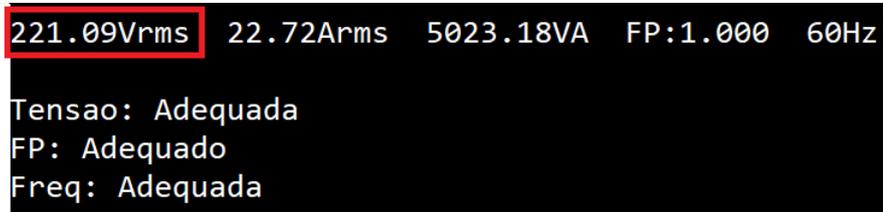


Figura 32 – Resultado do teste de leitura de tensão com entrada controlada.

O algoritmo exporta um valor de  $221,09\text{Vrms}$  para um valor teórico esperado de aproximadamente  $220\text{Vrms}$ . É possível concluir que o algoritmo para o cálculo de tensão está operando como esperado, necessário apenas uma calibração no tratamento das variáveis.

- Corrente

Neste teste foi injetada uma tensão seguindo o resultado de simulação para o circuito de corrente da Figura (26) (considerando o offset). O valor de amplitude pico-a-pico deve ser de  $3,278\text{Vpp}$  ( $3,29\text{V} - 0,01169\text{V}$ ).



Figura 33 – Configuração de saída do gerador de funções (corrente).

Os valores de amplitude acima são equivalentes, em teoria, a faixa de  $-32\text{Ap}$  até  $32\text{Ap}$  ( $22,63\text{Arms}$ ). O algoritmo trata o valor correspondente lido no conversor A/D, convertendo-o para a faixa de valores da corrente instantânea real, a partir desses valores é utilizado um conjunto de amostras para o cálculo da corrente eficaz.

O algoritmo exporta um valor de  $22,72\text{Arms}$  para um valor teórico esperado de aproximadamente  $22,63\text{Vrms}$ . É possível concluir que o algoritmo para o cálculo de corrente está operando como esperado e com precisão satisfatória.

```
221.09Vrms 22.72Arms 5023.18VA FP:1.000 60Hz
Tensao: Adequada
FP: Adequado
Freq: Adequada
```

Figura 34 – Resultado do teste de leitura de corrente com entrada controlada.

- Fator de Potência

Como pode ser observado nas Figuras (31) e (33), a variável relacionada ao fator de potência (FP) permanece em 1, pois as ondas de tensão e corrente geradas pelo gerador de funções estão alinhadas, ou seja, sem defasagem entre tensão e corrente.

Aplicando uma defasagem de  $30^\circ$  no sinal de corrente e mantendo o sinal de tensão em mesma fase ( $0^\circ$ ), é possível esperar uma queda no fator de potência.

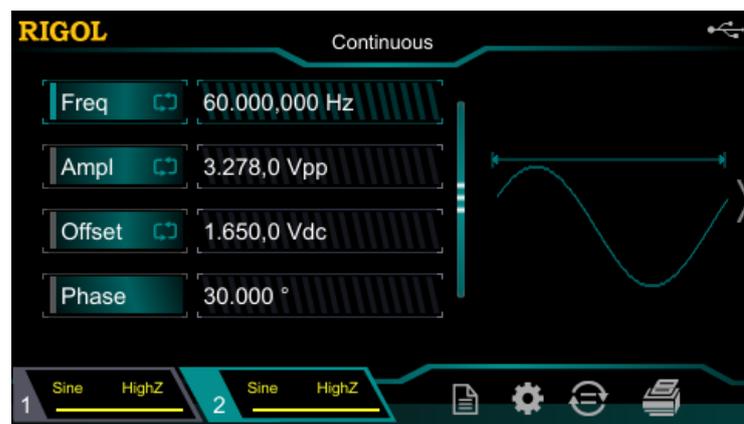


Figura 35 – Configuração de saída do gerador de funções (defasagem).

Sabendo que o FP pode ser calculado pelo cosseno do ângulo de defasagem entre os sinais de tensão e corrente ( $\cos 30^\circ$ ), podemos esperar um valor teórico de 0,866 para o FP.

```
221.25Vrms 22.73Arms 5029.97VA FP:0.864 60Hz
Tensao: Adequada
FP: Precario
Freq: Adequada
```

Figura 36 – Resultado do teste de leitura do fator de potência com defasagem controlada.

O algoritmo exporta um valor de FP de 0,864 para um valor teórico esperado de 0,866. É possível concluir que o algoritmo para o cálculo do fator de potência está operando como esperado e com precisão satisfatória.

- Análise de Frequência

O gerador de funções possui a funcionalidade de gerar até 7 frequências harmônicas de uma frequência fundamental, com as amplitudes de tensões das harmônicas podendo ser definidas. Essa configuração da ferramenta foi utilizada para validar graficamente a análise de frequência do algoritmo.

A frequência fundamental foi mantida em 60Hz, com a mesma amplitude de 2,3565Vpp equivalente a 220Vrms, como nos testes anteriores. As harmônicas (2ª até a 8ª) tiveram amplitudes de tensão definidas em 0,1V cada.

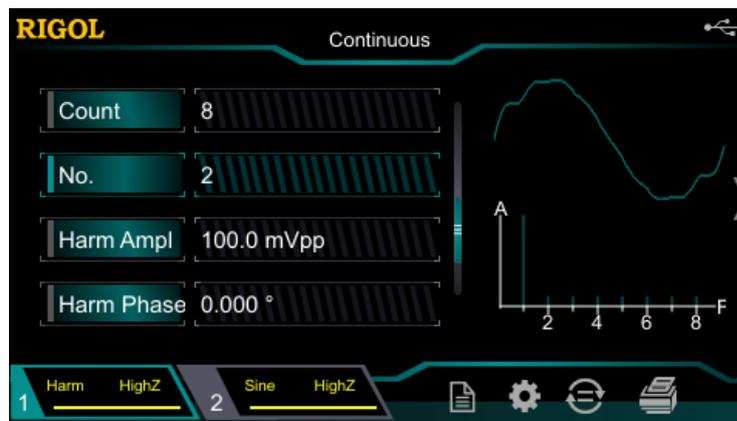


Figura 37 – Configuração de saída do gerador de funções (harmônicas).

O vetor de 1024 posições contendo os resultados da análise de frequência foi tratado para converter os índices em valores de tensão real, para facilitar a visualização dos resultados. Após tratado, o vetor foi exportado pelo algoritmo para a geração do gráfico da Figura (38).

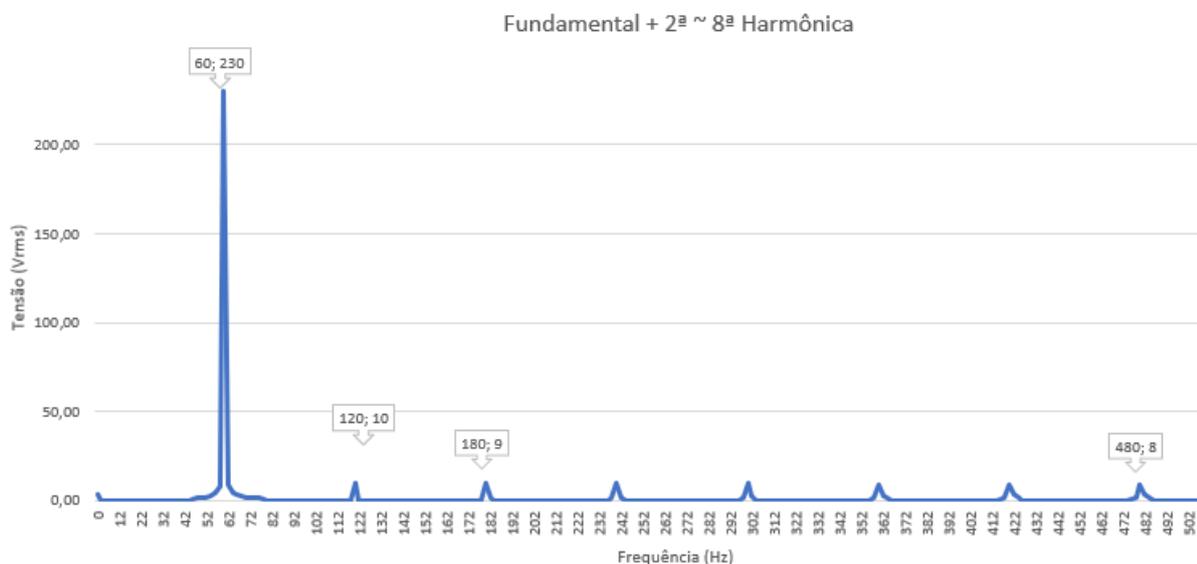


Figura 38 – Espectro de frequência contendo a frequência fundamental + harmônicas.

Como a precisão de frequência é de 2Hz por componente do vetor, o vetor inicial de 1024 posições gera um espectro de frequência de 1Hz até 2048Hz.

O gráfico mostra claramente a frequência fundamental de maior amplitude (aproximadamente 230Vrms) e suas respectivas harmônicas, até a 8ª componente (cerca de 10Vrms cada). Todos os elementos estão em suas posições esperadas no eixo das frequências.

De acordo com a análise gráfica é possível afirmar um comportamento esperado do algoritmo de análise de frequência, sendo necessário apenas algumas calibrações de magnitude de tensão. Com o vetor de componentes no espectro de frequência será possível a coleta de dados relacionados aos índices de harmônicas e frequência fundamental.

A calibração de alguns tratamentos de algoritmo será realizada apenas com o Hardware final. Tendo em vista que este tópico é apenas para validação de conceitos.

Modelo do gerador de funções utilizado para os testes: DG822 da fabricante RIGOL.

## 4.4 Desenvolvimento de Hardware

Neste tópico serão tratados alguns aspectos e considerações feitas para o desenvolvimento do Hardware do projeto do Analisador de Qualidade de Energia Elétrica, que unifica todos os blocos de circuitos em um único produto embarcado.

Todas as imagens de esquemáticos e planos de PCB mostrados nesse tópico estão disponíveis em sequência no ANEXO B.

### 4.4.1 Definição de Componentes Principais e Periféricos

Os componentes utilizados no projeto foram definidos de acordo com a necessidade de cada bloco, levando em consideração alguns aspectos principais em ordem hierárquica:

- Funcionalidade do componente de acordo com os requisitos do projeto.
- Familiaridade com o componente. Exemplo: Modelos de componentes já utilizados em testes bem sucedidos.
- Package do componente que possibilite solda manual.
- Potência máxima permitida.
- Disponibilidade de envio imediato (em estoque) em lojas online de componentes.

- Preço.

O hardware foi separado em blocos principais de circuitos para facilitar o entendimento dos diagramas de esquemático e realizar uma separação de acordo com suas funções.

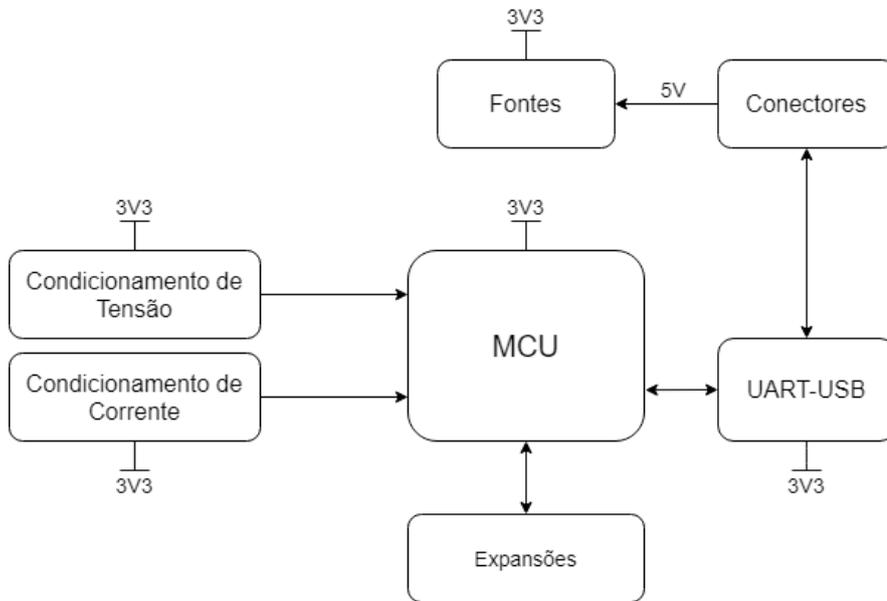


Figura 39 – Blocos do projeto de Hardware.

#### 4.4.1.1 Fontes

Bloco responsável por adaptar e fornecer as tensões de alimentação e referência para os circuitos da placa. O bloco é dividido em dois circuitos principais:

- Regulador de Tensão

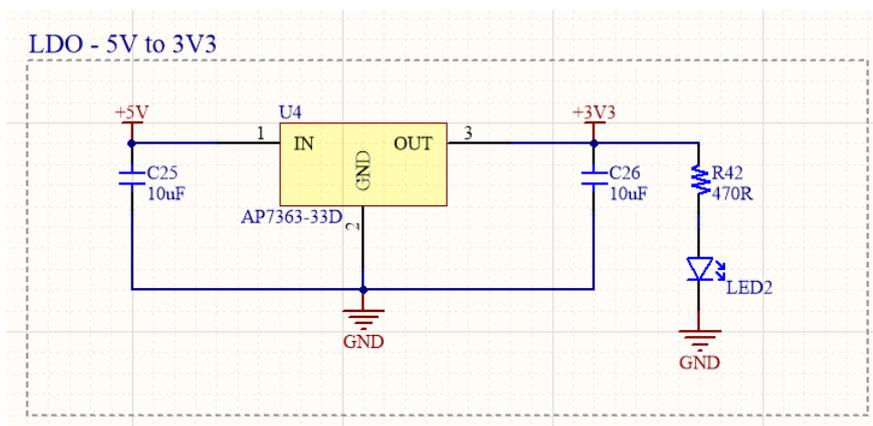


Figura 40 – Bloco regulador de tensão.

O componente principal do bloco é o regulador linear modelo AP7363 da empresa Diodes Incorporated, que permitirá uma alimentação externa de até 5,5V, gerando uma saída fixa de 3,3V.

O modelo permite uma saída de corrente máxima de até 1,5A. Os circuitos alimentados na versão do projeto descrita neste documento não necessitam da capacidade máxima do regulador, porém a possibilidade de expansões do projeto foram levadas em consideração, deixando assim uma margem para consumo no circuito de alimentação.

Os capacitores em paralelo com a entrada e saída do regulador são recomendações descritas no datasheet do componente. Também foi adicionado um LED com resistor limitador de corrente para validar o estado de funcionamento do regulador de forma visual na placa.

O package selecionado para o regulador de tensão foi o TO-252-3.

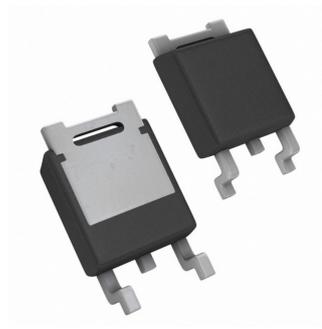


Figura 41 – Package TO-252-3.

Referência utilizada para consultas de características e recomendações do regulador utilizado (datasheet): ([DIODES, 2018](#)) .

- Gerador de Referência

Bloco responsável por gerar tensões de referência de alta qualidade para circuitos do projeto que irão utilizar essas referências ou se beneficiam com um nível de tensão de maior precisão e exatidão. Este componente também possui estabilidade em relação à variação de carga e temperatura.

O componente principal do bloco é o gerador de referência modelo REF1933 da empresa Texas Instruments, a função do circuito é gerar duas tensões de referência, no caso específico deste modelo, é gerada uma tensão de referência de 3,3V e outra tensão de referência com metade desse valor (1,65V) denominada VBIAS. A tensão de alimentação máxima do circuito é de 6V e há a possibilidade de alimentar cargas com consumo máximo de 20mA.

O componente possui pino de ENABLE, que está ligado a alimentação, deixando o circuito sempre habilitado para operação.

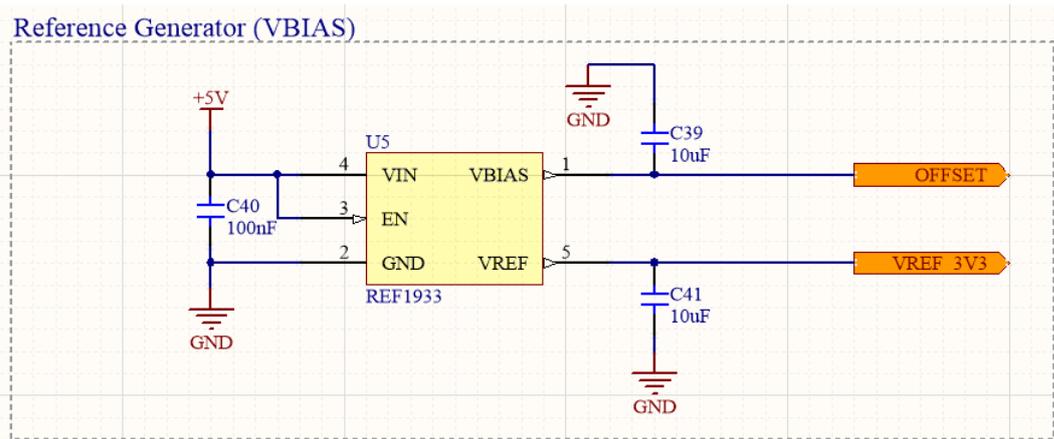


Figura 42 – Bloco gerador de referências.

Os capacitores em paralelo com a entrada de alimentação e nas saídas de referência são recomendações descritas no datasheet do componente.

O package selecionado para o gerador de referência foi o SOT23-5.

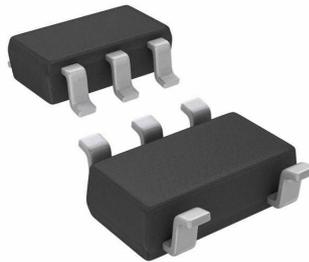


Figura 43 – Package SOT-23-5.

Referência utilizada para consultas de características e recomendações do gerador de referência utilizado (datasheet): (TI, 2014).

#### 4.4.1.2 Microcontrolador

Como citado anteriormente no desenvolvimento de Firmware, o microcontrolador utilizado é um modelo LPC1768 da empresa NXP, possuindo as seguintes principais características:

- Clock máximo de 100Mhz, 512kB Flash, 64kB RAM;
- 8 canais A/D de 12 bits de resolução;
- Periféricos de comunicação USB, SPI, I2C, UART, CAN, Ethernet e I2S;
- Periféricos de Timer, DMA, PWM, entre outros;

- 70 GPIO's disponíveis (package de 100 pinos);

O bloco do MCU pode ser dividido em duas partes, "Core" e "Control", sendo uma relacionada as alimentações e topologias de proteção necessárias do MCU e a outra relacionada aos pinos controláveis (GPIO's), respectivamente.

#### 4.4.1.2.1 MCU Core

Contém todos os periféricos externos necessários para o funcionamento do MCU, como recomendações de desacoplamento dos pinos de alimentação, cristais osciladores, filtros, referências e interface de debug.

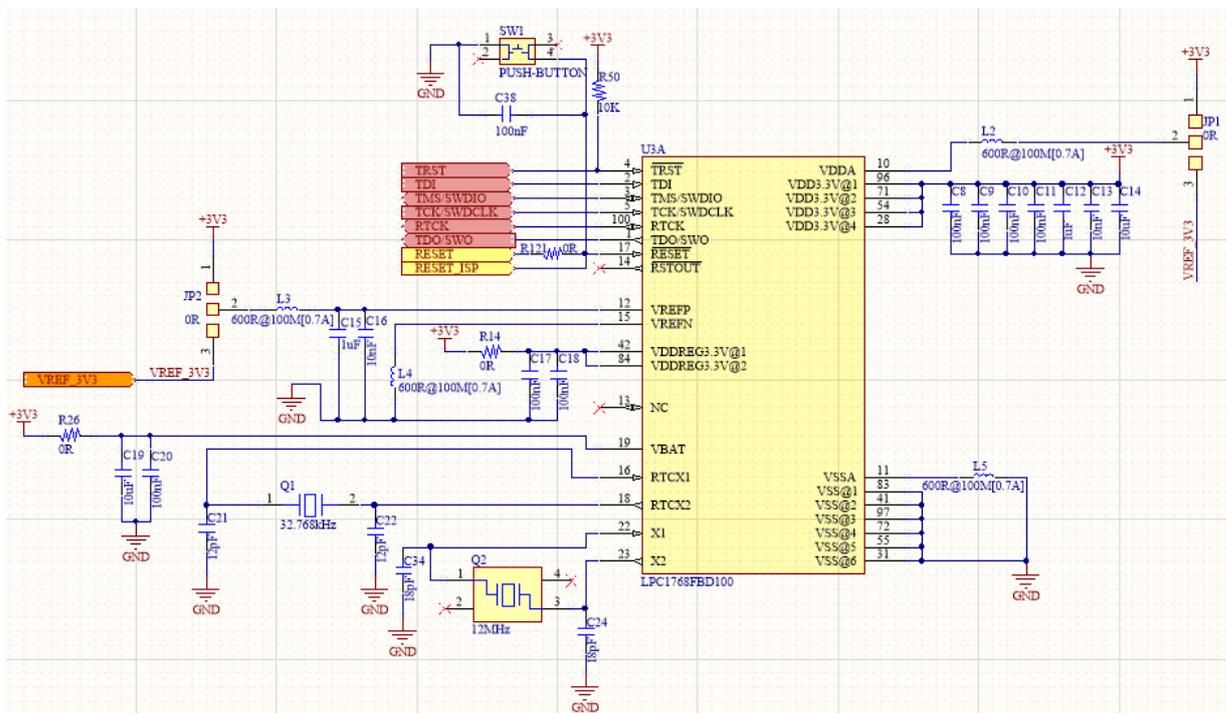


Figura 44 – Bloco MCU Core.

- Alimentação e Recomendações: O MCU opera com alimentação entre 2,4V e 3,6V. Todo o circuito será alimentado por 3,3V. Os pinos de alimentação possuem uma série de capacitores de desacoplamento, a quantidade de capacitores e seus valores são descritos no datasheet do componente.

Além das recomendações de desacoplamento, também há recomendações de filtros de tensões para pinos de referência por meio de ferrites (indutores). É possível observar o isolamento das tensões de referência na Figura (44) nos pinos VREFP, VREFN, VDDA e VSSA. Isso acontece pois esses pinos necessitam de uma tensão de melhor qualidade possível, essas tensões filtradas são entradas de referência de

periféricos do MCU que podem sofrer instabilidade caso ruídos de alta frequência sejam admitidos.

É possível observar que os pinos de referência e alimentação do conversor A/D (VREFP e VDDA) possuem opção de alimentação pelo sinal de 3,3V oriundo do gerador de referências, que por si só já gera uma tensão de qualidade, possibilitando uma maior confiabilidade na operação do A/D.

- **Cristais Osciladores:** Para geração dos clocks para o funcionamento do MCU é necessário a utilização de cristais osciladores. O principal cristal é conectado aos pinos X1 e X2, o outro cristal é utilizado somente para a operação do periférico RTC (Real Time Clock), utilizado para temporizações reais e modos de baixo consumo, normalmente utilizado quando há alimentação por bateria externa no pino VBAT. A frequência para o cristal RTC é de 32,768kHz.

Para operações típicas em menor frequência, é recomendado pelo fabricante uma faixa de frequência para o cristal oscilador principal que varia de 1MHz até 20MHz. A frequência utilizada foi de 12MHz em conjunto com seus respectivos valores de capacitores recomendados.

- **Interface de Debug e RESET:** Uma sequência de pinos do MCU Core é destinada para interface padrão ARM para debug de Firmware, denominada interface JTAG ou SWD. É utilizada em conjunto com uma ferramenta externa de debug.

O pino de RESET além de estar disponível na interface de Debug, está conectada a um push-button para reset manual do sistema.

#### 4.4.1.2.2 MCU Control

Parte do MCU que possui os pinos utilizáveis pelo desenvolvedor de Firmware. Aqui serão listados os pinos das interfaces utilizadas no projeto.

- **Conversores A/D:** Os pinos utilizados para a conversão A/D dos sinais do circuito de condicionamento fazem parte do periférico AD0, utilizando seus primeiros pinos (AD0.0 e AD0.1). As portas equivalentes em que o periférico está disponível são as portas P0.23 e P0.24.
- **UART:** A principal UART do projeto (UART0) poderá ser utilizada como caminho para gravação de código de Firmware via ISP (In-System Programming) e exportação de resultados de processamento.
- **LED Debug:** Um pino (P1.0) foi disponibilizado gerar pulsos em um LED, que será utilizado como debug visual quando o sistema estiver em operação.



### 4.4.1.3 Interface de Comunicação Externa

Bloco responsável por converter a interface UART0 do MCU para uma interface USB com um computador, por exemplo.

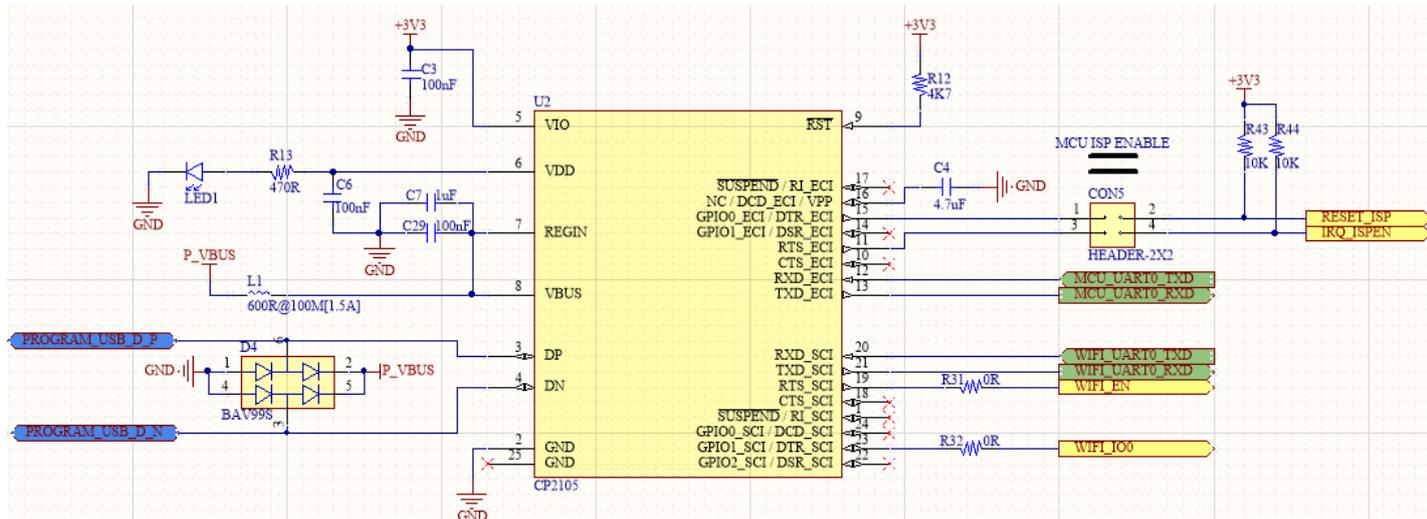


Figura 47 – Bloco UART-USB Interface.

O componente principal do bloco é a ponte Dual UART-USB modelo CP-2105 da empresa Silicon Labs, que pode converter até duas interfaces UART, montando duas portas de comunicação USB em um computador (portas COM).

Os valores de capacitores de desacoplamento, ferrites de proteção e alguns resistores de pull-up seguem as recomendações do datasheet do fabricante.

Há uma proteção extra no barramento USB conectado ao circuito. Esta proteção é realizada pelo conjunto de diodos retificadores de alta velocidade encapsulados em um package SOT-363, modelo BAV99S da empresa Nexperia. A proteção basicamente realiza um clamp de tensão no barramento USB, limitando de forma bidirecional a tensão de comunicação de acordo com a tensão de alimentação do barramento USB.

A primeira interface UART conectada ao conversor é a UART0 conectada ao bloco MCU Control, e de acordo com as conexões dos sinais RESET-ISP e IRQ-ISPEN pelo header CON5, pode-se assumir um modo de gravação ou comunicação.

A segunda interface UART conectada ao conversor e seus pinos de RTS e DRT estão reservados para possíveis expansões do projeto.

O package selecionado para o conversor Dual UART-USB é o QFN-24.

Referência utilizada para consultas de características e recomendações da interface Dual UART-USB (datasheet): (SILABS, 2013).

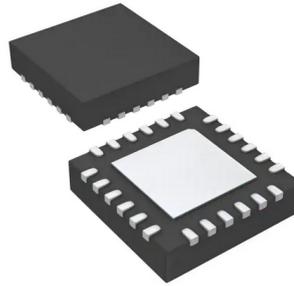


Figura 48 – Package QNF-24.

#### 4.4.1.4 Circuitos de Condicionamento

- Tensão

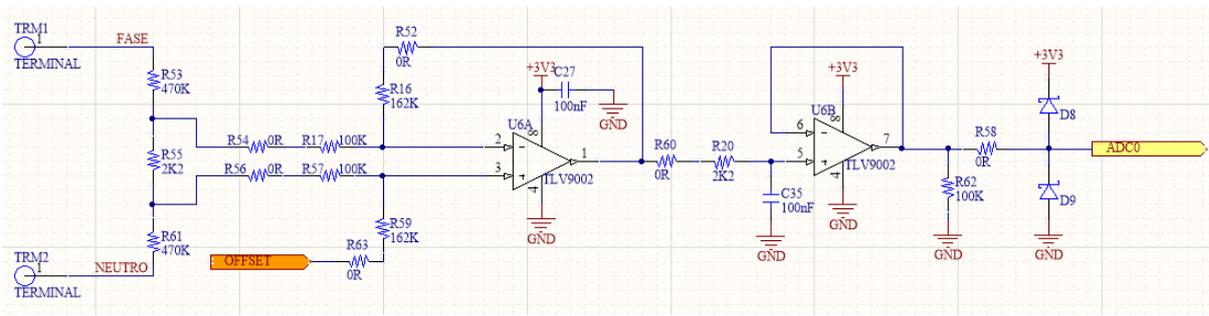


Figura 49 – Bloco de condicionamento de tensão.

- Corrente

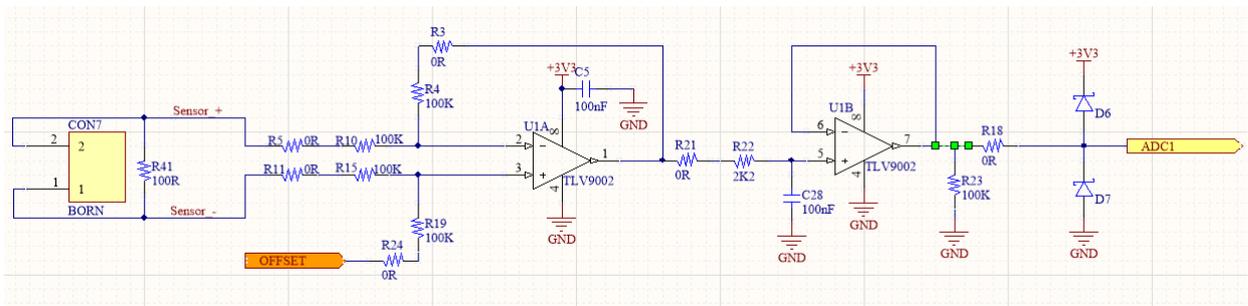


Figura 50 – Bloco de condicionamento de corrente.

O amplificador operacional será o mesmo utilizado como referência nos circuitos de simulação no LTSpice, modelo TLV9002 da empresa Texas Instruments, com o package 8-Pin SOIC. Os capacitores de desacoplamento nos pinos de alimentação seguem as recomendações descritas no datasheet do componente.

É possível observar a utilização do sinal VBIAS (1,65V) do circuito gerador de referências, atuando como o Offset necessário para adequar a tensão para a leitura do conversor A/D.



Figura 51 – Package 8-Pin SOIC.

Os resistores da etapa de atenuação do sinal da rede elétrica ( $2 \times 470k\Omega$  e  $2,2k\Omega$ ) foram dimensionados para suportar possíveis surtos de tensão, por esse motivo, para esses resistores foram exclusivamente definidos modelos com potência de 1W e package 2512. Considerando a resistência equivalente da série de resistores de atenuação e sua potência, é possível calcular o surto máximo de tensão suportado de aproximadamente 970V.

$$1[W] = \frac{V^2}{470k\Omega + 470k\Omega + 2,2k\Omega} \quad (4.17)$$

$$V = \sqrt{1[W] * (470k\Omega + 470k\Omega + 2,2k\Omega)} = 970,7V \quad (4.18)$$

O resistor de shunt para o circuito de condicionamento de corrente também foi dimensionado com uma potência um pouco mais elevada. Foi definido um modelo de 0,2W e package 0805. Considerando que o sensor de corrente é uma fonte de corrente e em operações máximas definidas para o projeto o sinal não ultrapassaria 16mA de pico. Podemos calcular o limite de um possível surto de corrente no resistor shunt.

$$0,2[W] = I^2 * 100\Omega \quad (4.19)$$

$$I = \sqrt{\frac{0,2[W]}{100\Omega}} = 44,7mA \quad (4.20)$$

Ou seja, a corrente de surto suportada seria equivalente a uma corrente de aproximadamente 88A passando pelo sensor de corrente, esse valor é próximo do valor máximo de operação do próprio sensor de corrente (100A).

Todos os resistores utilizados nos circuitos de condicionamento possuem tolerância de 1% de variação dos seus valores nominais, buscando um menor erro de leitura das grandezas de interesse.

Referência utilizada para consultas de características e recomendações do amplificador operacional (datasheet): (TI, 2019).

#### 4.4.1.5 Conectores

- USB

Conector utilizado tanto para programação do MCU quanto para interface de comunicação externa para exportação de dados. O conector selecionado para a interface USB é um micro-USB-AB genérico, que também será responsável pela alimentação geral do circuito (5V).

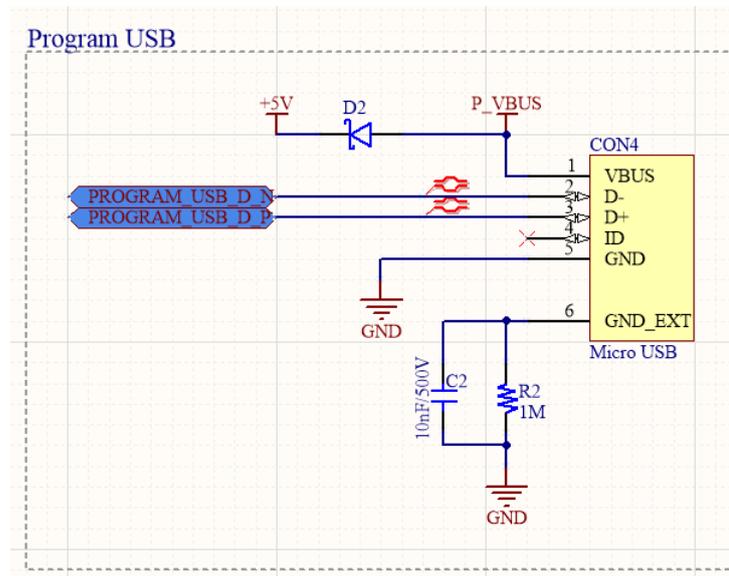


Figura 52 – Circuito para conector USB.

Na entrada para a alimentação do circuito há um diodo schottky em série com a trilha de alimentação. É uma proteção contra realimentação entre fontes com uma queda de tensão pequena que é característica do diodo tipo schottky, esse tipo de proteção foi implementada pois o projeto prevê alguns pontos a mais de alimentação e, caso aconteçam alimentações simultâneas, o diodo irá evitar a retroalimentação entre fontes, evitando possíveis danos e instabilidades no circuito.



Figura 53 – Conector micro-USB-AB.



- Módulo WiFi/BLE: Adicionado ao layout a possibilidade de montar um módulo ESP32 da empresa Espressif e todos os periféricos necessários para seu funcionamento, com possibilidade de gravação de Firmware via USB e botões de BOOT e RESET. É prevista uma interface UART entre o módulo e o MCU do projeto.
- Header de expansão: Header 2x15 com pinos conectados a várias portas do MCU e alimentação 3V3, possibilitando a utilização de outros periféricos e GPIO's do MCU fora da funcionalidade do projeto.
- Conector USB de Dados: Conector USB com interface diretamente conectada ao MCU, para possível exportação de dados para dispositivos externos sem a necessidade de conversão de protocolos. Esse conector também disponibilizaria a alimentação geral da placa.
- Born de alimentação: Terminal de alimentação para utilização de fonte externa que não seja oriunda da conexão USB. Seria utilizada caso o circuito com expansões necessite de uma fonte com maior capacidade de corrente (até 1,5A).

#### 4.4.2 Design de Hardware

Após a definição dos componentes e captura de esquemático com todos os periféricos necessários no software Altium Designer, os circuitos e seus respectivos footprints foram exportados para o projeto de PCI, onde todos os componentes são posicionados e as trilhas são roteadas, gerando um CAD fabricável do circuito do projeto.

A placa gerada irá possuir 4 camadas de cobre, separadas por camadas isolantes (FR-4). As duas camadas externas (Top Layer e Bottom Layer) são as camadas principais de sinais, as camadas internas (Layer 2 e Layer 3) serão utilizadas para planos de GND e alimentações. As conexões entre as camadas de cobre são realizadas através de vias, que são pequenos furos revestidos de material condutor que atravessam as camadas da placa, conectando as camadas de cobre apenas onde é definido pelo projetista.

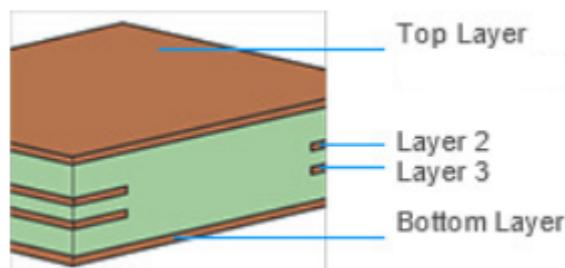


Figura 56 – PCI de 4 camadas, vista lateral.

O layout foi iniciado posicionando o principal componente do projeto, o MCU, e posicionando seus periféricos necessários levando em consideração recomendações do fabricante e boas práticas de layout. Após isso foi posicionado o circuito de interface externa e seus periféricos, alimentação, condicionamento, conectores e expansões, de modo geral.

Após o posicionamento de todos os componentes em lugares estratégicos, foi iniciado o roteamento de trilhas, sempre adaptando o posicionamento de alguns componentes de acordo com as necessidades.

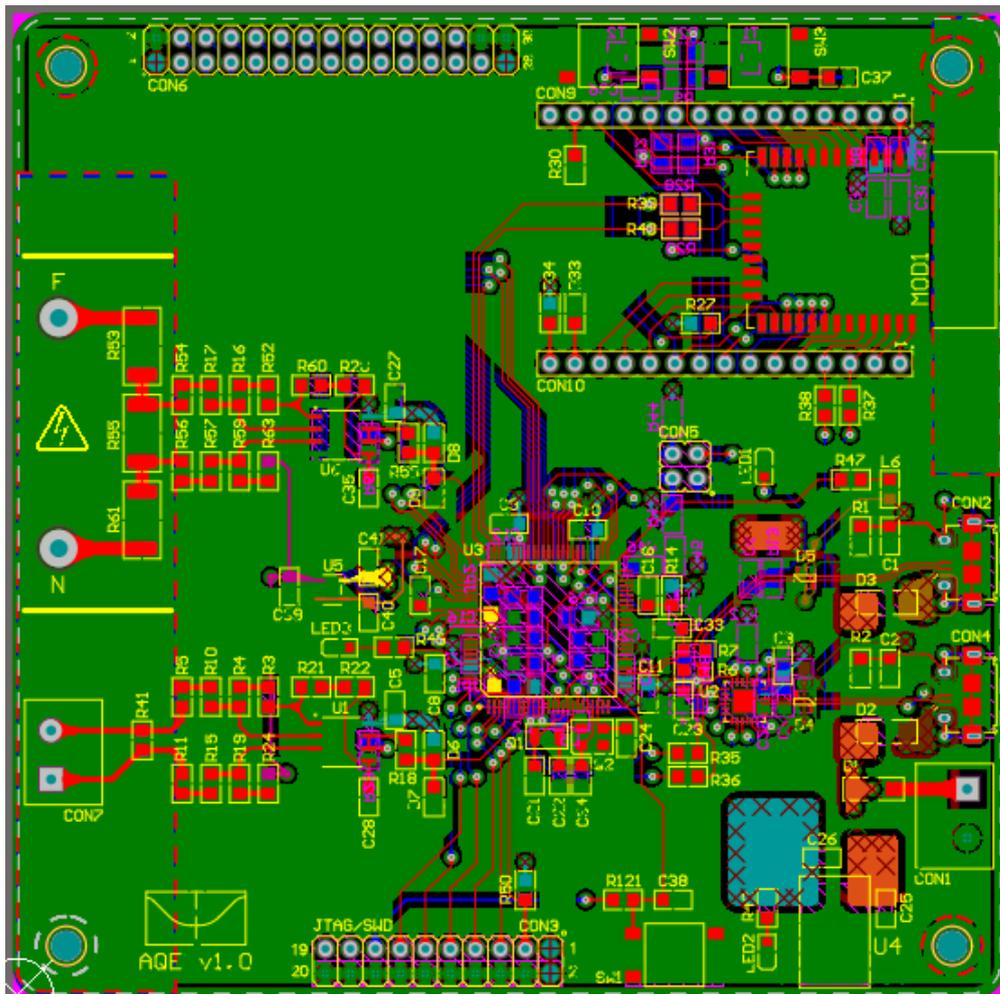


Figura 57 – Layout geral da PCI.

#### 4.4.2.1 Recomendações e Boas Práticas

- Placement

O posicionamento de componentes e o estilo de roteamento influenciam em alguns aspectos e funcionalidades do circuito. A maioria dos fabricantes de componentes eletrônicos definem regras e recomendações de design de Hardware que devem ser

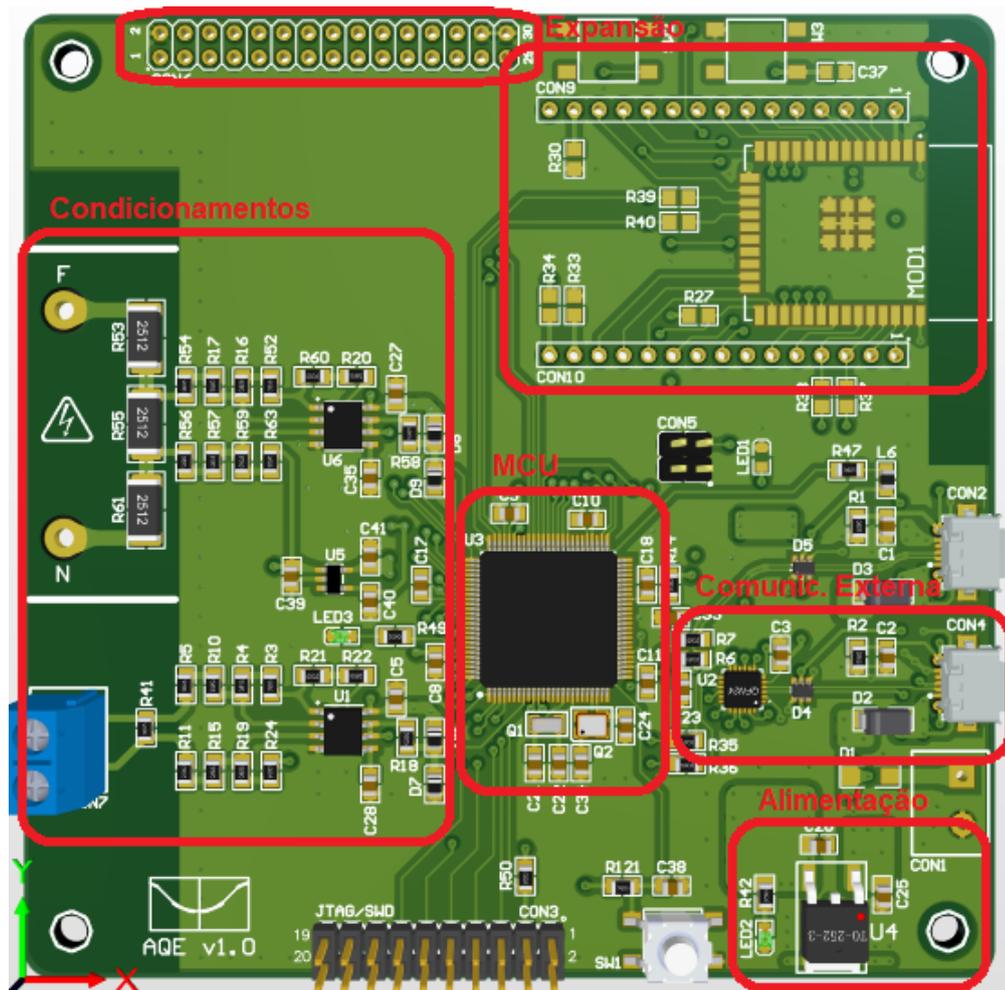


Figura 58 – Modelo 3D da PCI e respectivos blocos principais do projeto.

seguidas para a realização de um projeto de forma profissional. Em alguns casos, ignorar as recomendações pode gerar comportamentos indesejáveis do circuito e até mesmo o não funcionamento do mesmo.

O bloco do MCU possui diversos capacitores de desacoplamento, filtros indutivos (ferrites) e osciladores. Todos esses componentes foram posicionados o mais próximo possível dos seus respectivos pinos do MCU, como recomendado pelo fabricante para potencializar os efeitos de desacoplamento e evitar perdas por impedância de trilhas e capacitância parasita.

As mesmas recomendações foram seguidas para todos os outros circuitos que possuem como periféricos capacitores de desacoplamento e filtros externos.

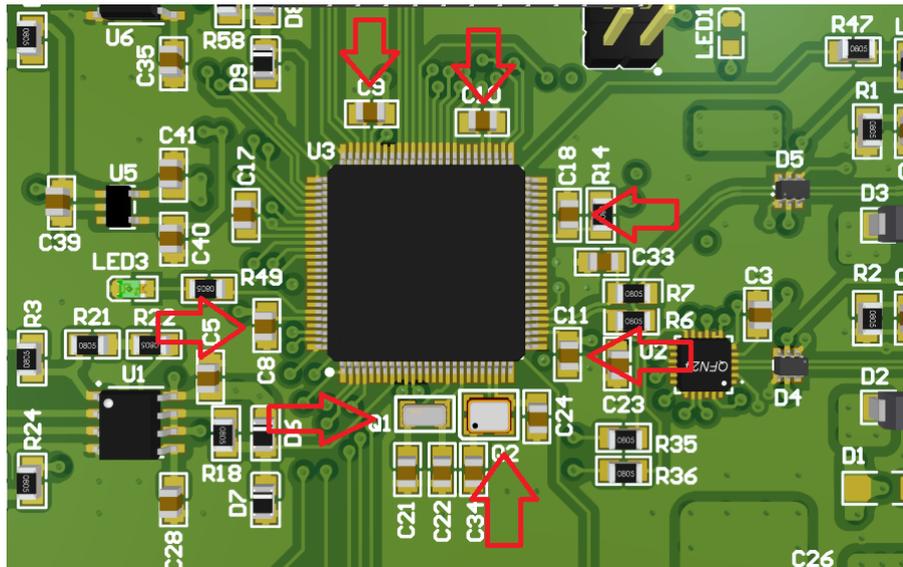


Figura 59 – Recomendações de placement para o bloco do MCU.

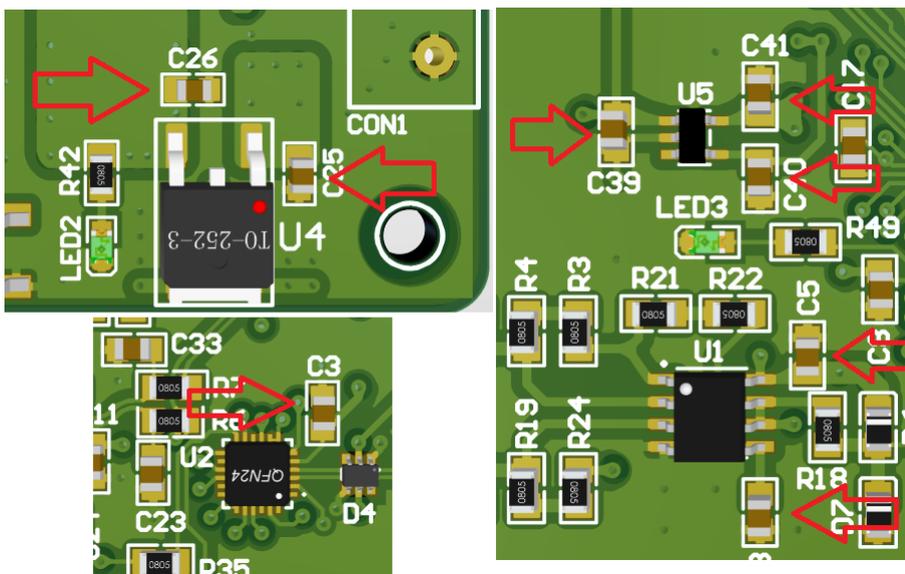


Figura 60 – Recomendações de placement para os demais blocos.

- Par diferencial

Para casos onde há uma transmissão de dados em alta velocidade, o roteamento deve ser planejado para minimizar os reflexos de sinais nos condutores, este planejamento é feito controlando a impedância das trilhas em relação a outros elementos da PCI. Existem duas impedâncias que devem ser levadas em consideração, a impedância do condutor com relação ao plano de GND e impedância diferencial. (TI, 2018)

A interface utilizada será a USB 2.0, possuindo os seguintes parâmetros e recomendações:

Tabela 6 – Parâmetros USB 2.0. Adaptado de (TI, 2018)

Parameter	Value
Frequency	Low speed: 750kHz (1,5Mbps) Full speed: 6MHz (12Mbps) High speed: 240MHz (480Mbps)
Trace Impedance	$90\Omega \pm 15\%$ differential, $45\Omega \pm 15\%$ single ended
Max Cable Length	5m

O software Saturn PCB Design foi utilizado para estimar as impedâncias dos condutores do par diferencial USB, partindo da informação da espessura do isolante entre a camada top layer e o plano de GND.

A espessura do isolante é definida de acordo com as capacidades de fabricação do centro de manufatura de PCI's, neste caso foi considerado uma espessura de 0,2mm (7,87mils) entre os planos.

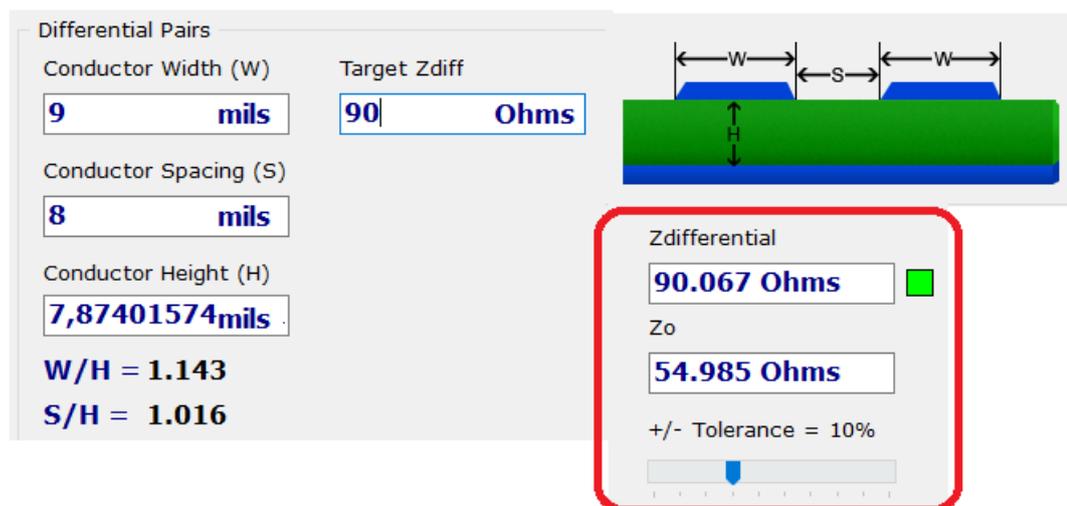


Figura 61 – Parâmetros para casamento de impedância do par diferencial.

De acordo com a Figura (61), a espessura das trilhas do par diferencial devem ser de 9 mils em toda a sua extensão e espaçadas por um vão de 8 mils. Com esses valores é possível atingir os parâmetros de impedância indicados na Tabela (6) dentro da tolerância.

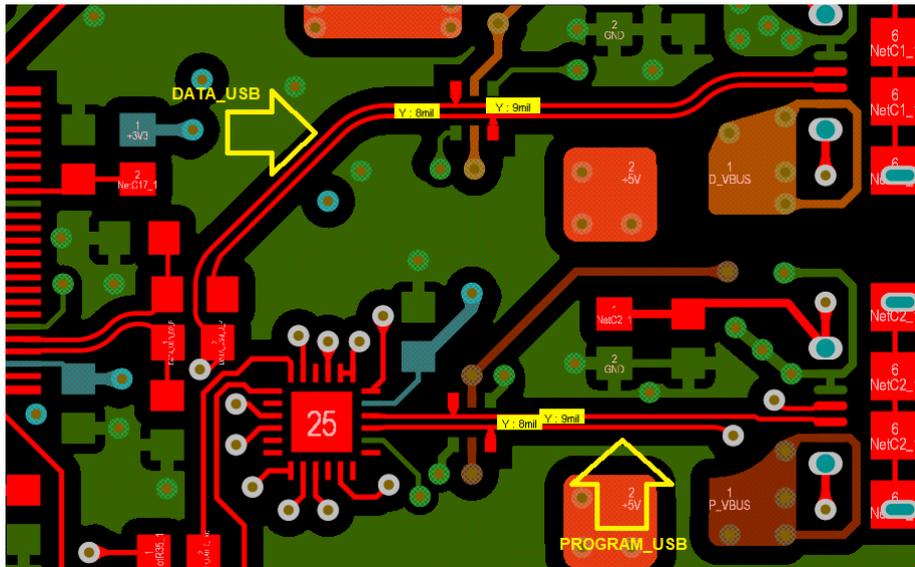


Figura 62 – Trilhas das interfaces USB, obedecendo os parâmetros para casamento de impedância.

#### 4.4.2.2 Fabricação de PCI

A PCI será fabricada pelo centro de manufatura chinês JLCPCB ([jlcpcb.com](http://jlcpcb.com)) devido aos preços atrativos para placas de 4 camadas até  $100\text{cm}^2$  de área ( $10\text{cm}\times 10\text{cm}$ ).

O centro de manufatura disponibiliza algumas opções de materiais e métodos de fabricação e impõe alguns limites de tolerância. A tabela (7) expõe as opções utilizadas e limites considerados na confecção do layout.

Tabela 7 – Informações de fabricação de acordo com as capacidades da JLCPCB. Adaptado de (JLCPCB, 2020b).

Features	Capability
Layer Count	4 Layers
Material	FR-4 Standard Tg 130-140
Dimension	100x100mm
Board Thickness	1,6mm
Finished Outer Layer Copper	1oz ( $35\mu\text{m}$ )
Finished Inner Layer Copper	0,5oz ( $17\mu\text{m}$ )
Min. Hole Size/Diameter	0,45mm/0,9mm
Min. Trace Width	8mil (0,2032mm)
Min. Spacing	8mil (0,2032mm)

Os parâmetros de "Min. Trace Width" e "Min. Spacing" utilizados no projeto estão obedecendo com folga a capacidade de fabricação do centro de manufatura, que permite trilhas e espaços de no mínimo 3,5mil (0,09mm).

A placa com espessura de 1,6mm é composta pelas camadas de cobre, isolantes e acabamentos, denominado "stackup". O centro de manufatura também disponibiliza

opções para a composição do "stackup". No caso foi utilizado o padrão JLC7628 (JLCPCB, 2020a), descrito na Tabela (8)

Tabela 8 – Informações de fabricação de acordo com as capacidades da JLCPCB. Adaptado de (JLCPCB, 2020a).

Layer	Material Type	Thickness
Top Mask	Solder Resist	0,015
Prepreg	7628*1	0,2
Inner Layer (GND)	Copper	0,0175mm
Core	FR-4	1,065mm
Inner Layer (Power)	Copper	0,0175mm
Prepreg	7628*1	0,2mm
Bottom Layer	Copper	0,035
Bottom Mask	Solder Resist	0,015

Após definição de todos os parâmetros considerando os limites de fabricação, é possível realizar o pedido no site de empresa, carregando os arquivos "Gerbers" relacionados às camadas de cobre e o arquivo "NC Drill" relacionado aos furos mecânicos e de vias.

#### 4.4.3 Custos de Projeto

Aqui serão descritos os valores referentes ao desenvolvimento do Hardware do projeto, levando em consideração além do preço dos componentes em si, também valores de frete, impostos e taxas.

Todas as compras foram internacionais e o pagamento foi feito em Dólar, os valores das tabelas foram convertidos para Reais de acordo com a cotação do dólar no dia 28/11/2020:

$$1\text{USD} = 5,6169\text{BRL};$$

- Fabricação de PCI

Tabela 9 – Custos PCI (5 unidades).

Item	Preço
PCI 4 Camadas 100x100mm	R\$ 39,32
Frete	R\$ 119,30
Total	R\$ 158,62

- Componentes

A quantidade de componentes comprados contempla a montagem de duas placas do projeto.

Tabela 10 – Custos Componentes (2 BOM).

Item	Preço
Componentes	R\$ 280,51
Frete	R\$ 196,60
Total	R\$ 477,10

- Impostos

Tabela 11 – Custos relacionados a impostos.

Item	Preço
II + ICMS + IOF (PCI)	R\$ 198,66
II + ICMS + IOF (Componentes)	R\$ 505,31
Total	R\$ 703,97

O projeto teve um custo total de: R\$ 1.339,69. Considerando apenas insumos de manufatura. Não foram contabilizadas valor de horas de desenvolvimento, energia elétrica, e outros insumos e ferramentas necessárias para a realização do projeto.

## 5 Resultados e Discussões

### 5.1 Projeto de Hardware

Após fechamento do projeto de layout e geração de arquivos de fabricação, a placa de circuito impresso foi fabricada pelo centro de manufatura e enviada via transportadora.

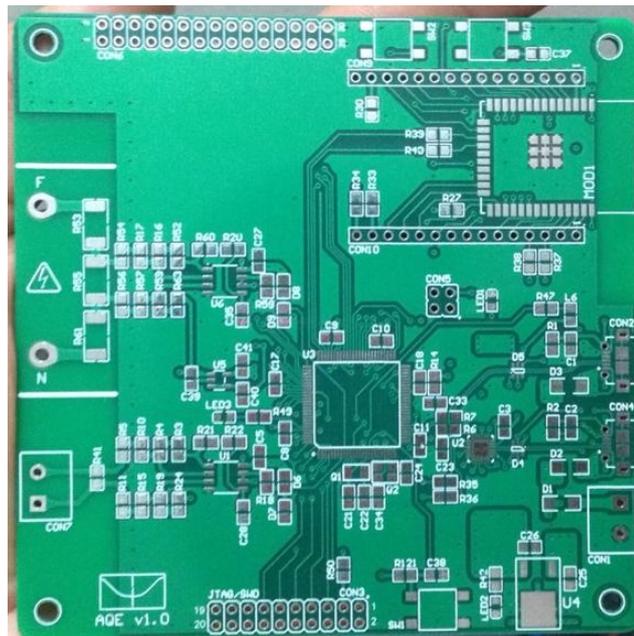


Figura 63 – Placa de circuito impresso antes do processo de montagem.

Os componentes comprados separadamente foram separados e montados na placa utilizando equipamentos e insumos para solda SMD (soprador térmico, fluxo e solda em pasta).

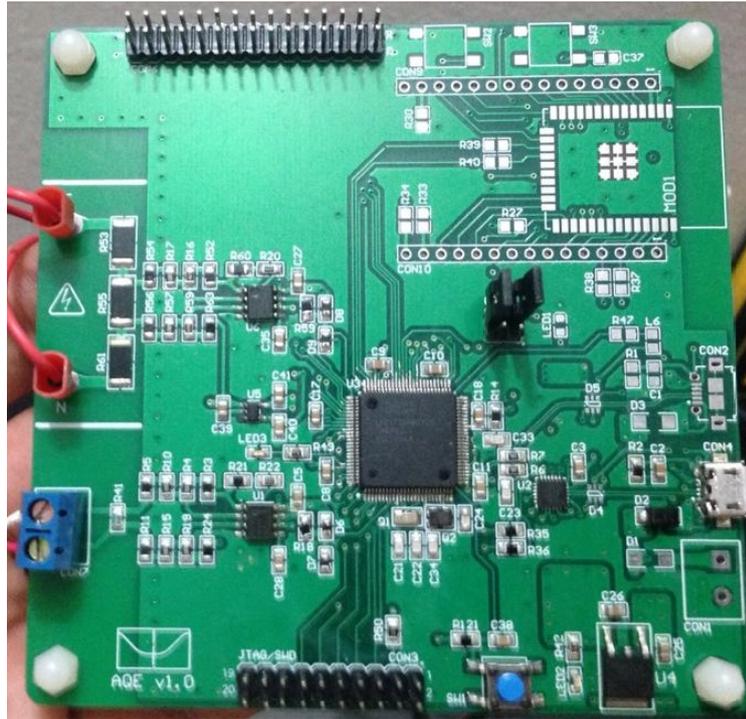


Figura 64 – Placa de circuito impresso com componentes necessários para a aplicação.

## 5.2 Funcionalidades

O Hardware final com o Firmware integrado foi ligado a uma rede elétrica de baixa tensão (doméstica), com integração do sensor de corrente não invasivo ao caminho de corrente da carga. Todos os testes foram realizados em temperatura ambiente de aproximadamente 25°C e os resultados exportados pelo projeto foram comparados com um multímetro modelo ZT102 BSIDE.



Figura 65 – Projeto em operação real.

O projeto gera uma saída via USB que lista todos os índices de interesse, sendo:

- Tensão eficaz, corrente eficaz, potência aparente, fator de potência e seus alertas relacionados.
- Harmônicos individuais e seus alertas relacionados.
- Índice de harmônicos totais, para componentes pares não múltiplas de 3, para componentes ímpares não múltiplas de 3 e componentes múltiplas de 3, com seus respectivos alertas relacionados.

```

215.21Vrms  0.01Arms  2.01VA  FP:0.250  60Hz

Tensao: Adequada
FP: Precario
Freq: Adequada

h2: 0.82 (0)  h3: 1.44 (0)  h4: 0.37 (0)  h5: 0.88 (0)  h6: 0.17 (0)  h7: 0.60 (
0)  h8: 0.23 (0)  h9: 0.36 (0)  h10: 0.07 (0)  h11: 0.25 (0)  h12: 0.06 (0)  h13
: 0.06 (0)  h14: 0.03 (0)  h15: 0.05 (0)  h16: 0.05 (0)  h17: 0.04 (0)  h18: 0.0
2 (0)  h19: 0.02 (0)  h20: 0.02 (0)  h21: 0.04 (0)  h22: 0.03 (0)  h23: 0.02 (0)
  h24: 0.01 (0)  h25: 0.01 (0)  h26: 0.02 (0)  h27: 0.03 (0)  h28: 0.01 (0)  h29
: 0.01 (0)  h30: 0.01 (0)  h31: 0.03 (0)  h32: 0.02 (0)  h33: 0.02 (0)  h34: 0.0
0 (0)

DTT: 1.08 (0)
DTTp: 0.44 (0)
DTTi: 0.51 (0)
DTT3: 0.70 (0)

```

Figura 66 – Resultados sem consumo de carga.

Nota-se que quando não há consumo de carga, o FP não assume valores coerentes. Para analisar o campo de FP é necessário que haja algum fluxo de corrente pelo sensor. Mesmo sem fluxo de corrente teórico o circuito capta uma pequena variação de 0,10Arms.

É possível analisar na tela da Figura (66) os valores de tensão e frequência da rede, comparando com a referência de um multímetro.

Os valores indicados de frequências harmônicas estão em porcentagem da referência de tensão da componente principal da rede (60Hz). Todas as componentes analisadas estão dentro dos parâmetros indicados por norma, não gerando alertas de precariedade.

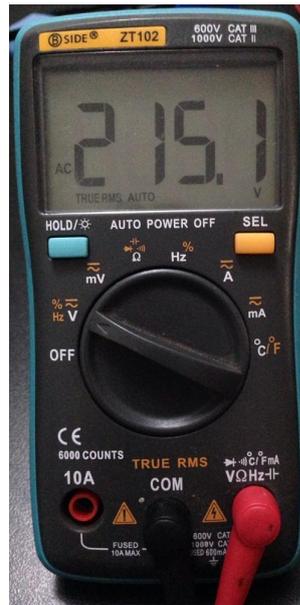


Figura 67 – Referência de medição de tensão da rede elétrica

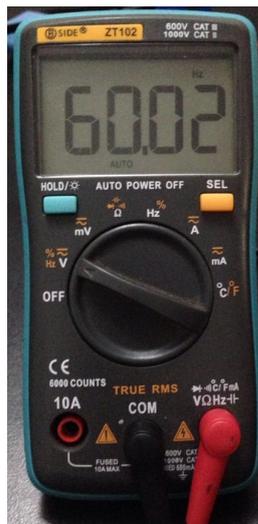


Figura 68 – Referência de medição de frequência da rede elétrica

Os valores de tensão e frequência apresentados pelo projeto possuem variação bastante baixa (cerca de 0,1V para tensão e 0,02Hz para frequência) quando comparados com as referências do multímetro. A variação pode ser considerada satisfatória pela amplitude de tensão da rede e pelas tolerâncias contidas tanto no equipamento projetado quanto no próprio multímetro utilizado como referência.

```

212.00Vrms  1.57Arms  332.08VA  FP:-0.953  60Hz

Tensao: Adequada
FP: Precario
Freq: Adequada

h2: 0.77 (0)  h3: 1.47 (0)  h4: 0.37 (0)  h5: 0.90 (0)  h6: 0.16 (0)  h7: 0.45 (0)
h8: 0.20 (0)  h9: 0.18 (0)  h10: 0.07 (0)  h11: 0.18 (0)  h12: 0.06 (0)  h13: 0.07 (0)
h14: 0.03 (0)  h15: 0.07 (0)  h16: 0.06 (0)  h17: 0.06 (0)  h18: 0.03 (0)
h19: 0.02 (0)  h20: 0.03 (0)  h21: 0.03 (0)  h22: 0.04 (0)  h23: 0.03 (0)
h24: 0.01 (0)  h25: 0.02 (0)  h26: 0.02 (0)  h27: 0.01 (0)  h28: 0.01 (0)  h29: 0.02 (0)
h30: 0.01 (0)  h31: 0.02 (0)  h32: 0.02 (0)  h33: 0.01 (0)  h34: 0.01 (0)

DTT: 1.07 (0)
DTTp: 0.42 (0)
DTTi: 0.48 (0)
DTT3: 0.70 (0)

```

Figura 69 – Resultados com consumo de carga.

Com a atuação de uma carga, havendo fluxo de corrente pelo sensor, o mostrador do FP assume valores coerentes com a análise. A carga utilizada tem potência nominal de 700W (esmeriladeira), porém como a mesma não está realizando nenhum esforço típico da aplicação no teste o consumo da carga atinge valores de aproximadamente 332W com fator de potência de 0,953 e consumo de 1,57Arms.

Nota-se também o aumento na amplitude de algumas componentes harmônicas do espectro, mas ainda continuam dentro dos limites tabelados, não gerando alertas de condições precárias.

O valor de corrente exportado pelo equipamento e mostrado na Figura (69) pode ser comparado com a referência de leitura de corrente do multímetro.



Figura 70 – Referência de medição de corrente da carga.

O valor de corrente mostrado pelo equipamento possui uma variação considerável quando comparado com o valor de referência do multímetro, cerca de 0,13Arms.

### 5.3 Discussões

O projeto de Hardware com Firmware integrado se comporta bem de acordo com os testes realizados, com cargas de baixa potência. De fato a utilização de cargas de maior potência iria melhorar a resolução do fator de potência, pois a medição de correntes  $<2A$  podem gerar erros propagados devido a baixa amplitude de entrada dos sinais no conversor A/D do MCU, é o que ocorre nos testes, pelo fato da maior variação de medição ser a de corrente quando comparado com a medição de referência.

Como citado na metodologia do trabalho, um dos requisitos era a de aquisição de 40 harmônicas a partir da frequência fundamental do sinal de 60Hz, porém devido a limitações de memória do MCU, só foi possível a leitura da 2ª harmônica até a 34ª harmônica do sinal.

Outro requisito era a obtenção dos índices estatísticos relacionados ao DTT%, DTTp%, DTTi% e DTT3%, onde seria necessário a medição de 1008 amostras do sinal, cada amostra intervalada por 10 minutos, totalizando 7 dias de medição. Devido ao tempo hábil para testes, não foi possível obter esses índices estatísticos.

A análise de frequência fundamental não é confiável para a faixa de comparação "Precária" da Tabela (4). O erro para a medida é de até 2Hz, portanto não é possível realizar uma análise comparando casas decimais, como é descrito em norma. A medida foi mantida no projeto pois ainda é possível ter uma noção da variação de frequência (mesmo com um erro grande), principalmente para uma situação onde a faixa seria "Crítica".

## 6 Conclusões

O projeto teve início com o intuito de desenvolver e fabricar um produto semelhante a um analisador de qualidade de energia elétrica industrial, porém com funcionalidades mais simples e limitadas, tentando seguir alguns padrões de análises descritos em norma e possuindo um custo total abaixo dos valores praticados no mercado de analisadores.

O projeto realmente possui funcionalidades básicas, realiza análises de qualidade de potência, quando está monitorando o fluxo de corrente de uma carga e realiza análises de frequência, captando as harmônicas do sinal senoidal da rede elétrica. Além dessa análise, também foram realizadas comparações com valores tabelados em norma, o que dá ao usuário uma noção sobre o nível de qualidade da energia que está sendo monitorada, tendo como referência esses alertas vinculados aos valores tabelados.

Todas as funcionalidades básicas do projeto foram cumpridas, com ressalvas relacionadas a precisão de algumas medidas, como a medida de frequência, que possui um passo de 2Hz, impossibilitando a comparação assertiva com a Tabela (4). Outro fator não cumprido, que na verdade é um caso de testes e não uma funcionalidade, foi a obtenção dos índices estatísticos das frequências harmônicas, a necessidade de um período contínuo de testes total de 7 dias impossibilitou a análise devido ao tempo hábil de projeto.

Outro fator impactante no cumprimento dos requisitos foi relacionado à limites de Hardware, a memória RAM disponível no MCU não foi suficiente para a quantidade de amostras necessárias para realizar a análise até a 40<sup>a</sup> harmônica do sinal. A memória disponível de 64kB possibilitou a análise até a 34<sup>a</sup> harmônica, o que não impactou na qualidade dos resultados do processamento.

É necessário comentar sobre os valores de importação para projetos eletrônicos no Brasil. O desenvolvimento de produtos eletrônicos em território nacional enfrenta bastante dificuldades devido, primeiramente, a alta do Dólar no período em que o projeto foi desenvolvido e também aos altos impostos cobrados sob importação de componentes e insumos. Um ótimo exemplo é este projeto, onde o valor total de impostos superou o valor total das compras, considerando o frete, cerca de 110% do valor total foi relacionado a impostos.

Com alterações de código e/ou "upgrades" de Hardware, este projeto pode possuir expansões, adicionando novas funcionalidades, melhorando a precisão de medidas, para tentar seguir o mais próximo possível de um padrão industrial, e quem sabe no futuro até obedecer todos os padrões industriais relacionados as medidas descritas nos requisitos, tornando-o um produto comercializável e de menor custo no mercado de analisadores de qualidade de energia.



## Referências

ANEEL. *Procedimentos de Distribuição de Energia Elétrica no Sistema Elétrico Nacional*: Módulo 8 - qualidade de energia elétrica. [S.l.], 2020. Citado 10 vezes nas páginas 19, 35, 61, 66, 67, 68, 69, 70, 71 e 72.

BALBINOT, A.; BRUSAMARELLO, V. J. Instrumentação e fundamentos de medidas. In: *Instrumentação e Fundamentos de Medidas*. [S.l.: s.n.], 2019. v. 3, p. s.n. Citado na página 44.

CHESP. Fator de potência. n.d. Disponível em: <<https://www.chesp.com.br/pagina/institucional/39-fator-de-potencia>>. Citado 2 vezes nas páginas 34 e 35.

DIODES. *1.5A LOW QUIESCENT CURRENT, FAST TRANSIENTULTRA-LOW DROPOUT LINEAR REGULATOR*. [S.l.], 2018. Citado na página 81.

ELETRONICSNOTES. Indutores de esferas de ferrite. n.d. Disponível em: <[https://www.electronics-notes.com/articles/electronic\\_components/inductors-transformers/ferrite-bead-chokes.php](https://www.electronics-notes.com/articles/electronic_components/inductors-transformers/ferrite-bead-chokes.php)>. Citado na página 46.

Heideman, M.; Johnson, D.; Burrus, C. Gauss and the history of the fast fourier transform. *IEEE ASSP Magazine*, v. 1, n. 4, p. 14-21, 1984. Citado na página 38.

INCOMPLIANCE. All ferrite beads are not created equal. 2010. Disponível em: <<https://incompliancemag.com/article/all-ferrite-beads-are-not-created-equal-understanding-the-importance-of-ferrite-bead-material-behavior/>>. Citado 2 vezes nas páginas 15 e 47.

INSTRUMENTS, N. Input protection. 2018. Disponível em: <[http://zone.ni.com/reference/en-XX/help/370520P-01/hsdio/hinput\\_protection\\_6545/](http://zone.ni.com/reference/en-XX/help/370520P-01/hsdio/hinput_protection_6545/)>. Citado 2 vezes nas páginas 15 e 46.

JLCPCB. *Multilayer high precision PCB's with impedance control*. [S.l.], 2020. Citado 2 vezes nas páginas 19 e 97.

JLCPCB. *PCB Capabilities*. [S.l.], 2020. Citado 2 vezes nas páginas 19 e 96.

NAGEL, L. W.; PEDERSON, D. Spice (simulation program with integrated circuit emphasis). In: . [S.l.: s.n.], 1973. p. n.d. Citado na página 48.

NXP. *32-bit Arm Cortex®-M3 microcontroller; up to 512 kB flash and 64 kB SRAM*. [S.l.], 2020. Citado na página 85.

OHMIC. Resistores para filtros harmônicos. p. 1, n.d. Disponível em: <<https://ohmic.com.br/resistores-para-filtros-harmonicos-2/>>. Citado 2 vezes nas páginas 15 e 36.

OPPENHEIM, A. V.; WILLSKY, A. S. Sinais e sistemas. In: *Sinais e Sistemas*. [S.l.: s.n.], 2010. v. 2, p. 530. Citado na página 37.

- SEDRA, A. S.; SMITH, K. C. Microeletronic circuits. In: *Microeletronic Circuits*. [S.l.: s.n.], 2015. v. 7, p. 1489. Citado 7 vezes nas páginas 15, 38, 39, 40, 42, 43 e 46.
- SILICON LABS. *SINGLE-CHIP USB TO DUAL UART BRIDGE*. [S.l.], 2013. Citado na página 86.
- TEXAS INSTRUMENTS. *REF19xx Low-Drift, Low-Power, Dual-Output, VREF and VREF/2 Voltage References*. [S.l.], 2014. Citado na página 82.
- TEXAS INSTRUMENTS. *High-Speed Layout Guidelines for Signal Conditioners and USB Hubs*. [S.l.], 2018. Citado 3 vezes nas páginas 19, 94 e 95.
- TEXAS INSTRUMENTS. *TLV900x Low-Power, RRIO, 1-MHz Operational Amplifier for Cost-Sensitive Systems*. [S.l.], 2019. Citado na página 63.
- TEXAS INSTRUMENTS. *TLV900x-Q1 Low-Power RRIO 1-MHz Automotive Operational Amplifier*. [S.l.], 2019. Citado na página 89.
- WEG. *Power Factor Correction*. [S.l.], 2012. Citado na página 33.

codeVerbatimfontsize=

# Anexos



## ANEXO A – Projeto de Firmware (C)

```

#include <stdint.h>
#include <stdio.h>
#include <math.h>
#include <string.h>
#include <armdsp.h>
#include <arm_acle.h>
#include "arm_math.h"
#include "arm_const_structs.h"
#include "LPC17xx.h"
#include "PIN_LPC17xx.h"
#include "Board_ADC.h"
#include "RTE_Components.h"
#include "GPIO_LPC17xx.h"

//VARIABLES DE CONTROLE//
static volatile int count = 0;
static volatile int countplot = 0;
static volatile int i = 0;
static volatile int j = 0;
static volatile int k = 0;
//BUFFERS P/ AMOSTRA DO ADC//
static volatile int tensao[2048], corrente[2048];
//POTENCIA ATIVA, POTENCIA APARENTE// VRMS, IRMS, FATOR DE POTENCIA
static double pm, ps, vef, ief, fp;

//BUFFERS P/ FFT//
static float32_t fft_buffer[2048];
static float32_t fft_out [2048];

//INDICES HARMONICAS//
static float32_t DTT, DTTp, DTTi, DTT3;
static float32_t h[34];
//ALERTAS HARMONICAS//
static volatile int aDTT, aDTTp, aDTTi, aDTT3, fund;
static volatile int ah[34];

```

```
//OUTROS ALERTAS//
static volatile int alertaV, alertaFP, alertaHz;

//STRINGS P/ CONVERSAO ASCII//
static char string[80];
static char stringV[18];
static char stringFP[18];
static char stringHz[18];

int main()
{

//Rotinas de Inicializaçãoo//
    SystemInit();
    ADC_Initialize();

    LPC_SC->PCLKSEL0 |= (0U << 24);

//Configurando portas do ADC//
    LPC_ADC->ADCR &= ~(1U << 2);
    LPC_ADC->ADCR |= (1U << 8) |
        (1U << 21);

    LPC_PINCON->PINSEL1 |= (1U << 14);
    LPC_PINCON->PINSEL1 |= (1U << 16);

//Configurando a UART//
    LPC_SC->PCLKSEL0 |= (3U << 6); //dividindo CLK da UART0 (100MHz/8)
    LPC_PINCON->PINSEL0 |= (1U << 4); //pino P0.2 como TXD da UART0
    LPC_PINCON->PINSEL0 |= (1U << 6); //pino P0.3 como RXD da UART0

    LPC_UART0->FCR |= (1U<<0) | //enable FIFO
        (1U<<1) |
        (1U<<2);

//LPC_SC->PCONP |= (1U<<4); //ativando power/clock da UART1

    LPC_UART0->LCR |= (3U<<0) | //tamanho da palavra de 8bits para UART
```

```

(1U<<7);          //habilitando DLAB (Divisor Latch Access Bit) p/ poder configurar
LPC_UART0->DLL = 4;          //registrador para definição do BAUD RATE (olhar
LPC_UART0->FDR |= (9U<<0)|          //valor de DIVADDDVAL, faz parte da definição do
(13U<<4);          //valor de MULVAL, faz parte da definição do BAUD RATE
    //esses valores geram um BAUD proximo de 115200

LPC_UART0->LCR &= ~(1U<<7);          //zerando DLAB para ter acesso a outros registra

    //Configurando o Timer0//
LPC_SC->PCLKSELO |= (2U << 2);          //dividindo clk do TIMER0 (100MHz/2)

//LPC_SC->PCONP |= (1U<<1);          //ativando power/clock do timer0
    LPC_TIMO->MCR |= (0x03);          //habilitando reset no TC caso o mesmo atinja
LPC_TIMO->TCR |= (0x01);          //habilitando Timer Control Register
LPC_TIMO->PR = 120;          //valor maximo do prescale
LPC_TIMO->MR0 = 100;          //valor maximo do timer match

//Configurando GPIOs//

LPC_PINCON->PINSEL2 &= ~(3U << 8);
LPC_GPIO1->FIODIR |= (1U << 4);

LPC_UART0->TER |= (1U<<7);          //habilitando transmit enable register
//LPC_UART0->TER &= ~(1U<<7);          //desabilitando transmit enable register

    while(1){

//Frequencia de amostragem, entra na função a cada (1/4166)s
if(LPC_TIMO->IR == 0x01){          //utiliza interrupção do timer como condição
LPC_TIMO->IR = (0x01);          //zera a flag da interrupção

//a cada 2048 amostras nos vetores, entra na rotina de cálculos
if(count >= 2048){
count=0;
//rotina de calculos
for(i=0;i<2048;i++){
//prepara buffer p/ calculo da FFT//
fft_buffer[i] = (tensao[i]*0.211) - 433;

```

```
//potencia instantanea//
pm += ((tensao[i]*0.211) - 433)*((corrente[i]*0.0156)-31);
//VRMS e IRMS//
vef += ((tensao[i]*0.211) - 433)*((tensao[i]*0.211) - 433);
ief += ((corrente[i]*0.0156)-31)*((corrente[i]*0.0156)-31);
}

//Finaliza Cálculos//
vef = sqrtf(vef/2048);
ief = sqrtf(ief/2048);
ps = vef*ief;
pm = pm/2048;
fp = pm/ps;

//Função geradora de alertas//
gerador_de_alertas_pot();

//Função para extrair FFT/
arm_rfft_fast_instance_f32 fftInstance;
arm_rfft_fast_init_f32(&fftInstance, 2048);
arm_rfft_fast_f32(&fftInstance, fft_buffer, fft_out, 0);
//Obtem magnitude dos valores//
arm_cmlx_mag_f32 (fft_out, fft_out, 1024);

//Converte indices FFT em valores VRMS//
for(i=0;i<1024;i++){
fft_out[i] = (fft_out[i]/982.507)/sqrt(2);
}

//Calculo de indices individuais harmonicos//
calculo_harmonicas();

//Geração de strings de alerta//
if(fund < 57 || fund >66){
alertaHz = 2;
sprintf(stringHz, "Freq: Critica\n\n");
}else if((fund>=57 && fund<=59) || (fund>=61 && fund<=66) ){
alertaHz = 1;
sprintf(stringHz, "Freq: Precaria\n\n");
```

```
}else{
alertaHz = 0;
sprintf(stringHz, "Freq: Adequada\n\n");
}

//Geração de alertas de índices DTT//
alertas_DTT();
//Geração de alertas de harmônicos individuais//
gerador_de_alertas_harmonicos();

if(countplot>=10){ //atraso para plot//
countplot=0;
// for(i=0; i<1024; i++){
//
// sprintf(string,"%f\n", fft_out[i]);
// //divide a variavel float em 4 bytes e envia 1 por 1//
// for(k = 0; k<15; k++){
// LPC_UART0->THR = *(string+k);
// while(!(LPC_UART0->LSR & (1<<5)));
// memset(string, 0, 80);
// }
// }

//Rotinas de exportação de dados//
sprintf(string, "\n\n%.2fVrms  %.2fArms  %.2fVA  FP:%.3f  %.dHz\n\n",vef,ief,ps,fp,f

for(k = 0; k<60; k++){          //divide a variavel float em 4 bytes e envia 1 por 1

LPC_UART0->THR = *(string+k);
while(!(LPC_UART0->LSR & (1<<5)));
}
memset(string, 0, 80);

for(k = 0; k<18; k++){          //divide a variavel float em 4 bytes e envia 1 por 1

LPC_UART0->THR = *(stringV+k);
while(!(LPC_UART0->LSR & (1<<5)));
}
memset(stringV, 0, 18);
```

```

for(k = 0; k<18; k++){          //divide a variavel float em 4 bytes e envia 1 por 1

LPC_UART0->THR = (*(stringFP+k));
while(!(LPC_UART0->LSR & (1<<5)));
}
memset(stringFP, 0, 18);

for(k = 0; k<18; k++){          //divide a variavel float em 4 bytes e envia 1 por 1

LPC_UART0->THR = (*(stringHz+k));
while(!(LPC_UART0->LSR & (1<<5)));
}
memset(stringHz, 0, 18);

for(i=2; i<35; i++){
sprintf(string,"h%d: %.1f (%d)  " ,i,h[i],ah[i]);

for(k = 0; k<16; k++){          //divide a variavel float em 4 bytes e envia 1 por 1

LPC_UART0->THR = (*(string+k));
while(!(LPC_UART0->LSR & (1<<5)));
}
memset(string, 0, 80);
}

sprintf(string,"\n\nDTT: %.1f (%d)\nDTTp: %.1f (%d)\nDTTi: %.1f (%d)\nDTT3: %.1f (%d)\n\n");

for(k = 0; k<60; k++){          //divide a variavel float em 4 bytes e envia 1 por 1

LPC_UART0->THR = (*(string+k));
while(!(LPC_UART0->LSR & (1<<5)));
}
memset(string, 0, 80);

vef = 0;
ief = 0;
ps = 0;
pm = 0;

```

```

fp = 0;
for(i=0;i<35;i++){
h[i] = 0;
ah[i] = 0;
}
DTT = 0; DTTp = 0; DTTi = 0; DTT3 = 0;
}
countplot++;

//preenche amostras dos canais do ADC em vetores
}else{
LPC_ADC->ADCR &= ~(1U<<1);          //limpando seleção de porta AINx (SEL)
LPC_ADC->ADCR |= (1U<<0);           //habilitando porta AIN2 p/ leitura do AD
ADC_StartConversion();              //inicia conversão
while(ADC_ConversionDone());
//LPC_ADC->CR &= ~(7U<<24);         //interrompe futuras conversões (START=0)
tensao[count] = ADC_GetValue();     //valor da conversão em variável

LPC_ADC->ADCR &= ~(1U<<0);          //limpando seleção de porta AINx (SEL)
LPC_ADC->ADCR |= (1U<<1);           //habilitando porta AIN1 p/ leitura do AD
ADC_StartConversion();              //inicia conversão
while(ADC_ConversionDone());
//LPC_ADC->CR &= ~(7U<<24);         //interrompe futuras conversões (START=0)
corrente[count] = ADC_GetValue();   //valor da conversão em variável

count++;

//Leds de debug//
if(k==0){
k=1;
LPC_GPI01->FIOSET |= (1U << 4);
}else{
k=0;
LPC_GPI01->FIOCLR |= (1U << 4);

}
}
}
}

```

```
}  
}
```

```
int calculo_harmonicass(void){  
  
for(i=0;i<10;i++){  
if (fft_out[i+25] > fft_out[fund]) {  
fund = i+25;  
}  
}  
fund = fund*2;  
  
j=0;  
for(i=0;i<10;i++){  
if (fft_out[i+55] > fft_out[j]) {  
j = i+55;  
h[2] = (fft_out[j]/vef)*100;  
}  
}  
j=0;  
for(i=0;i<10;i++){  
if (fft_out[i+85] > fft_out[j]) {  
j = i+85;  
h[3] = (fft_out[j]/vef)*100;  
}  
}  
j=0;  
for(i=0;i<10;i++){  
if (fft_out[i+115] > fft_out[j]) {  
j = i+115;  
h[4] = (fft_out[j]/vef)*100;  
}  
}  
j=0;  
for(i=0;i<10;i++){  
if (fft_out[i+145] > fft_out[j]) {  
j = i+145;  
h[5] = (fft_out[j]/vef)*100;  
}  
}
```

```
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+175] > fft_out[j]) {
j = i+175;
h[6] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+205] > fft_out[j]) {
j = i+205;
h[7] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+235] > fft_out[j]) {
j = i+235;
h[8] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+265] > fft_out[j]) {
j = i+265;
h[9] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+295] > fft_out[j]) {
j = i+295;
h[10] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+325] > fft_out[j]) {
```

```
j = i+325;
h[11] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+355] > fft_out[j]) {
j = i+355;
h[12] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+385] > fft_out[j]) {
j = i+385;
h[13] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+415] > fft_out[j]) {
j = i+415;
h[14] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+445] > fft_out[j]) {
j = i+445;
h[15] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+475] > fft_out[j]) {
j = i+475;
h[16] = (fft_out[j]/vef)*100;
}
}
}
```

```
j=0;
for(i=0;i<10;i++){
if (fft_out[i+505] > fft_out[j]) {
j = i+505;
h[17] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+535] > fft_out[j]) {
j = i+535;
h[18] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+565] > fft_out[j]) {
j = i+565;
h[19] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+595] > fft_out[j]) {
j = i+595;
h[20] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+625] > fft_out[j]) {
j = i+625;
h[21] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+655] > fft_out[j]) {
j = i+655;
```

```
h[22] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+685] > fft_out[j]) {
j = i+685;
h[23] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+715] > fft_out[j]) {
j = i+715;
h[24] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+745] > fft_out[j]) {
j = i+745;
h[25] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+775] > fft_out[j]) {
j = i+775;
h[26] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+805] > fft_out[j]) {
j = i+805;
h[27] = (fft_out[j]/vef)*100;
}
}
j=0;
```

```
for(i=0;i<10;i++){
if (fft_out[i+835] > fft_out[j]) {
j = i+835;
h[28] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+865] > fft_out[j]) {
j = i+865;
h[29] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+895] > fft_out[j]) {
j = i+895;
h[30] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+925] > fft_out[j]) {
j = i+925;
h[31] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+955] > fft_out[j]) {
j = i+955;
h[32] = (fft_out[j]/vef)*100;
}
}
j=0;
for(i=0;i<10;i++){
if (fft_out[i+985] > fft_out[j]) {
j = i+985;
h[33] = (fft_out[j]/vef)*100;
```

```
}
}
j=0;
for(i=0;i<6;i++){
if (fft_out[i+1012] > fft_out[j]) {
j = i+1012;
h[34] = (fft_out[j]/vef)*100;
}
}
j=0;
}

int alertas_DTT(void){

for(i=2;i<34;i++){
DTT += h[i]*h[i];
}

DTT = ((sqrt(DTT))/vef)*100;

DTTp = h[2]*h[2]+h[4]*h[4]+h[8]*h[8]+h[10]*h[10]+h[14]*h[14]+h[16]*h[16]
+h[20]*h[20]+h[22]*h[22]+h[26]*h[26]+h[28]*h[28]+h[32]*h[32];
DTTp = ((sqrt(DTTp))/vef)*100;

DTTi = h[5]*h[5]+h[7]*h[7]+h[11]*h[11]+h[13]*h[13]+h[17]*h[17]+h[19]*h[19]
+h[23]*h[23]+h[25]*h[25]+h[29]*h[29]+h[31]*h[31];
DTTi = ((sqrt(DTTi))/vef)*100;

DTT3 = h[3]*h[3]+h[6]*h[6]+h[9]*h[9]+h[12]*h[12]+h[15]*h[15]+h[18]*h[18]
+h[21]*h[21]+h[24]*h[24]+h[27]*h[27]+h[30]*h[30]+h[33]*h[33];
DTT3 = ((sqrt(DTT3))/vef)*100;

if(DTT>10.0){
aDTT = 1;
}else{
aDTT = 0;
}

if(DTTp>2.5){
```

```
aDTTp = 1;
}else{
aDTTp = 0;
}

if(DTTi>7.5){
aDTTi = 1;
}else{
aDTTi = 0;
}

if(DTT3>6.5){
aDTT3 = 1;
}else{
aDTT3 = 0;
}
}

int gerador_de_alertas_pot(void){

if(vef<191 || vef>233){
alertaV = 2;
sprintf(stringV, "Tensao: Critica\n");
}else if((vef>=191 && vef<202) || (vef>231 && vef<=233)){
alertaV = 1;
sprintf(stringV, "Tensao: Precaria\n");
}else{
alertaV = 0;
sprintf(stringV, "Tensao: Adequada\n");
}

if(fp<0.92){
alertaFP = 1;
sprintf(stringFP, "FP: Precario\n");
}else{
alertaFP = 0;
sprintf(stringFP, "FP: Adequado\n");
}
}
```

```
int gerador_de_alertas_harmonicos(void){

    if(h[2] > 2.5){
        ah[2] = 1;
    }else{
        ah[2] = 0;
    }

    if(h[3] > 6.5){
        ah[3] = 1;
    }else{
        ah[3] = 0;
    }

    if(h[4] > 1.5){
        ah[4] = 1;
    }else{
        ah[4] = 0;
    }

    if(h[5] > 7.5){
        ah[5] = 1;
    }else{
        ah[5] = 0;
    }

    if(h[6] > 1.0){
        ah[6] = 1;
    }else{
        ah[6] = 0;
    }

    if(h[7] > 6.5){
        ah[7] = 1;
    }else{
        ah[7] = 0;
    }
}
```

```
if(h[8] > 1.0){
ah[8] = 1;
}else{
ah[8] = 0;
}
```

```
if(h[9] > 2.0){
ah[9] = 1;
}else{
ah[9] = 0;
}
```

```
if(h[10] > 1.0){
ah[10] = 1;
}else{
ah[10] = 0;
}
```

```
if(h[11] > 4.5){
ah[11] = 1;
}else{
ah[11] = 0;
}
```

```
if(h[12] > 1.0){
ah[12] = 1;
}else{
ah[12] = 0;
}
```

```
if(h[13] > 4.0){
ah[13] = 1;
}else{
ah[13] = 0;
}
```

```
for(i=14;i<17;i++){
if(h[i] > 1.0){
ah[i] = 1;
```

```
}else{
ah[i] = 0;
}
}

if(h[17] > 2.5){
ah[17] = 1;
}else{
ah[17] = 0;
}

if(h[18] > 1.0){
ah[18] = 1;
}else{
ah[18] = 0;
}

if(h[19] > 2.0){
ah[19] = 1;
}else{
ah[19] = 0;
}

for(i=20;i<23;i++){
if(h[i] > 1.0){
ah[i] = 1;
}else{
ah[i] = 0;
}
}

if(h[23] > 2.0){
ah[23] = 1;
}else{
ah[23] = 0;
}

if(h[24] > 1.0){
ah[24] = 1;
```

```
}else{
ah[24] = 0;
}

if(h[25] > 2.0){
ah[25] = 1;
}else{
ah[25] = 0;
}

for(i=26;i<29;i++){
if(h[i] > 1.0){
ah[i] = 1;
}else{
ah[i] = 0;
}
}

if(h[29] > 1.5){
ah[29] = 1;
}else{
ah[29] = 0;
}

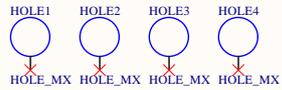
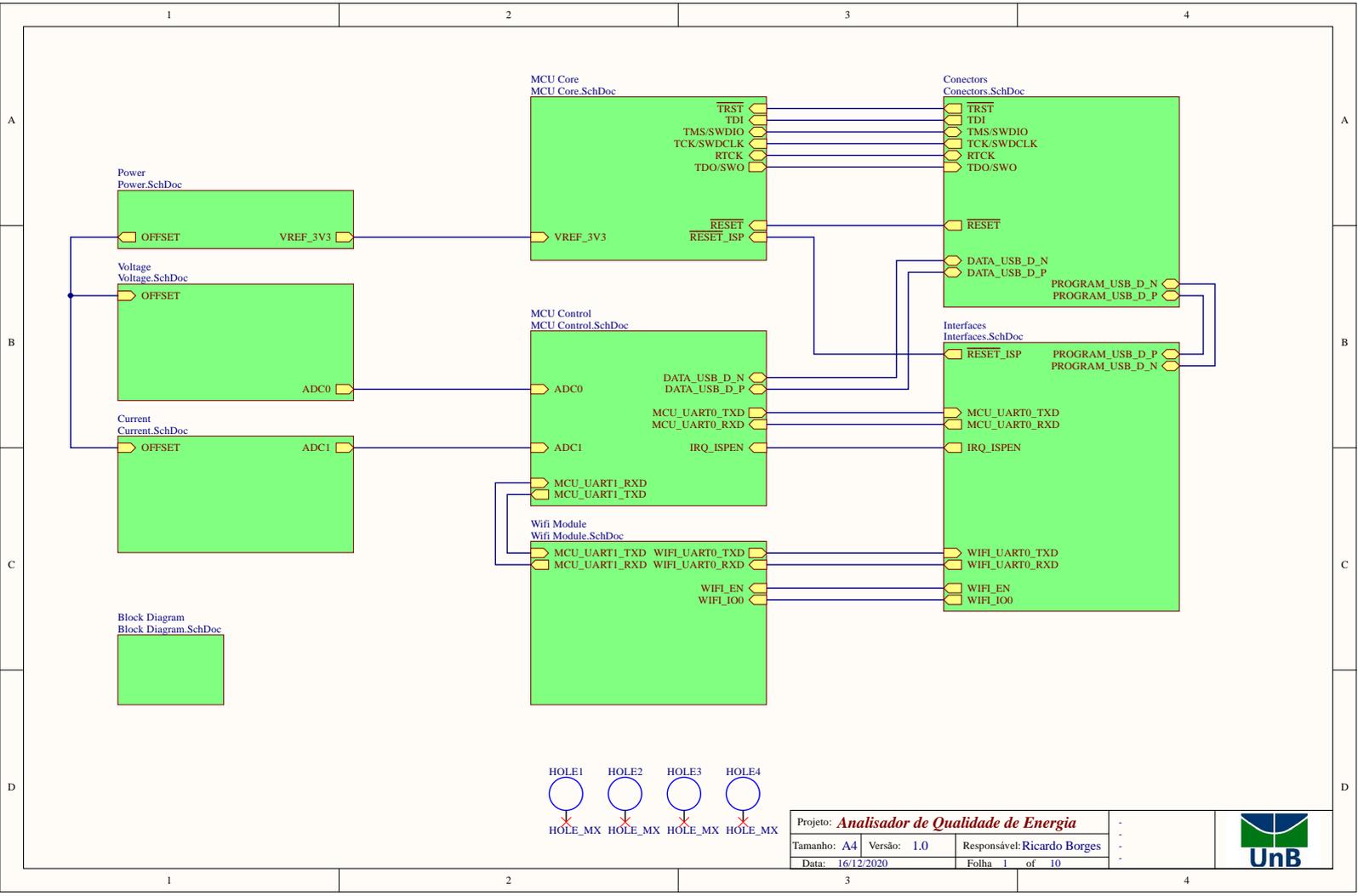
if(h[30] > 1.0){
ah[30] = 1;
}else{
ah[30] = 0;
}

if(h[31] > 1.5){
ah[31] = 1;
}else{
ah[31] = 0;
}

for(i=32;i<35;i++){
if(h[i] > 1.0){
ah[i] = 1;
```

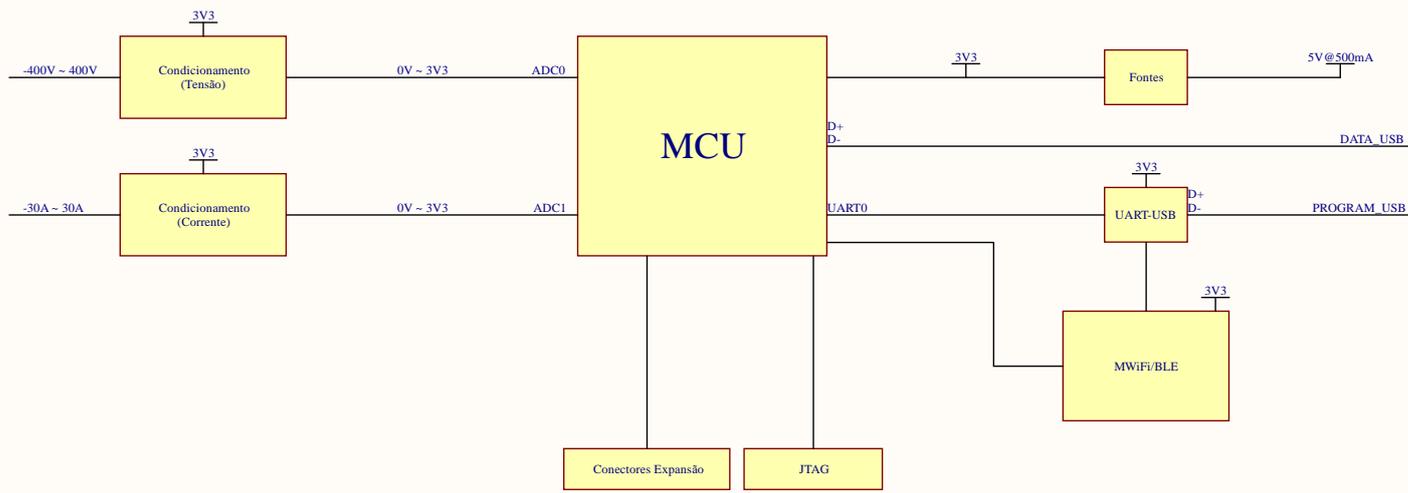
```
}else{  
ah[i] = 0;  
}  
}  
}
```

## ANEXO B – Projeto de Hardware



Projeto: <b>Analisador de Qualidade de Energia</b>	-
Tamanho: A4 Versão: 1.0	Responsável: Ricardo Borges
Data: 16/12/2020	Folha 1 of 10





Projeto: <b>Analisador de Qualidade de Energia</b>	-
Tamanho: <b>A4</b> Versão: <b>1.0</b>	-
Data: <b>16/12/2020</b>	-
Responsável: <b>Ricardo Borges</b>	-
Folha <b>2</b> of <b>10</b>	-



1

2

3

4

A

A

B

B

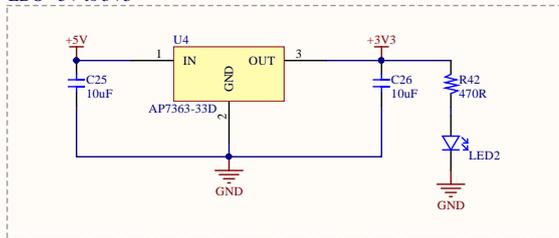
C

C

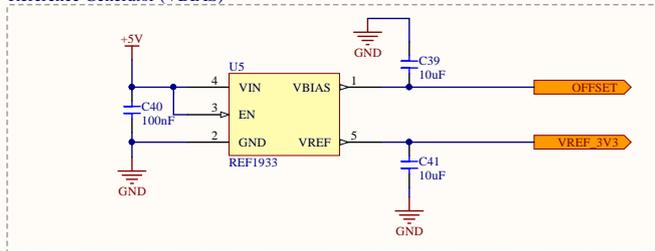
D

D

### LDO - 5V to 3V3



### Reference Generator (VBIAS)



Projeto: <b>Analisador de Qualidade de Energia</b>	-
Tamanho: <b>A4</b> Versão: <b>1.0</b>	-
Data: <b>16/12/2020</b>	-
Responsável: <b>Ricardo Borges</b>	-
Folha <b>3</b> of <b>10</b>	-



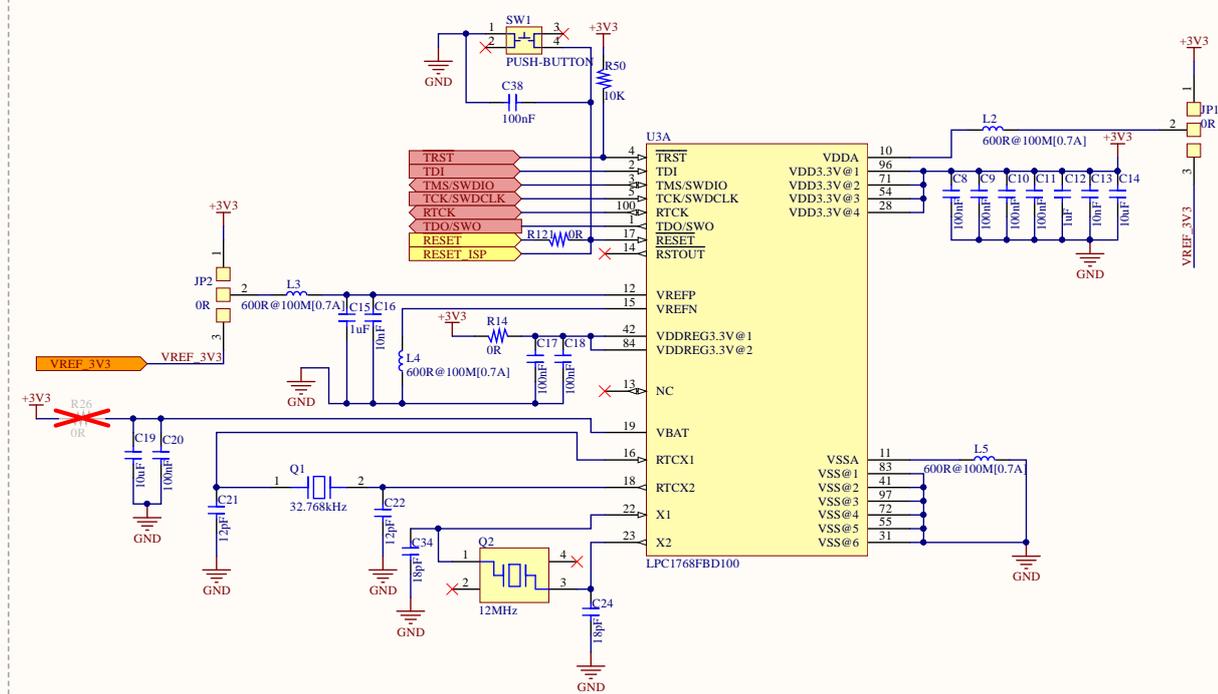
1

2

3

4

MCU Core

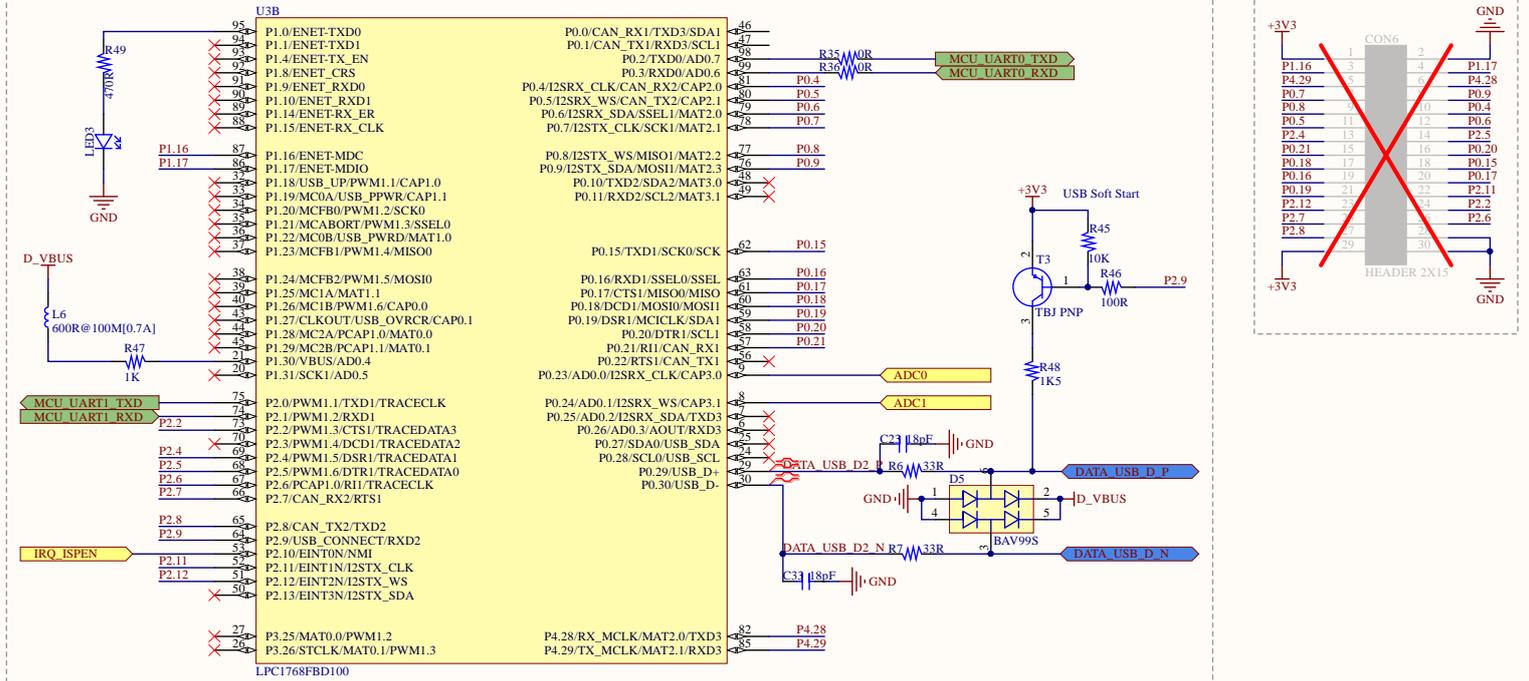


Projeto:	<b>Analisador de Qualidade de Energia</b>	-
Tamanho:	A4	-
Versão:	1.0	-
Responsável:	Ricardo Borges	-
Data:	16/12/2020	-
	Folha 4 of 10	-



MCU Control

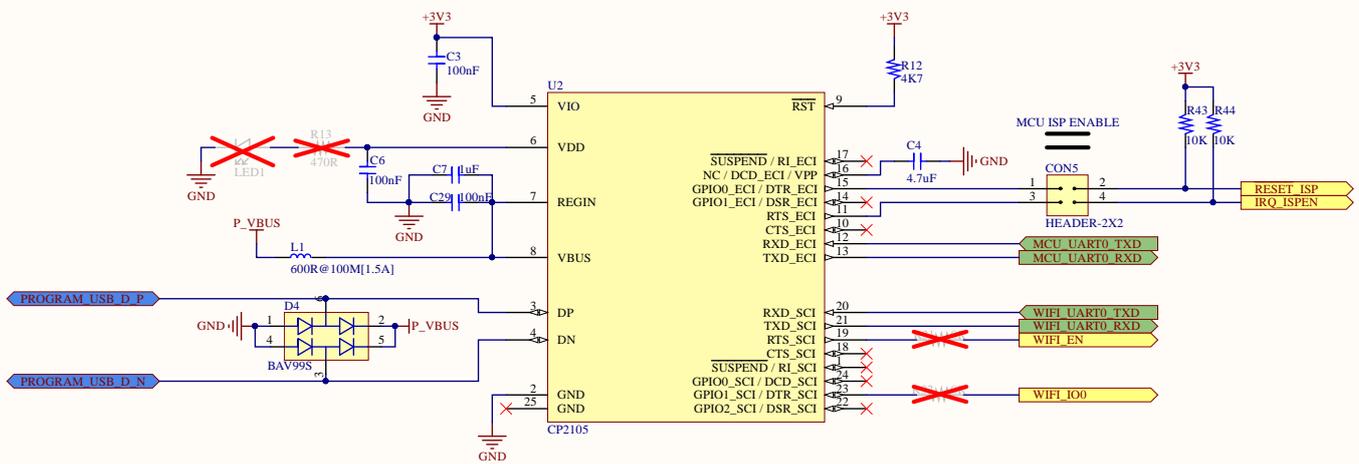
Expansion Connectors



Projeto:	Analisador de Qualidade de Energia	
Tamanho:	A4	Versão: 1.0
Data:	16/12/2020	Folha 5 of 10
Responsável:	Ricardo Borges	



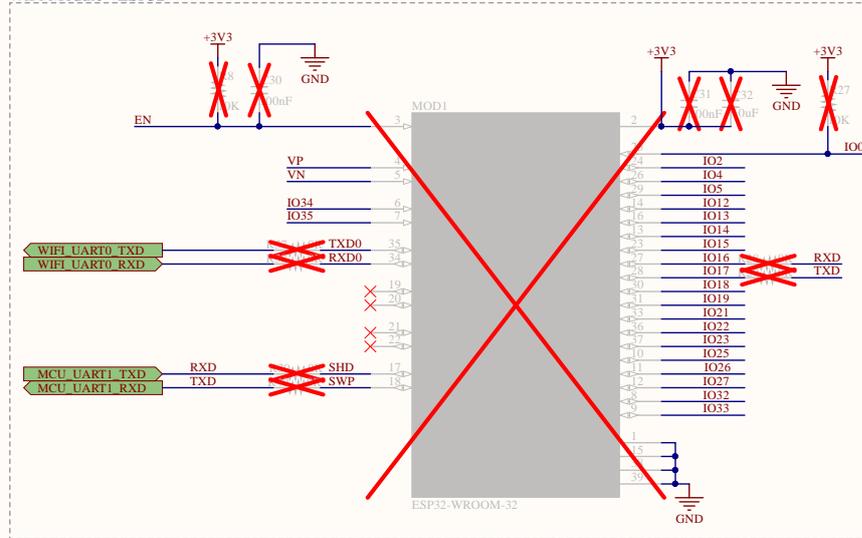
Converter - USB to Dual UART



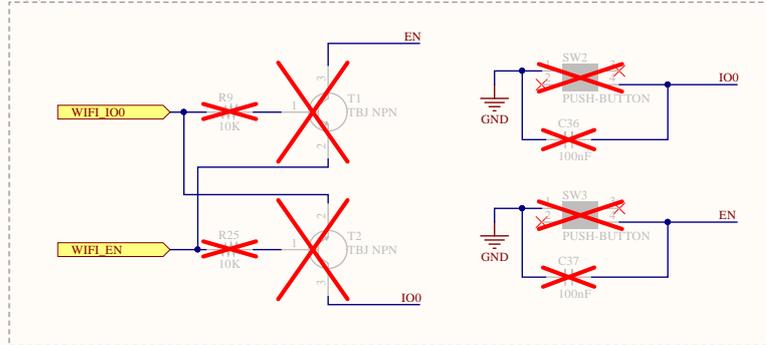
Projeto: <b>Analidade de Qualidade de Energia</b>	-
Tamanho: A4 Versão: 1.0 Responsável: Ricardo Borges	-
Data: 16/12/2020 Folha 6 of 10	-



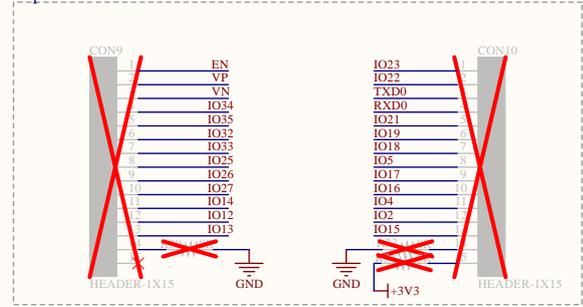
### WiFi Module - ESP32



### BOOT ESP32



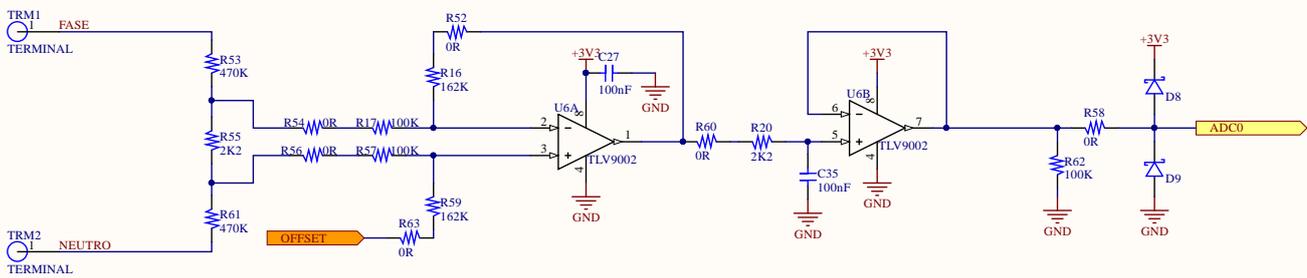
### Expansion Connectors



Projeto: <b>Analisador de Qualidade de Energia</b>	-
Tamanho: <b>A4</b> Versão: <b>1.0</b> Responsável: <b>Ricardo Borges</b>	-
Data: <b>16/12/2020</b> Folha: <b>7</b> of <b>10</b>	-



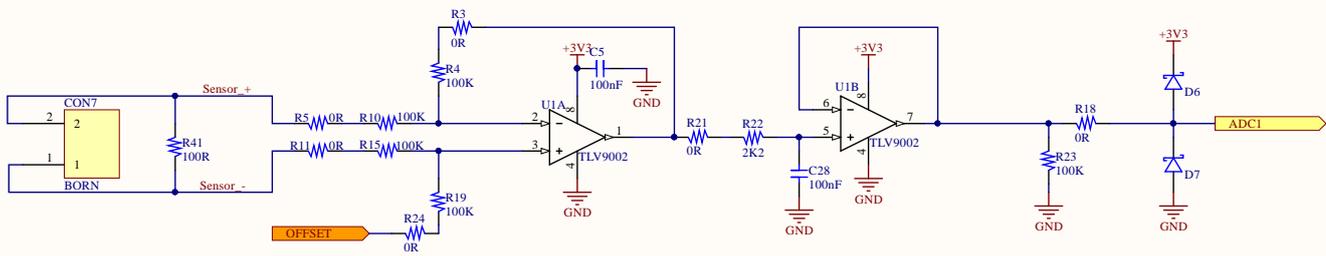
Voltage Conditioning



Projeto: <b>Analisador de Qualidade de Energia</b>	-
Tamanho: <b>A4</b> Versão: <b>1.0</b>	-
Data: <b>16/12/2020</b>	-
Responsável: <b>Ricardo Borges</b>	-
Folha <b>8</b> of <b>10</b>	-



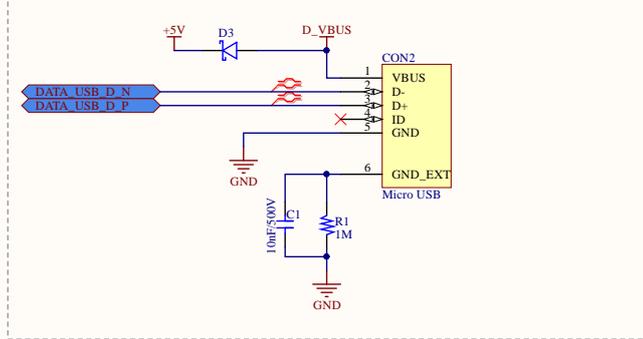
Current Conditioning



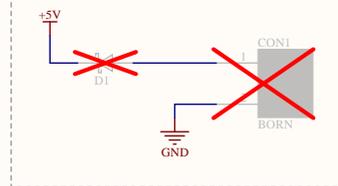
Projeto: <b>Analisador de Qualidade de Energia</b>	-
Tamanho: <b>A4</b> Versão: <b>1.0</b>	-
Data: <b>16/12/2020</b>	-
Responsável: <b>Ricardo Borges</b>	-
Folha <b>9</b> of <b>10</b>	-



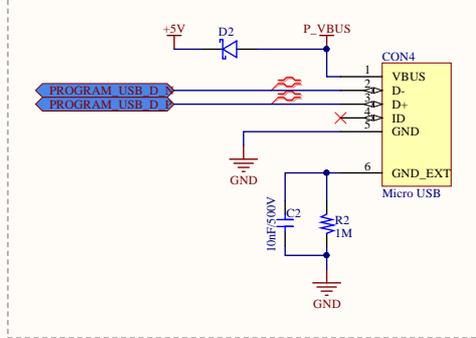
Data USB



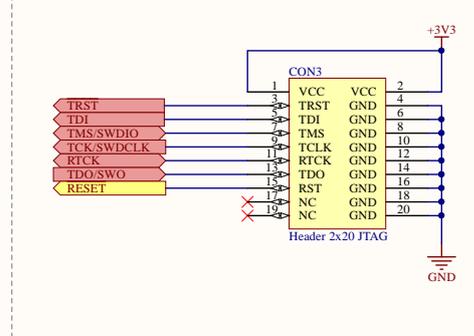
Alternative Power Born



Program USB



Interface JTAG



Projeto: <b>Analisador de Qualidade de Energia</b>	-
Tamanho: <b>A4</b> Versão: <b>1.0</b> Responsável: <b>Ricardo Borges</b>	-
Data: <b>16/12/2020</b> Folha: <b>10</b> of <b>10</b>	-



