

Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

Chaveador RF para comunicação em banda Ku

Autor: Vinícius Lisboa do Nascimento
Orientador: Sébastien R. M. J. Rondineau

Brasília, DF
2019



Vinícius Lisboa do Nascimento

Chaveador RF para comunicação em banda Ku

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Sébastien R. M. J. Rondineau

Brasília, DF

2019

Vinícius Lisboa do Nascimento

Chaveador RF para comunicação em banda Ku/ Vinícius Lisboa do Nascimento. – Brasília, DF, 2019.

138 p. : il. color.; 29,7 cm.

Orientador: Sébastien R. M. J. Rondineau

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2019.

1. Chaveador microondas. 2. Telecomunicações. I. Sébastien R. M. J. Rondineau. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Chaveador RF para comunicação em banda Ku.

CDU 02:141:005.6

Vinícius Lisboa do Nascimento

Chaveador RF para comunicação em banda Ku

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 4 de Dezembro de 2019 – Data da aprovação do trabalho:

Sébastien R. M. J. Rondineau
Orientador

Prof. Dr. Leonardo Aguayo
Convidado 1

**Prof. Dr. Wellington Avelino do
Amaral**
Convidado 2

Brasília, DF
2019

Agradecimentos

Gostaria de agradecer primeiramente a Deus e a Virgem Maria que sempre estiveram comigo. Agradeço imensamente minha família (meu pai, Hércules, e minha irmã Victória) pelo apoio, mas principalmente a minha mãe, Netília Lisboa, que mesmo sem estudo, fez de tudo por mim e meus sonhos. Agradeço também a minha tia, Divina, meus primos, e a minha irmã de coração, Paula Cristalli, por participarem e me apoiarem neste grande feito: ser o primeiro engenheiro e primeiro graduado em uma universidade pública da família Lisboa.

Agradeço a Janaína Lima pela ajuda com a revisão, formatação e apoio durante escrita do TCC. Reconheço também os colegas de trabalho e da igreja que proferiram suporte durante a graduação.

Agradeço a banca, professores Wellington e Aguayo, pelo reconhecimento dos esforços, mas principalmente pelos ensinamentos em meu tempo na faculdade. Agradeço também ao professor e orientador Sébastien Rondineau, que buscou em mim um maior potencial, ao qual eu não sabia que tinha.

*“Dê-me, Senhor, agudeza para entender,
capacidade para reter, método e faculdade para aprender,
sutileza para interpretar, graça e abundância para falar,
acerto ao começar, direção ao progredir e perfeição ao concluir...”*
(São Thomas de Aquino)

Resumo

Este presente trabalho retrata o motivo e o desenvolvimento de um circuito chaveador na banda Ku que posteriormente, em uma parte futura do projeto, será usado como elemento de uma matriz de comutadores. Esta matriz futuramente fará parte de um sistema irradiante com lentes de Rotman e com um arranjo de antenas e também faz parte de um projeto de um transceptor móvel na banda Ku. O chaveador microondas e a matriz de chaveadores microondas foram projetados com diodos PIN em paralelo devido à necessidade de baixa perda de inserção, de um alto isolamento, de uma baixa perda de retorno e possivelmente de uma alta potência incidente. O circuito foi desenvolvido, simulado e fabricado em microfita sobre substrato. O chaveador não foi testado devido à defeitos cometidos por erros do fabricante durante o processo de fabricação.

Palavras-chave: Chaveador microondas. Matriz de chaveadores microondas. Banda Ku. Diodo PIN. Terminal móvel.

Abstract

This paper describes the reason and the development of a switching circuit in the Ku band that later, in a future part of the project, will be used as an element of an array of switches. This array will in future be part of a radiating system with Rotman lenses and an array of antennas and is also part of a design of a mobile transceiver in the Ku band. The microwave switch and the microwave switch matrix were designed with PIN diodes in parallel because of the need for low insertion loss, high insulation, low return loss and possibly a high incident power. The circuit was developed, simulated and manufactured in microstrip on substrate. The switch was not tested due to defects caused by manufacturer errors during the manufacturing process.

Key-words: Microwave switch. Microwave switch matrix. Ku band. Pin diode. Mobile terminal.

Lista de ilustrações

Figura 1 – Diagrama do sistema geral do projeto mostrando os subsistemas e a divisão do sinal em frequência intermediária e em rádio frequência. Fonte: Elaboração própria.	29
Figura 2 – Diagrama do sistema geral do projeto mostrando o transceptor IF, transceptor RF e o sistema irradiante com seus subsistemas. Fonte: Elaboração própria.	30
Figura 3 – Diagrama do Transceptor RF heteródino do projeto com seus subcomponentes mostrando o caminho da transmissão e da recepção. Fonte: Elaboração própria.	31
Figura 4 – Diagrama do Sistema Irradiante do projeto mostrando a matriz de chaveadores, lentes de Rotman e o arranjo de antenas. Fonte: Elaboração própria.	31
Figura 5 – Diagrama do Sistema Irradiante do projeto mostrando em detalhe a forma de ligação entre matriz-lente, lente-lente, e lente-arranjo de antenas. Fonte: Elaboração própria.	32
Figura 6 – Configuração de (a)Arranjo Linear $N \times 1$ com espaçamento d entre elementos e de (b)Arranjo Bidimensional $N \times N$ com espaçamento horizontal de d_Y e vertical d_Z entre elementos. Fonte: Volakis (2007).	33
Figura 7 – Diagrama da lente de Rotman com M portas de feixe à esquerda e N portas de arranjo à direita ligadas a antenas dispostas de forma linear por linhas de transmissão. O diagrama mostra também os três focos F_0 , F_1 e F_2 , e as distâncias focais G e F juntamente com o ângulo de feixe ϕ_s e os comprimentos δ_N das linhas de transmissão. Fonte: Adaptado de Haupt (2010).	34
Figura 8 – Comutadores SPDT cascadeados mostrando n níveis a exemplificar a montagem de uma matriz de chaveadores RF. Fonte: Elaboração própria.	35
Figura 9 – Elemento de controle em (a)Série e em (b)Paralelo. Parte pontilhada representando elemento de controle como quadripolo. Fonte: Caverly (2016).	37
Figura 10 – Esquema simplificado do elemento de controle com diferentes impedâncias. Acima, impedância R_{ON} quando permite a passagem do sinal em ON. Abaixo, impedâncias R_{OFF} e C_{OFF} quando não permite a passagem do sinal em OFF. Fonte: Caverly (2016)	38
Figura 11 – Esquema simplificado da construção de um diodo do tipo PIN com as dopagens p e n e entre elas a região intrínseca I . Fonte: Ludwig e Bogdanov (2009)	41

Figura 12 – (a)Diodo PIN Polarizado inversamente. (b)Diodo PIN Polarizado diretamente. Fonte: Pozar (2012)	41
Figura 13 – Exemplo de curva $V \times I$ característica do Diodo PIN, mostrando V_F como tensão direta, V_{REV} como tensão reversa e V_B como tensão de ruptura. Fonte: Adaptado de Microsemi Corporation (1998).	42
Figura 14 – Diferentes topologias mostrando para diferentes posições dos elementos de controle – (a) série, (b) paralelo e (c) série-paralelo – em um chaveador SPDT. Fonte: Elaboração própria.	47
Figura 15 – Diagrama de um circuito chaveador SPDT com (a) um diodo e paralelo e (b) com dois diodos em paralelo, separados por uma linha de transmissão de $\lambda/4$. Fonte: Elaboração própria.	51
Figura 16 – Resultados da simulação de um SPDT com um diodo por canal mostrando a esquerda S_{11} como RL, S_{21} como IL e S_{31} como ISO e a direita em detalhe a perda de inserção. Fonte: Elaboração própria.	52
Figura 17 – Resultados da simulação de um SPDT com dois diodos por canal mostrando a esquerda S_{11} como RL, S_{21} como IL e S_{31} como ISO e a direita em detalhe a perda de inserção. Fonte: Elaboração própria.	52
Figura 18 – Circuito chaveador SPDT em microfita no ambiente <i>Layout</i> mostrando o canal da porta 1 ao centro (na vertical), e os canais da porta 2 e 3 (na horizontal), respectivamente à esquerda e à direita. Fonte: Elaboração própria.	53
Figura 19 – Diagrama com exemplo de um T de polarização em que o sinal RF e DC são separados por elementos discretos. Fonte: Elaboração própria.	54
Figura 20 – Circuito de polarização do diodo PIN no ambiente <i>Layout</i> do ADS. Circuito de redução da corrente no diodo com um capacitor C de 10 nF em paralelo com resistor R de 50 Ω . Fonte: Elaboração própria.	55
Figura 21 – Circuito de polarização do diodo PIN no ambiente <i>Layout</i> do ADS. T de polarização com <i>stub</i> radial de raio de $\lambda/4$ e linha de acesso de também $\lambda/4$ e 0, 102 mm. Fonte: Elaboração própria.	56
Figura 22 – Circuito chaveador SPDT em microfita completo no ambiente <i>Layout</i> mostrando as medidas do chaveador e do chaveador + linhas de acesso de 5 mm e impedância característica de 50 Ω nas portas 2 e 3. Fonte: Elaboração própria.	57
Figura 23 – Circuito de polarização dos diodos PIN no ambiente <i>Layout</i> do ADS. T de polarização com <i>stub</i> radial duplo de raio de aproximadamente $\lambda/4$ e linha de acesso de também $\lambda/4$ e 0, 160 mm. Fonte: Elaboração própria.	58

Figura 24 – Circuito chaveador SP4T versão 2.0 em microfita completo no ambiente <i>Layout</i> mostrando chaveador, portas (P1 como principal e P2 a P5 para os demais canais) e panlo de terra (em vermelho) com vias <i>through hole</i> . Fonte: Elaboração própria.	59
Figura 25 – Matriz SP16T constituída de 5 chaveadores SP4T v2.0 cascadeados em dois níveis pronta para fabricação. As trilhas mais finas são sinais de controle levados dos chaveadores até pinos (em verde) e vias destinadas a dispositivos de controle (<i>DIP switchs</i> em azul). Em roxo estão pinos para o GND e em amarelo estão os pinos de +1 V, -4 V e GND. Fonte: Elaboração própria.	61
Figura 26 – Simulação dos parâmetros S (magnitude em dB e fase) do circuito SPDT de polarização ideal com a simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.	62
Figura 27 – Simulação do parâmetros S_{21} (magnitude em dB e fase da perda de inserção) do circuito SPDT de polarização ideal com a simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.	63
Figura 28 – Simulação dos parâmetros S_{31} e S_{32} – isolamento entre canais – (magnitude em dB e fase) do circuito SPDT de polarização ideal com a simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.	64
Figura 29 – Simulação LSSP do circuito SPDT de polarização ideal com a simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -) para potência RF transmitida para as portas 2 e 3 a partir de uma fonte de 35 dBm. Fonte: Elaboração própria.	64
Figura 30 – Simulação de parâmetros S do T de polarização. A esquerda perdas de retorno nas portas 1, 2 e 3. A direita transmissão da porta 1 para as portas 2 e 3. Simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.	65
Figura 31 – Simulação de parâmetros S do T de polarização. A esquerda transmissão da porta 4 para as portas 1, 2 e 3. A direita transmissão da porta 3 para as porta 2. Simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.	65
Figura 32 – Simulação do parâmetro S_{11} da polarização do diodo com resistor de 50Ω . Simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.	66

Figura 33 – Simulação LSSP (magnitude em dB e fase) do circuito SPDT com polarização projetada. Porta 1 como fonte do sinal RF, porta 2 desligada e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	67
Figura 34 – Simulação LSSP (magnitude em dB e fase) para o parâmetro S_{31} do circuito SPDT com polarização projetada. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	67
Figura 35 – Simulação LSSP (magnitude em dB e fase) para o parâmetro S_{21} e S_{23} do circuito SPDT com polarização projetada. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	68
Figura 36 – Simulação LSSP do circuito SPDT com polarização projetada para potência RF transmitida para as portas 2 e 3 a partir de uma fonte de 35 dBm. Fonte: Elaboração própria.	68
Figura 37 – Circuito do chaveador RF importado do <i>software</i> de criação de PCIs para ambiente <i>Layout</i> do ADS. Fonte: Elaboração própria.	69
Figura 38 – Simulação LSSP (magnitude em dB e fase) do circuito importado. Porta 1 como fonte do sinal RF, porta 2 desligada e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	70
Figura 39 – Simulação LSSP (magnitude em dB e fase) para o parâmetro S_{31} do circuito importado. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	70
Figura 40 – Simulação LSSP (magnitude em dB e fase) para o parâmetro S_{21} e S_{23} do importado. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	71
Figura 41 – Simulação LSSP para Potências transferidas da porta 1, a 35dBm, para as portas 2 e 3. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	71
Figura 42 – Fotografia da placa com circuito chaveador em perspectiva. Fonte: Elaboração própria.	72
Figura 43 – Fotografia da placa com circuito chaveador a direita e linha de transição a esquerda em vista superior. Fonte: Elaboração própria.	73
Figura 44 – Fotografia do circuito chaveador com porta 1 na vertical e portas 2 e 3 na horizontal, a esquerda e a direita respectivamente. Fonte: Elaboração própria.	74
Figura 45 – Fotografia do circuito chaveador em vista superior sem máscara de solda. Fonte: Elaboração própria.	74

Figura 46 – Fotografia do circuito chaveador em vista superior sem máscara de solda com falhas nas trilhas de microfita circulos em vermelho. Fonte: Elaboração própria.	75
Figura 47 – Fotografia do circuito chaveador com detalhe em vermelho falha na trilha de microfita que polariza o canal direito. Fonte: Elaboração própria.	76
Figura 48 – Fotografia do circuito chaveador com detalhe em vermelho falha na trilha de microfita que polariza o canal esquerdo. Fonte: Elaboração própria.	76
Figura 49 – Fotografia do circuito chaveador em vista inferior sem máscara de solda. Fonte: Elaboração própria.	77
Figura 50 – Fotografia do circuito chaveador em vista lateral mostrando as duas camadas de substrato, sendo a mais clara e de baixo o FR4 e a mais escura e de cima o AD250C. Fonte: Elaboração própria.	77
Figura 51 – Fotografia do circuito chaveador SPDT da segunda rodada de fabricação em vista superior mostrando o plano de terra e vias para manter o plano de terra equipotencial. Fonte: Elaboração própria.	78
Figura 52 – Simulação dos parâmetros S do circuito de polarização com dois <i>stubs</i> radiais em simulação EM. A esquerda S_{11} , S_{21} , S_{31} e S_{32} , e a direita a IL representada pelo parâmetro S_{21} . Fonte: Elaboração própria.	79
Figura 53 – Circuito chaveador SP4T versão 2.0 em microfita completo no ambiente <i>Layout</i> mostrando as medidas do chaveador e as portas (P1 como principal e P2 a P5 para os demais canais). Fonte: Elaboração própria.	80
Figura 54 – Simulação LSSP do SP4T v2.0 para potências transferidas da porta 1, para as portas 2, 3, 4 e 5. Porta 1 como fonte do sinal RF e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	80
Figura 55 – Simulação LSSP do SP4T v2.0 para porta 1 como fonte do sinal RF de 35 dBm e a porta 5 ligada para a passagem do sinal RF. A esquerda está a IL e a direita estão as potências que chegam a todas as portas. Fonte: Elaboração própria.	81
Figura 56 – Simulação LSSP do SP4T v2.0 mostrando o isolamento entre as portas com a porta 1 como fonte do sinal RF e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	81
Figura 57 – Análise de <i>Yield</i> para o circuito SP4T v2.0 mostrando os parâmetros S para a porta 1 e 250 iterações. Fonte: Elaboração própria.	83
Figura 58 – Análise de <i>Yield</i> para o circuito SP4T v2.0 mostrando os parâmetros S para o isolamento entre as portas e 250 iterações. Fonte: Elaboração própria.	83

Figura 59 – Análise de <i>Yield</i> para o circuito SP4T v2.0 mostrando o parâmetro S_{12} para 250 iterações. Também é mostrada a linha determinada para a verificação da confiabilidade em $-2,5$ dB. Apenas 11 curvas ficaram abaixo do valor especificado. Fonte: Elaboração própria.	84
Figura 60 – <i>Simulação LSSP</i> Layout da MSM SP16T mostrando os dois SP4Ts v2.0 cascadeados devido a necessidade de um processamento mais rápido. Também são mostradas as porta de 1 a 8. Fonte: Elaboração própria.	85
Figura 61 – Simulação LSSP da MSM SP16T para a porta 1 em relação as demais com a porta 3 ligada. Fonte: Elaboração própria.	85
Figura 62 – Simulação LSSP da MSM SP16T para a porta 3 em relação as demais com a porta 3 ligada. Fonte: Elaboração própria.	86
Figura 63 – Simulação LSSP da MSM SP16T mostrando as RLs de cada uma das portas (de 1 a 8) com a porta 3 ligada. Fonte: Elaboração própria.	86
Figura 64 – Simulação LSSP da MSM SP16T mostrando as potências que chegam as portas de 2 a 8 para a porta 3 ligada e porta 1 com uma fonte de 35 dBm. Fonte: Elaboração própria.	87
Figura 65 – Impedância em uma linha de transmissão terminada em curto normalizada em função do comprimento elétrico. Fonte: Pozar (2012)	95
Figura 66 – Impedância em uma linha de transmissão terminada em aberto normalizada em função do comprimento elétrico. Fonte: Pozar (2012)	95
Figura 67 – Circuito SP4T em sua primeira versão, mostrando as portas P1 a P5. Fonte: Elaboração própria.	108
Figura 68 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	108
Figura 69 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	109
Figura 70 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0. S_{21} à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	109
Figura 71 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	110
Figura 72 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	110

Figura 73 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0. S_31 à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	111
Figura 74 – Fotografia do circuito do SP4T v1.0 com vias ligando os dois planos de terra. Fonte: Elaboração própria.	112
Figura 75 – Circuito SP4T em sua terceira versão, mostrando as portas P1 a P5. Fonte: Elaboração própria.	112
Figura 76 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	113
Figura 77 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	113
Figura 78 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0. S_21 à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	114
Figura 79 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	114
Figura 80 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	115
Figura 81 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0. S_31 à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	115
Figura 82 – Circuito SP4T em sua quarta versão, representando as portas P1 a P5. São mostrados na figura, a porta 1 na camada de sinal inferior em verde, as demais portas na camada superior em marrom e os rasgos no plano de terra em amarelo. Fonte: Elaboração própria.	116
Figura 83 – Estilo de empilhamento das camadas de substrato AD250C TM de 0.508 mm e cobre para o circuito SP4T v4.0. As camadas de sinal são as de condutor superior e inferior e a camada de condutor entre elas é o terra. Fonte: Elaboração própria.	117

Figura 84 – Figura do circuito SP4T v4.0 em perspectiva no ambiente <i>Layout</i> do ADS. São mostrados na figura, a porta 1 na camada de sinal inferior em verde, as demais portas na camada superior em marrom e a via que liga as duas camadas. Fonte: Elaboração própria.	117
Figura 85 – Simulação LSSP (magnitude em dB) para o circuito SP4T v4.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	118
Figura 86 – Simulação LSSP (magnitude em dB) para o circuito SP4T v4.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	118
Figura 87 – Simulação LSSP (magnitude em dB) para o circuito SP4T v4.0. S_{51} à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.	119
Figura 88 – Placa de sistemas e componentes RF projetada com SPDT. Fonte: Guilherme Felix de Andrade, Matheus Pereira Santana, Vitor Carvalho de Almeida e Vinícius Lisboa do Nascimento.	133
Figura 89 – Placa de sistemas e componentes RF projetada com SP4T v2.0. Fonte: Guilherme Felix de Andrade, Matheus Pereira Santana, Vitor Carvalho de Almeida e Vinícius Lisboa do Nascimento.	134
Figura 90 – Placa de sistemas e componentes RF projetada com SP16T. Fonte: Guilherme Felix de Andrade, Matheus Pereira Santana, Vitor Carvalho de Almeida e Vinícius Lisboa do Nascimento.	137

Lista de tabelas

Tabela 1 – Requisitos do sistema que afetam a escolha do chaveador	46
Tabela 2 – Pesquisa de mercado de chaveadores para banda Ku	46
Tabela 3 – Comparação entre chaveadores com diferentes elementos de controle. Adaptado de Keysight Technologies (2017, p. 13)	48
Tabela 4 – Comparação entre diodos com diferentes parâmetros dentro das especificações do projeto.	49
Tabela 5 – Principais especificações do substrato AD250C™. Fonte: Rogers Corporation (2018)	50
Tabela 6 – Principais capacidades técnicas em valores mínimos da Micropress que afetam o projeto do chaveador RF. Fonte: Micropress (2019).	50
Tabela 7 – Valores em módulo das correntes sobre os diodos durante simulação DC. Fonte: Elaboração própria.	72

Lista de abreviaturas e siglas

ADS	<i>Advanced Design System</i> da Keysight
CW	Onda contínua
DC	Corrente contínua
EM	Eletromagnetismo/Eletromagnética
FET	Transistor de efeito de campo
GaAs	Arsenieto de gálio
HB	Simulação de equilíbrio harmônico do ADS
IF	Frequência intermediária
IL	Perda de inserção
ISO	Isolamento
LSSP	Simulação de parâmetros S para grandes sinais do ADS
MEMS	Sistema microeletromecânico
mmWave	Onda milimétrica
MSM	Matriz de chaveadores de microondas
PA	Amplificador de potência
PCI	Placa de circuito impresso
LNA	Amplificador de baixo ruído
LO	Oscilador local
LT	Linha de transmissão
RDS	Rádio definido por software
RF	Frequência de rádio
RL	Perda de retorno
RX	Recepção

SMA	<i>Subminiature version A</i>
SMD	Componentes para montagem em superfície
SMP	<i>Subminiature push-on</i>
SP2T	<i>Single-pass double-throw</i>
SP4T	<i>Single-pass four-throw</i>
SPDT	<i>Single-pass double-throw</i>
SPST	<i>Single-pass single-throw</i>
TX	Transmissão
UnB	Universidade de Brasília

Lista de símbolos

N	Numero de antenas de um arranjo em um eixo
a_N	Antena na posição N de um arranjo linear
a_{NM}	Antena na posição NM de um arranjo $N \times M$
d	Distância entre antenas para um arranjo linear
d_z	Distância entre antenas no eixo z
d_y	Distância entre antenas no eixo y
θ	Ângulo azimutal de apontamento
ϕ	Ângulo de elevação
E_{Total}	Campo elétrico do arranjo de antenas
$E_{elemento}$	Campo elétrico de uma antena
a_n	Coefficiente de excitação
k_0	Número de onda em espaço livre
β	Progressão de fase
G	Eixo principal da lente de <i>bootlace</i>
F	Distância focal
F_0	Ponto focal sobre o eixo principal
$F_1.F_2$	Pontos focais fora da lente
N	Numero de antenas de um arranjo em um eixo
ϕ_s	Ângulo do feixe
σ_N	Comprimento das linhas de transmissão que dá acesso a antena N
M	Número de portas de feixes
δ_0	Comprimento mínimo da linha de transmissão
δ_N	Comprimento excedente para a porta N

x_N	Posição no eixo x dos elementos radiantes
y_N	Posição no eixo y dos elementos radiantes
x_{pN}	Posição no eixo x de portas de elementos
y_{pN}	Posição no eixo y de portas de elementos
x_{bM}	Posição no eixo x de portas de de feixe
y_{bM}	Posição no eixo y de portas de feixe
Z_0	Impedância característica
Z_{CTL}	Impedância do elemento de controle
Z_{load}	Impedância da carga
V_g	Tensão de pico da fonte
V_{load}	Tensão sobre a carga
I_{load}	Corrente sobre a carga
P_A	Potência disponível à carga pela fonte
P_{load}	Potência sobre a carga
Re	Parte real
R_{ON}	Resistência para um elemento de controle polarizado diretamente
R_{OFF}	Resistência para um elemento de controle polarizado inversamente
C_{OFF}	Capacitância para um elemento de controle polarizado inversamente
P_{REF}	Potência refletida
Γ	Coefficiente de reflexão
j	Unidade imaginária
ω	Frequência angular
Z_r	Impedância do diodo polarizado inversamente
Z_f	Impedância do diodo polarizado diretamente
L_i	Indutância característica do diodo
R_r	Resistência do diodo polarizado inversamente

R_f	Resistência do diodo polarizado diretamente
C_j	Capacitância da junção do diodo quando polarizado inversamente
V_{REV}	Tensão de polarização inversa
V_B	Tensão de ruptura
V_F	Tensão de polarização direta
E_m	Campo elétrico de ruptura
W	largura do canal do diodo
τ_m	Tempo de chaveamento
P_m	Potência máxima
V_{RMS}	Tensão eficaz
S_{ij}	Parâmetro de espalhamento da porta j para a porta i
A_j	Onda incidente
B_i	Onda refletida
V_i	Coefficiente de Fourier, na frequência fundamental, para a tensão na porta i
V_j	Coefficiente de Fourier, na frequência fundamental, para a tensão na porta j
I_i	Coefficiente de Fourier, na frequência fundamental, para a corrente na porta i
I_j	Coefficiente de Fourier, na frequência fundamental, para a corrente na porta j
Z_{0i}	Impedância de referência na porta i
Z_{0j}	Impedância de referência na porta j
R_{0i}	Parte real da impedância de referência na porta i
R_{0j}	Parte real da impedância de referência na porta j
P_1	Potência do sinal na porta 1
P_2	Potência do sinal na porta 2

λ	Comprimento de onda
ε_s	Constante de permissividade elétrica de um substrato
$\tan \delta$	Tangente de perdas de um substrato
f	Frequência
f_c	Frequência central
Z_{cap}	Impedância de um capacitor
C	Capacitância
Ω	Ohm

Sumário

1	INTRODUÇÃO	26
1.1	Contextualização e Problematização	26
1.2	Justificativa	27
1.3	Objetivo Geral	27
1.3.1	Objetivos específicos	27
1.4	Estrutura da Dissertação	28
2	FUNDAMENTAÇÃO TEÓRICA	29
2.1	Visão Geral de um Transceptor	30
2.1.1	Sistema irradiante	31
2.1.1.1	Arranjo de antenas	32
2.1.1.2	Lente de Rotman	34
2.1.1.3	Matriz de Chaveadores RF	35
2.2	Chaveador RF	36
2.2.1	Chaveador Reflexivo em Série	38
2.2.2	Chaveador Reflexivo em Paralelo	39
2.3	Diodo PIN	40
2.3.1	Velocidade de Chaveamento	42
2.3.2	Capacidade de Potência	43
2.4	Simulação de Parâmetros S para Grandes Sinais	43
3	DESENVOLVIMENTO DO CHAVEADOR	45
3.1	Escolha do chaveador	45
3.1.1	O Estado da Arte	45
3.1.2	Pesquisa de mercado	45
3.2	Projeto do chaveador elementar	47
3.2.1	Topologias de chaveadores	47
3.2.2	Elemento de Controle	48
3.2.3	Escolha do diodo PIN	49
3.2.4	Limitações do substrato e de fabricação	49
3.2.5	Simulações a nível de circuito	50
3.2.6	Desenvolvimento do circuito SPDT	53
3.2.6.1	Circuito de polarização	54
3.2.6.2	Circuito completo SP2T	56
3.2.7	Desenvolvimento do circuito SP4T	57
3.2.7.1	Circuito de polarização do SP4T	58

3.2.7.2	Circuito completo SP4T	58
3.3	Matriz SP16T	60
4	SIMULAÇÕES, RESULTADOS E ANÁLISE	62
4.1	Simulações SPDT	62
4.1.1	Circuito com polarização ideal	62
4.1.2	T de polarização	64
4.1.3	Polarização do Diodo	66
4.1.4	Circuito completo	66
4.1.5	Circuito impresso em placa	68
4.2	Análise e circuito impresso SPDT	72
4.3	Simulações SP4T	78
4.3.1	T de polarização com <i>stub</i> radial duplo	79
4.3.2	Circuito completo SP4T	79
4.3.3	Análise Estatística de Desempenho - <i>Yield</i>	82
4.4	Simulações Matriz SP16T	84
5	CONCLUSÃO	88
	REFERÊNCIAS	90
	APÊNDICES	93
	APÊNDICE A – LINHAS DE TRANSMISSÃO	94
	APÊNDICE B – ESQUEMÁTICOS DO CIRCUITO SPDT	96
B.1	T de Polarização	96
B.2	Polarização do Diodo	99
B.3	Circuito SPDT	102
B.4	Circuito SPDT Completo	105
	APÊNDICE C – CIRCUITOS SP4T	108
C.1	SP4T Versão 1.0	108
C.2	SP4T Versão 3.0	112
C.3	SP4T Versão 4.0	115
	APÊNDICE D – PROCEDIMENTOS DE TESTE	120
D.1	Registro de teste SPDT	120
D.2	Registro de teste SP4T v1.0	126
	ANEXO A – PLACA RF COM CIRCUITO DO CHAVEADOR SPDT	133

ANEXO B – PLACA RF COM CIRCUITO DO CHAVEADOR SP4T V2.0	134
ANEXO C – PLACA RF COM CIRCUITO DA MATRIZ DE CHA- VEADORES SP16T	137

1 Introdução

1.1 Contextualização e Problematização

A comunicação por satélite é uma ferramenta relevante para a vida nos tempos atuais, tornando-se cada vez mais necessária. É uma quantia enorme de dados em trânsito a todo momento por este meio, sem a necessidade de uma pessoa estar imóvel ou atrelado a cabos. Este modo de comunicação é muito utilizado para transmissões intercontinentais, navegação, terminais móveis (celular via satélite, rastreadores, dispositivos GPS etc.) e uso militar (ANATEL, 2015).

Uma empresa patrocinadora, em busca do desenvolvimento de novas tecnologias de transceptores móveis via satélite, iniciou em conjunto com a UnB (Universidade de Brasília), um projeto de comunicação via satélite em terminais móveis. A entidade visa que sejam reduzidos os custos ao passo que se aumente a eficiência almejando criar um novo sistema irradiante e atualizar seu grupo de transceptores móveis para toda a frota (caminhões, carros, barcos, etc).

Transceptores móveis são dispositivos que transmitem e recebem sinais de um satélite geoestacionário, que por sua vez se comunicam com uma estação fixa. A parte transmissora transforma um sinal digital em banda base, deslocando-o para frequências mais altas e amplificando sua potência para que seja entregue ao sistema irradiante. Para a cadeia de retorno/recepção o sinal analógico em RF (frequência de rádio) é advindo do sistema irradiante, amplificado por ter uma potência muito baixa e convertido para banda base. (LEENAERTS; TANG; VAUCHER, 2001)

O conjunto irradiante, explicitado acima, é um sistema que permite a transferências de sinais por meio do ar ou vácuo na forma de ondas eletromagnéticas. O sistema é composto por um arranjo de antenas em fase e um formador de feixe. O arranjo de antenas¹ consiste em múltiplos elementos radiantes colocados em um certo padrão (VOLAKIS, 2007).

Já o formador de feixe² é composto por duas partes: defasadores (Lentes de Rotman) – que são lentes bidimensionais em microfita sobre placas paralelas, de modo a alimentar os elementos radiantes (CARLEGRIM; PETTERSSON, 1992) – e chaveadores RF – dispositivos capazes de controlar a alternância de sinais advindos de antenas para receber ou transmitir informação (HINDLE, 2010).

Este sistema é promissor para que isso aconteça, pois eleva o ganho da antena, tem

¹ *antenna array* em inglês.

² *beamformer* em inglês.

um feixe mais colimado e é mecanicamente mais confiáveis, por não precisar de movimentação (MAILLOUX, 2017). Por outro lado, sua formação de feixes é mais complicada, necessitando de algo que selecione rapidamente qual feixe deve ser usado em conjunto com um sistema de apontamento para o satélite (FAKHARZADEH et al., 2007).

O intuito é pesquisar as tecnologias envolvidas no desenvolvimento de um chaveador³ RF e uma matriz de chaveadores RF⁴ (MSM) em banda Ku (IEEE..., 2003), e projetar um protótipo de comutador e de MSM com rápida transição entre feixes e baixa perda de inserção, considerando que o sinal recebido é extremamente atenuado pelo percurso satélite-terminal móvel e suas condições meteorológicas. Também serão pontuados os empecilhos que afetam o projeto de um chaveador para onda milimétrica⁵.

1.2 Justificativa

O chaveador RF faz o papel de alternar entre os sinais desejados. Este é um elemento essencial para que toda a cadeia de transmissão funcione. Existem outras tecnologias semelhantes como às vistas em Mailloux (2017), mas o chaveador foi escolhido por ter um valor reduzido em comparação às outras, e por ter uma construção e uma lógica para o sistema de apontamento mais fáceis.

1.3 Objetivo Geral

Identificar chaveadores comerciais, tecnologias e topologias de chaveadores aplicáveis a um sistema de arranjo de antenas e ao transceptor móvel em banda Ku e desenvolver um chaveador RF e uma matriz de comutadores para esta aplicação.

1.3.1 Objetivos específicos

- Analisar tecnologias existentes de chaveadores RF;
- Analisar chaveadores comerciais em banda Ku viáveis;
- Analisar e definir topologias de chaveadores aplicáveis ao projeto;
- Projetar e otimizar um chaveador em software de simulação eletromagnética.
- Projetar uma matriz chaveadores em software de simulação eletromagnética.

³ *switch* em inglês.

⁴ *Microwave Switch Matrix* em inglês.

⁵ *millimeter-wave (mmWave)* em inglês.

1.4 Estrutura da Dissertação

O trabalho está organizado de forma a levar a acompanhar o desenvolvimento do projeto. O Capítulo 2 expõe os conhecimentos necessários para a compreensão do projeto como um todo e do chaveador, como explicações do projeto geral, transceptores, arranjo de antenas, lentes de Rotman, elementos de controle, topologias de chaveadores RF, diodos Pin. No capítulo 3 são apresentados os métodos para o desenvolvimento de um chaveador e de uma matriz de comutadores RF em banda Ku. O Capítulo 4 expõe os resultados das simulações dos circuitos criados e uma análise do que foi feito e fabricado. Ao final, o Capítulo 5 faz um resumo do que foi desenvolvido durante esta dissertação e um breve comentário sobre os resultados. O último capítulo também aponta para a próxima fase do desenvolvimento do chaveador RF e da matriz.

2 Fundamentação do Projeto

O projeto do terminal móvel da empresa comporta diversas áreas do conhecimento e da tecnologia. São desenvolvidos estudos em enlace, *Link Budget*¹, rádio definido por software, circuito integrado e circuitaria RF.

O sistema geral (Figura 1) é constituído por um Rádio Definido por Software (RDS) que leva o sinal em banda base para o Sistema de Transceptor IF (frequência intermediária) em *chip*. Posteriormente o sinal IF é levado ao Transceptor RF em que a frequência é aumentada mais uma vez para que possa ser transmitido pelo Sistema Irradiante.

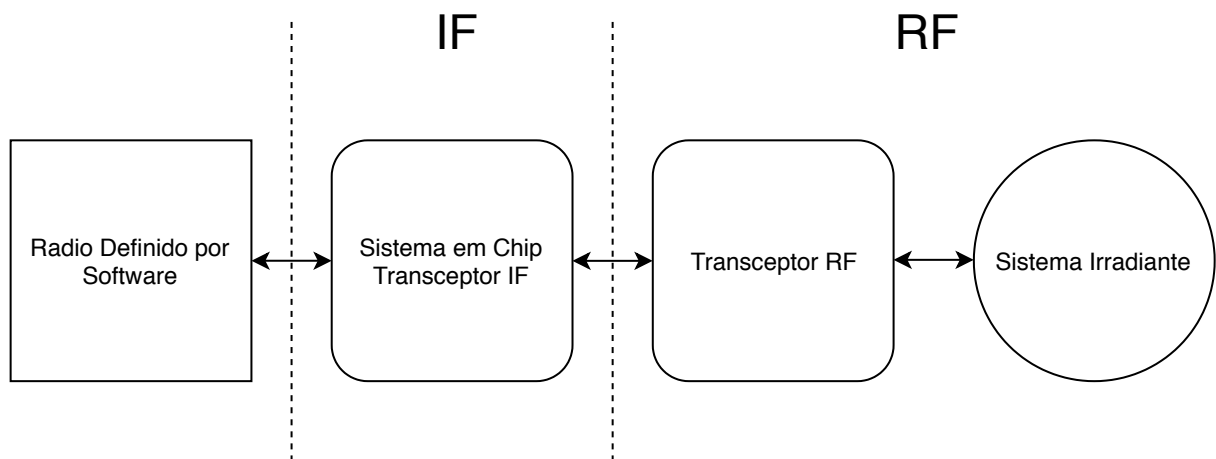


Figura 1 – Diagrama do sistema geral do projeto mostrando os subsistemas e a divisão do sinal em frequência intermediária e em rádio frequência. Fonte: Elaboração própria.

O mesmo pode ser feito para a recepção em que o sinal é recebido do satélite pelo Sistema Irradiante e o Transceptor RF reduz a frequência. O sinal no Transceptor IF tem a frequência reduzida mais uma vez para que possa ser utilizado pelo RDS.

O *switch* RF está inserido na parte RF do projeto (Figura 2) que contam principalmente com a transceptor, e sistema irradiante e afins que os constituam (arranjo de antenas, lente de Rotman, etc) e serão descritos nas próximas seções.

¹ balanço de potência do enlace de comunicação.

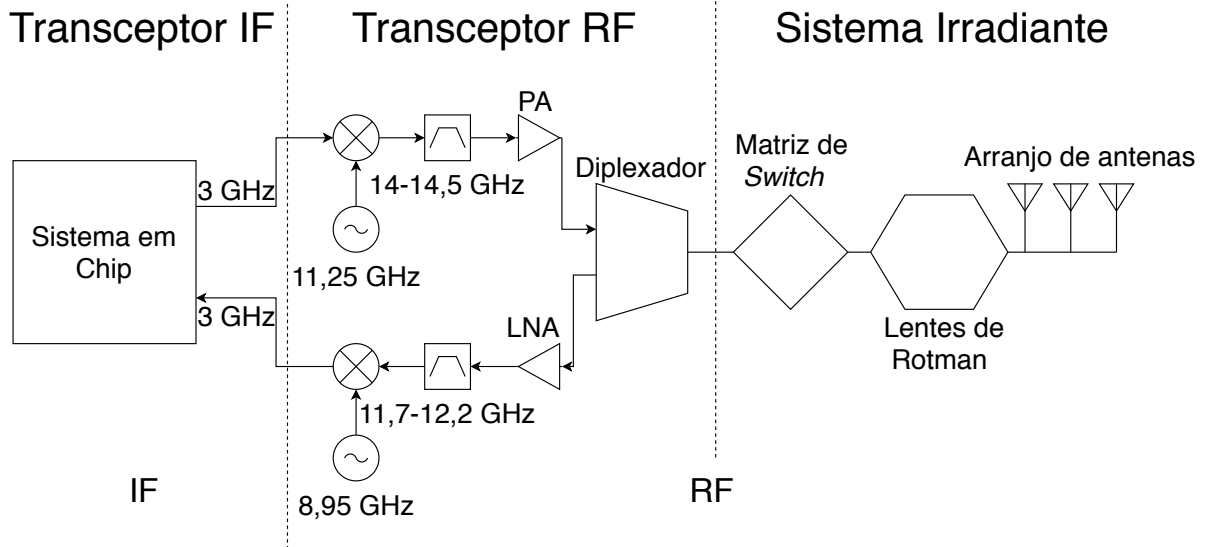


Figura 2 – Diagrama do sistema geral do projeto mostrando o transceptor IF, transceptor RF e o sistema irradiante com seus subsistemas. Fonte: Elaboração própria.

2.1 Visão Geral de um Transceptor

Uma das partes principais de um terminal móvel de telecomunicações é o transceptor, sistema contendo simultaneamente transmissor e receptor. Nesta plataforma o receptor recebe e transforma sinais de antenas em sinais que podem ser convertidos digitalmente. Já o transmissor converte o sinal em banda base para frequência intermediária e posteriormente para a mesma utilizada pelo satélite a ser entregue para as antenas. Mais especificações do módulo transmissor foram descritas por Almeida (2018).

Para a empresa, o transceptor (Figura 3) deve operar na banda Ku – transmitir entre 14 GHz e 14,5 GHz e receber entre 11,7 GHz e 12,2 GHz. Os canais devem ser de 50 MHz podendo ser alterados por toda a banda de 500 MHz.

O primeiro estágio converte um sinal em banda base para IF (frequência intermediária) de 3 GHz. O segundo estágio eleva esta frequência com osciladores locais e um misturador² posteriormente passando por um filtro na banda destinada à transmissão na faixa Ku. Em seguida, o sinal tem sua potência aumentada por um amplificador de potência para que a informação seja entregue ao satélite à quilômetros de distância.

Devido a grande atenuação do sinal na recepção (cerca de -110 dBm) o mesmo recebe um ganho ao passar pelo LNA (Amplificador de baixo ruído) e posteriormente filtrado na faixa de recepção da banda Ku. O sinal passa por um *mixer* para ter sua frequência reduzida em torno de 3 GHz com ajuda de um LO (Oscilador Local) na frequência de 8,95 GHz. Assim os bits podem ser processados por um Transceptor IF em *chip*.

² *mixer* em inglês.

ligada a um empilhamento de lentes de Rotman verticais, que estará ligada a lentes horizontais e por fim conectada ao arranjo de antenas (Figura 5). Isto proporciona um plano de apontamento normal a direção de apontamento, fazendo com que as direções dos feixes sejam determinadas pelas Lentes de Rotman e pela matriz de comutadores.

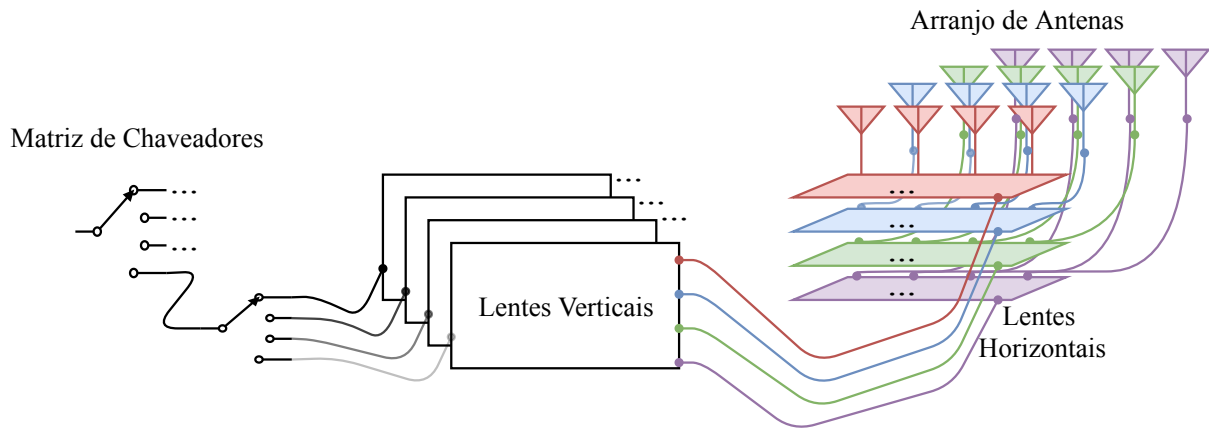


Figura 5 – Diagrama do Sistema Irradiante do projeto mostrando em detalhe a forma de ligação entre matriz-lente, lente-lente, e lente-arranjo de antenas. Fonte: Elaboração própria.

2.1.1.1 Arranjo de antenas

Uma antena é um elemento que transmite e recebe energia eletromagnética. Mais usualmente utiliza-se um único elemento que pode ter parâmetros diversos como tipo, frequência de operação, largura de banda, ganho entre outros fatores (MA, 1974). Mas as vezes o desempenho de uma única antena não atende a uma certa demanda.

Segundo Ma (1974), o sistema de arranjo de antenas é utilizado para aplicações que exigem um ganho elevado, juntamente com um maior controle do feixe principal, como no caso do projeto do transceptor da entidade que custeia o projeto. Para que o terminal de comunicação móvel seja homologado, é necessário que o equipamento atenda às normas estabelecidas de potência irradiada, abertura de feixe de meia potência, entre outros (ANATEL, 2018b; ANATEL, 2018a). O arranjo ajuda a atender a estes requisitos e a melhorar a transmissão.

Geralmente os elementos constituintes do arranjo são idênticos e têm a mesma orientação, mas também podem ser diferentes entre si para o alcance de determinados aspectos. Um arranjo linear de elementos discretos (o tipo mais simples) é um conjunto de antenas espaçadas e dispostas linearmente (Figura 6(a)) se comportando como uma única antena.

Para um arranjo, alguns dos aspectos mais importantes são: o número de ele-

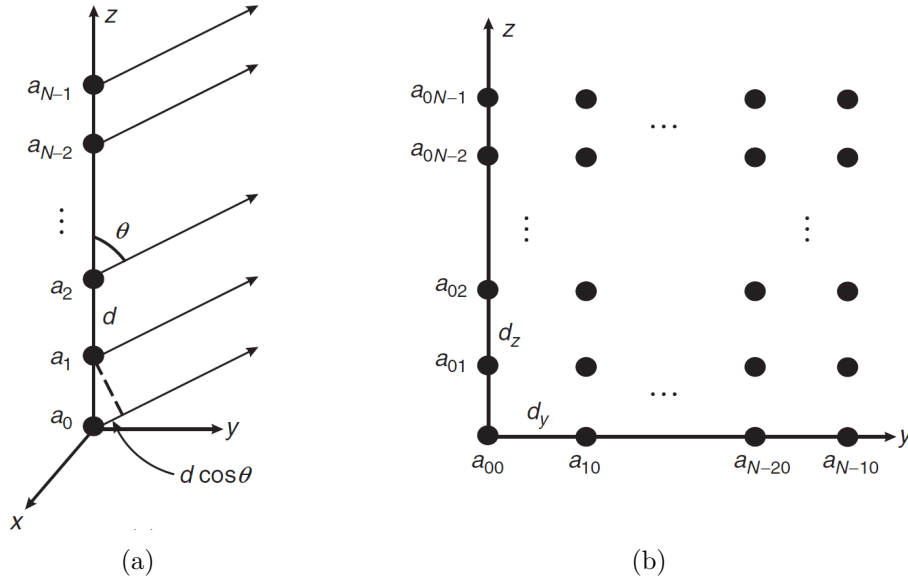


Figura 6 – Configuração de (a)Arranjo Linear $N \times 1$ com espaçamento d entre elementos e de (b)Arranjo Bidimensional $N \times N$ com espaçamento horizontal de d_y e vertical d_z entre elementos. Fonte: Volakis (2007).

mentos, a disposição espacial, o padrão de irradiação da antena elementar e a função de excitação de fase. A partir destes, os parâmetros do arranjo podem ser determinados: padrão de irradiação do arranjo, diretividade, ganho e impedância (MA, 1974).

Seguindo as Figuras 6(a) e 6(b), em um arranjo de N elementos espaçados igualmente de d a intensidade total do campo elétrico em campo distante³ E_{Total} pode ser calculada como

$$E_{Total} = E_{elemento}(\theta, \phi) \sum_{n=0}^{N-1} a_n e^{jn(k_0 d \cos \theta - \beta)} \quad (2.1)$$

, onde $E_{elemento}$ é o campo elétrico de um único elemento dos vários que constituem o arranjo, a_n a amplitude do elemento individual, k_0 o número de onda em espaço livre e β é a progressão de fase de um elemento para outro (VOLAKIS, 2007).

Para um apontamento com mudanças na elevação e no azimute – como o requisitado pelo projeto – é necessário um arranjo bidimensional (Figura 6(b)). Além disto é preciso que algo mude a frente de onda para a direcionar o feixe do arranjo.

O elemento irradiante e o arranjo utilizados provavelmente serão os criados por Figueiredo e Nascimento (2019) e apresentado durante a 2019 Workshop on Communication Networks and Power Systems (WCNPS) com algumas modificações.

³ *far-field* em inglês.

2.1.1.2 Lente de Rotman

Lente de *bootlace* é um tipo de lente em que dois arranjos são acomodados de costas um para o outro por meio de linhas de transmissão, defasadores, etc. O formato dos elementos da entrada e saída, comprimento da linha de transmissão entre ambos e peso da fase determinam a performance da lente (HAUPT, 2010).

As lentes grande angulares bidimensionais de microondas, mais conhecidas como Lentes de Rotman (ROTMAN; TURNER, 1963), são um tipo de lente de *bootlace* com três pontos focais – dois fora do eixo principal (F_1 e F_2) e um no eixo principal (G) – muito utilizadas por arranjos de antenas. Elas formam simultaneamente múltiplos feixes para a matriz de antenas.

De um lado são dispostos M portas de feixe ao redor da curva da lente (chamada de curva focal) que transmitem/recebem para o lado oposto da lente de Rotman para a matriz de N portas para o arranjo de antenas. Os indivíduos dessa matriz são ordenados de forma linear. Cada porta de feixe cria um fator de arranjo dos demais elementos do arranjo baseado na geometria da própria lente (HAUPT, 2010).

A Figura 7 descreve as variáveis que compõem a lente de Rotman. Entre elas está o ângulo da frente de onda $-\phi_s$ é o mesmo do ângulo da porta de feixe fonte do sinal. Deste modo é possível cobrir M ângulos de apontamento para o arranjo linear de N antenas.

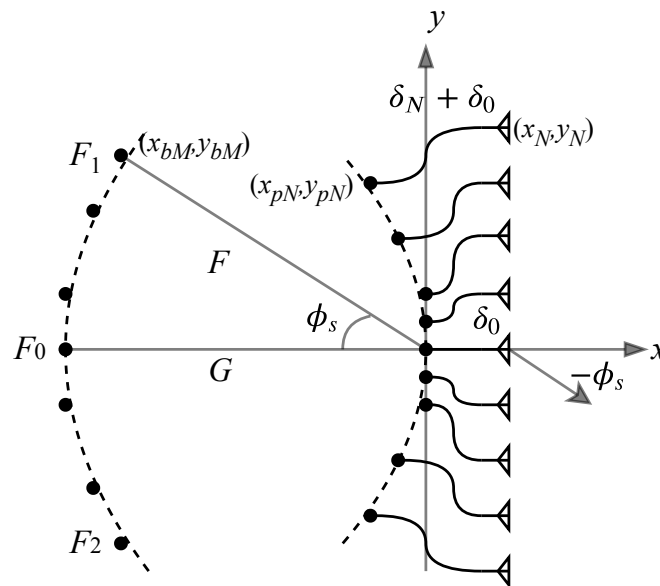


Figura 7 – Diagrama da lente de Rotman com M portas de feixe à esquerda e N portas de arranjo à direita ligadas a antenas dispostas de forma linear por linhas de transmissão. O diagrama mostra também os três focos F_0 , F_1 e F_2 , e as distâncias focais G e F juntamente com o ângulo de feixe ϕ_s e os comprimentos δ_N das linhas de transmissão. Fonte: Adaptado de Haupt (2010).

Com ajuda de um mecanismo chaveador é possível alterar o ângulo do feixe na direção desejada. Também é possível, com interpolação, rastrear a posição usando os feixes adjacentes (HAUPT, 2010).

Além de possuir uma banda em frequência grande (próxima a 3 GHz de largura), a lente de Rotman é um meio de propagar a onda eletromagnética ao passo que, em sua entrada e saída, a fase seja alterada, deste modo, alterando também a frente de onda percebida pelo sistema. Por não haver partes móveis, ela também se mostra como uma alternativa barata e de longa duração.

2.1.1.3 Matriz de Chaveadores RF

Matrizes de chaveadores são vastamente utilizados para sistemas de comunicação, de modo geral em satélites, servindo principalmente como roteador. Estas matrizes já são utilizadas comercialmente para produtos com antenas inteligentes com feixe comutado, por exemplo.

O tipo de sistema de comunicação a ser utilizado pela organização parceira necessita desta matriz. É preciso que o conjunto de comutadores selecione o sinal mais forte das antenas para o receptor. Para um número pequeno de feixes pode-se utilizar SPDTs⁴, mas conforme este número aumenta, mais complicada é a arquitetura da MSM⁵ (Matriz de chaveadores de micro-ondas) (U-YEN; DONG; KENNEY, 2004).

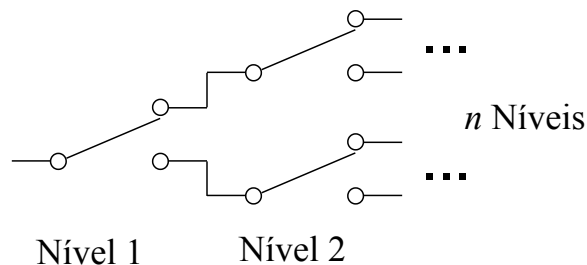


Figura 8 – Comutadores SPDT cascadeados mostrando n níveis a exemplificar a montagem de uma matriz de chaveadores RF. Fonte: Elaboração própria.

A Figura 8 mostra como estes chaveadores podem ser dispostos de forma a multiplicar a saída que antes eram duas para 2^n saídas, correspondente aos n níveis. Assim é possível alcançar um número tão alto de feixes.

Para o sistema irradiante que está sendo desenvolvido, a princípio, serão empregados até 256 elementos irradiantes e também até 256 direções diferentes. Ou seja, até 256 feixes diferentes devem ser alimentados por um número de portas igual que deve ser alcançado pela matriz de chaveadores.

⁴ *single-pass double-throw* em inglês. Usado para descrever um chaveador com uma entrada e duas saídas.

⁵ *microwave switch matrix* em inglês.

Uma das preocupações do cascadeamento de comutadores é o aumento da perda de inserção. Segundo [U-yen, Dong e Kenney \(2004\)](#) existe uma preocupação em arquiteturas de matrizes extensas com relação ao IL^6 (Perda de inserção), além dos problemas de roteamento que comprometem o isolamento. Assim deve existir uma troca que equilibre as perdas da matriz por número de níveis e o número de feixes serem gerados pelo sistema irradiante.

Uma maneira de contornar isto é criar um comutador com maior número de saídas (SP4T, SP6T, SP8T ...). Desta forma serão necessários menos níveis, menos comutadores.

2.2 Chaveador RF

Segundo [Caverly \(2016\)](#) o conceito básico de chaveador, passa pela questão da localização do elemento de controle e sua impedância no circuito de controle. Para elementos chaveadores em série, são necessárias uma baixa impedância para estado ON (ligado) e uma alta impedância OFF (desligado). Para elemento chaveador em paralelo, são necessárias uma alta impedância para estado ligado e uma baixa impedância desligado.

Para RF, existem dois tipos fundamentais de *switches*: de estado sólido⁷ e MEMS⁸ (Sistemas microeletromecânicos). MEMS são constituídos de elementos mecânicos que encostam uma aleta permitindo, ou não, a passagem do sinal. Já em dispositivos de estado sólido, são utilizados semicondutores que alteram a impedância interna destes mesmos ([CAVERLY, 2016](#)). Para estado sólido, os elementos de controle podem ser diodo PIN, FET (transistor de efeito de campo) ou híbrido (diodo PIN e FET).

Em elementos tipo MEMS, a impedância vista em seu estado “ligado” pela fonte é equivalente a de um condutor, ou seja, muito baixa. Para seu estado “desligado” a impedância vista pelo fonte do sinal é a de um circuito em aberto, muito alta, com um adendo de uma pequena capacitância criada entre a aleta de metal do dispositivo.

Para os elementos de estado sólido, a tensão e a corrente afetam o funcionamento dos mesmos. Na Figura [9\(a\)](#) o elemento colocado em série tem impedância Z_{CTL} , por exemplo, em um sistema de impedância Z_0 com casamento entre a fonte e a carga.

Para as impedâncias citadas, a tensão e a corrente na carga podem ser descritas por análise de circuito como

$$V_{load} = V_g \frac{Z_0}{2Z_0 + Z_{CTL}}, \quad (2.2)$$

⁶ *insertion loss* em inglês.

⁷ *solid state* em inglês.

⁸ sigla em inglês para *micro-electro-mechanical systems*.

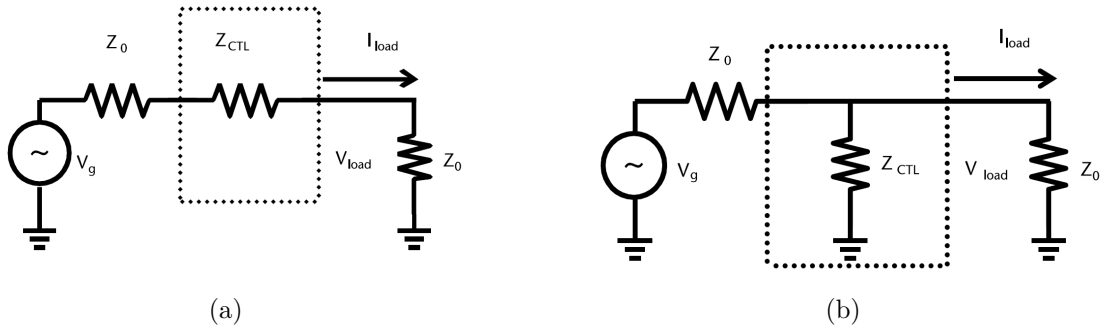


Figura 9 – Elemento de controle em (a)Série e em (b)Paralelo. Parte pontilhada representando elemento de controle como quadripolo. Fonte: [Caverly \(2016\)](#).

$$I_{load} = V_g \frac{1}{2Z_0 + Z_{CTL}} = \frac{V_{load}}{Z_0}. \quad (2.3)$$

Já a potência disponibilizada pela fonte é a potência na carga na ausência do elemento de controle e pode ser descrita como

$$P_A = \frac{V_g V_g^*}{8Z_0} \quad (2.4)$$

, em que a tensão V_g é a tensão de pico da fonte e V_g^* seu complexo conjugado. A potência na carga puramente real, com a adição do dispositivo de controle, é

$$P_{load} = \frac{1}{2} \text{Re}(V_{load} I_{load}^*) = \frac{1}{2} \text{Re} \left[\left(V_g \frac{Z_0}{2Z_0 + Z_{CTL}} \right) \left(V_g \frac{1}{2Z_0 + Z_{CTL}} \right)^* \right] = P_A \left| \frac{2Z_0}{2Z_0 + Z_{CTL}} \right|^2. \quad (2.5)$$

A Equação 2.5 mostra que para um Z_{CTL} pequeno em comparação a Z_0 , quase toda potência é transferida para a carga. Com um Z_{CTL} alto, há uma redução significativa nesta transmissão de potência entre gerador e carga. Estas constatações são válidas para o uso do dispositivo de controle em série.

Para um elemento de controle em paralelo (Figura 9(b)), uma análise semelhante à feita em série pode ser realizada. A tensão de pico e a corrente podem ser calculadas como

$$V_{load} = V_g \frac{Z_{CTL}}{2Z_{CTL} + Z_0}, \quad (2.6)$$

$$I_{load} = \frac{V_g}{Z_0} \frac{Z_{CTL}}{2Z_{CTL} + Z_0} = \frac{V_{load}}{Z_0}. \quad (2.7)$$

A potência na carga para esse tipo de configuração também pode ser calculada de forma semelhante. Logo

$$P_{load} = \frac{1}{2} \operatorname{Re}(V_{load} I_{load}^*) = \frac{1}{2} \operatorname{Re} \left[\left(V_g \frac{Z_{CTL}}{2Z_{CTL} + Z_0} \right) \frac{V_g^*}{Z_0} \left(\frac{Z_{CTL}}{2Z_{CTL} + Z_0} \right)^* \right] = P_A \left| \frac{Z_{CTL}}{2Z_{CTL} + Z_0} \right|^2. \quad (2.8)$$

Na Equação 2.8 nota-se que para um Z_{CTL} pequeno em comparação a Z_0 , o valor de P_{load} se aproxima de zero. Com um Z_{CTL} alto, a energia é entregue à carga. Os elementos em série e em paralelo funcionam em lógica inversa um do outro.

Em elementos de estado sólido, o que geralmente acontece é o aparecimento de uma pequena capacitância que eleva a impedância deste mesmo elemento de controle para altas frequências.

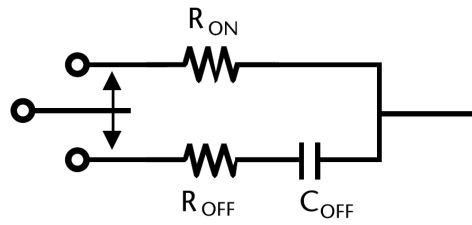


Figura 10 – Esquema simplificado do elemento de controle com diferentes impedâncias. Acima, impedância R_{ON} quando permite a passagem do sinal em ON. Abaixo, impedâncias R_{OFF} e C_{OFF} quando não permite a passagem do sinal em OFF. Fonte: Caverly (2016)

Quando permite a passagem de corrente, R_{ON} é a única impedância vista pelo sistema simplificado acima (Figura 10). Quando não permite a passagem de corrente as impedâncias vistas são advindas de R_{OFF} e C_{OFF} .

2.2.1 Chaveador Reflexivo em Série

Um dos circuitos chaveadores mais simples é o do tipo reflexivo. Ele funciona criando um descasamento de impedância entre a fonte e a carga, deste modo o sinal é refletido. Isto torna a análise do coeficiente de reflexão tão importante (CAVERLY, 2016).

Como o sistema não é perfeito, parte da potência da fonte P_A é refletida pelo descasamento de impedância

$$P_{REF} = P_A \Gamma \Gamma^* = P_A |\Gamma|^2 \quad (2.9)$$

, e a parte que chega a carga pode ser descrita também como

$$P_{IN} = P_A(1 - |\Gamma|^2). \quad (2.10)$$

Para um sistema de impedância Z_0 com controle em série de impedância Z_{CTL} de um chaveador SPST⁹, o coeficiente de reflexão visto pela fonte é

$$\Gamma = \frac{(Z_{CTL} + Z_0) - Z_0}{(Z_{CTL} + Z_0) + Z_0} = \frac{Z_{CTL}}{Z_{CTL} + 2Z_0}. \quad (2.11)$$

A Equação 2.11 pode ser usada para calcular os coeficientes de reflexão para o estado ligado (ON) e desligado (OFF) do *switch*, sendo

$$\Gamma = \frac{R_{ON}}{R_{ON} + 2Z_0}, \quad \text{ON}, \quad (2.12a)$$

$$\Gamma = \frac{R_{OFF} + 1/j\omega C_{OFF}}{(R_{OFF} + 1/j\omega C_{OFF}) + 2Z_0} \quad \text{OFF}. \quad (2.12b)$$

Em seu estado ON, a perda de inserção IL em dB no chaveador é calculada usando a equação 2.12a como

$$IL = 20 \log_{10} \left(1 + \frac{R_{ON}}{2Z_0} \right). \quad (2.13)$$

Em seu estado OFF, o isolamento ISO em dB no chaveador é calculado usando a equação 2.12b como

$$ISO = 20 \log_{10} \left| 1 + \frac{R_{ON} + 1/j\omega C_{OFF}}{2Z_0} \right|. \quad (2.14)$$

Além disto, o isolamento para um reatância gerada por C_{OFF} muito maior que R_{OFF} pode ser simplificado como

$$ISO = 10 \log_{10} \left(1 + \frac{1}{(2\omega C_{OFF} Z_0)^2} \right). \quad (2.15)$$

2.2.2 Chaveador Reflexivo em Paralelo

A análise do Chaveador Reflexivo em Paralelo pode ser feita de modo similar à da Seção 2.2.1 para um *switch* SPST. A impedância Z_{CTL} vista na Figura 9(b) cria um descasamento de impedância entre a fonte e a carga (CAVERLY, 2016). Para um sistema

⁹ *single-pass single-throw* em inglês. Usado para descrever um chaveador com uma entrada e uma saída.

de impedância Z_0 com controle em paralelo de impedância Z_{CTL} , o coeficiente de reflexão visto pela fonte é

$$\Gamma = \frac{-Z_0}{2Z_{CTL} + Z_0}. \quad (2.16)$$

A equação anterior pode ser usada para calcular os coeficientes de reflexão para o estado ligado (ON) e desligado (OFF) do *switch*, sendo

$$\Gamma = \frac{-Z_0}{2(R_{OFF} + 1/j\omega C_{OFF}) + Z_0} \quad \text{ON,} \quad (2.17a)$$

$$\Gamma = \frac{-Z_0}{2R_{ON} + Z_0} \quad \text{OFF.} \quad (2.17b)$$

Em seu estado ON, a perda de inserção IL em dB no chaveador é calculada usando a Equação 2.17a como

$$IL = 20 \log_{10} \left| 1 + \frac{Z_0}{2(R_{OFF} + 1/j\omega C_{OFF})} \right|. \quad (2.18)$$

Para uma reatância muito alta, R_{OFF} se torna quase desprezível. O IL pode então ser simplificado como

$$IL = 10 \log_{10} \left(1 + \left(\frac{\omega C_{OFF} Z_0}{2} \right)^2 \right). \quad (2.19)$$

Em seu estado OFF, o isolamento ISO em dB no chaveador é calculado usando a equação 2.17b como

$$ISO = 10 \log_{10} \left(1 + \frac{Z_0}{2R_{ON}} \right). \quad (2.20)$$

2.3 Diodo PIN

Uma das principais utilidades de diodos é para o chaveamento de dispositivos, ligando e desligando sinais de RF, em que grandes potências normalmente são demandadas. Seu funcionamento requer que o diodo alterne entre dois estados. Um de baixa impedância, que permita a passagem do sinal e um de alta impedância, que bloqueie a passagem do sinal (YNGVESSON, 1991). Para sinais de ondas milimétricas são usados diodos PIN.

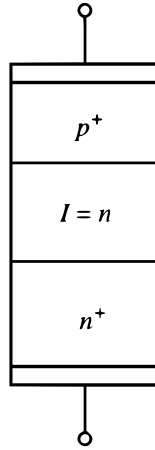


Figura 11 – Esquema simplificado da construção de um diodo do tipo PIN com as dopagens p e n e entre elas a região intrínseca I . Fonte: Ludwig e Bogdanov (2009)

O Diodo PIN possui uma camada intrínseca inserida entre as regiões do tipo p e tipo n (Figura 11). A região intrínseca i possui uma baixa concentração de portadores ou lacunas de cargas, podendo ser levemente dopado com p ou n . Esta camada produz uma alta impedância para microondas quando cria uma baixa capacitância ao ser inversamente polarizada (Figura 12(a)). Quando polarizada diretamente (Figura 12(b)) a resistência interna é tão baixa quanto a de um diodo com junções p e n , modificando-o para uma baixa impedância (YNGVESSON, 1991).

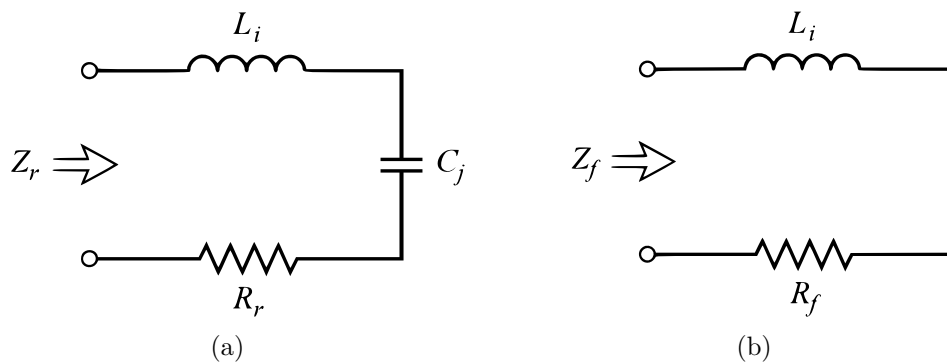


Figura 12 – (a)Diodo PIN Polarizado inversamente. (b)Diodo PIN Polarizado diretamente. Fonte: Pozar (2012)

Este efeito de reduzir ou aumentar a impedância de um canal com facilidade é o que torna o diodo PIN um bom elemento chaveador, que pode ser visto também na Figura 13.

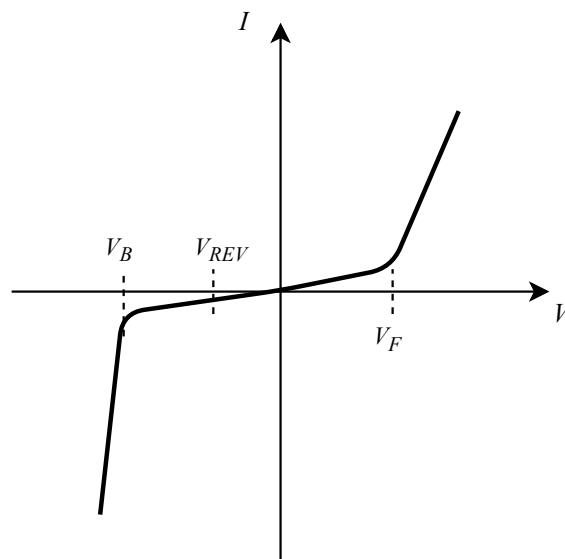


Figura 13 – Exemplo de curva $V \times I$ característica do Diodo PIN, mostrando V_F como tensão direta, V_{REV} como tensão reversa e V_B como tensão de ruptura. Fonte: Adaptado de [Microsemi Corporation \(1998\)](#).

A curva do diodo PIN (Figura 13) mostra a variação da tensão sobre o diodo para diferentes correntes. A tensão de polarização reversa, V_{REV} , deve ser alta o suficiente para que a excursão do sinal RF não faça com que o diodo chegue à tensão de ruptura V_B , causando um fluxo demasiado de corrente reversa. Para a polarização direta, é necessário que a tensão direta V_F seja alcançada. Assim o diodo terá uma menor impedância interna para o controle de sinal RF ([MICROSEMI CORPORATION, 1998](#)).

O comportamento do diodo PIN é diferente para frequências baixas e altas. Em baixas frequências, abaixo de 10 MHz, o tempo de trânsito dos elétrons na camada i é muito grande. Em frequências altas, acima de 1 GHz, o período do sinal RF é muito menor que o tempo dos portadores minoritários da região intrínseca, que permite o seu funcionamento em OFF (polarizado inversamente) e em ON (polarizado diretamente) ([MICROSEMI CORPORATION, 1998](#)).

2.3.1 Velocidade de Chaveamento

A velocidade de chaveamento é importante para aplicações em transceptores. Esta velocidade é o tempo de formação e desfazimento do canal no diodo ao ser polarizado diretamente e inversamente. Este tempo também está relacionado a tensão de ruptura $V_B = E_m W$, onde E_m é o campo elétrico de ruptura para o material do diodo e W a largura do canal ([YNGVESSON, 1991](#)).

A velocidade de chaveamento é menor para a extinção do canal, pois é necessário que as cargas guardadas na fronteira da região de interstício a atravessem. O tempo

mínimo para este chaveamento é aproximadamente :

$$\tau_m = \frac{W}{v_s}. \quad (2.21)$$

Para diodos PIN a velocidade de chaveamento está ao redor de dezenas de nanossegundos, e para diodos PIN de GaAs este número chega a 2 ns (YNGVESSON, 1991).

2.3.2 Capacidade de Potência

A potência máxima recebida pelo diodo pode ser descrita levando em consideração a tensão pico a pico sendo a mesma que a tensão de ruptura (YNGVESSON, 1991)g. Ela pode ser expressa de forma aproximada como

$$P_m = \frac{V_{RMS}^2}{4Z_0}. \quad (2.22)$$

Também existe uma relação entre a potência máxima que o diodo suporta e a velocidade de chaveamento. Segundo Yngvesson (1991), para uma impedância típica de $Z_0 = 50 \Omega$ se tem

$$\tau_m = \frac{\sqrt{P_m W}}{25} [\text{ns}] \quad (2.23)$$

, assim, quanto maior a potência suportada pelo diodo maior o tempo de formação do canal.

2.4 Simulação de Parâmetros S para Grandes Sinais

A simulação de parâmetros S para grandes sinais, mais conhecida como LSSP, é um dos diversos tipos de simulação que o ADS possui. Ela é usada para o cálculo de parâmetros S para circuitos não lineares como amplificadores de potência, misturadores, entre outros. A simulação LSSP é baseada nas simulações de equilíbrio harmônico ¹⁰ e suas técnicas (AGILENT TECHNOLOGIES, 2004).

As simulações de parâmetros S convencionais consideram pequenos sinais de circuitos linearizados. Por usar equilíbrio harmônico, que é uma simulação de grandes sinais, a LSSP leva em conta todos os efeitos de não linearidades do circuito, como por exemplo a compressão (AGILENT TECHNOLOGIES, 2004). Sendo assim, os parâmetros podem variar conforme a variação da potência.

¹⁰ *harmonic balance* em inglês.

As distorções geradas pelas não linearidades são críticas para o comportamento do circuito. Elas podem gerar compressão no ganho e até mesmo frequências espúrias, mais especificamente harmônicos do sinal fundamental (POZAR, 2012).

Assim como a simulação S_Param ¹¹, a LSSP é definida como a razão da onda refletida B_i pela onda incidente A_j .

$$S_{ij} = \left. \frac{B_i}{A_j} \right|_{A_m=0|m \neq j} . \quad (2.24)$$

As ondas incidentes e refletidas podem ser descritas respectivamente como

$$A_j = \frac{V_j + Z_{0j}I_j}{2\sqrt{R_{0j}}}, \quad (2.25a)$$

$$B_i = \frac{V_i + Z_{0i}^*I_i}{2\sqrt{R_{0i}}} \quad (2.25b)$$

, onde i e j são as numerações das portas. V_i e V_j são os coeficientes de Fourier para as tensões na frequência fundamental das portas i e j . I_i e I_j são os coeficientes de Fourier para as correntes na frequência fundamental das portas i e j . Z_{0i} e Z_{0j} são as impedâncias de referência das portas i e j , e R_{0i} e R_{0j} são as partes reais das respectivas impedâncias (AGILENT TECHNOLOGIES, 2004).

Para uma simulação LSSP em um quadripolo é usado o complexo conjugado da impedância de referência na porta 2 e aplicado um sinal com a potência P_1 especificada na porta 1. Com a simulação harmônica são calculadas as correntes e tensões nas portas 1 e 2 juntamente com o cálculo dos parâmetros S_{11} e S_{21} (AGILENT TECHNOLOGIES, 2004).

A LSSP usa o complexo conjugado da impedância de referência na porta 1 para o cálculo de S_{12} e S_{22} . Aplica-se um sinal de potência $P_2 = |S_{21}|^2 P_1$ na porta dois e usando a simulação harmônica calculam-se as tensões e correntes nas portas 1 e 2 (AGILENT TECHNOLOGIES, 2004).

Neste tipo de simulação existe a necessidade de utilizar pelo menos uma porta tipo P_Tone , pois permite-se escolher a potência de saída e a frequência fundamental do sinal. Do mesmo modo, na LSSP é possível escolher, principalmente, uma varredura para a frequência ou potência, bem como a frequência fundamental (e suas harmônicas) em cada porta. Apesar de ser uma simulação baseada em equilíbrio harmônico, na LSSP não é possível a análise de figura de ruído, sendo necessária a inclusão de outras simulações que o façam (S_Param ou *HarmonicBalance*¹²).

¹¹ simulação de parâmetros S de pequenos sinais do ADS.

¹² simulação de equilíbrio harmônico do ADS.

3 Desenvolvimento do Chaveador

Este capítulo mostrará como escolheu-se e posteriormente como desenvolveu-se o elemento comutador para que seja testado em uma matriz de chaveadores.

3.1 Escolha do chaveador

3.1.1 O Estado da Arte

Por meio de pesquisas em periódicos, base de dados e diversos fabricantes nacionais e internacionais, foi feita a procura por tecnologias disponíveis no mercado em termos de comutação de sinais de microondas, e para o possível desenvolvimento de um chaveador próprio.

Para a escolha do chaveador foram encontrados dois tipos de tecnologias para comutadores em ondas milimétricas: MEMS e estado sólido. Chaveadores do tipo MEMS são uma tecnologia emergente, com muitas qualidades interessantes porém ainda existem dificuldades. Por ser um componente com partes mecânicas sua confiabilidade e qualidade de empacotamento são afetadas ([KEYSIGHT TECHNOLOGIES, 2017](#)).

Os chaveadores de estado sólido geralmente são mais confiáveis e largamente utilizados no mercado. Eles possuem um ciclo de vida maior devido a elevada resistência a choques mecânicos, podendo ser constituídos por diodos PIN ou transistores. Também é possível conseguir melhores velocidades de transição. Entretanto, ainda possuem resistências superiores quando ligados, o que aumenta a perda de inserção em relação aos do tipo MEMS ([KEYSIGHT TECHNOLOGIES, 2017](#)). Outras informações foram comentadas e desenvolvidas na Seção 2.2.

É necessário o uso de linhas de transmissão para ambos os tipos de tecnologias, sendo indicado o uso de microfita por possuir melhor custo benefício, fácil de se criar um protótipo e pode ser produzido em larga escala.

3.1.2 Pesquisa de mercado

Existem alguns pontos que devem ser expostos dos requisitos que o *switch* deve possuir mostrados na Tabela 1.

A potência RF é um aspecto importante para o chaveador. É ele que receberá todo o desempenho do PA ⁴. O PA escolhido no projeto da Seção 2.1 exige uma potência de +33 dBm, portanto o comutador a ser utilizado deve aguentar pelo menos esta energia

⁴ sigla para amplificador de potência.

Tabela 1 – Requisitos do sistema que afetam a escolha do chaveador

Potência RF	IL ¹	ISO ²	RL ³	Tempo de chaveamento
+33 dBm	Baixa	Alto	Baixa	Baixo

nominal. A IL e o ISO devem ser baixa e alto, respectivamente, devido aos motivos expostos na Seção 2.1.1.3. Além disto, devem ter um custo consideravelmente baixo, pois serão utilizados muitos para o projeto.

Levando em consideração os requisitos da Tabela 1 e o preço, foi feita uma pesquisa de mercado nas fabricantes por chaveadores que se adequassem ao projeto. Os resultados estão na Tabela 2.

Tabela 2 – Pesquisa de mercado de chaveadores para banda Ku

Modelo	Vias	Fabricante	Freq. [GHz]	IL [dB]	ISO [dB]	RL [dB]	Potência CW [dBm]
MA4AGSW4	SP4T	MACOM	50	0,7	41	21	23
TGS2304-SCC	SP4T	TriQuint	20	0,7	32	9,6	23
MA4AGSW8-1	SP4T	MACOM	50	1,5	32	15	23
MA4AGSW2	SP4T	MACOM	50	0,5	47	22	23
MA4SW210	SP2T	MACOM	20	0,5	50	27	33
MASW-002100-1191	SP2T	MACOM	20	0,5	50	27	33

Identificaram-se mais comutadores que os expostos na Tabela 2, porém foram listados os que melhor atendem aos requisitos do projeto. Apesar disto, nenhum dos chaveadores SP4T⁵ encontrados atende completamente às necessidades do projeto. Durante a pesquisa muitos chaveadores encontrados não alcançaram a potência CW⁶ de 33 dBm. Apenas dois chaveadores (MA4SW210 e MASW-002100-1191) possuem tal capacidade de potência, mas seria muito oneroso por serem modelos SP2T⁷ e levarem a um possível cascadeamento de mais níveis. Todos os modelos que tiveram melhores resultados são de estado sólido e a maioria com topologia refletiva.

Foram pesquisados chaveadores do tipo MEMS, mas não houveram repostas significativas para que prosseguisse com seu uso durante o projeto.

Pela falta de opções no mercado que atendam ao projeto, decidiu-se que seria projetado o chaveador RF para comunicação via satélite em banda Ku.

⁵ *single-pass four-throw* em inglês, usado para descrever um chaveador com uma entrada e quatro saída.

⁶ potência de onda contínua.

⁷ *single-pass double-throw* em inglês, usado para descrever um chaveador com uma entrada e duas saída.

3.2 Projeto do chaveador elementar

É necessário criar um elemento que será repetido ao longo da cadeia para o projeto da matriz de comutadores. O desenvolvimento deste elemento passa pela escolha do número de saídas, topologia a ser utilizada, escolha do elemento de controle (diodo PIN, transistor ou ambos), simulações a nível de circuito, criação do T de polarização⁸, simulações eletromagnéticas e otimização.

3.2.1 Topologias de chaveadores

Considerando os fatores citados na Seção 2.2 e um chaveador SPDT⁹, existem duas topologias principais em termos de comutação, ambas apresentadas nas Seções 2.2.1 e 2.2.2. Estes modelos podem ser utilizadas com um ou mais elementos de controle em série (Figura 14(a)) e em paralelo (Figura 14(b)). Também podem ser combinadas entre si, gerando uma topologia híbrida, série-paralelo (Figura 14(c)).

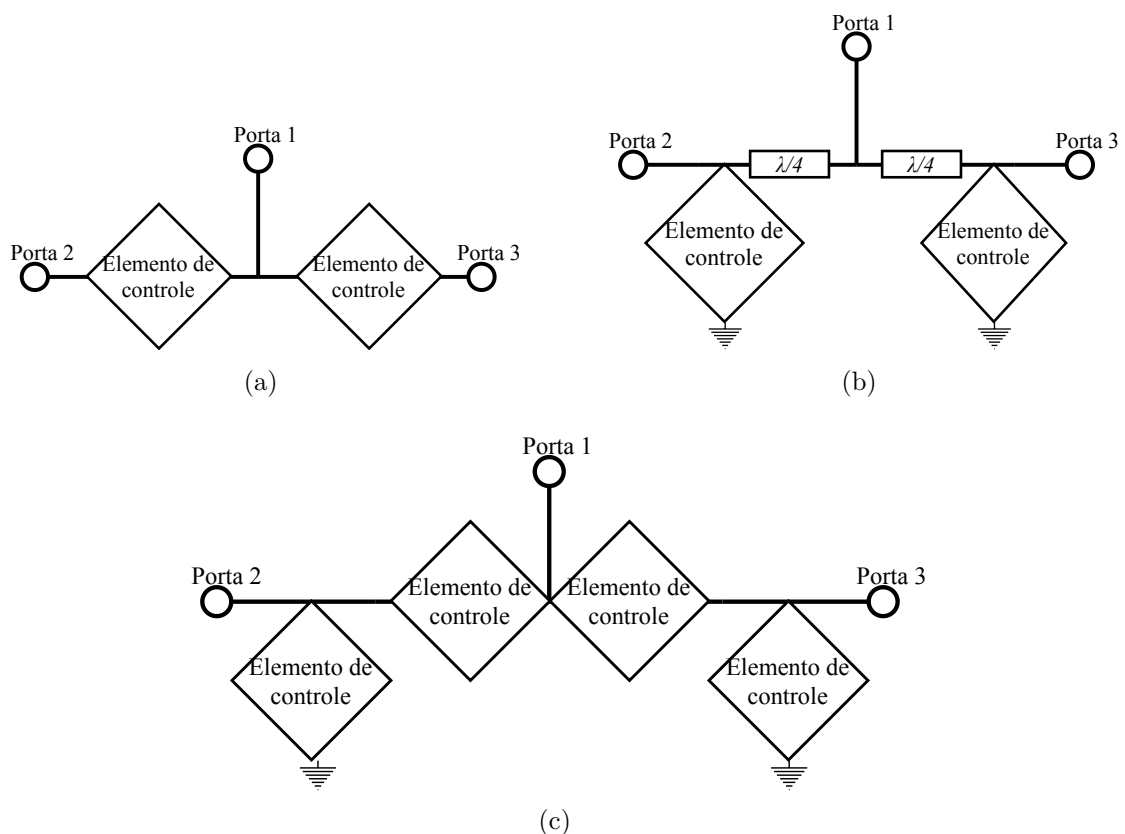


Figura 14 – Diferentes topologias mostrando para diferentes posições dos elementos de controle – (a) série, (b) paralelo e (c) série-paralelo – em um chaveador SPDT. Fonte: Elaboração própria.

⁸ *bias tee* em inglês.

⁹ outra sigla para um chaveador com uma entrada e duas saídas.

Como as perdas do cascadeamento de diversos chaveadores serão grandes, deve-se optar pela topologia na qual haverá a menor IL. Analisando as equações da Seção 2.2, Keysight Technologies (2017) e Street (2000) é possível notar diferenças na IL e no ISO entre ambas topologias.

Ao analisar as Equações 2.13 e 2.18 observa-se que a perda de inserção com componente de controle em paralelo é menor que a com o mesmo componente em série. Na Equação 2.13, para que a IL seja baixa, o R_{on} deve ser baixo, e conseguir esse R_{on} em componentes ativos é mais custoso. Já para a Equação 2.18 é necessário que apenas que a capacitância C_{OFF} tenha um valor baixo. Isto não é difícil de se alcançar com a geometria, dopagem e elementos certos, podendo até mesmo causar uma IL baixa mesmo com um R_{OFF} não tão alto.

Street (2000) mostra que o uso de elementos em paralelo em um chaveador tem uma IL menor do que o mesmo elemento colocado em série ou série-paralelo. Ele também mostra que quanto maior a corrente de polarização, menor será a resistência interna do componente de controle. Por estes motivos, a topologia escolhida foi a com dispositivos de controle em paralelo.

3.2.2 Elemento de Controle

A perda de inserção também será levada em questão na escolha do componente de controle por ser um fator tão importante. Outras duas grandes questões a serem consideradas são: resistência a vibrações e capacidade de potência. Resistência a vibração, pois o equipamento final (transceptor e sistema irradiante) serão utilizados em veículos, e capacidade de potência porque 33 dBm para um sinal RF é um valor grande e possivelmente este valor de potência incidente irá subir nas próximas fases do projeto.

Foi possível montar um comparativo (Tabela 3) com dispositivos de controle acerca de parâmetros importantes para o projeto. Por meio de uma análise de literatura e manuais de aplicações de fabricantes

Tabela 3 – Comparação entre chaveadores com diferentes elementos de controle. Adaptado de Keysight Technologies (2017, p. 13)

	Diodo PIN	FET	Híbrido	MEMS
IL	Média	Alta	Alta	Baixa
ISO	Boa	Boa	Boa	Boa
Tempo de chaveamento	Rápido	Médio	Médio	Lento
Potência incidente	Média	Baixa	Baixa	Alta
Tempo de vida	Alto	Alto	Alto	Médio
Consumo	Alto	Baixo	Moderado	Baixo

Os dispositivos do tipo MEMS seriam a melhor escolha. Apesar do tempo de

comutação ser o maior dentre as opções da Tabela 3 esse período ainda é baixo (está na faixa das dezenas de milissegundos). Empresas foram contatadas para cotação, porém não responderam às mensagens. Por estes motivos esta opção foi descartada nesta fase do projeto.

A próxima solução é o uso de diodos PIN. Eles suportam uma maior quantidade de potência, têm chaveamento rápido e possuem uma IL menor em comparação com o resto das alternativas. Por estas comparações o diodo PIN foi escolhido como dispositivo de controle para o chaveamento das portas.

3.2.3 Escolha do diodo PIN

Foram procurados, nos catálogos das fabricantes e vendedoras, diodos PIN que atendessem às necessidades do projeto vistas na Tabela 1. Apesar da quantidade elevada de diodos no mercado, foram encontrados poucos com as especificações necessárias. Lembrando também que a potência requerida de +33 dBm, que equivale a 2 W, terá de ser suportada por este mesmo diodo.

Os diodos com as melhores características foram encontrados na fabricante MA-COM e estão apresentados na Tabela 4.

Tabela 4 – Comparação entre diodos com diferentes parâmetros dentro das especificações do projeto.

Diodo	Freq. Máx. [GHz]	Potência CW [W]	Resistência [Ω]	Capacitância [pF]
MA4SPS502	26	10,0	2,4	0,14
MEST2GFC-010-25	40	10,0	2,0	0,04
MA4P161-134	18	2,3	1,5	0,10
MA4P203-134	18	5,0	1,5	0,15
MA4P303-134	18	5,0	1,5	0,15

O diodo escolhido foi o MA4SPS502 ([M/A-COM TECHNOLOGY SOLUTIONS INC.](#)), pois sua frequência de operação está dentro da banda Ku, pelos demais atributos e pela potência que pode chegar até 10 W CW (40 dBm). Seu modelo SPICE e demais podem ser encontrados em seu *datasheet*.

3.2.4 Limitações do substrato e de fabricação

É necessário um substrato que comporte estes elementos pois o circuito chaveador será feito em microfita com componentes SMD. Este substrato afeta o *design*, o tamanho da trilha de microfita e conseqüentemente sua impedância no circuito.

É necessário para o projeto um substrato que tenha uma constante de permissividade elétrica baixa para que as trilhas sejam um pouco maiores devido a elevada

frequência que tem os comprimentos elétricos reduzidos. Também é preciso que este substrato tenha uma espessura menor para que as perdas dielétricas devidas à tangente de perdas sejam minimizadas. Para tanto, foi escolhido o substrato AD250CTM da [Rogers Corporation \(2018\)](#) que é a base de PTFE/fibra de vidro para todo o projeto.

Tabela 5 – Principais especificações do substrato AD250CTM. Fonte: [Rogers Corporation \(2018\)](#)

ϵ_s	$\tan \delta$	Espessura do substrato	Espessura do cobre
2,52	0,0013	0,508 mm	1/2 oz.(18 μm)

A partir da escolha do substrato, foi iniciada uma pesquisa por fabricantes de circuito impresso que tivessem o processo para trabalhar com PTFE. No Brasil foi encontrada apenas a Micropress que trabalha com AD250CTM.

Tabela 6 – Principais capacidades técnicas em valores mínimos da Micropress que afetam o projeto do chaveador RF. Fonte: [Micropress \(2019\)](#).

Largura de trilha	Isolação entre condutores	Diâmetro de furo	Largura da ilha
4 mil(0,102 mm)	4 mil(0,102 mm)	6 mil(0,152 mm)	5 mil(0,127 mm)

O desenvolvimento do circuito chaveador depende das capacidades técnicas da [Micropress \(2019\)](#). As limitações que mais afetam o projeto são a largura e isolamento de trilhas, juntamente com a furação e tamanho de ilhas (Tabela 6). O projeto do circuito não pode estar fora destes limites de fabricação da Micropress.

3.2.5 Simulações a nível de circuito

Foram feitos testes a fim de conseguir uma IL baixa e um ISO alto para chegar ao melhor chaveador possível. Os teste consistiam de simulações de parâmetros S de pequenos sinais feitas no programa ADS e não o LSSP, pois é apenas uma verificação, não representando o circuito final. Utilizou-se o pacote *TLines-Ideal* do próprio programa – que é empregado para simular linhas de transmissão ideais – juntamente com o modelo *PinDiodeModel* – que é uma ferramenta para descrever modelos de diodos PIN – com os dados do *datasheet* do diodo MA4SPS502.

Primeiro foi realizado o teste com um diodo em paralelo (Figura 15(a)) e posteriormente com dois diodos em paralelo (Figura 15(b)). Foram utilizados elementos ideais (*DC_Block* e *DC_Feed*) para a polarização dos diodos e separar os sinais RF e DC.

Na simulação os diodos são separados por uma linha de transmissão. É possível ajustar a frequência desejada para a operação do chaveador com modificações nesta linhas de transmissão ([KEYSIGHT TECHNOLOGIES, 2017](#)), aumentando o ISO e reduzindo a IL e a RL.

Isto acontece devido a característica das linhas de $\lambda/4$ (Apêndice A) que tem o efeito de inversão de impedância (STREET, 2000). O comprimento de $\lambda/4$ da LT (linha de transmissão) foi configurado para uma impedância de $50\ \Omega$ e uma frequência central de 13,1 GHz definida por uma média geométrica,

$$f_c = \sqrt{f_1 f_2} \quad (3.1)$$

, onde f_1 e f_2 são as frequências limites da banda Ku (11,7 GHz e 14,5 GHz).

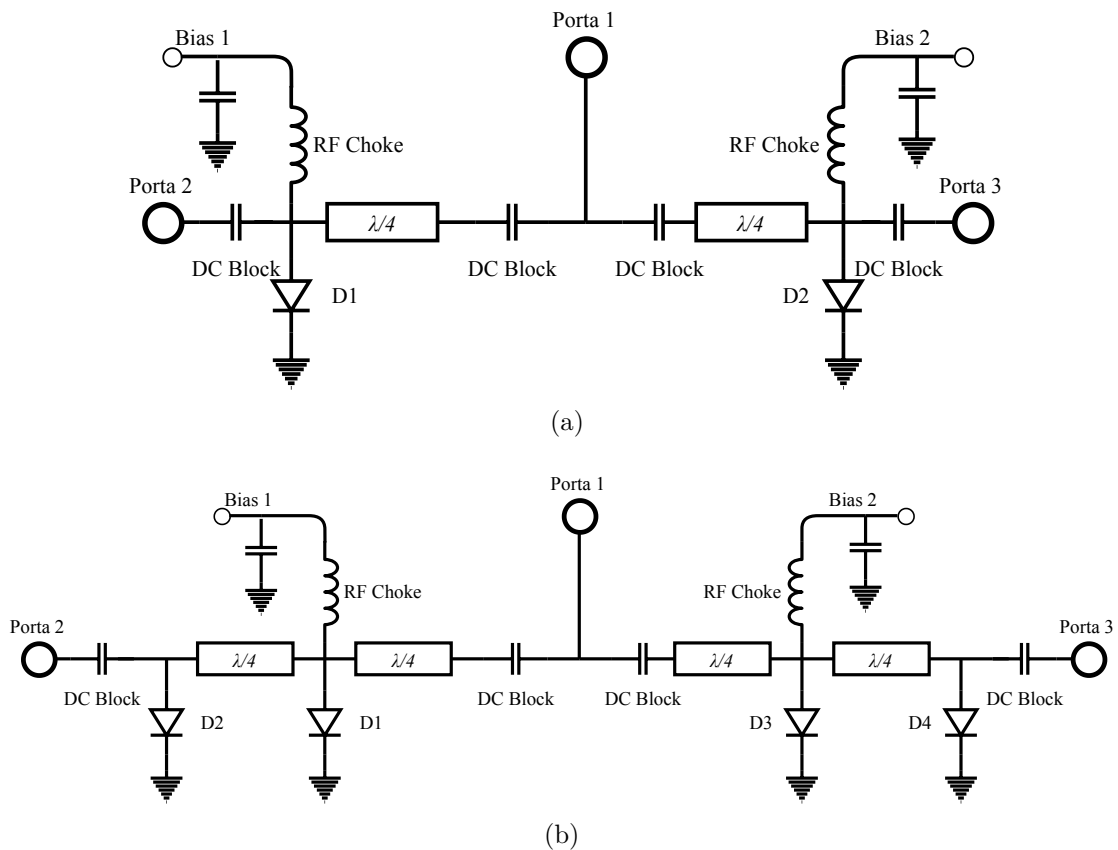


Figura 15 – Diagrama de um circuito chaveador SPDT com (a) um diodo e paralelo e (b) com dois diodos em paralelo, separados por uma linha de transmissão de $\lambda/4$. Fonte: Elaboração própria.

As simulações foram configuradas para comunicação entre as portas 1 e 2. Foram mostrados os principais parâmetros: S_{11} para RL, S_{21} para IL e S_{31} para ISO. Na Figura 16 apresenta-se a simulação para o SPDT com um diodo por canal e na Figura 17 dois diodos por canal.

Os melhores resultados alcançados consistiam no circuito com dois diodos em paralelo por saída. Com a adição de um diodo e uma LT de $\lambda/4$ por canal o isolamento foi aumentado, a perda de inserção e a perda de retorno foram reduzidas em comparação com o circuito de apenas um diodo paralelo por canal.

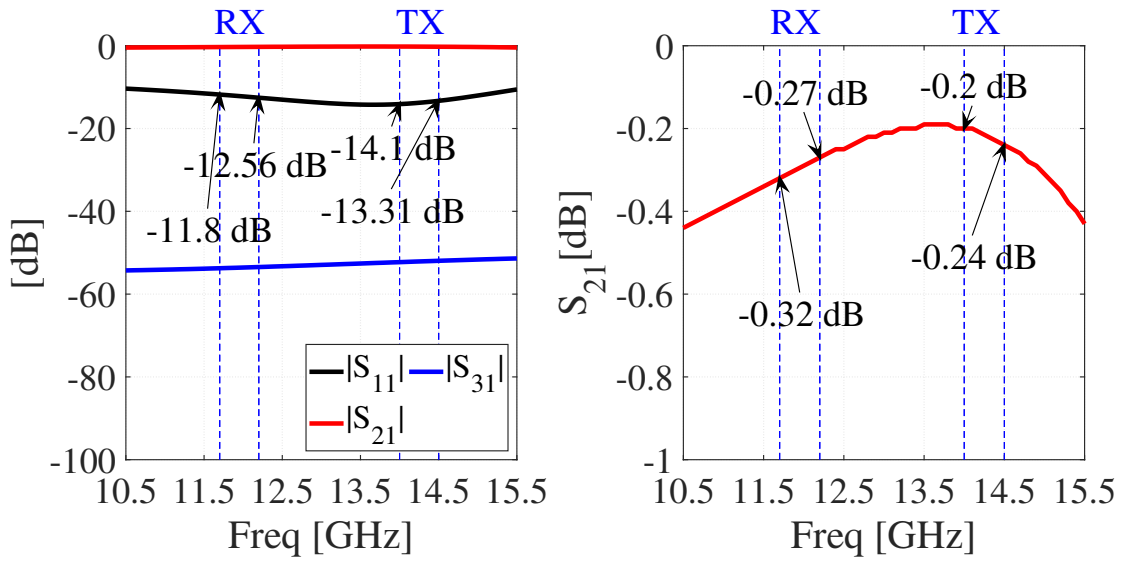


Figura 16 – Resultados da simulação de um SPDT com um diodo por canal mostrando a esquerda S_{11} como RL, S_{21} como IL e S_{31} como ISO e a direita em detalhe a perda de inserção. Fonte: Elaboração própria.

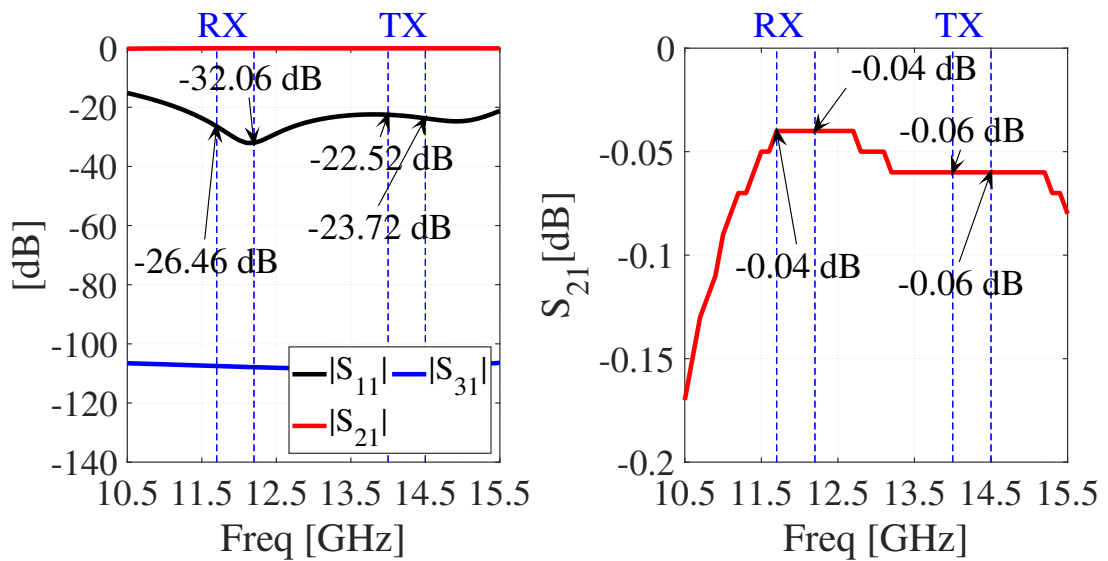


Figura 17 – Resultados da simulação de um SPDT com dois diodos por canal mostrando a esquerda S_{11} como RL, S_{21} como IL e S_{31} como ISO e a direita em detalhe a perda de inserção. Fonte: Elaboração própria.

É importante relatar que houve um aviso de sobrecarga nos diodos que foram polarizados diretamente. Este aviso foi devido ao excesso de corrente que extrapolou a potência de dissipada dos diodos. Neste momento isto não é um problema, pois ainda é um teste de verificação e não fará parte do projeto final.

Mais a frente na dissertação será incluído um resistor nos componentes que polarizam o diodo para limitar a corrente e conseqüentemente a potência dissipada pelos diodos. Vale salientar que o aviso de potência dissipada é de 2 W e que a corrente incidente

máxima é de 600 mA.

3.2.6 Desenvolvimento do circuito SPDT

Agora com conhecimento da topologia e da quantidade de diodos foi iniciado o projeto do circuito chaveador. Para o circuito a nível de microfita sobre um substrato utilizou-se *MLIN* e os demais pacotes de *TLines-Microstrip* que tem esta função e LSSP entre 10,5 e 15,5 GHz.

As perdas do substrato são levadas em consideração com o uso deste pacote. Foi simulado o circuito do SPDT com a polarização ideal para otimizar a distância de $\lambda/4$ entre os diodos e assim melhorar a perda de inserção do isolamento. Os esquemáticos criados estão no Apêndice B.3

O circuito foi feito com base nas informações de substrato escolhido explicadas anteriormente na Tabela 5. Testaram-se diversos tipos de junções entre os três canais, e a que obteve melhor resultado (em termos de IL e ISO) foi a junção em formato de “T” (canais 2 e 3 ortogonais ao canal 1).

Também foram testadas varias larguras de trilha e observado que existe um *trade-off*. Trilhas de microfita mais largas têm IL melhores e ISO piores e com trilhas mais finas melhores ISO e piores IL. Escolheu-se então uma largura de aproximadamente 0.58 mm com impedância aproximada de 80Ω . O esquemático do circuito montado está no Apêndice B.3.

Após otimizações do esquemático, o circuito foi transposto para o ambiente *Layout* do ADS (Figura 18). Lá são feitas simulações eletromagnéticas baseadas no método dos momentos que possuem resultados mais condizentes com a realidade. Este circuito eletromagnético também foi otimizado.

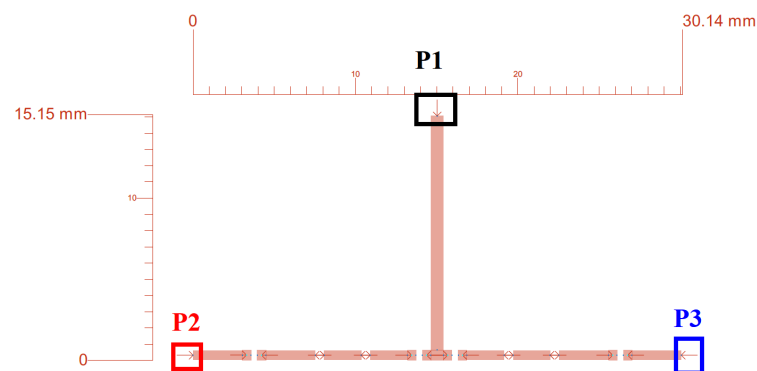


Figura 18 – Circuito chaveador SPDT em microfita no ambiente *Layout* mostrando o canal da porta 1 ao centro (na vertical), e os canais da porta 2 e 3 (na horizontal), respectivamente à esquerda e à direita. Fonte: Elaboração própria.

Foram deixados espaços e *pads* correlatos aos tamanhos 0204 de resistores e capacitores para os componentes SMD. Para os diodos, os *pads* e o espaçamento entre eles utilizaram-se as especificações do *datasheet*. Neste circuito ainda foram utilizados componentes de polarização e separação de sinais ideais.

3.2.6.1 Circuito de polarização

A polarização dos diodos é outra parte importante do chaveador elementar. é preciso que exista uma diferença de potencial contínua entre seus terminais por serem componentes ativos.

Mais importante ainda é que a corrente contínua gerada por esta tensão não chegue às portas RF e que a potência RF não seja desviada para a fonte que gera a tensão contínua. Isto poderia danificar permanentemente o transceptor e o controle do apontamento.

Para isto, foi elaborado um circuito de polarização conhecido como T de polarização (Figura 19) que substitui os componentes ideais *DC_Block* e *DC_Feed*. Para tal foram usados tocos radiais¹⁰ microfita com larguras pequenas (no limite de fabricação) e capacitores.

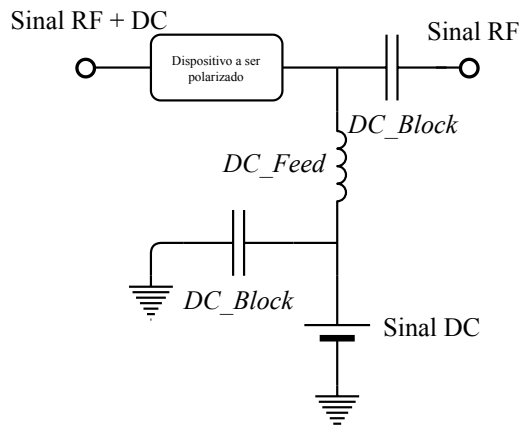


Figura 19 – Diagrama com exemplo de um T de polarização em que o sinal RF e DC são separados por elementos discretos. Fonte: Elaboração própria.

A escolha do capacitor foi baseada na sua impedância de modo que bloqueie o sinal DC e deixe passar o sinal RF. A impedância de um capacitor pode ser descrita como

$$Z_{cap} = -\frac{j}{2\pi fC} \quad (3.2)$$

¹⁰ *radial stub* em inglês

, onde C é sua capacitância e f é a menor frequência da banda Ku. Z_{cap} deve ser a menor possível para esta frequência permitindo a passagem de qualquer espectro dentro da banda Ku,

$$C = -\frac{j}{2\pi f Z_{cap}}. \quad (3.3)$$

Estipulou-se que Z_{cap} seja menor que $-0,005j\Omega$. Dessa forma foi calculado que a capacitância C deve ser maior que 2 nF. Optou-se por uma capacitância de 10 nF por uma margem de segurança.

Escolhido o diodo, o próximo passo foi desenvolver o resto do circuito de polarização: toco radial e linha de $\lambda/4$ (Apêndice B.1). Para tal utilizou-se o *website* [Microstrip...](#) (2016) que conseguiu aproximações satisfatórias para as equações descritas por [Atwater \(1983\)](#) para tocos radiais que funcionam como capacitores para as altas frequências.

Já as linhas de $\lambda/4$ precisam ter uma alta impedância em altas frequências para que não haja passagem do sinal RF. Isto pode ser alcançado com larguras mínimas de microfita. A menor largura disponível para esta espessura de cobre do substrato é de 0,102 mm.

Para resolver o problema das elevadas correntes dos diodos, utilizou-se um circuito com resistor de 50Ω em série para cada diodo (Apêndice B.2) de forma a reduzir a potência dissipada pelo diodo PIN. Colocou-se também um capacitor para fazer com que o sinal RF chegue ao terra e linhas de $\lambda/4$ para que este mesmo sinal RF não chegue ao resistor. Foram testados com tocos radiais no lugar do capacitor, mas a melhor resposta foi com dispositivo SMD.

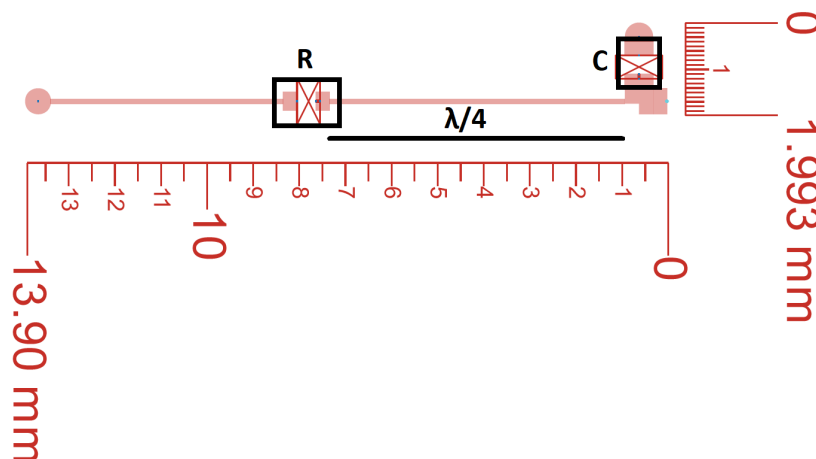


Figura 20 – Circuito de polarização do diodo PIN no ambiente *Layout* do ADS. Circuito de redução da corrente no diodo com um capacitor C de 10 nF em paralelo com resistor R de 50Ω . Fonte: Elaboração própria.

Após simulações e otimizações, transferiu-se o circuito para o ambiente *layout* e novamente simulou-se e otimizou-se para que o sinal RF perdido para a fonte DC fosse mínimo, ainda com os circuitos de polarização ideais.

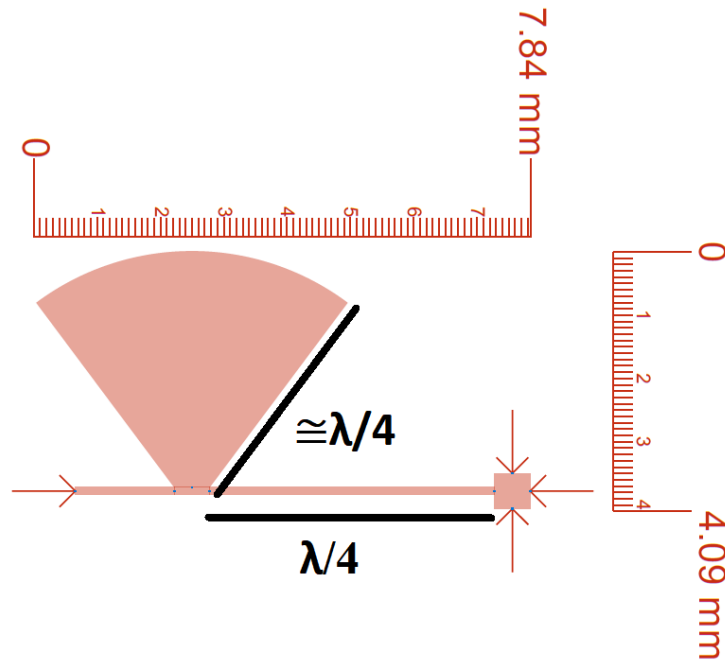


Figura 21 – Circuito de polarização do diodo PIN no ambiente *Layout* do ADS. T de polarização com *stub* radial de raio de $\lambda/4$ e linha de acesso de também $\lambda/4$ e 0,102 mm. Fonte: Elaboração própria.

3.2.6.2 Circuito completo SP2T

Agora com os circuitos de polarização finalizados é possível unir os circuitos projetados e simular o funcionamento do chaveador RF SPDT. Montou-se e otimizou-se o circuito no ambiente *Schematic* do ADS (Apêndice B.4). O circuito foi montado de forma que as trilhas paralelas entre si estivessem o mais distantes possível uma da outra, assim é minimizado o efeito de acoplamento entre elas.

Na primeira figura do Apêndice B.4 está o circuito chaveador SPDT em microfita completo no ambiente *Schematic* mostrando o canal da porta 1 ao centro, e os canais da porta 2 e 3, respectivamente à esquerda e à direita.

Posteriormente transferiu-se o circuito para o ambiente *Layout* e simulou-se com o método dos momentos, e otimizou-se também (Apêndice B.4). Para estas otimizações foi preciso tomar bastante cuidado com os limites das variáveis utilizadas no T de polarização. As trilhas do toco radial poderiam ser sobrepostas e isto possibilitaria a descaracterização do comutador RF. Na segunda figura do mesmo anexo está o circuito chaveador SPDT em microfita completo no ambiente *Layout* mostrando as medidas do chaveador e do

chaveador com linhas de acesso de 5 mm e impedância característica de $50\ \Omega$ nas portas 2 e 3.

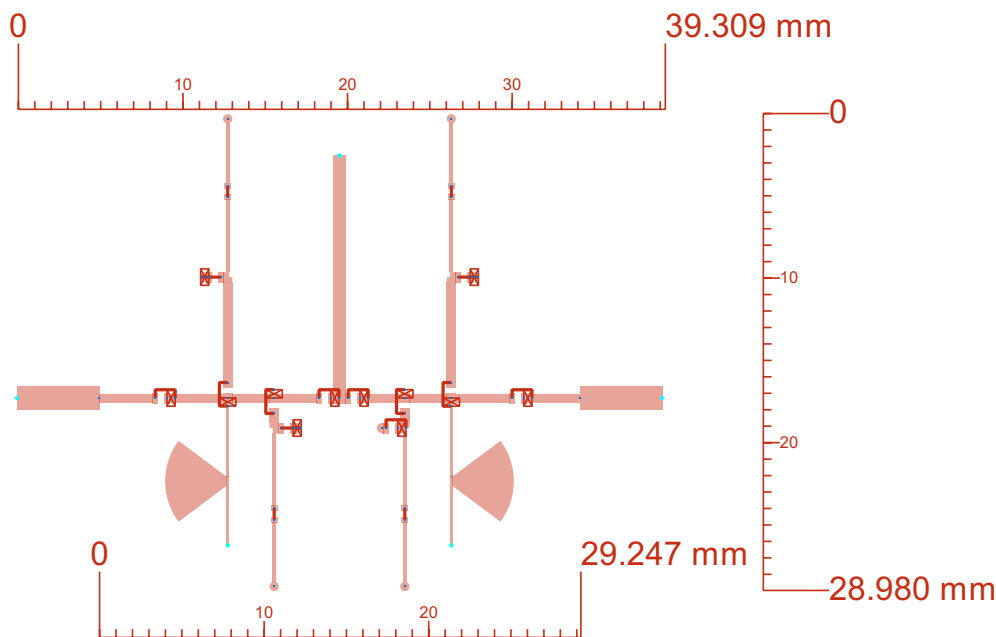


Figura 22 – Circuito chaveador SPDT em microfitas completo no ambiente *Layout* mostrando as medidas do chaveador e do chaveador + linhas de acesso de 5 mm e impedância característica de $50\ \Omega$ nas portas 2 e 3. Fonte: Elaboração própria.

O circuito final do chaveador SP2T (Figura 22) têm dimensões de aproximadamente $40\ \text{mm} \times 30\ \text{mm}$. Este tamanho é razoavelmente bom para um circuito que será composto por dezenas destes mesmos elementos.

3.2.7 Desenvolvimento do circuito SP4T

A partir do desenvolvimento do circuito SPDT (Seção 3.2.6) foi possível iniciar o circuito de um comutador com mais portas. Apesar de ser um design mais complexo, o SP4T irá facilitar a criação de uma matriz de comutadores.

Um chaveador *Single-pass Four-throw* é constituído de uma porta comum à quatro outras portas pelas quais o sinal deve passar ao serem acionadas. Da mesma forma que o SPDT, com o uso de dois diodos em paralelo por canal, este novo comutador muda a impedância das portas para permitir a comunicação ou bloquear o sinal.

Seguindo os mesmos métodos mostrados para o desenvolvimento do SPDT (Seção 3.2.6). O circuito elaborado em microfitas foi simulado no ADS utilizando as ferramentas disponíveis no pacote *TLines-Microstrip* e posteriormente levado para o ambiente *Layout*

do mesmo. O substrato empregado foi o AD250CTM, o mesmo utilizado no SPDT (Seção 3.2.4). Para o SP4T foram feitas LSSPs entre 9 GHz e 17 GHz.

Nos circuito de comutadores SP4T foi escolhida uma impedância característica de $50\ \Omega$, o que corresponde a uma largura de 1,41 mm. Para os componentes discretos SMD (resistores, capacitores e diodos) foram utilizados *pads* de dimensão no padrão 0204, muito utilizado comercialmente. Os diodos PIN utilizados ainda são do modelo da MACOM, MA4SPS502, por terem que atender às mesmas especificações anteriores.

3.2.7.1 Circuito de polarização do SP4T

O projeto de “T” de polarização foi recriado para uma melhor resposta da perda de inserção. Neste novo comutador com 4 canais foi empregado um circuito de polarização com dois tocos radiais.

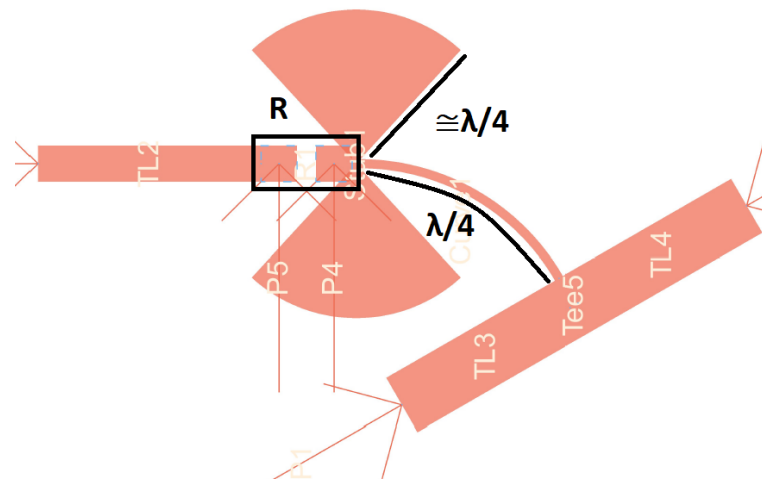


Figura 23 – Circuito de polarização dos diodos PIN no ambiente *Layout* do ADS. T de polarização com *stub* radial duplo de raio de aproximadamente $\lambda/4$ e linha de acesso de também $\lambda/4$ e 0,160 mm. Fonte: Elaboração própria.

Deste modo, só é necessário um único circuito de polarização para o par de diodos em paralelo de cada canal (Figura 23). Isto possibilita a redução no número de componentes para o T de polarização – de dois resistores para um, e de dois capacitores para nenhum –, o que também diminui o valor total de cada unidade produzida.

3.2.7.2 Circuito completo SP4T

Com o circuito de polarização estabelecido foram formuladas 4 versões diferentes de comutador de 1 para 4, para verificar qual delas tem uma melhor performance em termos de IL, RL e isolamento. A versão com melhor desempenho foi o circuito SP4T versão 2.0, logo ela foi a escolhida para a matriz e será apresentada em seguida. As demais versões estão disponíveis no Apêndice C.

O SP4T v2.0 foi pensado com quatro canais e um canal principal, que é comum a todos os outros. Cada canal possui dois diodos PIN em paralelo e um T de polarização criado anteriormente (Seção 3.2.7.1).

Durante o desenvolvimento deste comutador, foi notado que quanto menor a junção entre os canais melhor é seu desempenho. Ou seja, quanto menor a área do metal que une as trilhas dos canais, melhor é a comunicação entre eles, o que ocasiona em uma melhor perda de inserção, melhor perda de retorno e melhor isolamento entre canais.

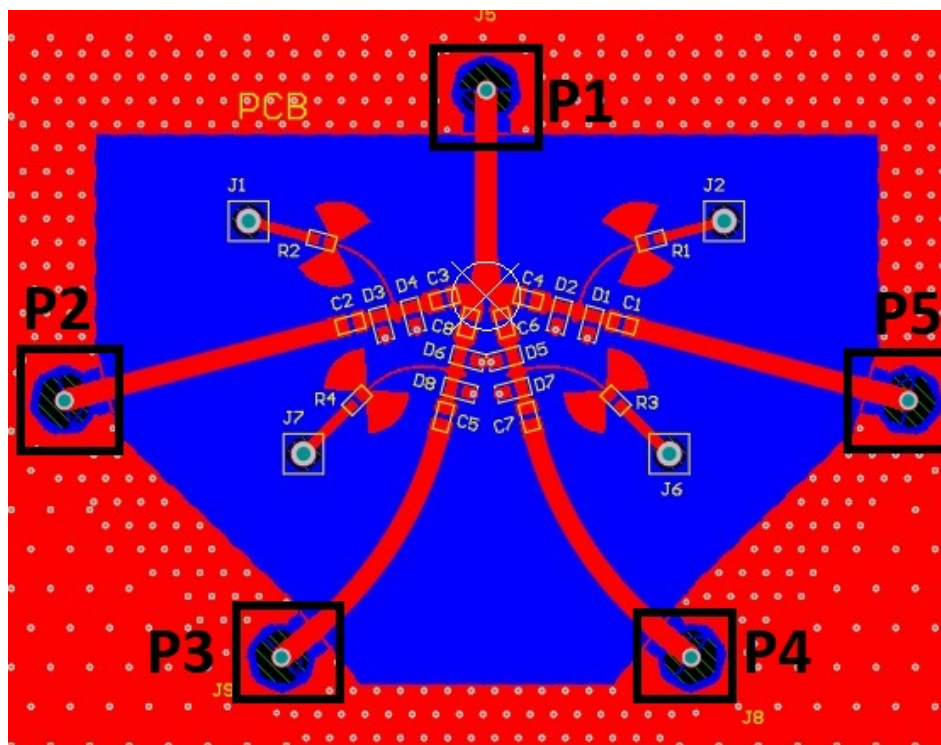


Figura 24 – Circuito chaveador SP4T versão 2.0 em microfita completo no ambiente *Layout* mostrando chaveador, portas (P1 como principal e P2 a P5 para os demais canais) e panlo de terra (em vermelho) com vias *through hole*. Fonte: Elaboração própria.

A princípio, foi feita uma simulação LSSP dos diferentes elementos simulados pelo método dos momentos a nível de esquemático e, posteriormente, eles foram aglutinados em uma mesma estrutura para a simulação eletromagnética. O resultado final foi otimizado após as primeiras simulações. As portas estão representadas pelas siglas P1, P2, P3, P4 e P5, em preto na Figura 24. Na placa do circuito foram incluídos um plano de terra (em vermelho) para minimizar interferências e vias para ligar os planos de terra e mantê-los equipotenciais.

O SP4T (Figura 24) tem um tamanho de 21 mm × 31 mm. Esta extensão conseguida com o circuito SP4T já é menor (e portanto melhor) que área ocupada pelo SPDT. Ele também utiliza menos componentes proporcionalmente ao número de canais. A evo-

lução conseguida com o comutador SP4T foi muito importante para o projeto.

3.3 Matriz SP16T

A matriz de chaveadores microondas, MSM, é basicamente o cascadeamento de elementos comutadores em série, de forma a aumentar o número de saídas. Foi montada com o elemento chaveador de melhor desempenho, o SP4T v2.0. O SP4T (Figura 24) tem tamanho de 21 mm × 31 mm. Esta extensão conseguida com o circuito SP4T já é menor (e portanto melhor) que área ocupada pelo SPDT. Ele também utiliza menos componentes proporcionalmente ao número de canais. A evolução conseguida com o comutador SP4T foi muito importante para o projeto da MSM.

Matriz de comutadores foi projetada em substrato AD250CTM com a melhor versão de chaveador SP4T até o momento. Ela utiliza cinco dispositivos SP4Ts v2.0, cascadeados em dois níveis proporcionando uma matriz de 1 para 16 (SP16T).

Para os testes da MSM era necessário um dispositivo de controle que substituísse, por enquanto, o controle que será feito pela FPGA. Foi escolhido um *DIP switch* TDS08 da APEM inc. (APEM INC., 2000) de 8 chaves seletoras e 3 posições cada (+,0,-). O controle é feito aplicando uma tensão de -4 V para o estado ON do canal, e +1 V para o estado OFF.

Na placa da MSM, também foram colocados pinos (em verde na Figura 25), para que, caso necessário, o grupo de trabalho responsável pelo RDS possa conecta-los à FPGA e assim realizar mais testes de controle. Foi colocado um plano de terra na parte superior (em vermelho) com a intenção de reduzir o acoplamento entre trilhas RF. Vias *trog hole* foram colocadas entre os dois planos de terra para que fosse mantido o mesmo potencial por toda a placa. O espaçamento entre estas vias foi especificado de modo que estivessem a uma distância menor que $\lambda_g/8$ para que não se criassem ressonâncias.

Alocaram-se trilhas de acesso de 20 mm com curvaturas diferentes nas saídas do comutador principal que liga todos os outros. Isto foi feito para que os demais chaveadores pudessem ficar afastados o suficiente uns dos outros, e assim causar e sofrer o mínimo de interferência dos demais dispositivos. Também foram posicionadas trilhas de acesso nas 16 portas de saída para que os testes pudessem ser feitos com conectores e adaptadores do tipo SMP (*Subminiature Push-on*).

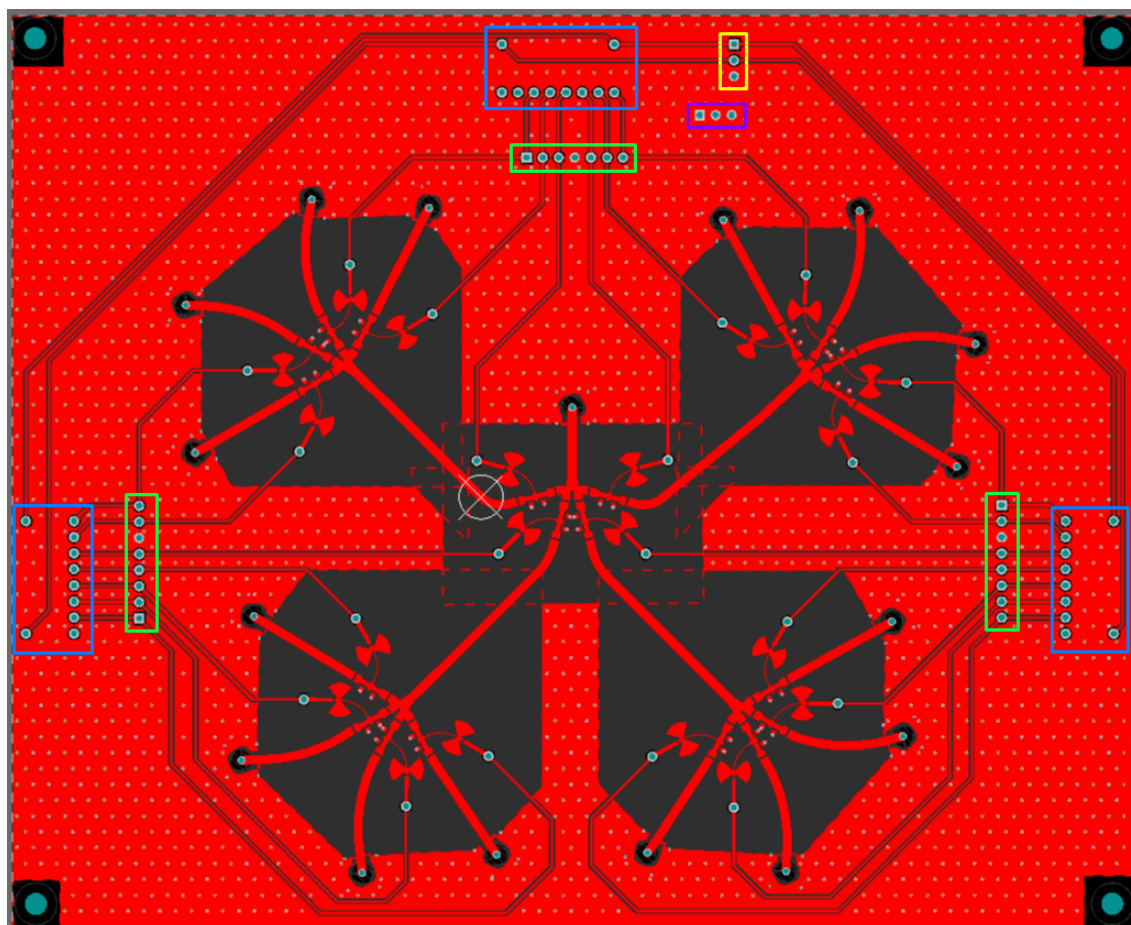


Figura 25 – Matriz SP16T constituída de 5 chaveadores SP4T v2.0 cascateados em dois níveis pronta para fabricação. As trilhas mais finas são sinais de controle levados dos chaveadores até pinos (em verde) e vias destinadas a dispositivos de controle (*DIP switches* em azul). Em roxo estão pinos para o GND e em amarelo estão os pinos de +1 V, -4 V e GND. Fonte: Elaboração própria.

4 Simulações, Resultados e Análise

Nesta seção serão apresentadas as simulações e discutidos os resultados referentes ao feito na Seção 3.

4.1 Simulações SPDT

Como já apresentado anteriormente, utilizou-se o programa *Advanced Design Systems* da Keysight e seus recursos para realizar todas as simulações deste projeto. As simulações foram executadas no ambiente *Schematic* – que considera as perdas do substrato e o descasamento de impedância – e *Layout* – simulação das correntes na malha pelo método dos momentos. Todas as malhas foram simuladas com 100 elementos por comprimento de onda para a frequência máxima de 15,5 GHz.

4.1.1 Circuito com polarização ideal

O circuito da Seção 3.2.6 foi criado primeiramente no ambiente *Schematic* e otimizado. A configuração do circuito com os resultados da otimização foram transportados para o ambiente *Layout* onde otimizou-se novamente com simulações eletromagnéticas. Lá o circuito aprimorou-se mais uma vez para a menor perda de inserção.

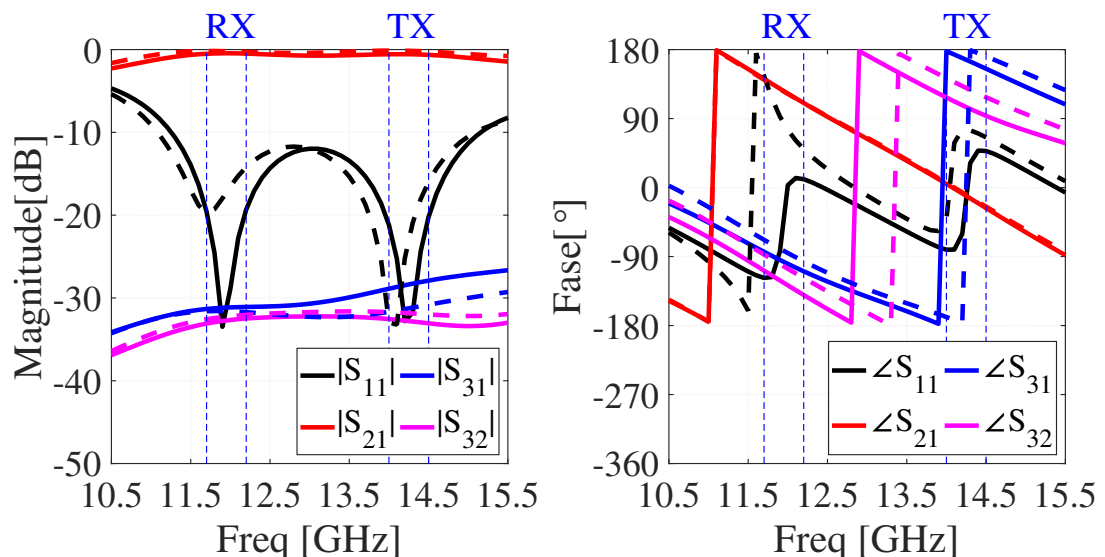


Figura 26 – Simulação dos parâmetros S (magnitude em dB e fase) do circuito SPDT de polarização ideal com a simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.

Os resultados estão na Figura 26. Em pontilhados estão os resultados do esquemático e em linha contínua estão os parâmetros S da simulação eletromagnética. Por utilizar o diodo, foi necessária o uso da LSSP. As bandas de Transmissão e Recepção estão descritas como linhas pontilhadas verticais na cor azul. A mudança mais perceptível foi a da RL (S_{11}) na qual o resultado da simulação EM é melhor que do circuito no esquemático devido às otimizações.

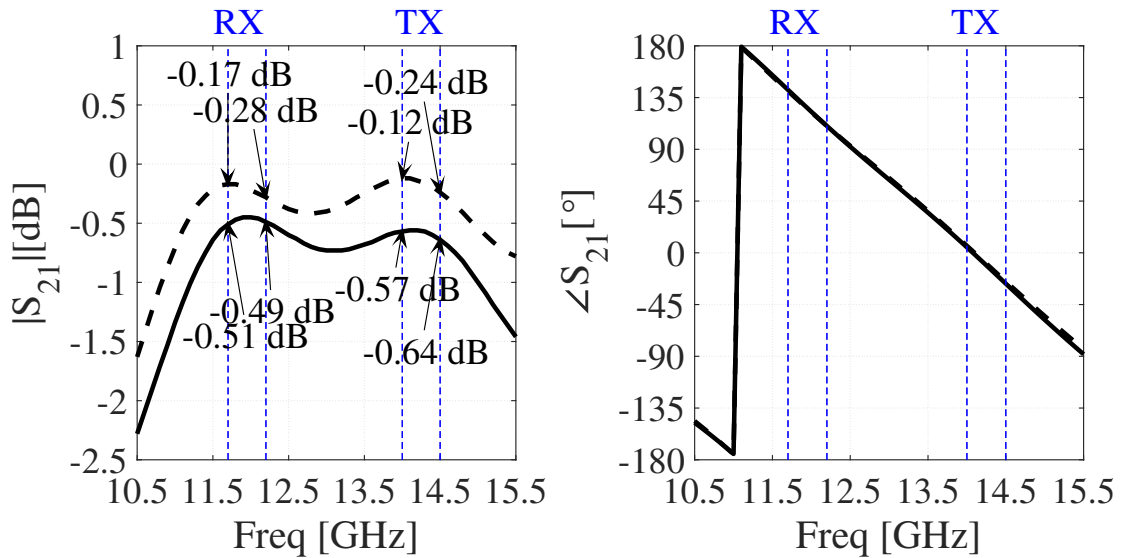


Figura 27 – Simulação do parâmetros S_{21} (magnitude em dB e fase da perda de inserção) do circuito SPDT de polarização ideal com a simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.

Agora em detalhes, pode-se ver na Figura 27 que há uma piora na IL da simulação do esquemático para a simulação EM. Isto já era esperado levando-se em consideração que o modelo EM é mais realista. A fase se mantém praticamente a mesma para toda a banda. Observa-se também houve uma piora no ISO (Figura 28).

A transferência de potência de uma porta para a outra é essencial. Para as simulações utilizou-se uma fonte RF com potência de 35 dBm que equivale aproximadamente a 3 W. Isto foi testado para caso exista a necessidade de elevar a potência nominal na transmissão, que é de até 33 dBm (2 W).

A Figura 29 mostra a transmissão de potência da porta 1 para as portas 2 e 3 quando a porta 2 está ligada e a porta 3 desligada. Nela, com poucas diferenças entre o esquemático e a simulação EM, é possível notar que quase toda a potência é destinada a porta ligada (aproximadamente 2,7 W) e muito pouco é transmitido para a porta desligada (aproximadamente 0,005 W).

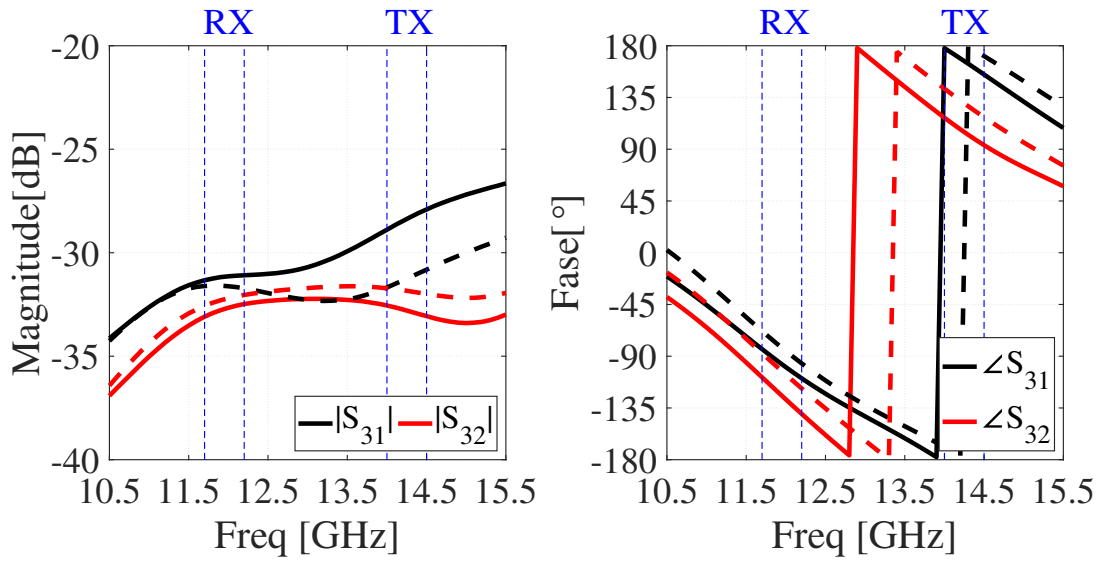


Figura 28 – Simulação dos parâmetros S_{31} e S_{32} – isolamento entre canais – (magnitude em dB e fase) do circuito SPDT de polarização ideal com a simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.

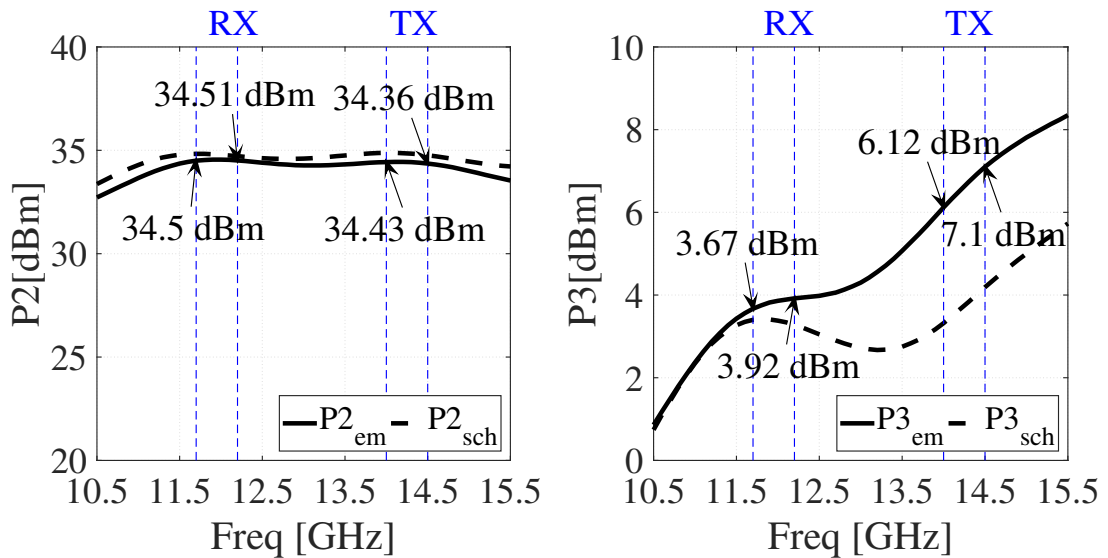


Figura 29 – Simulação LSSP do circuito SPDT de polarização ideal com a simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -) para potência RF transmitida para as portas 2 e 3 a partir de uma fonte de 35 dBm. Fonte: Elaboração própria.

4.1.2 T de polarização

O T de polarização descrito na Seção 3.2.6.1, assim como os circuitos anteriores, teve sua criação de circuito primeiramente em esquemático. Este sistema eletrônico deve evitar a passagem de sinal Rf para a fonte DC e vice-versa. O circuito tem 4 portas pois

um dos diodos do par será ligado diretamente ao “T”. As portas 1 e 2 são para a passagem do sinal RF, a porta 3 para a conexão com o diodo e a porta 4 para a fonte DC.

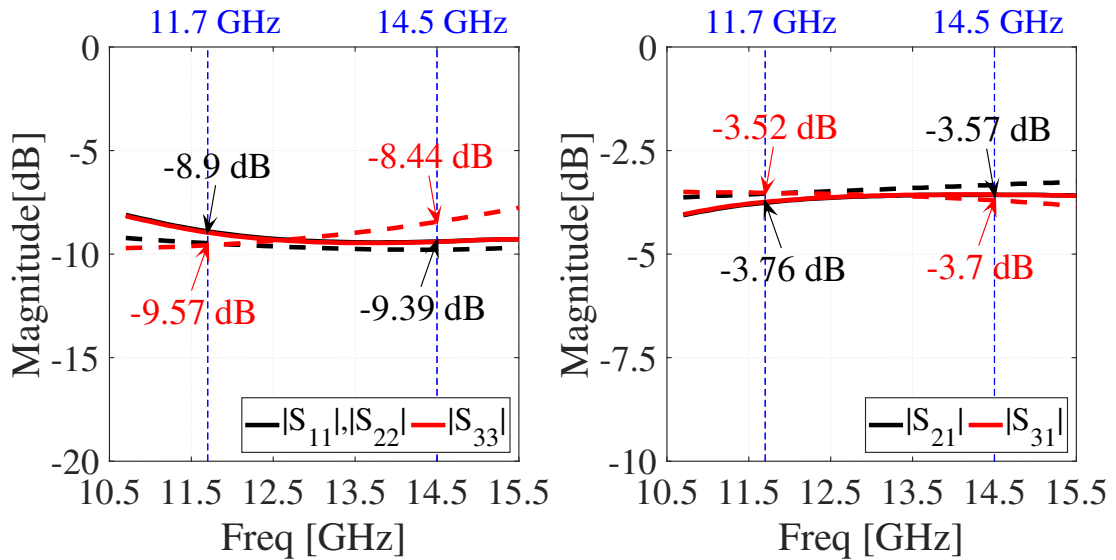


Figura 30 – Simulação de parâmetros S do T de polarização. A esquerda perdas de retorno nas portas 1, 2 e 3. A direita transmissão da porta 1 para as portas 2 e 3. Simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.

A Figura 30 mostra a perda de retorno para as portas 1, 2 e 3 juntamente com a transmissão da porta 1 para as portas 2 e 3. Idealmente, apesar de estarem iguais, os parâmetros S_{21} e S_{31} também deveriam ser iguais a 3 dB. Isto é explicado pela Figura 31.

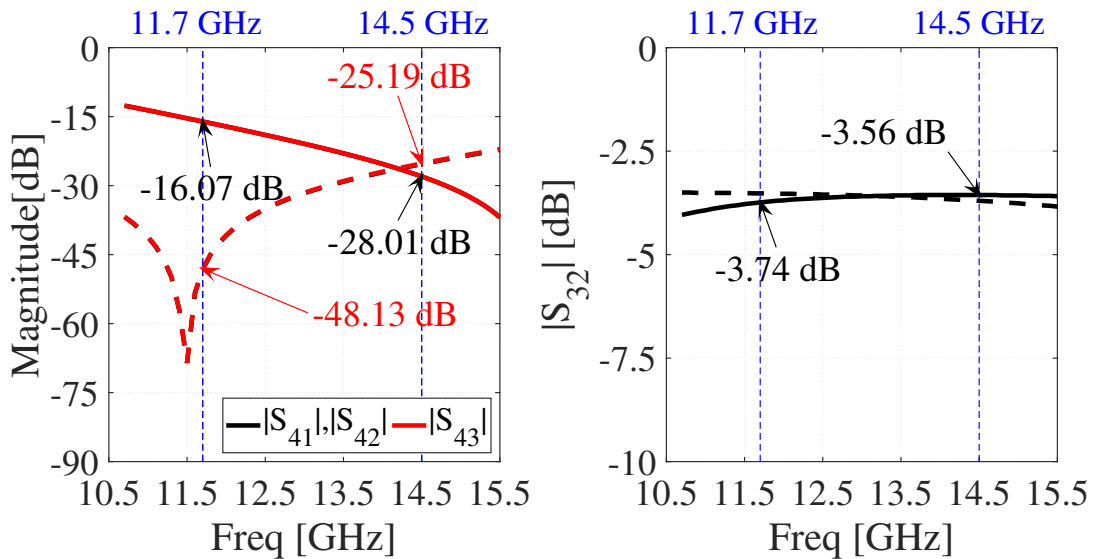


Figura 31 – Simulação de parâmetros S do T de polarização. A esquerda transmissão da porta 4 para as portas 1, 2 e 3. A direita transmissão da porta 3 para as portas 1, 2 e 3. Simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.

Na Figura 31 nota-se a diferença entre a simulação EM e à nível de esquemático. Mesmo após rodadas de otimização, os parâmetros S_{41} , S_{42} e S_{43} se mantiveram altos, mostrando que parte do sinal é desviado para as portas 2 e 3, fazendo com que S_{21} e S_{31} se mantenham mais distantes de 3 dB.

4.1.3 Polarização do Diodo

O circuito de polarização do diodo apresentado na Seção 3.2.6.1 possui apenas uma porta, que é a conexão com o diodo PIN. Logo o único parâmetro disponível é S_{11} . Para seu funcionamento é necessário que a RL seja a maior possível (mais próxima de 0 dB).

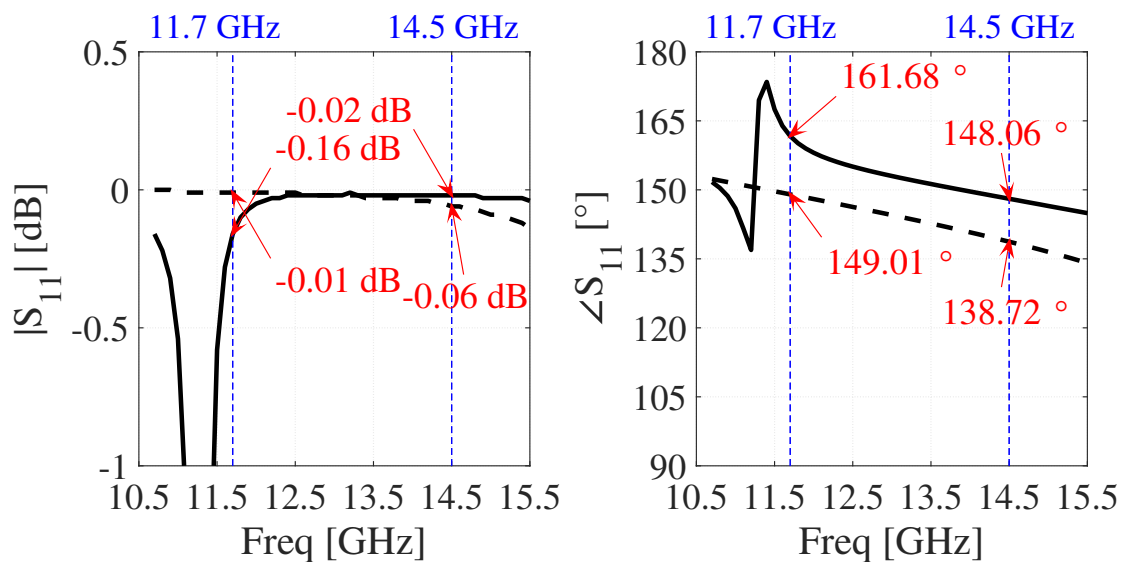


Figura 32 – Simulação do parâmetro S_{11} da polarização do diodo com resistor de 50 Ω . Simulação EM em linha contínua (—) e simulação de esquemático em linha pontilhada (- -). Fonte: Elaboração própria.

Apesar das curvas da simulação a nível de esquemático serem diferentes das curvas da simulação EM, os resultados para o circuito de polarização do diodo são satisfatórios, pois apresentam um alto retorno da potência RF para a porta 1.

4.1.4 Circuito completo

Já com os circuitos individuais simulados e otimizados separadamente, todos os circuitos forma colocados juntos simulados e otimizados novamente. Os resultados são apresentados na Figura 33.

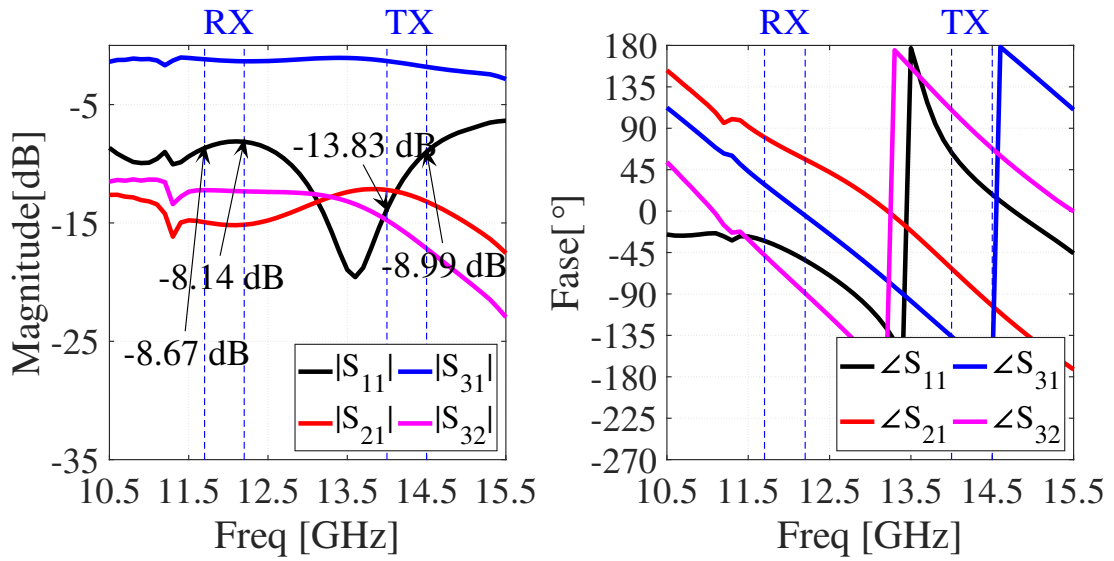


Figura 33 – Simulação LSSP (magnitude em dB e fase) do circuito SPDT com polarização projetada. Porta 1 como fonte do sinal RF, porta 2 desligada e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

Assim como esperado, observou-se na Figura 33 que existe uma piora do desempenho com relação a simulação da Figura 26. Isto acontece devido aos circuitos de polarização projetados, que não são modelos ideais sem perdas. Assim como as demais simulações que incluem diodos, utilizou-se a LSSP. Todas as simulações apresentam o cenário da porta 1 como fonte RF, porta 2 desligada e porta 3 ligada para a passagem do sinal RF.

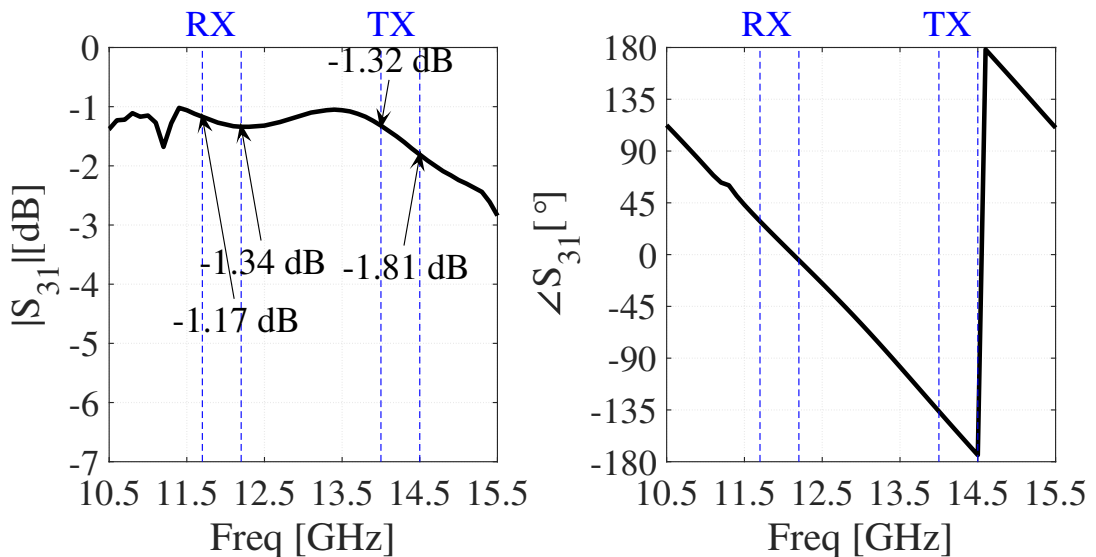


Figura 34 – Simulação LSSP (magnitude em dB e fase) para o parâmetro S_{31} do circuito SPDT com polarização projetada. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

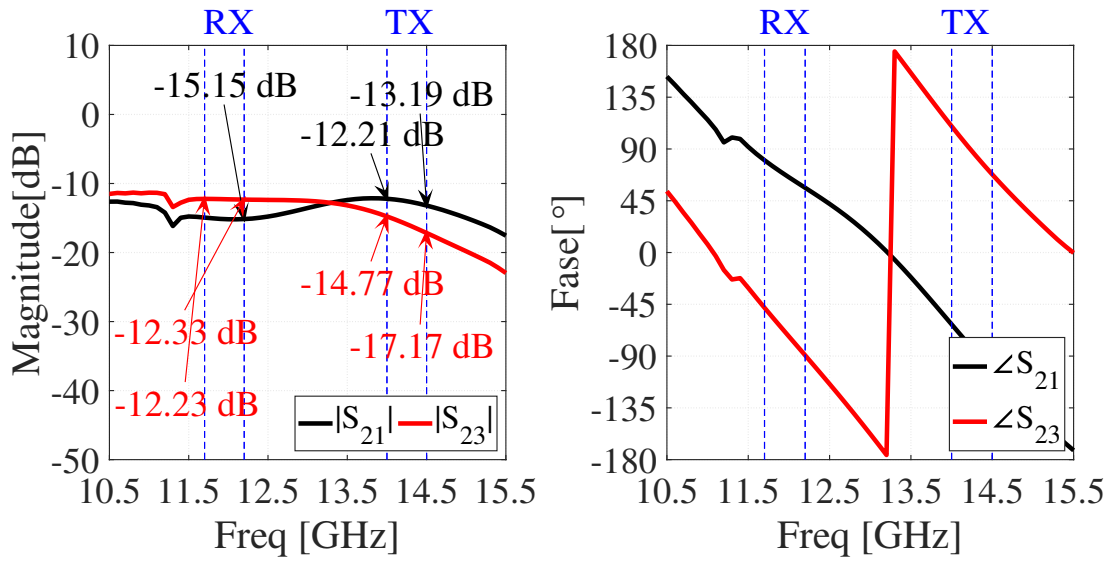


Figura 35 – Simulação LSSP (magnitude em dB e fase) para o parâmetro S_{21} e S_{23} do circuito SPDT com polarização projetada. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

Os resultados para a transmissão de potência RF também são piores que aqueles vistos na Figura 29.

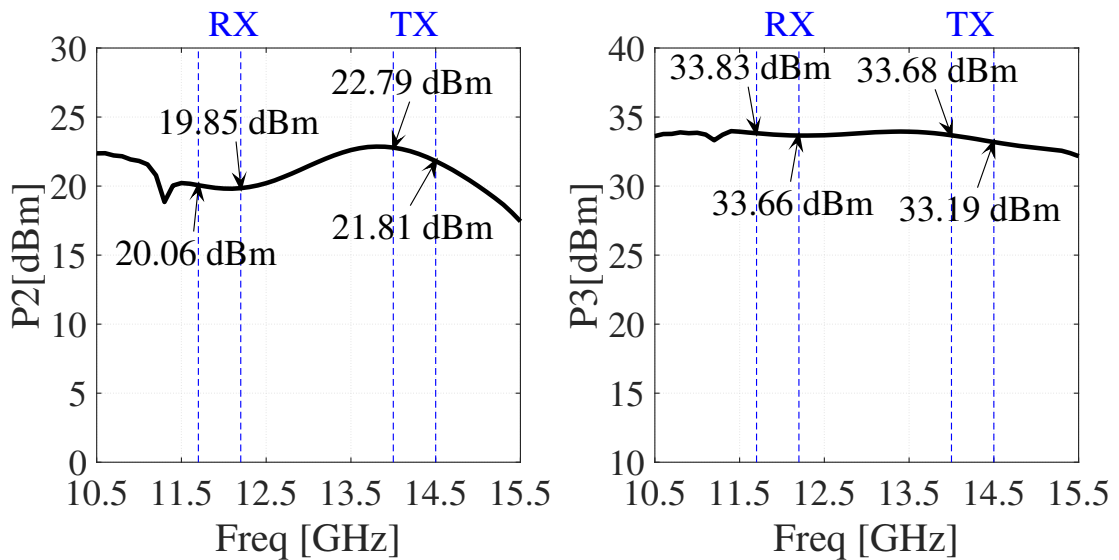


Figura 36 – Simulação LSSP do circuito SPDT com polarização projetada para potência RF transmitida para as portas 2 e 3 a partir de uma fonte de 35 dBm. Fonte: Elaboração própria.

4.1.5 Circuito impresso em placa

Após a finalização o projeto do chaveador RF, colocou-se o circuito no projeto das placas do transceptor e componentes passivos. Com ele colocou-se também linhas de

acesso e *pads* para os conectores SMA.

O conjunto final foi exportado do programa de *design* de placas de circuito impresso e simulado novamente com o programa ADS.

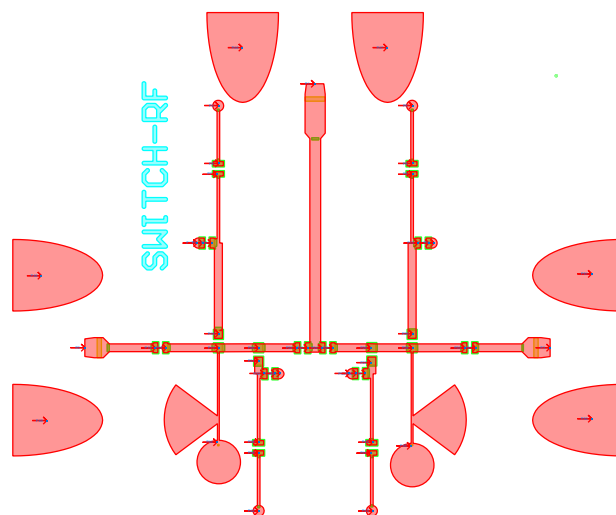


Figura 37 – Circuito do chaveador RF importado do *software* de criação de PCIs para ambiente *Layout* do ADS. Fonte: Elaboração própria.

Embora exista semelhança entre as curvas das Figuras 37 e 33, houve um comprometimento no desempenho do chaveador devido aos *pads* dos conectores e às novas linhas de acesso em microfita. Mesmo assim o chaveador foi enviado para fabricação.

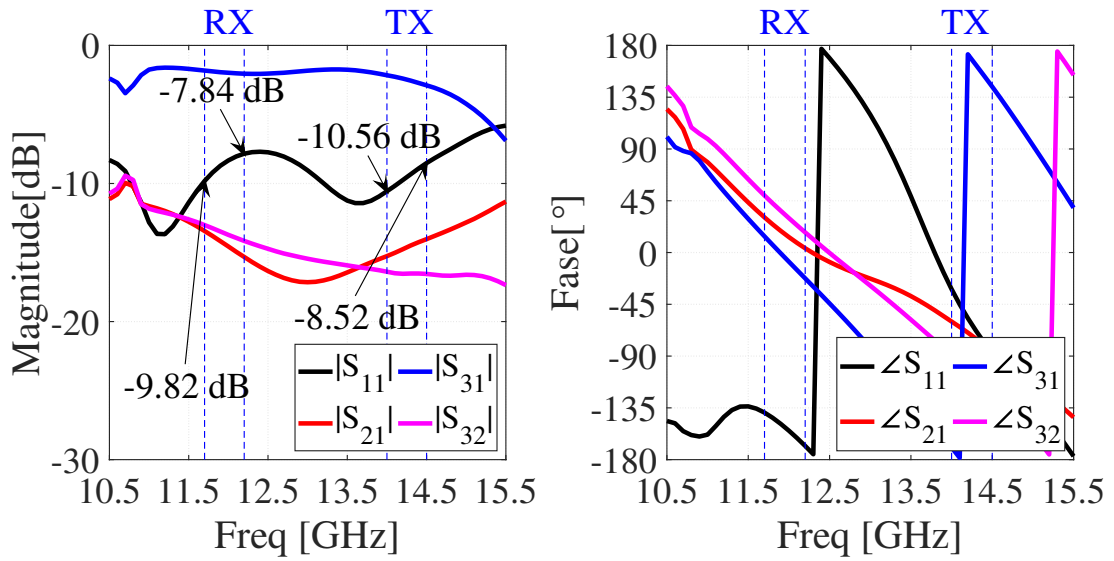


Figura 38 – Simulação LSSP (magnitude em dB e fase) do circuito importado. Porta 1 como fonte do sinal RF, porta 2 desligada e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

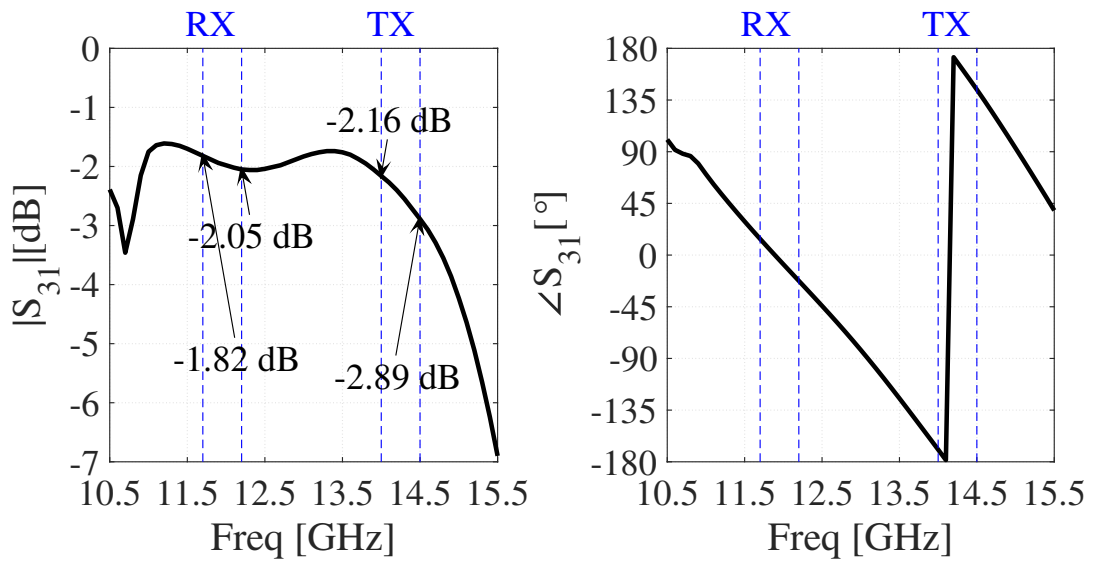


Figura 39 – Simulação LSSP (magnitude em dB e fase) para o parâmetro S_{31} do circuito importado. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

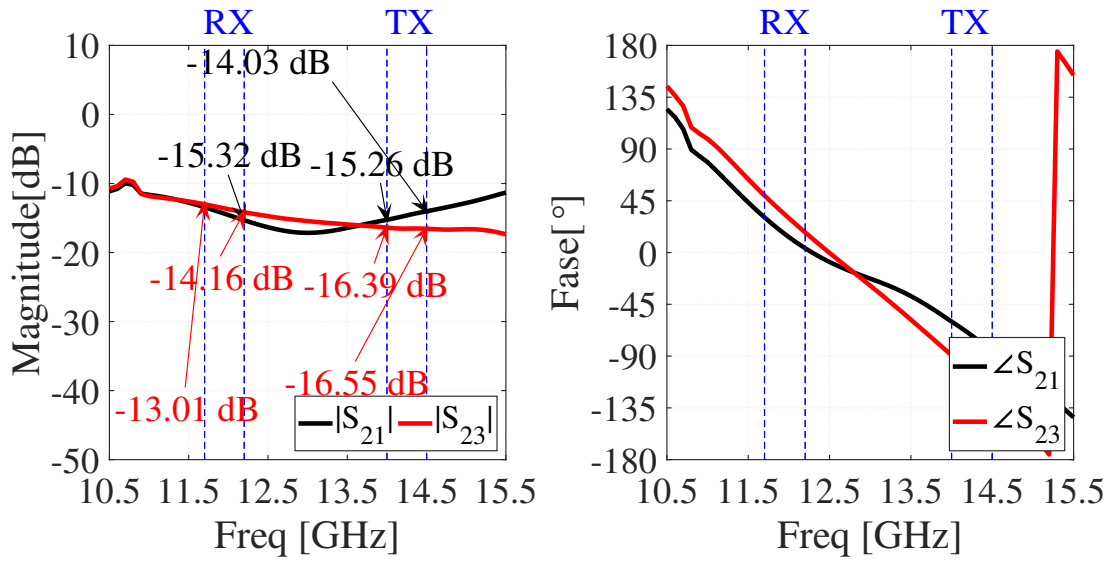


Figura 40 – Simulação LSSP (magnitude em dB e fase) para o parâmetro S_{21} e S_{23} do importado. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

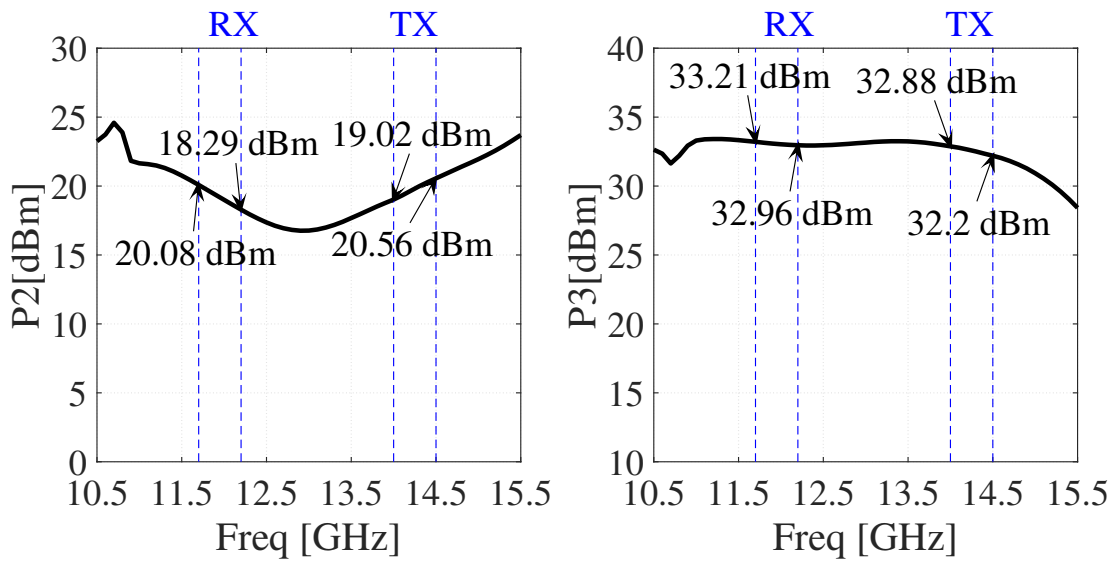


Figura 41 – Simulação LSSP para Potências transferidas da porta 1, a 35dBm, para as portas 2 e 3. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

Esta última simulação foi feita em conjunto com uma simulação DC para verificar as correntes que polarizam os diodos (Tabela 7). Principalmente para avaliar se as correntes estão perto de exceder o limite imposto pelo *datasheet*.

Tabela 7 – Valores em módulo das correntes sobre os diodos durante simulação DC. Fonte: Elaboração própria.

Diodos	Diodo 1	Diodo 2	Diodo 3	Diodo 4
Correntes	643,3 uA	92,5 uA	1,2 mA	698,2 uA

Com base nestes resultados um registro de testes foi criado para verificar e comparar o que foi simulado. Este registro está no Apêndice D.

4.2 Análise e circuito impresso SPDT

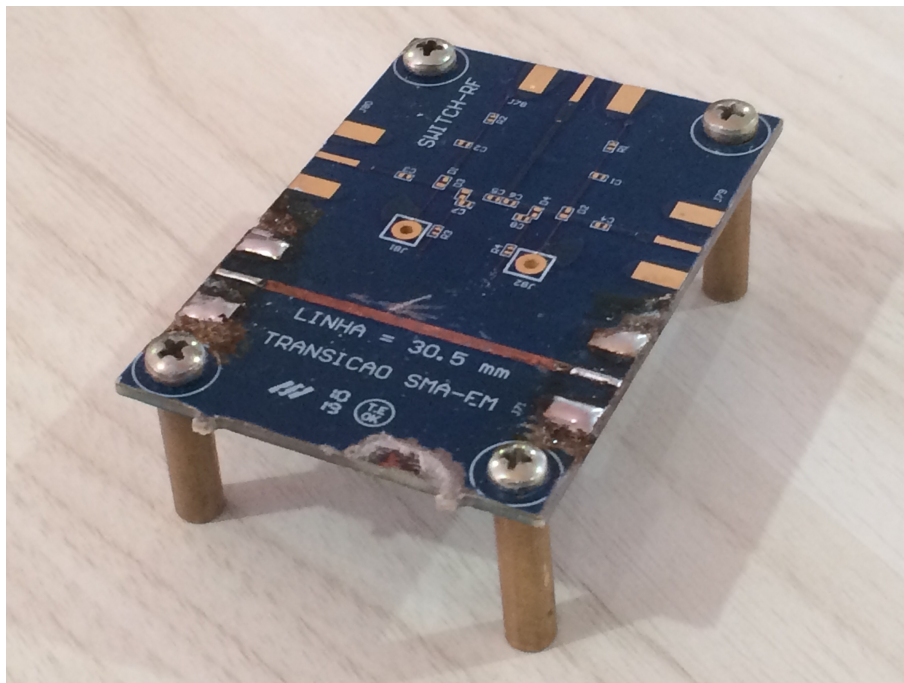


Figura 42 – Fotografia da placa com circuito chaveador em perspectiva. Fonte: Elaboração própria.

O projeto deste circuito chaveador, mesmo que apenas um elemento da matriz, tem importância para o resto do sistema. Com ele será possível identificar falhas para serem corrigidas para a matriz e também verificar se a teoria aplicada está compatível com os resultados simulados e os resultados extraídos do circuito impresso.

O circuito do chaveador foi fabricado pela Micropress (Figura 46). Infelizmente após o recebimento das placas (Anexo A) foram observados diversos defeitos em diversas trilhas de microfitas. Varias das trilhas foram apagadas (Figuras 46, 47 e 48) e outras que deveriam estar isoladas foram conectadas. Isto pode ter acontecido por falta de controle da corrosão do cobre durante processo.

Do mesmo modo, em testes de uma simples trilha de microfitas de SMA a SMA, notou-se a falta de aterramento que deveria ser conectado por vias *through hole*. Estes defeitos foram observados em muitos dos circuitos e nem o chaveador RF, nem outros circuitos passivos (filtros, transições, entre outros) foram testados.

Algumas das medidas que podem ser tomadas com relação a estes defeitos é trabalhar longe dos limites descritos pelos fabricantes. Outra medida seria que o circuito passasse por um processo de avaliação antes de sua confecção juntamente com os engenheiros responsáveis pelo processo de fabricação, bem como maior cuidado durante o mesmo.

A ultima opção seria a troca de fabricante. Infelizmente, no Brasil, a única empresa, com capacidade técnica, no momento, é a Micropress, que trabalha com o AD250C™ (Figura 50), sendo necessária a utilização de uma fabricante internacional. Isto eleva o custo pela mão de obra e demais onerações devido a importação e taxas. Está é a ultima opção a ser cogitada.

Quanto ao erros cometidos pela fabricante, foi requisitado um relatório dos fatores que possibilitaram placas de qualidade inferior juntamente com outro relatório das mudanças a serem realizadas para facilitar o processo de fabricação. Novas versões das placas e do circuito chaveador já estão sendo projetadas.

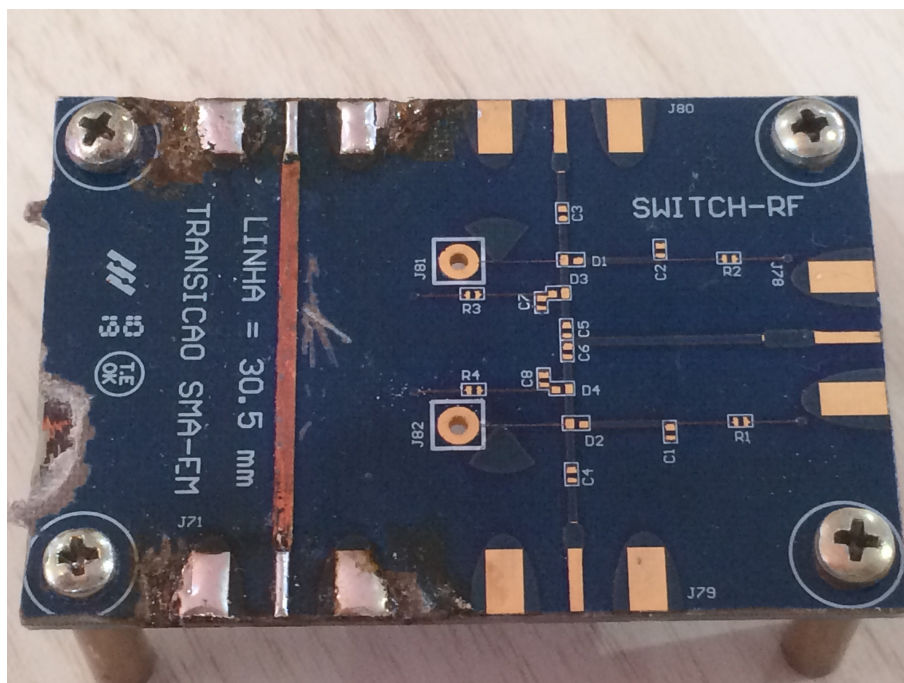


Figura 43 – Fotografia da placa com circuito chaveador a direita e linha de transição a esquerda em vista superior. Fonte: Elaboração própria.

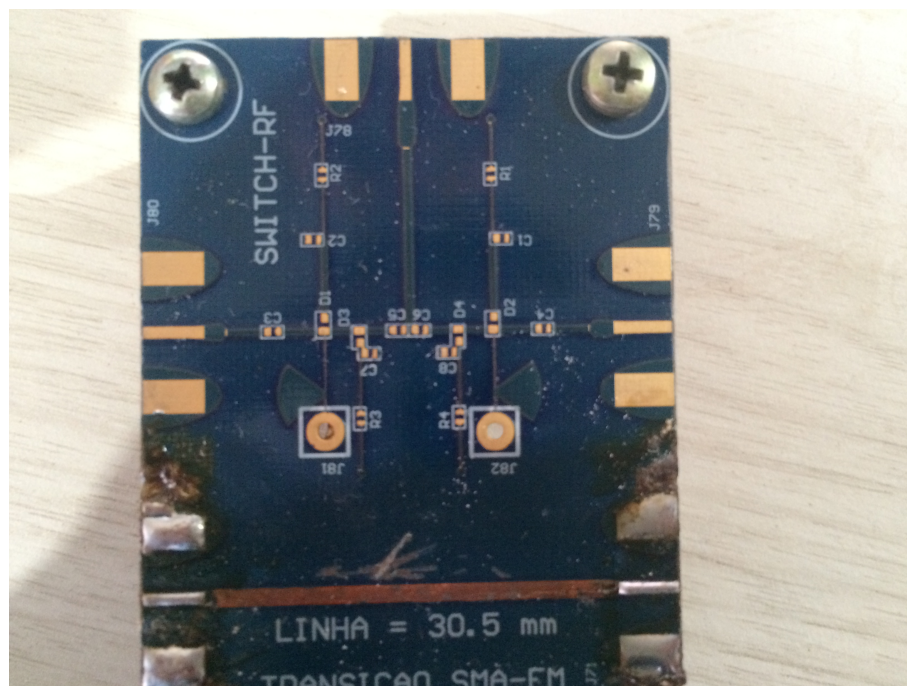


Figura 44 – Fotografia do circuito chaveador com porta 1 na vertical e portas 2 e 3 na horizontal, a esquerda e a direita respectivamente. Fonte: Elaboração própria.

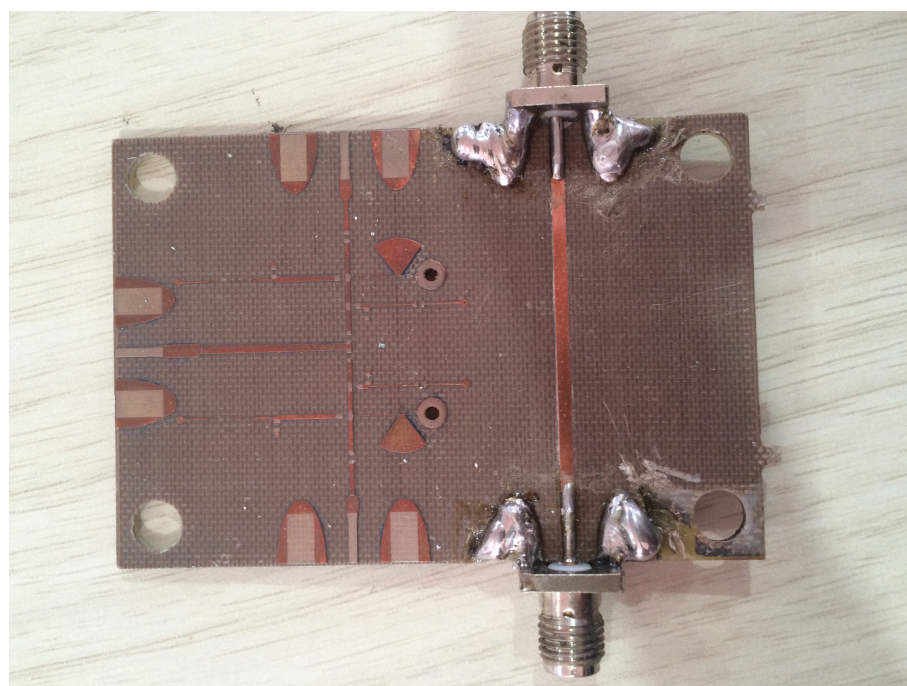


Figura 45 – Fotografia do circuito chaveador em vista superior sem máscara de solda. Fonte: Elaboração própria.

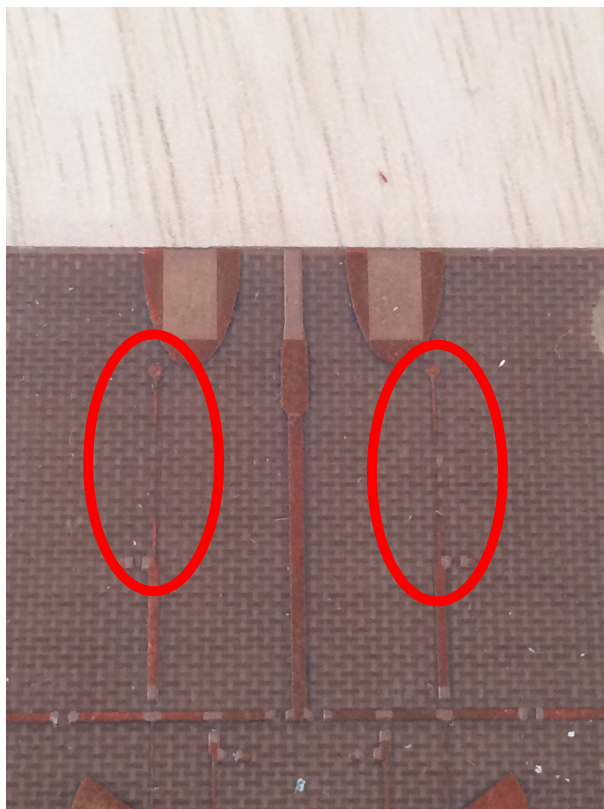


Figura 46 – Fotografia do circuito chaveador em vista superior sem máscara de solda com falhas nas trilhas de microfita circulado em vermelho. Fonte: Elaboração própria.



Figura 47 – Fotografia do circuito chaveador com detalhe em vermelho falha na trilha de microfita que polariza o canal direito. Fonte: Elaboração própria.



Figura 48 – Fotografia do circuito chaveador com detalhe em vermelho falha na trilha de microfita que polariza o canal esquerdo. Fonte: Elaboração própria.

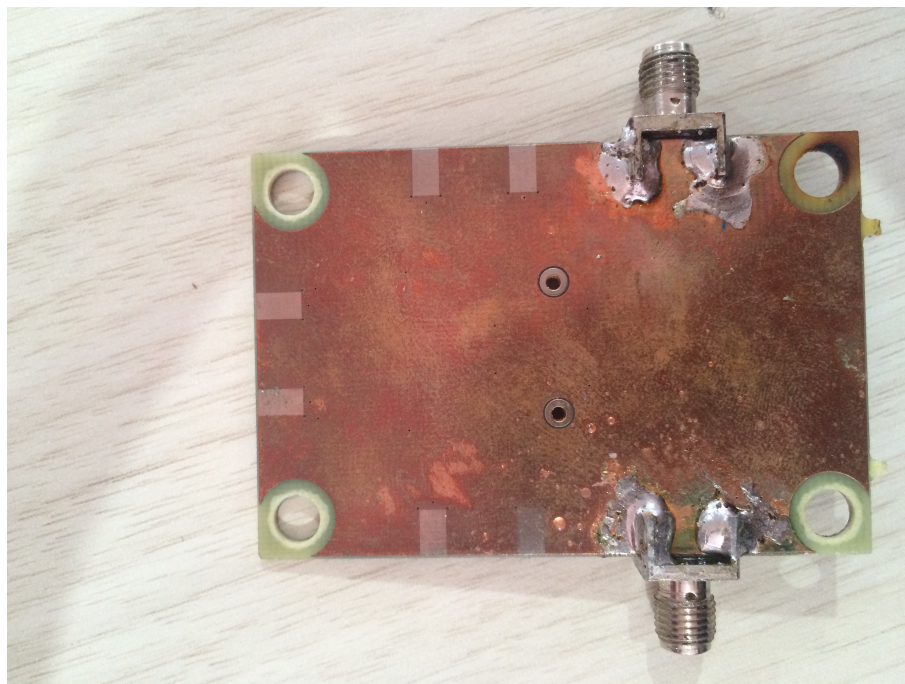


Figura 49 – Fotografia do circuito chaveador em vista inferior sem máscara de solda.
Fonte: Elaboração própria.

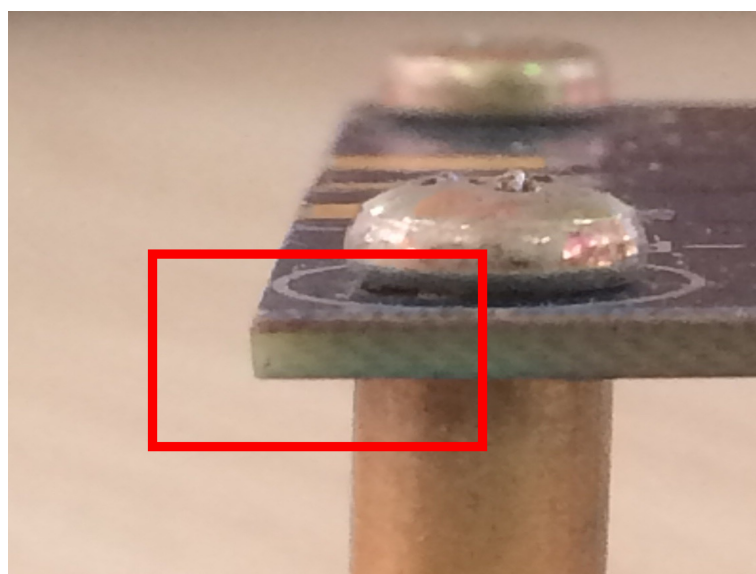


Figura 50 – Fotografia do circuito chaveador em vista lateral mostrando as duas camadas de substrato, sendo a mais clara e de baixo o FR4 e a mais escura e de cima o AD250C. Fonte: Elaboração própria.

Houve uma segunda rodada de fabricação sem ônus devido aos erros de fabricação. Nela foram feitas placas com os circuitos ativos e passivos (como filtros, transições e etc) e novamente o SPDT. Apesar da necessidade de envio rápido, foi incluída a versão 1 do SP4T (Anexo C.1) aproveitando o espaço disponível.

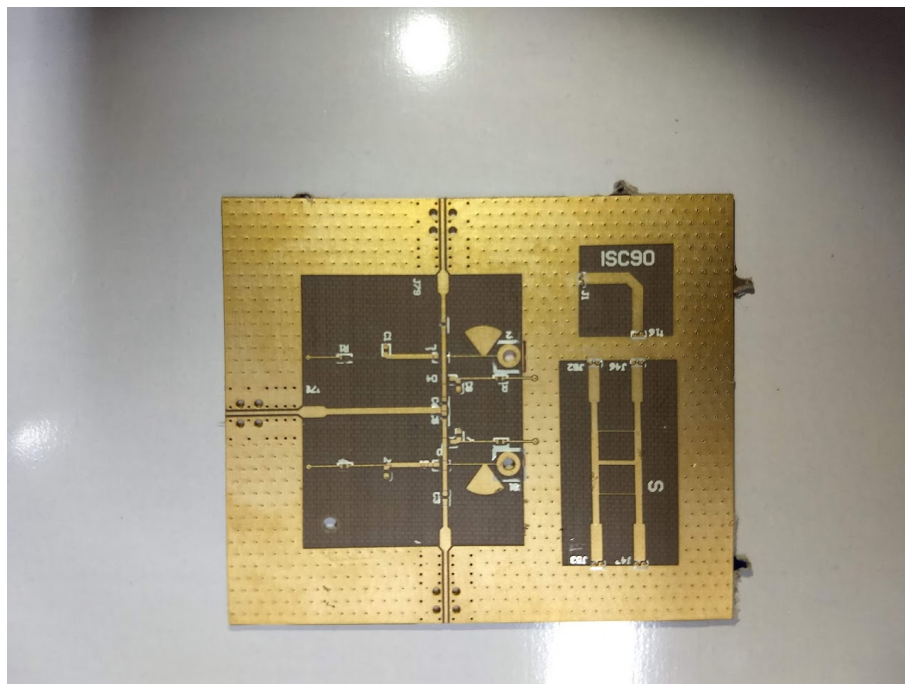


Figura 51 – Fotografia do circuito chaveador SPDT da segunda rodada de fabricação em vista superior mostrando o plano de terra e vias para manter o plano de terra equipotencial. Fonte: Elaboração própria.

Foram adicionadas vias para manter o plano de terra sem flutuações em toda a placa. Infelizmente, ainda com o cuidado durante a fabricação, uma trilha de controle foi corroída demais (Figura 51), deixando em aberto. Isto impossibilitou mais uma vez o teste do SPDT.

4.3 Simulações SP4T

Assim como o feito no SPDT, no SP4T todas as simulações foram realizadas utilizando a programa *Advanced Design Systems* da Keysight e seus recursos. As simulações foram executadas no ambiente *Schematic* – que considera as perdas do substrato e o descasamento de impedância – e *Layout* – simulação das correntes na malha pelo método dos momentos. Todas as malhas foram simuladas com 100 elementos por comprimento de onda para a frequência máxima de 17 GHz.

Serão apresentadas nessa seção apenas simulações eletromagnéticas pelo método dos momentos entre 9 GHz e 17 GHz, visto que está provado que a simulação em esquemático funciona, mas não é tão fiel quanto a simulação EM feita no ambiente *Layout*.

4.3.1 T de polarização com *stub* radial duplo

Por possuir uma banda larga, a perda de inserção do T de polarização é relativamente alta (entre $-0,4$ dB e $-0,7$ dB). Apesar disto, a RL se mantém abaixo de -13 dB, e um isolamento para a porta de sinal DC (Porta 3) abaixo de -30 dB. Isto significa que menos de 1 milésimo da potência RF chega à fonte de controle DC.

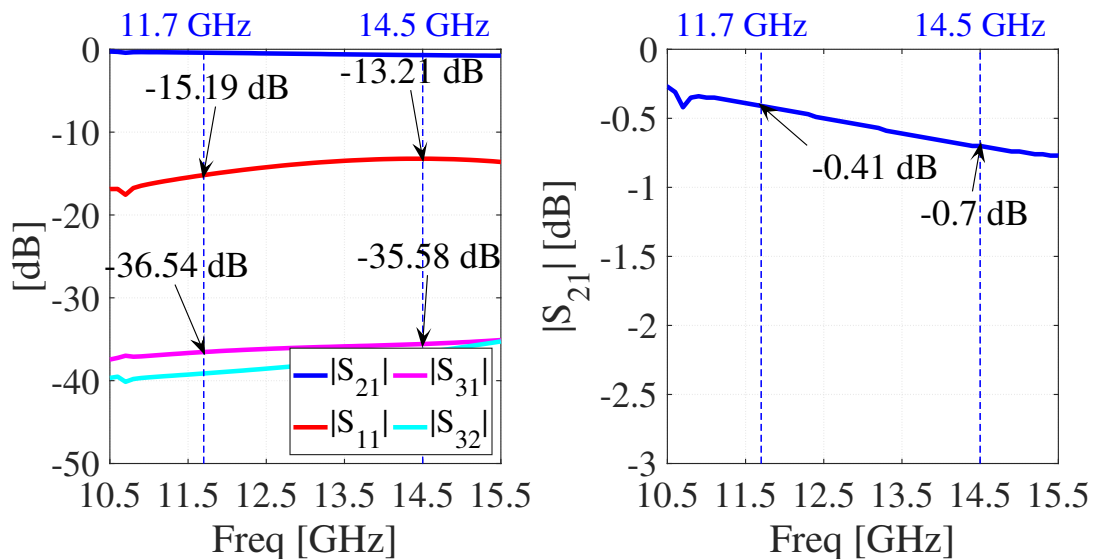


Figura 52 – Simulação dos parâmetros S do circuito de polarização com dois *stubs* radiais em simulação EM. A esquerda S_{11} , S_{21} , S_{31} e S_{32} , e a direita a IL representada pelo parâmetro S_{21} . Fonte: Elaboração própria.

4.3.2 Circuito completo SP4T

Já com o novo modelo de T de polarização foi possível simular e otimizar o circuito completo do SP4T v2.0. Após a otimização, todas as portas tiveram parâmetros S semelhantes.

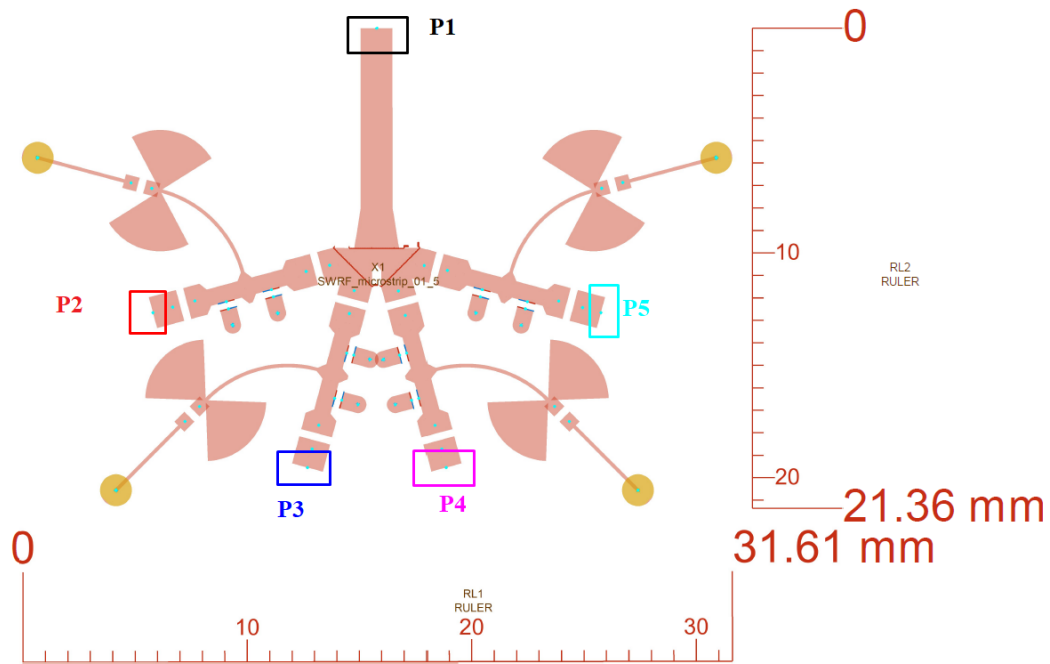


Figura 53 – Circuito chaveador SP4T versão 2.0 em microfita completo no ambiente *Layout* mostrando as medidas do chaveador e as portas (P1 como principal e P2 a P5 para os demais canais). Fonte: Elaboração própria.

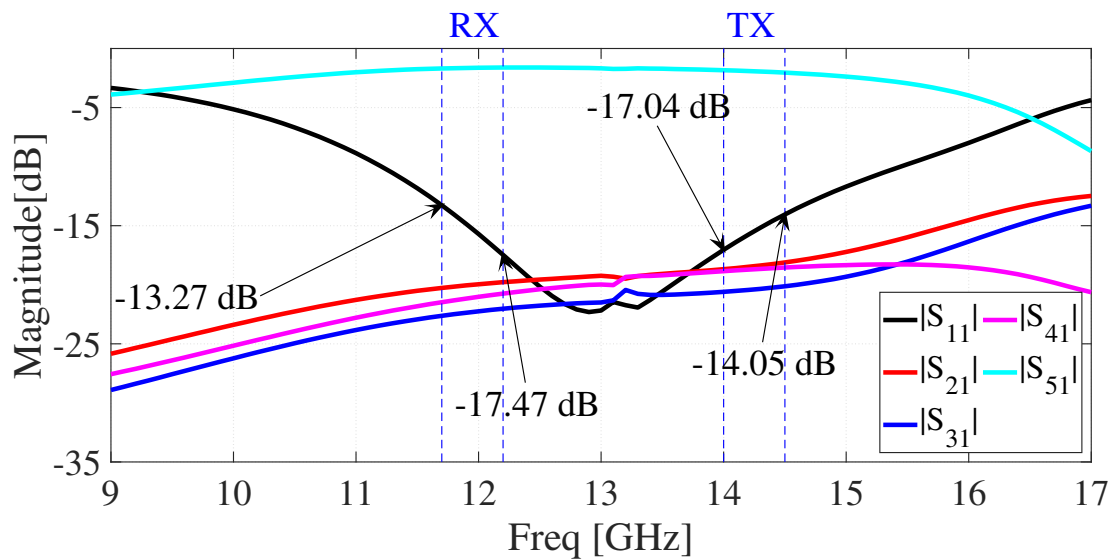


Figura 54 – Simulação LSSP do SP4T v2.0 para potências transferidas da porta 1, para as portas 2, 3, 4 e 5. Porta 1 como fonte do sinal RF e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

Na Figura 54 observa-se que a RL está abaixo de -13 dB em toda a banda. Uma perda considerada boa caso a fabricação tenha valores parecidos.

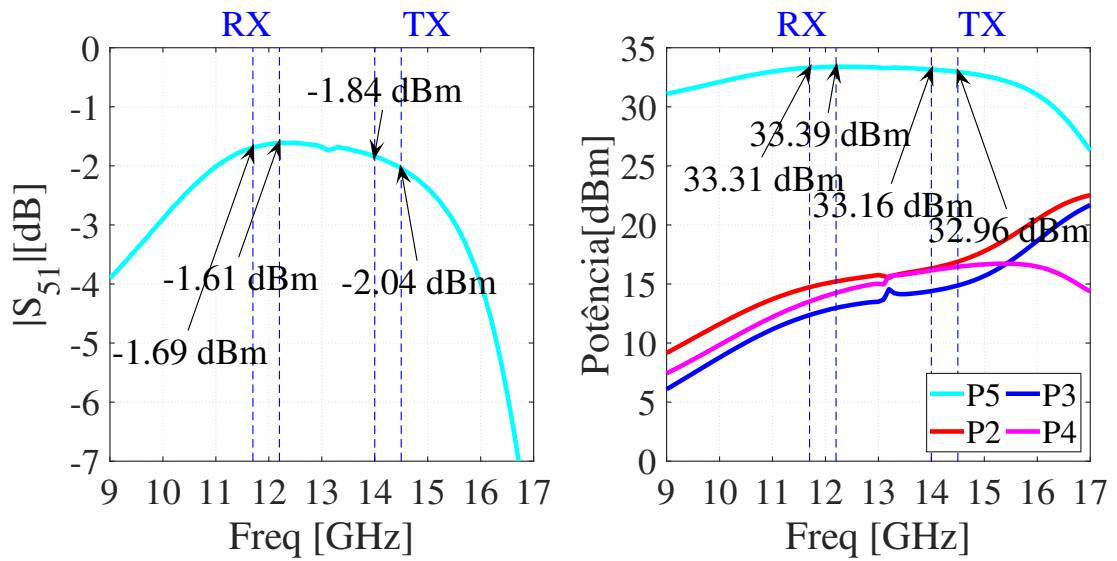


Figura 55 – Simulação LSSP do SP4T v2.0 para porta 1 como fonte do sinal RF de 35 dBm e a porta 5 ligada para a passagem do sinal RF. A esquerda está a IL e a direita estão as potências que chegam a todas as portas. Fonte: Elaboração própria.

A perda de inserção vista na Figura 55 é de aproximadamente 2 dB, o que é considerado adequado para o tamanho da banda e número de canais. Este resultado é muito importante para que a MSM tenha a menor IL possível. Ao ser injetado com o sinal de 35 dBm e com a porta 5 em ON, é obtido um sinal com 33 dBm, e em outras portas apenas 15 dBm.

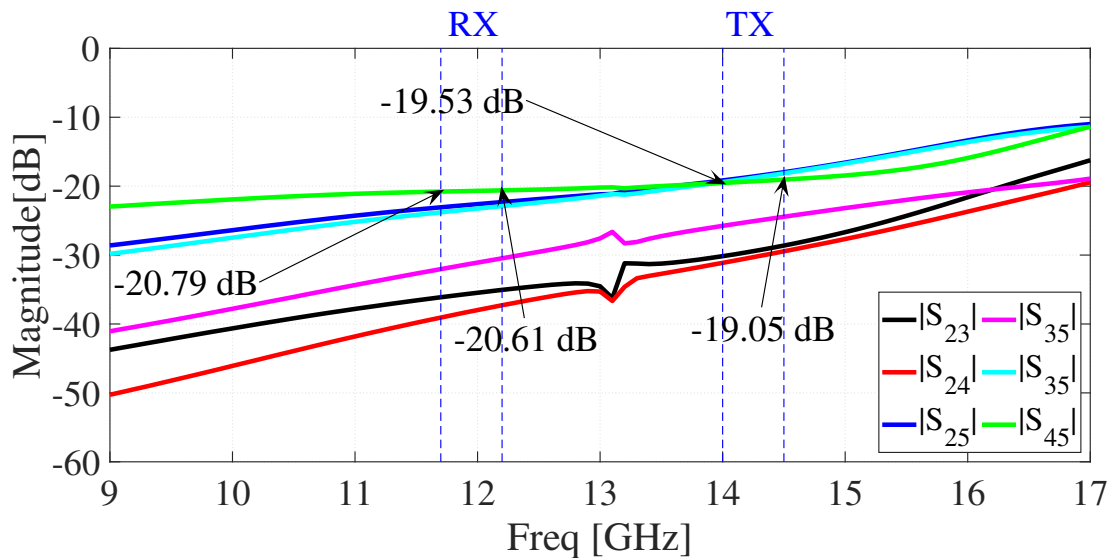


Figura 56 – Simulação LSSP do SP4T v2.0 mostrando o isolamento entre as portas com a porta 1 como fonte do sinal RF e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

Os isolamentos entre canais estão conforme o esperado, próximas ou menores que -19 dB. Isto também é importante para que o sistema de apontamento tenha um diagrama de feixe limpo.

Analisando os gráficos acima e comparando-os com os resultados do SPDT houve melhora significativa em todos os aspectos (IL, ISO e RL) e com redução nas perdas. Houve melhoria de 1 dB na IL para o canal transmissor, a medida em que dobrou-se o número de canais passantes do switch.

O SP4T v2.0 foi colocado na placa de elementos passivos juntamente com filtros, acopladores, ressonadores, desvios e transições. Esta placa já está pronta para fabricação e poderá ser confeccionada assim que as empresas derem retorno sobre a cotação.

4.3.3 Análise Estatística de Desempenho - *Yield*

O objetivo do *Yield* é fazer uma análise paramétrica que tente prever as diversas variações do processo de fabricação. Esta análise foi feita no melhor comutador 1 para 4 (SP4T v2.0) para tentar prever o comportamento após defeitos de fabricação delimitados pela norma.

Fez-se a análise de *Yield* providas pelo ADS Keysight. A forma de distribuição aleatória escolhida foi a Distribuição Uniforme devido ao desconhecimento do processo da fabricante. Foram respeitados os limites de $\pm 10\%$ de comprimentos e larguras abaixo de $250 \mu\text{m}$ limitando-se a um erro máximo de $\pm 25 \mu\text{m}$ para distâncias superiores a $250 \mu\text{m}$. Estes dados foram passados pela fabricante e constam na norma.

Nesta análise foi feito um *set up* com 250 iterações com variação em apenas comprimentos em final de trilhas e larguras, menos para ângulos. Com o *Yield* (linha tracejada Y) é possível fazer uma verificar as iterações que atendem à um requisito. O escolhido foi de S_{21} maior que $-2,5$ dB. A simulação foi feita de modo a descobrir se o circuito é robusto ou não aos defeitos de fabricação.

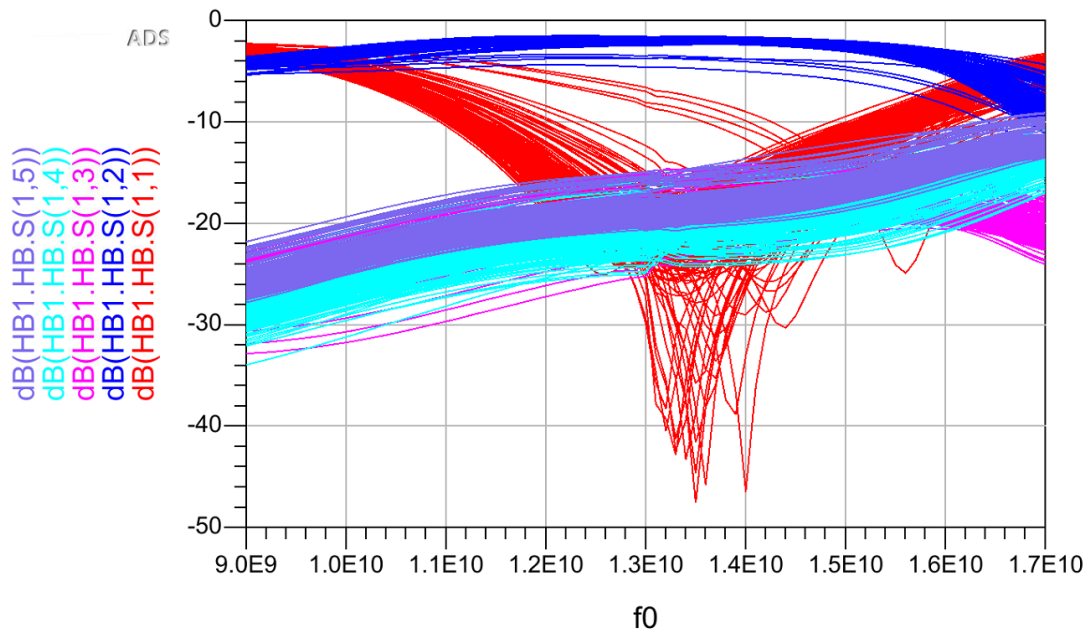


Figura 57 – Análise de *Yield* para o circuito SP4T v2.0 mostrando os parâmetros S para a porta 1 e 250 iterações. Fonte: Elaboração própria.

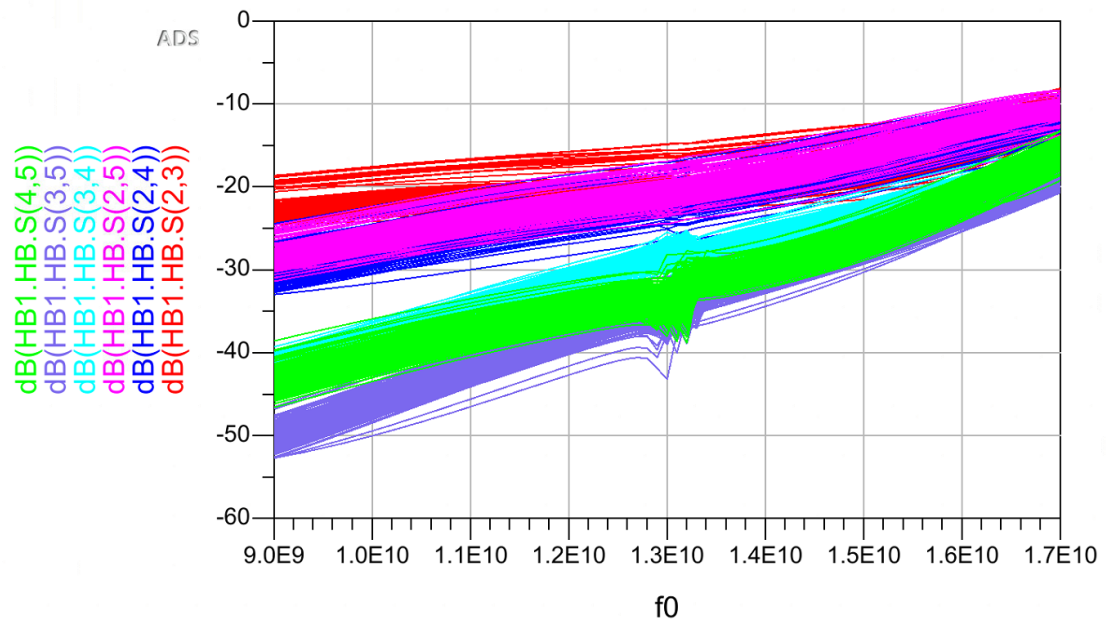


Figura 58 – Análise de *Yield* para o circuito SP4T v2.0 mostrando os parâmetros S para o isolamento entre as portas e 250 iterações. Fonte: Elaboração própria.

É possível notar que apenas onze das 250 iterações da análise feita na Figura 59, estavam abaixo do limite de $-2,5$ dB. Esta limitação foi imposta esperando um desvio aceitável na fabricação de até $0,5$ dB. O *Yield* calculado durante essa simulação é de $95,6\%$. Isto representa a proporção do número de curvas que atendem ao limite imposto.

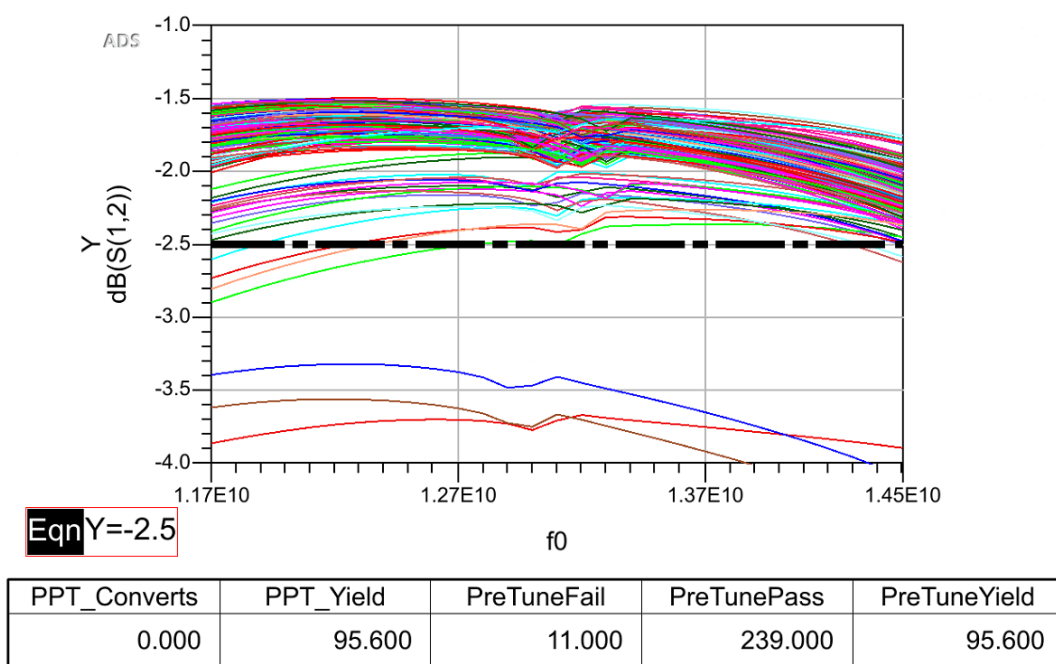


Figura 59 – Análise de *Yield* para o circuito SP4T v2.0 mostrando o parâmetro S_{12} para 250 iterações. Também é mostrada a linha determinada para a verificação da confiabilidade em $-2,5$ dB. Apenas 11 curvas ficaram abaixo do valor especificado. Fonte: Elaboração própria.

A partir desta análises é possível verificar a confiabilidade do *Yield* feito para o circuito. Segundo as tabelas da [Keysight Technologies \(2009\)](#), para um *Yield* de 95,6% tem-se 68,3% de confiança de que o resultado tenha um erro de $\pm 2\%$, ou seja, esteja entre 93,6% e 97,6%. Com um nível de confiança de 95,4% o erro estimado é de $\pm 4\%$, variando entre 91,6% e 99,6%. Aumentando a confiança para 99,7% a estimativa de erro é de $\pm 5\%$, com uma variação entre 90,6% e 100%.

Estes resultados apresentam um bom nível de segurança para a fabricação do circuito. Com eles é possível concluir com 99,7% de confiança de que há mais de 90% de chance do circuito possuir uma IL melhor que $-2,5$ dB.

4.4 Simulações Matriz SP16T

Com o aumento significativo do tamanho, o circuito passou a demandar muito processamento, por isto ele foi reduzido a apenas dois comutadores cascadeados em série, ou seja, com apenas 8 portas. Isto não altera os resultados dos parâmetros S da portas e reduz o tempo de calculo das simulações eletromagnéticas. Os resultados foram bastante semelhantes para qualquer uma das portas. Os resultados apresentados são para a porta 3 ligada e as outras desligadas.

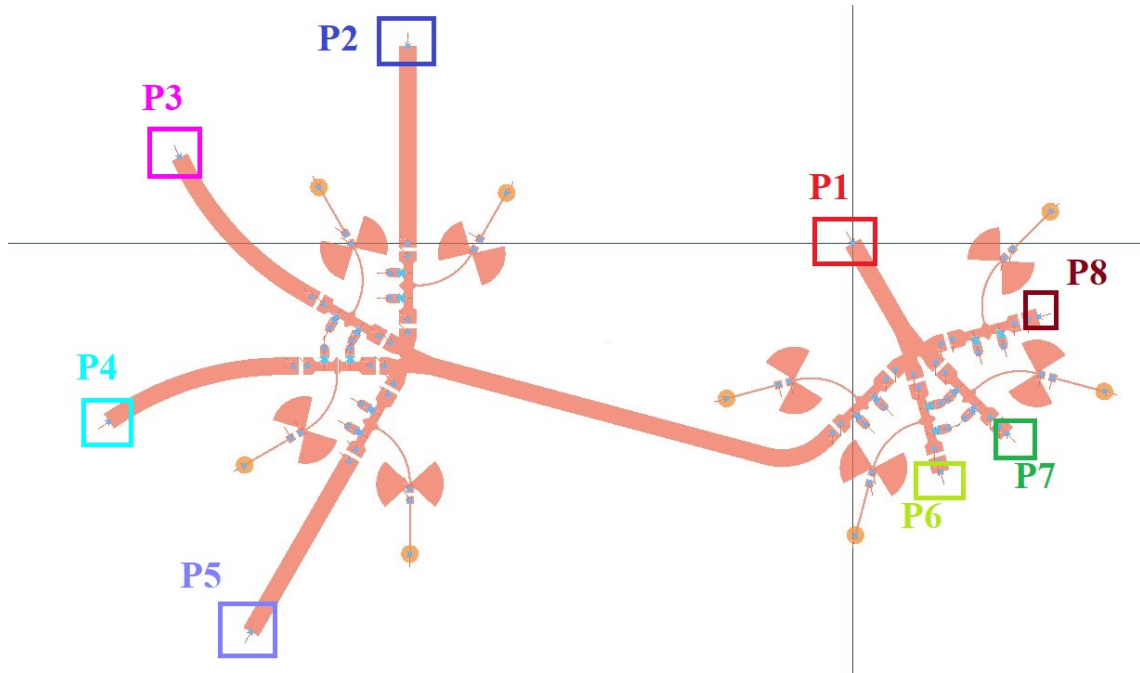


Figura 60 – Simulação LSSP Layout da MSM SP16T mostrando os dois SP4Ts v2.0 cascateados devido a necessidade de um processamento mais rápido. Também são mostradas as porta de 1 a 8. Fonte: Elaboração própria.

Infelizmente não foi possível fazer otimização nesse circuito devido ao tempo de simulação e a urgência no envio para a fabricação. Sendo assim, o agravamento nos resultados (IL, RL e ISO) mostradas na Figura 61 já era esperada.

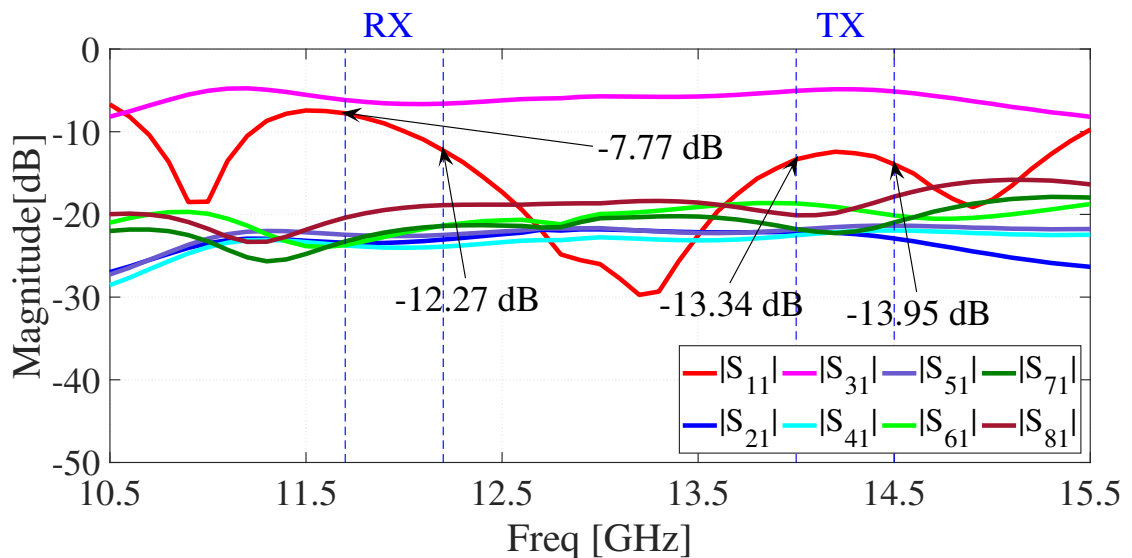


Figura 61 – Simulação LSSP da MSM SP16T para a porta 1 em relação as demais com a porta 3 ligada. Fonte: Elaboração própria.

É de se esperar que as perdas de retorno sejam altas para as portas deligadas (Figura 63). A perda de retorno das portas 1 e 3 deveria ser menor nesta simulação . Isto

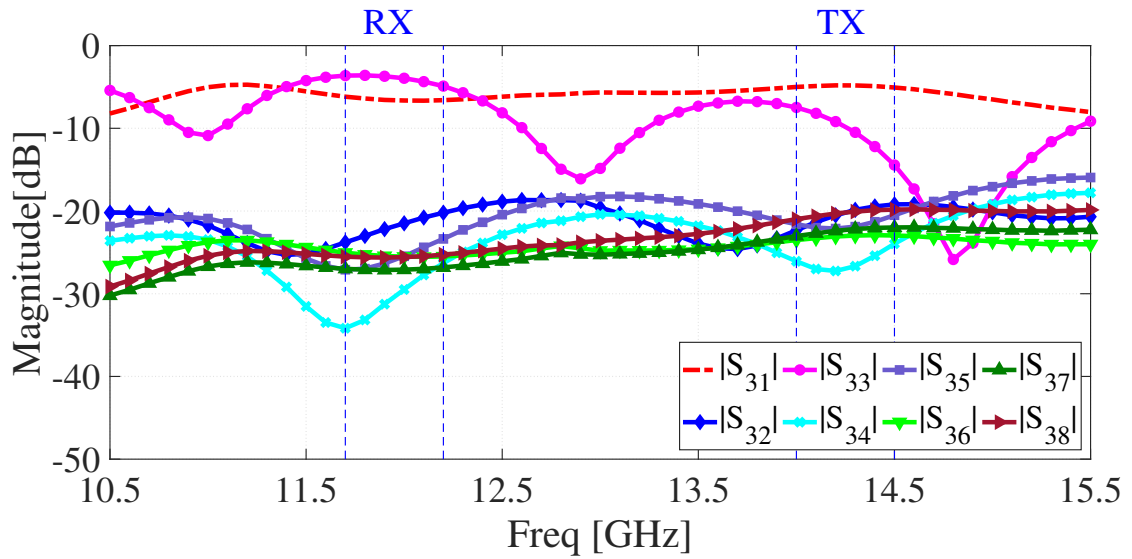


Figura 62 – Simulação LSSP da MSM SP16T para a porta 3 em relação as demais com a porta 3 ligada. Fonte: Elaboração própria.

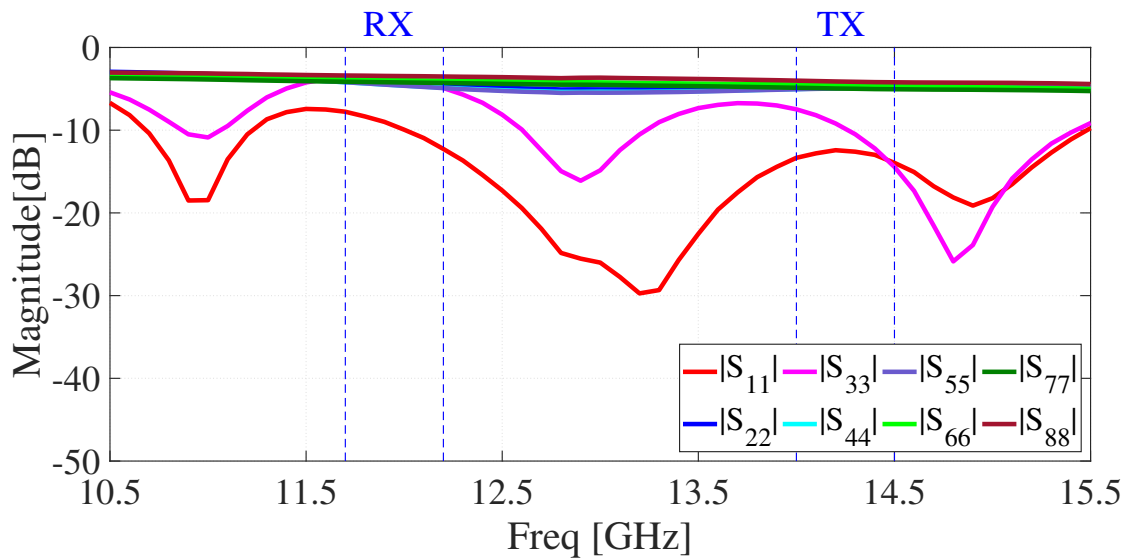


Figura 63 – Simulação LSSP da MSM SP16T mostrando as RLs de cada uma das portas (de 1 a 8) com a porta 3 ligada. Fonte: Elaboração própria.

não foi alcançado porque a otimização necessária não foi concluída.

Infelizmente houveram atrasos no cronograma e problemas com fabricantes e fornecedores, deste modo não foi possível enviar para a fabricação a tempo do retorno da placa para os testes da matriz de comutadores SP16T. A análise de *Yield* também não foi feita pelo excessivo tempo de simulação que ela demanda para uma estrutura tão grande e com tantas variáveis.

A placa da MSM já está pronta para fabricação e poderá ser confeccionada assim que as empresas enviarem a cotação.

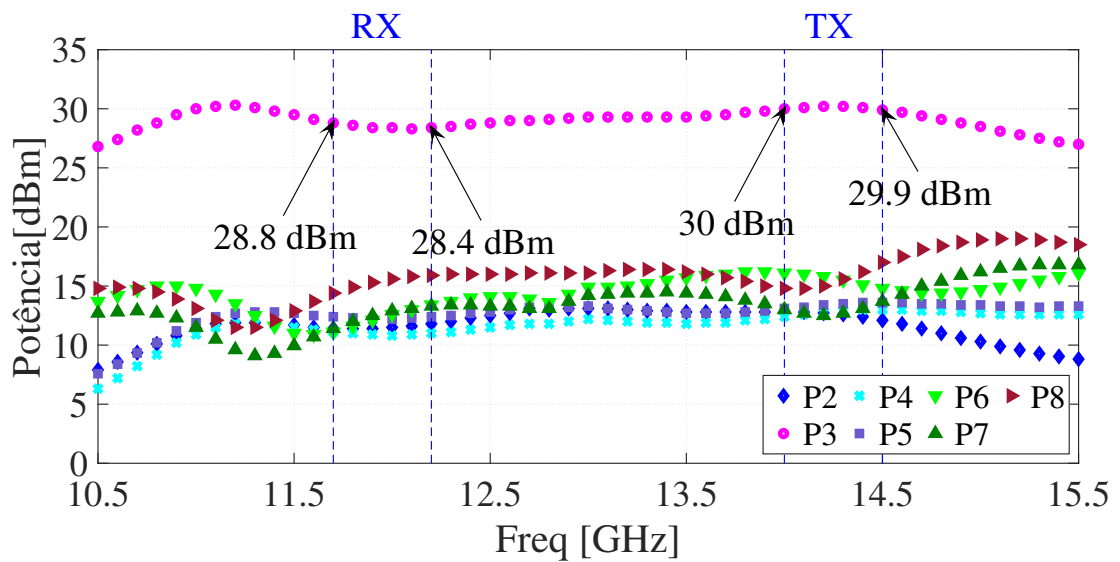


Figura 64 – Simulação LSSP da MSM SP16T mostrando as potências que chegam as portas de 2 a 8 para a porta 3 ligada e porta 1 com uma fonte de 35 dBm. Fonte: Elaboração própria.

5 Conclusão

O chaveador RF é importante para que o transceptor funcione de maneira correta. Ele faz parte do sistema de apontamento do sistema irradiante. Por meio dele é possível selecionar o feixe que deve ser acionado pra recebimento do sinal do satélite em banda Ku.

Para a solução do apontamento com o chaveador RF foi feita uma pesquisa de mercado acerca de produtos e tecnologias disponíveis que possam ser utilizadas no projeto. Nesta pesquisa não foram encontrados componentes que atendessem à demanda de frequência e potência CW requeridas pelo projeto, mas foram descobertas formas de se projetar.

Optou-se por projetar um comutador. Para isto, deve possuir uma baixa perda de inserção, para que seja cascadeado na futura matriz de comutadores, e alto isolamento entre canais. Pesquisas mostraram que chaveadores reflexivos em paralelo tem menor perda de inserção que os demais devido ao casamento de impedância.

Foi projetado um chaveador de microondas SPDT reflexivo em paralelo utilizando dois diodos PIN por canal. O diodo PIN foi utilizado por possuir uma maior capacidade de potência que outros dispositivos semicondutores e por ter baixa perda de inserção em *designs* de chaveadores.

O comutador projetado foi desenvolvido em diferentes partes: T de polarização, polarização do diodo e o SPDT em si. Todas foram simuladas e otimizadas separadamente e em conjunto pelo método dos momentos com ajuda do ADS.

O circuito final do SPDT obteve uma IL acima da máxima requisitada. Isto ocorreu devido às grandes perdas das polarizações criadas. Mais importante que isso era verificar se o circuito desenvolvido gera simulações com resultados próximos aos testes com o circuito impresso.

O circuito desenvolvido foi enviado para fabricação por uma empresa de confecção de placas de circuito impresso. Infelizmente os testes não foram feitos, pois as placas vieram com defeitos e qualidade abaixo do esperado impossibilitando os mesmos.

Com uma análise sobre as placas recebidas, tem-se a impressão de que o processo de corrosão e deposição de cobre não foi controlado, tendo diversas trilhas apagadas e outras tantas em curto. Além destes, houve também o problema com aterramento dos conectores. Apesar dos empecilhos, o projeto está pronto e será feita nova rodada de fabricação que visa corrigir os problemas citados acima, deste modo será possível testar o circuito do SPDT desenvolvido.

Após o desenvolvimento do chaveador SPDT, foram criadas algumas versões de SP4T e aquela com melhores resultados (SP4T v2.0) foi a escolhida para compor a matriz SP16T. O SP4T v2.0 obteve melhores valores de IL, RL e ISO com menos componentes (resistores). Isto é uma evolução muito relevante com relação ao SPDT. Seu projeto também se mostrou robusto à fabricação, conseguindo uma confiabilidade acima de 90%.

O projeto da MSM SP16T teve problemas com o poder de processamento, pois sua extensão era alta e demandava muito tempo de simulação e frequentemente era quebrada. Por isto não foi possível fazer otimizações e análise de *Yield*. A perda de inserção é baixa para um comutador de 16 portas apesar disto e de ter uma perda de retorno alta. Isto torna o modelo SP16T aceitável para testes com o transceptor, com o empilhamento das lentes de Rotman e com o arranjo de antenas. Esta matriz e o SP4T v2.0 já estão prontos para a fabricação aguardando apenas a seleção da empresa que deverá confeccioná-los. Assim os testes poderão ser feitos.

Referências

- AGILENT TECHNOLOGIES. *Large-Signal S-Parameter Simulation*. USA, 2004. Disponível em: <<http://literature.cdn.keysight.com/litweb/pdf/ads2004a/pdf/cktsimlssp.pdf>>. Citado 2 vezes nas páginas 43 e 44.
- ALMEIDA, V. C. de. *Transmissor RF de um terminal móvel de comunicação via satélite em banda Ku*. Monografia (Graduação) — Faculdade Gama, Universidade de Brasília, Brasília, 2018. Citado na página 30.
- ANATEL. *Plano de atribuição, destinação e distribuição de frequências no Brasil*. [S.l.], 2015. Disponível em: <<http://www.anatel.gov.br/Portal/verificaDocumentos/documento.asp?numeroPublicacao=325099&pub=original&filtro=1&documentoPath=325099.pdf>>. Citado na página 26.
- ANATEL. *ATO Nº 940*. 2018. <<http://www.anatel.gov.br/legislacao/es/atos-de-requisitos-tecnicos-de-certificacao/2018/1180-ato-940>>. (Acessado em 13/08/2018). Citado na página 32.
- ANATEL. *Requisitos Técnicos e Procedimentos de Ensaios Aplicáveis à Certificação de Produtos para Telecomunicação de Categoria II*. 2018. <https://sei.anatel.gov.br/sei/modulos/pesquisa/md_pesq_documento_consulta_externa.php?eEP-wqk1skrd8hSlk5Z3rN4EVg9uLJqrLYJw_9INcO40DYaeeyem-NQDAV_pnveKWqAHtqWyxyxOnFlatofywemJyllZ-keItLxCmEZnkXTSV4X4UrVT9YReFc9A9reH>. (Acessado em 13/08/2018). Citado na página 32.
- APEM INC. *TDS SERIES SP 3 POSITION 3 STATE (+,0,-) DIP SWITCHES*. Haverhill, MA USA, 2000. Datasheet. Disponível em: <https://media.digikey.com/pdf/Data%20Sheets/APEM%20Components%20PDFs/TDS_Series.pdf>. Citado na página 60.
- ATWATER, H. A. Microstrip reactive circuit elements. *IEEE Transactions on Microwave Theory and Techniques*, v. 31, n. 6, p. 488–491, Jun 1983. ISSN 0018-9480. Citado na página 55.
- CARLEGRIM, B.; PETTERSSON, L. Rotman lens in microstrip technology. In: *1992 22nd European Microwave Conference*. [S.l.: s.n.], 1992. v. 2, p. 882–887. Citado na página 26.
- CAVERLY, R. *Microwave and RF Semiconductor Control Device Modeling*. [S.l.]: Artech House, 2016. (Artech House microwave library). ISBN 9781630810221. Citado 5 vezes nas páginas 8, 36, 37, 38 e 39.
- FAKHARZADEH, M. et al. Fast stochastic beamforming for mobile phased array antennas. In: *2007 IEEE Antennas and Propagation Society International Symposium*. [S.l.: s.n.], 2007. p. 1945–1948. ISSN 1522-3965. Citado na página 27.
- FIGUEIREDO, J. F.; NASCIMENTO, V. L. do. Broadband microstrip antenna array with circular polarization on ku band. In: *2019 Workshop on Communication Networks and Power Systems (WCNPS)*. [S.l.: s.n.], 2019. p. 1–5. Citado na página 33.

HAUPT, R. *Antenna Arrays: A Computational Approach*. [S.l.]: Wiley, 2010. (Wiley - IEEE). ISBN 9780470937433. Citado 3 vezes nas páginas 8, 34 e 35.

HINDLE, P. The state of rf/microwave switches. *microwave journal*, Horizon House Publications, Inc., 685 Canton Street Norwood MA 02062 USA, v. 53, n. 11, p. 20–36, 2010. Citado na página 26.

IEEE Standard Letter Designations for Radar-Frequency Bands. *IEEE Std 521-2002 (Revision of IEEE Std 521-1984)*, p. 1–3, 2003. Citado na página 27.

KEYSIGHT TECHNOLOGIES. *Using Monte Carlo Yield Analysis*. 2009. <<https://edadocs.software.keysight.com/display/ads2009/Using+Monte+Carlo+Yield+Analysis>>. (Acessado em 10/10/2019). Citado na página 84.

KEYSIGHT TECHNOLOGIES. *Understanding RF-Microwave Solid State Switch and their Applications*. USA, 2017. Application Note. Disponível em: <<http://literature.cdn.keysight.com/litweb/pdf/5989-7618EN.pdf>>. Citado 4 vezes nas páginas 16, 45, 48 e 50.

LEENAERTS, D.; TANG, J. van der; VAUCHER, C. S. *Circuit design for RF transceivers*. 1st edition.. ed. [S.l.]: Springer, 2001. ISBN 9781441949202,1441949208. Citado na página 26.

LUDWIG, R.; BOGDANOV, G. *RF Circuit Design: Theory and Applications*. [S.l.]: Prentice-Hall, 2009. (Pearson international edition). ISBN 9780131471375. Citado 2 vezes nas páginas 8 e 41.

M/A-COM TECHNOLOGY SOLUTIONS INC. *MA4SP502 SURMOUNT PIN Diode*. Rev. v3. USA. Datasheet. Disponível em: <<https://www.cdn.macom.com/datasheets/MA4SP502.pdf>>. Citado na página 49.

MA, M. *Theory and application of antenna arrays*. [S.l.]: Wiley, 1974. ISBN 9780471557951. Citado 2 vezes nas páginas 32 e 33.

MAILLOUX, R. J. *Phased array antenna handbook*. 2. ed. [S.l.]: Artech house, 2017. Citado na página 27.

MICROPRESS. *Capacidade Técnica Padrão/Requisitos para Layout e Especificações de PCI*. São Paulo, SP, Brasil, 2019. Datasheet. Disponível em: <<https://www.micropress.com.br/capacidade-tecnica/>>. Citado 2 vezes nas páginas 16 e 50.

MICROSEMI CORPORATION. *Microsemi-Watertown THE PIN DIODE CIRCUIT DESIGNERS' HANDBOOK*. MA, USA, 1998. Disponível em: <https://www.ieee.li/pdf/essay/pin_diode_handbook.pdf>. Citado 2 vezes nas páginas 9 e 42.

MICROSTRIP Radial Stub. 2016. <<https://www.flambda.com/stub/stub.php>>. (Acessado em 16/06/2019). Citado na página 55.

POZAR, D. M. *Microwave engineering*. 4. ed. [S.l.]: John Wiley & Sons, 2012. ISBN 9780470631553. Citado 5 vezes nas páginas 9, 13, 41, 44 e 95.

ROGERS CORPORATION. *AD Series™ Antenna Materials AD250C™, AD255C™, AD260A™, AD300D™, AD320A™, and AD350A™ Laminate Materials*. 100 S. Roosevelt Avenue, Chandler, AZ 85226, USA, 2018. Datasheet. Disponível em: <<https://www.rogerscorp.com/documents/3172/acs/AD-Series-Data-SheetAD250C-AD255C-AD260A-AD300D-AD320A-AD350A.pdf>>.

Citado 2 vezes nas páginas 16 e 50.

ROTMAN, W.; TURNER, R. Wide-angle microwave lens for line source applications. *IEEE Transactions on Antennas and Propagation*, v. 11, n. 6, p. 623–632, November 1963. ISSN 0018-926X. Citado na página 34.

STREET, A. M. Rf switch design. In: *IEE Training Course How to Design RF Circuits*. [S.l.: s.n.], 2000. p. 4/1–4/7. Citado 2 vezes nas páginas 48 e 51.

U-YEN, K.; DONG, L.; KENNEY, J. S. A low-loss high-reliability microwave switch matrix for smart antenna systems. In: *2004 IEEE MTT-S International Microwave Symposium Digest (IEEE Cat. No.04CH37535)*. [S.l.: s.n.], 2004. v. 2, p. 1125–1128 Vol.2. ISSN 0149-645X. Citado 2 vezes nas páginas 35 e 36.

VOLAKIS, J. L. *Antenna Engineering Handbook, Fourth Edition*. 4. ed. [S.l.]: McGraw-Hill, 2007. Citado 3 vezes nas páginas 8, 26 e 33.

YNGVESSON, S. *Microwave Semiconductor Devices*. [S.l.]: Springer US, 1991. (Huebner International Series on Risk, Insurance, and Economic Security). ISBN 9780792391562. Citado 4 vezes nas páginas 40, 41, 42 e 43.

Apêndices

APÊNDICE A – Linhas de Transmissão

Por se tratar de frequências muito altas, a utilização de componentes discretos (resistores, capacitores e indutores) é muito limitada. Estes têm, por muitas vezes, comprimento físico maior que o comprimento de onda na frequência desejada. Estas impedâncias podem ser substituídas utilizando linhas de transmissão (cabo coaxial e microfita) que levam em conta as Equações de Maxwell.

Em uma linha de transmissão sem perdas, observa-se uma impedância diferente Z_{in} em função de uma distância d percorrida sobre ela. Essa impedância pode ser expressa em termos dos coeficientes de reflexão, para uma impedância intrínseca Z_0 como

$$Z_{in}(d) = Z_0 \frac{1 + \Gamma(d)}{1 - \Gamma(d)}. \quad (\text{A.1})$$

Abrindo os termos Γ como exponenciais, e posteriormente senos e cossenos,

$$Z_{in}(d) = Z_0 \frac{Z_L + jZ_0 \tan(\beta d)}{Z_0 + jZ_L \tan(\beta d)}. \quad (\text{A.2})$$

É visível que o ângulo βd interfere na impedância vista pela carga. Ele é muitas vezes chamado de **Comprimento Elétrico**, sendo

$$\beta = \frac{2\pi}{\lambda}. \quad (\text{A.3})$$

Com isto posto, existem duas ferramentas muito utilizadas para linhas de transmissão: **terminadas em curto circuito** e **terminadas em circuito aberto**.

Para linhas terminadas em curto, $Z_L = 0$. Pode-se então simplificar a expressão [A.2](#) para

$$Z_{in}(d) = jZ_0 \tan(\beta d). \quad (\text{A.4})$$

Colocando-se graficamente esta equação em função da distância d expressa na Figura por z minúsculo.

Isto mostra que, para diferentes comprimentos elétricos, a linha de transmissão terminada em curto e pode se comportar como capacitor ou como indutor, com reatâncias negativas e positivas.

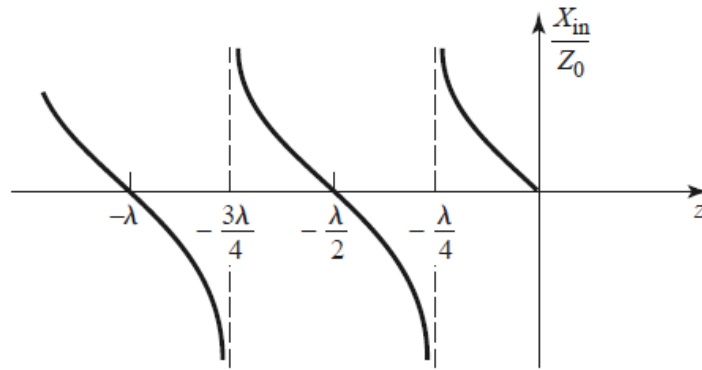


Figura 65 – Impedância em uma linha de transmissão terminada em curto normalizada em função do comprimento elétrico. Fonte: Pozar (2012)

O mesmo acontece para linhas de transmissão terminadas em circuito aberto. Para elas, considera-se Z_L tendendo ao infinito. Logo,

$$Z_{in}(d) = -jZ_0 \frac{1}{\tan(\beta d)}, \tag{A.5}$$

que também pode ser representado graficamente da mesma forma para uma linha em curto.

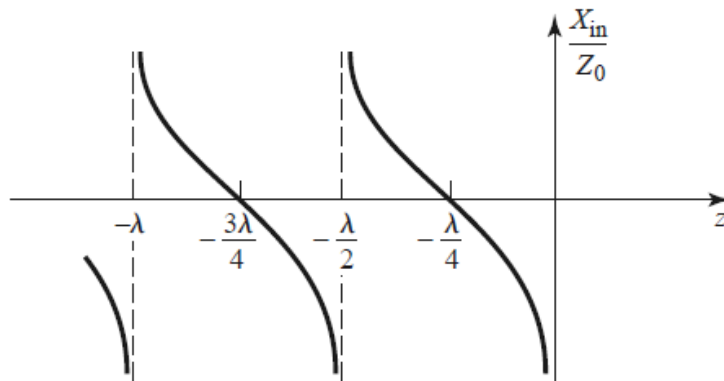


Figura 66 – Impedância em uma linha de transmissão terminada em aberto normalizada em função do comprimento elétrico. Fonte: Pozar (2012)

Vê-se que o mesmo que acontece para linhas terminadas em curto, acontece para linhas terminadas em aberto, só que de modo “inverso”. Para o que representaria capacitâncias nas linhas em curto, agora, nas linhas em aberto, representa indutâncias e vice-versa.

APÊNDICE B – Esquemáticos do circuito SPDT

B.1 T de Polarização

MSub

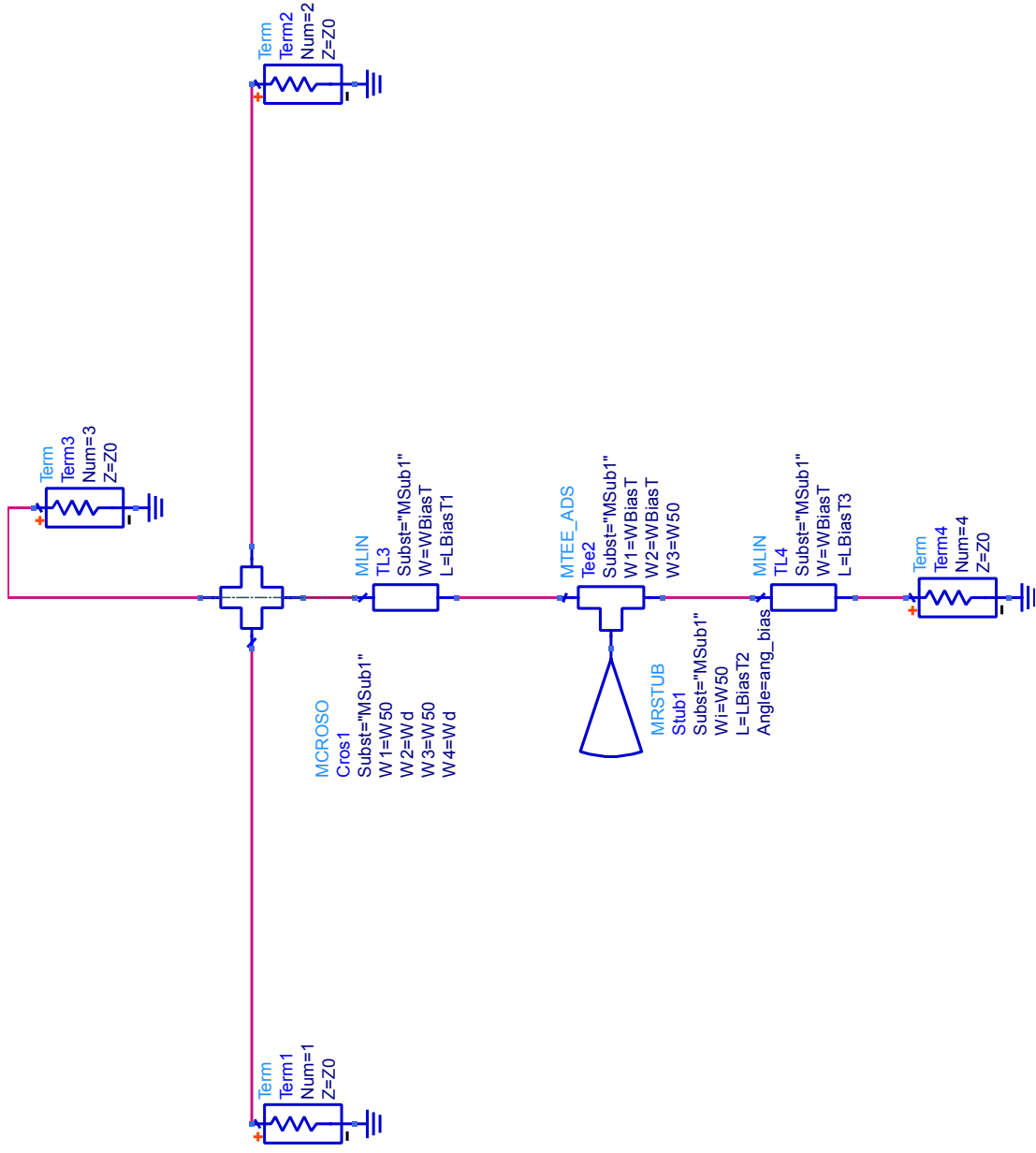
MSUB
 MSub1
 H=0.508 mm
 E=2.52
 Mu=1
 Cond=1.0E+50
 Hu=1.0e+033 mm
 T=35 um
 TanD=0.0013
 Rough=0 mm
 Bbase=
 Dpeaks=

VAR

Z0=100 Ohm
 WBiasT=128.856 um {-o}
 W50=Wd
 Wd=0.56 mm {-o}
 LBiasT1=4.5 mm {-o}
 LBiasT2=3.64278 mm {-o}
 LBiasT3=1.56066 mm {-o}
 ang_bias=73.4891 {-o}

S-PARAMETERS

S_Param
 SP1
 Start=10.7 GHz
 Stop=15.5 GHz
 Step=0.10 GHz



PARAMETER SWEEP

ParamSweep
 Sweep2
 SweepVar="ang_bias"
 SimInstanceName[1]="SP1"
 SimInstanceName[2]=
 SimInstanceName[3]=
 SimInstanceName[4]=
 SimInstanceName[5]=
 SimInstanceName[6]=
 Start=45
 Stop=90
 Step=

PARAMETER SWEEP

ParamSweep
 Sweep1
 SweepVar="L1"
 SimInstanceName[1]="SP1"
 SimInstanceName[2]=
 SimInstanceName[3]=
 SimInstanceName[4]=
 SimInstanceName[5]=
 SimInstanceName[6]=
 Start=4.5 mm
 Stop=5 mm
 Step=

S-PARAMETERS

S_Param
 SP1
 Start=10.7 GHz
 Stop=15.5 GHz
 Step=0.1 GHz

VAR
 VAR1
 Z0=100 Ohm
 w50=0.56 mm
 wd=0.56 mm
 wbiast=117.136 um {o}
 lbiast1=2.70868 mm {o}
 lbiast2=3 mm {o}
 lbiast3=4.29824 mm {o}
 ang=30 {o}

MSub

MSub
 MSub1
 H=0.508 mm
 Er=2.52
 Mur=1
 Cond=1.0E+50
 Tu=18 um
 TanD=0.0013
 Rough=0 mm
 Bbase=
 Dpeaks=

OPTIM

Optim
 Optim1
 Optim Type=Quasi-Newton
 MaxIters=300
 DesiredError=0.0
 StatusLevel=4
 FinalAnalysis="None"
 NormalizeGoals=yes
 SetBestValues=yes
 SaveSols=yes
 SaveGoals=yes
 SaveOptimVars=no
 UpdateDataset=yes
 SaveNominal=no
 SaveAllIterations=no
 UseAllOptVars=yes
 UseAllGoals=yes

GOAL

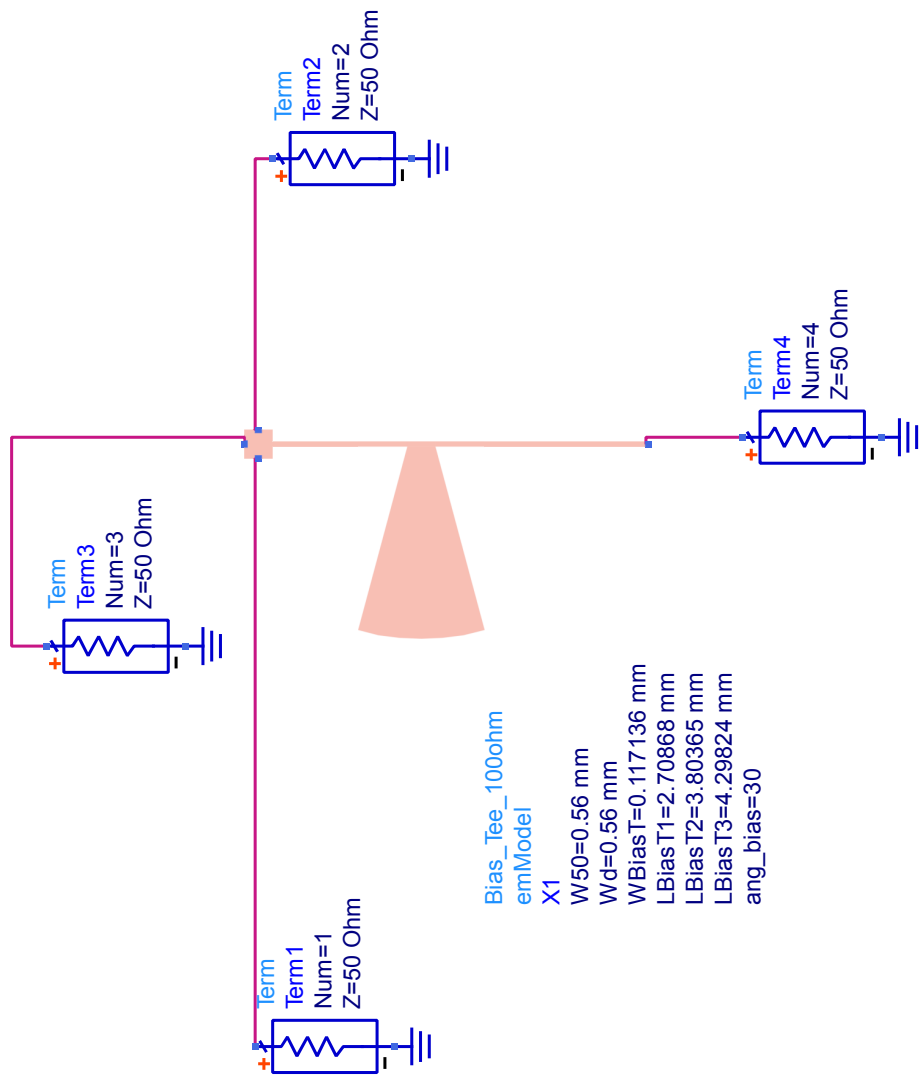
Goal
 OptimGoal1
 Expr="dB(S(2,1))"
 SimInstanceName="SP2"
 Weight=1

GOAL

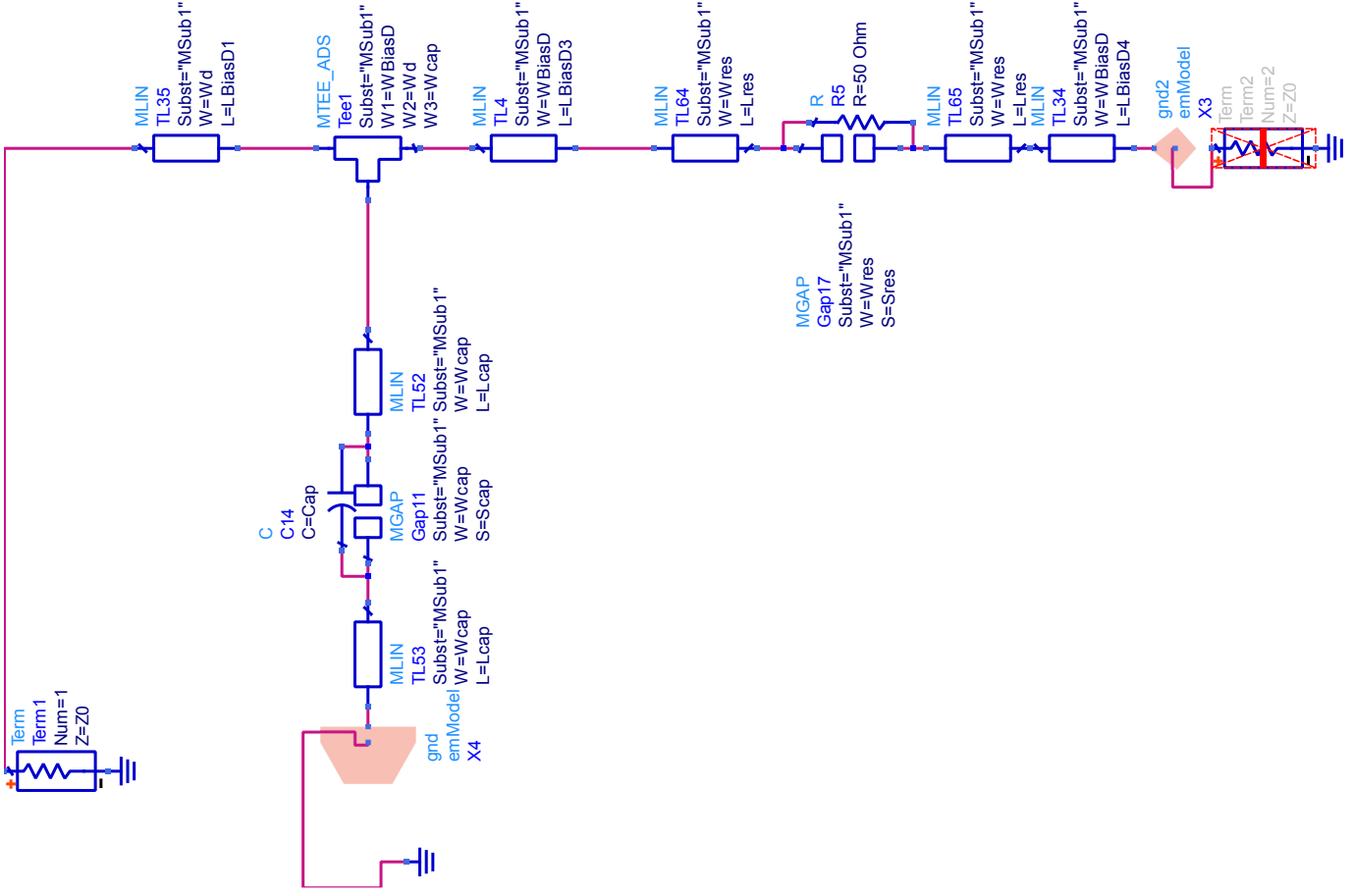
Goal
 OptimGoal2
 Expr="dB(S(4,1))"
 SimInstanceName="SP2"
 Weight=1

S-PARAMETERS

S_Param
 SP2
 Start=11.2 GHz
 Stop=15 GHz
 Step=1.9 GHz



B.2 Polarização do Diodo



MSub

MSUB
 MSub1
 H=0.508 mm
 Er=2.52
 Mur=1
 Cond=1.0E+50
 Hu=1.0e+033 mm
 I=35 um
 TanD=0.0013
 Rough=0 mm
 Bbase=
 Dpeaks=

S-PARAMETERS

S_Param
 SP1
 Start=10.7 GHz
 Stop=15.5 GHz
 Step=0.10 GHz

GOAL

Goal
 OptimGoal1
 Expr="dB(S(1,2))"
 SimInstanceName="SP2"
 Weight=1

S-PARAMETERS

S_Param
 SP2
 Start=11.6 GHz
 Stop=14.6 GHz
 Step=1.5 GHz

GOAL

Goal
 OptimGoal2
 Expr="dB(S(1,1))"
 SimInstanceName="SP2"
 Weight=1

PARAMETER SWEEP

ParamSweep
 Sweep2
 SweepVar="ang_bias"
 SimInstanceName[1]="SP1"
 SimInstanceName[2]=
 SimInstanceName[3]=
 SimInstanceName[4]=
 SimInstanceName[5]=
 SimInstanceName[6]=
 Start=45
 Stop=89
 Step=

PARAMETER SWEEP

ParamSweep
 Sweep1
 SweepVar="L_BiasD1"
 SimInstanceName[1]="SP1"
 SimInstanceName[2]=
 SimInstanceName[3]=
 SimInstanceName[4]=
 SimInstanceName[5]=
 SimInstanceName[6]=
 Start=1 mm
 Stop=10 mm
 Step=1 mm

PARAMETER SWEEP

ParamSweep
 Sweep3
 SweepVar="W_Bias"
 SimInstanceName[1]="SP1"
 SimInstanceName[2]=
 SimInstanceName[3]=
 SimInstanceName[4]=
 SimInstanceName[5]=
 SimInstanceName[6]=
 Start=0.1 mm
 Stop=0.3 mm
 Step=

OPTIM

Optim
 Optim1
 Optim Type=Hybrid
 MaxIters=300
 DesiredError=0.0
 StatusLevel=4
 FinalAnalysis="None"
 NormalizeGoals=yes
 SetBestValues=yes
 SaveSols=yes
 SaveGoals=yes
 SaveOptimVars=no
 UpdateDataset=yes
 SaveNominal=no
 SaveAllIterations=no
 UseAllOptVars=yes
 UseAllGoals=yes

VAR

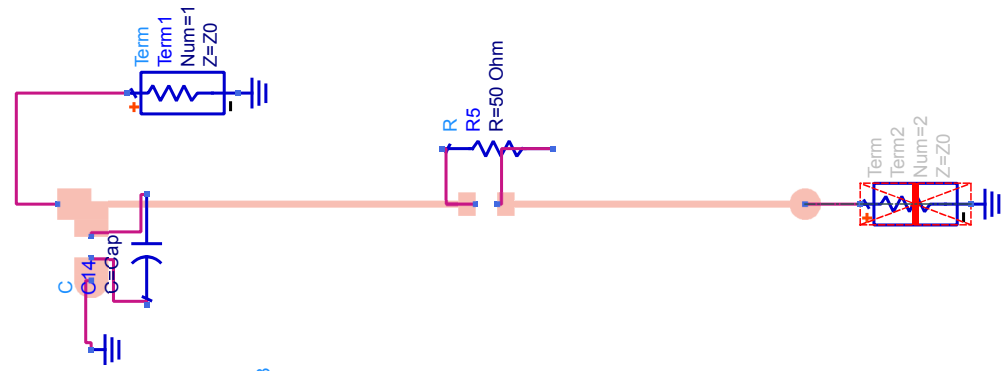
VAR1
 Z0=100 Ohm
 Cap=10 nF
 coef=0.1
 Wres=0.406 mm
 Sres=0.3048 mm
 Lres=1.016 mm
 Wcap=0.610 mm
 Scap=0.406 mm
 Lcap=1.016 mm
 Wd=0.56 mm
 WBiasD=0.105 mm
 L_BiasD1=338.375 um {o}
 L_BiasD2=200.324 um {o}
 L_BiasD3=500 um {o}
 L_BiasD4=500 um {o}

VAR

Variavels_BiasD
 coef=0.8
 Z0=100 Ohm
 Cap=10 nF
 Wres=0.406 mm
 Wd=0.56 mm
 Sres=0.406 mm
 Lres=0.305 mm
 Wcap=0.610 mm
 Scap=0.406 mm
 Lcap=0.305 mm
 WBiasD=0.105 mm
 L_BiasD1=300 um {o}
 L_BiasD2=100.059 um {o}
 L_BiasD3=6.39977 mm {o}
 L_BiasD4=5.03414 mm {o}

MSub

MSUB
 MSub1
 H=0.508 mm
 Er=2.52
 Mur=1
 Cond=1.0E+50
 Hu=1.0e+033 mm
 T=35 um
 TanD=0.0013
 Rough=0 mm
 Bbase=
 Dpeaks=



bias_diode_cap_100ohm_v3
 emModel
 X1
 Wres=0.406 mm
 Sres=0.406 mm
 Lres=0.305 mm
 Wd=0.56 mm
 Wcap=0.610 mm
 Scap=0.406 mm
 Lcap=0.305 mm
 WBiasD=182.935 um
 LBiasD1=LBiasD1
 LBiasD2=0.100 mm
 LBiasD3=4.39794 mm
 LBiasD4=3.62884 mm

VAR
 Variaveis_BiasD
 coef=0.8
 Z0=100 Ohm
 Cap=10 nF
 Wres=0.406 mm
 Wd=0.56 mm
 Sres=0.406mm
 Lres=0.305 mm
 Wcap=0.610 mm
 Scap=0.406 mm
 Lcap=0.305 mm
 WBiasD=0.105 mm
 LBiasD1=300 um {o}
 LBiasD2=100.059 um {-o}
 LBiasD3=6.39977 mm {o}
 LBiasD4=5.03414 mm {o}

S-PARAMETERS

S_Param
 SP1
 Start=10.7 GHz
 Stop=15.5 GHz
 Step=0.10 GHz

S-PARAMETERS

S_Param
 SP2
 Start=11.6 GHz
 Stop=14.6 GHz
 Step=1.5 GHz

VAR
 VAR1
 Z0=100 Ohm
 Cap=10 nF
 coef=0.1
 Wres=0.406 mm
 Sres=0.3048 mm
 Lres=1.016 mm
 Wcap=0.610 mm
 Scap=0.406 mm
 Lcap=1.016 mm
 Wd=0.56 mm
 WBiasD=0.105 mm
 LBiasD1=338.375 um {o}
 LBiasD2=200.324 um {o}
 LBiasD3=500 um {o}
 LBiasD4=500 um {o}

OPTIM

Optim
 Optim1
 OptimType=Hybrid
 Maxiters=300
 DesiredError=0.0
 StatusLevel=4
 FinalAnalysis=None
 NormalizeGoals=yes
 SetBestValues=yes
 SaveSols=yes
 SaveGoals=yes
 SaveOptimVars=no
 UpdateDataSet=yes
 SaveNominal=no
 SaveAllIterations=no
 UseAllOptVars=yes
 UseAllGoals=yes

GOAL

Goal
 OptimGoal1
 Expr='dB(S(1,2))'
 SimInstanceName='SP2'
 Weight=1

GOAL

Goal
 OptimGoal2
 Expr='dB(S(1,1))'
 SimInstanceName='SP2'
 Weight=1

PARAMETER SWEEP

ParamSweep
 Sweep2
 SweepVar='ang_bias'
 SimInstanceName[1]='SP1'
 SimInstanceName[2]=
 SimInstanceName[3]=
 SimInstanceName[4]=
 SimInstanceName[5]=
 SimInstanceName[6]=
 Start=45
 Stop=89
 Step=

PARAMETER SWEEP

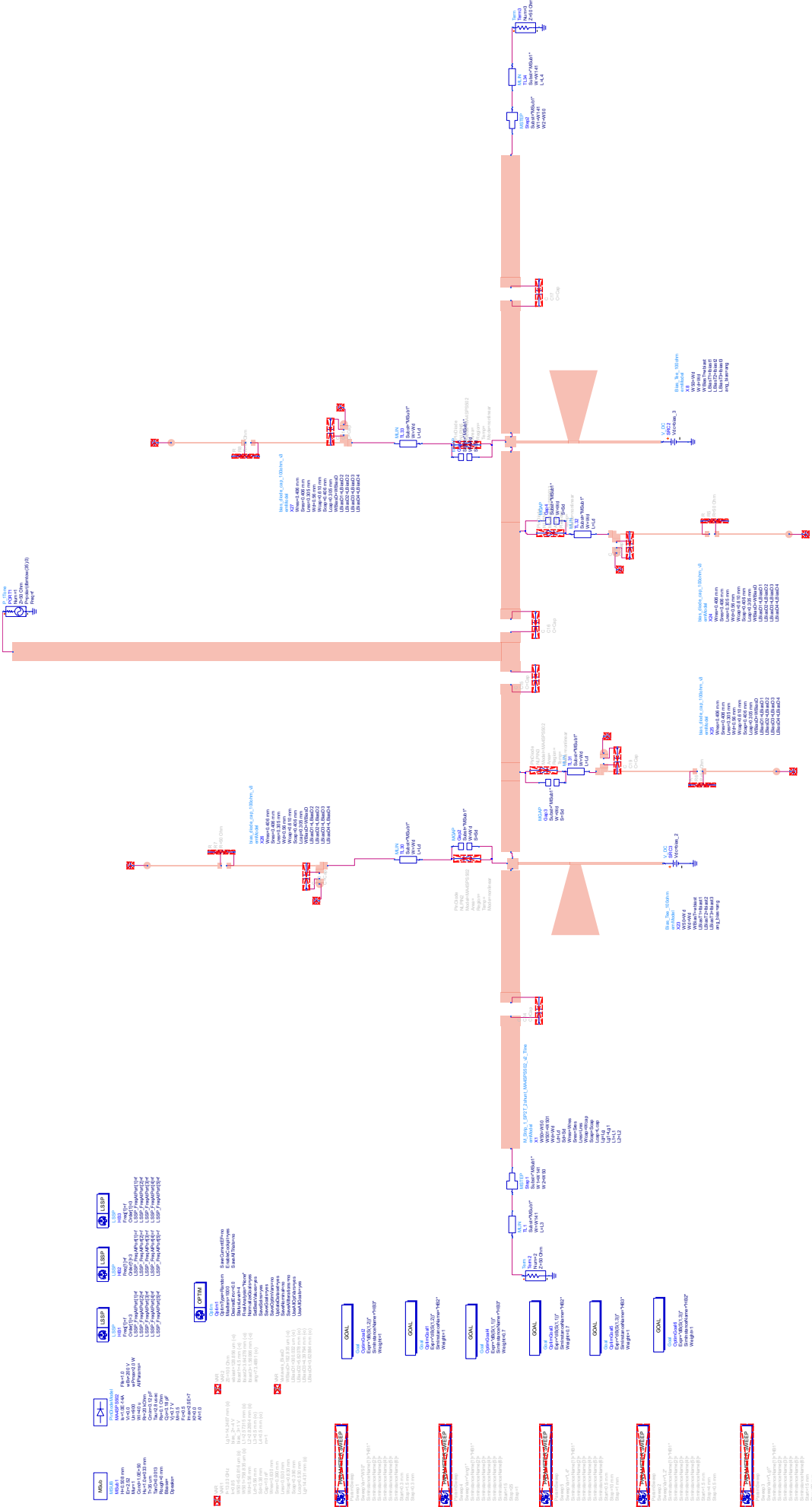
ParamSweep
 Sweep1
 SweepVar='LBiasD1'
 SimInstanceName[1]='SP1'
 SimInstanceName[2]=
 SimInstanceName[3]=
 SimInstanceName[4]=
 SimInstanceName[5]=
 SimInstanceName[6]=
 Start=1 mm
 Stop=7 mm
 Step=1 mm

PARAMETER SWEEP

ParamSweep
 Sweep3
 SweepVar='WBias'
 SimInstanceName[1]='SP1'
 SimInstanceName[2]=
 SimInstanceName[3]=
 SimInstanceName[4]=
 SimInstanceName[5]=
 SimInstanceName[6]=
 Start=0.1 mm
 Stop=0.3 mm
 Step=

B.3 Circuito SPDT

B.4 Circuito SPDT Completo



ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

Circuit Breaker

Transformer

Load Bank

Line

GOAL

ALERT

Wiring Diagram

APÊNDICE C – Circuitos SP4T

C.1 SP4T Versão 1.0

Estas são as simulações e o *layout* da primeira versão de comutador de um para quatro portas desenvolvida durante o projeto. Esta versão não foi satisfatória, pois as portas 2 e 5 tem perdas de inserção muito diferentes das simuladas nas portas 3 e 4.

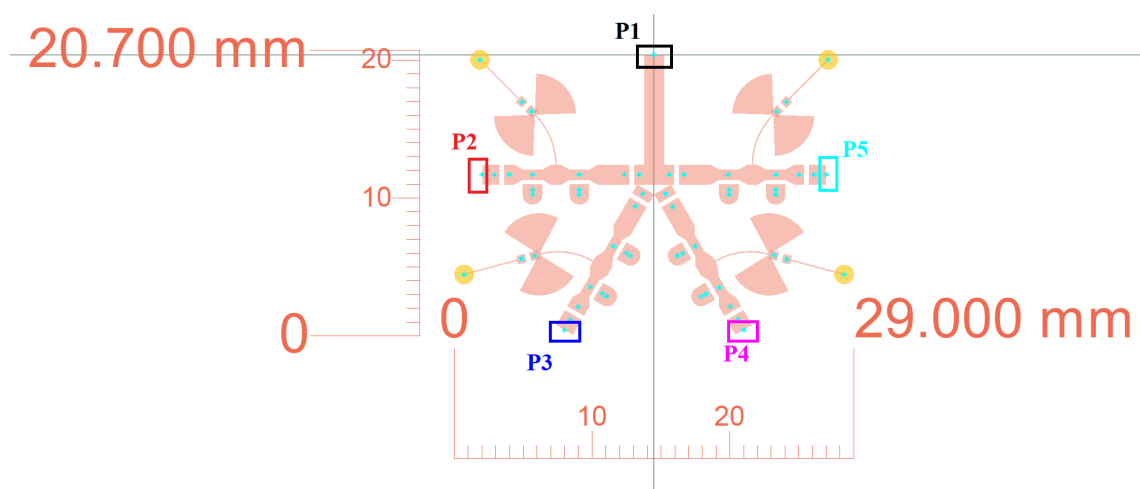


Figura 67 – Circuito SP4T em sua primeira versão, mostrando as portas P1 a P5. Fonte: Elaboração própria.

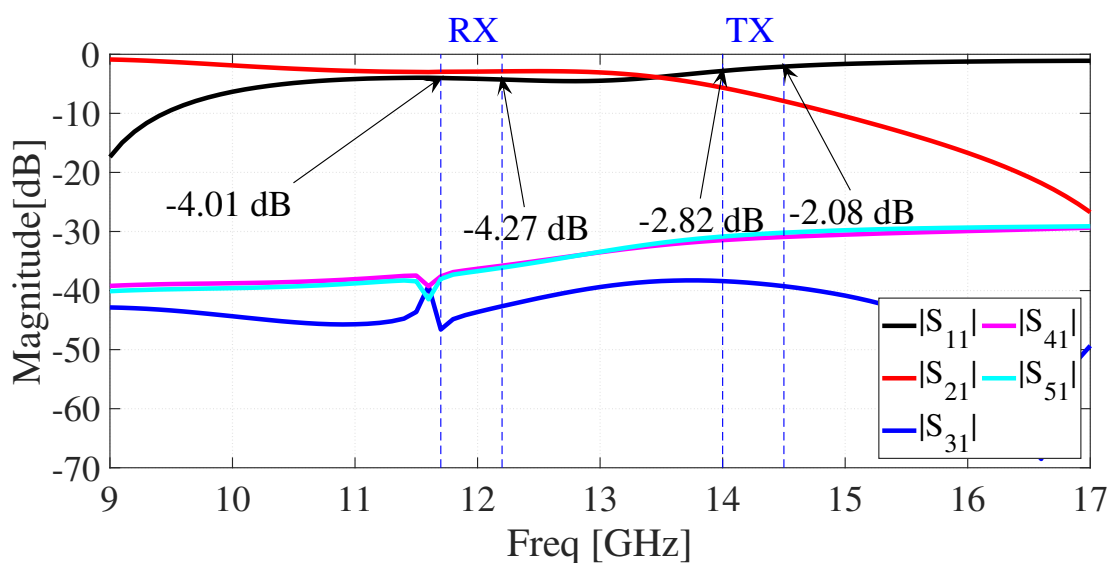


Figura 68 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

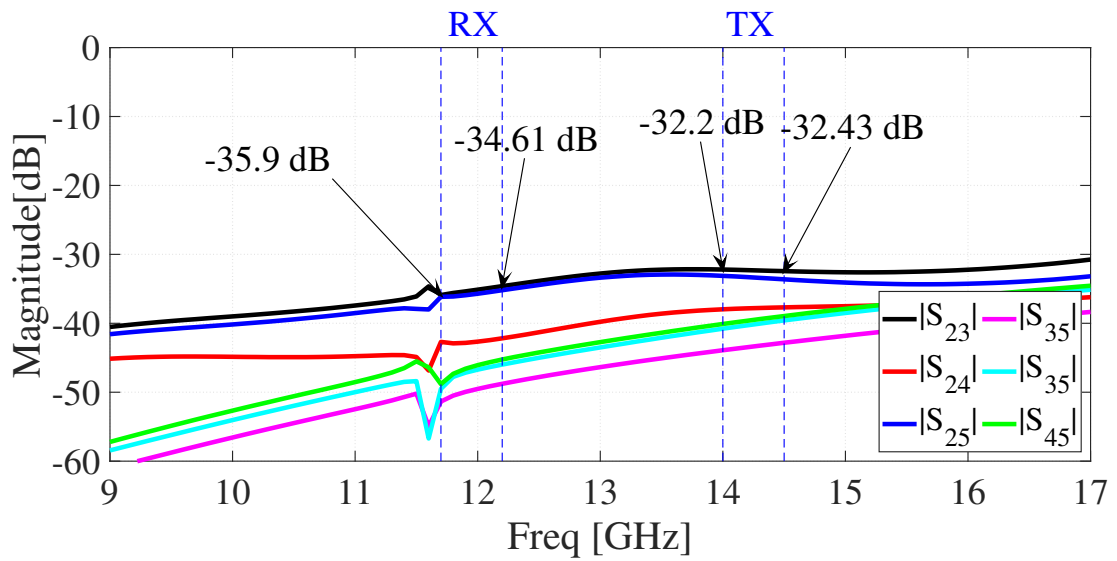


Figura 69 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

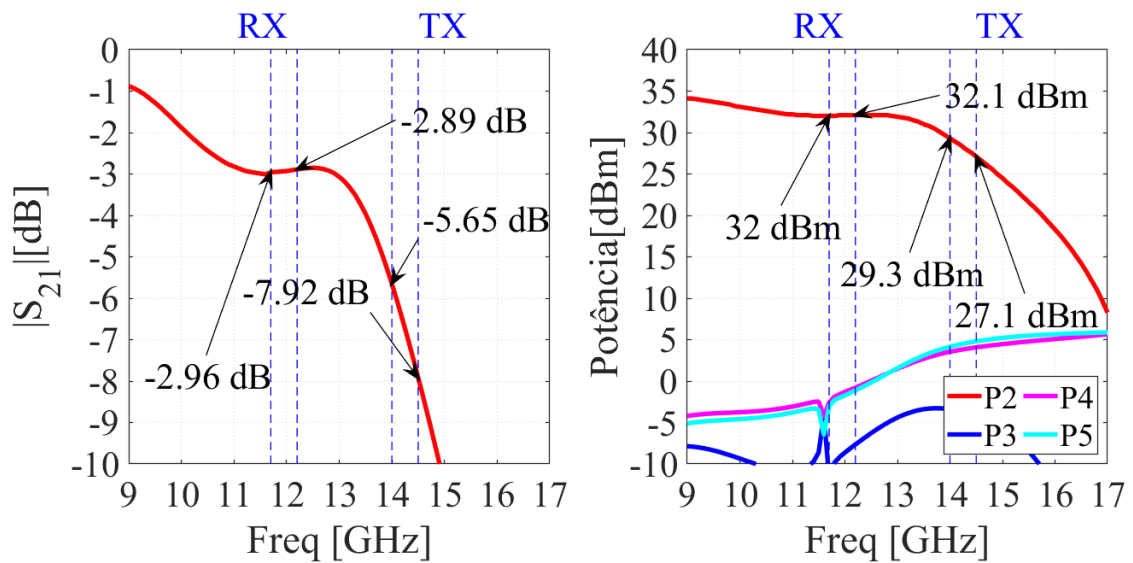


Figura 70 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0. S_{21} à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

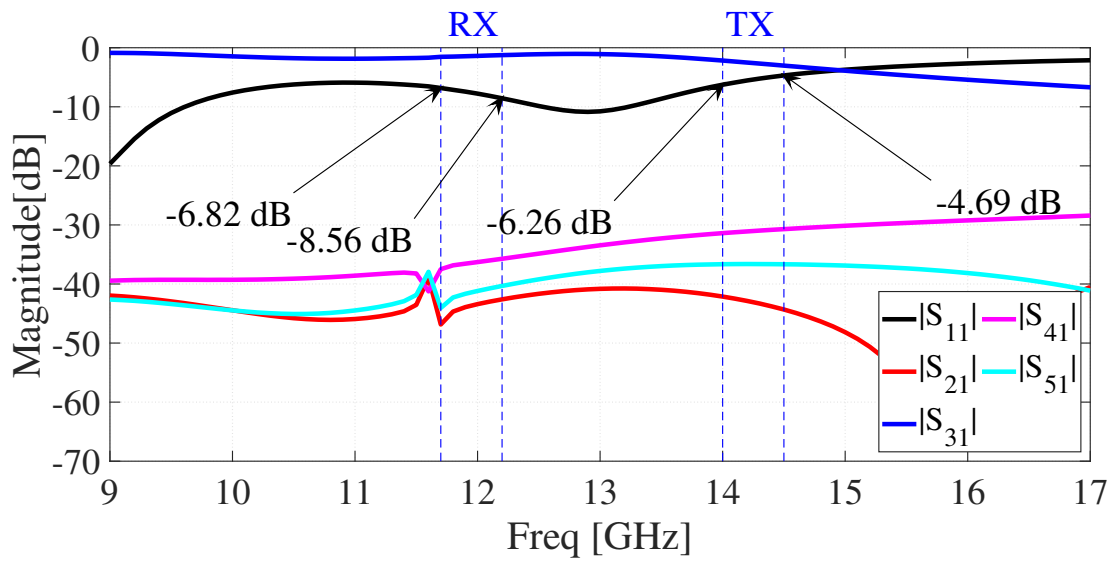


Figura 71 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

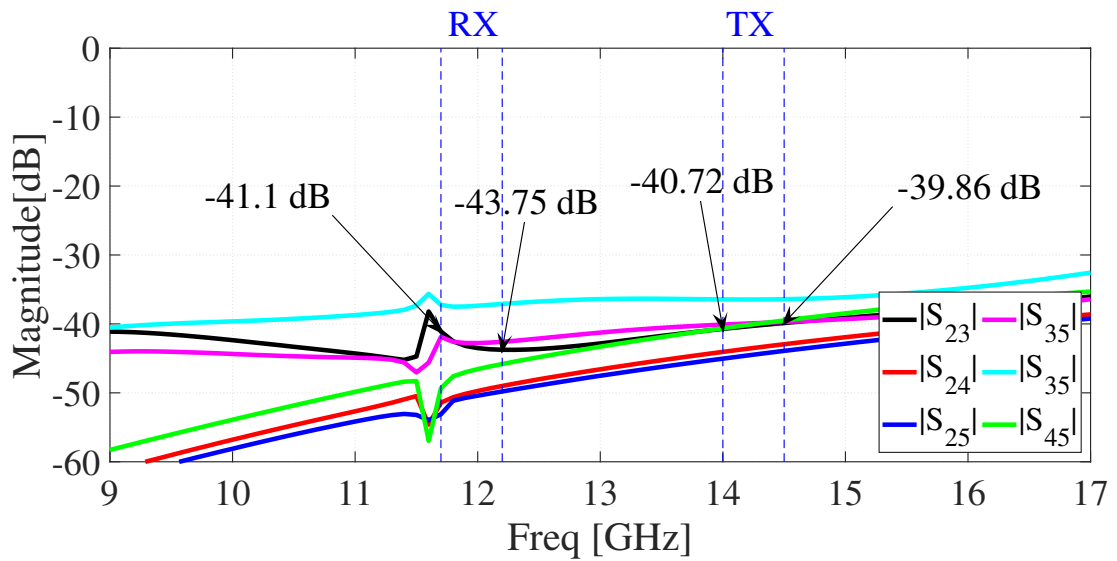


Figura 72 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

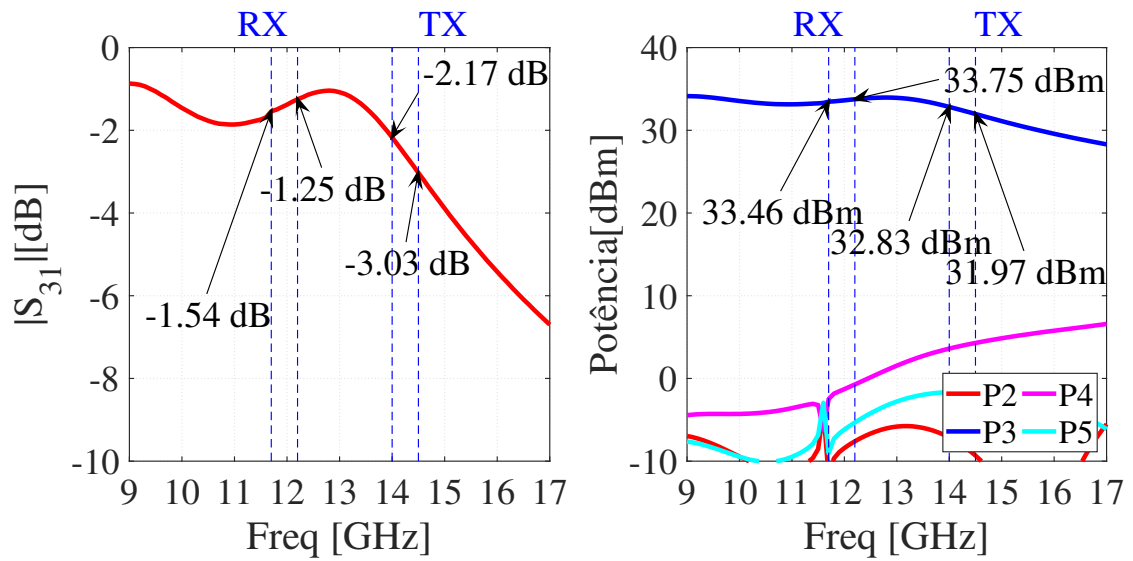


Figura 73 – Simulação LSSP (magnitude em dB) para o circuito SP4T v1.0. S_{31} à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

Apesar de resultados não tão bons, o circuito SP4T v1.0 foi fabricado aproveitando um espaço em placa que não seria utilizado. Com sua montagem verificou-se que as trilhas que dão acesso ao pino para controle eram muito finas, e com a soldagem dos *headers* e o calor estas trilhas acabavam rompendo. Apesar de não ter sido testado, criou-se um registro de testes para verificar e comparar as simulações. Este registro está no Apêndice D.2.

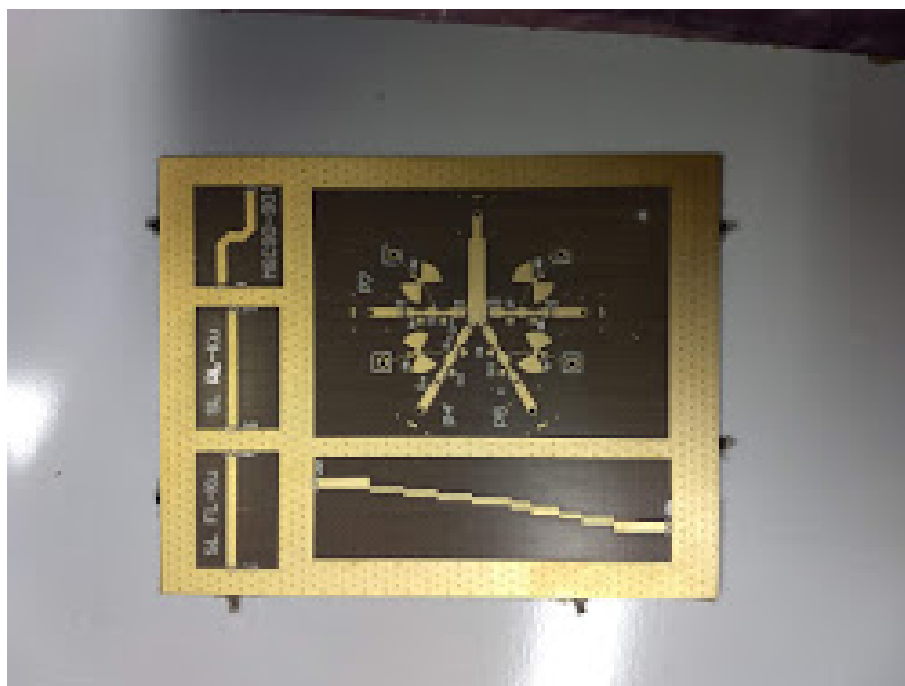


Figura 74 – Fotografia do circuito do SP4T v1.0 com vias ligando os dois planos de terra.
 Fonte: Elaboração própria.

C.2 SP4T Versão 3.0

Estas são as simulações e o *layout* da terceira versão de comutador de um para quatro portas desenvolvida durante o projeto. Esta versão não foi satisfatória, pois as portas 2 e 5 tem perdas de inserção muito diferentes das simuladas nas portas 3 e 4.

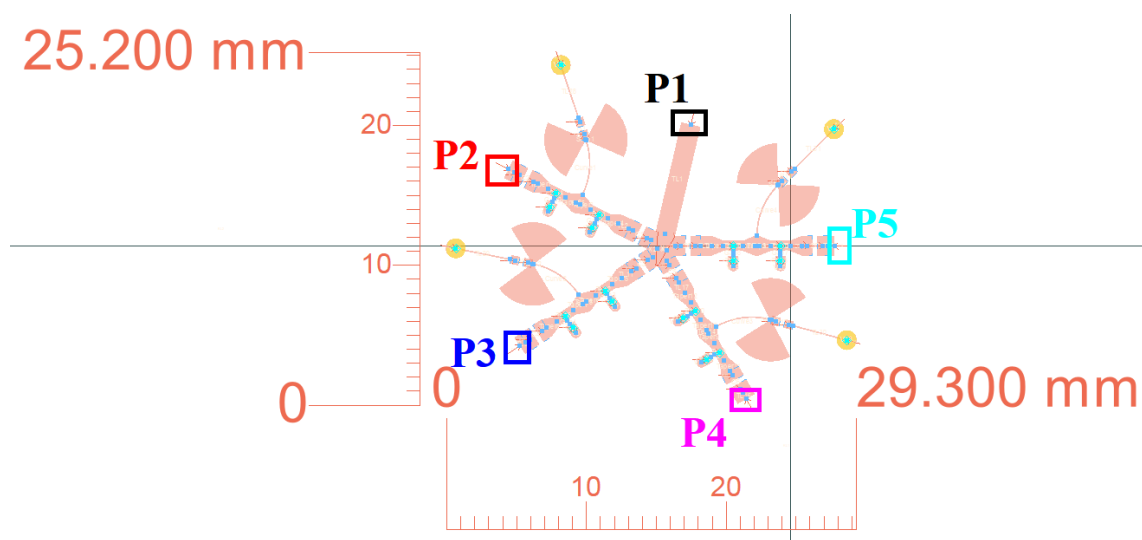


Figura 75 – Circuito SP4T em sua terceira versão, mostrando as portas P1 a P5. Fonte: Elaboração própria.

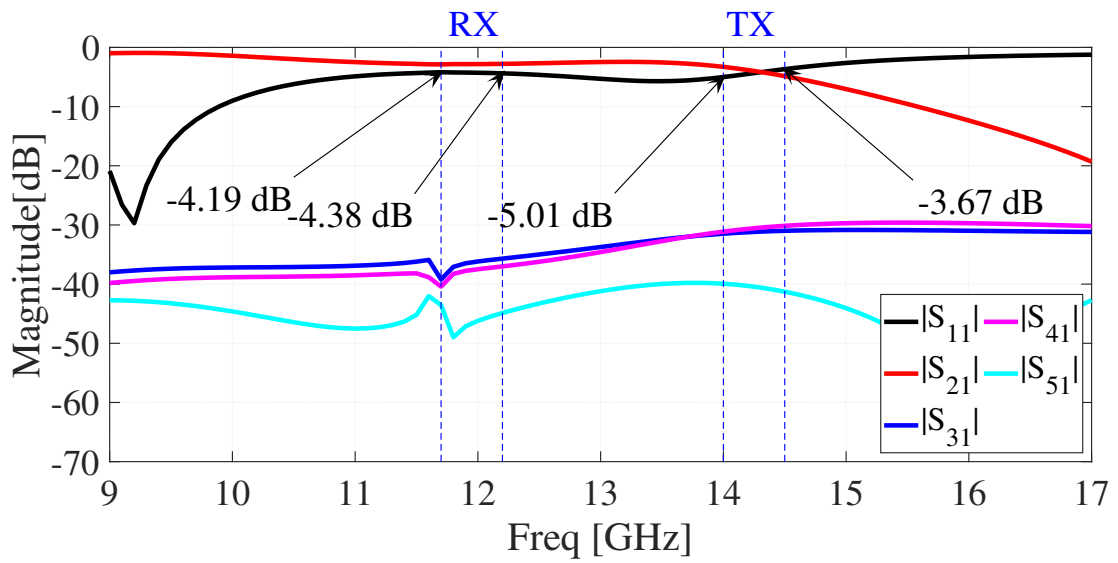


Figura 76 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

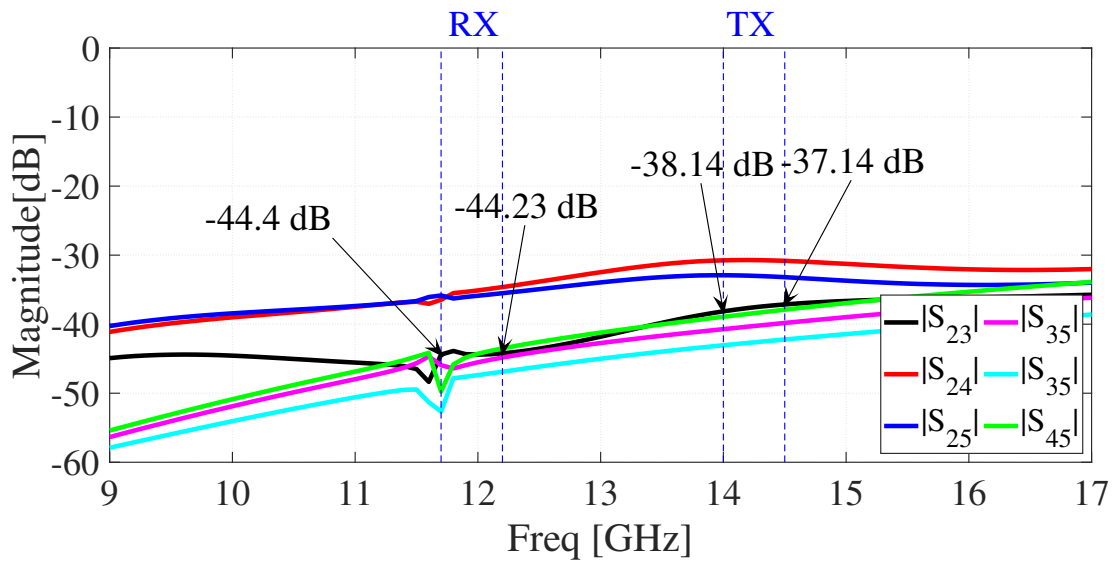


Figura 77 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

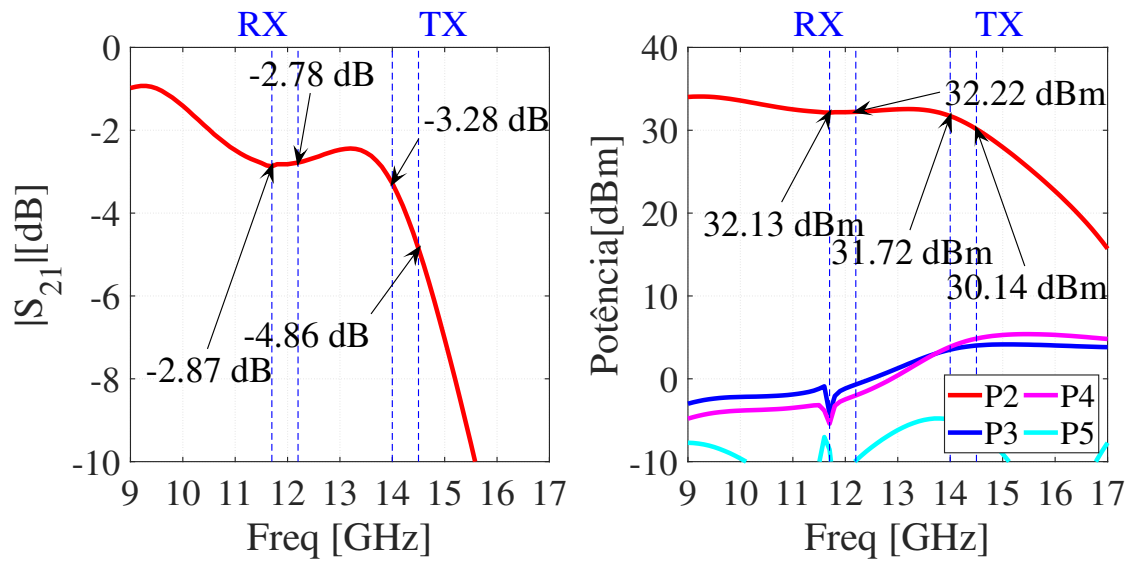


Figura 78 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0. S_{21} à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 2 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

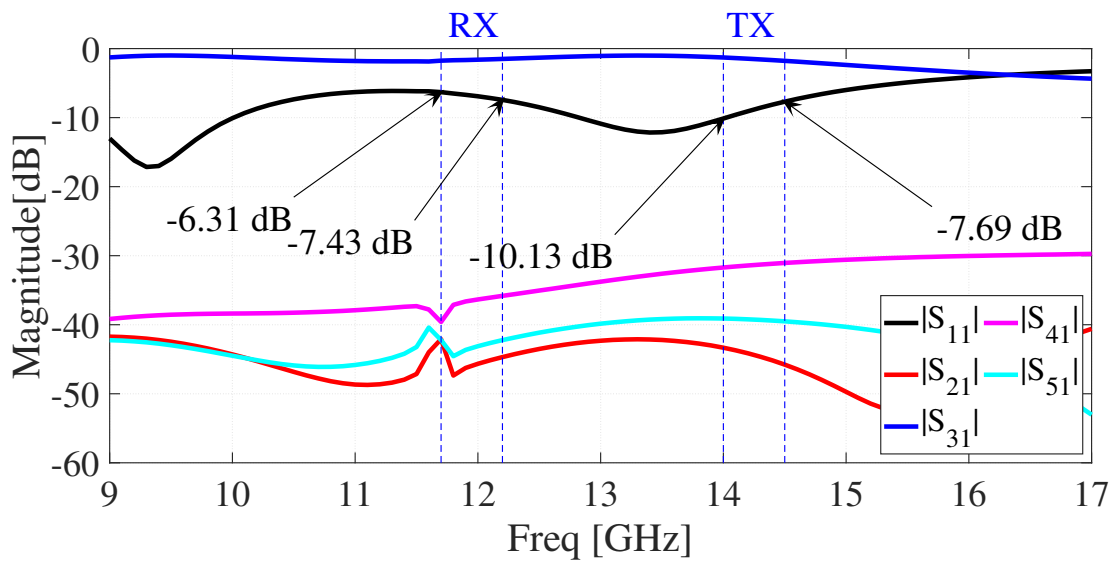


Figura 79 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

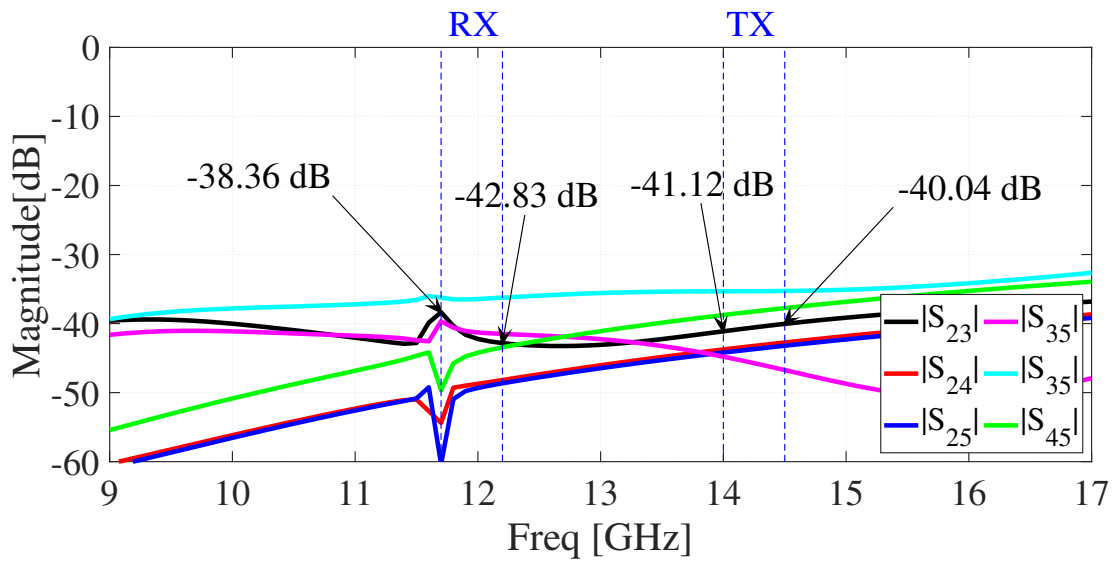


Figura 80 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

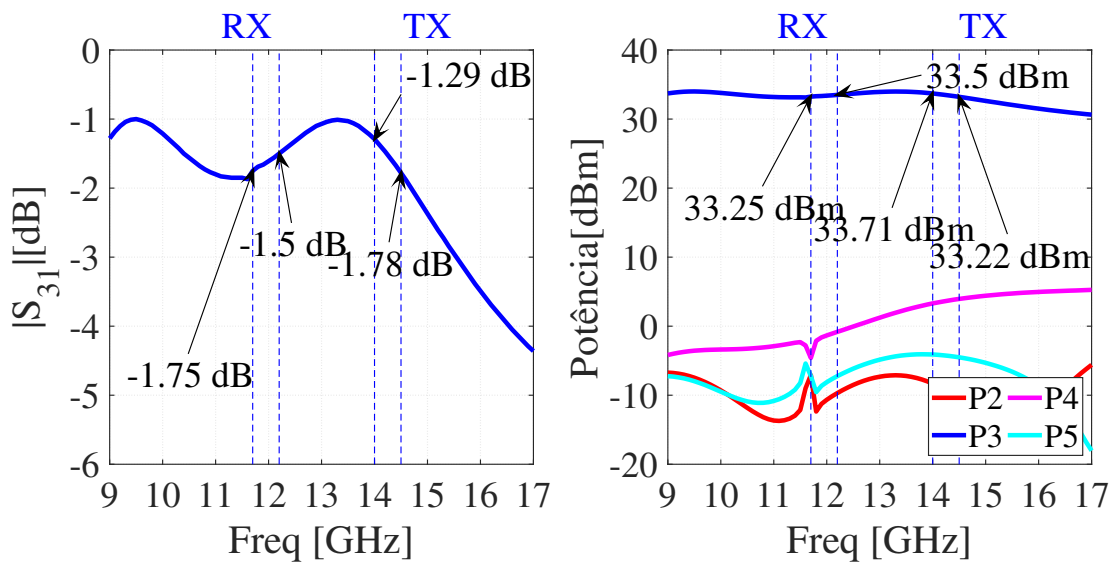


Figura 81 – Simulação LSSP (magnitude em dB) para o circuito SP4T v3.0. S_{31} à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 3 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

C.3 SP4T Versão 4.0

A seguir estão as simulações e o *layout* da quarta versão de comutador de um para quatro portas desenvolvida durante o projeto. Esta versão possui um *design* interessante em duas camadas. Isto facilitaria o projeto de uma matriz de chaveadores. Infelizmente a

perda de inserção para este comutador é alta, por isto ele não foi utilizado no momento. Este circuito ainda pode vir a ser usado no futuro do projeto.

Neste circuito, a porta 1 está na camada inferior (em verde), e é ligada a camada superior (em laranja) por uma via que corta o plano de terra (em amarelo) entre as duas. Isto pode ser visto nas Figuras 82 e 84. Como os canais das portas são iguais, as simulações de parâmetros S são muito semelhantes. Assim os resultados mostrados são apenas para a porta 5 ligadas, mas representam de forma adequada quando as demais portas são ligadas.

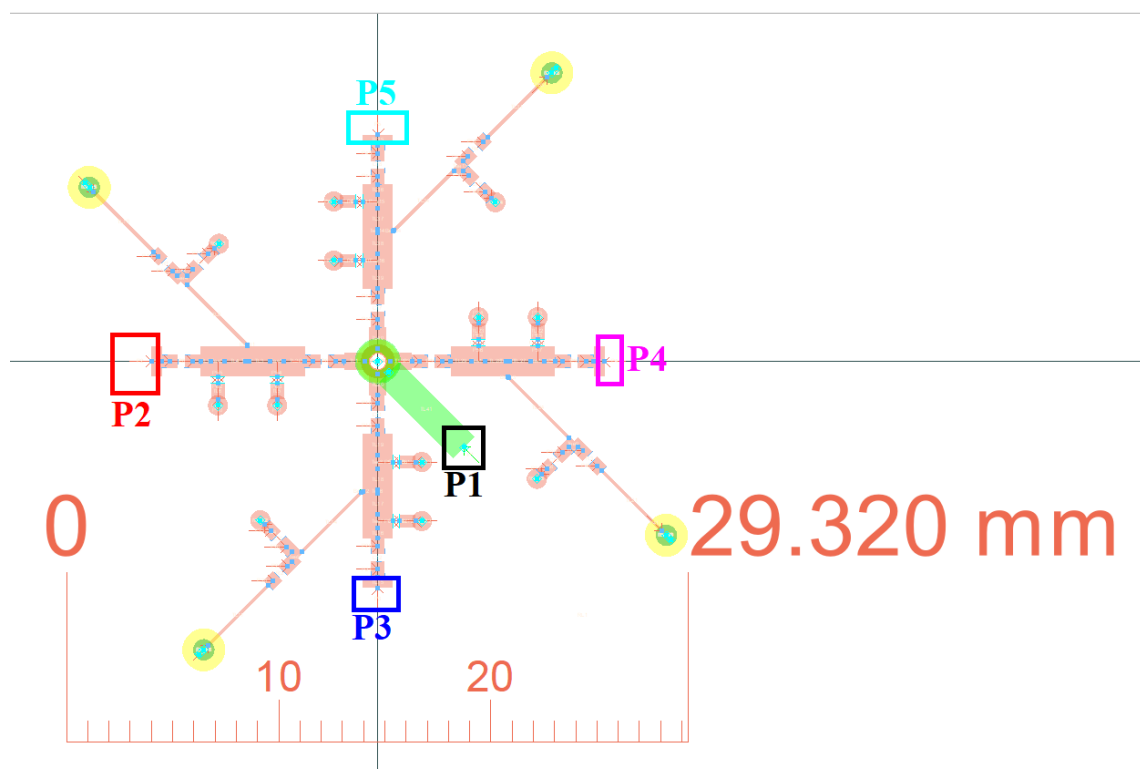


Figura 82 – Circuito SP4T em sua quarta versão, representando as portas P1 a P5. São mostrados na figura, a porta 1 na camada de sinal inferior em verde, as demais portas na camada superior em marrom e os rasgos no plano de terra em amarelo. Fonte: Elaboração própria.

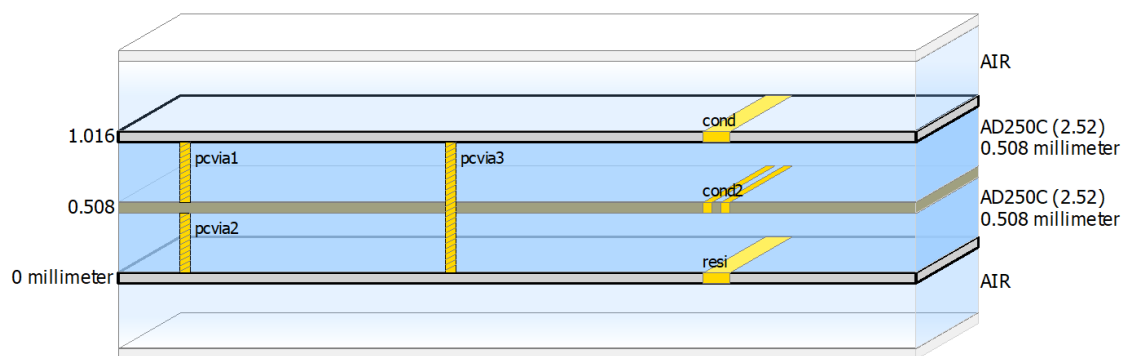


Figura 83 – Estilo de empilhamento das camadas de substrato AD250C™ de 0.508 mm e cobre para o circuito SP4T v4.0. As camadas de sinal são as de condutor superior e inferior e a camada de condutor entre elas é o terra. Fonte: Elaboração própria.

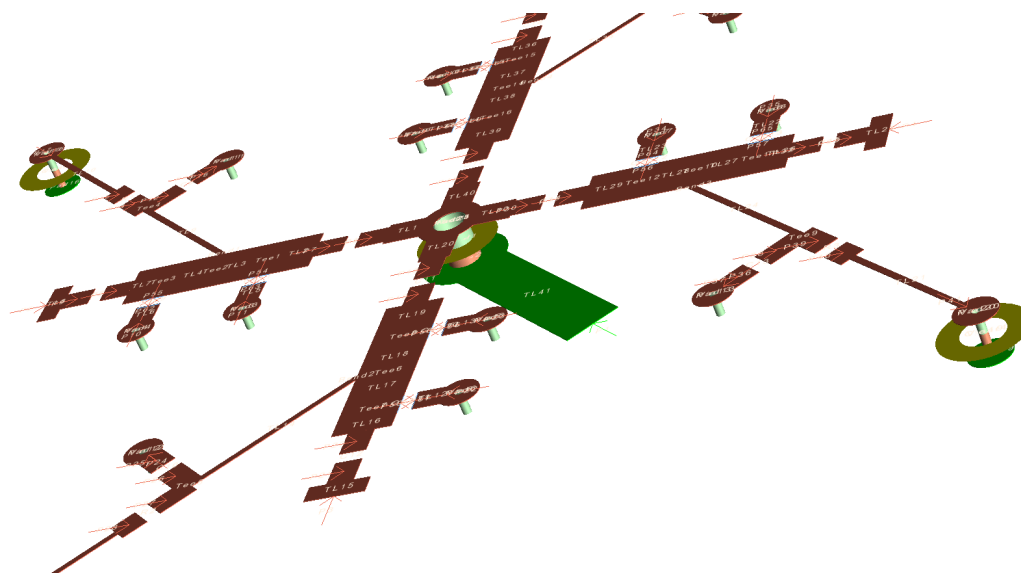


Figura 84 – Figura do circuito SP4T v4.0 em perspectiva no ambiente *Layout* do ADS. São mostrados na figura, a porta 1 na camada de sinal inferior em verde, as demais portas na camada superior em marrom e a via que liga as duas camadas. Fonte: Elaboração própria.

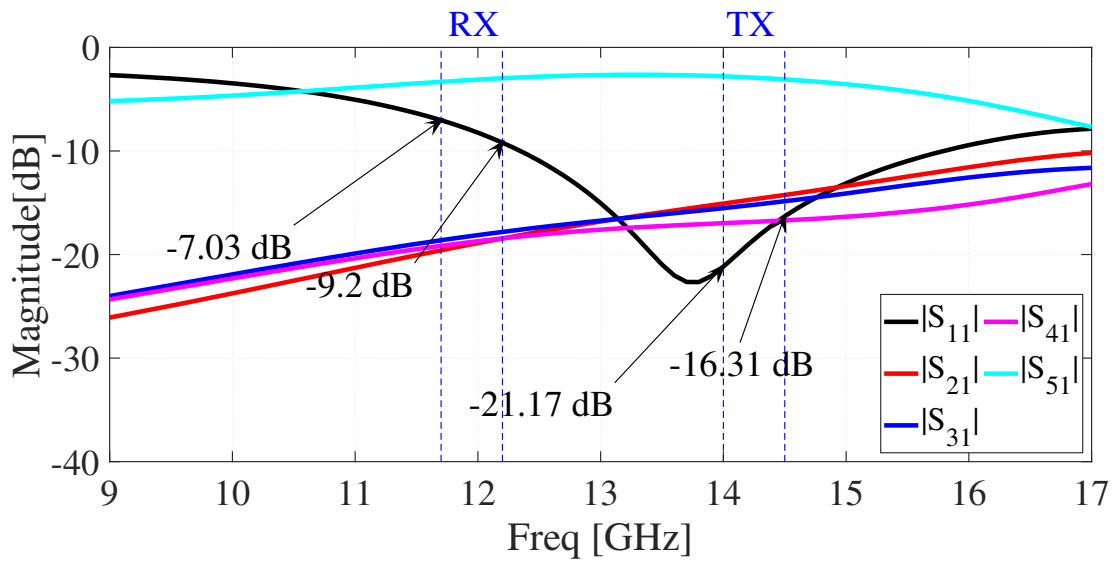


Figura 85 – Simulação LSSP (magnitude em dB) para o circuito SP4T v4.0 com polarização projetada. Porta 1 como fonte do sinal RF e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

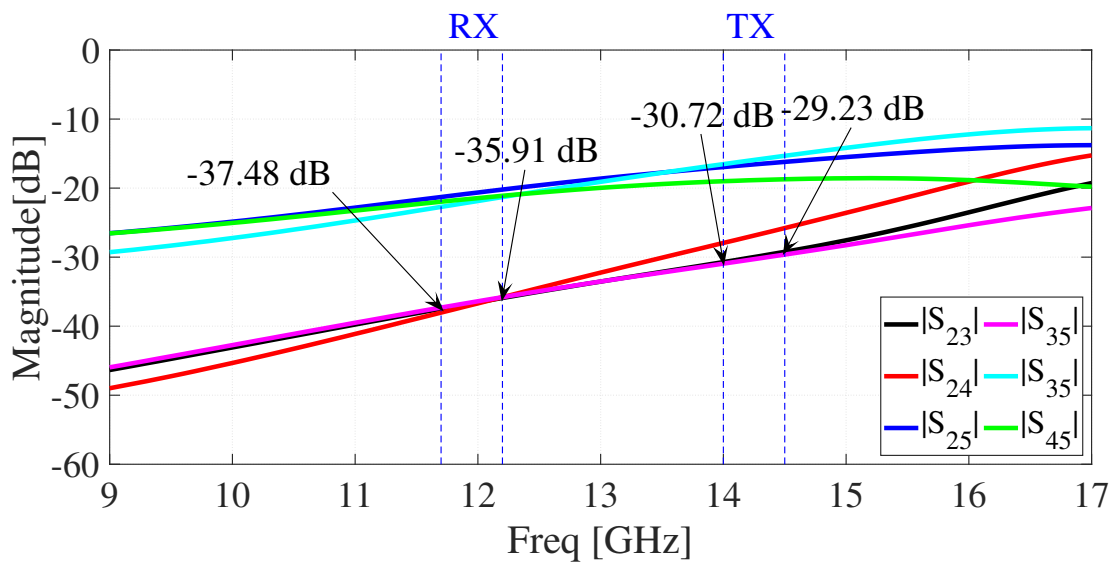


Figura 86 – Simulação LSSP (magnitude em dB) para o circuito SP4T v4.0 mostrando isolamento entre canais. Porta 1 como fonte do sinal RF e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

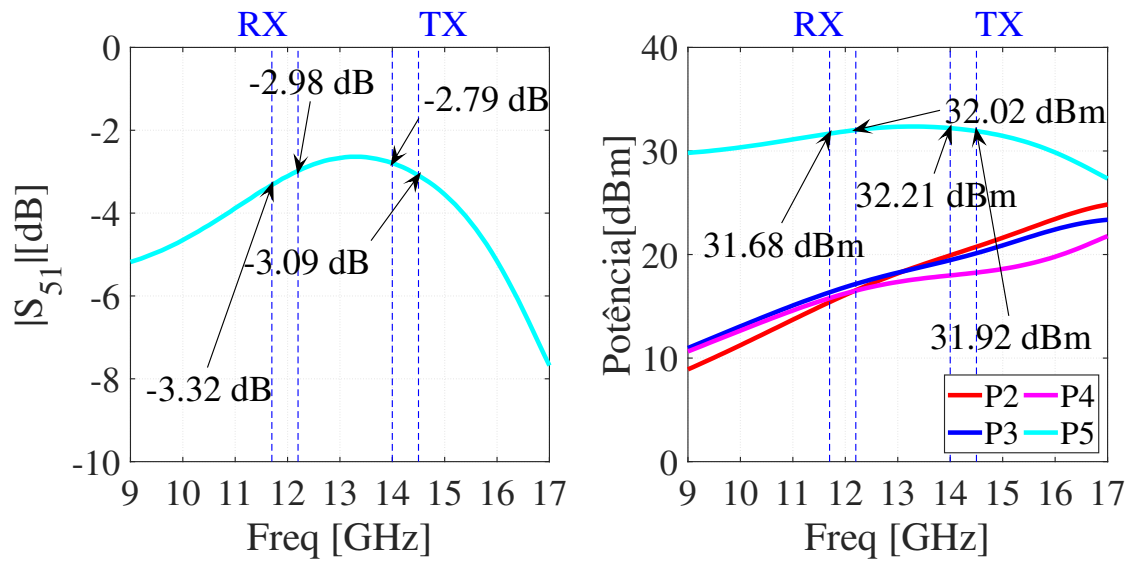


Figura 87 – Simulação LSSP (magnitude em dB) para o circuito SP4T v4.0. S_{51} à esquerda, e a distribuição de potências em todas as portas à direita. Porta 1 como fonte do sinal RF com potência de 35 dBm e porta 5 ligada para a passagem do sinal RF. Fonte: Elaboração própria.

APÊNDICE D – Procedimentos de teste

D.1 Registro de teste SPDT

PACBoard – Switch RF SP2T_v1 - Parametros S

Última Modificação	#REF!
Responsável:	#REF!
Revisor:	#REF!
Data:	#REF!

STATUS GERAL DO TESTE Não avaliado

Não Avaliado 2
OK 0
Warning 0
Fail 0

Índice

[Home](#)

CASO DE TESTE

[#VALOR!](#)
[#VALOR!](#)
[#VALOR!](#)
[#REF!](#)
[#REF!](#)
[#REF!](#)
[#REF!](#)
[#REF!](#)
[#REF!](#)
[#REF!](#)

VERSÃO

Versão da PCB e BoM
Versão da PCB e BoM
Versão da PCB e BoM
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!

STATUS

Não Avaliado
#REF!
Não Avaliado
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!

DATA

1/1/2016
#REF!
1/1/2016
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!

RESPONSÁVEL

Res1
#REF!
Res1
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!

REVISOR

Rev2
#REF!
Rev2
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!
#REF!

Materiais e Ferramentas

###

Diplexer - DIPLEXER_1

Instrumentos de medição:

VNA
Câmera Digital
Fonte DC com 2 Canais
Multímetro

Medidas Mecânicas

###

Não Avaliado

Versão: Versão da PCB e BoM

Objetivo

Aferir as medidas mecânicas das linhas de transmissão do chaveador para averiguar se as métricas estão de acordo com o projetado.

Procedimentos

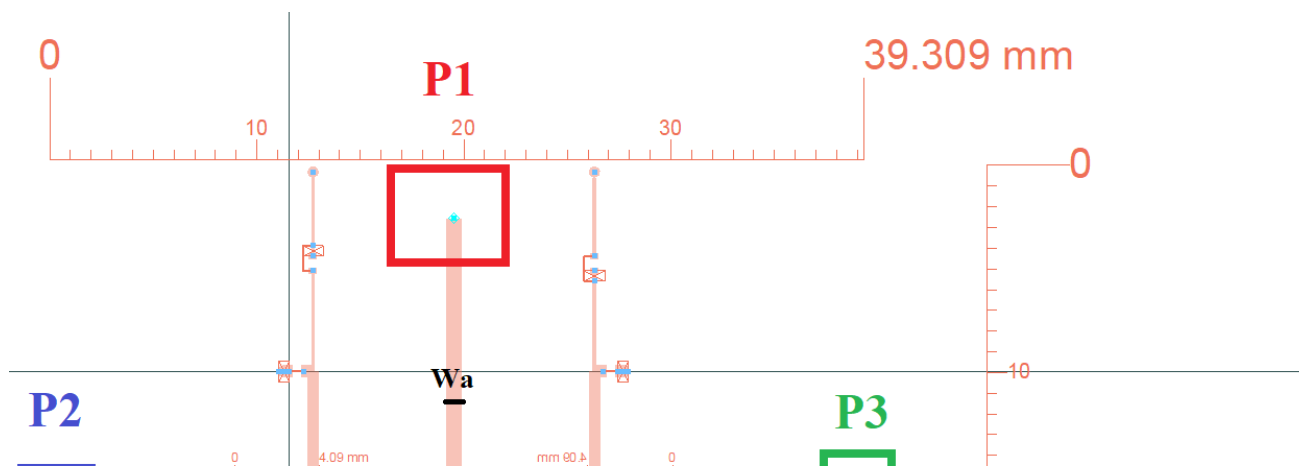
Introdução teórica :

O Switch RF é feito sobre microfita, com comprimentos elétricos de aproximadamente 90° entre os diodos. Seu funcionamento é de 11,7-14,5 GHz.

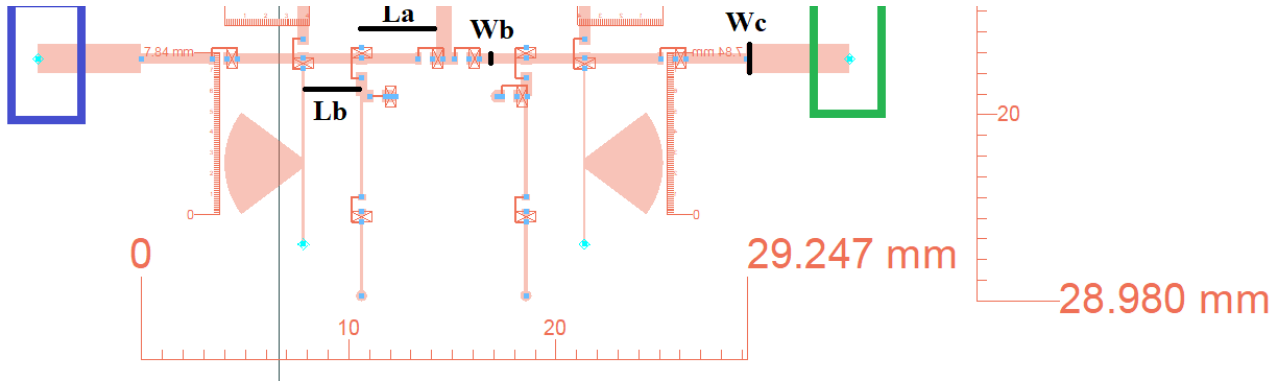
Procedimento 1 :

Posicionar a câmera sobre a PCI do Switch;
Ajustar o foco e resolução adequado para as dimensões das linhas de transmissão;
Fotografar e estimar a dimensão das linhas de transmissão.

Critérios de Avaliação



<Sigla do Produto> - <subproduto> - <Bloco de Teste1>
 P/N: Partnumber do Produto ou do componente.
 Manufacturer: Fabricante do P/N.



	Dimensão	Medida [mm]
SWITCH RF	La	3,587
	Lb	2,820
	Wa	0,758
	Wb	0,543
	Wc	1,418

Dados Obtidos

Dados do procedimento 1:

Medidas do procedimento 1:

	Dimensão	Medida [mm]
SWITCH RF	La	
	Lb	
	Wa	
	Wb	
	Wc	

Figuras do procedimento 1:

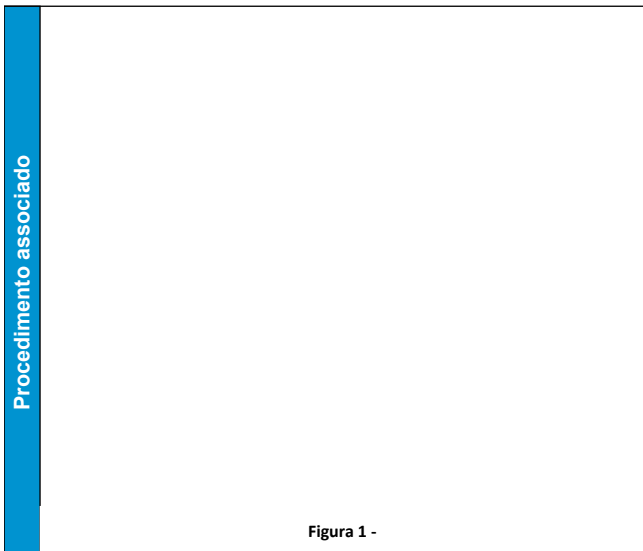


Figura 1 -

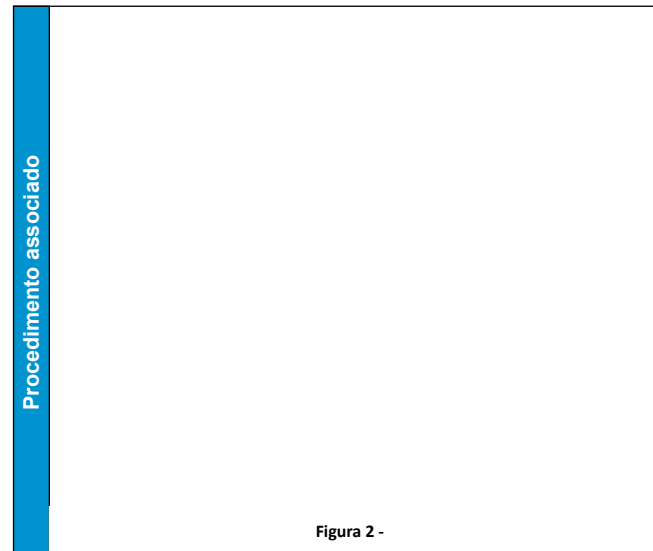
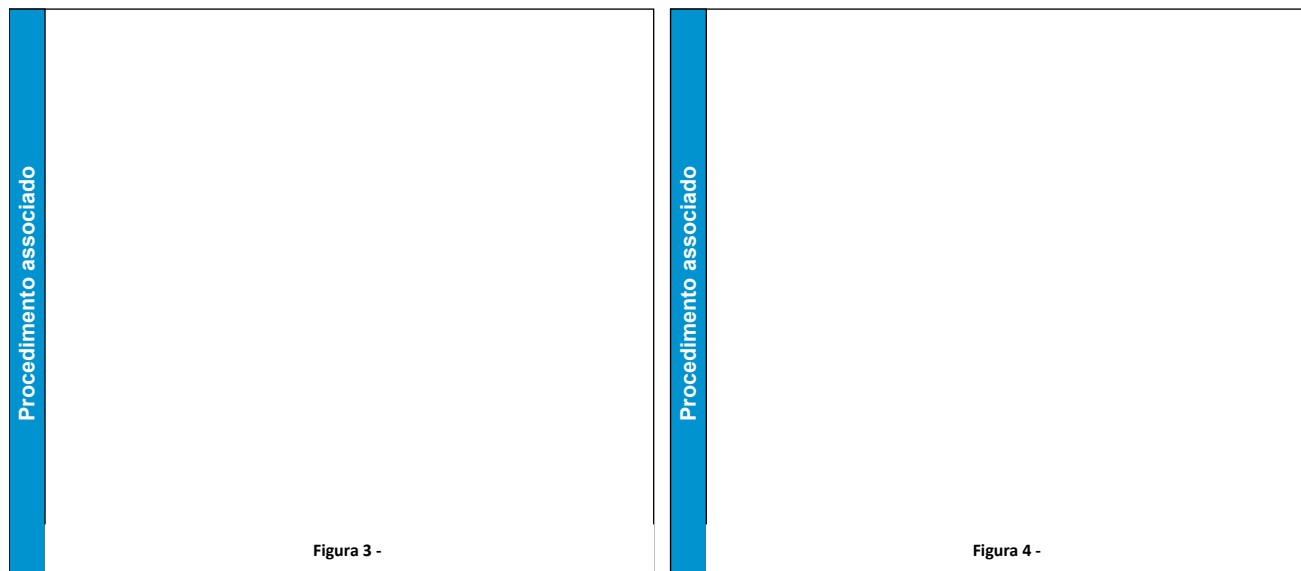


Figura 2 -

<Sigla do Produto> - <subproduto> - <Bloco de Teste1>
P/N: Partnumber do Produto ou do componente.
Manufacturer: Fabricante do P/N.



Análise dos Testes

STATUS: Não Avaliado

Data

1/1/2016

Responsável: Res1
Revisor: Rev2

Análise: O status de teste, a data, o responsável e o revisor devem ser editados exclusivamente neste tópico. A análise deve conter :

Parâmetros S

###

#REF!

Versão: Versão da PCB e BoM

Objetivo

Medir a matriz de parâmetros S do Switch.

Procedimentos

Introdução teórica :

Medir os parâmetros S com uso do VNA para caracterizar o comportamento do dispositivo em relação a frequência e detectar distorções.

Procedimento 1 :

Realizar a calibração do VNA;

Ajustar a fonte para o controle do *switch*. -4V para Porta 2 (canal ON) e 1V para Porta 3, 4 e 5 (canais OFF)

Colocar com

Configurar o modo NA para medir parâmetros S na banda de 9,7 a 16,5 GHz;

Salvar a matriz de parâmetros S (S11,S12,S13,S21,S22,S23,S31,S32,S33) na unidade de Re+i*Im e dB nos formatos .CSV e .s2p

com o nome SWITCHRF_S_RE_IM_MEAS e SWITCHRF_S_DB_MEAS;

Realizar as medidas de parâmetros S11 em dB na banda de 9,7 GHz - 16,5 GHz;

Salvar os dados nos formatos .PNG com o nome SWITCHRF_S11_MEAS;

Realizar as medidas de parâmetros S21 em dB na banda de 9,7 GHz - 16,5 GHz;

Salvar os dados nos formatos .PNG com o nome SWITCHRF_S21_MEAS;

Critérios de Avaliação

Parâmetro	Valor mínimo (dB)	Valor esperado(dB)	Valor máximo (dB)
S11 @11.7-12.2GHz	-	<= -6,82	-6,32
S21 @11.7-12.2GHz	-2,30	>= -1,80	-
S31 @11.7-12.2GHz	-	<= -12,30	-11,80

<Sigla do Produto> - <subproduto> - <Bloco de Teste1>
P/N: Partnumber do Produto ou do componente.
Manufacturer: Fabricante do P/N.

S32 @11.7-12.2GHz	-	<= -34,00	-33,00
-------------------	---	-----------	--------

PORTA 2 ON

Parâmetro	Valor mínimo (dB)	Valor esperado(dB)	Valor máximo (dB)
S11 @ 14 - 14.5 GHz	-	<= -4,69	-4,19
S21 @ 14 - 14.5 GHz	-3,70	>= -3,20	-
S31 @ 14 - 14.5 GHz	-	<= -13,80	-13,30
S32 @ 14 - 14.5 GHz	-	<= -32,00	-31,00

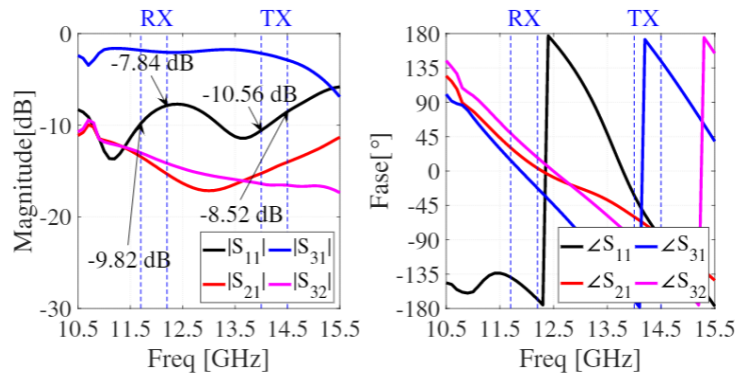
Dados Obtidos

Dados do procedimento 1:

Medida dos parâmetros S em dB (pior valor medido dentro da banda)

Parâmetro	Valor medido (dB)
S11 @ 11,7 - 12,2 GHz	
S21 @ 11,7 - 12,2 GHz	
S31 @ 11,7 - 12,2 GHz	
S32 @ 11,7 - 12,2 GHz	

Parâmetro	Valor medido (dB)
S11 @ 14 - 14,5 GHz	
S21 @ 14 - 14,5 GHz	
S31 @ 14 - 14,5 GHz	
S32 @ 14 - 14,5 GHz	



Figuras do procedimento 1:

Procedimento associado

Figura 1 -

Procedimento associado

Figura 2 -

Caso de Teste 3 ###

Não Avaliado **Versão:** Versão da PCB e BoM

Objetivo

Medir a corrente que perpassa os diodos

Procedimentos

Introdução teórica :

A medição da corrente sobre os diodos para garantir que eles estejam polarizados e dentro dos limites especificados no diodo.

Procedimento 1 :

<Sigla do Produto> - <subproduto> - <Bloco de Teste1>
P/N: Partnumber do Produto ou do componente.
Manufacturer: Fabricante do P/N.

Medir de forma indireta a corrente sobre os diodo, podendo ser aferida medindo a tensão sobre os resistores de 50 Ohm ou pelas fontes.

Critérios de Avaliação

Parâmetro	corrente [mA]
Diodo 1 do canal passante	<=10
Diodo 2 do canal passante	<=10
Diodo 1 do canal bloqueado	<=5
Diodo 1 do canal bloqueado	<=5

Dados Obtidos

Parâmetro	Valor medido [mA]
Diodo 1 do canal passante	
Diodo 2 do canal passante	
Diodo 1 do canal bloqueado	
Diodo 1 do canal bloqueado	

Análise dos Testes

STATUS: Não Avaliado

Data **1/1/2016**

Responsável: Res1
Revisor: Rev2

Análise: O status de teste, a data, o responsável e o revisor devem ser editados exclusivamente neste tópico. A análise deve conter :

D.2 Registro de teste SP4T v1.0

PACBoard – Switch RF SP4T_v1 - Parametros S

Última Modificação	#REF!
Responsável:	#REF!
Revisor:	#REF!
Data:	#REF!

STATUS GERAL DO TESTE	Não avaliado
Não Avaliado	3
OK	0
Warning	0
Fail	0

Índice

[Home](#)

CASO DE TESTE	VERSÃO	STATUS	DATA	RESPONSÁVEL	REVISOR
#VALOR!	Versão da PCB e BoM	Não Avaliado	1/1/2016	Res1	Rev2
#VALOR!	Versão da PCB e BoM	Não Avaliado	1/1/2016	Res1	Rev2
#VALOR!	Versão da PCB e BoM	Não Avaliado	1/1/2016	Res1	Rev2
#REF!	#REF!	#REF!	#REF!	#REF!	#REF!
#REF!	#REF!	#REF!	#REF!	#REF!	#REF!
#REF!	#REF!	#REF!	#REF!	#REF!	#REF!
#REF!	#REF!	#REF!	#REF!	#REF!	#REF!
#REF!	#REF!	#REF!	#REF!	#REF!	#REF!
#REF!	#REF!	#REF!	#REF!	#REF!	#REF!
#REF!	#REF!	#REF!	#REF!	#REF!	#REF!
#REF!	#REF!	#REF!	#REF!	#REF!	#REF!

Materiais e Ferramentas

###

Diplexer - DIPLEXER_1

Instrumentos de medição:

- VNA
- Câmera Digital
- Fonte DC com 2 Canais
- Multímetro

Medidas Mecânicas

###

Não Avaliado

Versão: Versão da PCB e BoM

Objetivo

Aferir as medidas mecânicas das linhas de transmissão do chaveador para averiguar se as métricas estão de acordo com o projetado.

Procedimentos

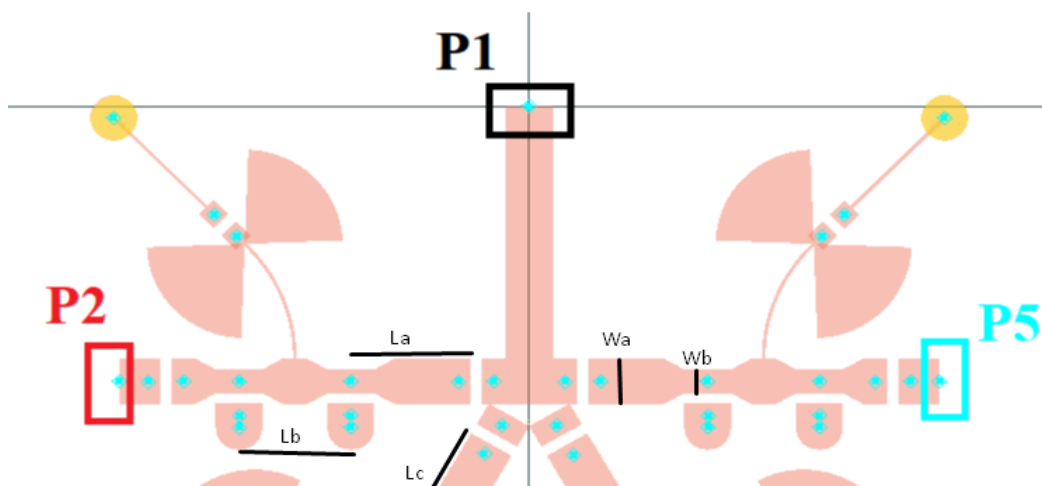
Introdução teórica :

O Switch RF é feito sobre microfita, com comprimentos elétricos de aproximadamente 90° entre os diodos. Seu funcionamento é de 11,7-14,5 GHz.

Procedimento 1 :

- Posicionar a câmera sobre a PCI do Switch;
- Ajustar o foco e resolução adequado para as dimensões das linhas de transmissão;
- Fotografar e estimar a dimensão das linhas de transmissão.

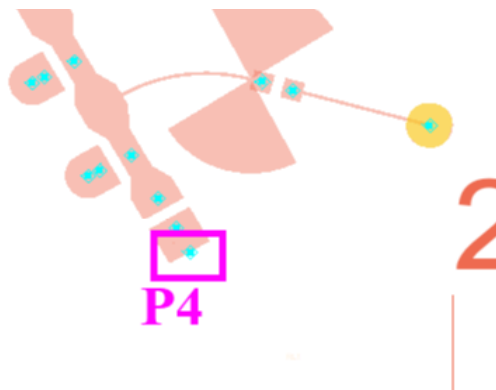
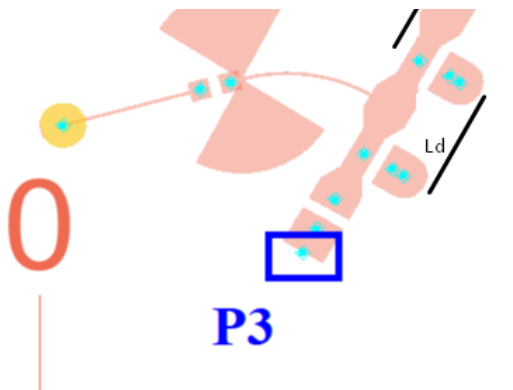
Critérios de Avaliação



<Sigla do Produto> - <subproduto> - <Bloco de Teste1>

P/N: Partnumber do Produto ou do componente.

Manufacturer: Fabricante do P/N.



	Dimensão	Medida [mm]
SWITCH RF	La	3,700
	Lb	3,406
	Lc	3,585
	Ld	3,406
	Wa	1,418
	Wb	0,750

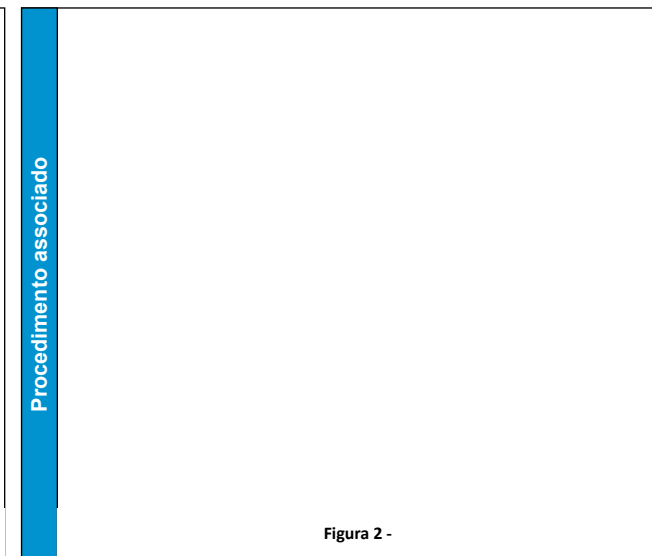
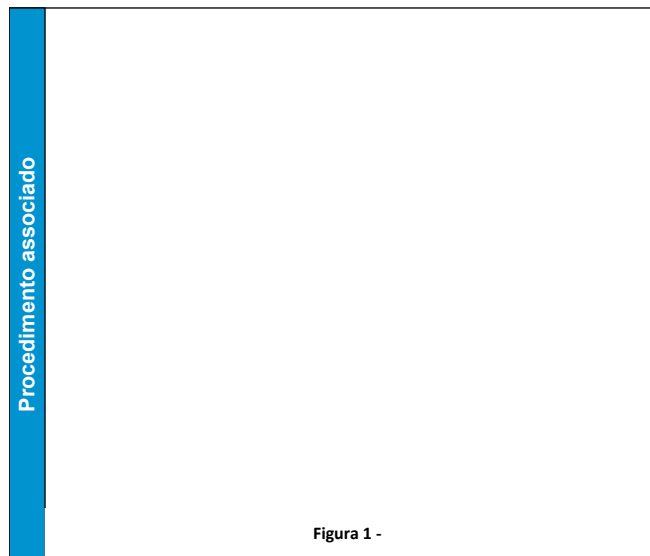
Dados Obtidos

Dados do procedimento 1:

Medidas do procedimento 1:

	Dimensão	Medida [mm]
SWITCH RF	La	
	Lb	
	Lc	
	Ld	
	Wa	
	Wb	

Figuras do procedimento 1:



<Sigla do Produto> - <subproduto> - <Bloco de Teste1>
P/N: Partnumber do Produto ou do componente.
Manufacturer: Fabricante do P/N.

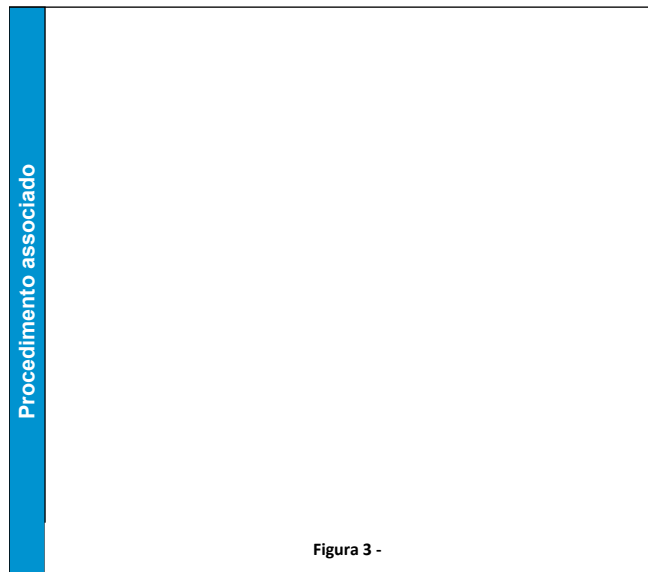


Figura 3 -

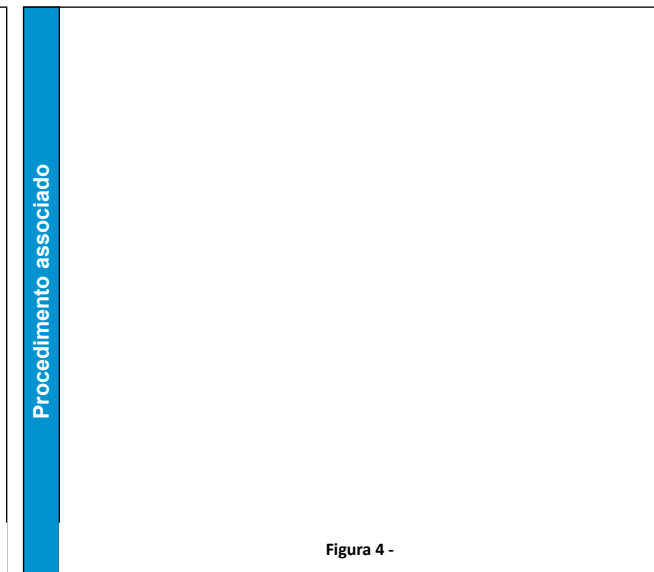


Figura 4 -

Análise dos Testes

STATUS: Não Avaliado

Data

1/1/2016

Responsável: Res1
Revisor: Rev2

Análise: O status de teste, a data, o responsável e o revisor devem ser editados exclusivamente neste tópico. A análise deve conter :

Parâmetros S

###

Não Avaliado

Versão: Versão da PCB e BoM

Objetivo

Medir a matriz de parâmetros S do Switch.

Procedimentos

Introdução teórica :

Medir os parâmetros S com uso do VNA para caracterizar o comportamento do dispositivo em relação a frequência e detectar distorções.

Procedimento 1 :

Realizar a calibração do VNA;

Ajustar a fonte para o controle do *switch*. -4V para Porta 2 (canal ON) e 1V para Porta 3 (canal OFF)

Colocar com

Configurar o modo NA para medir parâmetros S na banda de 9,7 a 16,5 GHz;

Salvar a matriz de parâmetros S (S11,S12,S13,S21,S22,S23,S31,S32,S33) na unidade de Re+i*Im e dB nos formatos .CSV e .s2p com o nome SWITCHRF_S_RE_IM_MEAS e SWITCHRF_S_DB_MEAS;

Realizar as medidas de parâmetros S11 em dB na banda de 9,7 GHz - 16,5 GHz;

Salvar os dados nos formatos .PNG com o nome SWITCHRF_S11_MEAS;

Realizar as medidas de parâmetros S21 em dB na banda de 9,7 GHz - 16,5 GHz;

Salvar os dados nos formatos .PNG com o nome SWITCHRF_S21_MEAS;

Critérios de Avaliação

Parâmetro	Valor mínimo (dB)	Valor esperado(dB)	Valor máximo (dB)
S11 @11.7-12.2GHz	-	<= -4	-3,50
S21 @11.7-12.2GHz	-3,50	>= -2,96	-
S31 @11.7-12.2GHz	-	<= -37,6	-37,10

<Sigla do Produto> - <subproduto> - <Bloco de Teste1>
P/N: Partnumber do Produto ou do componente.
Manufacturer: Fabricante do P/N.

Canal 2 ON

Parâmetro	Valor mínimo (dB)	Valor esperado(dB)	Valor máximo (dB)
S11 @ 14 - 14.5 GHz	-	<= -2,08	-1,50
S21 @ 14 - 14.5 GHz	-8,50	>= -7,92	-
S31 @ 14 - 14.5 GHz	-	<= -30	-29,50

Parâmetro	Valor mínimo (dB)	Valor esperado(dB)	Valor máximo (dB)
S11 @11.7-12.2GHz	-	<= -6,82	-3,50
S21 @11.7-12.2GHz	-3,50	>= -1,53	-
S31 @11.7-12.2GHz	-	<= -46,85	-37,10

Canal 3 ON

Parâmetro	Valor mínimo (dB)	Valor esperado(dB)	Valor máximo (dB)
S11 @ 14 - 14.5 GHz	-	<= -4,7	-4,20
S21 @ 14 - 14.5 GHz	-3,53	>= -3,03	-
S31 @ 14 - 14.5 GHz	-	<= -44,32	-43,82

Dados Obtidos

Dados do procedimento 1:

Medida dos parâmetros S em dB (pior valor medido dentro da banda).

Parâmetro	Valor medido (dB)
S11 @ 11,7 – 12.2 GHz	
S21 @ 11,7 – 12.2 GHz	
S31 @ 11,7 – 12.2 GHz	
S32 @ 11,7 – 12.2 GHz	

Canal 2 ON

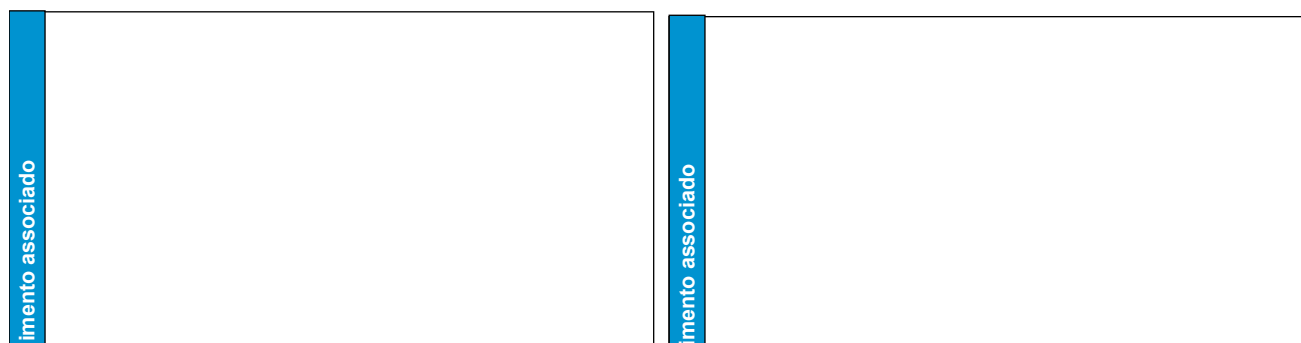
Parâmetro	Valor medido (dB)
S11 @ 14 - 14.5 GHz	
S21 @ 14 - 14.5 GHz	
S31 @ 14 - 14.5 GHz	
S32 @ 14 - 14.5 GHz	

Parâmetro	Valor medido (dB)
S11 @ 11,7 – 12.2 GHz	
S21 @ 11,7 – 12.2 GHz	
S31 @ 11,7 – 12.2 GHz	
S32 @ 11,7 – 12.2 GHz	

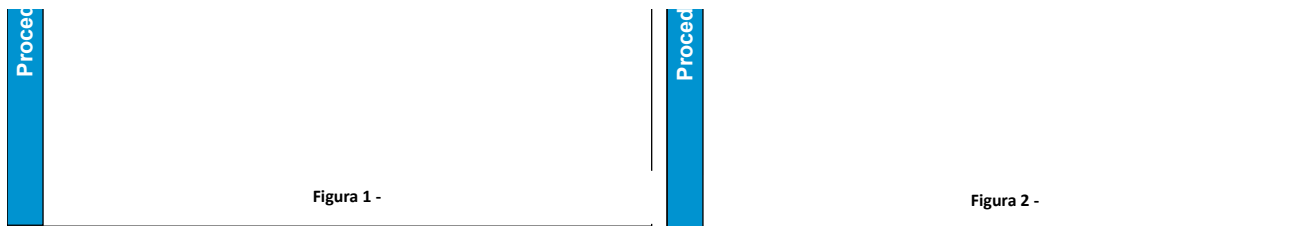
Canal 3 ON

Parâmetro	Valor medido (dB)
S11 @ 14 - 14.5 GHz	
S21 @ 14 - 14.5 GHz	
S31 @ 14 - 14.5 GHz	
S32 @ 14 - 14.5 GHz	

Figuras do procedimento 1:



<Sigla do Produto> - <subproduto> - <Bloco de Teste1>
P/N: Partnumber do Produto ou do componente.
Manufacturer: Fabricante do P/N.



Análise dos Testes

Data 1/1/2016

STATUS: Não Avaliado

Responsável: Res1
Revisor: Rev2

Análise: O status de teste, a data, o responsável e o revisor devem ser editados exclusivamente neste tópico. A análise deve conter :

Caso de Teste 3

###

Não Avaliado

Versão: Versão da PCB e BoM

Objetivo

Medir a corrente que perpassa os diodos

Procedimentos

Introdução teórica :

A medição da corrente sobre os diodos para garantir que eles estejam polarizados e dentro dos limites especificados no diodo.

Procedimento 1 :

Medir de forma indireta a corrente sobre os diodo, podendo ser aferida medindo a tensão sobre os resistores de 50 Ohm ou pelas fontes.

Critérios de Avaliação

Parâmetro	corrente [mA]
Diodo 1 e 2 do canal passante	<=10
Diodos dos canais bloqueados	<=30

Dados Obtidos

Parâmetro	Valor medido [mA]
Diodo 1 e 2 do canal passante	
Diodo 1 e 2 do canal bloqueado	

Análise dos Testes

Data 1/1/2016

STATUS: Não Avaliado

Responsável: Res1
Revisor: Rev2

Análise: O status de teste, a data, o responsável e o revisor devem ser editados exclusivamente neste tópico. A análise deve conter :

ANEXO A – Placa RF com circuito do chaveador SPDT

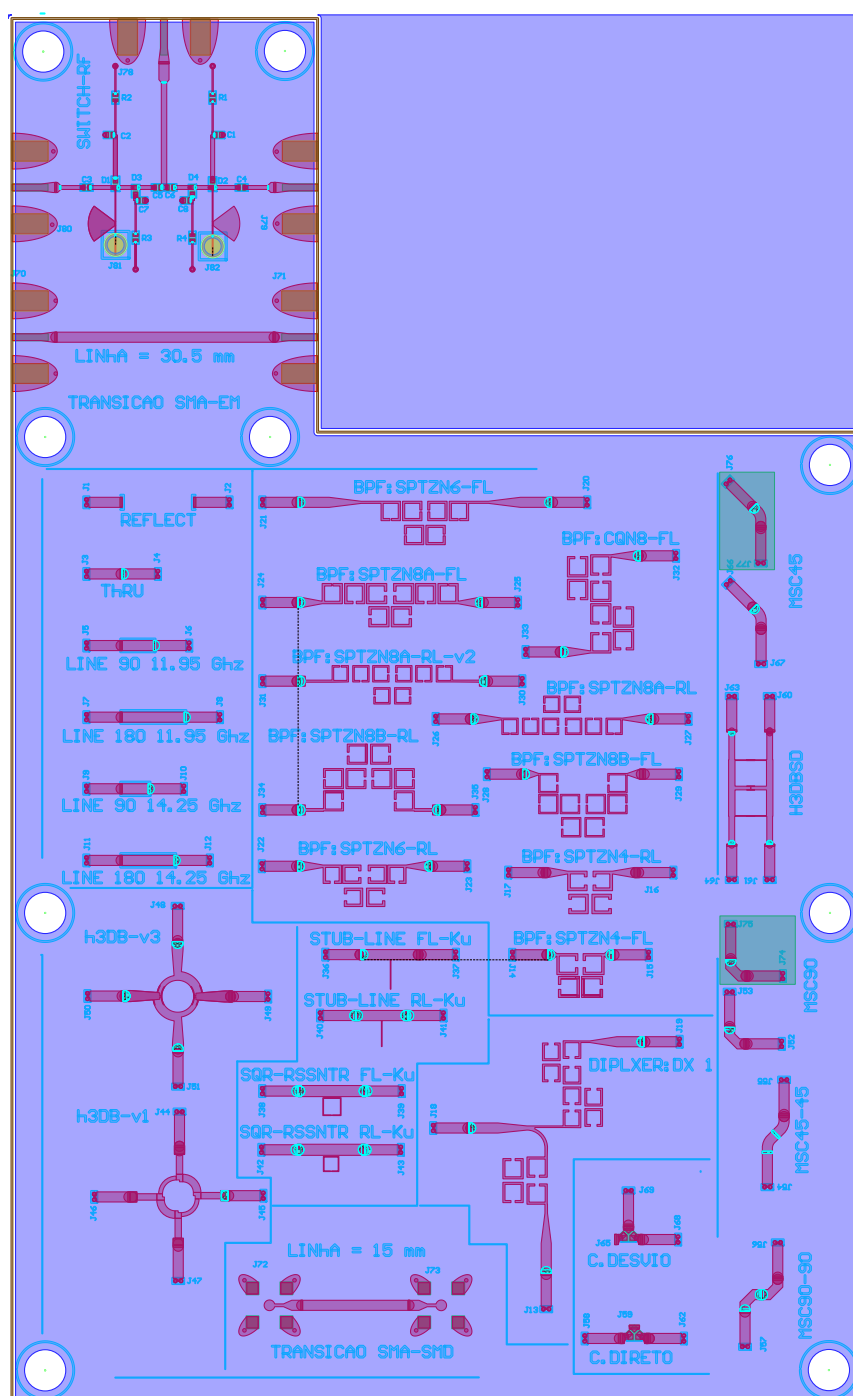


Figura 88 – Placa de sistemas e componentes RF projetada com SPDT. Fonte: Guilherme Felix de Andrade, Matheus Pereira Santana, Vitor Carvalho de Almeida e Vinícius Lisboa do Nascimento.

ANEXO B – Placa RF com circuito do chaveador SP4T v2.0

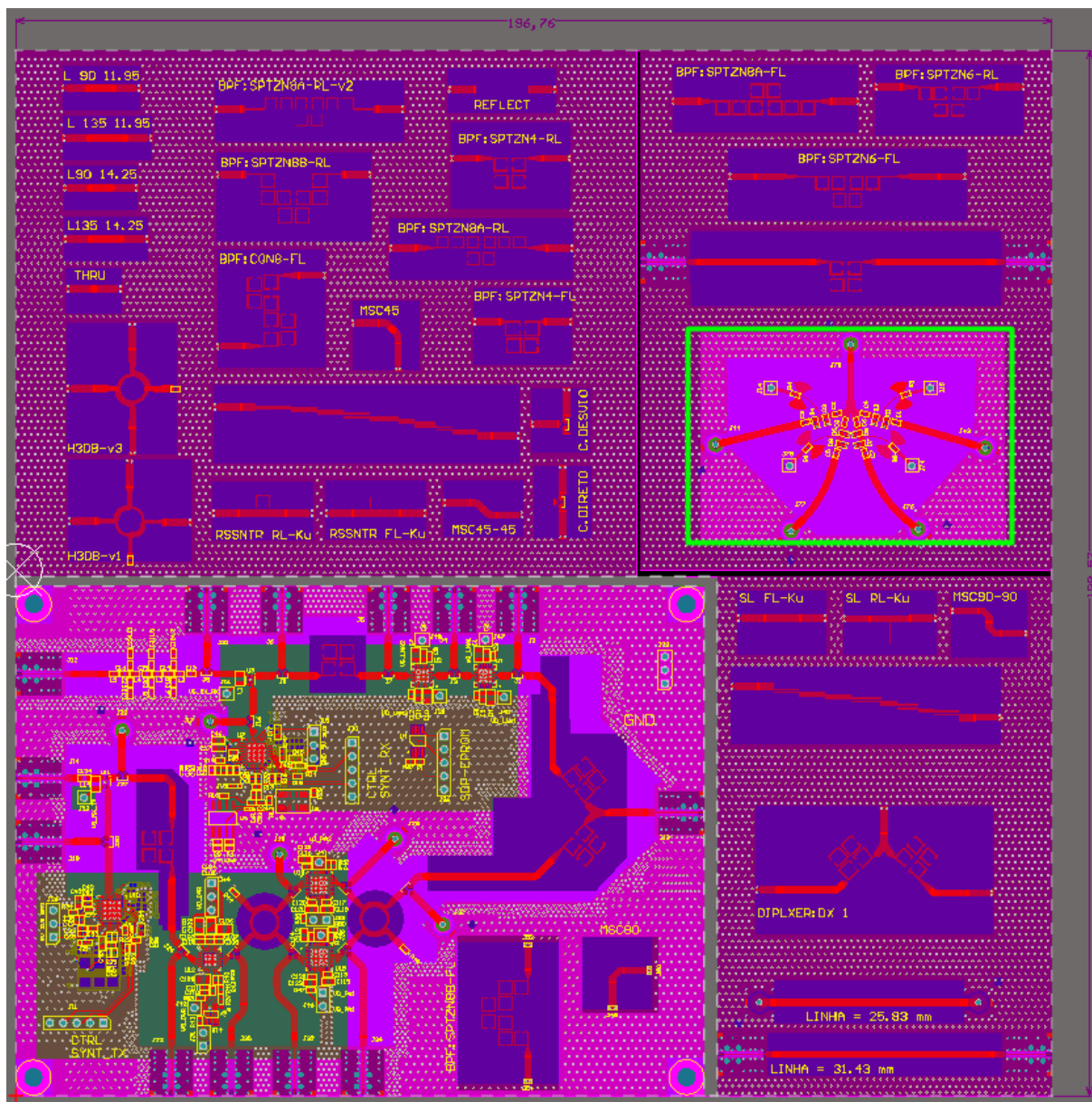
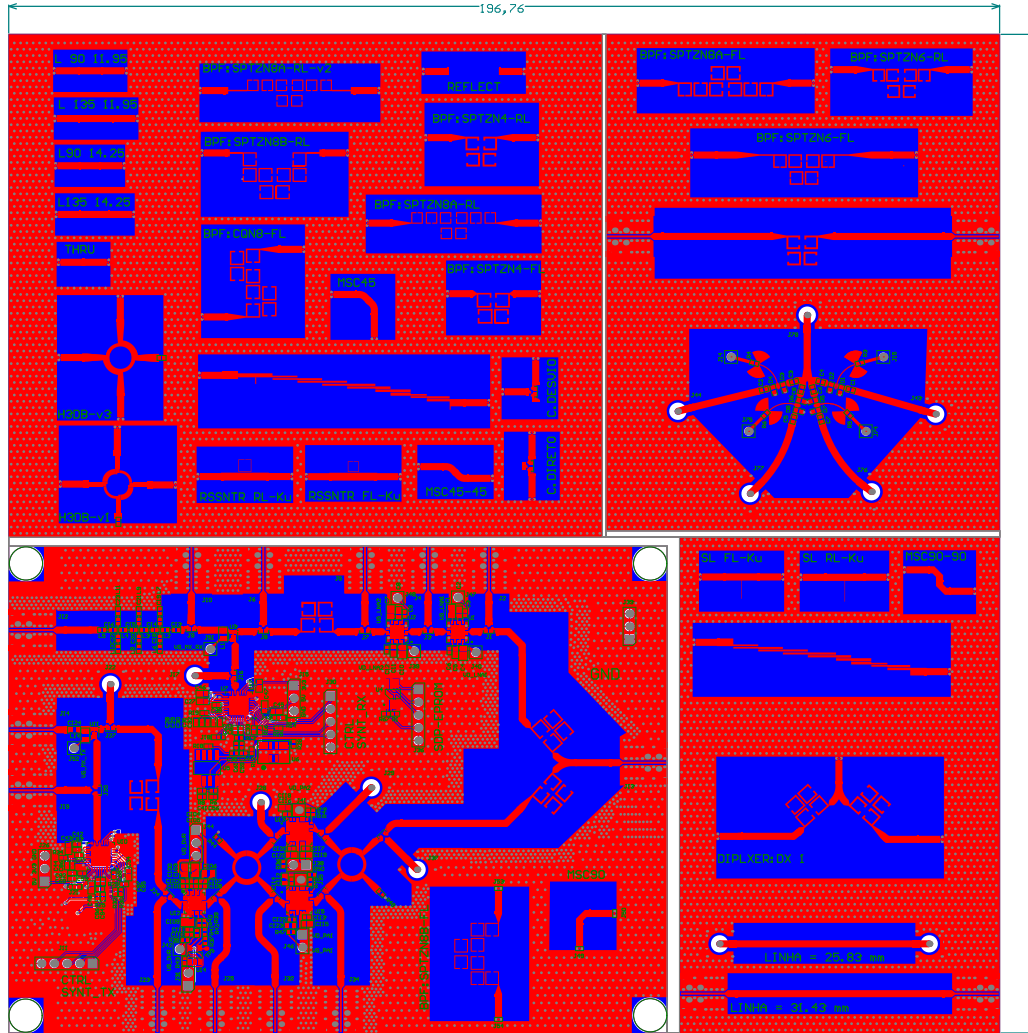


Figura 89 – Placa de sistemas e componentes RF projetada com SP4T v2.0. Fonte: Guilherme Felix de Andrade, Matheus Pereira Santana, Vitor Carvalho de Almeida e Vinícius Lisboa do Nascimento.

PCB SPECIFICATIONS		
MATERIAL:	ROGERS AD250C ± 0.05 mm +/- 10%	
LAYERS:	MultiLayer PCB 2 layers	
PCB Finishing		
<input type="checkbox"/> HASL (Hot Air Solder Leveling) - PC-1000		
<input checked="" type="checkbox"/> ENIG Electroless Nickel Immersion Gold	30760 um (EN) + 0.025 3000 um (Au) - PC-1000.	
SOLDER MASK:		
BLUE		
SILSCREEN:		
<input checked="" type="checkbox"/> Top Overlay	<input checked="" type="checkbox"/> Bottom Overlay	
COLOR:		
WHITE		
VIA FINISH:		
<input checked="" type="checkbox"/> Hardly	<input type="checkbox"/> Baked	<input type="checkbox"/> Plugged
NOTES (PLEASE OBSERVE SPECIFIC):		
1 - Dimensions in millimeters. Tolerance +/- .100 and .25mm for structure beyond 250mm. Spacing tolerance +/- .100 and .20mm for spacing beyond 500um		
2 - Maximum landing area within 10.		
3 - PCB Electrical Testing not needed.		
4 - Use the file name with the documentation for the drilling process.		
5 - Follow INSTRUCTIONS in the enclosure and the reports DCA address indicated in the LAYER STACK TABLE		
6 - Follow the standard IPC-6010C.		
7 - For any change related testing, flexibility or release markings on order levels, the responsible must be informed before start the production process.		



Layer	Name	Material	Thickness	Constant	Board Layer Stack
1	Top Overlay				
2	Top Solder	Solder Resist	0,010mm	3,5	
3	Top Layer	Copper	0,018mm		
4	Dielectric 1	AD250C	0,508mm	2,5	
5	Bottom Layer	Copper	0,018mm		
6	Bottom Solder	Solder Resist	0,010mm	3,5	
7	Bottom Overlay				

COOPER	Top Layer	Bottom Layer	Finishes
ENIG	ENIG	ENIG	ENIG
SILSCREEN	Top Overlay	Bottom Overlay	
STENCIL			
SOLDER MASK			
OTHERS	Keep-Out Layer		

Proj/Rev	Antena Communication Link USB	Layouts	Order 3	Version	1.0
Created	Polso - RFBoard - PCBBoard	Revisão			
Date	04/08/2019				

ANEXO C – Placa RF com circuito da matriz de chaveadores SP16T

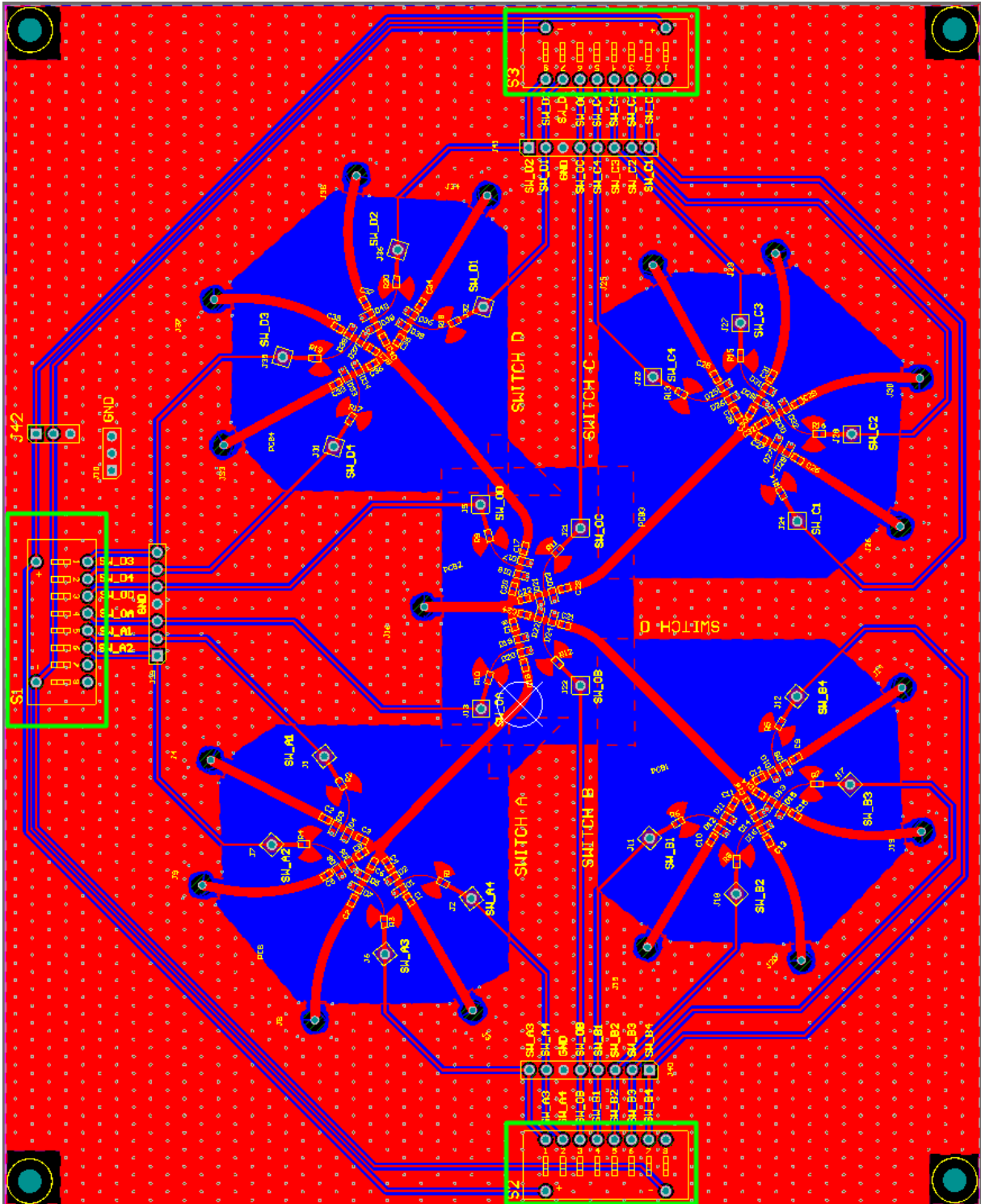
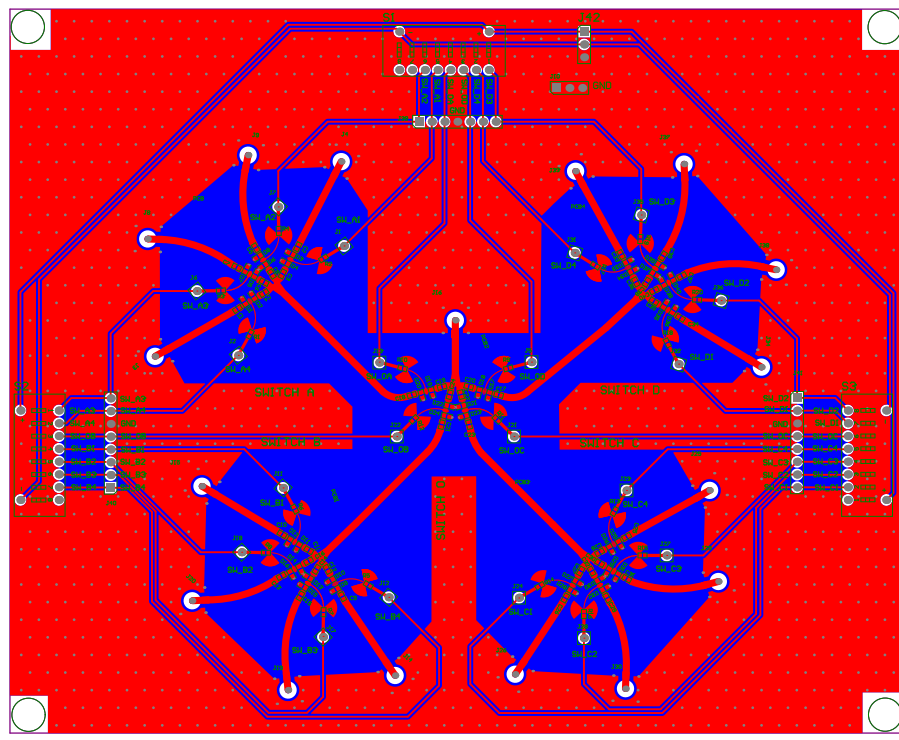


Figura 90 – Placa de sistemas e componentes RF projetada com SP16T. Fonte: Guilherme Felix de Andrade, Matheus Pereira Santana, Vitor Carvalho de Almeida e Vinícius Lisboa do Nascimento.

PCB SPECIFICATIONS	
MATERIAL:	ROGERS AD250C : 0,508 mm +/- 10%
LAYERS:	MultiLayer PCB 2 layers
PCB Finishing:	<input type="checkbox"/> HASL (Hot Air Solder Leveling) - IPC-4502 <input checked="" type="checkbox"/> ENIG (Electroless Nickel Immersion Gold) 30760 um (ENIG) + 0,025 3481 um (Au) - IPC-4002.
SOLDER MASK:	BLUE
SLURSCREEN:	<input checked="" type="checkbox"/> Top Overlay <input type="checkbox"/> Bottom Overlay
COLOR:	WHITE
VIA FINISH:	<input checked="" type="checkbox"/> Hardy <input type="checkbox"/> Baked <input type="checkbox"/> Plugged
NOTES (PLEASE OBSERVE SPECIES): 1 - Dimensions in millimeters, Tolerances +/- 10% and 25um to minimum beyond 250um. Spotting Minimums +/- 10% and 50um For spacing beyond 500um 2 - Maximum bending and radius 10. 3 - PCB Electrical Testing not needed. 4 - Use the File with the documentation for the drilling process 5 - Follow MANUFACTURER'S file numbering and the required (ENIG) addresses indicated in the LAYER STACK TABLE. 6 - Follow the standard IPC-6013B. 7 - For any assembly related testing (flexible or reference markings on copper layers, the responsible must be informed before start the production process.	

Layer	Name	Material	Thickness	Constant	Board Layer Stack
1	Top Overlay				
2	Top Solder	Solder Resist	0,40mil	3,5	
3	Top Layer	Copper	0,71mil		
4	Dielectric 1	AD250C	20,00mil	2,5	
5	Bottom Layer	Copper	0,71mil		
6	Bottom Solder	Solder Resist	0,40mil	3,5	
7	Bottom Overlay				



COOPER	Top Layer	Bottom Layer	Exhibits
ENIG	Top Overlay	Bottom Overlay	Exhibits
SLURSCREEN	Top Overlay	Bottom Overlay	
STENCIL			
SOLDER MASK			
OTHERS	Keep-Out Layer		

Projeto	Projeto	Layout	Ordo 3	Version	1.0
Composto	Matr de Chaveadores	Revisor			
Data	04/08/2019				2