



Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Engenharia Eletrônica

Projeto de Conversor Analógico Digital do tipo Integrador Single Slope com Quantizador Não Linear

Autor: Yasmin Stéphanie Martins Silva
Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF
2018



Yasmin Stéphanie Martins Silva

Projeto de Conversor Analógico Digital do tipo Integrador Single Slope com Quantizador Não Linear

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF

2018

Yasmin Stéphanie Martins Silva

Projeto de Conversor Analógico Digital do tipo Integrador Single Slope com Quantizador Não Linear/ Yasmin Stéphanie Martins Silva. – Brasília, DF, 2018-93 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB
Faculdade UnB Gama - FGA , 2018.

1. Conversor A/D. 2. Single Slope. I. Prof. Dr. Sandro Augusto Pavlik Haddad. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. Projeto de Conversor Analógico Digital do tipo Integrador Single Slope com Quantizador Não Linear

CDU 02:141:005.6

Yasmin Stéphanie Martins Silva

Projeto de Conversor Analógico Digital do tipo Integrador Single Slope com Quantizador Não Linear

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Trabalho aprovado. Brasília, DF, Dezembro de 2018:

**Prof. Dr. Sandro Augusto Pavlik
Haddad**
Orientador

**Prof. Dr. Wellington Avelino do
Amaral**
Convidado 1

**Prof. Dr. José Edil Guimarães de
Medeiros**
Convidado 2

Brasília, DF
2018

Agradecimentos

Agradeço, aos meus pais que me deram o suporte necessário para concluir esse projeto, com seu amor, apoio incondicional e ao incentivo para nunca desistir. Ao professor e orientador Sandro Haddad pela oportunidade e apoio na elaboração deste trabalho. Aos meus amigos que fazem meus dias melhores, companheiros de vida e irmãos na amizade. Ao José Alberto por todo aprendizado e apoio proporcionado para a conclusão do projeto.

“O rio atinge seus objetivos porque aprendeu a contornar obstáculos.”
(Lao Tsé)

Resumo

O projeto visa a implementação e desenvolvimento de um conversor analógico digital do tipo integrador single-slope com quantização não linear. Para a escolha desse tipo de conversor foi feita uma pesquisa ampla dos outros tipos de conversores, optando-se por essa topologia por sua simplicidade de operação. O projeto será desenvolvido com a utilização do pacote Virtuoso da Cadence Design Systems e a metodologia usada inicialmente consiste em uma pesquisa exploratória para se entender os conceitos gerais do processo de conversão analógico-digital, em seguida utilizará a metodologia *TOP-DOWN* para se implementar o conversor escolhido. O trabalho foi dividido em duas partes distintas, onde a primeira consiste na fundamentação teórica, modelagem e implementação do sistema com uma quantização linear (trabalho de conclusão de curso 1), já a segunda parte consiste na implementação do sistema com quantização não linear (trabalho de conclusão de curso 2), propondo, por fim, uma comparação entre os dois tipos de quantização e as vantagens e desvantagens observadas.

Palavras-chaves: Conversor A/D. Conversor single-slope. Quantização linear. Quantização não-linear.

Abstract

This project aims to implement and develop a single-slope integrator digital analog converter with non-linear quantization. In order to choose this type of converter, a general analysis of other types of converters was carried on, opting for this topology since it has a simple operation. The project will be developed using the Virtuoso da Cadence Design Systems tool and the methodology used initially consists of an exploratory research to understand the general concepts of a conversion, then a top-down methodology was used to understand the chosen converter. The work was divided in two distinct parts, where the first consists of a theoretical formulation, modeling and implementation of the system with linear quantization (initial project). The second part consists of the implementation of the system with a nonlinear quantization (final project). In this way, we propose a comparison between the two types of quantization and the observed advantages and disadvantages.

Key-words: A / D converter. Single-slope converter. Linear quantization. Non-linear quantization.

Lista de ilustrações

Figura 1 – Diagrama da metodologia TOP-DOWN.	27
Figura 2 – Exemplos de sinais (a) Analógico e contínuo no tempo, (b) Digital e contínuo no tempo, (c) Analógico e discreto no tempo. (d) Digital e discreto no tempo. (LATHI, 2012).	31
Figura 3 – Diagrama de bloco geral de um conversor A/D (BAKER, 2010).	32
Figura 4 – Diagrama de bloco geral de um ADC genérico (ALLEN; HOLBERG, 2002).	32
Figura 5 – (a) Espectro do sinal analógico de entrada a uma frequência f_B . (b) Espectro do sinal amostrado a uma frequência f_S . (c) Sobreposição de espectro, aliasing, quando f_B é maior do que $0,5 \cdot f_S$. (d) Utilização de um filtro anti-aliasing. (ALLEN; HOLBERG, 2002).	33
Figura 6 – A saída de (a) um circuito S/H ideal e (b) uma faixa e retenção (T/H)(BAKER, 2010).	34
Figura 7 – Exemplo de quantização linear a esquerda e não linear a direita.(LATHI, 2012).	35
Figura 8 – Quantização de um pico para um ADC linear de 4 bits (superior) e logarítmico ADC (meio) e o valor absoluto para os respectivos erros de quantização (inferior) (PAGIN;ORTMANN, 2017).	36
Figura 9 – Erro de Offset (a) Offset positivo. (b) Offset negativo. (PLASSCHE, 2003)	38
Figura 10 – Erro de Ganho (a) Erro positivo. (b) Erro negativo. (PLASSCHE, 2003)	39
Figura 11 – (a) Curva de transferência de um ADC ideal. (b) Erro de quantização correspondente a curva. (BAKER, 2010)	40
Figura 12 – Erros de não-linearidade para um conversor A/D (a) DNL. (b) INL. (PLASSCHE, 2003)	41
Figura 13 – Faixa Dinâmica Livre de Espúrios onde observa-se a SNR e a SFDR. (PLASSCHE, 2003)	43
Figura 14 – Diagrama de blocos de um ADC do tipo Flash de 3 bits(ALLEN; HOLBERG, 2002)	45
Figura 15 – Diagrama de blocos de um ADC do tipo SAR (BAKER, 2010)	46
Figura 16 – Diagrama de blocos de um ADC do tipo Sigma-Delta (BAKER, 2011)	46
Figura 17 – Diagrama de blocos de um ADC do tipo Single Slope (BEZERRA, 2012)	47
Figura 18 – Diagrama de blocos de um ADC do tipo Dual Slope (BEZERRA, 2012)	48
Figura 19 – Relação de resolução, potência e velocidade com alguns tipos de conversão A/D (BEZERRA, 2012).	49

Figura 20 – Diagrama de bloco de um ADC single-slope. (ALLEN; HOLBERG, 2002).	53
Figura 21 – Topologia do conversor AD single-slope.	55
Figura 22 – Relação dos valores dos componentes e o tempo de conversão (LED-FORD, 2004).	56
Figura 23 – Esquemático do circuito gerador de rampa.	57
Figura 24 – Formas de onda do circuito gerador de rampa. (1) Sinal da rampa (2) Reset (3) Set (4) Q barrado do latch.	59
Figura 25 – Símbolo do esquemático do circuito gerador de rampa e do comparador.	60
Figura 26 – Descrição Verilog-A do contador.	61
Figura 27 – Circuitos que compõe o bloco do contador.	62
Figura 28 – Gerador de sincronismo do bloco gerador de rampa	62
Figura 29 – Porta inversora a nível de transistores.	63
Figura 30 – Resposta do circuito Inversor e o símbolo utilizado em sua representação junto com a tabela verdade.	64
Figura 31 – Latch SR e porta NOR.	64
Figura 32 – Resposta da porta lógica NOR, símbolo utilizado e a tabela verdade.	65
Figura 33 – Resposta do Latch SR e a tabela verdade.	65
Figura 34 – Porta NAND e AND.	66
Figura 35 – Resposta da porta NAND, símbolo e tabela verdade.	66
Figura 36 – Resposta da porta AND, símbolo e tabela verdade.	67
Figura 37 – Esquemático do circuito <i>senh</i> .	71
Figura 38 – Formas de onda do circuito seno hiperbólico (1) Seno hiperbólico (2) Cosseno hiperbólico.	73
Figura 39 – Esquemático do circuito <i>tanh</i> .	74
Figura 40 – Forma de onda do circuito tangente hiperbólico.	75
Figura 41 – Diagrama de bloco simplificado do funcionamento dos três conversores.	77
Figura 42 – Sinal de rampa utilizado como entrada no comparador.	78
Figura 43 – Saída do quantizador para rampa de 0 a 3V (1) Rampa (2) Tangente hiperbólica (3) Seno hiperbólico.	79
Figura 44 – Sinal de senoide utilizado como entrada no comparador.	80
Figura 45 – Saída do quantizador para senoide de 0 a 3V (1) Rampa (2) Tanh (3) Senh.	80
Figura 46 – Saída do quantizador para senoide de 0.5V a 2.5V (1) Rampa (2) Tangente hiperbólica (3) Seno hiperbólico.	81
Figura 47 – Sinal amostrado do conversor ADC single slope linear utilizando uma senoide como sinal de entrada.	82
Figura 48 – DFT da saída do quantizador para o conversor AD <i>single slope</i> linear.	83

Figura 49 – Sinal amostrado do conversor ADC single slope não linear <i>senh</i> utilizando uma senóide como sinal de entrada.	84
Figura 50 – DFT da saída do quantizador para o conversor AD single slope não linear <i>senh</i>	85
Figura 51 – Sinal amostrado do conversor ADC single slope não linear <i>tanh</i> utilizando uma senoide como sinal de entrada.	85
Figura 52 – DFT da saída do quantizador para o conversor AD single slope não linear <i>tanh</i>	86
Figura 53 – (1) Sinal amostrado do conversor ADC single slope não linear <i>senh</i> utilizando uma senoide de amplitude de 1V como sinal de entrada. (2) DFT da saída do quantizador para o conversor AD single slope não linear <i>senh</i>	87
Figura 54 – (1) Sinal amostrado do conversor ADC single slope não linear <i>tanh</i> utilizando uma senoide de amplitude de 1V como sinal de entrada. (2) DFT da saída do quantizador para o conversor AD single slope não linear <i>tanh</i>	88

Lista de tabelas

Tabela 1 – Classificação das arquiteturas dos ADCs (ALLEN; HOLBERG, 2002).	44
Tabela 2 – Visão geral das arquiteturas dos ADCs.	50
Tabela 3 – Dimensão do transistor PMOS e NMOS usados para implementação destes circuitos relevantes.	63
Tabela 4 – Parâmetros da realização do <i>Senh</i>	70
Tabela 5 – Parâmetros para realização do <i>Tanh</i>	73
Tabela 6 – SNR e ENOB obtidos a partir do sinal de saída do quantizador.	83
Tabela 7 – SNR e ENOB obtidos a partir do sinal de saída do quantizador seno hiperbólico.	84
Tabela 8 – SNR e ENOB obtidos a partir do sinal de saída do quantizador tangente hiperbólica.	85
Tabela 9 – SNR e ENOB obtidos a partir do sinal de saída do quantizador seno hiperbólico.	86
Tabela 10 – SNR e ENOB obtidos a partir do sinal de saída do quantizador tangente hiperbólica.	87

Lista de abreviaturas e siglas

A/D	Analógico-Digital
ADC	Conversor Analógico-Digital
D/A	Digital-Analógico
DAC	Conversor Digital-Analógico
DNL	Não-Linearidade diferencial
ENOB	Número efetivo de bits
INL	Não-linearidade Integral
LSB	Bit menos significativo
MSB	Bit mais significativo
SFDR	Spurious-Free Dynamic Range
SNR	Relações sinal-ruído
SNDR	Signal-to-noise plus distortion ratio
S/H	Sample and Hold
THD	Total Harmonic Distortion

Lista de símbolos

f_B	Largura de banda do sinal
f_S	Frequência de amostragem
V_{ref}	Tensão de referência
V_{in}	Tensão analógica
V_{ramp}	Sinal da rampa
N	Número de bits
T_{clk}	Período do clock
t_c	Tempo de conversão

Sumário

1	INTRODUÇÃO	25
1.1	Objetivo Geral	25
1.2	Objetivos Específicos	25
1.3	Motivação e Justificativa	26
1.4	Metodologia	26
1.5	Organização do Trabalho	27
I	REVISÃO BIBLIOGRÁFICA	29
2	CONVERSOR ANALÓGICO-DIGITAL	31
2.1	Filtro Anti-aliasing	33
2.2	Amostragem (S/H)	34
2.3	Quantização Linear e Não Linear	35
2.4	ADC não linear	36
2.5	Parâmetros Estáticos em Conversores Analógico-Digitais	37
2.5.1	Precisão e Resolução	37
2.5.2	Erro de Offset e Erro de Ganho	38
2.5.3	Erro de Quantização	39
2.5.4	Erros de não-linearidade (INL e DNL)	40
2.6	Parâmetros Dinâmicos em Conversores Analógico-Digitais	41
2.6.1	Relação Sinal Ruído	41
2.6.2	Distorção Harmônica Total e Razão Sinal-Ruído-Distorção	42
2.6.3	O Intervalo Dinâmico Livre de Componentes Espúrias	43
2.6.4	Número Efetivo de Bits	43
2.7	Tipos de Conversores Analógico/Digitais	44
2.7.1	Conversor A/D Flash (paralelo)	44
2.7.2	Conversor A/D Aproximações Sucessivas (SAR)	45
2.7.3	Conversor A/D Sigma-Delta	46
2.7.4	Conversor A/D Integrador (Single/Dual Slope)	47
2.7.5	Quadro de Resumo dos ADCs	48
II	PROJETO, FUNCIONAMENTO E RESULTADOS	51
3	CONVERSOR A/D SINGLE SLOPE LINEAR	53
3.1	Detalhamento e Funcionamento	53

3.1.1	Arquitetura Geral	54
3.2	Descrição dos blocos	57
3.2.1	Gerador de rampa	57
3.2.2	Clock do Single-slope	59
3.2.3	Contador	61
3.3	Outros circuitos relevantes	63
3.3.1	Porta Inversora	63
3.3.2	Porta NOR e Latch SR	63
3.3.3	Porta AND e NAND	64
4	CONVERSOR A/D SINGLE-SLOPE NÃO-LINEAR	69
4.1	Seno Hiperbólico	70
4.2	Tangente Hiperbólica	73
5	RESULTADOS	77
5.1	ADC Single Slope linear	82
5.2	ADC Single Slope não linear	83
III	CONCLUSÃO E TRABALHOS FUTUROS	89
6	CONCLUSÃO	91
6.1	Trabalhos Futuros	92
	REFERÊNCIAS	93

1 Introdução

Este capítulo tem como fundamento apresentar os objetivos gerais e específicos, motivações e justificativas, metodologia e organização do trabalho de conclusão de curso 1 no curso de Engenharia Eletrônica, tendo como tema o Projeto de Conversor Analógico Digital do tipo Integrador Single Slope com quantizador não linear.

1.1 Objetivo Geral

O trabalho proposto visa implementar um conversor analógico digital do tipo Single Slope com quantizador não linear. O objetivo geral dentro do propósito desse trabalho é a modelagem e projeto de um conversor AD com quantização linear e futuramente no trabalho de conclusão de curso 2 será implementado com uma quantização não linear, sendo assim analisada qual foi a maior diferença entre as duas aplicações, suas vantagens e desvantagens de acordo com os testes de funcionabilidade proposto para atingir esse objetivo é necessário o entendimento e a melhor escolha da topologia do conversor Single-Slope. As duas etapas serão desenvolvidas no pacote Virtuoso da Cadence Design Systems, onde o Virtuoso será usado para o projeto em nível de transistores e o simulador Spectre para análise dos circuitos.

1.2 Objetivos Específicos

Os objetivos específicos do presente projeto baseiam-se no detalhamento das ações que se pretende alcançar do objetivo geral:

- Pesquisa dos tipos de conversores e o entendimento de como funciona o processo de conversão e os blocos necessários.
- Entendimento do funcionamento do processo conversão AD.
- Escolha do tipo de conversor A/D.
- Detalhamento da topologia escolhida.
- Simulação no pacote Virtuoso da Cadence Design Systems da topologia para validação da escolha.
- Obtenção dos dados que validem o Projeto para quantização linear.
- Obtenção dos dados que validem o Projeto para quantização não linear.
- Exposição e comparação de resultados do funcionamento do circuito para quantização linear e não linear.

1.3 Motivação e Justificativa

Com o caminhar da tecnologia, ocorre à recorrência de sistemas mais rápidos e precisos para aquisição de dados. Desse modo se tem pesquisado cada vez mais o desenvolvimento de conversores analógicos/digital (ADCs) e digital/analógico (DACs) com uma melhor resolução, maior número de bits e com menos tempo de conversão. ADCs são dispositivos que tem como objetivo a codificação de um sinal analógico que foi convertido em um sinal elétrico, de corrente ou tensão, em uma representação binária (sinal digital). Cada tipo de conversor tem sua vantagem e desvantagem, contudo cabe ao projetista escolher o que mais de adequa ao seu interesse em questão.

Os conversores realizam a conversão da grandeza analógica em digital por uma contagem de tempo. O conversor Single Slope se enquadra nesse tipo de conversor que é chamado de conversor indireto e foi escolhido por apresentar uma simplicidade de operação apesar do tempo de conversão ser relativamente grande.

Quando um sinal analógico é transformado em um sinal digital por um conversor A/D ocorre um processo denominado quantização que é tornar uma grandeza infinita (sinal original) em uma grandeza finita, mapeando o sinal analógico para o digital. A natureza de um quantizador é armazenar os valores do sinal amostrado que são aproximados para um dos 2^n valores digitais (níveis de quantização). Uma vez que o sinal original é arredondado para nível de quantização, essa diferença é denominada erro de quantização. Dessa forma, após o sinal analógico ser digitalizado, o sinal original não pode ser recuperado com exatidão. A quantização linear ou uniforme é mais largamente utilizada, devido à facilidade de implementação em alguns casos enquanto a não linear pode possuir uma maior complexidade, mas nem sempre vantajosa em relação a linear na implementação podendo apresentar melhor passos particulares.

1.4 Metodologia

O desenvolvimento do trabalho foi inicialmente feito através de uma pesquisa exploratória para que fosse recolhido material bibliográfico sobre o funcionamento do conversor analógico digital para assim ser possível o estudo aprofundado sobre as topologias existentes, suas metodologias e análises. Para um primeiro contato com o assunto se utilizou o livro (ALLEN; HOLBERG, 2002) onde dá uma visão de como funciona o processo de conversão e detalha alguns conversores. Depois se utilizou o livro (BAKER, 2010) para reforçar os assuntos já vistos no livro anterior. O artigo (LEDFORD, 2004) mostrou um pouco da análise de um gerador de rampa, facilitando assim o entendimento do conversor Single-Slope. Com esses primeiros passos de fundamentação teórica foi possível a escolha da topologia e a formulação do trabalho.

Além desse levantamento bibliográfico, foi aplicada uma metodologia *Top-Down* para a organização do trabalho que é uma abordagem de cima para baixo, que significa começar a partir de um sistema e ir fragmentando até o nível mais baixo para promover compreensão dos seus subsistemas. O sistema seria o circuito integrado do conversor A/D Single Slope e seus subsistemas seriam os blocos necessários para a composição, detalhando assim os parâmetros de níveis básicos até a realização das simulações, desenvolvimento e validação.

A Figura 1 representa um diagrama simples da metodologia Top-Down que utiliza a estratégia de colocar como principal foco de observação e estudo um sistema fechado, que no caso seria o conversor AD single-slope e ir fragmentando esse sistema até a compreensão de todos os seus subsistemas. Ao fim de todo esse processo chegamos na base da pirâmide que é a escolha das especificações do conversor.

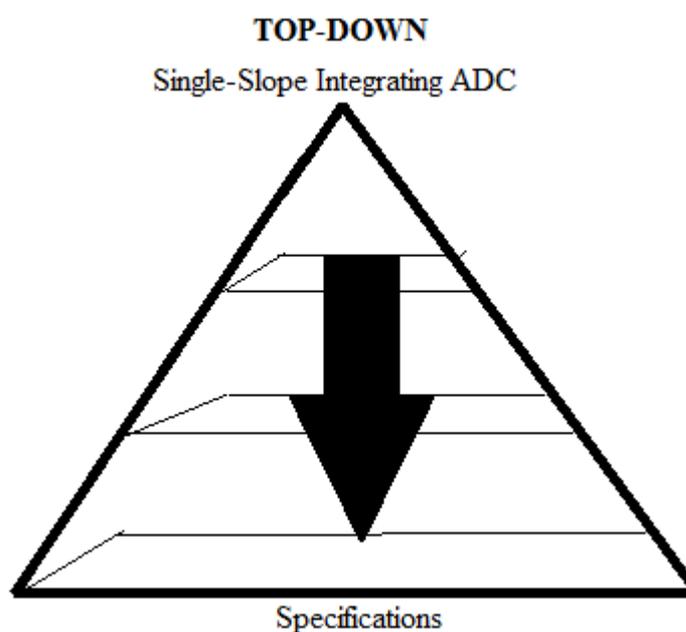


Figura 1 – Diagrama da metodologia TOP-DOWN.

1.5 Organização do Trabalho

O trabalho está organizado em 4 capítulos e em três partes. A parte I contém a revisão bibliográfica de todos os assuntos abordados nesse documento. A parte II contém o projeto do conversor AD single-slope, funcionamento e os resultados obtidos com as simulações no pacote Virtuoso da Cadence Design Systems. A parte III contém a conclusão e cronograma dos trabalhos futuros. Os capítulos são referentes a introdução, revisão bibliográfica, aprofundamento do conversor Single Slope e exposição dos resultados conseguidos e conclusão, respectivamente.

O capítulo 2 é a revisão bibliográfica que explica desde o que é um conversor A/D e seus principais blocos, parâmetros estáticos e dinâmicos e topologias de ADCs para a comparação entre as citadas posteriormente e a escolhida para o trabalho.

O capítulo 3 relata a escolha de topologia e um aprofundamento no conversor Single Slope e os dados obtidos a partir da simulação nas ferramentas (Virtuoso e Spectre da Cadence Design Systems). Além de um breve esclarecimento do tipo de quantização não linear se espera para a segunda etapa do trabalho.

O capítulo 4 expõe as considerações finais, as propostas futuras e os passos necessários a serem desenvolvidos no trabalho de conclusão de curso 2.

Parte I

Revisão Bibliográfica

2 Conversor Analógico-Digital

Os conversores analógicos digitais (Analog-to-Digital Converters-ADCs) são utilizados na interface entre os dispositivos digitais (Digital Signal Processor, microcontroladores, microprocessadores, dentre outros) e dispositivos analógicos que atuam na leitura de sensores, vídeos e digitalização de áudio. Esse tipo de conversão possui vantagem por compactar os dados economizando espaço no disco ou na largura de banda. São sistemas responsáveis pelo processamento de sinais analógicos com o propósito de modificar e extrair informações para a conversão em sinais digitais.

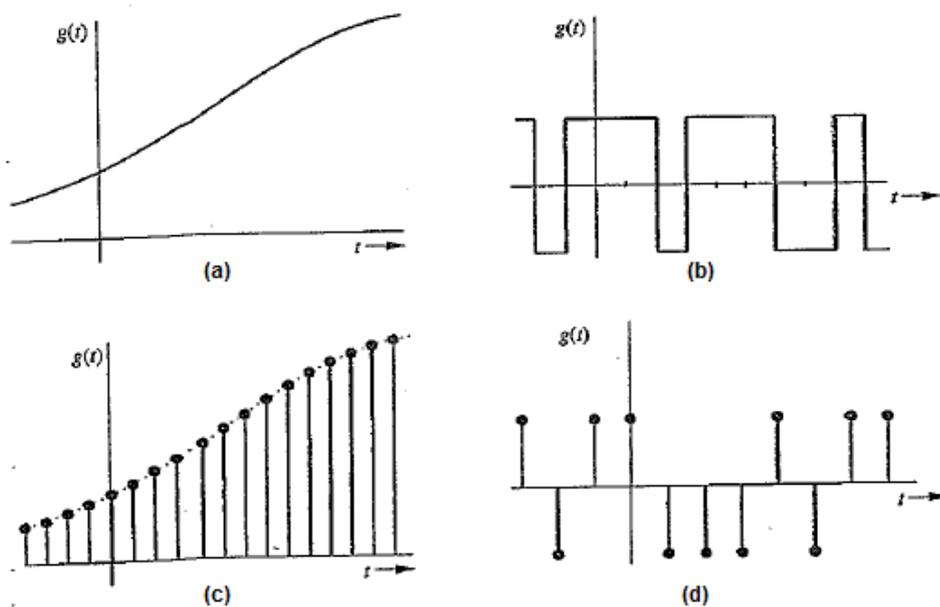


Figura 2 – Exemplos de sinais (a) Analógico e contínuo no tempo, (b) Digital e contínuo no tempo, (c) Analógico e discreto no tempo. (d) Digital e discreto no tempo. (LATHI, 2012).

Um sinal é uma função que representa uma quantidade física ou matemática, que carrega informação do comportamento ou natureza de determinado fenômeno. Sinais analógicos e digitais descrevem a natureza do sinal no eixo das amplitudes que corresponde ao eixo y em um gráfico bidimensional. Assim podemos descrever que sinais analógicos são sinais que podem assumir um número infinito de valores em sua amplitude (intervalo contínuo de amplitudes), enquanto sinais digitais podem assumir somente um número finito de valores em sua amplitude (intervalo discreto de amplitude).

Dois tipos de sinais são importantes para o desenvolvimento de um conversor que são sinais de tempo contínuo ($x(t)$) e de tempo discreto ($x[n]$). Sinais são ditos contínuos se definidos para todo intervalo de tempo, na Figura 2(a) e Figura 2(b) podemos observar

exemplos de sinais contínuos no tempo. Já sinais discretos são definidos para apenas alguns valores discretos no tempo, na Figura 2(c) e Figura 2(d) podemos observar exemplos de sinais discretos no tempo. Quando ocorre uma conversão de um sinal analógico para o digital estamos discretizando o sinal analógico, ou seja, o sinal em tempo contínuo converte para um sinal em tempo discreto.

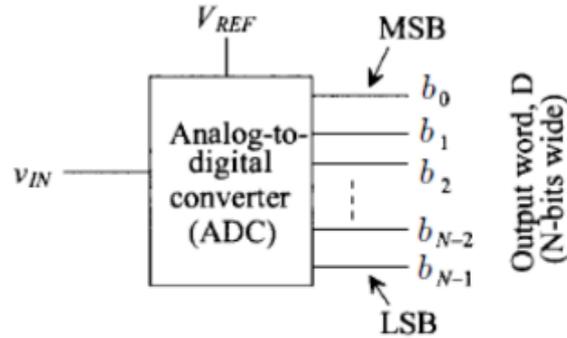


Figura 3 – Diagrama de bloco geral de um conversor A/D (BAKER, 2010).

A Figura 3 ilustra de maneira simplificada a interface do conversor A/D, sendo V_{in} a tensão de entrada do sinal analógico, V_{ref} uma tensão de referência e D é uma palavra digital ou sua saída digital de N -bits onde b_0 é o bit mais significativo (MSB) e b_{N-1} é o bit menos significativo (LSB). A equação referente à palavra digital está expressa na Eq.(2.1).

$$D = b_0 \cdot 2^0 + b_1 \cdot 2^1 + b_2 \cdot 2^2 + \dots + b_{N-1} \cdot 2^{N-1} \quad (2.1)$$

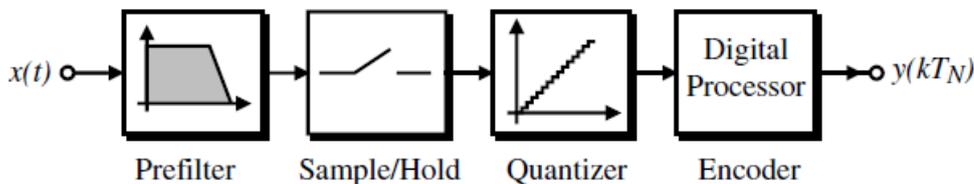


Figura 4 – Diagrama de bloco geral de um ADC genérico (ALLEN; HOLBERG, 2002).

A Figura 4 mostra de forma genérica e sucinta os principais blocos que compõem um conversor A/D. O primeiro bloco denominado filtro anti-aliasing tem função de amenizar ou eliminar o aliasing. O segundo bloco *sample and hold* (SH) amostra e retém o sinal para que o sistema possa converter em um sinal digital. O terceiro bloco chamado de quantizador segmenta as amostras em subintervalos dando valor de amplitude para cada subintervalo. O quarto e último bloco, *encoder*, é onde ocorre a codificação do sinal em códigos digitais. A descrição dos três primeiros blocos serão expostos na seção 2.1.

2.1 Filtro Anti-aliasing

O pré-filtro, também chamado de filtro anti-aliasing, que normalmente é um passa-baixa ou passa-banda usado para eliminar ou atenuar frequências mais altas que aparecem em frequências mais baixas. O filtro é limitado em banda, ADCs tipicamente trabalham até a frequência de Nyquist. Há conversores que trabalham a uma frequência do sinal de entrada muito menor que a frequência de amostragem e são chamados de ADCs sobreamostrados (oversampling), que apesar de possuírem uma maior resolução o seu consumo de potência aumenta. A relação entre essas duas frequências e as arquiteturas dos ADCs é observada na Tabela 1.

O teorema de Nyquist ou teorema da amostragem de Nyquist diz que um sinal analógico, limitado em banda Fig.5(a), que foi amostrado Fig.5(b), pode ser recuperado se a frequência do sinal analógico (f_B) sem que haja aliasing, for duas vezes menor ou igual a frequência do sinal amostrado (f_S) ou como mostrado na Equação (2.2).

$$f_B \leq \frac{f_S}{2} \quad (2.2)$$

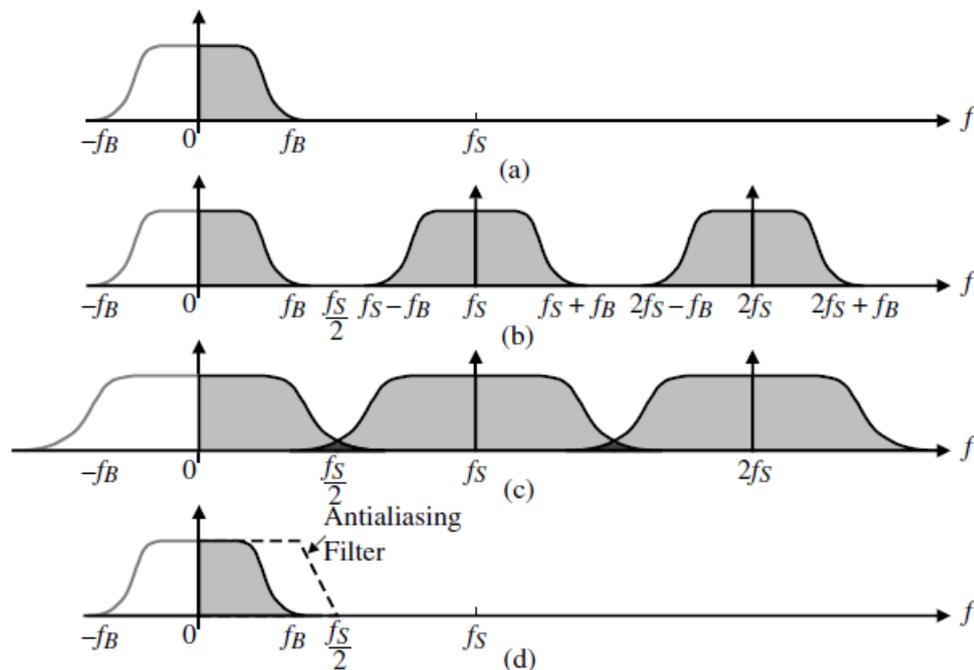


Figura 5 – (a) Espectro do sinal analógico de entrada a uma frequência f_B . (b) Espectro do sinal amostrado a uma frequência f_S . (c) Sobreposição de espectro, aliasing, quando f_B é maior do que $0,5 \cdot f_S$. (d) Utilização de um filtro anti-aliasing. (ALLEN; HOLBERG, 2002).

A Figura 5(c) mostra o aspecto da sobreposição de espectro, que acontece quando f_B for maior que $0,5 \cdot f_S$, outra maneira de ocorrer sobreposição é quando a f_S diminuir e f_B permanecer fixo. Para a eliminação do aliasing ou dobramento espectral dos sinais

nas bandas e faixas de passagem superior a banda base que é de 0 a f_s se utiliza um filtro anti-aliasing Figura 5(d).

2.2 Amostragem (S/H)

Na conversão A/D para amostrar o sinal original, que seria o analógico, se usa um bloco denominado *sample and hold*. O comportamento do S/H é análogo ao de uma câmera e sua função principal é “tirar uma foto” do sinal analógico e manter seu valor até que o ADC possa processar as informações (BAKER, 2010). *Sample* significa amostrar o sinal analógico enquanto *hold* significa manter constante o valor amostrado, ou seja, a tensão é amostrada e depois mantida por um período de tempo determinado pela Equação(2.3). S/H converte a entrada com informação contínua em uma saída discretizada, mantém o sinal amostrado até o próximo período de amostragem e é necessário um T_{sample} finito.

$$T_{sample} = \frac{1}{f_{sample}} \quad (2.3)$$

O tempo de amostragem é composto pelo tempo de aquisição do sinal durante o qual o circuito de retenção deve permanecer no modo de amostra para garantir o modo de espera subsequente e pelo intervalo de tempo entre o comando de transição e de retenção, ou seja, tempo de estabilização.

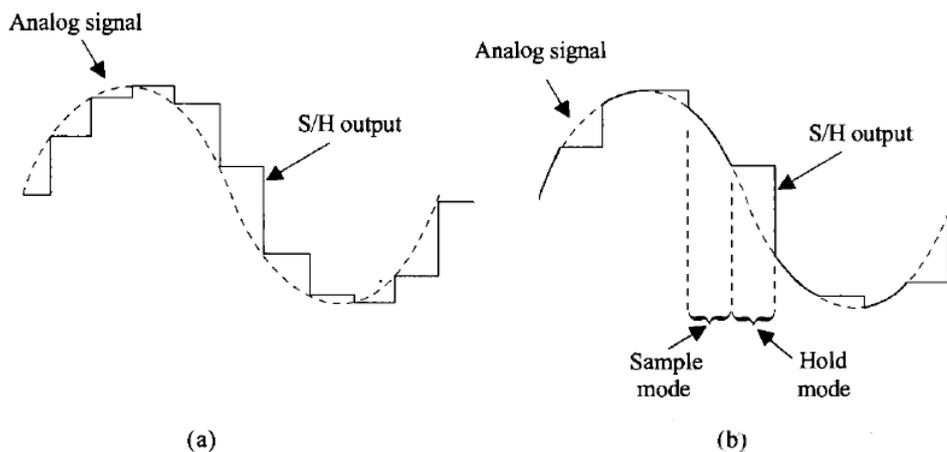


Figura 6 – A saída de (a) um circuito S/H ideal e (b) uma faixa e retenção (T/H)(BAKER, 2010).

Na Figura 6(a) mostra como deveria ser a saída de um S/H idealmente, enquanto a Figura 6(b) mostra outro tipo de amostragem chamada *track-and-hold* (T/H) onde o sinal analógico é “rastreado” durante um determinado tempo, esse é um exemplo de como o sinal analógico pode continuar a variar.

Os circuitos sample and hold podem ser divididos em duas categorias distintas, que são os com feedback e os sem feedback. Ocorre um aumento de precisão com o sacrifício de velocidade com feedback. Os circuitos S/H possuem normalmente um interruptor e um elemento de armazenamento que pode ser um capacitor.

2.3 Quantização Linear e Não Linear

De posse de um sinal analógico amostrado, ainda analógico, que foi realizado por um circuito S/H, precisam ser quantizados em valores que possam ser representados por uma quantidade finita de bits, para assim se obter um sinal digital.

Quando se tem uma quantização linear ou uniforme (Figura 7, a esquerda), teremos erros de quantização grandes para sinais de pequeno valor, podendo assim esses erros possuir uma grandeza que o próprio sinal de entrada e a SNR (relação sinal ruído) não seria suficientemente grande para que assim houvesse uma recuperação de informação.

Para resolver esse problema de quantização se usa intervalos de quantização com larguras diferentes, caracterizando assim a quantização não-linear (Figura 7), ou seja, a distâncias entre os níveis de quantização não são mais iguais a 2^n intervalos uniformes como na quantização linear.

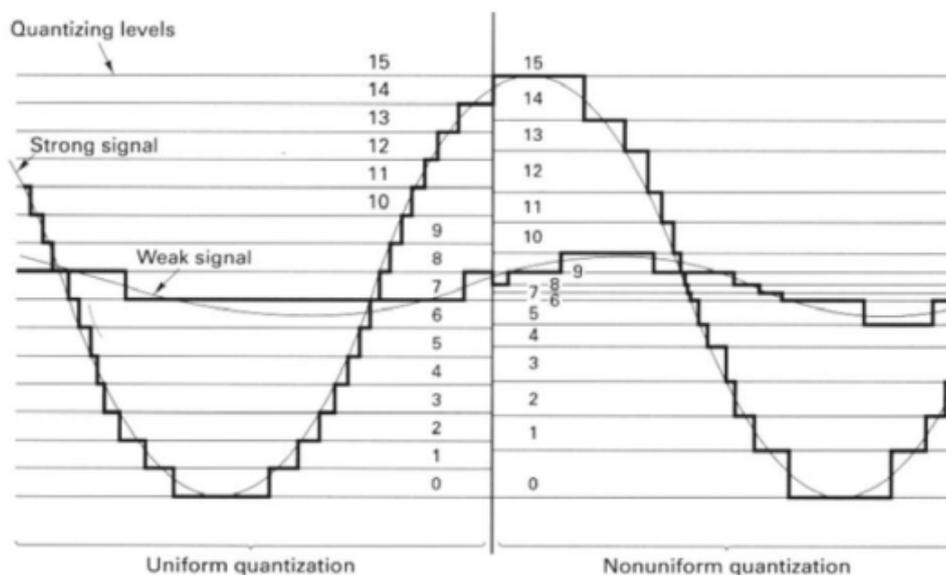


Figura 7 – Exemplo de quantização linear a esquerda e não linear a direita. (LATHI, 2012).

Os dois tipos de quantização possuem vantagens se tornando mais eficiente dependendo do objetivo, a quantização não linear se torna mais atraente para aplicações como, por exemplo, na comunicação pela fala, por haver predominância de amplitudes pequenas sendo que as mais altas não são tão utilizadas.

2.4 ADC não linear

Os circuitos não-lineares encontram grande aplicação no processamento de sinais (HOUSE;HILL, 2005). Circuitos não-lineares permitem ampliar a possibilidade de realizar operações com sinais analógicos. Se através de circuitos lineares podemos somar e subtrair sinais, amplificar, diferenciar e integrar, com o uso de circuitos não lineares podemos acrescentar operadores como divisores, multiplicadores, amplificadores logarítmicos, dentre outros (HOUSE; HILL, 2005). Em algumas aplicações como medidores e controladores é necessário processar não linearmente os sinais, além da conversão AD.

Os conversores AD não lineares realizam um tipo particular de conversão não linear, como é o caso do conversor logarítmico que utiliza a curva de descarga de um circuito paralelo RC em um conversor do tipo tensão versus largura de pulso.

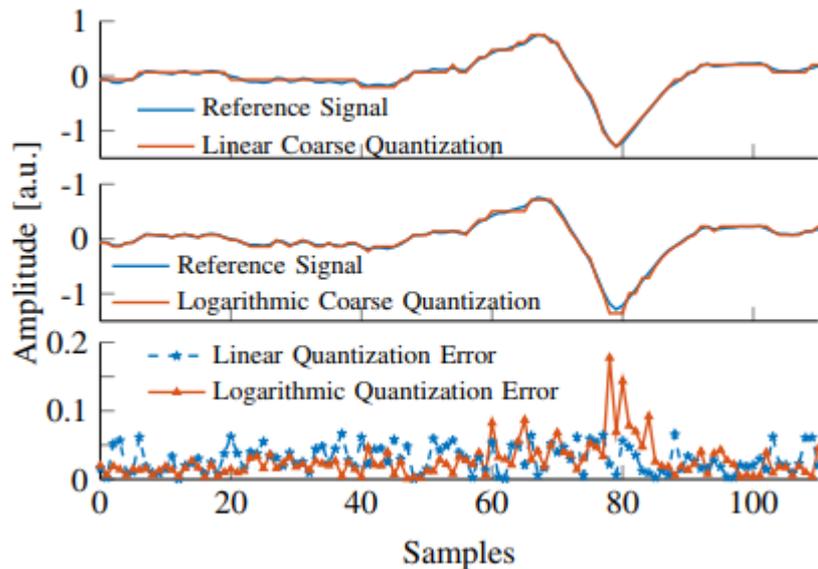


Figura 8 – Quantização de um pico para um ADC linear de 4 bits (superior) e logarítmico ADC (meio) e o valor absoluto para os respectivos erros de quantização (inferior) (PAGIN;ORTMANNNS, 2017).

Um exemplo de conversores AD não lineares que estão sendo estudados são os logarítmicos que podem ser empregados em aplicações biomédicas onde são registrados sinais com alta faixa dinâmica como o estudo exposto por (PAGIN;ORTMANNNS, 2017). Sendo que para uma mesma quantidade de bit um ADC logarítmico pode ter uma precisão maior em relação a sinais de amplitudes menores em troca de uma precisão menor para sinais de amplitudes elevadas (um grande intervalo dinâmico). A ideia de um ADC logarítmico é variar a largura da etapa de quantização logaritmicamente em toda faixa dinâmica (PAGIN;ORTMANNNS, 2017). Como pode ser analisado na Figura 8 temos um segmento contendo um pico onde o gráfico superior é utilizado um ADC linear sendo possível observar que a parte de amplitude pequena é mal representada, o gráfico encontrado no meio é

um ADC logarítmico e é possível ver que as amplitudes pequenas estão bem preservadas, enquanto que, devido aos maiores passos de quantização, o pico mostra uma quantização pior. No último gráfico da Figura 8, o erro de quantização é relatado para os dois tipos de conversores abordados. A partir disso, a motivação para usar ADCs logarítmicos para o sinal neural é clara, uma vez que a grande faixa dinâmica é comprimida em um número menor de bits, economizando potencialmente tanto área e energia no ADC e além disso salvando bits para serem transmitidos sem fio. No entanto, o tipo logarítmico de ADC distorce a forma de um pico, e assim surge a pergunta, se essa distorção tiver um efeito criticamente negativo nos algoritmos de classificação de pico, que determinam, a partir da forma do pico, também o neurônio correspondente (PAGIN;ORTMANN, 2017).

Segundo a pesquisa proposta por (PAGIN;ORTMANN, 2017) da análise da consequência da quantização logarítmica na classificação de pico neural, chegaram à conclusão que apenas para resolução muito baixa, o log-ADC tem vantagem sobre o ADC linear em termos de picos atribuídos corretamente, mas tinha tendência de adicionar outros picos errados nos *clusters* existentes. Devido também ao fato do bit menos significativo (LSB) de um log-ADC ser muito menor em comparação com o de um ADC linear, o que resulta uma redução de dados não fornecendo desta maneira uma melhoria em relação a ADCs lineares para processamento de sinal neural. O resultado de ADCs logarítmicos superam a quantização linear apenas no intervalos de 2 a 5 bits.

Com a exposição acima podemos nos familiarizar de como um ADC não linear pode apresentar vantagens e desvantagens depende da quantidade de bits, da aplicação, do local onde a quantização terá maior precisão, para uma análise melhor do projeto, que no caso do exposto seria os picos do sinal e onde exatamente não possuía tanta precisão. Para a quantização não linear do conversor Single Slope proposto neste projeto será através da utilização de funções trigonométricas hiperbólicas. Essas funções utilizam exponenciais na sua definição e suas inversas utilizam logaritmo.

2.5 Parâmetros Estáticos em Conversores Analógico-Digitais

A literatura define dois tipos de análises que podem ser feitas em um conversor A/D, para assim ter uma caracterização completa do seu comportamento, que é uma análise estática e uma análise dinâmica. A primeira análise será das características estáticas de um ADC que podem ser feitas através do seu sinal de saída, além de ser determinada em baixas frequências e com tensões constantes.

2.5.1 Precisão e Resolução

A precisão está relacionada com o erro total presente na conversão, referindo aos erros não sistemáticos introduzido pelo ruído dos componentes presentes no ADC, da

variação de temperatura, dentre outros.

A resolução do conversor A/D é definido como a menor mudança analógica que pode ser determinado por uma conversão analógica digital. A resolução pode ser expressa em porcentagem da escala completa (FS), mas geralmente é fornecida por um número de bits, N , onde o conversor possui 2^N estados de saída possíveis (ALLEN; HOLBERG, 2002). FS é usada para representar a diferença de tensão entre a tensão de referência (V_{ref}) e a tensão máxima de saída analógica e pode ser representada matematicamente pela Equação (2.4).

$$Fullscale(FS) = V_{ref} \cdot \left(1 - \frac{1}{2^N}\right) \quad (2.4)$$

Com a análise desses dois termos podemos deduzir que a resolução não irá definir a precisão do circuito, que é a diferença entre a tensão de saída analógica obtida e a tensão que idealmente deveria estar na saída.

2.5.2 Erro de Offset e Erro de Ganho

O erro de offset é determinado pelo desvio da função de transferência do conversor a reta de referência quando o sinal de entrada for igual a 0 LSB (*least significant bit*). Em outras palavras é a diferença horizontal entre a curva ideal e a real que origina o erro de offset.

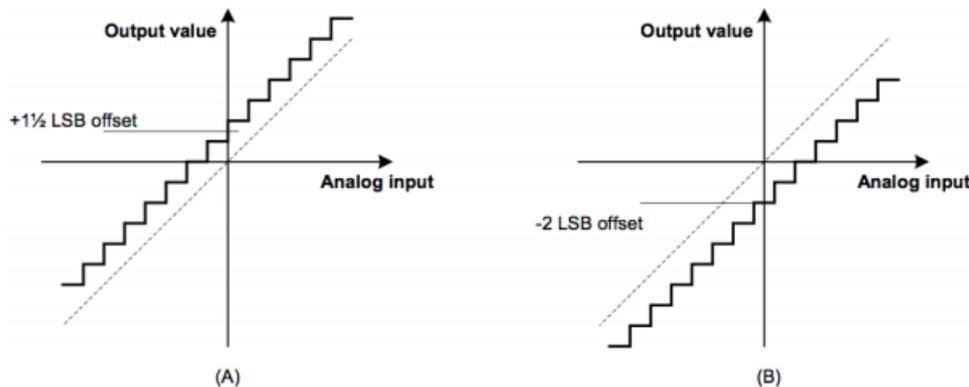


Figura 9 – Erro de Offset (a) Offset positivo. (b) Offset negativo. (PLASSCHE, 2003)

Quando ocorre o aparecimento de uma tensão de offset na entrada do conversor, o sinal analógico passa a ser convertido para um valor diferente ao qual seria convertido originalmente resultando assim em diferentes sinais digitais. Podemos caracterizar a tensão de offset como uma fonte de tensão em série com o sinal a ser convertido. A Figura 9(a) apresenta um erro de offset positivo e a Figura 9(b) um erro de offset negativo.

O erro de ganho é consequência do desvio do último passo na saída do conversor A/D relacionado a reta de referência, logo após compensar o erro de offset. Pode ser

interpretado, também, como uma mudança na inclinação da curva ideal acima ou abaixo do valor 1. Como a inclinação da curva de transferência é alterada a compensação do erro pode ser feita escalonando os valores obtidos com as amostras digitais. A Figura 10 mostra dois exemplos de erro de ganho onde em (a) se tem um erro positivo em (b) um erro negativo.

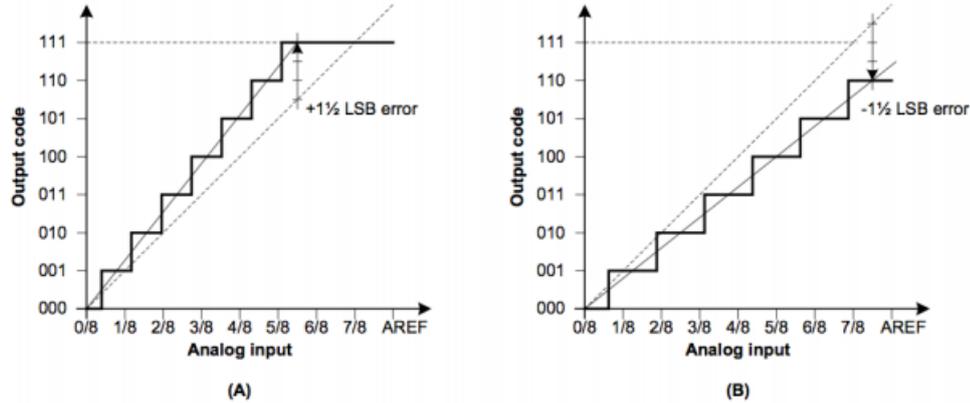


Figura 10 – Erro de Ganho (a) Erro positivo. (b) Erro negativo. (PLASSCHE, 2003)

2.5.3 Erro de Quantização

O erro de quantização afeta até os conversores ditos como ideais. Diferente de conversores digitais analógicos nos ADCs o eixo y representa agora a saída digital e o eixo x representa a normalização para V_{ref} , sendo que agora o sinal de entrada é contínuo e a saída é discreta e assim a curva de transferência do ADC se assemelha à de uma escada como pode ser observado na Figura 11(a).

Um erro será produzido quando ocorre a quantização devido a entrada ser analógica e possuir uma quantidade de valor infinito e a saída ser discretizada. Este erro, conhecido como erro de quantização, Q_e , é definido como a diferença entre a entrada analógica real e o valor da saída (escada ou staircase) dada em tensão (BAKER, 2010). A fórmula que representa Q_e é dada pela Equação (2.5) e é representada graficamente pela Figura 11(b).

$$Q_e = V_{inf} - V_{staircase} \quad (2.5)$$

A tensão de saída, $V_{staircase}$, pode ser calculada através da Equação (2.6):

$$V_{staircase} = V_{ref} \cdot \frac{V_{ref}}{2^N} = D \cdot V_{LSB} \quad (2.6)$$

Onde D corresponde ao valor do código de saída digital e V_{LSB} corresponde ao valor de 1LSB que significa a menor mudança possível na tensão de saída analógica. O

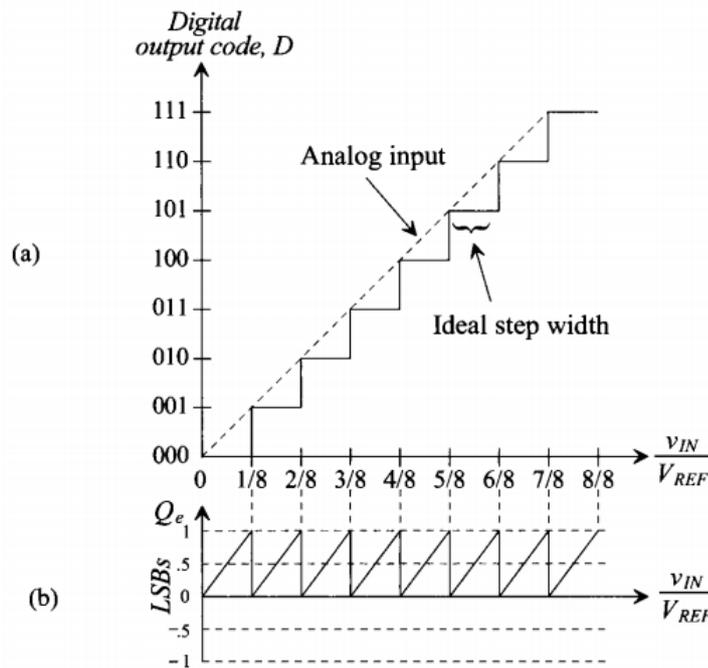


Figura 11 – (a) Curva de transferência de um ADC ideal. (b) Erro de quantização correspondente a curva. (BAKER, 2010)

erro de quantização pode ser gerado subtraindo o valor da escada na linha tracejada Figura 11(a). Idealmente, a magnitude de Q_e não será maior do que 1 LSB e inferior a 0.

2.5.4 Erros de não-linearidade (INL e DNL)

Os erros de não-linearidade são dois tipos, primeiro é não-linearidade diferencial (DNL) e o segundo é não-linearidade integral (INL). Observando a Figura 12 podemos ver que esses dois tipos de erros possuem uma deformação no sinal de saída de um ADC.

O DNL é a diferença entre a largura real do código de um conversor A/D não ideal e a largura em um caso ideal. Ou seja, é a variação no comprimento dos degraus analógicos do conversor. A equação que determina o valor do DNL pode ser expressa na Equação (2.7). Onde $H(x)$ é o comprimento de um código em um conversor em teste e $H(x)_{ideal}$ é o mesmo código para um conversor com uma resolução ideal.

$$DNL = \frac{H(x) - H(x)_{ideal}}{H(x)_{ideal}} \quad (2.7)$$

Uma linha é desenhada entre os extremos da transição do código, ou seja, entre o primeira e a última transição do código. Sendo que o INL é a diferença entre os pontos de transição do código do conversor de dados e a linha com todos os erros definidos para zero. A variação na curva ideal através dos erros DNL formará INL que pode ser representado pela Equação(2.8)

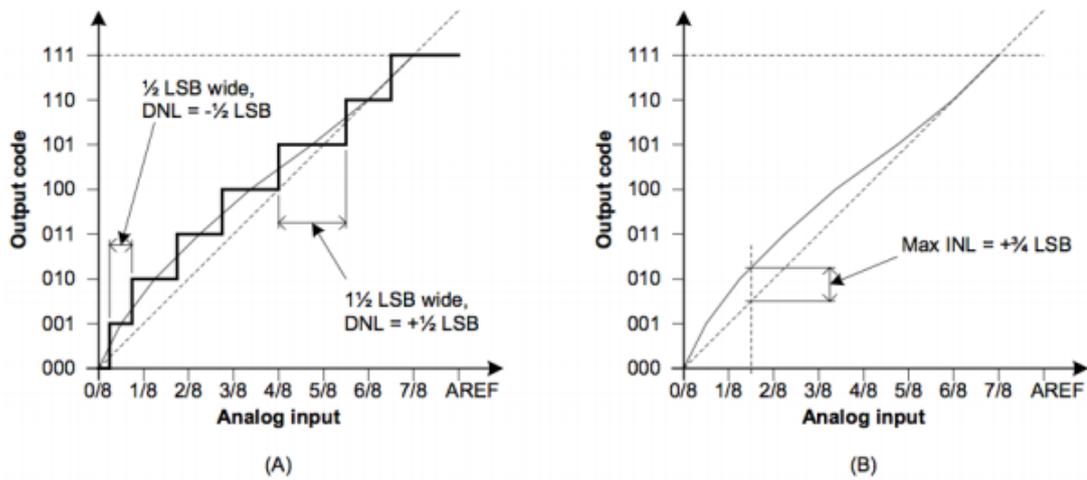


Figura 12 – Erros de não-linearidade para um conversor A/D (a) DNL. (b) INL. (PLASCHE, 2003)

$$INL(x) = \sum_{k=1}^1 DNL(K) \quad (2.8)$$

Os erros de offset e de ganho podem ser corrigidos ou calibrados externamente, mas os erros e não-linearidade são intrínsecos ao conversor (FLORES, 2003). Existem outros parâmetros estáticos que não foram apresentados nesta seção, tais como a potência dissipada, falha no código, faixa dinâmica, dentre outras.

2.6 Parâmetros Dinâmicos em Conversores Analógico-Digitais

A análise do espectro do sinal é como se determina os parâmetros dinâmicos de ADC. As características analisadas na seção anterior, características estáticas dos ADCs, são de grande importância para determinar o comportamento DC. Quando se tem uma aplicação do conversor A/D que seu sinal de entrada varie lentamente (medição de temperatura, peso) uma caracterização estática seria o ideal. Contudo quando se deseja a conversão de um sinal que varia mais rapidamente (sinais de áudio, controle de movimento) a caracterização DC não é suficiente, e uma caracterização dinâmica é necessária.

2.6.1 Relação Sinal Ruído

As relações sinal-ruído (SNR) dos ADCs representam o valor do maior sinal de entrada rms no conversor sobre o valor rms do ruído (BAKER, 2010). Essa relação é dada pela Equação (2.9). O valor do SNR depende da resolução do conversor, ruídos eletrônicos, distorção, dentre outros parâmetros. O valor máximo teórico é calculado após

manipulação na Equação(2.9) pela Equação (2.10) que é causado apenas pelo ruído de quantização e depende da resolução do conversor A/D.

$$SNR = 20 \log\left(\frac{V_{in(max)}}{V_{noise}}\right) \quad (2.9)$$

$$SNR = 6.02 \cdot N + 1.76 \quad (2.10)$$

Onde $V_{in(max)}$ é o sinal de entrada, V_{noise} é o valor do ruído e N é o número de bits. Para um ADC com oversampling, o máximo teórico é calculado pela Equação (2.11).

$$SNR_{dB} = N \cdot 0.62 - 1.25 + 10 \log \frac{f_s}{f_{sig}} \quad (2.11)$$

Onde f_s é a frequência de amostragem e a f_{sig} é a frequência do sinal.

2.6.2 Distorção Harmônica Total e Razão Sinal-Ruído-Distorção

A distorção harmônica total (THD, *Total Harmonic Distortion*) é o aparecimento de sinais que apresentam uma relação harmônica com o sinal original, ou seja, caracteriza a relação entre a soma das harmônicas no sinal de saída (amplitudes) do ADC e o sinal fundamental, ou sinal de entrada (amplitudes). E pode ser expressa pela fórmula a seguir:

$$THD_{dB} = 20 \cdot \log_{10} \frac{\sqrt{\sum_k H_k^2}}{S} \quad (2.12)$$

Onde H_k é o valor da k-ésima componente harmônica do sinal de entrada e S é o valor efetivo do sinal de entrada.

A razão sinal-ruído-distorção (SNDR, *Signal-to-noise plus distortion ratio*) é a relação entre THD e SNR. Em outras palavras segundo (FALLEIRO, 2015), "é a razão entre o sinal e entrada e o ruído do circuito somado com as componentes harmônicas do sinal de entrada".

$$SNDR_{dB} = 20 \cdot \log_{10} \frac{S}{\sqrt{\sum_{f \neq f_{in}} S_i^2}} \quad (2.13)$$

Onde S é o valor efetivo do sinal e entrada, S_i é o valor da i-ésima componente harmônica do sinal e f_{in} é a frequência fundamental.

2.6.3 O Intervalo Dinâmico Livre de Componentes Espúrias

O SFDR (Spurious-Free Dynamic Range) é a diferença entre a componente de sinal e a maior componente de distorção avaliados no domínio da frequência que pode ser observado na Figura 13. Pode ser definida como a medida da pureza espectral proporcionada pelo ADC e tem relação com a quantidade de distorção dinâmica causada pelo circuito. Em algumas definições, os harmônicos são excluídos desse cálculo, em algumas vezes são incluídos.

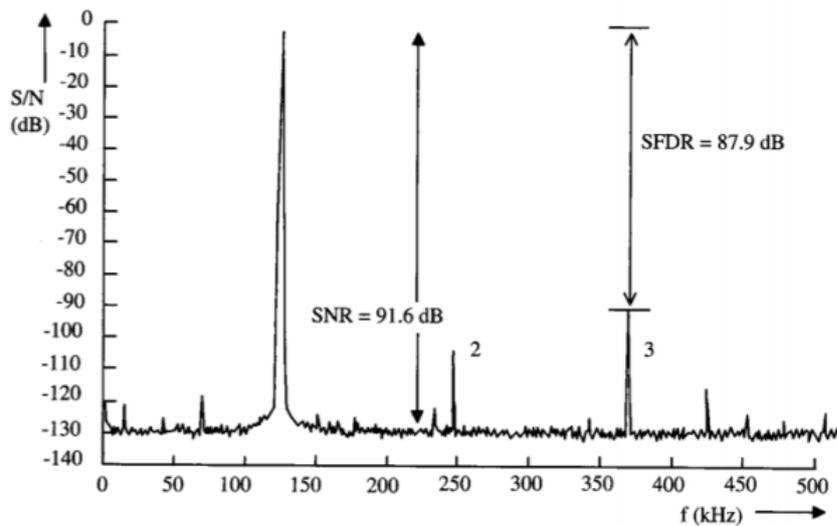


Figura 13 – Faixa Dinâmica Livre de Espúrias onde observa-se a SNR e a SFDR. (PLASCHE, 2003)

$$SFDR_{dB} = 20 \cdot \log_{10}\left(\frac{\text{Sinal.Fundamental}}{\text{Distorção}}\right) \quad (2.14)$$

2.6.4 Número Efetivo de Bits

O número efetivo de bits (ENOB, *effective number of bits*) é normalmente calculado a partir da SNDR, mas pode ser visto sendo calculado apenas a partir do valor SNR. ENOB é a equivalência entre o número de bits de um conversor A/D real, ou seja, é o parâmetro de avaliação da resolução efetiva do conversor A/D.

$$ENOB_{dB} = \frac{SNDR - 1.76}{6.02} \quad (2.15)$$

Existem outros parâmetros dinâmicos, como por exemplo ruído térmico, máxima taxa de amostragem, BER (bit error rate), dentre outros.

2.7 Tipos de Conversores Analógico/Digitais

Para a escolha de um conversor A/D foi feita uma análise de alguns dos modelos de conversores, para ver qual se adequará melhor ao objetivo. Apesar de existirem diversos tipos de ADCs serviu como parâmetro de escolha a simplicidade de operação, alta resolução, baixo consumo de potência, tempo de conversão baixo.

A classificação dos conversores pode ser referente a largura de banda do sinal de entrada (f_b) e a frequência de amostragem (f_s), além da taxa de conversão. Nyquist e Oversampled determinam qual frequência o ADC atua, sendo Nyquist com f_b próximo ou igual a $0.5f_s$ e Oversampled trabalha com f_b muito menor que $0.5f_s$.

Conversion Rate	Nyquist ADCs	Oversampled ADCs
Slow	Integrating (serial)	Very high resolution > 14 bits
Medium	Successive approximation 1-bit Pipeline Algorithmic	Moderate resolution > 10 bits
Fast 3	Flash Multiple-bit Pipeline Folding and interpolating	Low resolution > 6 bits

Tabela 1 – Classificação das arquiteturas dos ADCs (ALLEN; HOLBERG, 2002).

2.7.1 Conversor A/D Flash (paralelo)

O conversor A/D paralelo ou flash é o conversor com a mais alta velocidade de conversão. Como pode-se observar na Figura 14 uma tensão V_{in} , que é a tensão do sinal analógico, é comparada às tensões fixas de referências (V_{ref}) para cada nível do código digital, do início ao fim que no caso são 7 níveis para um conversor de 3 bits. Assim para uma resolução de N bits são necessários $2^N - 1$ comparadores. O sinal analógico de entrada é comparado diretamente e simultaneamente a todos os comparadores distintos com níveis de tensões diferentes, que no caso seria os valores de V_{ref} .

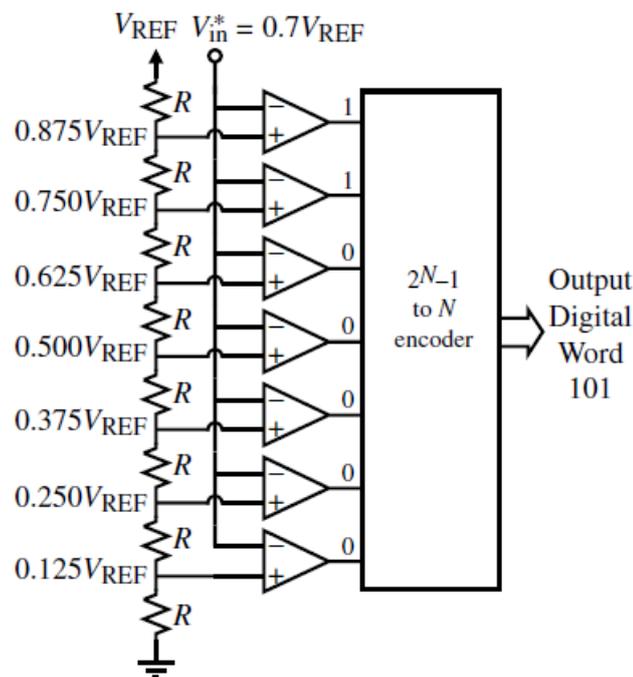


Figura 14 – Diagrama de blocos de um ADC do tipo Flash de 3 bits (ALLEN; HOLBERG, 2002)

ADCs do tipo paralelo possuem aplicações como em sinais de vídeo, que precisam de um processamento de sinais de alta frequência, esse tipo de aplicação necessita de taxa de conversão da ordem de 5 a 50MHz. Esse tipo de conversão possui uma desvantagem quando se deseja aumentar a resolução, ou seja, quando se aumenta o número de bits (N) que ocasiona um aumento do número de comparadores e a complexidade do codificador.

2.7.2 Conversor A/D Aproximações Sucessivas (SAR)

O conversor do tipo SAR é o que mais se aproxima da técnica do ADC tipo flash, sem ter as desvantagens conhecidas. O princípio de funcionamento deste tipo de conversor é comparar a entrada analógica (V_{in}) com uma tensão de referência (V_{ref}), o número de comparações e o tempo de conversão depende da quantidade de bits (N) que se deseja implementar. O conversor de aproximação sucessiva realiza uma pesquisa binária através de todos os níveis possíveis de quantificação antes de convergir para a resposta digital final (BAKER, 2010).

Para se iniciar o processo de conversão o “*shift register*” e o bloco denominado SAR, também chamado de “*holding register*”, são zerados (Figura 15). No primeiro passo de conversão o MSB do SAR é alocado um nível alto (1) e os demais são mantidos em nível baixo (0), sua saída corresponde a uma palavra digital igual a $0.5V_{ref}$ para o sinal analógico. Em seguida o SAR acrescenta 0.25 da faixa do sinal digital, ou seja, $0.25V_{ref}$ para o sinal analógico e se esta tensão exceder V_{in} este bit do MSB é colocado a 0,

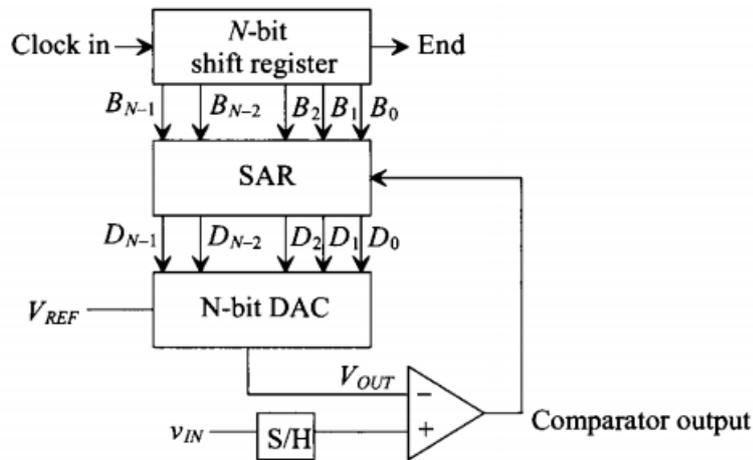


Figura 15 – Diagrama de blocos de um ADC do tipo SAR (BAKER, 2010)

caso contrário, o nível lógico 1 é mantido. Esse processo acontece de modo sucessivo e prosseguirá por N vezes.

2.7.3 Conversor A/D Sigma-Delta

Conversores do tipo Sigma-Delta adequados para implementações de alta resolução (até 16 bits). Este tipo de conversor trabalha a frequência superiores a de Nyquist e são classificados como conversores sobreamostrados (oversampled).

Sua estrutura como representada na Figura 16 apresenta um modulador Sigma-Delta, um filtro digital que é responsável por remover o ruído que se encontra fora da banda de interesse e um decimador que funciona como passa-baixas, pois tem como objetivo reduzir a taxa de dados de saída de volta à taxa de Nyquist.

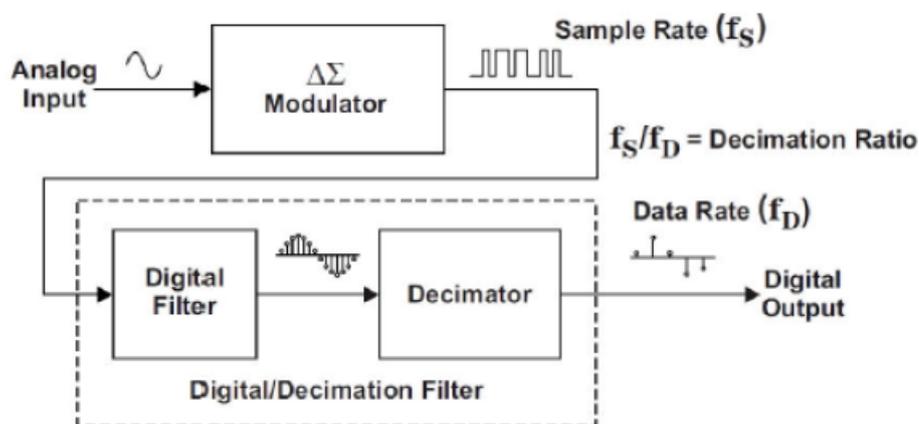


Figura 16 – Diagrama de blocos de um ADC do tipo Sigma-Delta (BAKER, 2011)

Este tipo de conversor possui uma alta resolução devido à sobreamostragem. O ADC Sigma-Delta se torna recorrente em muitas aplicações devido a vantagens como alta precisão, alta resolução além de possuir uma menor sensibilidade às imperfeições como já citado. Uma desvantagem é que seu processo de conversão é relativamente lento se comparado a outras topologias, então quando se deseja alta velocidade esse tipo de conversor não é o mais indicado.

2.7.4 Conversor A/D Integrador (Single/Dual Slope)

ADCs do tipo integrador são aplicados principalmente em sistemas onde o tempo de conversão baixo não é necessário, devido ao fato de que seu tempo de conversão dobra a cada aumento de um bit na resolução. Sua arquitetura apresenta um tempo de conversão alto, e dependendo da resolução pode demorar alguns segundos para realizar uma conversão por inteiro (BEZERRA, 2012).

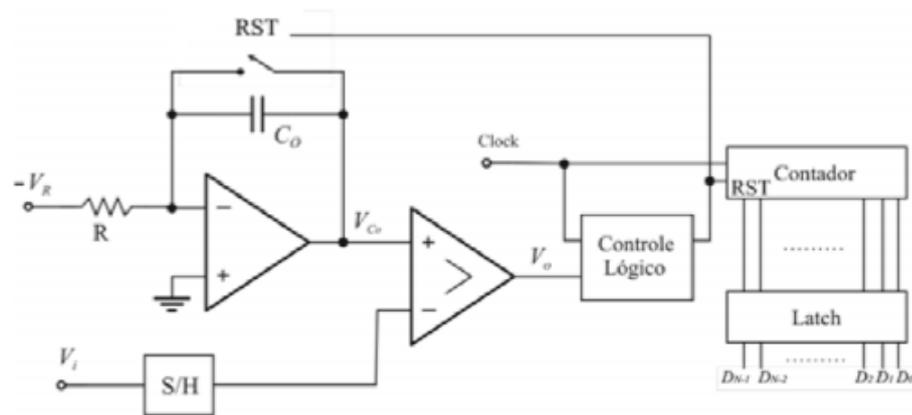


Figura 3.1 – Diagrama de um conversor rampa simples.

Figura 17 – Diagrama de blocos de um ADC do tipo Single Slope (BEZERRA, 2012)

O conversor A/D do tipo single slope (rampa única) inicialmente reseta o contador e o integrador, e a saída do comparador vai para nível baixo, habilitando os pulsos de clock na entrada do contador. A Figura 17 ilustra um single slope a nível de bloco, o contador ilustrado determina o número de pulsos de relógio necessários para que o valor integrado de uma tensão de referência seja igual ao sinal analógico amostrado. O número de pulsos de relógio é proporcional ao valor real da entrada e a saída do contador é a representação digital real da tensão analógica (BAKER, 2010). O conversor analógico digital single slope foi o conversor escolhido para aplicação do trabalho devido as suas características.

O conversor A/D do tipo dual slope (rampa dupla) que tem sua topologia ilustrada na Figura 18, realiza duas integrações. A primeira integração é para o sinal original, ou analógico, de entrada V_{in} que ocorre por clocks, quando esse procedimento acaba se inicia

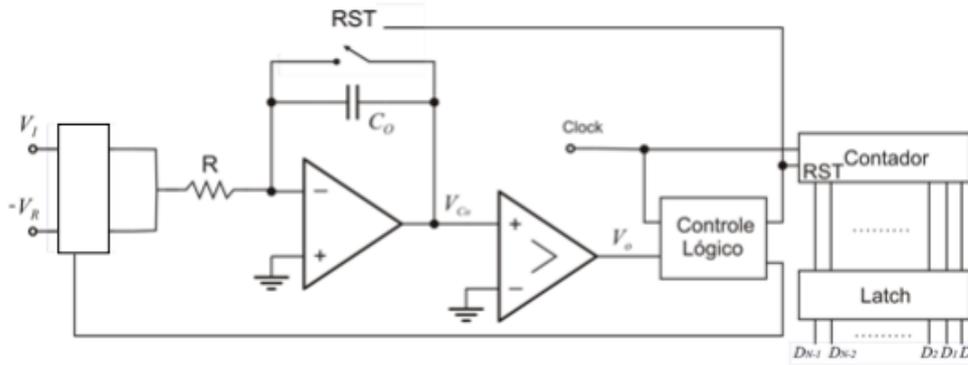


Figura 18 – Diagrama de blocos de um ADC do tipo Dual Slope (BEZERRA, 2012)

a segunda integração para o sinal de referência $-V_{ref}$. O sinal negativo de V_{ref} leva a saída do integrador em direção a zero. Quando o sinal analógico está sendo integrado o capacitor está sendo carregado e o integrador gera uma rampa decrescente na sua saída, quando o sinal de referência está sendo integrado o capacitor está sendo descarregado e o integrador gera uma rampa crescente na sua saída.

A vantagem do dual slope em relação ao single slope é que elimina a dependência do processo de conversão sobre a linearidade e precisão da inclinação. Mas devido a simplicidade de operação do ADC do tipo single slope se optou pela sua implementação. Ambos sistema de conversão por integração permitem uma alta resolução a um baixo custo e possuem outra característica que se destaca que é a boa rejeição a interferências e ruído.

2.7.5 Quadro de Resumo dos ADCs

Na Figura 19 é possível ter uma visão geral de quais as vantagens e desvantagens dos conversores analógico-digitais, onde a Tabela 2 detalha as principais características dos ADCs citados. A Tabela 2 foi adaptada de (PEREIRA; PIZZATTO; CARATI, 2010) e extraídos os principais pontos de interesse com devidas modificações.

Na escolha do tipo de conversor se analisou aqueles que trabalham na frequência de Nyquist e os que são subamostrados, assim para esse trabalho se optou pelo conversor integrador single slope. Por esse tipo de conversão, que é por integração, ser relativamente lenta, se torna adequado para aplicações onde o tempo de conversão não é o requisito principal, tais como em multímetros digitais, medidores de painel e medidores de temperaturas. Outra vantagem não exposta ainda é que o conversor do tipo integrador possui uma boa linearidade que garante que erros de ganho e de desvio sejam muito baixos.

O próximo capítulo será detalhado o funcionamento do conversor A/D do tipo

Single Slope com quantização linear e não linear.

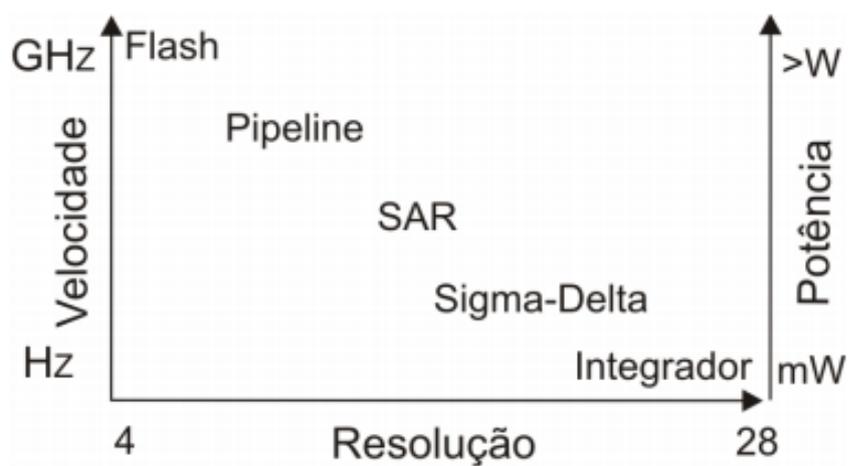


Figura 19 – Relação de resolução, potência e velocidade com alguns tipos de conversão A/D (BEZERRA, 2012).

	Flash (paralelo)	SAR	Sigma-Delta	Integrador
Vantagens	Alta velocidade.	Média e alta resolução, baixa potência, tamanho pequeno.	Alta resolução, baixa a média velocidade, rejeição de 50~60Hz.	Baixo consumo de energia, boa rejeição a ruído.
Desvantagens	O consumo de energia grande, tamanho grande, caro.	Pode em alguns casos exigir filtro anti-aliasing, além de ter velocidade limitada ~5Msps.	O circuito se torna complexo quando se usa uma ordem superior a 4.	A taxa de conversão é lenta. Neces- sidade de com- ponentes de alta precisão externos.
Tempo de Conversão	O tempo de conversão não se altera com o aumento da resolução.	Aumenta linearmente com o aumento da resolução.	Baixa para menor que 14 bits. Médio, entre 14 e 16 bits. Alta, para maior que 16 bits.	Dobra a cada aumento de um bit na resolução.
Resolução	Resolução de no máximo 8 bits.	8 a 16 bits.	Alta.	Alta.
Tamanho	$(2_n - 1)$ comparadores.	Aumenta linearmente com o aumento da resolução.	O tamanho não altera de forma notável com o aumento da resolução	O tamanho não altera de forma notável com o aumento da resolução.
Custo	Alto.	Elevado.	Médio.	Baixo.

Tabela 2 – Visão geral das arquiteturas dos ADCs.

Parte II

Projeto, Funcionamento e Resultados

3 Conversor A/D Single-Slope Linear

Neste capítulo, inicialmente, detalha-se a estrutura básica, a topologia utilizada e o funcionamento do conversor analógico-digital integrador single-slope com quantização linear.

3.1 Detalhamento e Funcionamento

O conversor single-slope é o tipo de conversor integrador com a operação mais simples, poucos componentes são usados para implementar esse dispositivo, apresenta menor custo, boa precisão, e em desvantagem possui um tempo de conversão que dobra a cada bit adicionado. O componente de grande importância neste tipo de conversor é um circuito integrador que gera a rampa.

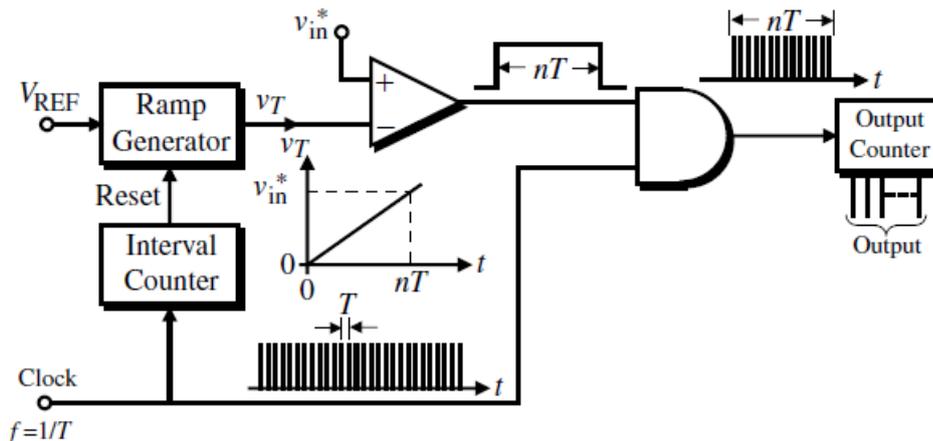


Figura 20 – Diagrama de bloco de um ADC single-slope. (ALLEN; HOLBERG, 2002).

O princípio de funcionamento do single-slope é a realização da conversão integrando o sinal de referência e correlacionando o tempo de integração com um contador digital. O que torna esse conversor altamente linear é que ocorre uma comparação entre o sinal de referência e o sinal analógico, ou sinal de entrada, portanto a linearidade será baseada na precisão do comparador. A Figura 20 ilustra os principais blocos que este tipo de conversor é constituído, que é um gerador de rampa, um contador de intervalos, um comparador, uma porta AND e um contador que gera a palavra digital no final do processo de conversão. Sabendo que a rampa deve começar em zero e aumentar linearmente com uma determinada inclinação, que depende do ganho do integrador, no primeiro pulso de clock uma tensão de referência V_{ref} que é uma tensão DC começa a ser integrada para gerar a rampa. Após integrar o V_{ref} , o sinal da rampa é comparada com um determinada tensão de entrada V_{in} que foi amostrada e mantida no início de um ciclo de conversão e

aplicada ao terminal positivo do comparador. O comparador verifica se V_{in} é maior que a saída inicial de V_{ramp} (sinal da rampa), que é aplicado ao terminal negativo, então a rampa começa a subir. Ao mesmo tempo o número de pulsos de clock está sendo contado, onde antes desses pulsos serem contados, aplica-se a porta AND e subsequentemente é aplicado ao contador na saída que conta e gera a palavra digital. Quando o sinal de rampa V_{ramp} atinge, cruza, com o valor de V_{in} , são iguais, a saída do comparador passa para nível lógico baixo (0) e o contador de saída é inibido. Ou seja, enquanto V_{ramp} não atinge V_{in} o comparador permanece em nível lógico alto (1) realizando uma contagem de 0 até $(2^N - 1)$.

O contador depois de todo esse processo de conversão possui um número binário que pode ser convertido para o formato da palavra digital desejada. O ADC single slope pode ser implementado de outra forma. Por exemplo, o contador de intervalos pode ser substituído por lógica para detectar o estado da saída do comparador e redefinir o gerador de rampa quando sua saída exceder V_{in} (ALLEN; HOLBERG, 2002).

3.1.1 Arquitetura Geral

O objetivo do trabalho é implementar um conversor analógico digital integrador single slope com quantização não linear. Inicialmente apenas a implementação com quantização linear será realizada, e a topologia utilizada para essa implementação está exposta na Figura 20.

Na Figura 21 é possível observar os principais componentes que constituem o sistema de inclinação única (single-slope), que é um gerador de rampa, um comparador, uma porta AND e por fim um contador binário de N bits. A conversão inicia quando capacitor dentro no bloco do gerador de rampa começa a ser carregado pela fonte de corrente constante até atingir o mesmo nível que o valor analógico amostrado.

O processo de integração desse tipo de conversor será demonstrado a seguir, o primeiro passo para se entender esse desenvolvimento é recordar que durante a conversão a intensidade da corrente elétrica é a transferência de carga durante um determinado tempo e é dado pela Equação (3.1).

$$I = \frac{dQ}{dt} \quad (3.1)$$

Já para o capacitor a medida dele se dá através do quociente de carga elétrica (Q) armazenado pela tensão (V) existentes entre as placas, assim temos que a carga do capacitor é proporcional a tensão sobre ele, de modo que pode ser expressão pela Equação (3.2).

$$C = \frac{Q}{V} \Rightarrow Q = C \cdot V \quad (3.2)$$

Substituindo a Equação (3.2) na Equação (3.1) obtemos o seguinte resultado já que o capacitor possui um valor constante:

$$I = C \cdot \frac{dV}{dt} \quad (3.3)$$

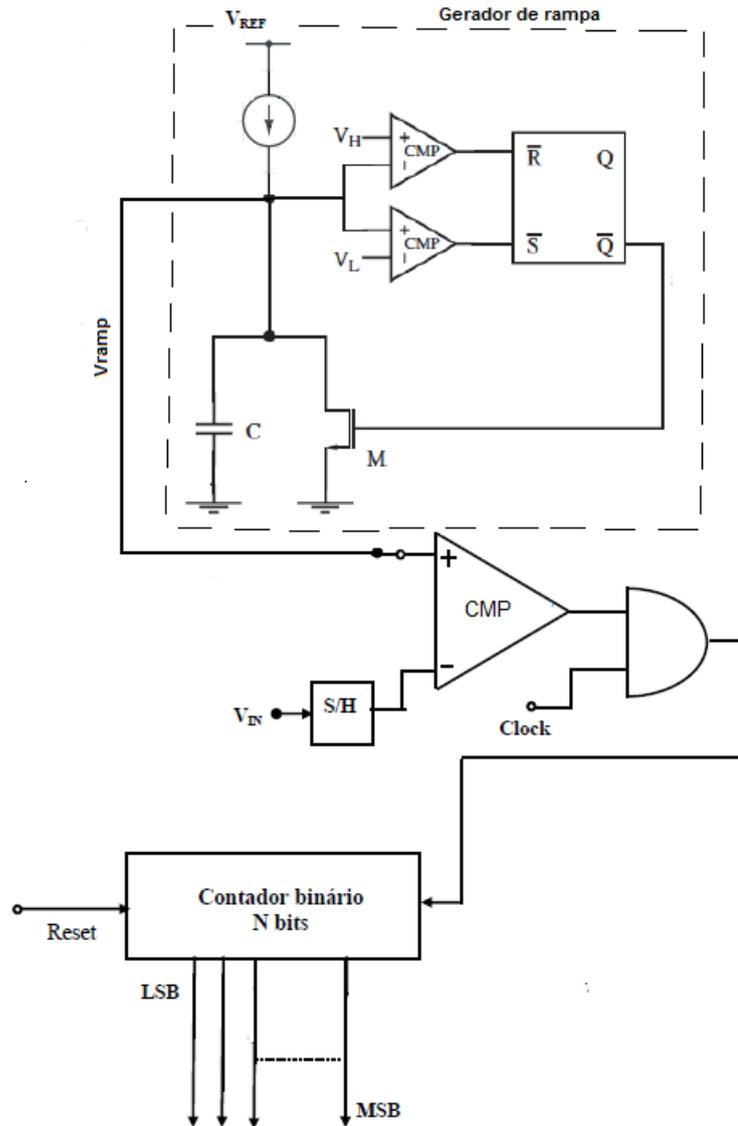


Figura 21 – Topologia do conversor AD single-slope.

Isolando a tensão (dV) obtemos a seguinte relação da Equação 3.4.

$$dV = \frac{1}{C} \cdot I \cdot dt \quad (3.4)$$

Após todos esses passos se integra a Equação 3.4, obtendo o seguinte resultado da Equação 3.5, onde se uma tensão fixa for aplicada na entrada do circuito integrador

então a tensão de saída cresce sobre um período de tempo, fornecendo assim uma tensão em forma de rampa ($V(t)$ ou V_{ramp}).

$$V(t) = \frac{1}{C} \int_{t_0}^{t_1} i(t) \cdot dt \quad (3.5)$$

O limite de integração representado na equação acima apresenta o início e o fim da prossecução de conversão A/D, indo desde a carga e descarga do capacitor até o tempo necessário para que o comparador transite entre o nível lógico baixo e alto.

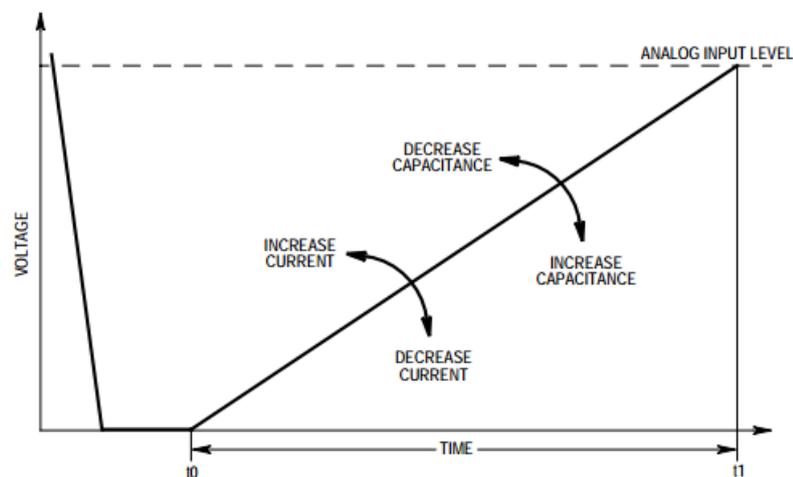


Figura 22 – Relação dos valores dos componentes e o tempo de conversão (LEDFORD, 2004).

Para o desenvolvimento do conversor A/D é necessário o entendimento dos componentes que afetam diretamente a resolução de conversão e a precisão do sistema. Como já dito anteriormente, a conversão do sinal de entrada é representado por uma diferença de tempo. Segundo (LEDFORD, 2004), o capacitor demora um determinado tempo para que alcance a tensão de referência e esse tempo é controlado por duas variáveis primárias, que seria o valor do capacitor e a corrente da fonte de corrente. Na Figura 22 é possível observar como a rampa se comporta com o incremento e decremento dessas duas variáveis mudando assim a inclinação da rampa. Com a diminuição da inclinação da rampa a quantidade de tempo para que ocorra o processo de conversão aumenta, já ao se aumentar a inclinação da rampa a quantidade de tempo para a conversão diminui.

Um ADC single-slope de 8 bits que possui 256 valores possíveis para a amplitude do sinal analógico a ser convertido será descrito na próxima seção em conjunto com o tempo conversão.

3.2 Descrição dos blocos

O ADC single-slope de 8 bits com quantização linear será desenvolvido nesta seção com a simulação no pacote Virtuoso da Cadence Design Systems com a tecnologia TSMC $0.13\mu\text{m}$, onde primeiramente será descrito e apresentado o resultado do gerador de rampa e o funcionamento do clock.

3.2.1 Gerador de rampa

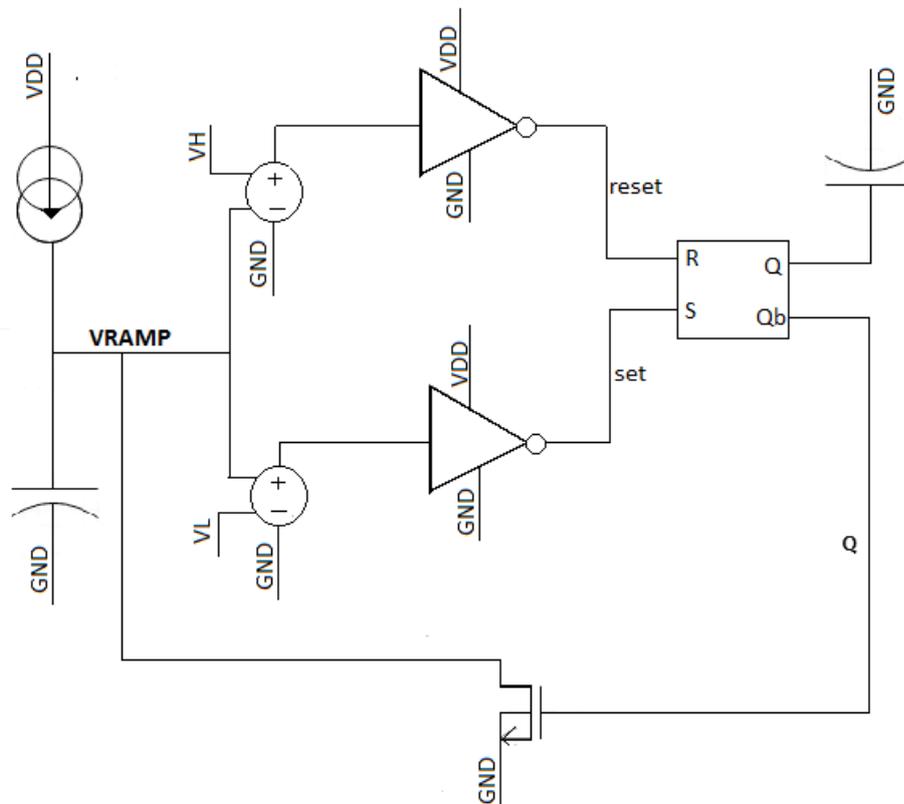


Figura 23 – Esquemático do circuito gerador de rampa.

Na Figura 21 temos em destaque, entre pontilhados, a representação do circuito gerador de rampa, para uma melhor visualização colocou o esquemático feito no Virtuoso da Cadence Design Systems (Figura 23). Na Figura 23 a porta not e o flipflopSR foram feitas a nível de transistor e estão representadas nas Figuras 29 e 31(b) respectivamente, enquanto o restante dos componentes foram retirados da biblioteca *analogLib*. Uma fonte de corrente constante é utilizada para o carregamento do capacitor C. O sinal de rampa é limitado por uma tensão *high*, V_H (alta), e uma tensão *low*, V_L (Baixa), dessa maneira o controle desses limites de tensão do sinal da rampa ocorre pelo fato da necessidade de um reset para que a rampa não se limite a apenas uma rampa com um determinado ganho, e sim a várias rampas com uma única inclinação.

Quando sinal de rampa atinge V_H ($2.96V$), o comparador muda o seu estado fazendo com que o transistor M seja ligado descarregando assim o capacitor C. Por consequência o sinal de rampa diminui até atingir V_L ($100mV$), mudando novamente o estado do comparador e setando o latch SR, que leva o transistor M a ser desligado, reiniciando o ciclo. Os valores escolhidos da fonte de corrente constante, V_{ref} e do capacitor serão analisados a seguir.

A relação mostrada na Equação 3.3 foi reformulada na Equação 3.6 e representa a rampa. A relação dV/dt apresenta o limite de tensão que a rampa alcança e o tempo que ela demora para alcançar essa determinada tensão, respectivamente.

$$\frac{I(t)}{C} = \frac{dV}{dt} \quad (3.6)$$

Determinou-se uma tensão de referência de $3V$ com um tempo de $1\mu s$, ou seja, a rampa vai de $0V$ a $3V$ durante um período de $1\mu s$. Substituindo esses valores na Equação 3.6 obtemos a Equação 3.7.

$$\frac{I(t)}{C} = \frac{3V}{1\mu s} \rightarrow \frac{I(t)}{C} = 3 \times 10^6 \frac{V}{\mu s} \quad (3.7)$$

Foi selecionado arbitrariamente um valor de corrente igual a $3\mu A$ e deduziu após manipulação matemática o valor do capacitor que é igual a $1pF$.

A Figura 24 representa os sinais obtidos a partir da simulação transiente da Figura 23. Quando a onda triangular (1) atinge V_H o primeiro comparador muda de estado, resetando o latch. Ocorre uma mudança na saída Q (4) de 0 a $V_{DD}(3V)$ o que ocasiona o transistor M ser ligado, descarregando o capacitor. O sinal de rampa (1) cai para V_L , o segundo comparador muda de estado, setando o latch. Assim, o sinal Q (4) do latch retorna a zero, ligando novamente o transistor M e completando o ciclo.

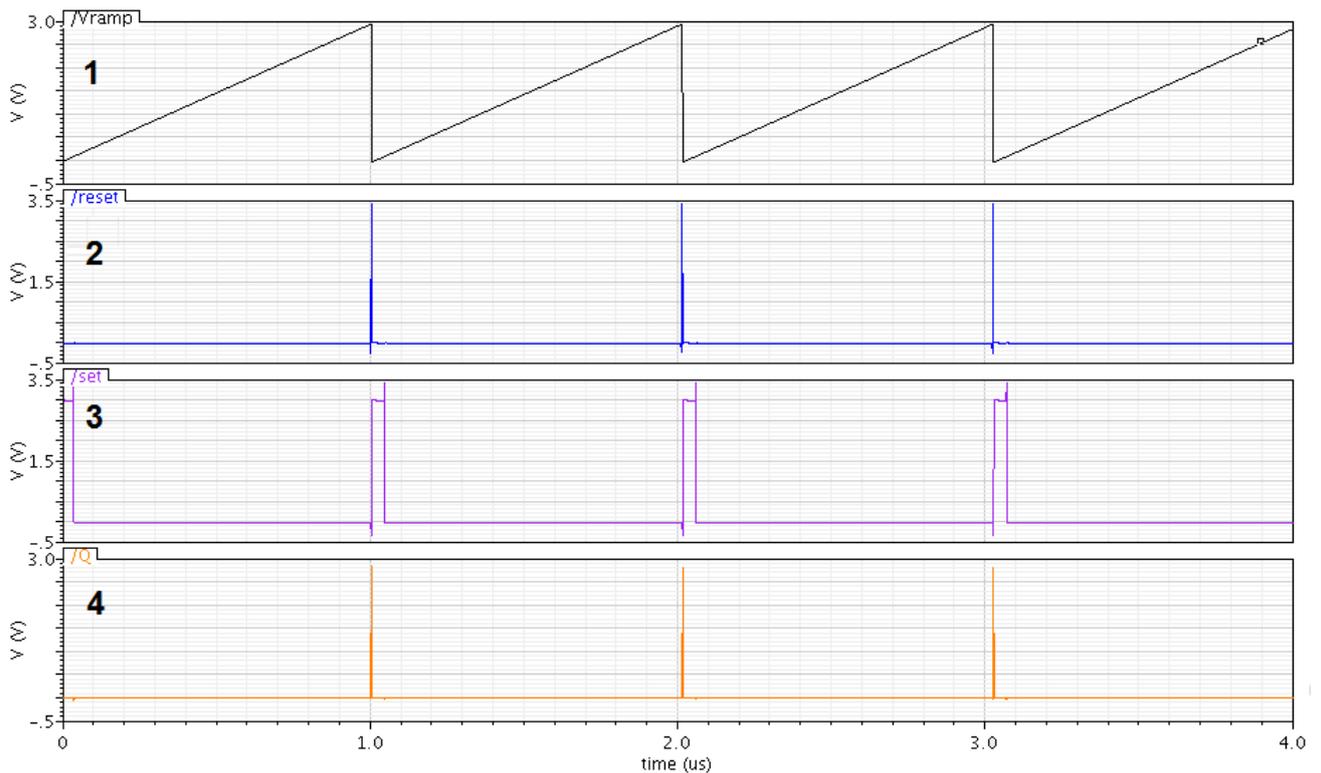


Figura 24 – Formas de onda do circuito gerador de rampa. (1) Sinal da rampa (2) Reset (3) Set (4) Q barrado do latch.

3.2.2 Clock do Single-slope

Uma conversão A/D do tipo single-slope é fundamentalmente uma medida de tempo decorrido para que o sinal de rampa atinja o nível do sinal analógico amostrado, o que acarreta em uma velocidade de conversão mais lenta caso a rampa tenha um tempo de formação grande.

A Figura 25 apresenta o gerador de rampa integrado com um comparador (*Voltage Controlled Voltage Source*) retirado da biblioteca *analoglib* e uma porta AND (Figura 34), após o sinal da rampa V_{ramp} ser formado ocorre uma comparação com a tensão de entrada V_{in} . Quando V_{in} for igual a V_{ramp} o comparador muda de estado para nível lógico baixo inibindo a saída da lógica de controle, que nesse caso é uma porta AND, e o contador para de contar os pulsos de clock. A quantidade de pulsos contatos durante esse período de tempo é a palavra digital.

O tempo de contagem varia de acordo com o valor do sinal analógico, por exemplo, quando a tensão de entrada for muito pequena o tempo de conversão se torna muito curto devido ao fato de que o contador deve incrementar apenas algumas vezes antes que o comparador mude de estado. Já quando o tempo de conversão for muito alto, próximo ao valor de escala total, o contador incrementa seu valor com o máximo ciclos de clock 2^N , que no caso seria 2^8 que corresponde a 256 pulsos em um tempo de rampa de $1\mu s$

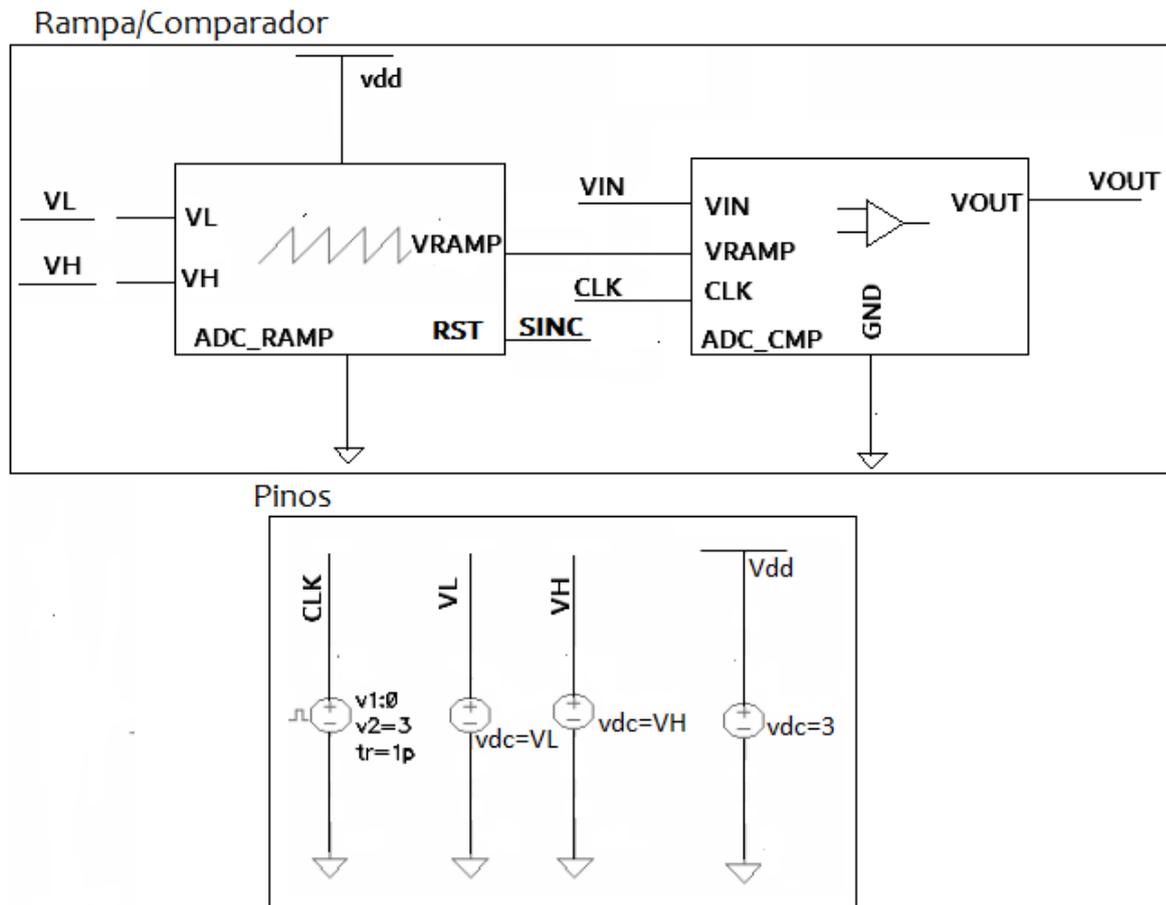


Figura 25 – Simbolo do esquemático do circuito gerador de rampa e do comparador.

resultando em um período. O período de tempo gasto para obter um ciclo do sinal de clock é aproximadamente 3,9ns. O pior caso pode ser expresso como $(2^N)T_{clk}$.

$$T_{clk} = \frac{1\mu s}{256} \rightarrow T_{clk} \approx 3,9ns \quad (3.8)$$

O tempo de conversão, t_c , depende do valor do sinal analógico e pode ser representado pela expressão abaixo.

$$t_c = \frac{V_{in}}{V_{ref}} \cdot 2^N \cdot T_{clk} \quad (3.9)$$

A frequência de amostragem pode ser definida como na Equação 3.10 e é inversamente proporcional ao tempo de conversão.

$$f_{sample} = \frac{V_{ref}}{V_{in} \cdot 2^N} \cdot f_{clk} \quad (3.10)$$

3.2.3 Contador

O contador é o último bloco Para que se obtenha os resultados da conversão do sinal analógico, transformando assim em um sinal digital (palavra digital) para que possamos analisar. O código exposto na Figura 26, feito em verilog A, é o contador para o conversor AD single slope. Seu comportamento é baseado no uso da função *cross*, que detecta o cruzamento por 0, ou seja, apenas a borda de subida do clock será contada. O contador neste caso é por detecção de borda de subida. Desta forma, a saída $V_{(OUT)}$ para de contar quando a $V_{(RST)}$ (tensão do reset) for maior que v_{trans} , que é a tensão de transição que o clock tem que ter para que considere o sinal, que é $1.5V$ metade da tensão de v_{dd} , e caso isso não aconteça $V_{(OUT)}$ continua a contar. O tempo de transição de subida e descida, o tempo de atraso foram colocados arbitrariamente com $10ps$ apenas para que a transição fosse mais rápida que o período de clock.

```

1 analog begin
3     @(cross(V(CNT) - vtrans, 1.0))
4         begin
5             if (V(RST) > vtrans)
6                 counter = 0;
7             else
8                 counter = counter + 1;
9             end
10        V(OUT) <+ transition(counter, 10p, 10p);
11 end

```

Figura 26 – Descrição Verilog-A do contador.

Na saída do contador temos vários pulsos com valores que representam a contagem para um determinado intervalo, antes do *reset* acontecer, para que não tenhamos os pulsos e sim apenas o valor da contagem dos pulsos utilizamos um bloco *sample and hold*(SH) retirado da biblioteca *ahdlLib*, ou seja, amostra o sinal e mantém constante o valor amostrado. Desta maneira a saída passa a ser representada como na Figura 6 se o sinal analógico for uma senoide.

Na Figura 27 temos o contador e o SH representados, além de um gerador de sincronismo que compõe o bloco do contador. O contador não estava reconhecendo a borda de subida do *reset* antes do pulso de clock, por conta disso foi necessário uma manipulação de portas lógicas retiradas da biblioteca *ahdlLib*. Desta forma, ocorreu uma sincronização para que a borda de subida do *reset* acontecesse antes da borda de subida do *clock*, através de um atraso na porta lógica *not* do pino RST. O valor *tdel* (tempo de atraso) da porta lógica *not* foi escolhido arbitrariamente para que ocorresse um pequeno atraso o suficiente para o contador notar, que no caso foi de $0.25\mu s/256$, sendo o valor 256 referente ao número de bits.

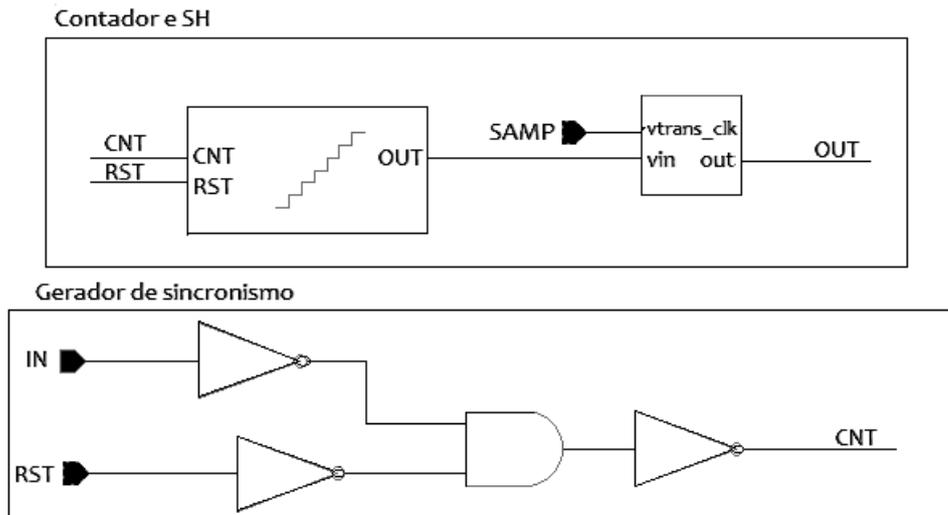


Figura 27 – Circuitos que compõe o bloco do contador.

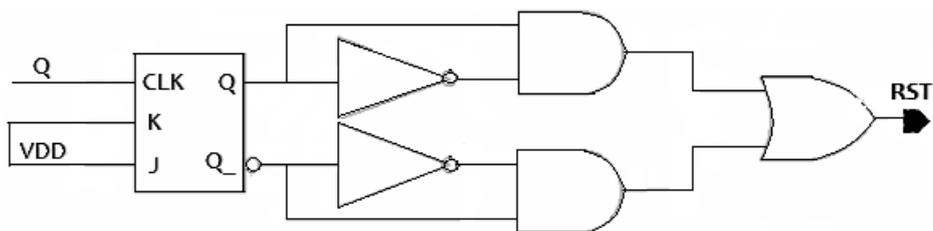


Figura 28 – Gerador de sincronismo do bloco gerador de rampa

O bloco do contador é composto por 3 pinos de entrada que são IN, RST e SAMP. O pino IN é onde entra a quantidade de pulsos de *clock* que se deseja contar, já o pino RST e SAMP é onde entram pulsos de *clock* para sincronizar com o sinal de entrada IN. Para o sincronismo dessas duas entradas se utilizou a saída Q barrado (Figura 23) do gerador de rampa, porque delimita quando a rampa atinge o fim e em seguida o começo de uma nova rampa. A Figura 28 representa o circuito de sincronização para RST e SAMP do contador, e é composto por um *flipflop jk* conectado de maneira a transformar em um *flipflop T*, onde o J e o K estão conectados a V_{DD} , ou seja, os valores de saída vão ser a inversão da saída a cada pulso do CLK. Foi necessário uma porta lógico *not* e *and* na saída do *flipflop T* dado que só a detecção de borda de subida, e por fim uma porta lógica *nor* para unir as bordas de subida da saída. Foi colocado um atraso na porta lógica *not* de $1\mu s/256$, que é o atraso para manter o sinal em nível lógico alto. A saída do bloco do gerador de rampa para o sincronismo é dado por um pino de saída denominado RST. Os dois circuitos de sincronização propostos foram necessários para a conversão acontecer de maneira correta.

3.3 Outros circuitos relevantes

Foram projetados alguns componentes separadamente de outros blocos utilizados no projeto do conversor A/D com o intuito de facilitar a sua reusabilidade em outros circuitos, que são: inversora, porta NAND, porta AND, porta NOR e latch SR. A Tabela 3 apresenta os valores das dimensões dos transistores usados nesses circuitos.

	W(μm)	L(μm)
PMOS	5	0.3
NMOS	2	0.35

Tabela 3 – Dimensão do transistor PMOS e NMOS usados para implementação destes circuitos relevantes.

3.3.1 Porta Inversora

A porta NOT ou porta inversora foi utilizada para no circuito gerador de rampa, sua estrutura pode ser observada na Figura 29.

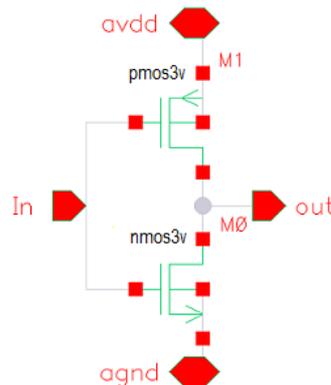


Figura 29 – Porta inversora a nível de transistores.

A Figura 30 representa as formas de onda para o circuito do inversor, pode-se observar que o tempo de subida e descida do pulso são praticamente iguais.

3.3.2 Porta NOR e Latch SR

A porta lógica NOR projetada e mostrada na Figura 31 com o intuito de em seguida ser implementada na criação de um latch SR utilizando duas portas, que foi implementado no gerador de rampa.

A Figura 32 representa as formas de onda para a porta lógica NOR, e a Figura 33 representa para o latch SR. O latch SR é de grande importância no gerador de rampa, onde ele é responsável setar e resetar a rampa.

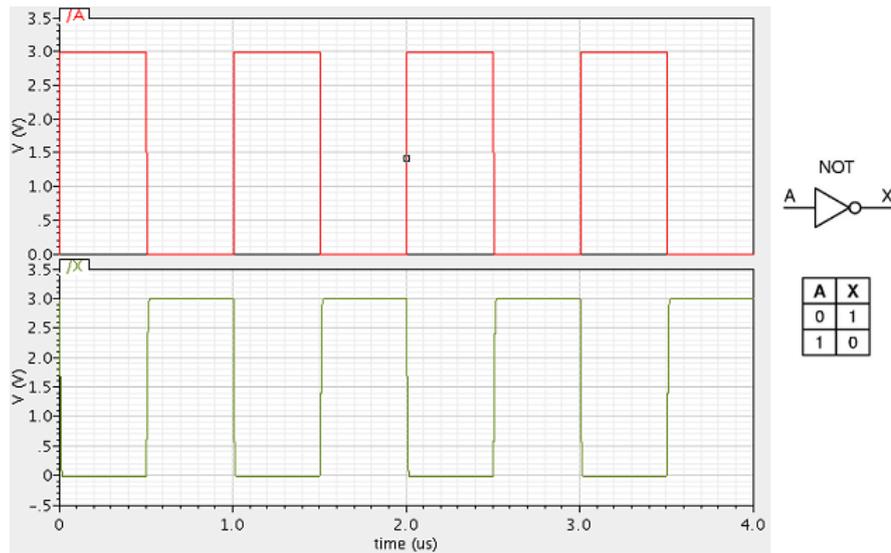


Figura 30 – Resposta do circuito Inversor e o símbolo utilizado em sua representação junto com a tabela verdade.

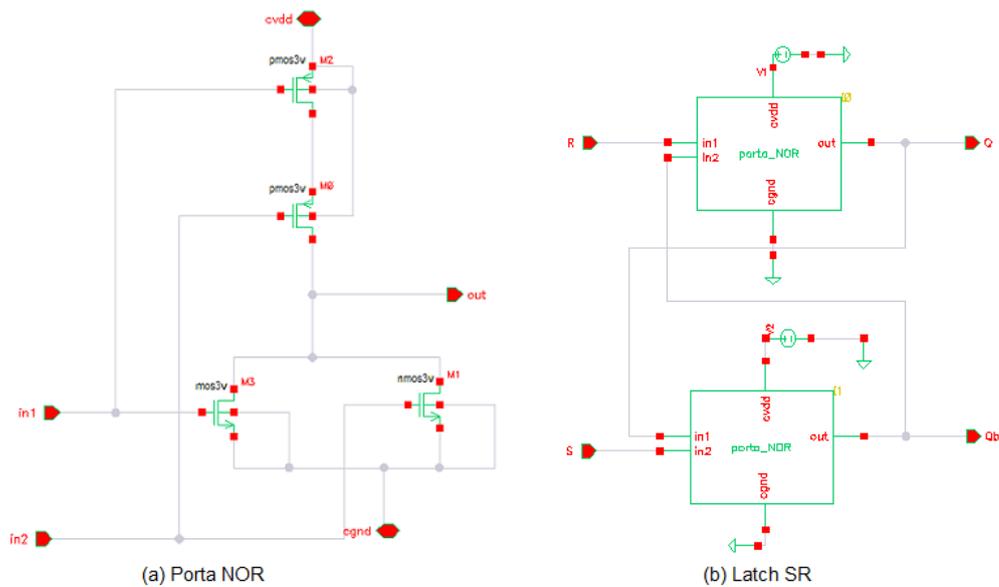


Figura 31 – Latch SR e porta NOR.

3.3.3 Porta AND e NAND

A porta lógica NAND foi projetado de acordo com a Figura 34 (a) e a partir da NAND em conjunto com um inversor é possível construir uma porta AND, Figura 34 (b).

As formas de ondas do circuito projetado a nível de transistores para a porta lógica NAND e AND são exibidas nas figuras abaixo.

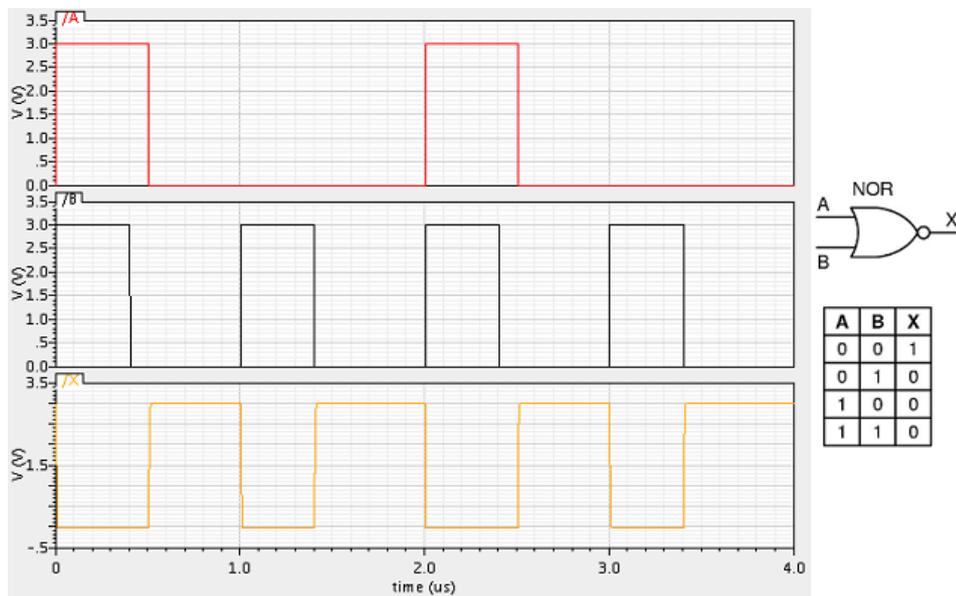


Figura 32 – Resposta da porta lógica NOR, símbolo utilizado e a tabela verdade.

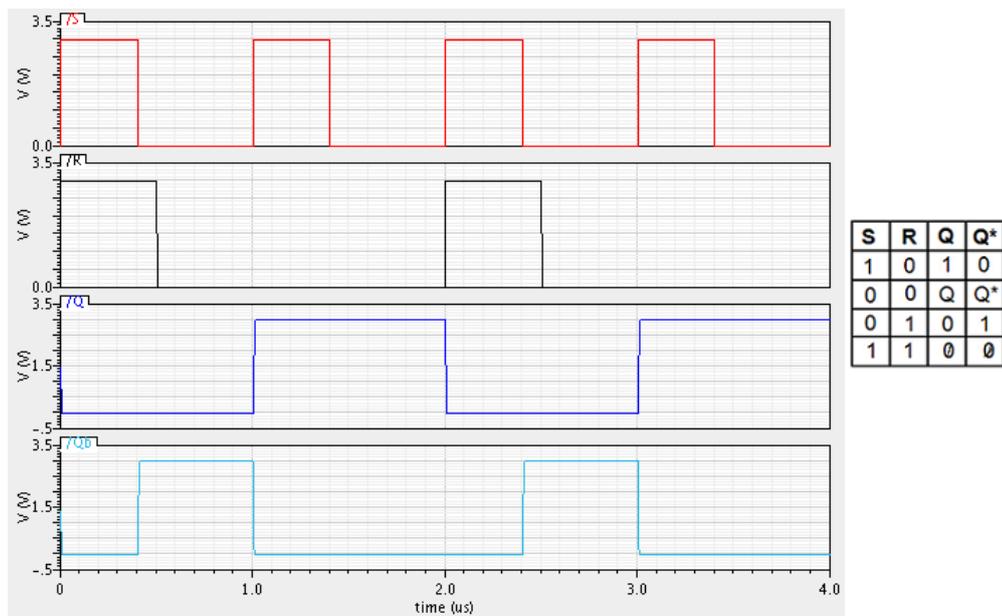


Figura 33 – Resposta do Latch SR e a tabela verdade.

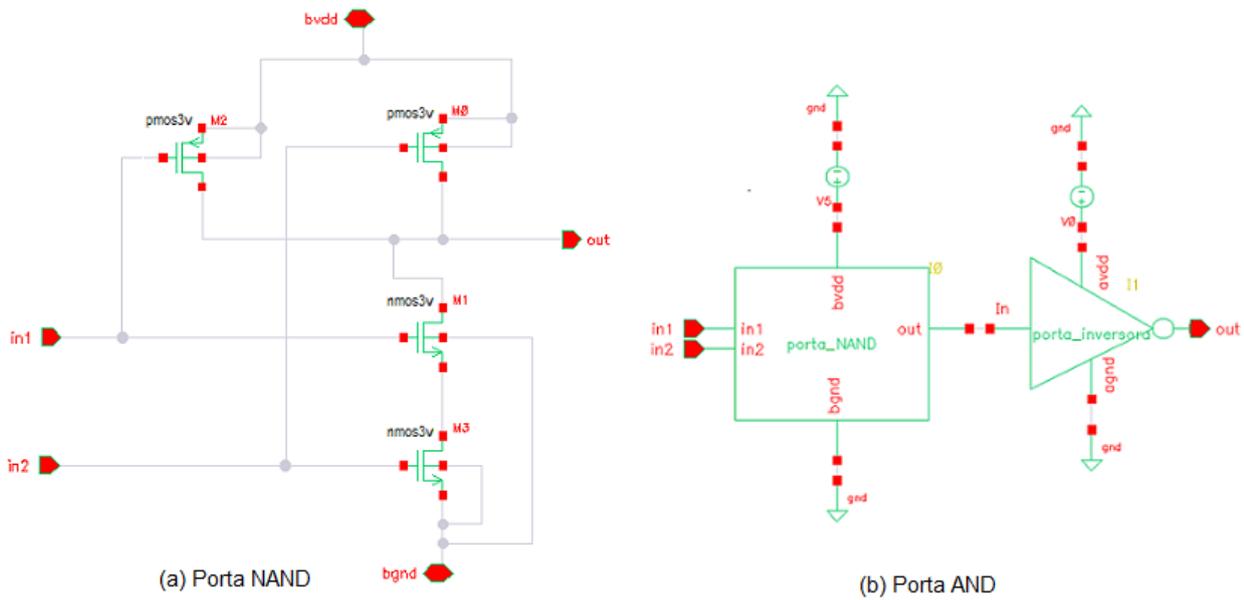


Figura 34 – Porta NAND e AND.

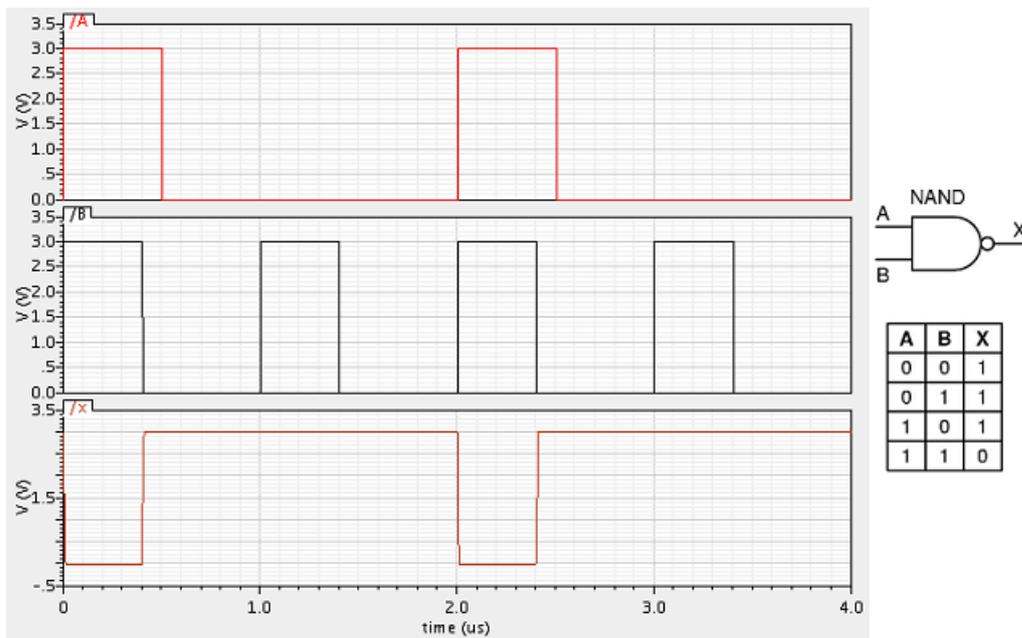


Figura 35 – Resposta da porta NAND, símbolo e tabela verdade.

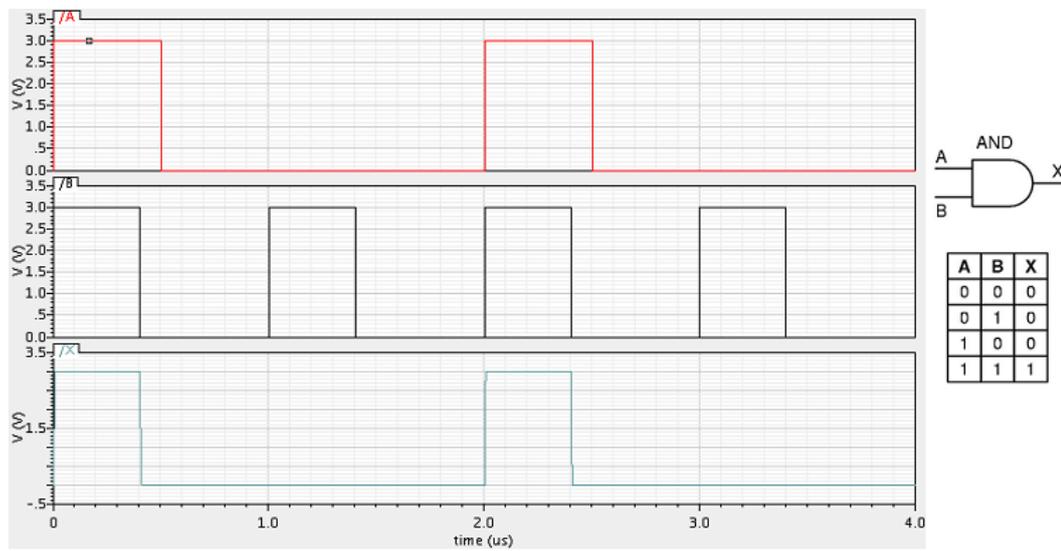


Figura 36 – Resposta da porta AND, símbolo e tabela verdade.

4 Conversor A/D Single-Slope Não-Linear

O conversor A/D *single slope* não linear tem como ponto de partida aplicar sua não linearidade na tensão de rampa, utilizando assim a rampa proposta pelo conversor A/D linear para produzir uma saída no formato de seno hiperbólico (*sinh*) e no formato de tangente hiperbólico (*tanh*). Desta forma, ao invés de uma rampa de 0 a 3V teremos um sinal de *senh* e *tanh* que serão usados para a comparação com um sinal analógico. O fato dessas novas rampas não possuírem uma linearidade propõe que a quantização não será mais de maneira uniforme e sim com espaçamentos diferentes provocando assim a não linearidade proposta.

Análogas de muitas formas às funções trigonométricas circulares, as funções hiperbólicas utilizam exponenciais na sua definição como pode ser visto nas Equações 4.1 e 4.2.

$$\sinh = \frac{e^x - e^{-x}}{2} \quad (4.1)$$

$$\tanh = \frac{e^x - e^{-x}}{e^x + e^{-x}} \quad (4.2)$$

A função exponencial é uma das mais importantes da matemática. Os circuitos translineares, que são circuitos de modo corrente, baseiam-se nas características exponenciais entre tensão e corrente do transistor MOS em *subthreshold*. Para que o transistor MOS atue de maneira exponencial é necessário que esteja com inversão fraca ou sub-limiar (*subthreshold*), que é quando $V_{GS} < V_{TH}$, sendo que V_{TH} é o limiar para que aconteça condução. O transistor quando atinge esse ponto encontra-se em um regime de condução "parcial", por isso é denominado região de inversão fraca. A transição entre condução e não condução não é abrupta. Sob a inversão fraca, a relação entre corrente e a tensão do *gate-source* torna-se exponencial, de acordo Equação 4.3 para um NMOS.

$$I_{DS} = I_S \cdot \frac{W}{L} \cdot e^{\frac{V_{GB}}{nV_T}} \left(e^{-\frac{V_{SB}}{V_T}} - e^{-\frac{V_{DB}}{V_T}} + \frac{V_{DS}}{V_A} \right) \quad (4.3)$$

Sendo que I_S é uma corrente característica que define a corrente que vaza através do transistor, W e L são a largura e o comprimento do transistor, n é o fator de inclinação sublimiar (em torno de 1 e 1.5) que define o efeito da tensão do *gate* na corrente de dreno, $V_T = kT/q$ é a tensão térmica, V_A é a tensão inicial, uma tensão fictícia que representa a influencia que o V_{DS} tem na corrente do *drain-source*. Para um transistor PMOS, a expressão é semelhante, apenas invertendo os sinais nos exponenciais Equação 4.4.

$$I_{DS} = I_S \cdot \frac{W}{L} \cdot e^{-\frac{V_{GB}}{nV_T}} \left(e^{\frac{V_{SB}}{V_T}} - e^{\frac{V_{DB}}{V_T}} + \frac{V_{DS}}{V_A} \right) \quad (4.4)$$

Considerando um caso comum para NMOS que é quando o *source* está no mesmo potencial que o bulk ($V_S = V_B$), a Equação 4.3 pode ser simplificada para Equação 4.5.

$$I_{DS} = I_S \cdot \frac{W}{L} \cdot e^{\frac{V_{GS}}{nV_T}} \left(1 - e^{-\frac{V_{DS}}{V_T}} + \frac{V_{DS}}{V_A} \right) \quad (4.5)$$

Após essa breve introdução de como será produzido a conversão não linear do ADC e como isso é possível com a utilização de transistores MOS, este capítulo é delimitado na descrição dos blocos da implementação do *senh* e *tanh*.

4.1 Seno Hiperbólico

Os circuitos de modo corrente como já dito anteriormente possuem características exponenciais, essas características possibilitam a criação de funções hiperbólicas. A Tabela 4 apresenta alguns parâmetros utilizados para a realização do formato de onda *senh*.

Parâmetro	Descrição	Valor
V_H	Tensão <i>high</i>	1.6V
V_L	Tensão <i>low</i>	1.4V
V_{MAX}	Tensão de saída máxima	1.6V
I_{REF}	Corrente de referência	300nA
C	Capacitor	200pF
V_{DD}	Tensão de alimentação	3V
I_{BIAS_N}	Corrente de polarização NMOS	300nA
I_{BIAS_P}	Corrente de polarização PMOS	300nA
R_1	Resistor	$3 \cdot 160k\Omega$
R_2	Resistor	$3 \cdot 160k\Omega$

Tabela 4 – Parâmetros da realização do *Senh*.

Para que fosse possível a criação da função seno hiperbólico utilizamos a rampa produzida para o conversor AD *single slope* linear, apenas fazendo modificações nos valores. Os cinco primeiros parâmetros estão relacionados ao gerador de rampa, onde I_{REF} e C determinam a inclinação da rampa de acordo com a Equação 3.6. Para decidir o valor do capacitor sabendo que inicialmente a rampa iria de 0 a V_{DD} em 2ms, substituí os valores na Equação 3.6 resultando que o capacitor precisaria ser de 200pF. Optou-se por esses valores de capacitância e corrente devido a necessidade de uma corrente menor para manter a inversão fraca, com o tamanho da rampa estipulado determinou a faixa de tensão que o *senh* estaria mais bem definido, que no caso foi no intervalo de V_H e V_L . A rampa foi manipulada para ir de 1.4V a 1.6V (V_L e V_H , respectivamente) resultando

em um tempo de aproximadamente $130\mu s$, ou seja a tensão de saída máxima V_{MAX} do gerador de rampa será de $1.6V$.

A Figura 37 podemos ver o circuito da função *senh* no ambiente Virtuoso, todos os transistores MOS encontram-se no modo de inversão fraca, ou seja, $V_{GS} < V_{TH}$.

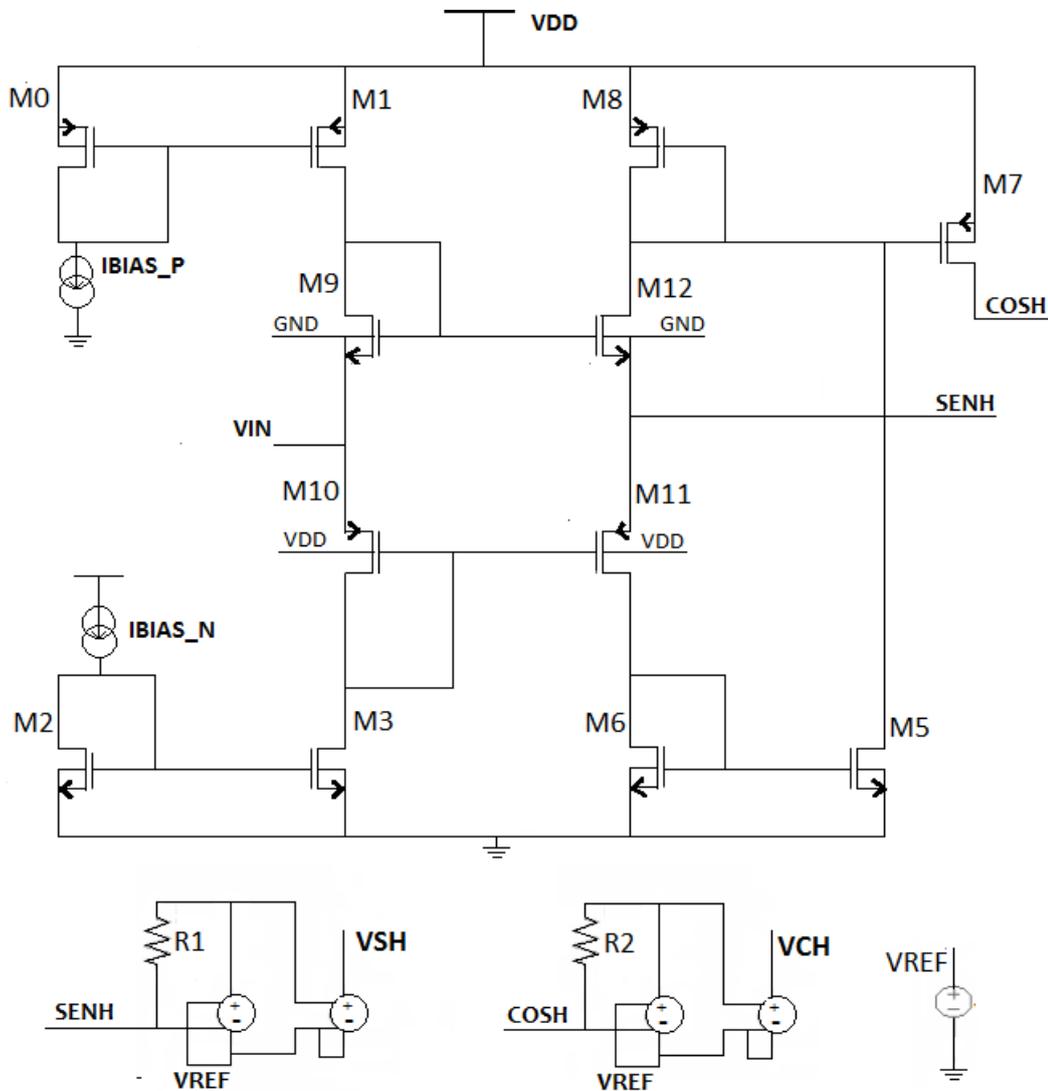


Figura 37 – Esquemático do circuito *senh*.

No pino V_{IN} entra o sinal de rampa para alimentar o circuito da função seno hiperbólico. A parte do circuito responsável por produzir a corrente no formato e^x e e^{-x} que ira reproduzir a formula expressa na Equação 4.1 se encontra nos dois espelhos de corrente compostos por M9, M12, M10 e M11. Os 4 transistores compartilham aproximadamente o mesmo valor da I_{ds} (*dreno-source*). Os transistores M9 e M12 são responsáveis por produzir a corrente no formato e^x , enquanto M10 e M11 são responsáveis por produzir a corrente no formato e^{-x} . Essas correntes se encontram no *source* do transistor M12 e M11 e possuem o mesmo sentido, uma saindo do transistor pelo *source* e outra entrando respectivamente, por isso que o conector denominado *SENH* conduz a I_{senh} , pois faz a

subtração entre as duas correntes exponenciais. Isso ocorre devido a primeira regra de Kirchhoff, que em um nó a soma das correntes que chegam é igual à soma das correntes que saem. Desta forma a corrente que passa pelo conector *SENH* tem o formato de $e^x - e^{-x}$ resultando na função seno hiperbólico.

O par de transistores M0 e M1 são responsáveis pela polarização devido a corrente I_{BIAS_P} determinar a quantidade de corrente que passa pelo circuito. Os transistores M2 e M3 possuem o mesmo objetivo que os transistores M0 e M1, só que são polarizados pela corrente I_{BIAS_N} .

Com o circuito que produziu a função *senh* foi possível fazer, também, a função cosseno hiperbólico adicionando dois espelhos de corrente (M8 e M7, M6 e M5), do dreno do transistor M12 sai a corrente no formato e^x , enquanto que do dreno do M5 a corrente no formato e^{-x} , ambas se somam e saem pelo conector denominado *COSH*, correspondendo a Equação 4.6.

$$\cosh = \frac{e^x + e^{-x}}{2} \quad (4.6)$$

Como se deseja a resposta em tensão e não corrente, optou-se por utilizar um circuito com amplificador operando no modo de transimpedância, ou transresistência, que transforma a corrente de entrada em tensão de saída. A corrente *senh* e *cosh* possuem um valor aproximadamente de $3.08\mu A$, é necessário que a resistência R_1 e R_2 seja suficientemente grande, devido ao fato de corrente e resistência serem inversamente proporcionais para que assim possamos ter um ganho de amplitude (tensão). Sabendo que a tensão de referência (V_{REF}) do amplificador é de $1.5V$ e a corrente é de $3.08\mu A$, chegamos aproximadamente a $480k\Omega$ de resistência. A cada $160k\Omega$ a tensão aumenta em $1V$, por isso foi necessário $3 \cdot 160k\Omega$ (Tabela 4) para termos $3V$ de saída, pelo fato da saída vir invertida se utilizou outro amplificador com ganho de -1 . Na Figura 38 temos a onda do seno hiperbólico (1) e do cosseno hiperbólico (2), os resultados obtidos para as formas de onda foram satisfatórios.

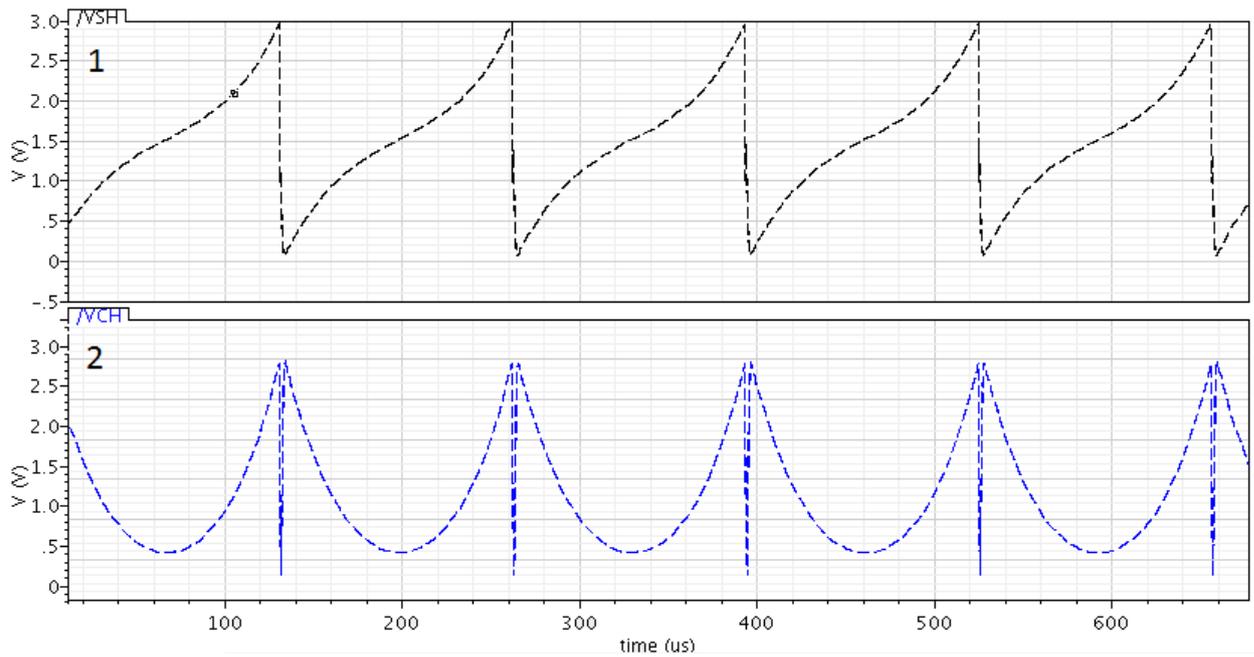


Figura 38 – Formas de onda do circuito seno hiperbólico (1) Seno hiperbólico (2) Cosseno hiperbólico.

4.2 Tangente Hiperbólica

A função tangente hiperbólica é representada pela divisão entre $senh$ e $cosh$ que pode ser visto na Equação 4.2, como já foi validado as ondas $senh$ e $cosh$ que produzem a $tanh$ é possível fazer um circuito com transistores para produzir a divisão entre as duas correntes extraídas do circuito representado na Figura 38. Mas não se optou por esse método para produzir a função tangente hiperbólica, e sim por um par diferencial. A Tabela 5 apresenta alguns parâmetros utilizados para a realização da função $tanh$.

Parâmetro	Descrição	Valor
V_H	Tensão <i>high</i>	1.7V
V_L	Tensão <i>low</i>	1.3V
V_{MAX}	Tensão de saída máxima	1.7V
I_{REF}	Corrente de referência	$2 * 300nA$
C	Capacitor	195pF
V_{DD}	Tensão de alimentação	3V
I_{BIAS_N}	Corrente de polarização NMOS	300nA
R	Resistor	$7.39 \cdot 160k\Omega$

Tabela 5 – Parâmetros para realização do $Tanh$.

Os cinco primeiros termos da Tabela 5 correspondem ao gerador de rampa, assim como a função seno hiperbólico utilizou a rampa como entrada do circuito a função tangente hiperbólica, também, irá usar. A corrente de referência que alimenta a rampa e

produz em conjunto com o capacitor a inclinação da rampa, teve um aumento para manter a polarização para inversão fraca. Com o aumento dessa corrente o tempo de rampa diminui para aproximadamente $1ms$. Como foi feito para analisar a faixa de tensão onde $senh$ era melhor representado, se fez o mesmo para descobrir a faixa de tensão para o $tanh$, a rampa foi manipulada para ir de $1.3V$ a $1.7V$ (V_L e V_H , respectivamente), ou seja, a tensão de saída máxima V_{MAX} do gerador de rampa será de $1.7V$ o que resultando em um tempo de aproximadamente $130\mu s$ para tangente hiperbólica. O tempo para a formação de rampa nessa faixa de intervalo é o mesmo tempo para se formar a função $tanh$, e é igual o tempo da função $senh$.

A Figura 39 podemos analisar o circuito da função $tanh$, o par diferencial que produz a forma de onda tangente hiperbólica encontra-se em inversão fraca.

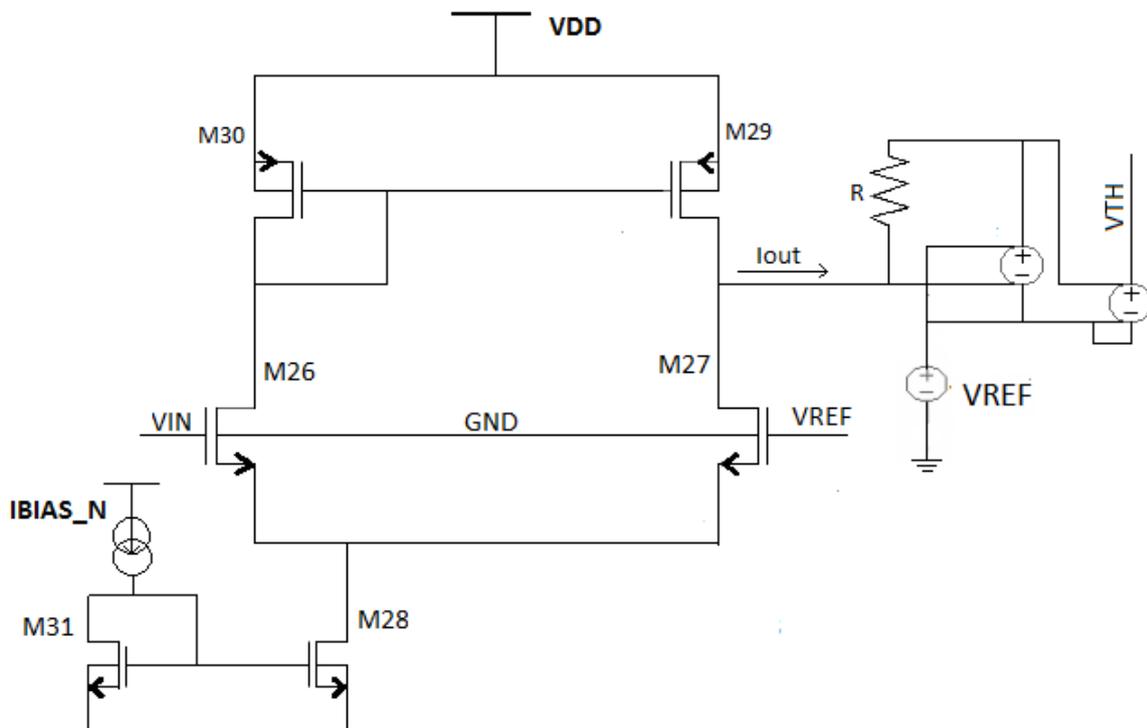


Figura 39 – Esquemático do circuito $tanh$.

No pino V_{IN} entra o sinal de rampa para alimentar o circuito da função tangente hiperbólico. O circuito para função tangente hiperbólica é composto por dois espelho de corrente caracterizado pelos transistores M30, M29, M31 e M28, um par diferencial caracterizado pelos transistores M26 e M27. No *dreno* do transistor M26 sai uma corrente com o formato da tangente hiperbólica, assim como pelo *dreno* no transistor M27. A diferença entre essas duas corrente que gera a corrente com o formato $tanh$. O par diferencial é polarizado por um fonte de corrente dc denominada I_{BIAS_N} . A corrente de saída tangente hiperbólico pode ser representado pela Equação 4.7.

$$I_{out} = I_{BIAS_N} \cdot \tanh \frac{V_{ramp}}{2 \cdot V_T} \quad (4.7)$$

Como se deseja a resposta em tensão e não corrente, optou-se por utilizar o mesmo método aplicado para o circuito com função *senh*, ou seja, amplificador operando no modo de transimpedância. A corrente *tanh* possui um valor aproximadamente de $1.24\mu A$, é necessário que a resistência *R* seja suficientemente grande, devido ao fato de corrente e resistência serem inversamente proporcionais para que assim possamos ter um ganho de amplitude (tensão). Sabendo que a tensão de referência (V_{REF}) do amplificador é de $1.5V$ e a corrente é de $1.24\mu A$, chegamos aproximadamente a $1.216M\Omega$ de resistência. A cada $160k\Omega$ a tensão aumenta em $0.35V$, por isso foi necessário $7.6 \cdot 160k\Omega$ (Tabela 5) para termos aproximadamente $3V$ de saída, pelo fato da saída vir invertida se utilizou outro amplificador com ganho de -1 . Na Figura 40 temos a onda da tangente hiperbólico obtida através do circuito.

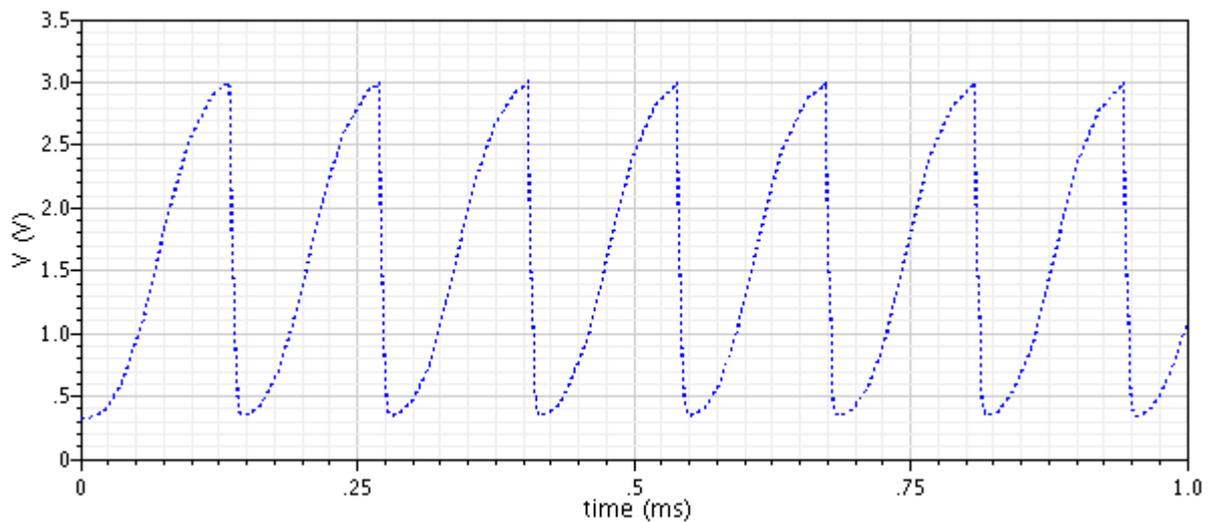


Figura 40 – Forma de onda do circuito tangente hiperbólico.

5 Resultados

O ADC single slope linear e não linear compartilham os mesmo blocos para comparação com o sinal analógico (V_{IN}) e para a quantização que é composto por um contator e um SH (*sample and hold*). Na Figura 41 temos uma representação em diagrama de bloco simplificado de como seria algumas as conexões para ocorrer a quantização.

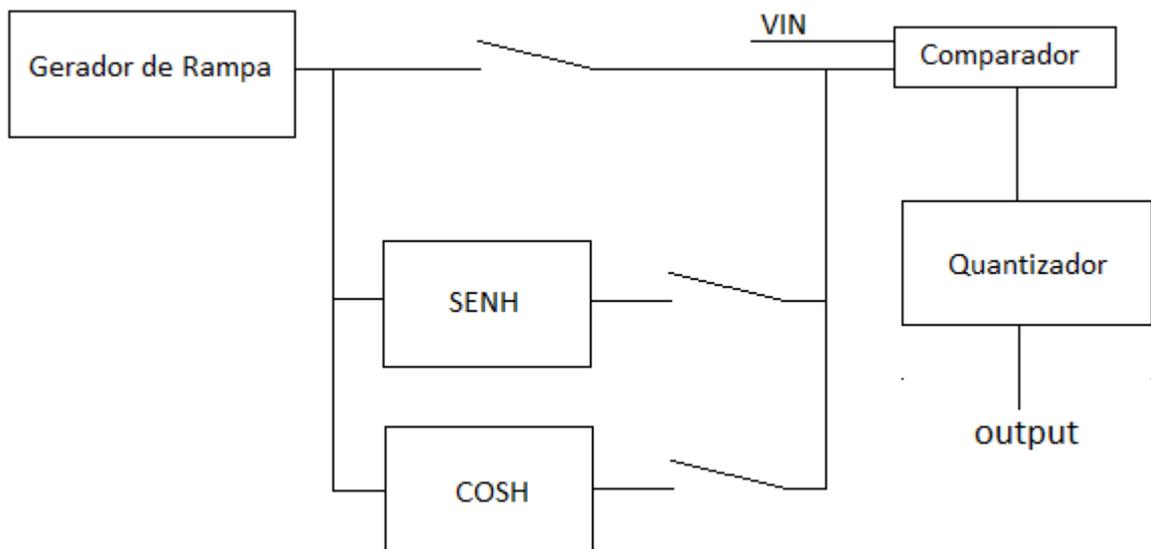


Figura 41 – Diagrama de bloco simplificado do funcionamento dos três conversores.

Apesar da Figura 41 não conter todas as entradas e saídas de cada bloco, é possível visualizar melhor como irá funcionar os conversores ADs, como por exemplo a saída de sincronismo do gerador de rampa, as entradas dos blocos para alimentar os circuitos ($IBIAS_N$, $IBIAS_P$, dentre outras). Sendo que apenas um tipo de rampa pode entrar no comparador, por isso se tem as chaves representadas na saída de cada um dos blocos (gerador de rampa, seno hiperbólico e tangente hiperbólico).

Para verificar o comportamento de cada um dos três tipos de forma de onda para o conversor AD após a quantização, foi feita uma análise com dois tipos de sinais, o primeiro sinal utilizado na entrada do comparador V_{IN} , que seria o sinal analógico, foi uma rampa de 0 a 3V com um tempo de 5.2ms (Figura 42) que corresponde a 40 pulsos de ondas de 130 μ s. Para fazer uma comparação com os mesmos sinais e de tamanhos iguais, foi feito uma alteração no sinal de rampa do conversor AD linear para que a cada 130 μ s uma rampa fosse formada. Para ocorrer essa alteração no sinal de rampa para o conversor AD alterou apenas o valor do capacitor do gerador de rampa para 130pF. Podendo assim ocorrer uma comparação com os mesmos dados.

O contador que se encontra dentro do bloco quantizador é responsável por contar

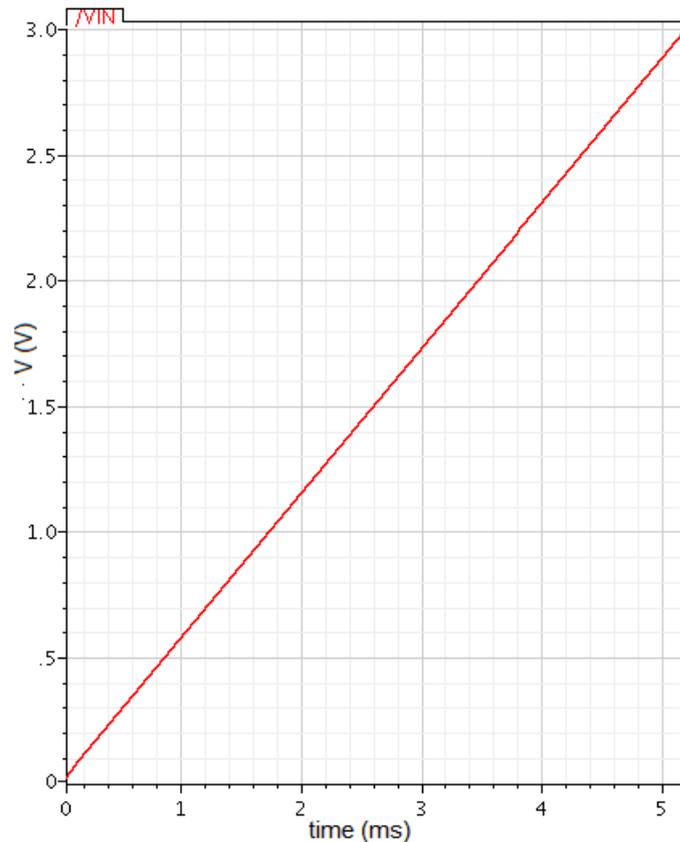


Figura 42 – Sinal de rampa utilizado como entrada no comparador.

a quantidade de pulsos de *clock*, que vem do bloco do comparador, a saída do contador são pulsos com o valor de *clocks* contados no determinado intervalo onde a rampa do ADC linear ou as hipérboles do ADC não linear cruzam com a entrada de um sinal analógico.

Para que a saída não fosse representada por pulsos de *clocks* utilizou o SH para que fizesse uma escada com os valores dos pulsos de *clocks*, a quantidade de pulsos vai de 0 a 256 dentro de um intervalo de 0 a $130\mu s$ que é o tempo de subida da rampa ou das hipérboles representando um conversor AD de 8 bits. Então a saída do sinal de rampa da Figura 42 é representada por degraus com valores dos números de *clocks* contados pelo contador que estão representados na Figura 43.

Na Figura 43 temos a saída do quantizador para as três formas de ondas propostas, onde o eixo x é o tempo em *ms* e o eixo y é o número de clock contados para cada degrau. Na Figura 43 (1) foi utilizado o conversor AD linear que compara a entrada do sinal analógico com um sinal rampa, que possui degraus uniformes devido a sua linearidade. A Figura 43 (2) temos a saída do quantizador para o conversor AD não linear onde seu sinal de comparação com o sinal análogo é uma tangente hiperbólica. Observando a Figura 43 (2) vemos que a maior quantidade de degraus está entre a faixa de 100 pulsos e de 200 pulsos, que corresponde aproximadamente a faixa de 1.20V e 2.3V. Já a Figura 43 (3) temos a saída do quantizador do conversor AD *single slope* não linear onde seu sinal

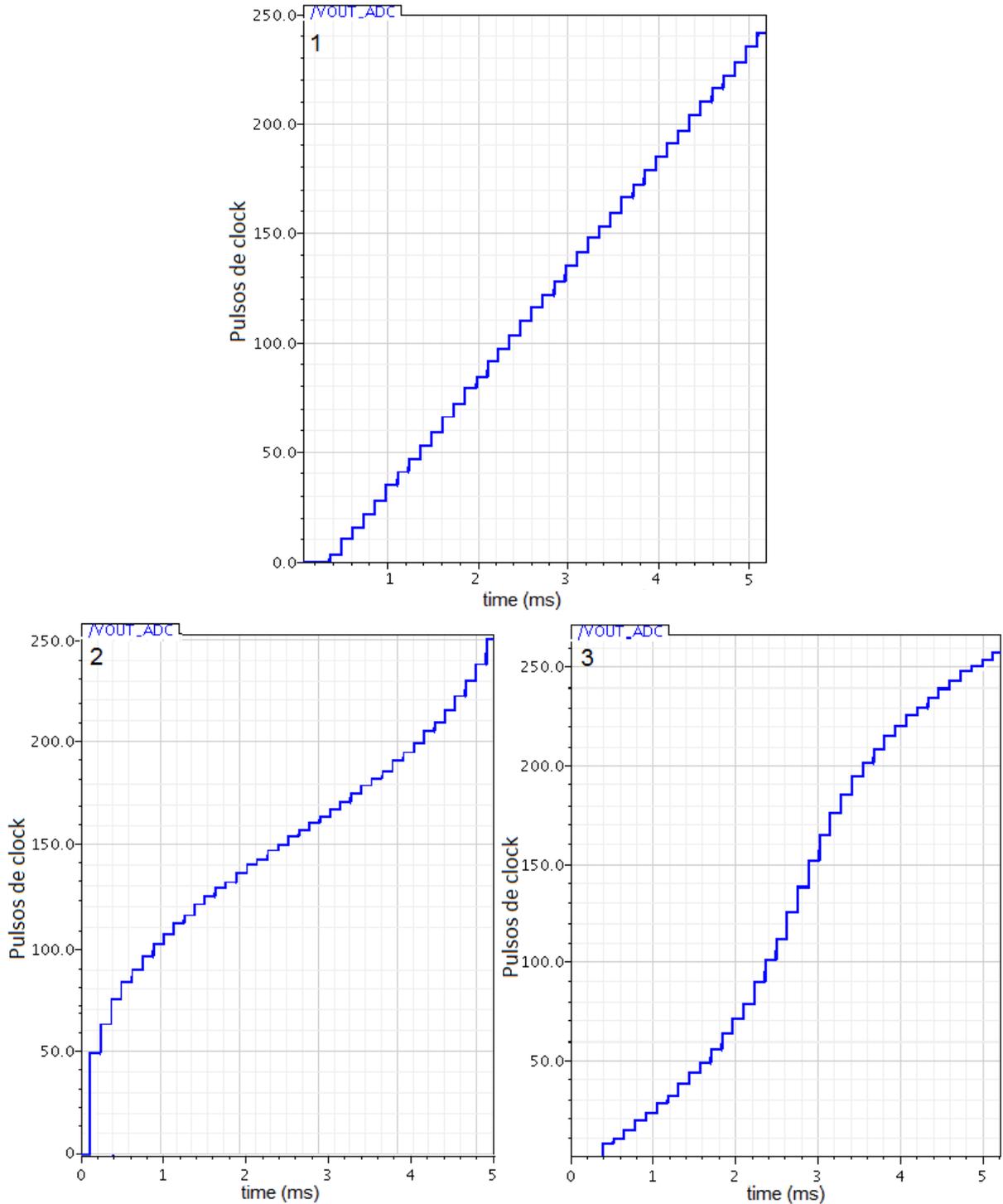


Figura 43 – Saída do quantizador para rampa de 0 a 3V (1) Rampa (2) Tangente hiperbólica (3) Seno hiperbólico.

de comparação com o sinal analógico é um seno hiperbólico, para esse sistema podemos observar que nas regiões mais extremas é onde se possui maior quantidade de degraus, ou seja, é onde se tem uma maior resolução.

O segundo sinal utilizado para analisar as saídas do conversores AD é uma senoide que tem um período de 5.2ms, sendo assim tem 192 Hz e possui uma amplitude de 1.5V

(Figura 44).

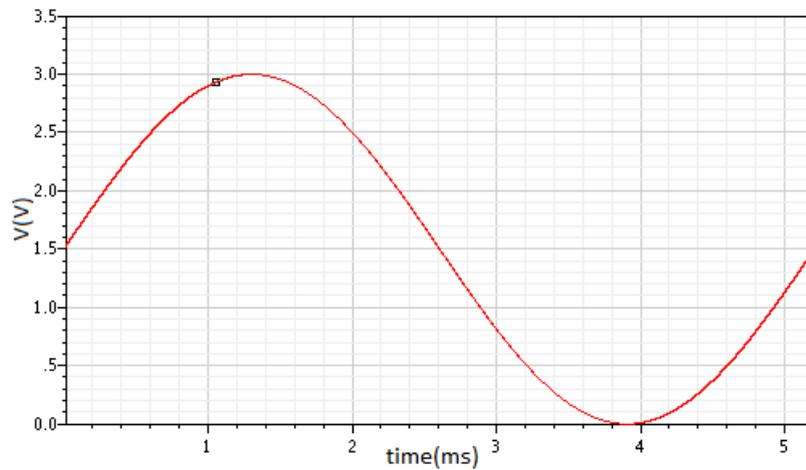


Figura 44 – Sinal de senoide utilizado como entrada no comparador.

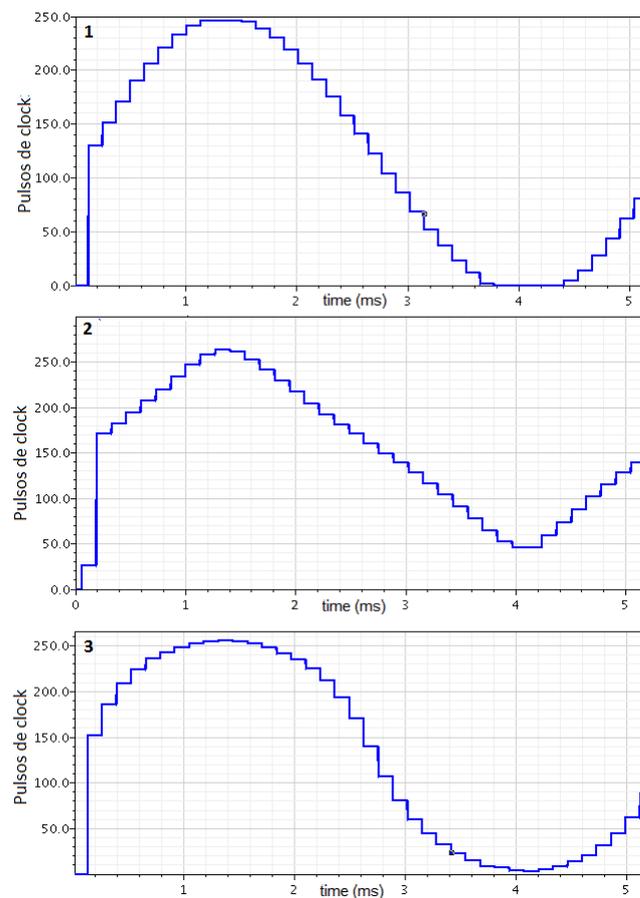


Figura 45 – Saída do quantizador para senoide de 0 a 3V (1) Rampa (2) Tanh (3) Senh.

A Figura 45 (1) corresponde a saída do conversor AD *single slope* linear que possui a mesma característica exposta da Figura 43 (1), apesar de que nos picos do sinal de saída do quantizador ocorrer um degrau longo e reto, isso ocorre devido a saturação que o contador sofreu. Já o conversor AD *single slope* não linear senh e tanh possuem degraus

de maneira não uniforme devido a sua não linearidade. A diferença da Figura 45 (2) e (3) é em relação onde encontra a maior quantidade de degraus com espaçamento pequeno, no (2) está localizado mais ao meio da curva, já no (3) se encontra nas extremidades e no meio se tem degraus maiores como foi possível observar as mesmas características na Figura 43 (3). O sinal da saída do quantizador para a \tanh (Figura 45) (2), também, sofreu com a saturação do contador. Para a saturação não ocorrer na saída do quantizador da rampa e da tangente hiperbólica refez a o sinal de senoide da Figura 44 para que fosse de $0.5V$ até $2.5V$, a saída do quantizador para essa faixa de tensão da senoide está exposta na Figura 46.

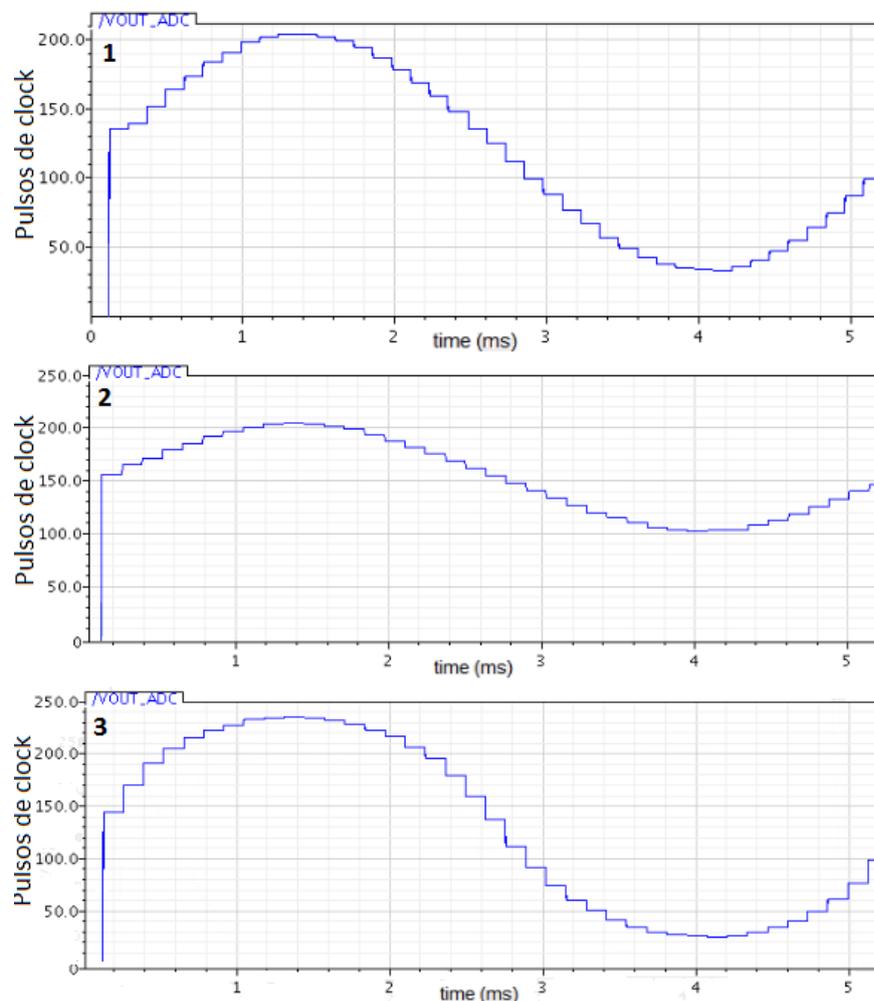


Figura 46 – Saída do quantizador para senoide de $0.5V$ a $2.5V$ (1) Rampa (2) Tangente hiperbólica (3) Seno hiperbólico.

Na Figura 46 vemos que a saturação nas extremidades da concavidade amenizaram. Com esses dois sinais (senoide e rampa) vemos que as características de espaçamento de degraus se repetem, o que determina a região onde cada sinal tem uma maior resolução, possibilitando aplicações para faixa de tensão de sinais analógicos específicos onde se pretende ter maior quantidade de dados. Neste capítulo será exposto alguns os resultados

obtidos com o conversor AD *single slope linear* e o conversor AD *single slope* não linear.

5.1 ADC Single Slope linear

A saída do conversor AD *single slope* é um sinal transiente, ou seja, encontra-se no domínio do tempo, e para fazer a transformada discreta de Fourier o sinal precisa ser levado para o domínio da frequência sendo necessário fazer um janelamento no tempo. A DFT (*discrete Fourier transform*) faz isso dentro de um intervalo de tempo que não necessariamente é o tempo de simulação do sinal do ADC, pode ser um intervalo menor. Esse intervalo de tempo para ser usado na DFT precisa ser um intervalo onde a senoide seja completa, um ciclo, dois ciclos, e assim sucessivamente. Para fazer o janelamento é necessário saber em quanto tempo se tem um ciclo. A senoide foi formada pela fonte *vpulse* extraída da biblioteca e determinou que teria uma frequência de $7.7kHz$. Então para o período do sinal senoidal proposto é de $130\mu s$, ou seja, uma senoide com $7.7kHz$ demora $130\mu s$ para fechar um ciclo. Normalmente se descarta uma parte do primeiro ciclo de simulação da senoide por ainda estar estabilizando e possuir resquícios do transiente, se não for descartado entra como ruído.

Na Figura 47 podemos observar resquício do sinal transiente perto de 0 quando o sinal amostrado dá um salto muito grande no seu valor de amplitude. Determinou dessa maneira que a DFT, que é uma análise de frequência estática numa faixa específica de tempo, seria simulada a partir de $700\mu s$ e para apenas 1 ciclo de senoide, o sinal da senoide não apresenta nenhuma regularidade de teste, possui uma frequência fixa, então o sinal pode ser representada por uma janela retangular. A janela retangular replica o ciclo determinado na DFT para mais infinito e menos infinito.

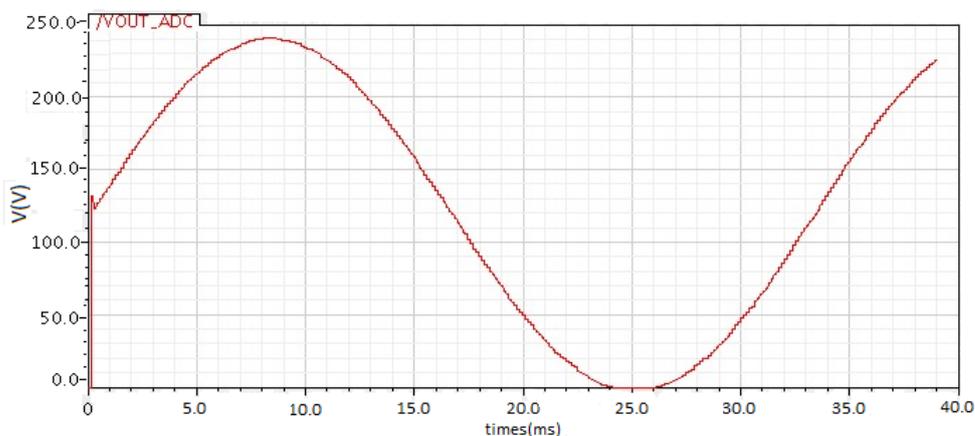


Figura 47 – Sinal amostrado do conversor ADC *single slope linear* utilizando uma senoide como sinal de entrada.

Na Figura 48 temos a DFT do sinal de saída do quantizador, na figura é possível observar a presença de segundo harmônico que apareceu provavelmente por conta da

implementação proposta pelo gerador de rampa ser *single ended* que não é diferenciável. As implementações *single ended* possuem a vantagem de ter uma implementação fácil, relativamente rápida e sua maior desvantagem é que quando se injeta corrente para o capacitor de integração a tensão V_{DS} do transistor vai mudando o que acarreta a modulação do canal.

Na Tabela 6 temos alguns dados obtidos do ADC com a saída do quantizador. O valor do ENOB deu aproximadamente 6.22 sendo que para um conversor de 8 bits é esperado um valor próximo de 8. O valor deu um pouco abaixo do esperado devido a não idealidade do sistema estar provocando segundo harmônico como pode ser observado na Figura 48.

Parâmetro	Descrição	Valor
SNR	Relação sinal-ruído	45.69
$ENOB$	Número efetivo de bits	6.22

Tabela 6 – SNR e ENOB obtidos a partir do sinal de saída do quantizador.

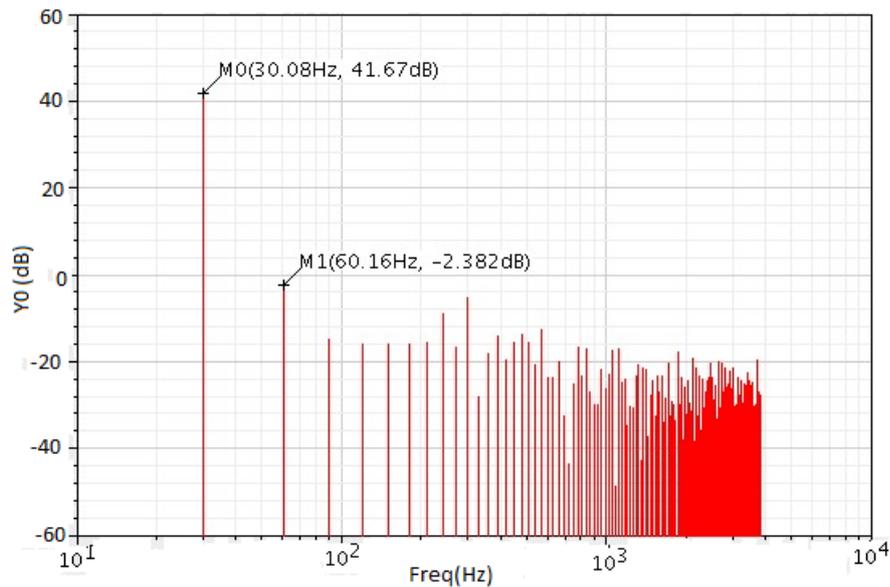


Figura 48 – DFT da saída do quantizador para o conversor AD *single slope* linear.

O SNR foi de $45.69dB$ que é próximo do valor calculado da equação Equação 2.10 que seria de $50dB$. Foi utilizado 256 amostras para a obtenção da DFT. Não se confirmou se o ruído observado na DFT do ADC seria proveniente da falta de amostras.

5.2 ADC Single Slope não linear

A rampa do ADC *single slope* linear e o *senh* e *tanh* do ADC *single slope* não linear foram manipulados para irem de 0 a $3V$ em $130\mu s$, como as rampas possuem a

mesmas características a análise da DFT foi a mesma para os três tipos de conversores. Dessa maneira a frequência de amostragem foi de $7.7kHz$, sua quantidade de amostra foi de 256 o que acarretou 256 pulsos de \tanh e \sinh no intervalo de $33ms$ que seria o período para a senoide formar 1 ciclo.

Na Figura 49 temos a saída do quantizador para o ADC não linear seno hiperbólico, onde no início do sinal quantizado temos resquícios do sinal transiente. A DFT foi realizada a partir de $700\mu s$ para descartar o ruído provocado pela transição.

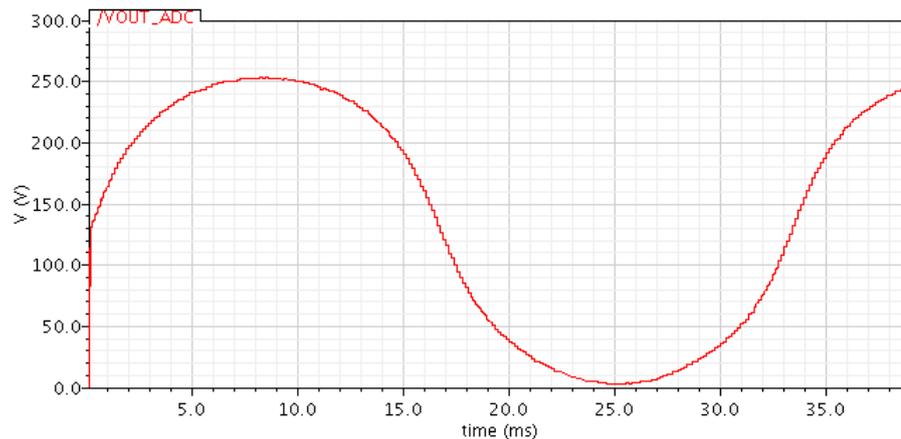


Figura 49 – Sinal amostrado do conversor ADC single slope não linear \sinh utilizando uma senoide como sinal de entrada.

A Figura 50 é possível observar que o terceiro harmônico não está sofrendo muita atenuação, ficando aproximadamente em torno 24 dB, isso acarreta um valor de ENOB muito abaixo do esperado como exposto na Tabela 7. Já a relação sinal ruído calculado do seno hiperbólico tem um valor de $46.93dB$, que é maior que o SNR do conversor AD linear. Quanto mais alto a relação sinal ruído, menor é o efeito do ruído de fundo sobre a detecção ou medição do sinal.

Parâmetro	Descrição	Valor
SNR	Relação sinal-ruído	46.93
$ENOB$	Número efetivo de bits	2.76

Tabela 7 – SNR e ENOB obtidos a partir do sinal de saída do quantizador seno hiperbólico.

Na Figura 51 temos a saída do quantizador para o ADC não linear tangente hiperbólica, onde no início do sinal quantizado se tem a transição do sinal no domínio do tempo para o domínio da frequência. O mesmo intervalo de tempo para começar a DFT dos outros conversores foi aplicado para o da \tanh , ou seja, descartou um pedaço do semi ciclo inicial.

A DFT da Figura 52 correspondente ao tangente hiperbólico tem um segundo harmônico mais atenuado que o do \sinh , isso faz com que o valor do ENOB aumente um

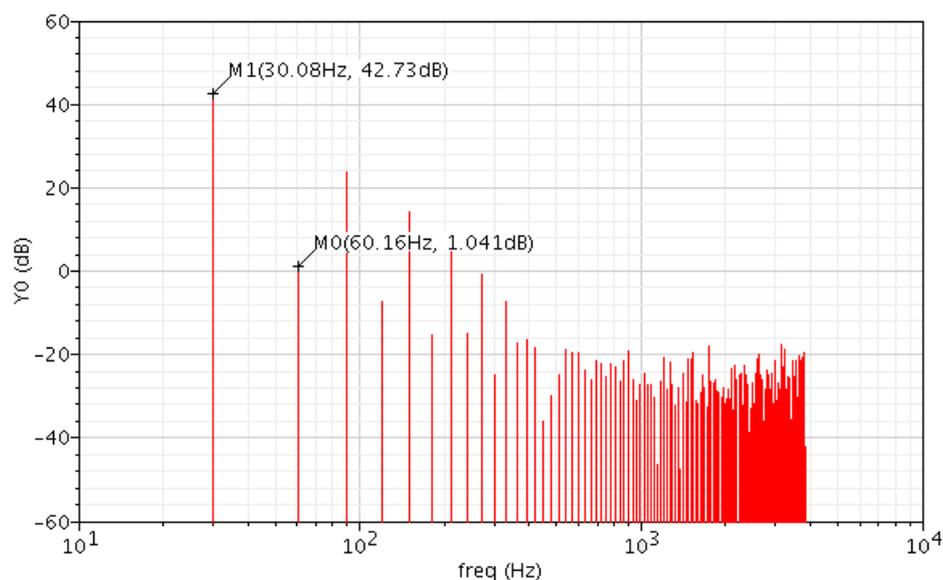


Figura 50 – DFT da saída do quantizador para o conversor AD single slope não linear *senh*.

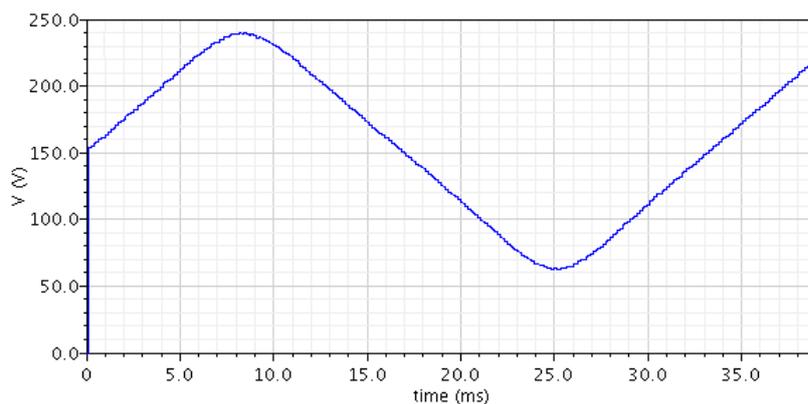


Figura 51 – Sinal amostrado do conversor ADC single slope não linear *tanh* utilizando uma senoide como sinal de entrada.

pouco em relação ao ADC não linear do seno hiperbólico como pode ser observado na Tabela 8. O valor do SNR foi de 42.95dB e possui a menor relação sinal ruído entre os três conversores

Parâmetro	Descrição	Valor
<i>SNR</i>	Relação sinal-ruído	42.95
<i>ENOB</i>	Número efetivo de bits	3.135

Tabela 8 – SNR e ENOB obtidos a partir do sinal de saída do quantizador tangente hiperbólica.

A entrada da senoide para os resultados obtidos da Figura 49 e 51 dos conversores AD não lineares foi de 1.5V, isso acarretou uma saturação nos picos dos dois sinais como

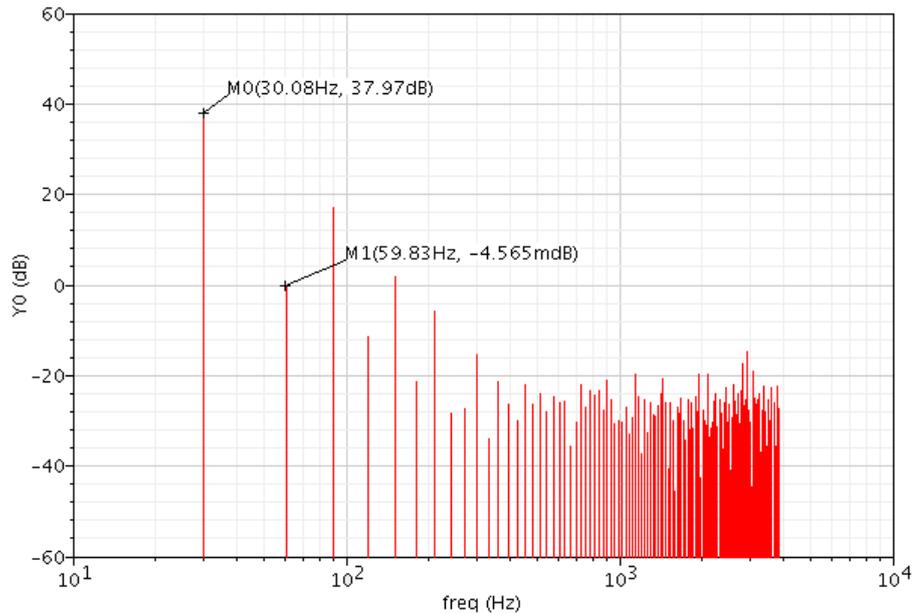


Figura 52 – DFT da saída do quantizador para o conversor AD single slope não linear *tanh*.

observado, para atenuar essa saturação obtida pela não idealidade do sistema alterou o valor da amplitude para 1V e se verificou os resultados.

Na Figura 53 (1) e 54 (1) é possível observar que com a diminuição da amplitude da senoide ocorreu menos distorção nos picos do ciclo, ou seja, a saturação provocada pelo sistema foi atenuado.

Parâmetro	Descrição	Valor
<i>SNR</i>	Relação sinal-ruído	45.71
<i>ENOB</i>	Número efetivo de bits	3.041

Tabela 9 – SNR e ENOB obtidos a partir do sinal de saída do quantizador seno hiperbólico.

Observando a Figura 53 (2) o tamanho da portadora diminuiu o que acarretou uma diminuição no SNR (Tabela 9), apesar da portadora ter diminuído para 41dB o ruído do sistema permaneceu. O ENOB (Tabela 9) aumentou devido a uma maior atenuação que o segundo harmônico sofreu.

Na Figura 54 ocorreu uma queda na portadora o que acarretou uma diminuição no SNR (Tabela 10) devido ao fato do ruído ter permanecido no sistema. O ENOB (Tabela 10) aumentou porque o segundo e terceiro harmônicos atenuaram mais que análise feita anteriormente. Apesar dessa atenuação ter sido grande os valores não mudaram tanto da Tabela 10 devido a portadora ter diminuído também.

As ferramentas utilizadas pelo pacote Virtuoso foram desenvolvidas para analisar uma função de transferência linear, o que trás erros quando o sistema não é linear e

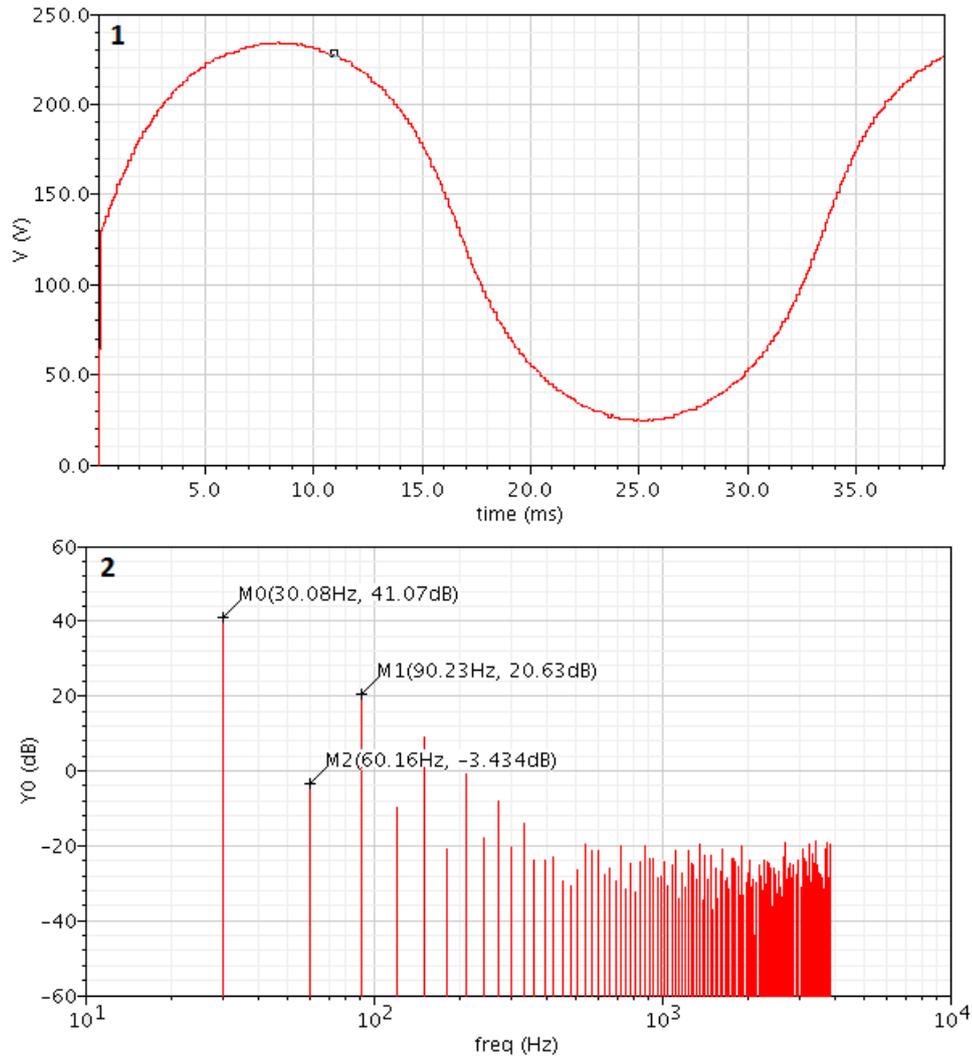


Figura 53 – (1) Sinal amostrado do conversor ADC single slope não linear *senh* utilizando uma senoide de amplitude de 1V como sinal de entrada. (2) DFT da saída do quantizador para o conversor AD single slope não linear *senh*.

Parâmetro	Descrição	Valor
<i>SNR</i>	Relação sinal-ruído	38.28
<i>ENOB</i>	Número efetivo de bits	4.436

Tabela 10 – SNR e ENOB obtidos a partir do sinal de saída do quantizador tangente hiperbólica.

acarreta imprecisão nos valores obtidos para ENOB e SNR calculados. As DFTs obtidas possuem bastante componentes harmônicos o que leva a ter um sinal impuro, quanto maior a atenuação dos harmônicos melhor será para o ADC. A tangente hiperbólica e o seno hiperbólico distorcem o sinal por não serem lineares o que provoca o aumento das componentes de distorção harmônica que são caracterizados pelo segundo e terceiro harmônico. Os resultados do ENOB e SNR dos ADCs lineares e não lineares deveriam ter sido obtidos valores próximos, essa inconstância observada precisa ser analisada.

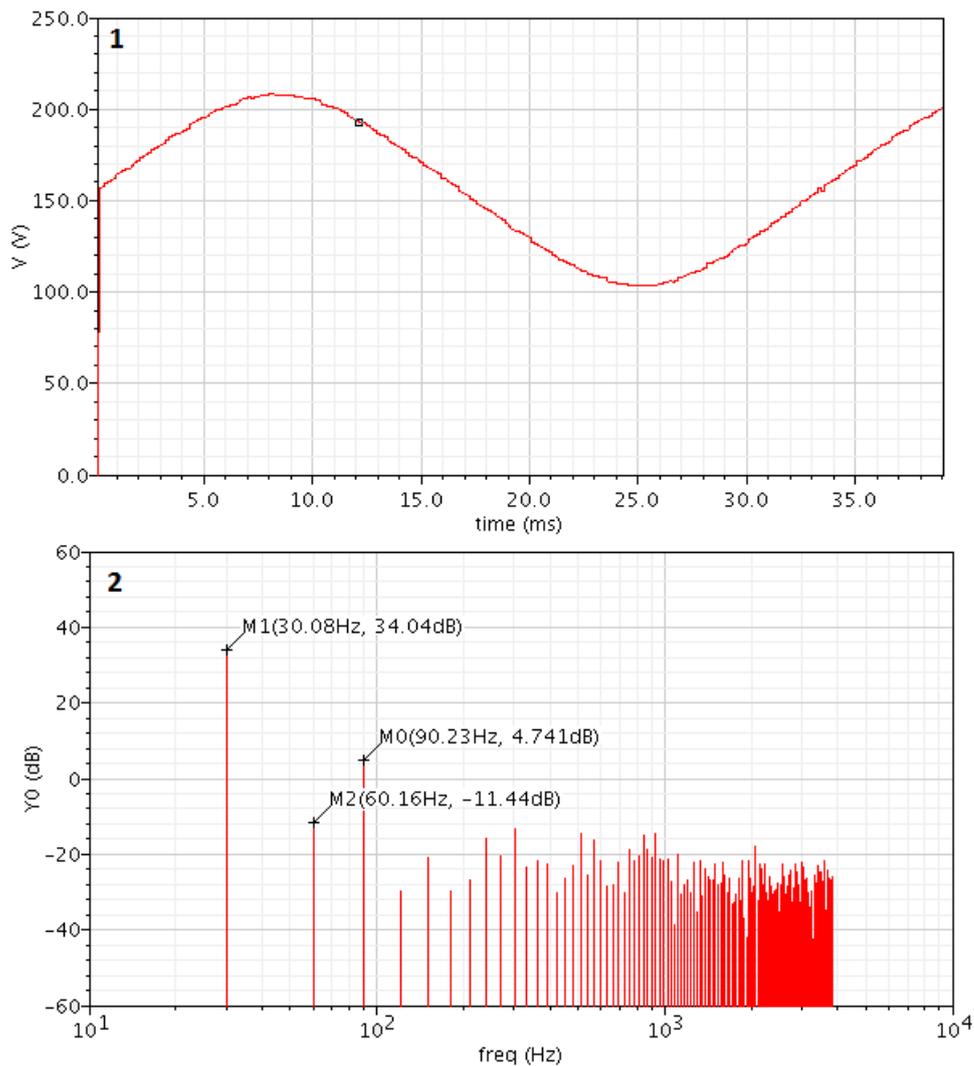


Figura 54 – (1) Sinal amostrado do conversor ADC single slope não linear \tanh utilizando uma senoide de amplitude de 1V como sinal de entrada. (2) DFT da saída do quantizador para o conversor AD single slope não linear \tanh .

Com os resultados obtidos é possível observar que os conversores ADs não lineares \sinh e \tanh possuem uma distorção devido a não idealidade intrínseca deste tipo de conversor. Apesar das mudanças para retirar a saturação da análise os resultados não melhoraram satisfatoriamente, então para validar ADC não linear é necessário um outro tipo de validação que não seja pelo método convencional para ADCs lineares.

Parte III

Conclusão e Trabalhos Futuros

6 Conclusão

Na dissertação desse trabalho de conclusão de curso foi em primeiro lugar abordado o funcionamento genérico dos conversores em geral, características, parâmetros estáticos e dinâmicos e apresentado algumas das topologias para que assim pudesse apresentar uma justificativa para escolha do conversor A/D integrador single slope com quantização não linear. A propensão do conversor single-slope se deu devido à simplicidade de operação e a pouca quantidade de componentes, além do baixo consumo de energia e fornece alta resolução o que pode proporcionar boa frequência de linha e rejeição de ruído.

A partir da fundamentação teórica foi modelado um conversor A/D com a topologia proposta na Figura 21 de um single-slope com quantização linear de 8 bits no pacote Virtuoso da Cadence Design Systems. Apesar de faltar alguns blocos a nível de transistor como proposto para o desenvolvimento do ADC integrador foi possível validar a lógica de conversão, obtendo resultados satisfatórios em validar as características ADC linear. Ao se obter os resultados da DFT a partir da quantização observou-se o aparecimento de segundo harmônico que precisa ser investigado a fundo devido isso provocar distorção harmônica o que provoca alterações significativas na obtenção de resultados.

A segunda etapa do trabalho foi a validação do conversor AD *Single Slope* não linear, onde se propôs apenas a mudança da rampa por uma função hiperbólica provocando a não linearidade devido ao formato da onda seno hiperbólico e tangente hiperbólico. Foi feita estas formas de onda com a utilização de transistores em inversão fraca ($V_{GS} < V_{TH}$), que é a região onde se tem as características exponenciais necessárias para formar as funções hiperbólicas. Os conversores AD *single slope* linear e não linear compartilham os mesmos blocos para comparação, que possui um comparador e uma porta AND, com o sinal analógico e para a quantização que é composto por um contador e um SH. A verificação das três formas ondas para a quantização está expressa na Figura 43 e Figura 45, é possível observar que a função tangente hiperbólica tem maior quantidade de degraus no meio do sinal, já a função seno hiperbólico tem maior quantidade de degraus nas extremidades do sinal, enquanto a rampa possui degraus uniformes por sua extensão. Quanto maior a quantidade de degraus em um determinado ponto, maior será sua resolução. Como já explicado a quantização é por quantidade de pulsos de clock então quanto maior a escala do sinal que será comparado com o sinal analógico menor será a resolução naquela região.

Devido a não idealidade do sistema do conversor AD linear e não linear o sistema pode possuir erro de degrau, o que provoca algumas anormalidade na quantização de um sinal analógico. Ao se fazer a DFT da quantização do conversor AD não linear as componentes de distorção harmônica aumentam que são caracterizados pelo segundo e

terceiro harmônico, o que provoca alterações significativas na obtenção de resultados.

Concluimos que o conversor AD não linear possui vantagens de resolução em regiões do sinal analógico de entrada que o conversor linear não possui, mas não significa que sua aplicação seria mais vantajosa que outra. É necessário, também, a aplicações de outro método para validar os conversores AD *single slope* não linear ou outra métrica de comparação entre os conversor AD linear e não linear.

6.1 Trabalhos Futuros

Durante o desenvolvimento do projeto observou-se alguns empecilhos para o ADC *single slope* ter um funcionamento de acordo com o esperado, apresentando não linearidades que se realçava no sinal quantizado, isso precisa ser investigado. Alguns componentes precisam ser feitos a nível de transistor como por exemplo, o comparador, SH, a fonte de corrente constante e fonte de tensão constate.

A aplicação do sinal analógico do ECG nos conversores ADs desenvolvidos e verificar quais as vantagens que se sobressaem no conversor AD *single slope* linear e não linear.

A validação do conversor AD *single slope* não linear *senh* e *tanh* precisa ser revisada devido as ferramentas disponíveis para se obter os resultados proposto no desenvolvimento do projeto são para analisar uma função de transferência linear, o que trás erros quando o sistema não é linear e acarreta imprecisão nos valores obtidos.

Referências

- ALLEN, P. E.; HOLBERG, D. R. *CMOS analog circuit design*. Oxford University Press, 2002. Citado 11 vezes nas páginas 13, 14, 17, 26, 32, 33, 38, 44, 45, 53 e 54.
- BAKER, B. *How delta-sigma adcs work, part 1. Analog Applications*. [S.l.], 2011. Citado 2 vezes nas páginas 13 e 46.
- BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation*. 3a ed. Hoboken, NJ: WileyIEEE Press, 2010. Citado 10 vezes nas páginas 13, 26, 32, 34, 39, 40, 41, 45, 46 e 47.
- FALLEIRO, F. D. *Conversor Analógico-Digital com capacitores mínimos integrado na tecnologia CMOS*. UFRJ, 2015. Citado na página 42.
- FLORES, M. d. G. C. C. *Teste embarcado de conversores analógico-digitais*. UFRGS, 2003. Citado na página 41.
- LATHI, B. P. Sistemas de comunicações analógicas e digitais modernos. 3a ed. In: . [S.l.: s.n.], 2012. Citado 3 vezes nas páginas 13, 31 e 35.
- MEDEIROS, J. E. G. The application of the unscented transform as a framework for modeling quantization in data conversion systems. Tese (Doutorado). Universidade de Brasília, 2016. Nenhuma citação no texto.
- PINHEIRO, J. M. S. Metodologia top-down. 2006. Disponível em: <<https://cursorede.files.wordpress.com/2009/09/3-metodologia-top-down.pdf>>. Nenhuma citação no texto.
- PLASSCHE, R. V. Cmos integrated analog-to-digital and digital-to-analog converters. In: . 2 ed.. Broadcom Netherlands Bv, Holanda e Broadcom, Irvine, CA, Estados Unidos: [s.n.], 2003. Citado 5 vezes nas páginas 13, 38, 39, 41 e 43.
- HAYKIN S. *Sistemas de Comunicação Analógicos e Digitais* 4a ed. São Paulo, 2001. Nenhuma citação no texto.
- House, L.; Hill J. *The Data Conversion Handbook* [S.l.]: Oxford Univ. Press, 2005. Nenhuma citação no texto.
- BEZERRA, T. B. *Desenvolvimento de um conversor A/D integrador com faixa de entrada e resolução programável a capacitor chaveado*, 2012. Citado 4 vezes nas páginas 13, 47, 48 e 49.
- LEDFOUR S. *Single-Slope Analog-to-Digital (A/D) Conversion*, 2004. Disponível em: <<http://www.nxp.com/docs/en/application-note/AN1708.pdf>>. Citado 3 vezes nas páginas 14, 26 e 56.
- DIDONET, R. J. *Conversor buck CMOS com controle PWN de frequência fixa em modo de tensão*, 2015. Nenhuma citação no texto.
- Pereira, S.; Pizzatto R.; Carati, E. G. *Conversão de sinais analógicos para digitais*, 2010. Citado na página 48.