Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

PROJETO DO MODULADOR A/D DO TIPO $\Sigma\Delta$ DE BAIXO CONSUMO DE POTÊNCIA APLICADO EM MARCA PASSO

Autor: Karine Ribeiro dos Santos
Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF
2017

Karine Ribeiro dos Santos

PROJETO DO MODULADOR A/D DO TIPO $\Sigma\Delta$ DE BAIXO CONSUMO DE POTÊNCIA APLICADO EM MARCA PASSO

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Brasília, DF

2017

Karine Ribeiro dos Santos

PROJETO DO MODULADOR A/D DO TIPO ΣΔ DE BAIXO CONSUMO DE POTÊNCIA APLICADO EM MARCA PASSO/ Karine Ribeiro dos Santos. – Brasília, DF, 2017-

99 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Sandro Augusto Pavlik Haddad

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2017.

1. Palavra-chave01. 2. Palavra-chave02. I. Prof. Dr. Sandro Augusto Pavlik Haddad. II. Universidade de Brasília. III. Faculdade UnB Gama. IV. PROJETO DO MODULADOR A/D DO TIPO ΣΔ DE BAIXO CONSUMO DE POTÊNCIA APLICADO EM MARCA PASSO

CDU 02:141:005.6

Karine Ribeiro dos Santos

PROJETO DO MODULADOR A/D DO TIPO $\Sigma\Delta$ DE BAIXO CONSUMO DE POTÊNCIA APLICADO EM MARCA PASSO

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho apresentado e aprovado na data 08 de Setembro de 2017, em Brasília, DF, pela banca examinadora:

Prof. Dr. Sandro Augusto Pavlik Haddad
Orientador

Prof. Dr. Wellington Avelino do Amaral
Convidado 1

Me. Yuri Cesar Rosa de Toledo
Convidado 2

Brasília, DF
2017

Dedico este trabalho aos meus pais Hilário (*In Memoriam*)
e Uilma, que me ensinaram que a jornada é mais importante que o destino.

Agradecimentos

Agradeço, primeiramente, à Deus por me conceder força, perseverança e fé para galgar os mais diversos caminhos e por nunca me deixar perder as oportunidades do bem. Ao meu pai, que me apoiaria em qualquer escolha que eu pudesse fazer ao longo da minha vida. A minha mãe, pelo amor gigantesco, lanchinhos da madrugada, abraços de incentivo e apoio ilimitado para realização do meu curso de graduação. Ao professor e orientador Sandro Haddad, pela orientação, críticas construtivas, paciência, apoio, confiança e oportunidade. A minha tia Anaurise, pela disponibilidade e boa vontade em me ajudar. A minha irmã Aline pela paciência e ajuda emocional. A Josefina pelas traduções. Ao meu namorado Guilherme pelas traduções, digitações, chocolates, críticas construtívas, incentivos constantes, apoio e paciência incondicional. Ao Yuri pelas ideias, disposição e paciência para me ensinar. A todos os meus amigos que me apoiam e acreditam em mim. Ao meu amigo Thiago pela ajuda com a construção dos desenhos, por todo carinho e paciência. E agradeço a todos que mesmo sem saber, fizeram os meus dias mais felizes durante o período de formação na faculdade.

"Não é sobre chegar no topo do mundo
e saber que venceu, é sobre escalar
e sentir que o caminho te fortaleceu."
(Ana Vilela)

Resumo

O presente trabalho de conclusão de curso aborda o uso do conversor analógico digital do tipo Sigma Delta com baixo consumo de potência para aplicação em um aparelho de marca-passo utilizando a metodologia Top-Down. Para a escolha do tipo de conversor realizou-se comparações entre diversas topologias com relação à resolução, velocidade suficiente e baixo consumo de potência. A topologia adotada retrata a análise do conversor Sigma Delta e a determinação dos seus parâmetros. Detalhando o conversor escolhido, determinou-se parâmetros específicos como ENOB e SNR, e analisou-se, para fins de validação da escolha do sistema, as simulações de moduladores de primeira e segunda ordem apresentando a sua função de transferência, o lugar geométrico das raízes, diagrama de blocos e, por fim, análise gráfica da resposta utilizando o software MATLAB. Contempla-se em nível transístor o modulador de primeira ordem e suas respectivas análises em AC, DC e transiente. Implementa-se, em baixo nível, uma proposta inovadora para o integrador do modulador de primeira ordem aplicando-se apenas um capacitor. Apresenta, também, a contextualização do projeto de um marca-passo, e a validação da simulação a partir da ferramenta CADENCE com tecnologia TSMC 0.13μm utilizando circuitos CMOS translineares em modo corrente para os moduladores do conversor Sigma Delta.

Palavras-chaves: Microeletrônica. Conversor A/D. Conversor Sigma Delta. Baixo Consumo de Potência. Marca-passo.

Abstract

This final undergraduate paper addresses the use of the low power consumption Sigma Delta analog-digital converter in pacemaker devices using a top-down approach. Comparisons between various topologies regarding resolution, sufficient speed and low power consumption lead to the selected converter. The adopted topology portrays the Sigma Delta converter analysis and the determination of its parameters. By detailing the converter, it was possible to determine specific parameters, such as ENOB and SNR; analyze the first and second order modulators' simulations, presenting their transference function, locus root, block diagram; including, finally, a graphical analysis of the answer using MATLAB software to validate the choice of the system. A transistor level analysis of the first order modulator's AC, DC, and transient. An innovative proposal for the first order modulator integrator here implemented at a low level employs only one capacitor. It also establishes context for a pacemaker's project and the simulation's validation derives out of the CADENCE tool with TSMC technology 0.13μm using translinear CMOS circuits in current mode for the Sigma Delta converter modulators.

Key-words: Microelectronics. A/D converter. Sigma Delta Converter. Low Power Consumption. Pacemaker.

Lista de ilustrações

Figura 1 – Metodologia *Top/Down* para a implementação do conversor ADC Sigma – Delta. (1) 30
Figura 2 – Exemplos de sinais (a) Analógico e contínuo no tempo, (b) Digital e contínuo no tempo, (c) Analógico e discreto no tempo. (d) Digital e discreto no tempo. (2) 36
Figura 3 – Representação geral de um bloco de conversão A/D.(3) 37
Figura 4 – Descrição de forma sucinta e genérica de um conversor A/D. (4) 37
Figura 5 – Modelo básico de Conversor *Two Step*. (5) 38
Figura 6 – Topologia de conversor A/D tipo *FLASH*. (6) 39
Figura 7 – Topologia de conversor por aproximação sucessiva SAR. (7) 40
Figura 8 – Modulação do tipo Sigma-Delta (4) 41
Figura 9 – Comparação entre parâmetros de um conversor ADC (8) 42
Figura 10 – (a) Exemplo da entrada de um sinal (b) Espectro do sinal amostrado. (9) 43
Figura 11 – Características ideais de entrada e saída de uma DAC de 3-bits. (6) . . 44
Figura 12 – Dente de serra com valor de 1LSB pico a pico em uma DAC de 3-bits. (6) 44
Figura 13 – INL, DNL, Monotonicidade em um DAC de 3 bit. (6) 45
Figura 14 – Coração humano: aspecto interno. (10) 47
Figura 15 – Coração humano: aspecto externo. (10) 48
Figura 16 – Visualização de um marca-passo e implantação do dispositivo no corpo humano. (11) 49
Figura 17 – Visualização do CAD explodido de um marca-passo. (11) 50
Figura 18 – Formato de onda de um sinal de ECG. 50
Figura 19 – Diagrama de blocos de um $\Sigma\Delta$. (12) 51
Figura 20 – Arquitetura do conversor $\Sigma\Delta$ (4) 52
Figura 21 – Ordem do Modulador $\Sigma\Delta$ e SNR x Taxa de amostragem (13) 53
Figura 22 – Comportamento das Funções de Transferência no modulador $\Sigma\Delta$ utilizando um filtro passa-baixas. 53
Figura 23 – Comportamento das Funções de Transferência no modulador $\Sigma\Delta$ utilizando um filtro passa-altas. 54
Figura 24 – Diagrama de Blocos de um modulador $\Sigma\Delta$ de 1ª ordem no domínio discreto (4) 55
Figura 25 – Plotagem de LGR de 1ª ordem feita no software MATLAB com base teórica em FÁVERO(14) 56
Figura 26 – Diagrama de blocos de um modulador Sigma-Delta de 1ª ordem. 56

Figura 27 – Resposta modulador Sigma-Delta de 1ª ordem, com formas de ondas de sinal de (a) entrada, (b) diferenciador, (c) integrador, (d) quantizador, e (e) DAC. 57
Figura 28 – Diagrama de Blocos de um modulador ΣΔ de 2ª ordem no domínio discreto (5) 58
Figura 29 – Plotagem de LGR de 2ª ordem feita no software MATLAB com base teórica em FÁVERO(14) 59
Figura 30 – Diagrama de blocos de um modulador Sigma-Delta de 2ª ordem. 59
Figura 31 – Resposta modulador Sigma-Delta de 2ª ordem, com formas de ondas de sinal de entrada (a), diferenciador do 1º ganho (b), 1º integrador (c), diferenciador após o 2º ganho (d), 2º integrador (e) e o quantizador (f). 60
Figura 32 – Etapa digital: filtragem e decimação (15) 61
Figura 33 – Processo de decimação digital (13) 62
Figura 34 – Representação de um NMOS: (a) em região ativa plotada em escala linear demonstrando assim a lei quadrática; (b) em região de sub-limiar plotada em escala logarítmica demonstrando assim a lei exponencial. . 66
Figura 35 – Representação do sentido da corrente em loop STL. (16) 67
Figura 36 – Representação DTL em transistores para validação. (17) 68
Figura 37 – Representação básica do bloco de um modulador de 1ª ordem 71
Figura 38 – Representação do modulador de 1ª ordem Corrente-Corrente 71
Figura 39 – Representação simplificada de um integrador *Log-Domain*. (16) 72
Figura 40 – Diagrama de bloco do filtro passa baixa de 1ª ordem em *Log-Domain*. (16) 72
Figura 41 – Topologia do filtro passa baixa de primeira ordem em *Log-Domain*. (17) 73
Figura 42 – Implementação do filtro passa baixa de primeira ordem em *Log-Domain* 74
Figura 43 – Análise AC do filtro de 1ª ordem. 75
Figura 44 – Análise em *Parametric Analyses* para verificação quanto a alterações da corrente no filtro 76
Figura 45 – Análise Transiente com sinal de ECG aplicado ao filtro passa baixas proposto 77
Figura 46 – Implementação do Integrador em *Log-Domain* 77
Figura 47 – Topologia básica da implementação do circuito comparador de corrente (10) 78
Figura 48 – Implementação do circuito inversor 79
Figura 49 – Símbolo do Esquemático do circuito inversor 79
Figura 50 – Implementação do circuito comparador de corrente 80
Figura 51 – Representação do modulador de 1ª ordem corrente-tensão 81
Figura 52 – Representação simbólica de um capacitor 81
Figura 53 – Símbolo do circuito DAC 82

Figura 54 – Esquemático do DAC do modulador de 1ª ordem 83
Figura 55 – Sinal modulado do modulador de 1ª ordem 84
Figura 56 – Transformada de *Fourrier* do sinal modulador de 1ª ordem 85
Figura 57 – Esquemático do modulador de 1ª ordem Corrente-Tensão 86
Figura 58 – Esquemático do modulador de 1ª ordem Corrente-Tensão 87
Figura 59 – Resposta transiente ao modulador de 1ª ordem Corrente-Tensão 88
Figura 60 – Resposta transiente ao modulador de 1ª ordem Corrente-Tensão: Sinal modulado (Vermelho); Sinal de Entrada (Senoíde verde) 88
Figura 61 – Resposta transiente ao modulador de 1ª ordem Corrente-Tensão: *Clock* do Sistema à F_{clock} 1MHz 89
Figura 62 – Transformada de *Fourrier* do sinal modulado de 1ª ordem 90
Figura 63 – Bloco do Conversor ADC completo de 1ª ordem (18) 94

Lista de tabelas

Tabela 1 – Comparação entre os diferentes métodos de conversão estudados (19) . 42
Tabela 2 – Cálculo da SNR para alguns bits. 46
Tabela 3 – Variações teóricas entre Corrente (I_0) e frequência de corte (F_c) utilizando capacitor fixo de 50p 75
Tabela 4 – Variações teóricas entre Capacitância (c) e frequência de corte (F_c) utilizando corrente fixa de 10n 75
Tabela 5 – Tabela de parâmetros da realização da DFT do modulador 85
Tabela 6 – Descrição de Pinos e valores para o *testbench* do modulador Corrente-Tensão 87
Tabela 7 – Tabela de parâmetros da realização da DFT do modulador 89

Lista de abreviaturas e siglas

ADC	Conversor Analógico – Digital
AC	Corrente Alternada
A/D	Analógico - Digital
CI	Circuito Integrado
CLK	*Clock* do sistema
CMOS	*Complemetary Metal Oxide Silicon*
DAC	Conversor Digital - Analógico
DC	Corrente Contínua
DECA	Departamento de Estimulação Cardíaca Artificial
DNL	Não Linearidade Diferencial
DR	*Dynamic Range*
DTL	Princípio Translinear Dinâmico
D/A	Digital /Analógico
ECG	Eletrocardiograma
ENOB	*Effective Number of Bits*
Fb	Frequência de Banda do Sinal
FFT	*Fast Fourier Transform*
FIR	*Finite Impulse Response*
Fm	Frequência Máxima do Sinal
Fs	Frequência de Amostragem
INL	Não Linearidade Integral
L	*Length*
LGR	Lugar Geométrico das Raízes

LSB	*Least Significant Bit*
MATLAB	*Matrix Laboratory*
MOS	*Metal Oxide Semiconductor*
MSB	*Most Significant Bit*
NMOS	*Metal Oxide Semiconductor* do tipo N
OVL	*Overloading Level*
PMOS	*Metal Oxide Semiconductor* do tipo P
SAR	*Succesive Aproximation Register*
SNR	Relação Sinal/Ruído
STL	Princípio Translinear Estático
SUS	Sistema de Saúde Unificado
S/H	*Sample and Hold*
Vdd	Tensão de Alimentação Positiva
W	*Width*

Lista de símbolos

γ	Letra grega minúscula gama
μ	Letra grega minúscula mi
Σ	Letra grega maiúscula Sigma
Δ	Letra grega maiúscula Delta
π	Letra grega minúscula pi

Sumário

1 INTRODUÇÃO . . . 27
1.1 Motivação e Justificativa . . . 27
1.2 Objetivo Geral . . . 28
1.3 Objetivos Específicos . . . 28
1.4 Metodologia . . . 29
1.5 Organização do Trabalho . . . 30

I REVISÃO BIBLIOGRÁFICA E DETALHAMENTO DO PROJETO 33

2 REVISÃO BIBLIOGRÁFICA . . . 35
2.1 Sinais . . . 35
2.1.1 Classificação dos Sinais . . . 35
2.1.1.1 Sinal Contínuo ou Discreto no Tempo . . . 35
2.1.1.2 Sinal Analógico e Digital . . . 35
2.1.1.3 Sinal Periódico e Aperiódico . . . 36
2.2 Tipos de Conversores Analógicos/Digitais (A/D) . . . 36
2.2.1 Processo de Conversão A/D . . . 36
2.2.2 Conversor A/D do Tipo *Two Step* (Rampa Dupla) ou Integrador . . . 38
2.2.3 Conversor A/D do Tipo *FLASH* ou Paralelo . . . 39
2.2.4 Conversor A/D do Tipo Aproximação Sucessiva (SAR) . . . 40
2.2.5 Conversor A/D do Tipo Sigma Delta ($\Sigma\Delta$) . . . 40
2.2.6 Quadro de Resumo das Comparações entre Conversores A/D . . . 41
2.3 Parâmetros Fundamentais para Conversão de Sinais . . . 43
2.3.1 Teorema da Amostragem . . . 43
2.3.2 Ruído de Quantização . . . 44
2.3.3 Não Linearidade Diferencial (DNL) e não Linearidade Integral/Acurácia Relativa (INL) . . . 45
2.3.4 Relação Sinal Ruído (SNR) . . . 45
2.3.5 Número Efetivo de Bits (ENOB) . . . 46
2.4 Especificidade do Projeto . . . 46
2.4.1 Anatomia Básica e Funcionamento do Coração . . . 47
2.4.2 Aparelho de Marcapasso . . . 49
2.4.3 Sinal de Eletrocardiograma (ECG) . . . 50

3 DETALHAMENTO DO PROJETO 51
3.1 Exposição do Motivo 51
3.2 Arquitetura e Funcionamento do Conversor $\Sigma\Delta$ 51
3.2.1 Estabilidade dos Moduladores 54
3.2.1.1 Modulador de 1ª Ordem 55
3.2.1.2 Modulado de 2ª Ordem 58
3.3 ETAPA DIGITAL: FILTRO E DECIMAÇÃO DIGITAL 61

II PROJETO, IMPLEMENTAÇÃO E RESULTADOS 63

4 PROJETO DO CONVERSOR A/D $\Sigma\Delta$ 65
4.1 Exposição do Motivo 65
4.2 Modulador $\Sigma\Delta$ em Modo Corrente 65
4.3 Corrente Sub-Limiar 65
4.4 Utilização do Domínio Logarítmico 66
4.5 Circuitos Translineares 66
4.5.1 Princípio Translinear 67
4.5.1.1 Princípio Translinear Estático (STL) 67
4.5.1.2 Princípio Translinear Dinâmico (DTL) 68

5 IMPLEMENTAÇÃO EM TECNOLOGIA CMOS 71
5.1 O modulador Corrente-Corrente 71
5.1.1 Filtro e Integrador Translinear - Log-Domain 72
5.1.2 Comparador de Corrente 78
5.1.3 Diferenciador e Bloco de Memória (*Latch*) 80
5.2 O modulador Corrente - Tensão 80
5.2.1 Capacitor como Integrador 81
5.2.2 DAC 82
5.3 Resultados dos moduladores projetados 84
5.3.1 Resultados: Modulador Corrente-Corrente 84
5.3.2 Resultados: Modulador Tensão-Corrente 86

III CONCLUSÃO E TRABALHOS FUTUROS 91

6 CONCLUSÃO E TRABALHOS FUTUROS 93
6.1 Conclusão 93
6.2 Trabalhos Futuros 94

REFERÊNCIAS 97

1 INTRODUÇÃO

Este capítulo descreve a motivação e justificativa, objetivos gerais e específicos, metodologia e organização do trabalho de conclusão de curso de Engenharia Eletrônica da Universidade de Brasília. Neste trabalho é proposto a implementação de um projeto de um conversor analógico-digital do tipo Sigma-Delta de baixo consumo de potência para otimização de um aparelho marca-passo.

1.1 Motivação e Justificativa

A engenharia eletrônica é capaz de projetar e desenvolver componentes e equipamentos microeletrônicos para diversas aplicações, e a engenharia biomédica é uma área que integra princípios das ciências exatas e ciências da saúde, desenvolvendo abordagens inovadoras aplicadas na prevenção, diagnóstico e terapia de doenças. Integrando as duas engenharias, o presente trabalho visa utilizar conhecimentos em microeletrônica para a aplicabilidade específica de um problema de insuficiência cardíaca, onde há um aumento da mortalidade devido a arritmias cardíacas caracterizadas por batimentos lentos ou por falha do mecanismo biológico.

Em 2015, segundo DECA(20), estimou-se que cerca de 22 milhões de pessoas eram portadoras de insuficiência cardíaca. O Brasil é o líder em número de mortes por insuficiência cardíaca no mundo, representando assim, uma em cada três internações no sistema de saúde unificado (SUS). Além disso, são cerca 100.000 novos casos por ano, sendo que 12,5% dos internados por causa da doença morrem nos hospitais brasileiros. (20)

Haja vista as consequências do problema, este trabalho propõe a otimização do aparelho de marca-passo por meio a microeletrônica analógica, visando a implementação de uma parte do projeto do sistema completo de um marca-passo. Esta parte se refere ao conversor analógico digital (A/D), responsável pela comunicação entre o mundo real e o mundo digital, em outras palavras, entre a recepção de um sinal analógico e todo o processo para devolver um sinal digital em forma de resposta. Existem inúmeros conversores A/Ds, mas de forma geral, pode-se definir os que trabalham à taxa de conversão igual a taxa de amostragem de *Nyquist* e aqueles que operam à taxa de sobreamostragem, também conhecida como *Oversampling*. O primeiro deles é rápido e geralmente utilizado para altas frequências, mas com limitação de resolução (10-12 bits), já o segundo, pode trabalhar com taxas muito maiores que a frequência de *Nyquist*, possui filtro digital em sua saída, o que ameniza a figura de ruído e filtra o ruído fora da banda, oferece alta resolução, baixo custo e

técnicas de *Noise Shaping* e *Oversampling*. SCHREIER, TEMES e NORSWORTHY(21).

Aparelhos de marca-passo são dispositivos, os quais, devem ser leves, pequenos, ter alta precisão e durabilidade, além de apresentar limites para consumo de energia e potência de acordo com a alimentação do aparelho, acarretando a necessidade de que tais dispositivos tenham baixa potência dissipada e eficiência energética. ROCHA(19).

Em síntese, para atender as especificidades do projeto para resolução do problema, aqui mencionados, o presente trabalho apresenta o modulador do conversor A/D do tipo Sigma Delta em modo corrente de baixo consumo de potência causando assim a otimização do circuito para maior durabilidade e precisão. Apresenta-se, também, outro circuito corrente-tensão para inovar o sistema do conversor.

1.2 Objetivo Geral

O objetivo deste trabalho é o projeto dos moduladores de 1ª e 2ª ordem à nível de sistema de um conversor analógico-digital (ADC) de baixo consumo de potência específico para uso em um aparelho biomédico marca-passo. É necessário para se atingir o objetivo, o entendimento da topologia do conversor Sigma-Delta, e também, testes em simulações e o desenvolvimento do circuito modulador de 1ª ordem utilizando a ferramenta CADENDE TSMC 0.13μm em modo corrente e em modo corrente-tensão com a tecnologia CMOS (*Complemetary Metal Oxide Silicon*).

1.3 Objetivos Específicos

Os objetivos específicos são baseados em resultados do objetivo geral e podem ser definidos como as etapas do projeto deste trabalho:

- Escolha da aplicação do projeto;
- Entendimento do processo de conversão ADC;
- Pesquisa referente a tipos de conversores e escolha do mais adequado ao projeto;
- Detalhamento da topologia escolhida;
- Simulação para validação da escolha da topologia utilizando diagrama de blocos na ferramenta *Simulink* do software MATLAB;
- Obtenção de parâmetros de projeto suficientes para prosseguir na construção do circuito;
- Simulação e projeto dos moduladores de 1ª ordem do circuito em modo corrente-corrente e corrente-tensão utilizando o software CADENCE e tecnologia CMOS;

- Exposição dos resultados do funcionamento dos moduladores em nível transístor;
- Implementação em projeto futuro: decimador digital, layout do circuito integrado (CI) e envio para construção do CI em fábrica para validação e testes em trabalho de mestrado.

1.4 Metodologia

Para a organização do trabalho, aplicou-se a abordagem *Top-Down* na qual se utiliza estratégias de processamento de informação e ordenação de conhecimento a partir da fragmentação de um sistema até a compreensão de todos os seus subsistemas. De outra maneira, isto é, um passo a passo, para apresentação do produto, no caso o circuito integrado do conversor Sigma Delta, detalhando seus parâmetros de níveis básicos até realizações de simulações e projeto para a construção, desenvolvimento e verificação do mesmo.

Segundo Karplus (22), um modelo é definido como a descrição das relações entre objetos que compõem um sistema; este sistema é o conversor Sigma-Delta. Este trabalho consiste em apresentar duas das três etapas de modelagem: modelagem verbal, modelagem diagramática e modelagem física. Dentre as três, aborda-se aqui, a modelagem verbal por meio de referências bibliográficas para a descrição do sistema em estudo e a modelagem diagramática que consiste na formação de blocos para explicação do sistema. O diagrama *Top-Down* do trabalho pode ser observado na Figura 1.

A partir da Figura 1 e usufruindo da abordagem *Top-Down* e do modelo de *Karplus*, definiu a seguinte metodologia de trabalho em 12 etapas:

1. Interesse em resolver um problema que afeta 22 milhões de pessoas;
2. Levantamento bibliográfico do funcionamento do conversor analógico-digital;
3. Descrição de topologias e análises de parâmetros;
4. Escolha da topologia mais adequada para a resolução do problema;
5. Simulação em alto nível utilizando o software MATLAB;
6. Otimização e testes da simulação em alto nível com diagrama de blocos;
7. Comprovação em alto nível da estabilidade do conversor escolhido;
8. Substituição da simulação em alto nível para nível de transistores;
9. Simulação a nível de transistores utilizando a ferramenta CADENCE;
10. Validação a partir de uma nova verificação a nível de transistores;

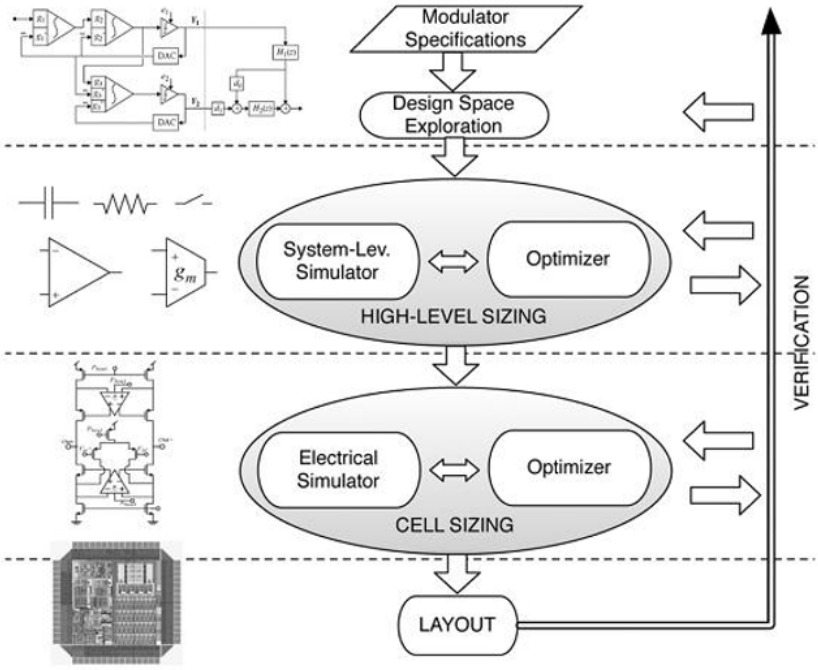

Figura 1 – Metodologia *Top/Down* para a implementação do conversor ADC Sigma – Delta. (1)

11. Documentação do fluxo de projeto;

12. Planejamento para implementação de *Layout* e testes em trabalhos futuros.

Sendo definidas as etapas em tópicos, tem-se a modelagem verbal equivalente aos tópicos 1 a 4 e também 11, modelagem diagramática dos tópicos 5 a 10 e modelagem física referente ao tópico 12, o qual é uma proposta para trabalhos futuros.

1.5 Organização do Trabalho

O trabalho está organizado em três partes distintas. Onde a primeira parte é referente ao capítulo 1 ao 3, a segunda parte os capítulos 4 e 5 e terceira o capítulo 6.

Neste primeiro capítulo apresenta-se a introdução, motivação e justificativa, objetivos gerais e específicos, metodologia e organização do trabalho.

O segundo capítulo apresenta uma revisão bibliográfica expondo desde o que são sinais até seu tratamento de conversão analógico-digital e seus parâmetros, além de demonstrar topologias diferentes de conversores para a escolha da melhor aplicabilidade ao estudo, demonstrado também aqui, do marca-passo.

O terceiro capítulo relata a justificativa da escolha do conversor Sigma-Delta, cálculos de parâmetros importantes de projeto, descrição da parte analógica e parte digital

do conversor escolhido e validação das justificativas utilizando simulações no software MATLAB ®.

O quarto capítulo é delimitado à descrição de princípios fundamentais para a implementação, no quinto capítulo, dos blocos individuais dos moduladores de 1ª ordem em modo corrente- corrente e corrente-tensão.

O quinto capítulo apresenta a descrição individual dos blocos da implementação do modulador operando a ferramenta CADENCE Virtuoso com tecnologia CMOS TSMC 0.13μm. Os circuitos são implementados e testados para validação em nível transístor.

O sexto, e último, capítulo consiste na apresentação das conclusões sobre o trabalho realizado, as propostas futuras de implementação e o mapa de planejamento da finalização do projeto.

Parte I

REVISÃO BIBLIOGRÁFICA E DETALHAMENTO DO PROJETO

2 REVISÃO BIBLIOGRÁFICA

Este capítulo é delimitado à revisão bibliográfica referente a conversores analógico-digitais, com ênfase ao conversor analógico-digital do tipo Sigma-Delta com baixo consumo de potência. Demonstra-se aqui, alguns parâmetros para o projeto de um conversor analógico-digital e também, revisões a respeito dos sinais analógicos e digitais com destaque ao sinal do eletrocardiograma e conceitos fundamentais sobre o coração e o seu funcionamento.

2.1 Sinais

O termo sinal é a representação qualitativa ou quantitativa a qual porta uma informação, ou também, de como um parâmetro varia em relação ao outro. Essa representação possui classificações e deriva de diferentes origens, seja mecânica ou biológica, para que se possa entender, modelar, representar ou transmitir uma informação. Esta informação é interpretada por meios elétricos e podem ou não variar de acordo com o tempo e com a distância.

2.1.1 Classificação dos Sinais

Existem diversas classificações de sinais, contudo, para o escopo deste trabalho de conclusão de curso, limita-se à classificação, de maneira geral, como sinal contínuo ou discreto no tempo, sinal analógico, digital, periódico e aperiódico.

2.1.1.1 Sinal Contínuo ou Discreto no Tempo

O sinal o qual sempre é especificado o seu valor no tempo t é o sinal em tempo contínuo. O sinal o qual é especificado somente o seu valor discreto em t é o sinal em tempo discreto. (2) Ou seja, um sinal discreto é uma função proveniente de outra função, real, a qual exibe uma sequência de Deltas de *Dirac* coincidentes com o valor da função, demonstrando assim, valores em pontos isolados. Já o sinal contínuo é aquele no qual se apresenta uma função inteira e se pode acompanhá-la em sua forma real e direta. Classificam-se esses, ao longo do tempo.

2.1.1.2 Sinal Analógico e Digital

Classificam-se estes por suas amplitudes, ou seja, o sinal cuja amplitude pode ter diversos valores, até mesmo infinitos, em uma faixa contínua é o sinal analógico. O sinal digital, por sua vez, é aquele no qual existem finitos valores de amplitude. (2)

2.1.1.3 Sinal Periódico e Aperiódico

O sinal periódico é determinado pela repetição ou período, no qual demonstra a mesma característica, ou seja, se ele se repete ao longo do tempo. E o sinal aperiódico é aquele no qual não se tem uma forma específica, ou tempo para repetição. A Figura 2 abaixo demonstra os tipos de sinais apresentados.

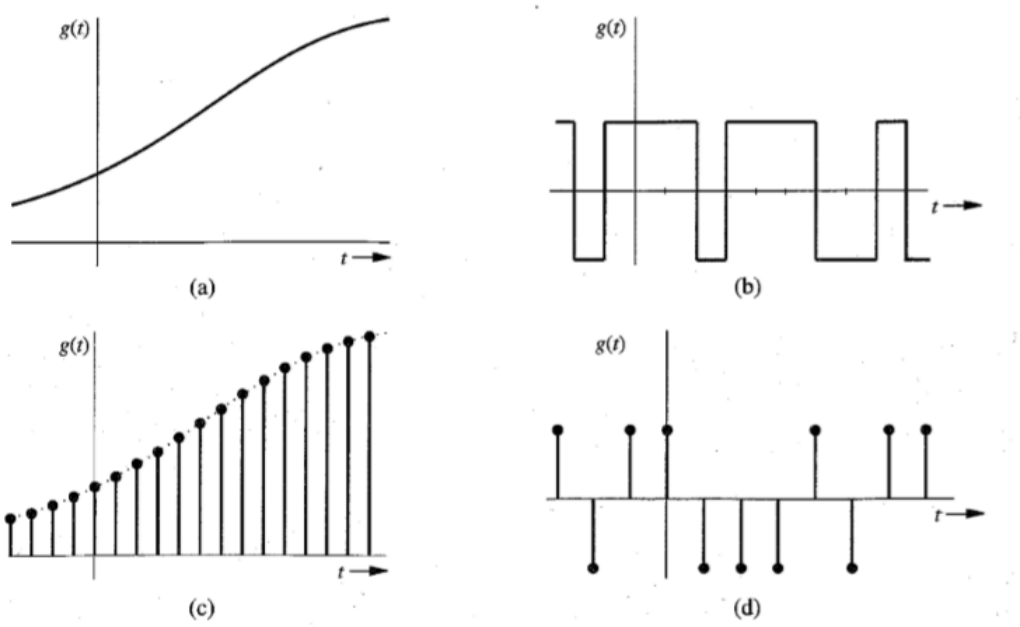

Figura 2 – Exemplos de sinais (a) Analógico e contínuo no tempo, (b) Digital e contínuo no tempo, (c) Analógico e discreto no tempo. (d) Digital e discreto no tempo. (2)

2.2 Tipos de Conversores Analógicos/Digitais (A/D)

Existem diversos tipos de conversores analógicos-digitais para diferentes aplicações e que se adequam de maneira apropriada a especificações de projetos. Para a escolha do conversor ideal para aplicação e tratamento no sinal de ECG para um marca-passo analisou-se os demais tipos, verificando, principalmente, resolução, velocidade e baixo consumo de potência.

2.2.1 Processo de Conversão A/D

Utilizar sinais analógicos é o mesmo que trabalhar com diversas e até infinitas amplitudes em uma faixa contínua, já o uso do sinal digital é aquele no qual os valores das amplitudes são finitos e discretos. Ou seja, de maneira geral, manusear um sinal digital é mais prático quando comparado a um sinal analógico. O processo de conversão analógico-digital (A/D) é realizado para que o trabalho com sinais seja assim facilitado.

A conversão por sua vez é dada de maneira sistêmica por meio de um conversor A/D, esse é responsável por receber um sinal analógico e devolver um sinal digital. De maneira geral, BAKER(3) define que um conversor tem uma estrutura básica de acordo com a Figura 3.

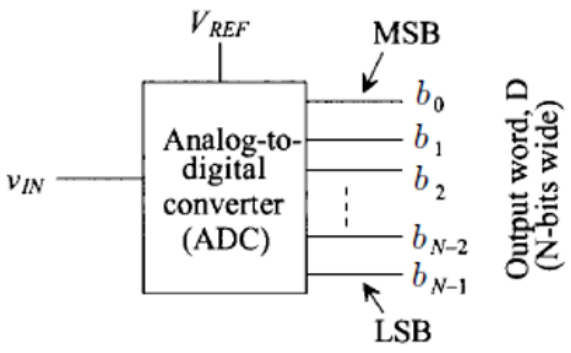

Figura 3 – Representação geral de um bloco de conversão A/D.(3)

A Figura 3 é um bloco de conversão A/D onde se introduz uma entrada (V_{IN}) e também se mantém uma tensão de referência V_{REF}, define-se b_0 como o MSB e o b_{N-1} como o LSB e D como uma palavra de N bits. Analisando de forma mais detalhada, embora genérica, a parte interna do conversor A/D tem-se a estrutura da Figura 4.

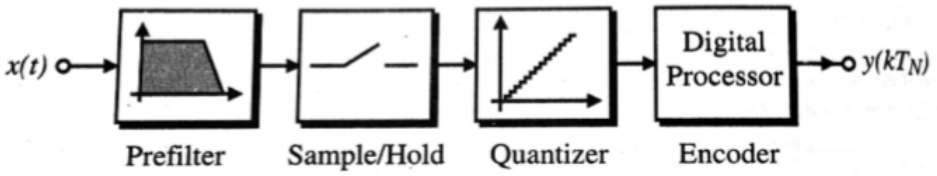

Figura 4 – Descrição de forma sucinta e genérica de um conversor A/D. (4)

Este processo evidenciado na Fig. 4 é formado por blocos; o primeiro bloco tem a função de amenizar ou evitar o *Aliasing*, o segundo, o bloco integrado *Sample/Hold* (S/H) é responsável pela amostragem do sinal analógico e também por mantê-lo constante no valor amostrado. Por fim, o terceiro bloco *Quantizer* é o que realiza a quantização do sinal. A última etapa (quantização) realiza divisões do sinal em intervalos, e quando obtém amostras do sinal as aloca no valor mais próximo do mesmo. O nível de quantização é atribuído em uma codificação binária de N bits, as distâncias entre os níveis não são necessariamente idênticas, ou seja, têm-se 2N intervalos uniformes, sendo que N é o número de bits do código digital de saída. Para que o processo de conversão aconteça é necessário que haja um conversor do tipo A/D, este são detalhados e evidenciados nas seções 2.2.2 a 2.2.5.

2.2.2 Conversor A/D do Tipo *Two Step* (Rampa Dupla) ou Integrador

O conversor do tipo *Two Step*, de acordo com a Figura 5, funciona a partir de duas integrações. Por análise, nota-se que S0 é acionada para que haja descarga do capacitor e S_1 se encontra na entrada analógica (V_{IN}) a qual se conecta a entrada inversa do integrador por um tempo até que o contador esteja preenchido.

O intervalo entre o preenchimento do contador faz com que capacitor seja carregado e que o integrador gere uma rampa decrescente na sua saída. Quando o último preenchimento do contador acontece (determinado pelo final do tempo designado), esse é zerado e gerará um pulso de *overflow*. Então, quando o sinal de *overflow* é recebido, a contagem estaciona e a chave S_1 é alternada para a tensão de referência negativa (V_{r-}).

Quando esta tensão negativa é inserida, o integrador descarrega o capacitor e entrega uma rampa crescente em sua saída, durante um novo intervalo de tempo. Durante esse novo intervalo de tempo, os pulsos de *clock* são contados até que se realize um total proporcional à Vin. Quando o tempo termina, a tensão da rampa é zero, e o comparador detector de zero ativa a lógica de controle que finaliza a conversão e o processo pode ser refeito com uma nova Vin. (9)

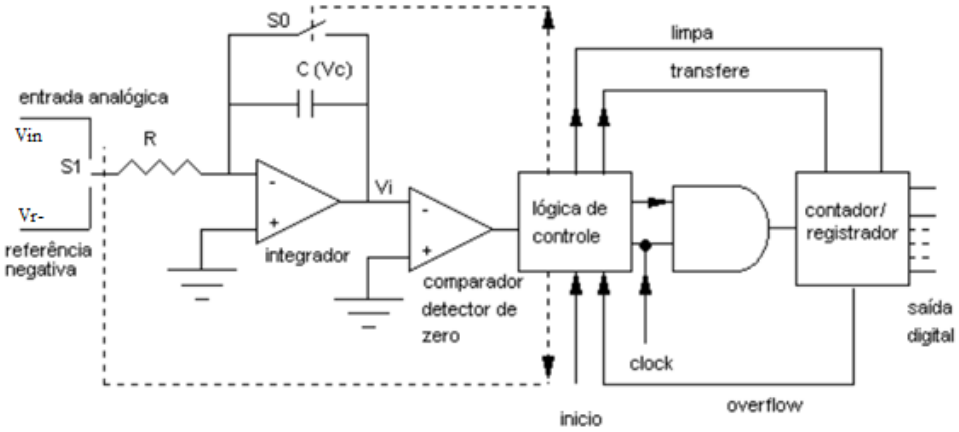

Figura 5 – Modelo básico de Conversor *Two Step*. (5)

Este conversor é taxado como lento, devido à necessidade de dois tempos para que a conversão seja completada, e de alta resolução (1ms para 20 bits), e é também insensível à tolerância de R e de C e frequência do *clock* (tornando-o independente da mesma), e possui baixo *offset* e erro de ganho, e por ser do tipo rampa, apresenta uma linearidade alta. (9)

2.2.3 Conversor A/D do Tipo *FLASH* ou Paralelo

O conversor do tipo *Flash*, de acordo com a Figura 6, funciona a partir do uso de 2^N-1 comparadores para um conversor de N bits.

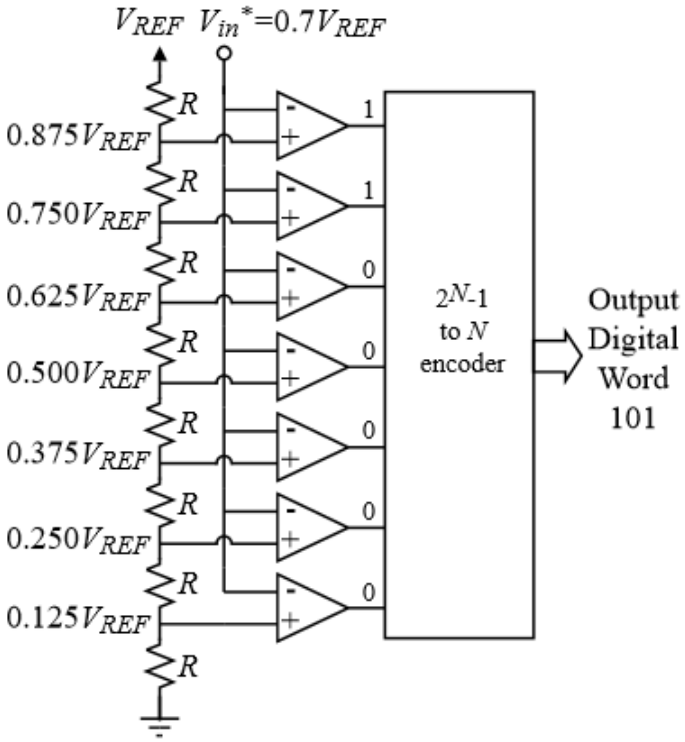

Figura 6 – Topologia de conversor A/D tipo *FLASH*. (6)

Por análise da Figura 6, entende-se que o conversor funciona em primeira instância do relógio, e que a entrada analógica é amostrada e injetada aos comparadores. Assim, é obtido um código diferente da numeração binária, tornando necessário utilizar a rede de codificação digital *(encoder)*, que por sua vez converte a palavra binária de saída. É importante destacar que o código binário deve ficar disponível em suas entradas enquanto a conversão acontece porém não deve haver perda de informação no processo, e, isso é feito a partir da inserção de *latch's* que aprisionam a palavra que será convertida. (23)

Esse é considerado o conversor mais rápido devido a sua topologia, contudo o mesmo necessita de uma grande quantidade de comparadores e tem resolução aproximada de 8 bits. Essa grande quantidade de comparadores deriva-se da necessidade de utilizar 2^N -1 comparadores para um conversor de N bits, ou seja, para um conversor de 3 bits são necessários 7 comparadores e para um conversor de 8 bits são necessários 257. (9) Assim, o mesmo demanda uma utilização de área maior e consumo alto, o que não o limita, mas não o favorece em relação ao demais.

2.2.4 Conversor A/D do Tipo Aproximação Sucessiva (SAR)

O conversor do tipo SAR, de acordo com a Figura 7, funciona a partir de uma conversão rápida que pode chegar a 100 mil ou mais conversões por segundo. Para essa topologia, um sistema de N bits necessita de um tempo de conversão de N períodos de *clock*. (24)

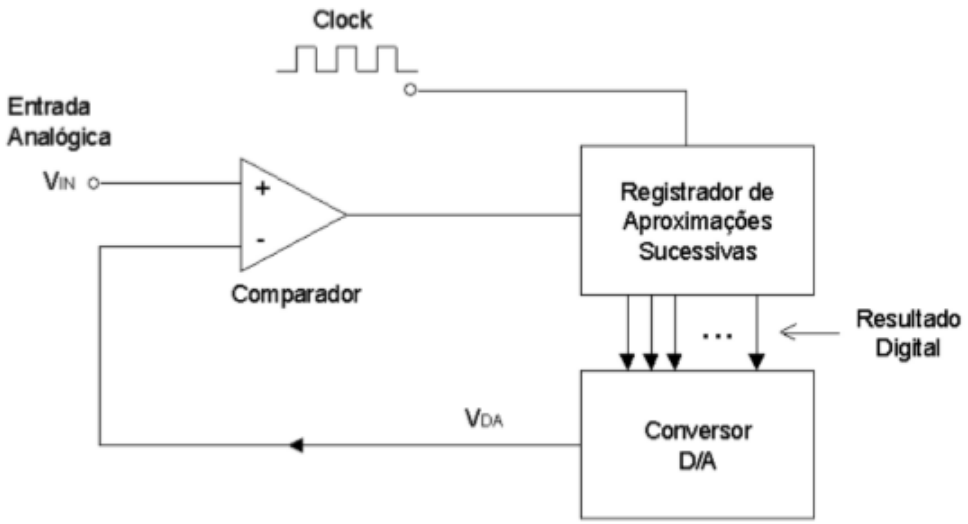

Figura 7 – Topologia de conversor por aproximação sucessiva SAR. (7)

O conversor SAR é semelhante a um registrador de deslocamento, e este compara N vezes a entrada V_{IN} à tensão de referência V_{REF} a partir do acionamento do tempo de *clock*, colocando-o em 0. A primeira etapa é a comparação que verifica se V_{IN} é maior ou menor que $\frac{1}{2}$ de $V_{MÁX}$ (tensão máxima de entrada do conversor). A segunda etapa analisa em qual $\frac{1}{4}$ da variação V_{IN} se enquadra, vale ressaltar que em cada etapa que ocorre de modo sucessivo, acontece um estreitamento de $\frac{1}{2}$ na faixa dos possíveis resultados. A lógica de controle assume o MSB como 1 e os outros como 0, se a saída do comparador for alta, a lógica de controle determina que MSB será 1 e se for baixa, MSB será 0. Esse processo acontece de modo sucessivo, até que todos os N bits sejam aproximados. (23)

2.2.5 Conversor A/D do Tipo Sigma Delta ($\Sigma\Delta$)

O conversor do tipo $\Sigma\Delta$, de acordo com a Fig. 8, funciona a partir de taxas de amostragem com frequências superiores às frequências de *Nyquist*, também conhecido como sobreamostrados, utiliza-se também uma realimentação negativa e filtragem digital.

De maneira geral e sucinta, o conversor Sigma Delta possui duas partes: uma analógica e outra digital. A parte analógica é constituída de um modulador do tipo $\Sigma\Delta$ e responsável por receber o sinal inserido no sistema e dirigi-lo ao modulador e posteriormente ao integrador. Neste processo o sinal é amostrado e quantizado e caso necessário o

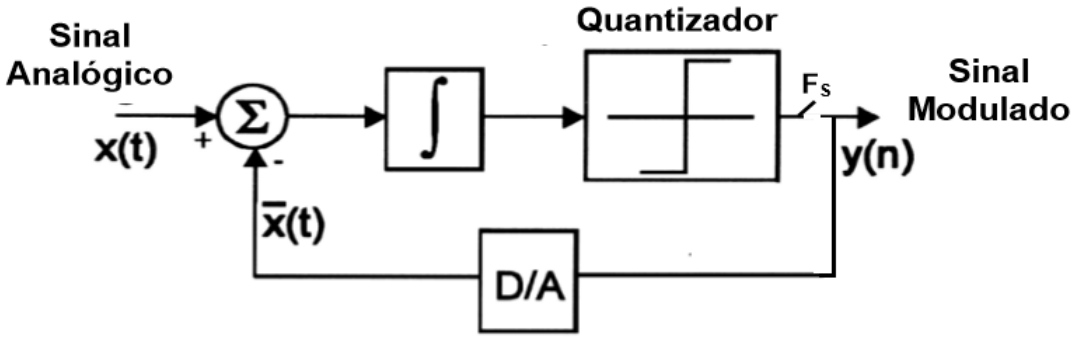

Figura 8 – Modulação do tipo Sigma-Delta (4)

processo é repetido. Já na parte digital, constitui-se de um filtro passa-baixa o que devolve o sinal à taxa de amostragem de *Nyquist* sem perda de informação. (25)

Esses conversores são capazes de realizar conversões de até 24 bits. Funcionam a partir de um modulador Sigma-Delta, um filtro digital, o qual retira o ruído fora da largura de banda e um decimador que funciona como um filtro passa-baixas. Apresenta alta resolução, velocidade razoável pois varia de acordo com a quantidade de bits, baixo custo e alta integração. Além de portar técnicas de *oversampling e noise shaping*, as quais são características responsáveis por fazer com que a densidade de ruído de quantização se propague por uma larga banda de frequência e também, por modificar a densidade de ruído de maneira com que este aumente em altas frequências e diminua em baixas frequências, respectivamente. (9)

Os conversores desta topologia usufruem de apenas 1 bit, a sua SNR seria igual a 7,78 dB o que é bastante baixo. Contudo, devido às características de *Oversampling* o ruído é colocado em altas frequências do espectro e não somente espalhado por todo o espectro e esse efeito é conhecido como *noise shaping*. Com esse ruído aglomerado em uma faixa de frequência acima do dado amostrado, tem-se a facilidade de construir um filtro para a remoção do mesmo, aumentando assim a relação entre sinal e ruído (SNR). Esse tipo de filtro, como dito anteriormente, é um filtro passa baixas e compreende a etapa digital do conversor $\Sigma\Delta$.

Dentre as topologias apresentadas de forma sucinta até aqui, este último foi o conversor escolhido para a aplicação de baixo consumo de potência no aparelho de marca-passo. E será detalhado no capítulo 3.

2.2.6 Quadro de Resumo das Comparações entre Conversores A/D

Visto que existem conversores sobreamostrados e aqueles que trabalham na frequência de *Nyquist* e analisando os requisitos do projeto, optou-se pela escolha do modulador do tipo Sigma-Delta, uma vez que esse apresenta alta resolução, baixo consumo de potên-

cia e velocidade razoável. A Fig. 9, adaptada de BEZERRA(8) evidencia as comparações entre velocidade potência e resolução.

Figura 9 – Comparação entre parâmetros de um conversor ADC (8)

A Figura 9 evidencia que o Sigma-Delta apresenta alta resolução, baixo consumo de potência e uma velocidade razoável em relação aos demais conversores aqui comparados.

Para que a escolha fosse realizada com sucesso e segurança, verificaram-se todos os parâmetros necessários para validação da escolha, com auxílio de estudos aqui realizados. Na tabela 1, SILVA(13) evidencia, com base em BEZERRA(8), uma forma comparativa entre os principais tipos de conversores.

Tabela 1 – Comparação entre os diferentes métodos de conversão estudados (19)

	Aproximações Sucessivas - SAR	**Paralelo - Flash**	**Rampa Dupla**	**Sigma-Delta ΣΔ**
Facilidade de Interface com o Processador	Média	Alta	Média	Alta
Tempo de Conversão ($\frac{1}{fs}$)	Aumenta linearmente com o aumento da resolução	Tempo de conversão não muda com a maior resolução	Tempo de conversão dobra a cada aumento de um bit na resolução	Baixo, para resolução < 14 bits Médio, para 14 bits < resolução < 16 bits Alto, para 16 bits > resolução
Resolução	Médias a altas 8 a 16 bits	Tipicamente limitado a resolução de 8 bits	Altas	Altas
Tamanho	Aumenta linearmente com o aumento da resolução	(2^N - 1) de comparadores, tamanho aumenta exponencialmente com a resolução	Tamanho não altera substancialmente com o aumento da resolução	Tamanho não altera substancialmente com o aumento da resolução
Custo	Elevado	Alto	Baixo	Médio

Assim, o conversor do tipo Sigma-Delta foi escolhido para aplicação de um projeto de marca-passo de baixo consumo de potência. O conversor será detalhado no capítulo 3.

2.3 Parâmetros Fundamentais para Conversão de Sinais

É importante ressaltar que para se converter um sinal analógico em digital é preciso ter o conhecimento de alguns parâmetros e métodos para que o processo seja efetuado. Os quais são demonstrados, de forma resumida, nesta seção 2.3.

2.3.1 Teorema da Amostragem

O teorema da amostragem de *Nyquist-Shannon*, o qual é popularmente conhecido como Teorema de *Nyquist* é de suma importância quando se trata de processamento de sinais. Amostrar um sinal significa converter um sinal em uma sequência numérica, ou seja, processar um sinal contínuo no tempo em um sinal discretizado.

O teorema demonstra que um sinal analógico limitado em banda e que foi amostrado pode ser perfeitamente recuperável a partir de uma sequência infinita de amostras, isto condicionado a uma taxa de amostragem maior que 2 vezes a Fm (Frequência Máxima do sinal original) amostradas por segundo. Isto é, um sinal só pode ser reconstruído perfeitamente se, e somente se, a sua taxa de amostragem for maior ou igual a 2 vezes a Fm. Contudo, existe um problema quando não se satisfazem as condições necessárias para o funcionamento do teorema, esse é conhecido como *aliasing* demonstrado na Fig. 10.

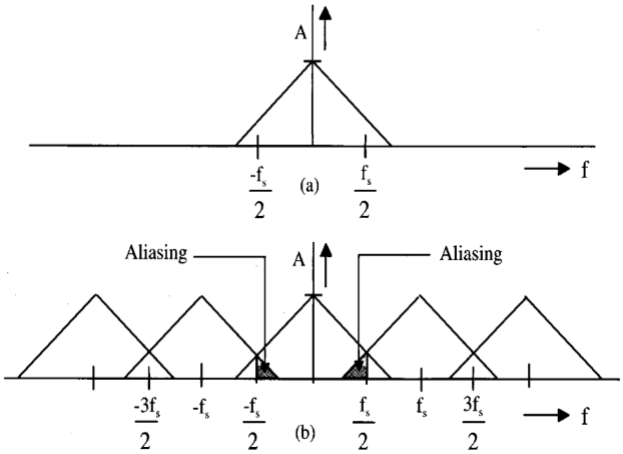

Figura 10 – (a) Exemplo da entrada de um sinal (b) Espectro do sinal amostrado. (9)

Este fenômeno conhecido como *aliasing* é visível, pois se notam cópias adjacentes e sobrepostas à função original. Para resolução desse problema utiliza-se um filtro *anti-aliasing*, que, por sua vez, limita a largura de banda do sinal fazendo com que este satisfaça os critérios da amostragem adequada ao mesmo. Quando se pretende reduzir o ruído de quantização deve-se aumentar a taxa de amostragem, o que é denominado *OverSampling*.

2.3.2 Ruído de Quantização

O ruído de quantização é uma incerteza de digitalização de um valor analógico com uma finita resolução de conversão assim demonstradas na Fig. 11. (6)

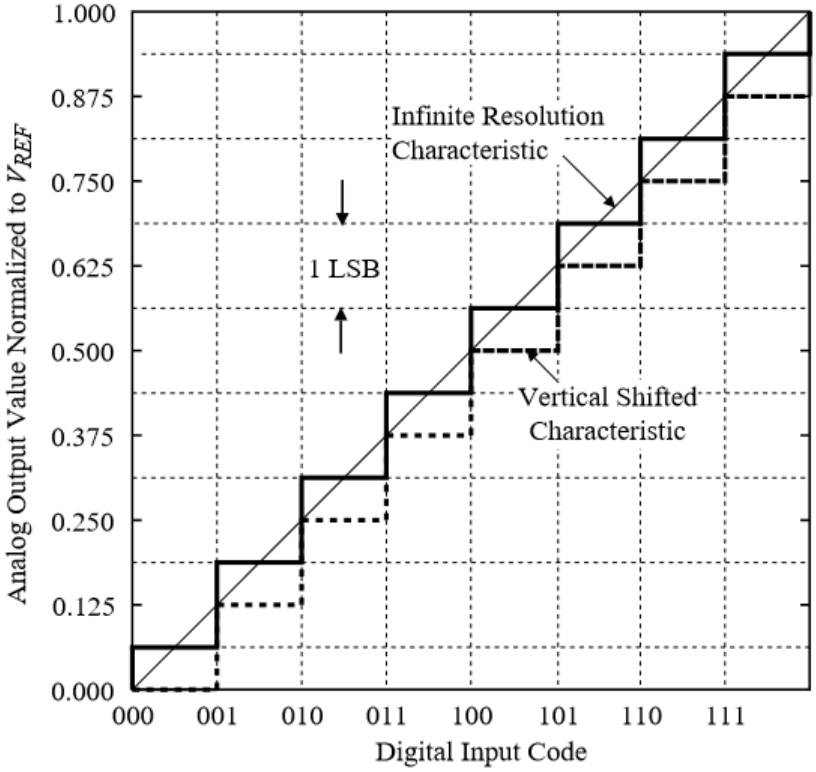

Figura 11 – Características ideais de entrada e saída de uma DAC de 3-bits. (6)

A Figura 11 evidencia que o erro ou ruído de quantização é a diferença entre o sinal de entrada (linha contínua e em formato rampa) e representação analógica do sinal de saída em forma digital. É importante ressaltar que o MSB *(The Most Significant Bit)*, é o bit mais significante e tem grande influência na saída analógica, e que o *LSB (The Least Significant Bit)* é o bit que possui menor influência na saída analógica. A Figura 12 é a demonstração de uma forma de onda de dente de serra de pico-a-pico com valor de 1 LSB, onde sua acurácia absoluta é de ±0,5 LSB. (6)

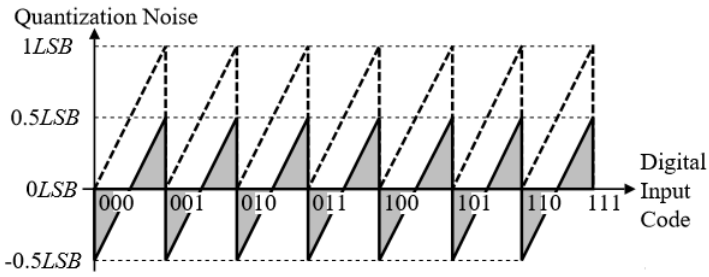

Figura 12 – Dente de serra com valor de 1LSB pico a pico em uma DAC de 3-bits. (6)

2.3.3 Não Linearidade Diferencial (DNL) e não Linearidade Integral/Acurácia Relativa (INL)

O INL é a máxima diferença entre a atual e a ideal resolução característica medida verticalmente, e o DNL como a medida de separação entre os níveis adjacentes medidos em cada degrau vertical. A Figura 13 evidencia de forma clara como se deve analisar o INL e o DNL, no caso em uma DAC de 3 bits. (6)

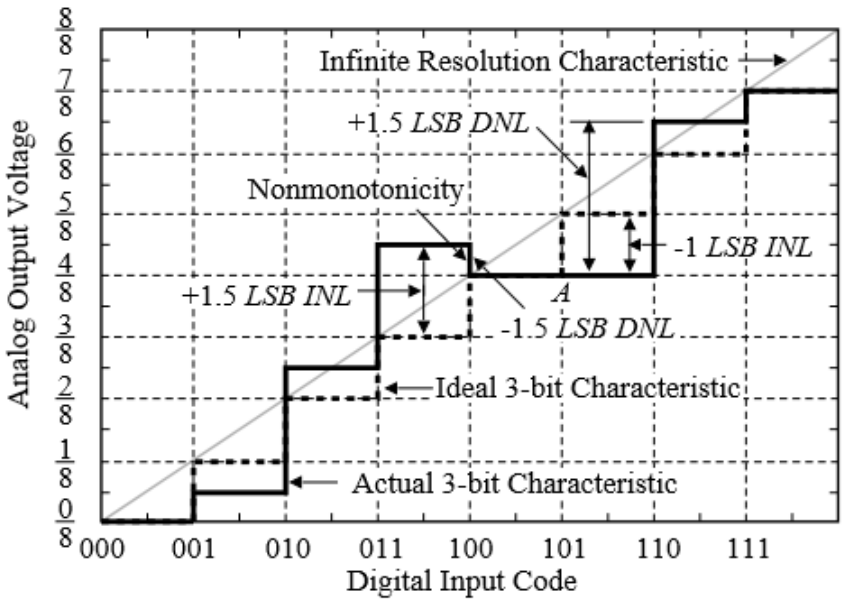

Figura 13 – INL, DNL, Monotonicidade em um DAC de 3 bit. (6)

A Figura 13 apresenta 2^N, onde N é o número de bits, divisões de saída analógica de oito divisões na entrada digital. Ou seja, para um DAC de 3 bits, são $2^3 = 8$ divisões e apresenta-se ± 1,5 LSB DNL e ± 1 LSB INL. O DNL pode ser calculado a partir da seguinte Eq. 2.1:

$$DNL = V_{CX} - V_S = \left(\frac{V_{CX} - V_S}{V_S}\right) V_S = \left(\frac{V_{CX}}{V_S} - 1\right) LSBs \tag{2.1}$$

Podendo assim, DNL ser negativo ou positivo, de acordo com a mudança de entrada em relação à saída. Se essa variação for menor que 1LSB, o DNL será negativo, caso contrário, positivo. A análise do INL e DNL é fundamental para que se conheça a tolerância e precisão do componente projetado. (6)

2.3.4 Relação Sinal Ruído (SNR)

A relação sinal ruído (SNR) é dependente do tempo de estabilização, da linearidade e da resolução do ADC. (6) Este é calculado a partir da Eq. 2.2:

$$SNR = n \cdot 6.02 + 1.72dB \tag{2.2}$$

A partir da equação, pode-se notar que a SNR cresce 6.02 vezes o tamanho de N e adiciona uma parcela de 1.76, tudo isso em decibéis. Com o aumento da razão entre o SNR e um fator igual a $10\log_{10}(k)$ é denominado efeito de sobre-amostragem. Levando isso em consideração, demonstra-se aqui:

Tabela 2 – Cálculo da SNR para alguns bits.

N (bits)	**dB**
4	25,84
5	31,86
6	37,88
7	43,90
8	49,92
9	55,94

2.3.5 Número Efetivo de Bits (ENOB)

Outro parâmetro fundamental para realizar comparações entre resolução e estabilização de um conversor A/D é o número efetivo de bits (ENOB), esse é calculado pela Eq. 2.3:

$$ENOB = \frac{SNDR_{medido} - 1.76}{6.02} \tag{2.3}$$

onde SNDR é o SNR calculado na secção 2.2.4 Avalia-se a resolução e a estabilização com base no ENOB, pois ele define quantos bits são realmente usados no circuito, o que também define qual a margem de erro e de bits inutilizados.

Existem outros diversos parâmetros para o projeto de um conversor analógico digital, contudo para este trabalho de conclusão de curso não é necessária a explicação detalhada dos mesmos.

2.4 Especificidade do Projeto

Sabe-se até aqui, que o processo de conversão analógico-digital é de suma importância para o mundo atual e que a microeletrônica é fundamental para que esse processo aconteça de forma eficaz. Tendo em vista todos os parâmetros necessários e o conversor escolhido é notório explorar a especificidade do projeto. Ou seja, aqui se demonstram a estrutura e o funcionamento básico do coração e do marca-passo, ressaltando também como o sinal do eletrocardiograma influencia no projeto.

2.4.1 Anatomia Básica e Funcionamento do Coração

O coração humano, com tamanho comparável a um punho fechado, tem cerca de 400g e localiza-se na parte central no peito, sob o osso esterno, com a exterminada inferior deslocada minimamente para a esquerda. Esse é uma potente bomba propulsora de sangue e é formado por tecido muscular estriado cardíaco, miocárdio e quatro cavidades internas. Estas cavidades são chamadas de câmaras internas que se dispõem entre superiores e inferiores, direitas e esquerdas. Existem diferenças entres as disposições e estas são derivadas das suas funções específicas. (26)

As câmaras inferiores são denominadas ventrículos cardíacos e apresentam paredes espessas, em contrapartida, as câmaras superiores, denominadas átrios cardíacos, apresentam paredes mais finas que as câmaras inferiores. Os átrios, por sua vez, são responsáveis por bombear sangue para os ventrículos, e o ventrículo esquerdo bombeia sangue para todo o corpo e, o direito, para os pulmões. (10)

As comunicações entre átrios e ventrículos ocorrem de maneira organizada, ou seja, o átrio esquerdo se comunica com o ventrículo esquerdo e o átrio direto se comunica com o ventrículo direito. Essas comunicações, através de válvulas, fazem com que o sangue circule de maneira sistêmica e em um único sentido, essas válvulas são denominadas válvula mitral (comunicação esquerda) e válvula tricúspide (comunicação direita). Essas e as demais especificações já feitas, são demonstradas nas Figuras 14 e 15.

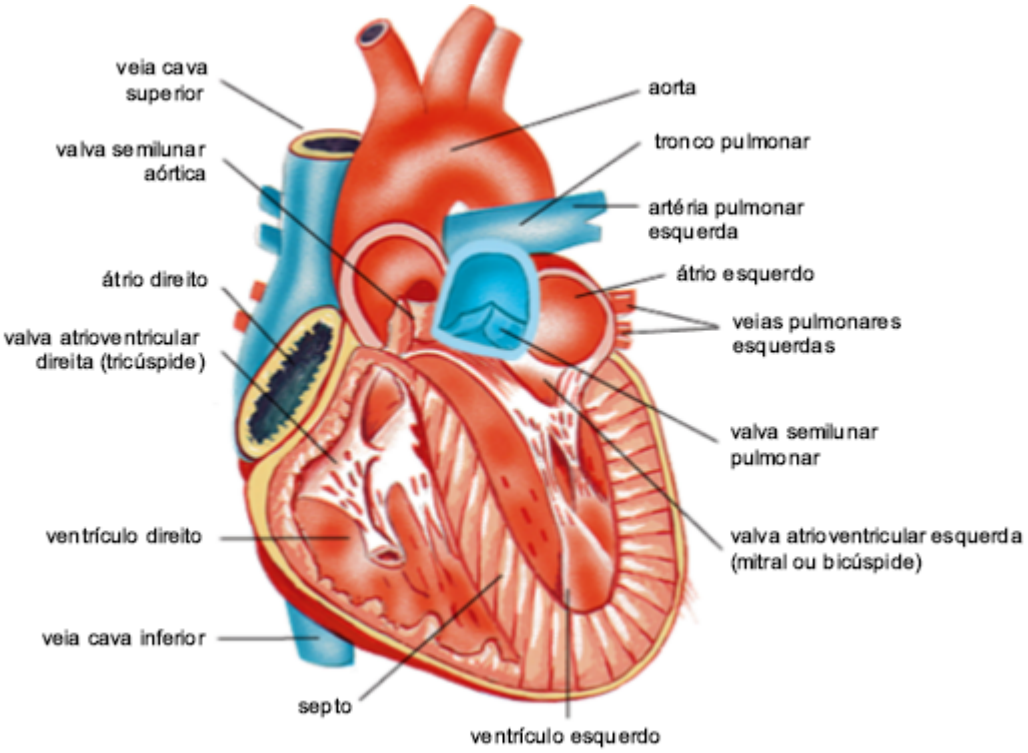

Figura 14 – Coração humano: aspecto interno. (10)

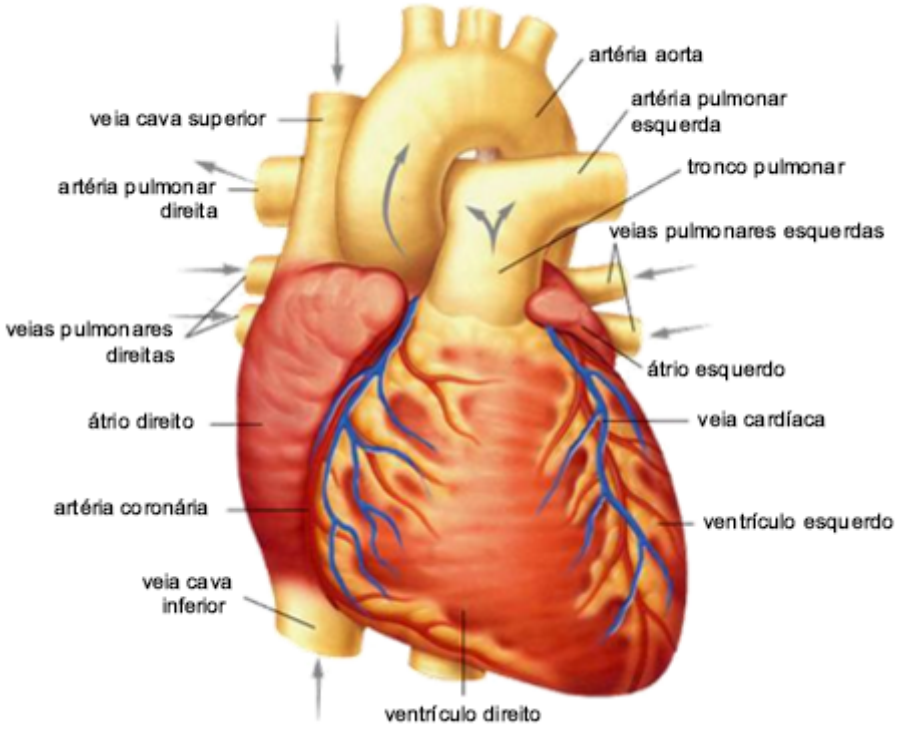

Figura 15 – Coração humano: aspecto externo. (10)

Os movimentos do sangue no organismo humano são sustentados pelas contrações da musculatura do coração. As contrações acontecem de maneira rítmica em um processo de diástole e sístole, podendo essas serem atriais ou ventriculares.

A sístole acontece quando a musculatura contrai e o sangue é expulso do coração e a diástole, quando a musculatura relaxa e o sangue invade as câmaras cardíacas. A sequência de diástoles e sístoles forma o ciclo cardíaco.

Quando uma pessoa está em repouso, relaxada, ou estressada, ou faz determinada atividade física, a frequência cardíaca pode variar, ou seja, é afetada diretamente pelo seu estado emocional e físico. A frequência cardíaca é o número de vezes em que acontece a contração do coração por unidade de tempo; ela é controlada por um conjunto de células musculares, localizado próximo à junção entre o átrio direito e a veia cava superior, a qual é denominada nó sinoatrial ou marca-passo. O marca-passo é responsável por enviar um estimulo elétrico que viaja diretamente para a musculatura do átrio e provoca a sua contração, e o nó atrioventricular é responsável por receber esse estímulo e ajudar a musculatura dos ventrículos a entrar em sístole, fazendo assim, com que o coração funcione.

2.4.2 Aparelho de Marcapasso

O aparelho de marca-passo é um dispositivo eletrônico do ramo biomédico com a função primordial de regular o ritmo cardíaco. Esse substitui o marca-passo natural quando este não é capaz de enviar o estimulo necessário para que haja contração da musculatura do coração.

Esse dispositivo é indicado em casos de nó sinusal, hipersensibilidade ao seio carotídeo, bloqueio atrioventricular, entre outros que fazem o paciente perder a capacidade de realizar um número de batimentos cardíacos considerável normal. O normal de batimentos cardíacos é de 70 a 80 batimentos por minuto em rotinas diárias, de 35 a 50 durante o sono e 180 batimentos durante uma atividade física. Quando esse ritmo está abaixo do normal, e apresenta uma lentidão periódica ou constante (bradicardia), causando cansaço, palpitações, tonturas ou desmaios, o uso de marca-passo é fundamental. (26) O aspecto de um aparelho deste modelo pode-se visualizar na Figura 16.

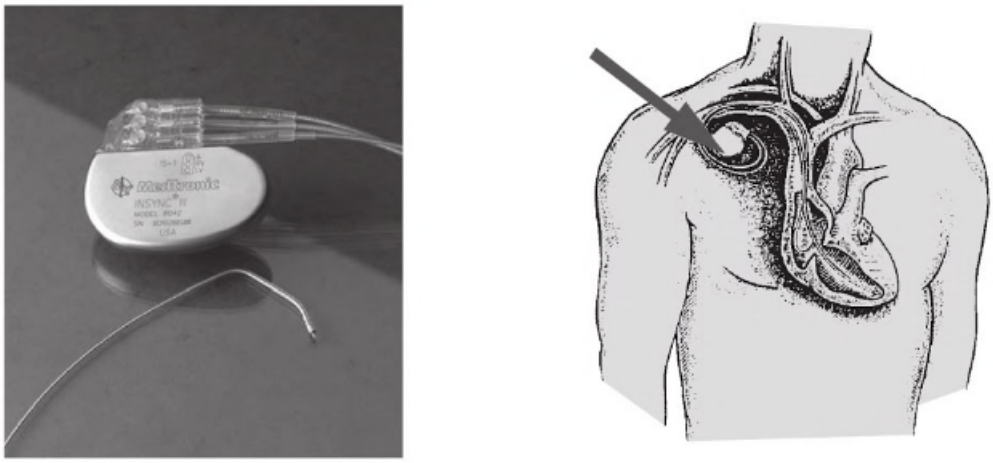

Figura 16 – Visualização de um marca-passo e implantação do dispositivo no corpo humano. (11)

Esses dispositivos são construídos, geralmente, de titânio reduzindo assim o risco de rejeição do corpo humano, duram entre 5 e 15 anos, dependendo da necessidade de ativação do aparelho pelo coração. Eles são formados por um dispositivo eletrônico e um ou dois cabos de eletrodos. O dispositivo contém a circuitaria eletrônica e uma bateria, demonstrando uma lógica digital e analógica demonstrados na Figura 17. O cabo de eletrodo é responsável por transportar estimulo elétrico do marca-passo ao coração, regulando assim o ritmo do batimento. (27)

O circuito eletrônico evidenciado na Fig. 17, é onde se encontra o conversor A/D do projeto do presente trabalho, é este que visa otimizar o seu funcionamento com a topologia $\Sigma\Delta$.

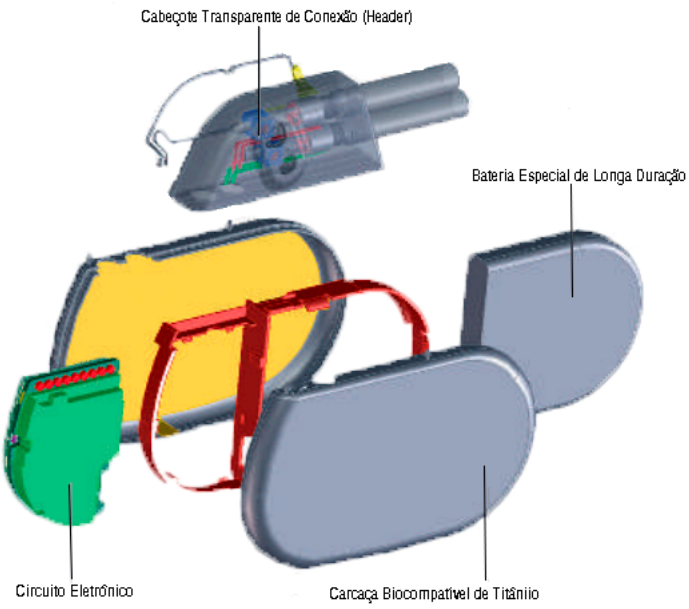

Figura 17 – Visualização do CAD explodido de um marca-passo. (11)

2.4.3 Sinal de Eletrocardiograma (ECG)

A obtenção do sinal de eletrocardiograma (ECG) é um exame utilizando na medicina para inúmeras aplicações, uma delas, é a verificação do ritmo cardíaco, ou seja, analisar a periodicidade da onda gerada do registro da variação dos potenciais elétricos adquiridos pelo movimento do coração. O resultado da onda é demonstrado na Fig.18. (15)

Figura 18 – Formato de onda de um sinal de ECG.

O sinal do coração é obtido por meio de qualquer aparelho eletrocardiográfico, desde que, no mesmo, seja possível converter sinais analógicos em sinais digitais. Essa conversão deve ter uma resolução igual ou superior a 12 bits, e de forma ideal, uma taxa de amostragem de 250 Hz. (15)

Sendo assim, o uso de conversor do tipo $\Sigma\Delta$ encaixa-se perfeitamente nesse processo de conversão, e promete devolver um sinal em ótima resolução. Ou seja, a implementação do conversor em um aparelho de marca passo conseguirá fazer seu papel de maneira ideal e com um baixo consumo de potência, uma vez que a resolução do $\Sigma\Delta$ é alta.

3 DETALHAMENTO DO PROJETO

Este capítulo é delimitado ao detalhamento do conversor A/D do tipo Sigma-Delta ($\Sigma\Delta$) para o projeto de baixo consumo de potência que se aplique ao aparelho marca-passo. Uma vez que, para o projeto de um conversor é necessário conhecer seus parâmetros, a melhor escolha de modulação, e ainda, realizar testes que validem as escolhas.

Sendo assim, demonstra-se aqui, os parâmetros para o projeto deste conversor e análise de simulações de modulação de primeira e segunda ordem. Divide-se o conversor em duas etapas, a etapa analógica e a etapa digital que serão descritas nesse capítulo separadamente para o melhor entendimento das funções do conversor.

3.1 Exposição do Motivo

O projeto necessita de um conversor de razoável resolução para a precisão do equipamento e também de um baixo consumo de potência. A escolha do conversor $\Sigma\Delta$ se dá devido a utilização de baixa tensão, linearidade, rejeição de ruído à fonte de alimentação, ótima interface com o processador. Para um circuito integrado, em geral, é importante que existam poucos blocos analógicos, ou seja, que haja redução de blocos analógicos no sistema, o que ocorre no caso do conversor $\Sigma\Delta$. (28)

3.2 Arquitetura e Funcionamento do Conversor $\Sigma\Delta$

O conversor $\Sigma\Delta$ é constituído por duas partes fundamentais: analógica e digital. A parte analógica é formada pelo modulador $\Sigma\Delta$, um integrador, um quantizador e um DAC e a parte digital é formada por um filtro digital (decimador), conforme o diagrama de blocos da Fig. 19.

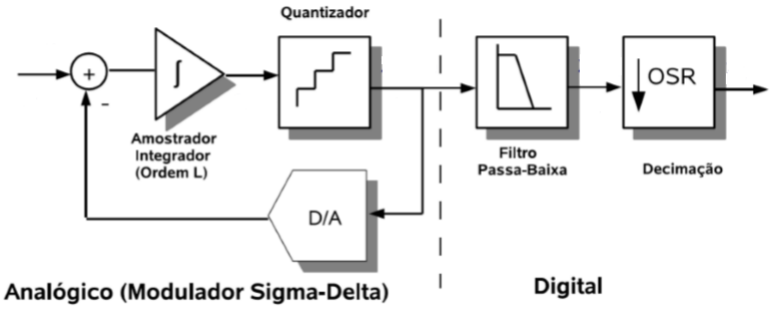

Figura 19 – Diagrama de blocos de um $\Sigma\Delta$. (12)

A parte analógica que possui o modulador do tipo ΣΔ recebe um sinal de entrada que se dirige ao modulador e ao integrador, sucessivamente. Em outras palavras, o erro entre o sinal amostrado e a saída do modulador é calculado para que seja integrado e quantizado.

O comparador comporta-se como um quantizador de 1 bit, assim, quando o sinal sai do comparador ele retorna à entrada via um DAC que define que a média do sinal que retorna seja igual ao sinal de entrada. Trabalha-se com uma técnica, *noise-shaping*, responsável por ejetar o ruído de quantização de baixas frequências em vertente a altas frequências.

Na parte digital, tem-se um decimador digital que é formado por um filtro passa-baixa acompanhado de um *downsampler*, o qual tem a função de devolver o sinal à taxa de amostragem de *Nyquist* sem perda de informação, reduzindo assim a potência dos blocos ligados ao conversor A/D. (25)

O modelo da Figura 20, demonstra a explicação anterior e a arquitetura do conversor ΣΔ, este nome dá-se ao fato de colocar o integrador Sigma antes do modulador, Delta.

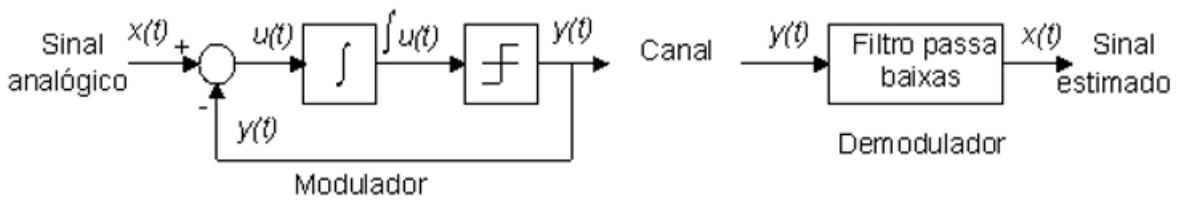

Figura 20 – Arquitetura do conversor ΣΔ (4)

Este tipo de modulação é considerado sobreamostrado, ou seja, trabalha muito acima da frequência de *Nyquist*. Sustenta uma modulação que pode ser mono-bit ou multi-bit e sua função de transferência adquirida da malha de realimentação varia até a ordem N. Contudo, se essa ordem for maior que 2, provavelmente, têm-se dificuldades com a estabilidade do sistema. (29)

A ordem do sistema também está diretamente relacionada com a SNR, ou seja, quando se aumenta a ordem do modulador a taxa de amostragem diminui, conforme a Figura 21.

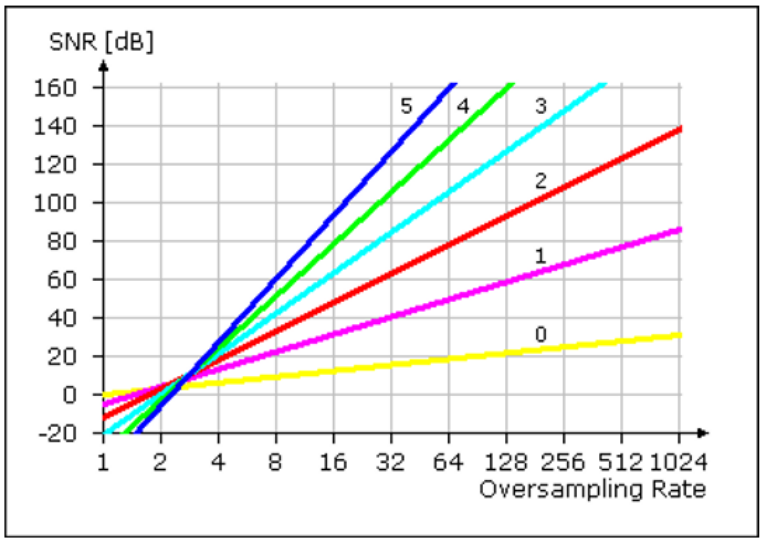

Figura 21 – Ordem do Modulador ΣΔ e SNR x Taxa de amostragem (13)

Utilizando o teorema da superposição quando se tem uma entrada de ruído E(s)=0, a função de transferência do sinal pode ser descrita pela Eq. 3.1:

$$\frac{Y(s)}{X(s)} = \frac{\frac{1}{s}}{1+\frac{1}{s}} = \frac{1}{s+1} \tag{3.1}$$

onde Y(s) é o sinal do modulador ΣΔ e X(s) é o sinal de entrada, ambos no domínio da frequência. Isso retorna, desde que a frequência ultrapasse a frequência de corte do filtro passa baixa, o sinal pode ser reconstruído perfeitamente, conforme a Fig. 22.

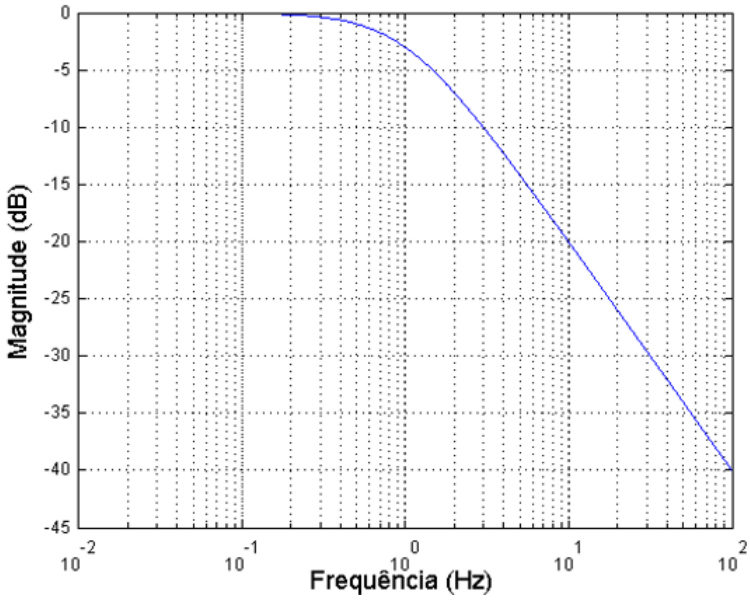

Figura 22 – Comportamento das Funções de Transferência no modulador ΣΔ utilizando um filtro passa-baixas.

Analogamente, pode-se encontrar a função de transferência para o ruído de quantização, basta igualar X(s)=0, de acordo com a Eq. 3.2:

$$\frac{Y(s)}{E(s)} = \frac{1}{1+\frac{1}{s}} = \frac{s}{s+1} \tag{3.2}$$

A equação demonstra que existe uma atenuação do ruído em baixas frequências tendo que eliminar o ruído excedente da banda de passagem e reduzir a taxa de amostragem com a inserção do decimador, o qual é um filtro passa-baixas, seguinte ao modulador. Conforme a Fig. 23.

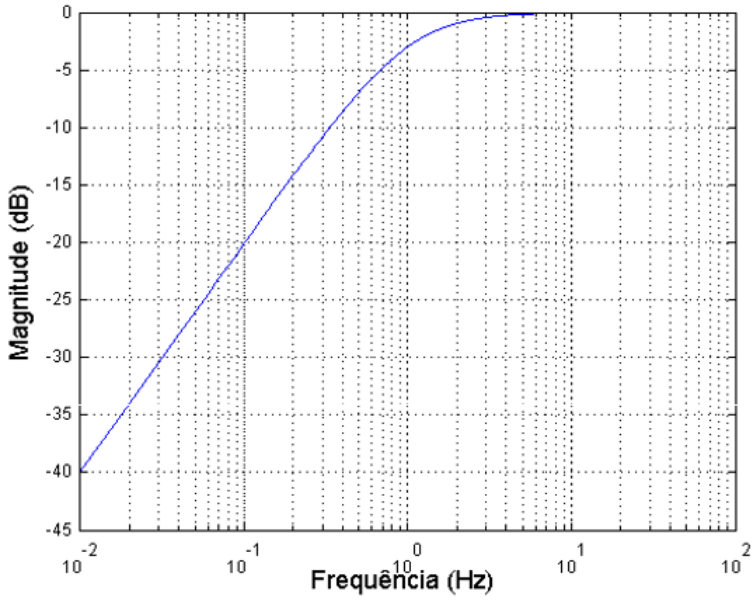

Figura 23 – Comportamento das Funções de Transferência no modulador ΣΔ utilizando um filtro passa-altas.

A respeito da estabilidade do sistema, tem-se a próxima seção 3.2.1 que utilizam o software MATLAB ® para validação de modulação de 1ª e 2ª ordem para a escolha do uso no projeto.

3.2.1 Estabilidade dos Moduladores

A parte analógica compreende que estabilidade de um sistema é crucial na síntese de sistemas de controle realimentados, tornando-se um pré-requisito para projetos. No caso do modulador não é diferente, e para isso, assume-se uma análise dos moduladores de 1ª e 2ª ordem. A ordem do modulador ΣΔ é determinada pelo seu número de integradores e é detalhada nas seções subsequentes.

3.2.1.1 Modulador de 1ª Ordem

O modulador ΣΔ mono-bit típico é aquele por densidade de pulso, isto é, a informação inserida é sobreamostrada em baixa resolução em amplitude e o filtro digital decimador é responsável pelo aumento da resolução em amplitude. Se a ordem do modulador é delimitada pelo número de integradores, então se há apenas um integrador tem-se, então, um modulador de ordem 1, conforme a Fig.24.

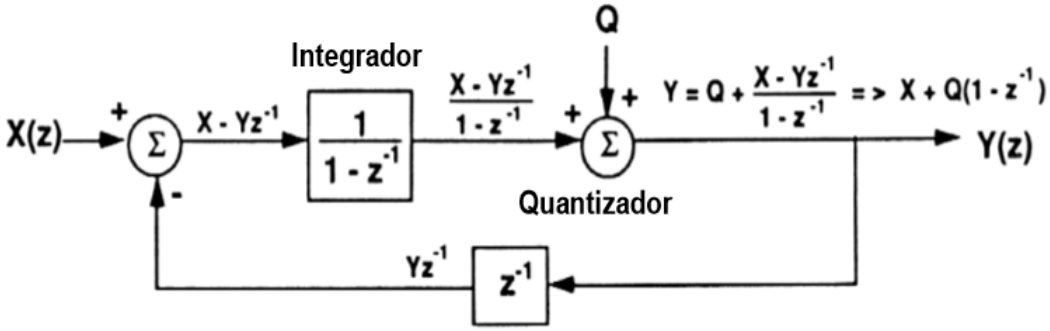

Figura 24 – Diagrama de Blocos de um modulador ΣΔ de 1ª ordem no domínio discreto (4)

A análise feita no domínio discreto, utilizando a transformada Z, é devido a facilidade de projeto de filtro de controle digitais, além de permitir que se transforme equações diferenciais em equações algébricas simplificadas. No plano z, encontra-se um círculo de raio R, o qual é centrado na origem, e possui uma região de convergência.

Analisando o diagrama de blocos, pode-se inferir a seguinte função de transferência na Eq. 3.3:

$$H(z) = b \cdot \frac{z^{-1}}{1 - z^{-1}} \tag{3.3}$$

Segundo a equação, o coeficiente "b" é ganho e serve como parâmetro para o ajuste pelo método do lugar geométrico das raízes (LGR). Utilizando a ferramenta *rlocus(sys1) e sgrid* do software MATLAB® pode-se plotar a Fig. 25 com uma entrada referente à uma entrada $\frac{fs}{2}$ para z = -1 e o intervalo do LGR de z = 1 à z = ∞. Verifica-se na Figura 25, um sistema estável com b variando até o ponto 2 segundo o LGR. (28)

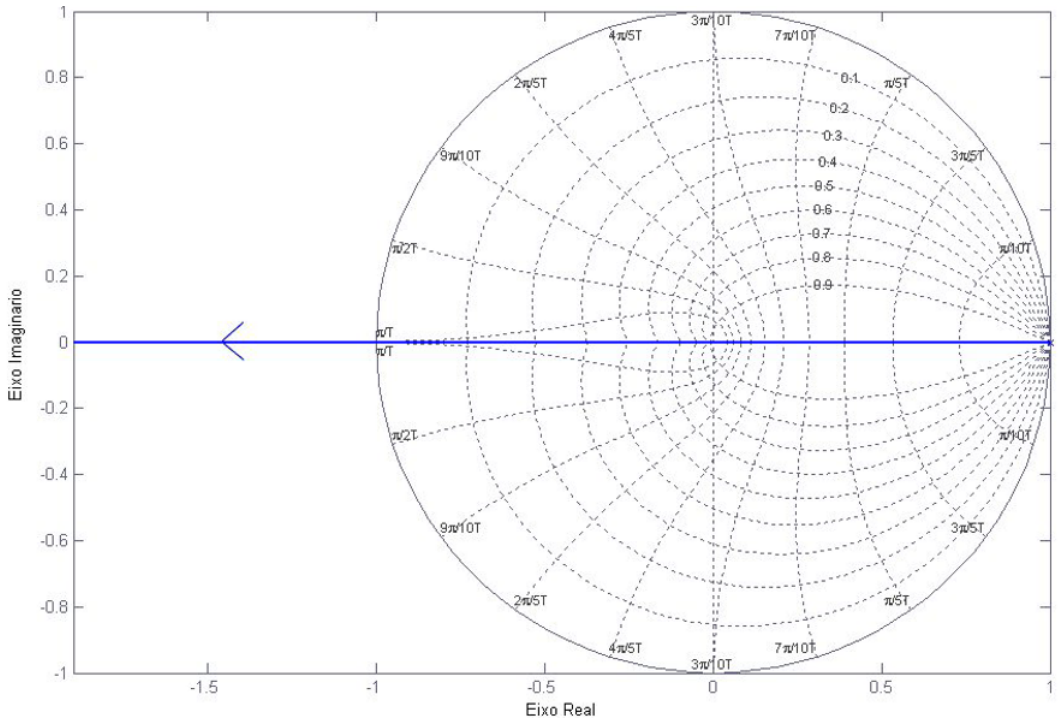

Figura 25 – Plotagem de LGR de 1ª ordem feita no software MATLAB com base teórica em FÁVERO(14)

Para implementar e validar o modulador de 1ª ordem, usou-se a plataforma *simulink* do software MATLAB®, para criação de um diagrama de blocos, utilizando um modelo de referência SILVA(13), com entradas do tipo senoide e do tipo rampa conforme a Fig. 26. Esse diagrama, foi implementado obedecendo ao funcionamento de um modulador ΣΔ. Apresentando um diferenciador que dobra a potência de ruído de quantização, contudo, apresenta um erro que é empurrado para altas frequências, fazendo assim, necessário o uso de filtro passa-baixas, para que esse, no processo de decimação, remova-o sem danos à resposta, observa-se que a parte digital (decimação) será descrita na seção 3.3.

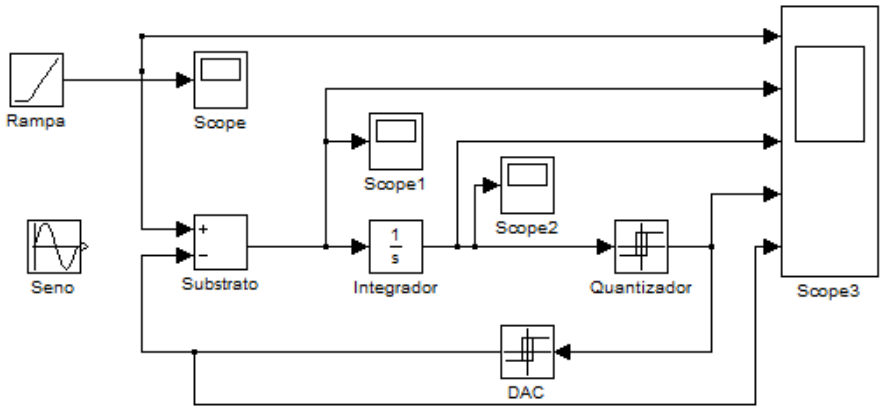

Figura 26 – Diagrama de blocos de um modulador Sigma-Delta de 1ª ordem.

O diagrama de blocos apresenta uma entrada, podendo ser escolhida (rampa ou senoide), apresenta também um substrato, um integrador, um quantizador e um DAC, simulando o funcionamento de um modulador Sigma-Delta de primeira ordem, ou seja, com apenas um integrador.

Para validação da simulação da Figura 26, utilizou-se como entrada uma função rampa com o valor inicial de 0.25V, e os valores de referências do DAC são de 0 à VDD contudo se usa $\frac{1}{4}$V e $\frac{3}{4}$V para manter a estabilidade. Uma vez que, utilizando esses valores, pode-se manter o DAC maior ou menor que o sinal, garantindo assim, a sua soma ou subtração. As formas de onda esperadas foram de sinal de entrada, diferenciador, integrador, quantizador e DAC, respectivamente na Fig. 27.

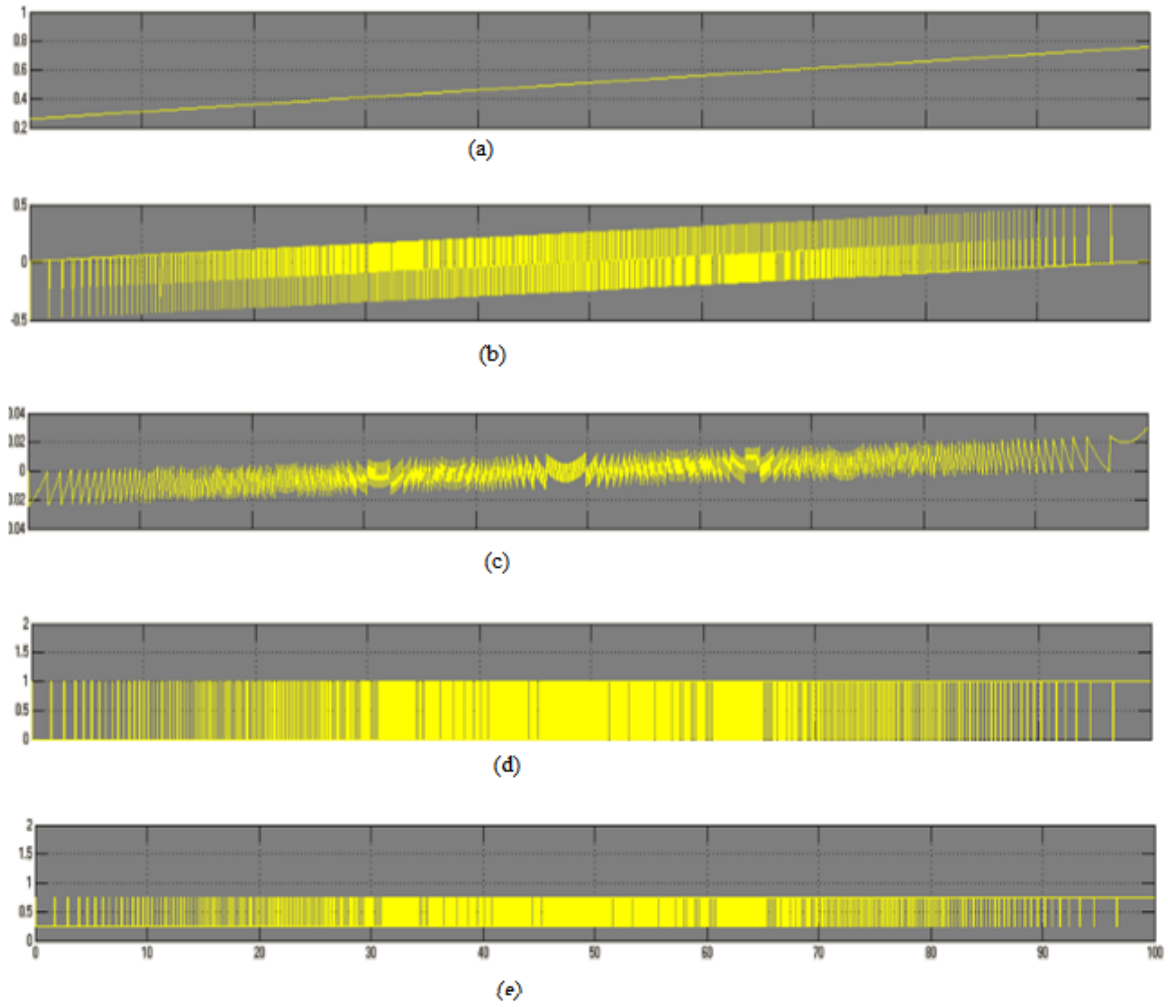

Figura 27 – Resposta modulador Sigma-Delta de 1ª ordem, com formas de ondas de sinal de (a) entrada, (b) diferenciador, (c) integrador, (d) quantizador, e (e) DAC.

É notório observar que os valores de referências de $\frac{1}{4}$ Vdd e $\frac{3}{4}$ Vdd são extremamente relevantes, pois é na faixa destes valores, que o modulador opera. Quando o sinal de entrada quase atinge o valor de referência mínimo, sendo menor que este, a saída do quantizador continua em zero até que esse sinal de entrada ultrapasse o valor de referência.

Ou modo seria quando o valor de referência está em seu valor máximo, neste caso, a saída do quantizador continua 1, ou seja, satura.

A partir da reposta simulada da Figura 27, nota-se que o diferenciador dobra a potência de ruído de quantização. Observa-se também, que o erro é jogado para frequências mais altas, que é uma característica da FFT, esta característica exige para sua remoção do erro o uso de um filtro e um decimador digital que serão evidenciados na seção 3.3. Levando em conta os parâmetros demonstrados no capitulo 2, a SNR de primeira ordem corresponde ao aumento de 9dB em cada incremento aplicado a taxa de sobreamostragem.

3.2.1.2 Modulado de 2ª Ordem

O modulador ΣΔ multi-bit é aquele de ordem maior que 1, ou seja, é um modulador de 1ª ordem acrescido de mais um integrador, para se tornar de 2ª ordem, e assim, sucessivamente. O modulador de 2ª ordem necessita de uma taxa de amostragem menor para alcançar a mesma SNR que o de 1ª ordem. Levando em conta essa vantagem, em relação ao anterior, demonstra-se esse modulador, conforme a Fig. 28.

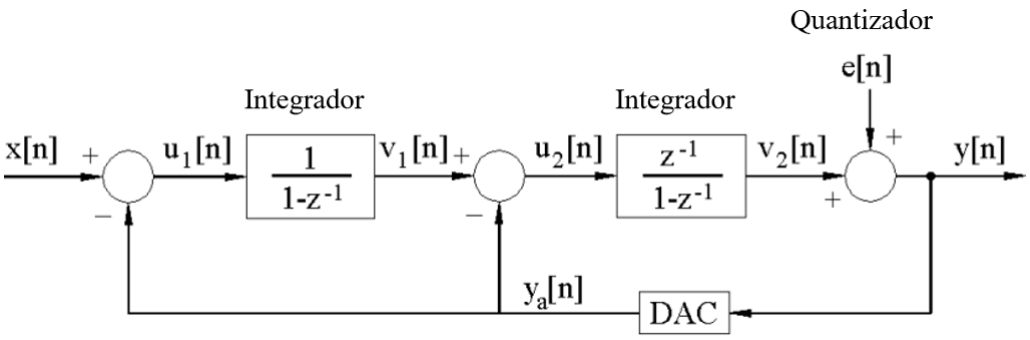

Figura 28 – Diagrama de Blocos de um modulador ΣΔ de 2ª ordem no domínio discreto (5)

Aproveitando o domínio Z e analisando o diagrama de blocos, pode-se inferir a seguinte função de transferência na Eq. 3.4:

$$H(z) = b \cdot \frac{2z - 1}{(z - 1)^2} \tag{3.4}$$

De maneira similar ao realizado na secção anterior, o coeficiente "b" é ganho e serve como parâmetro para o ajuste pelo LGR e pode-se plotar a Figura 29 com polo duplo em z = 1 e fim em z = 0.5 e z = ∞, respectivamente, referente a uma entrada equivalente a $\frac{fs}{2}$.

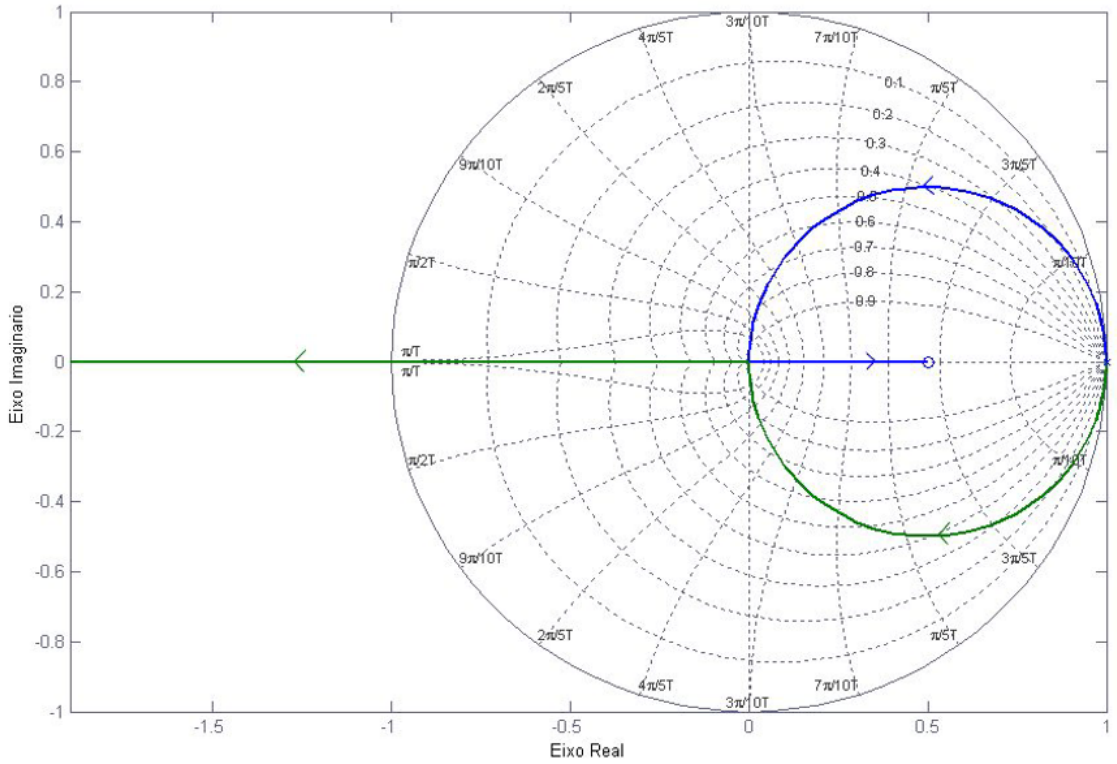

Figura 29 – Plotagem de LGR de 2ª ordem feita no software MATLAB com base teórica em FÁVERO(14)

Analogamente, para validar o modulador de 2ª ordem, usou-se a plataforma *simulink* do software MATLAB®, para criação de um diagrama de blocos modelo de referência SILVA(13), com entradas do tipo senoide e do tipo rampa conforme a Fig. 30.

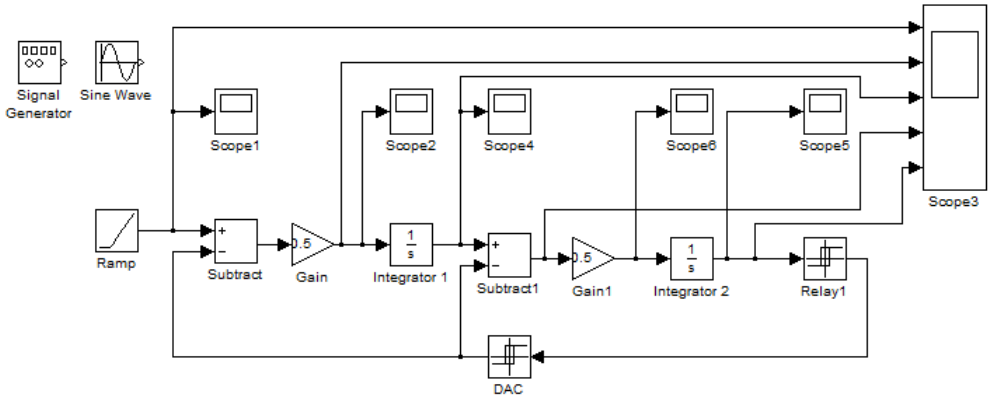

Figura 30 – Diagrama de blocos de um modulador Sigma-Delta de 2ª ordem.

Para validação da simulação da Figura 30, utilizou-se os valores de referências iguais ao de 1ª ordem. As formas de onda esperadas foram de sinal entrada, diferenciador do 1º ganho, 1º integrador, diferenciador após o 2º ganho, 2º integrador e o quantizador, respectivamente na Fig. 31.

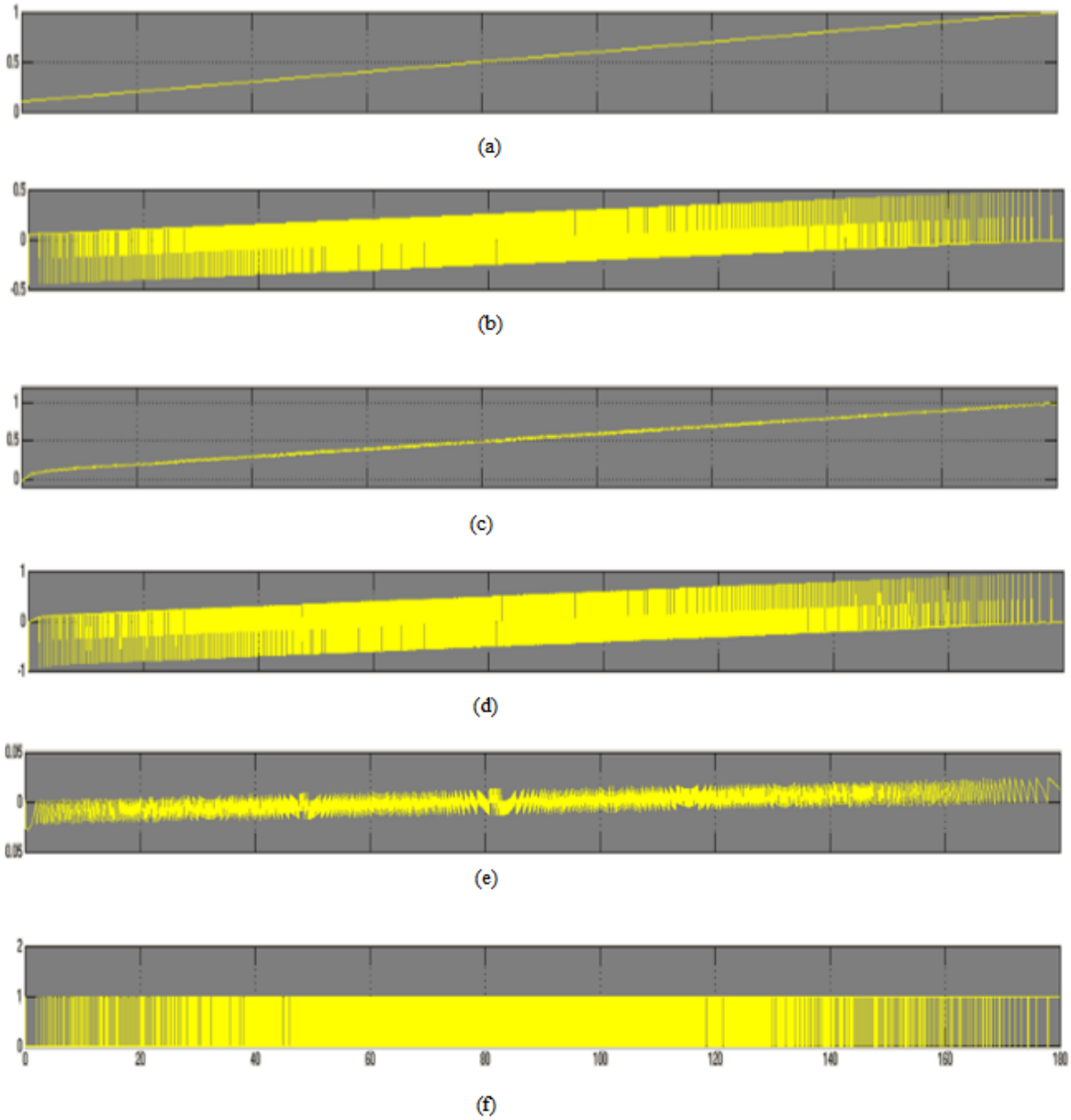

Figura 31 – Resposta modulador Sigma-Delta de 2ª ordem, com formas de ondas de sinal de entrada (a), diferenciador do 1º ganho (b), 1º integrador (c), diferenciador após o 2º ganho (d), 2º integrador (e) e o quantizador (f).

É notório observar que moduladores de ordem superior à três são considerados instáveis. Contudo com o uso do DAC de apenas 1 bit essa instabilidade é menor em relação aos de números de bits maiores. (28)

Utilizar um modulador de ordem maior do que 1 possibilita na implementação de mais zeros em DC, e também uma maior atenuação do ruído de quantização nas frequências mais baixas. Observou-se com as simulações que aumentar a ordem do modulador também aumenta a resolução, contudo interfere na estabilidade do sistema. Em função da saturação (OVL - *overloading level*) do 2º integrador, o modulador de 2ª ordem é

interferido com a queda da SNR para entradas próximas do limite, saturando. Contudo, para que essa saturação seja extinta, pode-se diminuir o ganho dos integradores.

A partir da reposta simulada da Figura 31, nota-se, com os cálculos já realizados anteriormente na seção 2, que o alcance da SNR de segunda ordem corresponde ao aumento de 15 dB e 2.5 bits em cada incremento aplicado à taxa de sobreamostragem. Ou seja, se a mesma operar a uma SNR de 9db como o de 1ª ordem, a sua relação SNR será igual a uma taxa de amostragem inferior. Deduzindo assim, que esta é a melhor opção de resolução para a aplicação no ADC para o aparelho de marca-passo.

3.3 ETAPA DIGITAL: FILTRO E DECIMAÇÃO DIGITAL

A etapa digital compreende o filtro passa-baixas e o decimador digital. Possui dois princípios para filtragem de um ruído, torná-lo uma sequência de dados de 1 bit e torná-lo, também, de alta resolução com a menor taxa de amostragem possível conforme a Fig. 32.

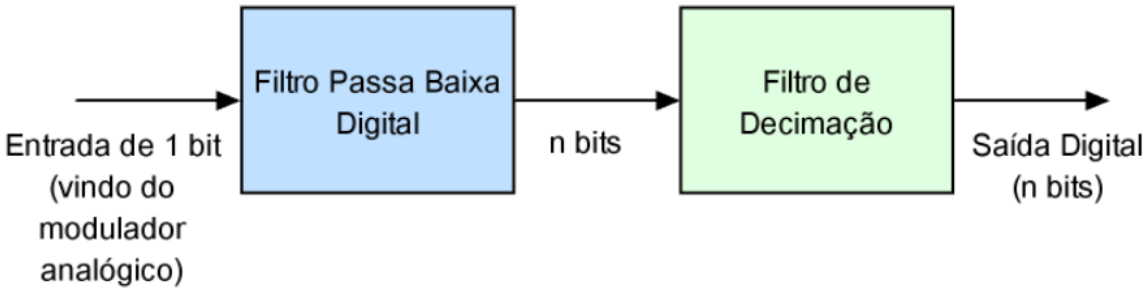

Figura 32 – Etapa digital: filtragem e decimação (15)

Essa transformação é conhecida como decimação digital, e a mesma é responsável pela redução da taxa de amostragem logo após a ação do filtro, reduzindo-a assim, à frequência de *Nyquist* e minimizando, por consequência, o número de informações redundantes.

O filtro é responsável por remover o ruído de quantização. Sabe-se que o ruído se encontra em altas frequências e que a sua função é a retirada do mesmo para fora da banda base, quando isso acontece, é o mesmo que aumentar a resolução do conversor.

Os conversores ΣΔ atuais utilizam um filtro econômico e de fácil implementação conhecido como *Comb-Filter*, o qual é um concentrador, que realiza uma média móvel. Um filtro *"Comb"* de comprimento N é um filtro FIR (Resposta ao Impulso Finita) que possui todos os seus coeficientes iguais a 1. Um filtro *Comb* utilizado sozinho não é capaz de suprir as especificações de um conversor ΣΔ, uma vez que esse não alcança a atenuação necessária na *stop band* (banda de atenuação). Para que as especificações sejam atendidas, utiliza-se o modo cascateado do filtro, isto é, utiliza-se de três a cinco filtros *Comb* em formato de cascata e um filtro digital, conforme mostra a topologia da Fig. 33.

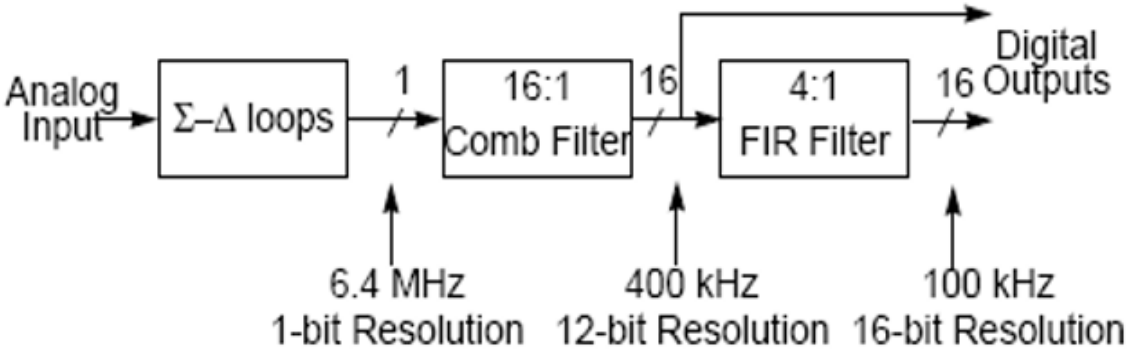

Figura 33 – Processo de decimação digital (13)

Contudo, esta solução (etapa digital) não é escopo da implementação deste trabalho.

Parte II

PROJETO, IMPLEMENTAÇÃO E RESULTADOS

4 PROJETO DO CONVERSOR A/D $\Sigma\Delta$

Este capítulo é delimitado à descrição de princípios fundamentais para a implementação, no capítulo 5, dos blocos individuais dos moduladores de 1ª ordem em modo corrente-corrente e corrente-tensão.

4.1 Exposição do Motivo

O aparelho de marca-passo apresenta um consumo de energia crítico em virtude à limitada densidade de energia e à durabilidade das baterias disponíveis no mercado atual. Sendo assim, estes dispositivos necessitam de uma otimização para que haja uma dissipação de energia muito menor que a vigente. Então o projeto, aqui, refere-se ao modulador de um conversor $\Sigma\Delta$ de razoável resolução para a precisão do equipamento de marca-passo com um baixo consumo de potência. Para a topologia escolhida implementa-se o modo corrente, uma vez que este, diminui o consumo de energia e tamanho do circuito e por consequência prolonga o uso da bateria e ademais aumenta, ainda, a velocidade de operação da circuitaria.

4.2 Modulador $\Sigma\Delta$ em Modo Corrente

Um modulador é um dispositivo apto a modular um sinal recebido, isto é, esse pode realizar um processo de variação de amplitude, fase ou frequência, deformando propositadamente uma das características do sinal portador. Este sinal agora aparece em formas de zeros e uns, ou seja, um sinal digital. Como a saída do modulador é digital, faz-se sua realimentação por um DAC, a qual é construída por um fio, este é responsável por converter uma grandeza digital em um grandeza analógica.

O bloco composto pelo modulador $\Sigma\Delta$ é o que domina o consumo deste conversor A/D. Um circuito em modo corrente é aquele o qual sua lógica de controle depende, majoritariamente, da corrente e não da tensão. A utilização do modulador em modo corrente justifica-se pela facilidade de operação do sistema com correntes em relação a tensão.

4.3 Corrente Sub-Limiar

A corrente sub-limiar ou corrente de *subthreshold* é vista quando um transistor encontra-se na região de Inversão Fraca (*Weak Inversion*), ou seja, o dispositivo dispõe de um V_T maior ou igual ao seu V_{GS} ($V_{GS} \leq V_T$), fazendo assim que o canal seja

fracamente invertido. Nesta região denominada Inversão Fraca o transístor opera em um regime de condução parcial, isto é, a corrente existe, contudo é uma corrente bem pequena. Nota-se também que a curva característica MOS entre I_D e V_{GS} se transforma de uma lei quadrática para uma lei exponencial, semelhante a um transístor bipolar, durante a passagem da condução para não-condução. Essa mudança na lei pode ser visualizada na Fig. 34. (17)

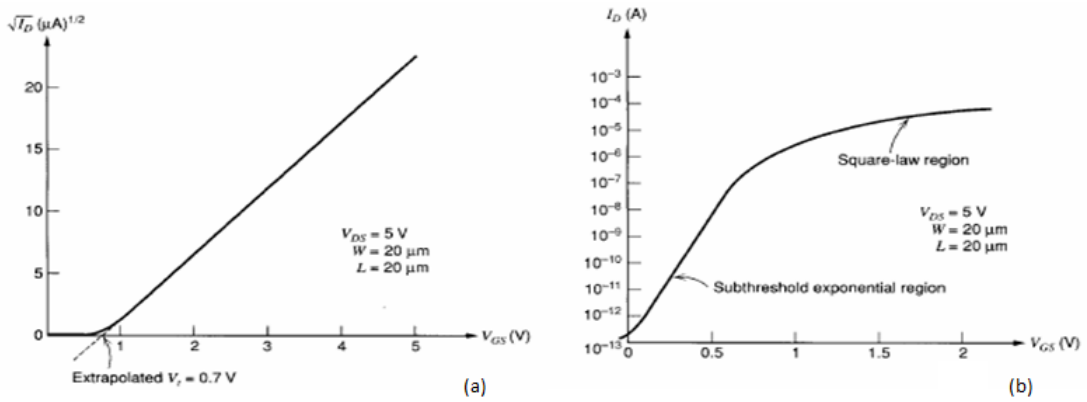

Figura 34 – Representação de um NMOS: (a) em região ativa plotada em escala linear demonstrando assim a lei quadrática; (b) em região de sub-limiar plotada em escala logarítmica demonstrando assim a lei exponencial.

4.4 Utilização do Domínio Logarítmico

O domínio logarítmico (*Log-Domain*) demonstra uma função logarítmica de uma entrada, e seu crescimento é o inverso do crescimento exponencial, e, por consequência, é bastante lento. Circuitos *log-domain* também são conhecidos como circuitos translineares e estes são sistemas que utilizam o sinal exponencial da função de transferência dos dispositivos para que implemente uma equação diferencial almejada, seja esta linear ou não.

O método translinear é não linear internamente mas linear externamente, este realiza uma compressão e uma expansão do sinal a ser processado, esse fenônmeo é conhecido como Princípio de Compactação. O que pode se obter de vantagem é a sua operação em baixa potência.

4.5 Circuitos Translineares

Circuitos translineares são eficientes em técnicas de baixo consumo de potência, não necessitam de resistores, possuem alta densidade funcional, facilidade em implementação de equações polinomiais e são capazes de lidar com alto *Dynamic Range* em ambientes de baixa tensão. O princípio dos circuitos translinares são explicados nesta seção 4.5.1.

4.5.1 Princípio Translinear

. O princípio translinear é utilizado neste trabalho devido as suas características como baixo consumo de potência, ausência de resistência, capacidade de lidar com alto alcance dinâmico em ambientes de baixa tensão, além de implementações em equações diferenciais polinomiais, sejam elas lineares ou não.

Os circuitos translineares trabalham com uma relação exponencial entre tensão e corrente que se adequam a qualquer tipo de dispositivo desde que esse opere em carga minoritária, como diodos, transistores bipolares e transistores MOS em região de inversão fraca. Estes circuitos são divididos em dois princípios: estático e dinâmico.

4.5.1.1 Princípio Translinear Estático (STL)

O princípio translinear estático (STL -*Static Translinear*) foi proposto em 1975 por GILBERT(22) e o mesmo realiza qualquer função de transferência estática, de maneira simplificada, esse realiza multiplicação de correntes em domínio exponencial. Para que isso ocorra, o número de dispositivos de orientação no sentido horário deve ser igual ao anti-horário, isto pode ser visto na Fig. 35.

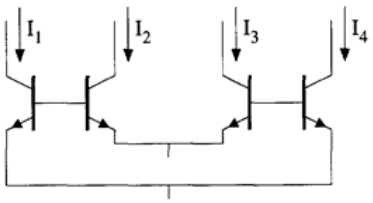

Figura 35 – Representação do sentido da corrente em loop STL. (16)

Ou seja, uma malha transilenear é conhecida através das junções base-emissor de um agrupamento de transistores com a mesma tensão térmica V_T e a mesma corrente de saturação V_{sat}, com exclusiva necessidade de que o número de transistores com a junção base-emissor no sentido horário da malha seja igual aos de junções no sentido anti-horário. Isso faz com que o produto das correntes de coletor dos transistores com suas junções base-emissor sejam iguais em ambos os sentidos. O equacionamento da malha e a demonstração que provam a teoria podem ser visualizados a partir da Eq. 4.1 à 4.3.

$$e^{a+b} = e^a \cdot e^b \tag{4.1}$$

$$-Vgs_1 + Vgs_2 - Vgs_3 + Vgs_4 = 0 \tag{4.2}$$

$$Vgs_1 + Vgs_3 = Vgs_2 + Vgs_4$$

$$e^{Vgs_1+Vgs_3} = e^{Vgs_2+Vgs_4}$$

$$e^{Vgs_1} \cdot e^{Vgs_3} = e^{Vgs_2} \cdot e^{Vgs_4} \tag{4.3}$$

De maneira simplicada e já tendo passado pelas Leis de Kirchhoff e dada às características exponenciais aplicadas anteriormente, a Fig. 35 evidencia a validação do princípio STL em um loop translinear e pode ser descrita em equacionamento (Eq. 4.4) em termos de produto de correntes:

$$I_1 \cdot I_3 = I_2 \cdot I_4 \tag{4.4}$$

4.5.1.2 Princípio Translinear Dinâmico (DTL)

O princípio translinear dinâmico (DTL -*Dynamic Translinear*) opera funções de transferências que dependem do tempo e também da frequência. Aqui é comum o uso do capacitor como elemento primordial, uma vez que o capacitor pode permitir a passagem de corrente quando se aplica uma determinada tensão, leva-se em conta também o seu princípio integrador.

Sendo assim, pode-se observar na Fig. 36, que em termos de corrente há uma saída I_{OUT} do dispositivo exponencial e que também I_{CAP} que atravessa a capacitância C, observa-se também que V_{CONST} não afeta I_{CAP}.

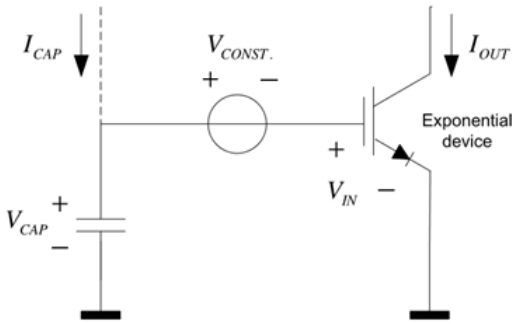

Figura 36 – Representação DTL em transistores para validação. (17)

Então, demonstra-se nas Eqs 4.5 e 4.6:

$$I_{CAP} = C \cdot \frac{dV_{CAP}}{dt} \tag{4.5}$$

$$V_{CAP} = \frac{1}{C} \cdot \int I_{CAP} dt \tag{4.6}$$

Considera-se pelas Leis de Kirchhoff que:

$$V_{CAP} = Vgs \tag{4.7}$$

$$I_{OUT} = e^{\frac{Vgs}{V_T}} \tag{4.8}$$

$$\frac{dI_{OUT}}{dt} = e^{\frac{Vgs}{V_T}} \frac{1}{V_T} \frac{dVgs}{dt} = e^{\frac{Vgs}{V_T}} \frac{1}{V_T} \frac{dV_{CAP}}{dt} = e^{\frac{Vgs}{V_T}} \frac{1}{V_T} \frac{I_{CAP}}{c} \tag{4.9}$$

Então:

$$\dot{I}_{OUT} = \frac{I_{OUT}}{cV_T} \cdot I_{CAP} \tag{4.10}$$

Reorganizando, obtém-se que a relação de corrente $\mathrm{I}_{OUT} \cdot \mathrm{I}_{CAP}$ é descrita como na Eq. 4.11:

$$I_{OUT} \cdot I_{CAP} = cV_T \cdot \dot{I}_{OUT} \tag{4.11}$$

Ou seja, a derivada de uma corrente pode ser implementada pelo produto desta corrente com uma corrente do capacitor.

5 IMPLEMENTAÇÃO EM TECNOLOGIA CMOS

Este capítulo é delimitado à descrição individual dos blocos da implementação do modulador operando a ferramenta CADENCE Virtuoso com tecnologia CMOS TSMC 0.13μm. O circuito de forma genérica pode ser visualizado e identificado na Fig. 37, demonstrando o seu funcionamento básico como já explicado nas seções anteriores.

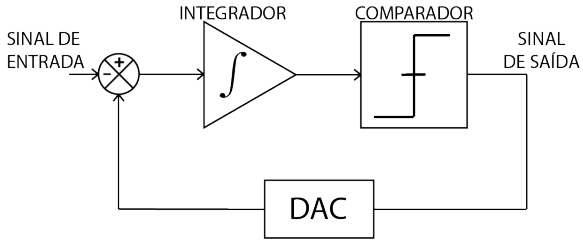

Figura 37 – Representação básica do bloco de um modulador de 1ª ordem

Os circuitos deste trabalho são específicos para o modulador do conversor Sigma Delta, para isto, testam-se os moduladores de 1ª ordem para validação em nível transístor.

5.1 O modulador Corrente-Corrente

Utilizando circuitos translineares em modo corrente, descrevem-se, os sistemas e valida-se os circuitos à nível transítor para que se construa o bloco completo do modulador de 1ª ordem, conforme a Fig. 38.

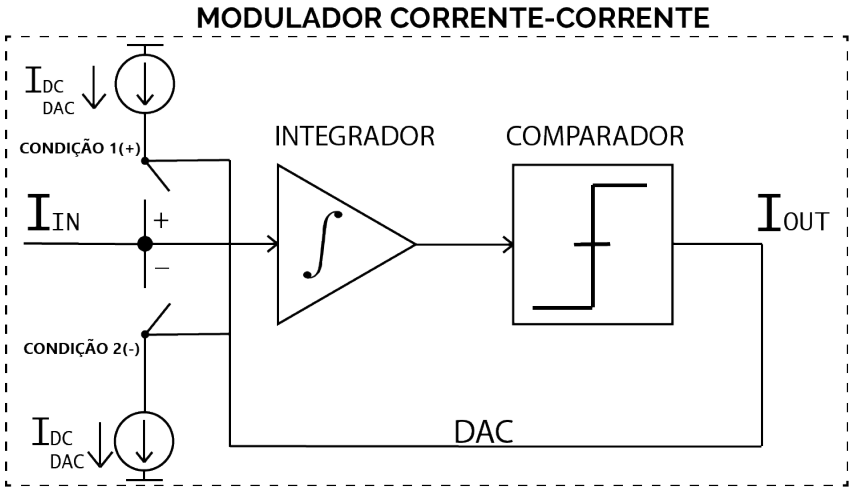

Figura 38 – Representação do modulador de 1ª ordem Corrente-Corrente

5.1.1 Filtro e Integrador Translinear - Log-Domain

Compreendendo que os transistores são transcondutores profundamente não lineares e que o uso de outras técnicas de filtragem requerem um valor maior de consumo de energia ou de largura de banda, a utilização de filtros translineares é uma proposta de menor consumo de energia e de tensão de alimentação. (22)

Então, para que se realizem as equações diferencias de filtros é necessária a transformação para equações elétricas, ou seja, equações que sejam representadas por corrente e tensão. Nestes circuitos (*Log-Domain*) as variáveis equacionáveis de saída ou entrada são alusivas às correntes e a relação entre variáveis de estado e tensões de capacitância possuem uma natureza logarítimica.

Um integrador translinear (*Log-Domain*) pode ser representado, de forma simplificada, em um circuito diodo-capacitor assim como demonstrado na Fig. 39.

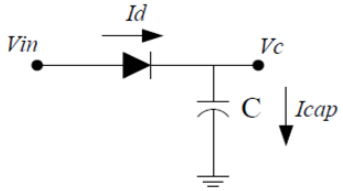

Figura 39 – Representação simplificada de um integrador *Log-Domain*. (16)

É possível notar que na Fig. 39 a corrente da capacitância I_{CAP} é demonstrada em tensões V_C e V_{IN} que desempenham a lei exponencial do diodo, conforme a Eq. 5.1:

$$I_{CAP} = I_D = \dot{C} \cdot V_C = I_S \cdot e^{\left(\frac{V_{IN}-V_C}{V_T}\right)} \tag{5.1}$$

Sendo que I_S é a corrente de saturação reversa e admitindo que o capacitor tenha carga, pode-se considerar $I_{CAP} = I_D$. Para entendimento e montagem do integrador em *Log-Domain* analisou-se o diagrama de blocos da Fig. 40 onde se vê que a entrada I_{IN} passa por um bloco logarítmico e torna-se V_{IN} passando posteriormente para uma integração não linear com uma etapa linear tornando-se V_C e através do caminho inverso (exponencial) torna-se a saída desejada I_{OUT}, a qual é linearmente proporcional a I_{IN}.

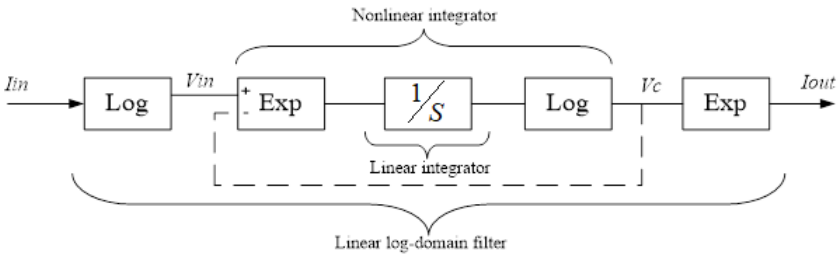

Figura 40 – Diagrama de bloco do filtro passa baixa de 1ª ordem em *Log-Domain*. (16)

Pode-se também, propor para verificar a linearidade a Eq. 5.2:

$$CV_T \frac{d}{dt}\left[ln\left(\frac{I_{out}}{I_s}\right)\right] = I_s \frac{e^{ln(\frac{Iin}{Is})}}{e^{ln(\frac{Iout}{Is})}} \tag{5.2}$$

Considerando a derivada com um ponto sobrescrito, então:

$$CV_T \dot{I}_{out} = I_{in} \tag{5.3}$$

Se:

$$I_1 I_3 = I_2 I_4 \tag{5.4}$$

$$I_{in} I_o = (I_o + I_{cap}) I_{out} = I_{cap} I_{out} = CV_T \dot{I}_{out} \tag{5.5}$$

$$CV_T \dot{I}_{out} + I_o I_{out} = I_o I_{in} \tag{5.6}$$

Logo, a frequência de operação pode ser encontrada na Eq. 5.7:

$$\omega_c = \frac{I_o}{CV_T} \tag{5.7}$$

Isso posto, iniciaram-se as verificações dos princípios STL e DTL que compreendem a lógica básica expressa na Fig. 41, a qual é a topologia escolhida para implementação em *Log-Domain*.

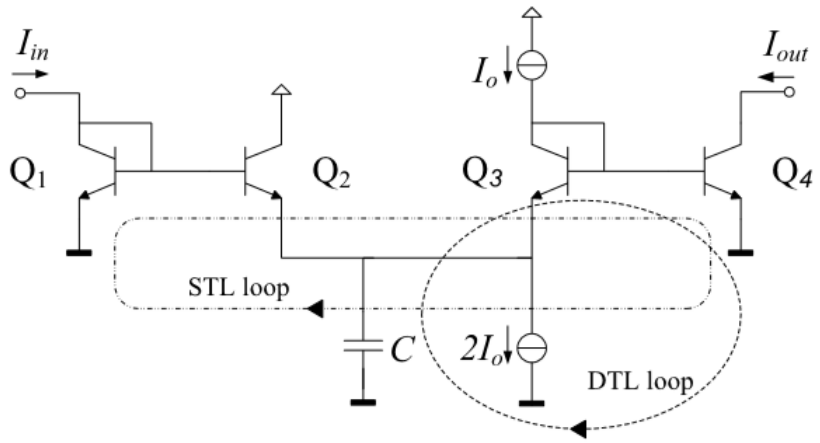

Figura 41 – Topologia do filtro passa baixa de primeira ordem em *Log-Domain*. (17)

Com a topologia de HADDAD e *et al*(17) a qual foi demonstrada na Fig. 41, construiu-se o seguinte circuito no software *CADENCE virtuoso* conforme a Fig. 42.

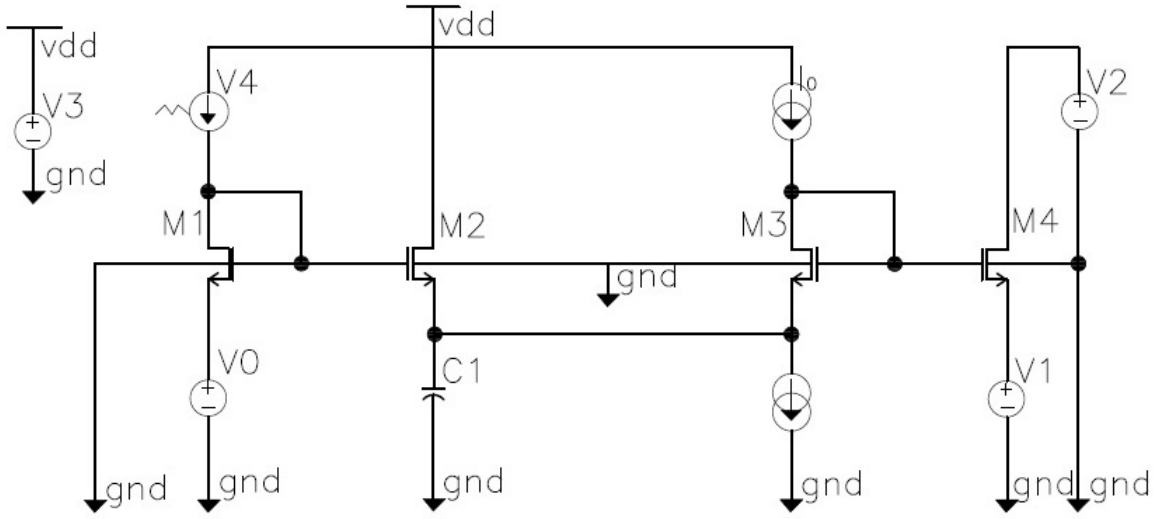

Figura 42 – Implementação do filtro passa baixa de primeira ordem em *Log-Domain*

Para a construção do circuito da Fig. 42 utilizou-se transistores do tipo NMOS com as dimensões iguais e equivalentes a $\frac{45}{3}$ e tensão de alimentação igual a 1 V. Para realizar a verificação correta, considera-se a Eq. 5.8:

$$V_T = \frac{k \cdot T}{q} = 26mV \tag{5.8}$$

E então, calculou-se a frequência de corte do filtro, conforme Eq. 5.7 já demonstrada anteriormente, em aplicações númericas nas Eqs 5.9 e 5.10:

$$\omega_c = \frac{I_o}{CV_T} = \frac{10n}{50p \cdot 26m} = 7.6923KHz \tag{5.9}$$

$$fc = \frac{7.6923K}{2 \cdot \pi} = 1.22426KHz \tag{5.10}$$

Após obter a frequência de corte, simula-se em nível AC com corrente 10n e capacitância de 50p e se valida a forma de onda da análise AC correspondente a um filtro passa baixas com frequência de 1.224 KHz como é visto na Fig. 43.

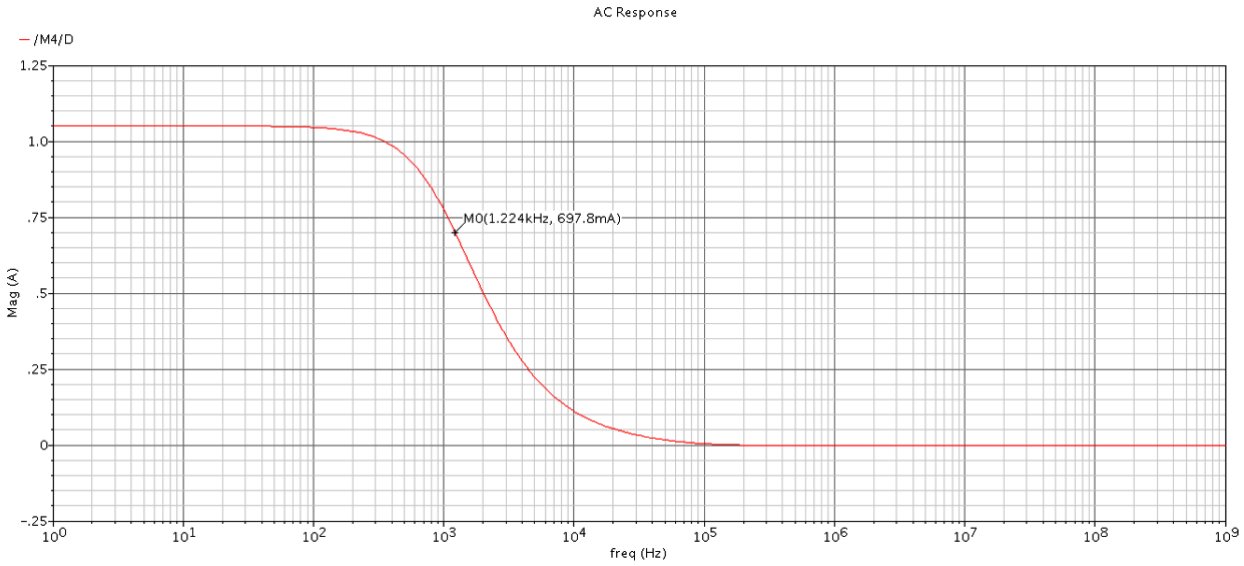

Figura 43 – Análise AC do filtro de 1ª ordem.

A partir da curva, consegue-se perceber que o estado da arte da resposta depende diretamente do capacitor C e da corrente I_0 . Para analisar o comportamento do sistema, utilizou-se a *Parametric Analyses* conforme os valores da Tab. 3 e 4.

Tabela 3 – Variações teóricas entre Corrente (I_0) e frequência de corte (F_c) utilizando capacitor fixo de 50p

I_0 (nA)	10	20	30	40	50	60	70	80	90	100
F_c (KHz)	1.224	2.448	3.672	4.897	6.121	7.345	8.569	9.794	11.018	12.242

A Tab. 3 demonstra a variação que ocorre na frequência de corte quando sua corrente é aumentada. Nota-se que a frequência tende a aumentar de forma contínua ao passo de 10n, acrescentando 1.224 KHz a cada passo, ou seja, a cada dois passos o seu valor dobra. Sendo assim, se a corrente é dobrada, sua frequência aumenta proporcionalmente.

Tabela 4 – Variações teóricas entre Capacitância (c) e frequência de corte (F_c) utilizando corrente fixa de 10n

C (pF)	10	20	30	40	50	60	70	80	90	100
F_c (KHz)	6.121	3.060	2.040	1.530	1.224	1.020	0.874	0.765	0.680	0.612

A Tab. 4 demonstra a variação que ocorre na frequência de corte quando a sua capacitância é incrementada. Nota-se que a frequência tende a diminuir com o aumento da capacitância. Tendo as análises teóricas, gera-se, então, a Fig. 44.

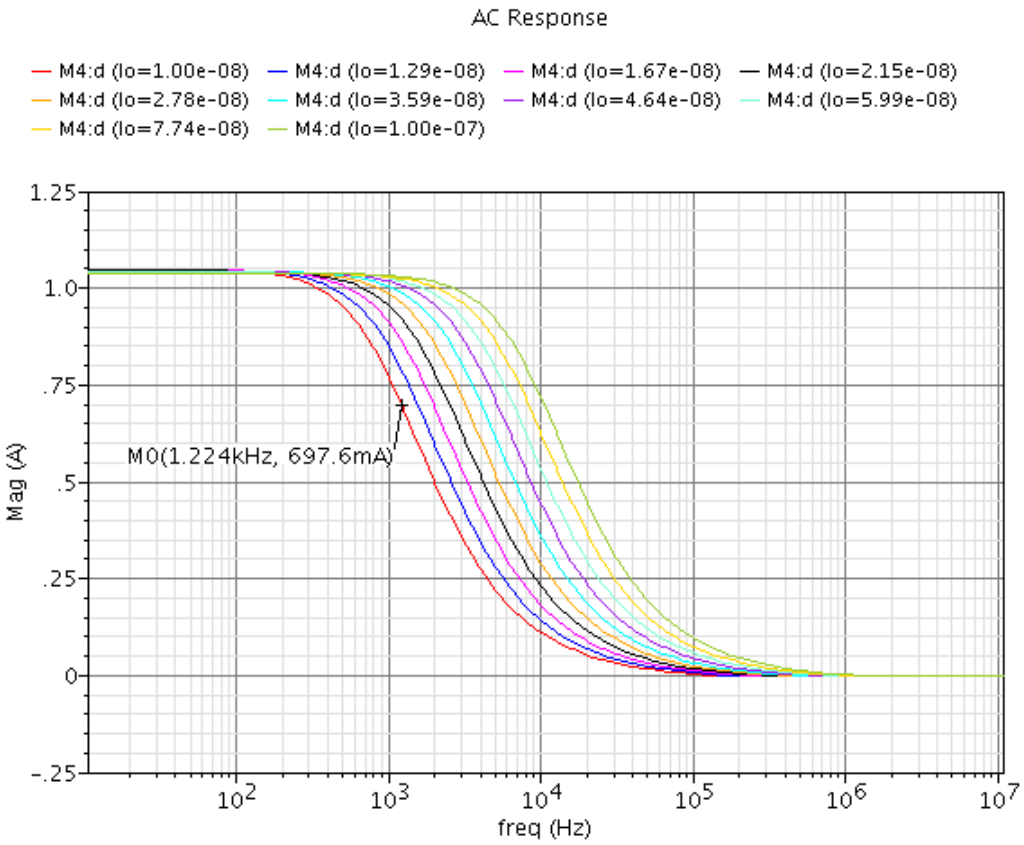

Figura 44 – Análise em *Parametric Analyses* para verificação quanto a alterações da corrente no filtro

Nesta Fig. 44, alterou-se os valores de corrente mantendo o capacitor a 50p. Contempla-se o aumento da frequência de corte conforme a teoria e valores da Tab. 3 anteriormente apresentada.

A resposta é semelhante alterando-se a capacitância e mantendo a mesma corrente, contudo, a frequência desta vez, tenderá a diminuir conforme a Tabela 4.

Para última validação do filtro implementa-se um sinal de ECG. O sinal de ECG apresenta diversos ruídos intramusculares e também oscilações que não agregam na análise médica.

Como o filtro *Log-Domain* projetado é de primeira ordem, esse deve ser capaz de filtrar de forma perfeita o sinal implementado, apresentando um comportamento que permita a passagem de baixas frequências e deve atenuar a amplitude das frequências mais altas que a frequência de corte F_c, (F_c=1.224kHz), conforme demonstra a simulação da Fig. 45. Validando-se assim o filtro do sistema.

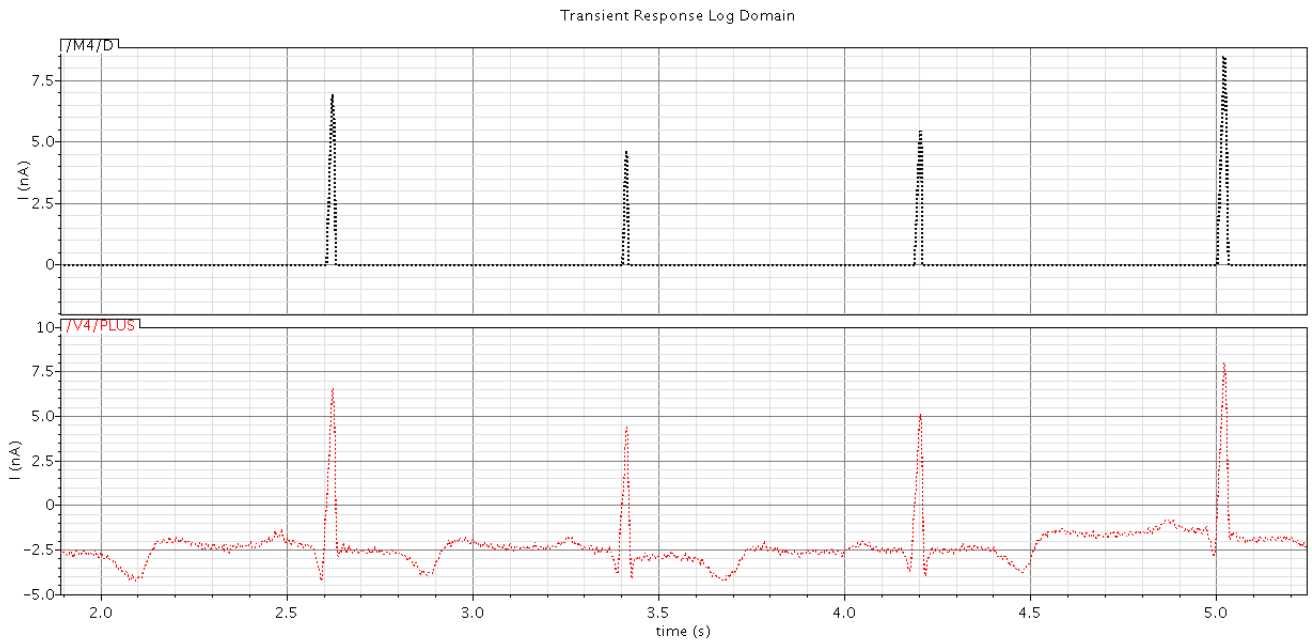

Figura 45 – Análise Transiente com sinal de ECG aplicado ao filtro passa baixas proposto

A topologia do integrador em *Log-Domain* é semelhante ao filtro exposto anteriomente, o circuito simulado é mostrado na Fig. 46.

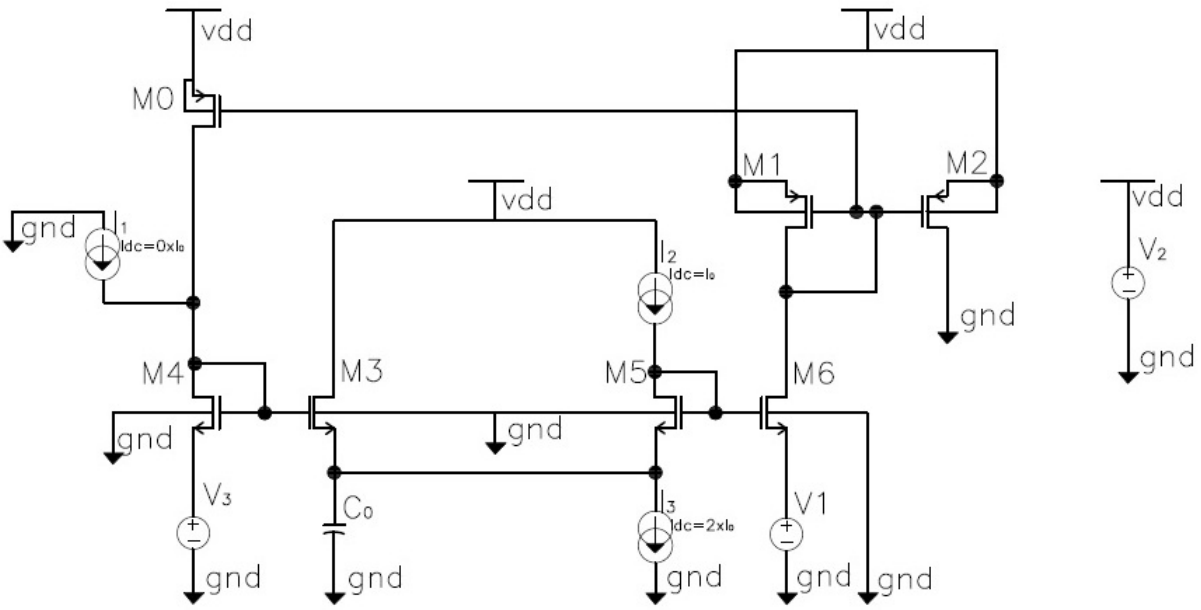

Figura 46 – Implementação do Integrador em *Log-Domain*

A diferença entre o filtro e o integrador se dá pela realimentação, onde esta, suprime a parte real do pólo fazendo com que a topologia se comporte com um integrador ideal do sistema (pólo na origem). Nesta etapa é necessário que os transistores estejam em *Weak Inversion* para que a estrutura adquira caracaterísticas exponenciais.

5.1.2 Comparador de Corrente

O circuito comparador é aquele no qual se fornece uma saída à qual corresponde ao sinal de entrada comparado ao sinal de referência. A energia de um circuito está relacionada diretamente com o quadrado da tensão da alimentação do sistema, ou seja, para um sistema de baixa potência é importante a redução desta tensão para que o consumo diminua. A escolha do modo corrente para esse comparador se dá devido à menor dissipação de energia e, também, frequência de operação. Há vantagens como baixo requisito de V_{DD}, baixa impedância de entrada e menor sensibilidade ao ruído. (25)

O comparador de corrente implementado utiliza a topologia proposta por SAMUEL e PATIL(10), que apresenta transistores do tipo NMOS e PMOS em *diodo connector* produzindo assim, uma corrente de limiar (I_{TH}). Quando o dreno e o *gate* estão conectados um ao outro, este componente passa a ter um comportamento de diodo. A carga ativa é implementada com um transistor do tipo MOS de *gate-drain* ou com uma fonte de corrente. A topologia pode ser vista na Fig. 47.

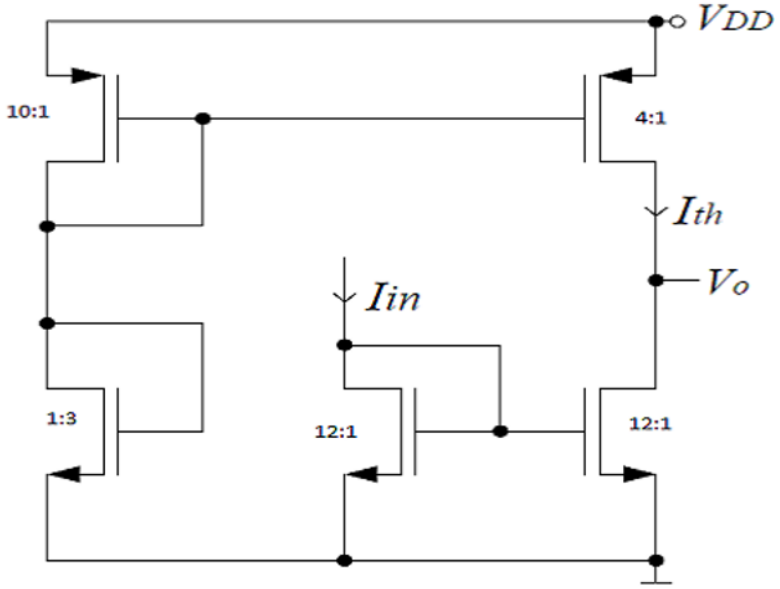

Figura 47 – Topologia básica da implementação do circuito comparador de corrente (10)

A Fig. 47 mostra que a corrente de referência é espelhada para a saída e é denominada I_{TH}, e a corrente de entrada é espelhada para a saída como I_{IN}. Ou seja, para uma saída *HIGH* (Lógica Alta = 1) o nó da saída terá a mesma tensão da fonte de alimentação, isto, quando a corrente de entrada for menor do que a corrente de limiar. Já para uma saída *LOW* (Lógia Baixa = 0) o nó de saída terá a mesma tensão do *ground* (G_{ND}), quando a corrente de entrada for maior que a corrente de *threshold*.

Demonstra-se, numericamente, as condições da Eq. 5.11 abaixo.

$$V_0 = \begin{cases} HIGH & \rightarrow \quad I_{IN} < I_{TH} \\ LOW & \rightarrow \quad I_{IN} \geq I_{TH} \end{cases} \tag{5.11}$$

Pode-se concluir que a lógica implementada na Fig. 47 produz uma resposta invertida, ou seja, a lógica do circuito é inversa. Para resolver este problema, elabora-se um circuito inversor, que é constituído de dois transistores MOS, um tipo N e outro tipo P, com ligações iguais ao exibido na Fig. 48.

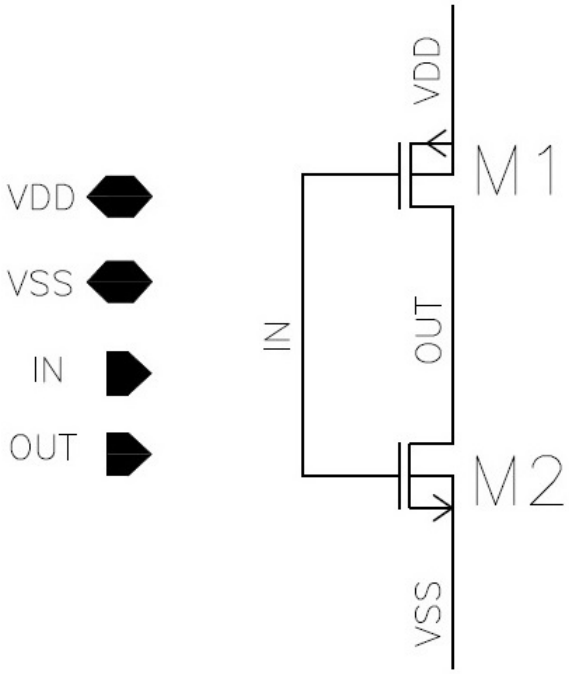

Figura 48 – Implementação do circuito inversor

Utilizando a topologia da Fig. 48 tem-se então, como resultado, um nível lógico alto quando a corrente de entrada for maior do que I_{TH}, e maneira análoga, tem-se o nível lógico baixo quando for menor do que I_{TH}. Este circuito foi implementado conforme o esquemático da Fig. 48 e seu símbolo pode ser visto na Fig. 49.

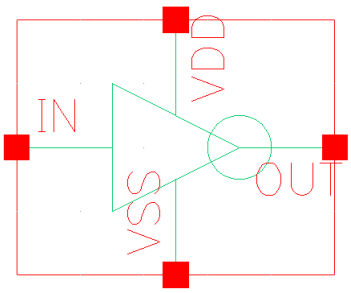

Figura 49 – Símbolo do Esquemático do circuito inversor

A partir destes dois circuitos básicos, criou-se e implementou-se no CADENCE a Fig. 50.

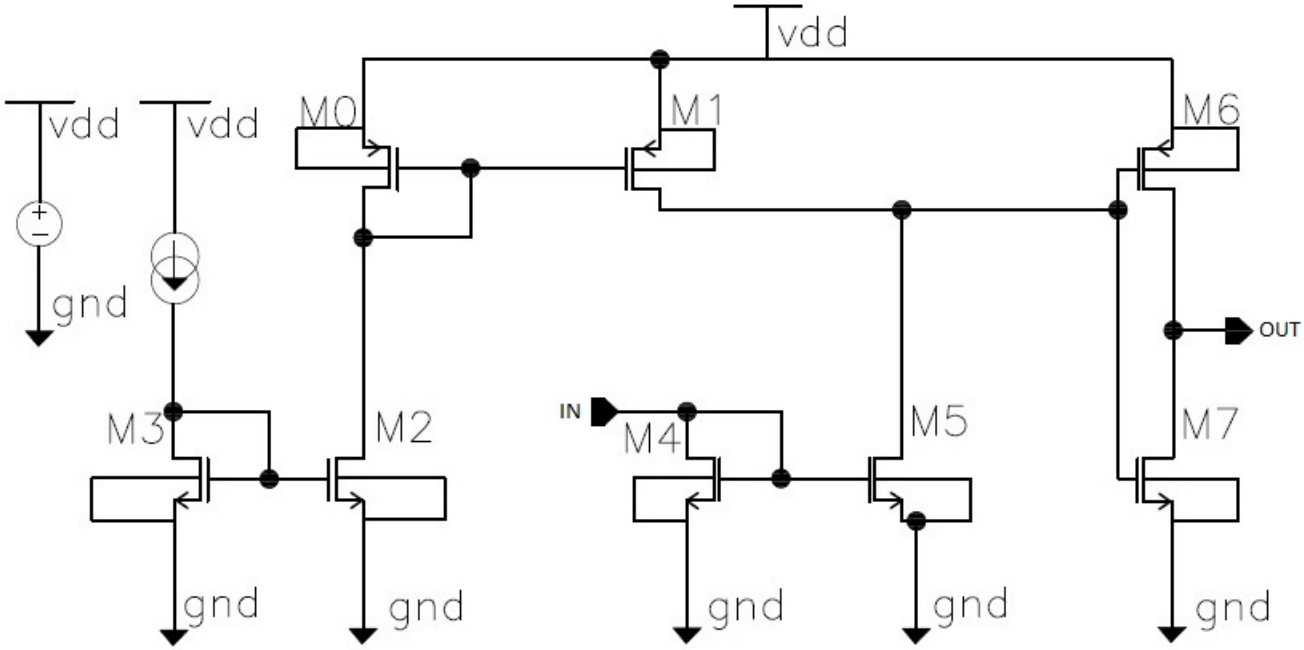

Figura 50 – Implementação do circuito comparador de corrente

5.1.3 Diferenciador e Bloco de Memória (*Latch*)

O diferenciador neste modulador do tipo corrente-corrente é feito somente por um fio que realiza a realimentação do circuito em chaves, as quais são responsáveis por conter ou não o sinal. Os resultados referentes ao modulador corrente-corrente serão vistos e comparados na seção 5.3.

5.2 O modulador Corrente - Tensão

Os circuitos implementados nesta seção descrevem um comportamento de um modulador Sigma Delta e segue o mesmo príncipio: sinal - quantizador - integrador - DAC. Contudo, inova-se ao trocar um circuito completo de integração por um único capacitor, conforme o esquemático da Fig. 51, que demonstra um modulador corrente-tensão e o que mesmo é facilmente transformado para tensão-tensão com a inclusão de um amplificador ou *buffer*. Então, descrevem-se, aqui, o sistema e valida-se os circuitos à nível transítor para que se construa o bloco completo do modulador corrente-tensão.

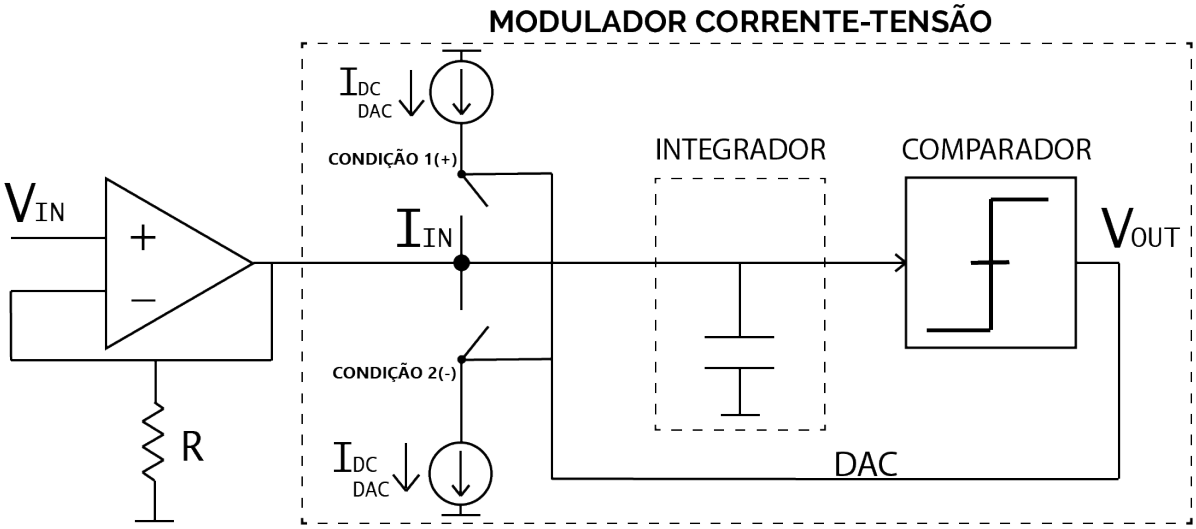

Figura 51 – Representação do modulador de 1ª ordem corrente-tensão

5.2.1 Capacitor como Integrador

O capacitor é um dispositivo capaz de armazenar cargas elétricas em um campo elétrico. Ou seja, são armazenadores também conhecidos como elementos passivos. De maneira simplificada, ele armazena carga quando há uma injeção de corrente, permitindo que este libere um tensão e se carregue. Essa entrada de corrente pode ser visualizada na Fig. 52.

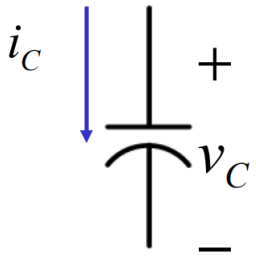

Figura 52 – Representação simbólica de um capacitor

A partir da Fig. 52 e por saber que os capacitores lineares obedecem a *Lei de Coulumb*, então, desenvolve-se a Eq. 5.12:

$$Q_c = C_c.V_c \tag{5.12}$$

Nota-se que se a tensão varia a carga também irá variar, isto representa um deslocamento de corrente através do capacitor. Partindo destes princípios, pode-se definir a Eq. 5.13:

$$I_c(t) = \frac{dQ}{dt} \tag{5.13}$$

Substituindo para representação simplificada, pode-se obter as expressões das Eqs 5.14 e 5.15:

$$I_c(t) = C_c.\frac{dV_c(t)}{dt} \tag{5.14}$$

$$V_c(t) = \frac{1}{C_c}.\int I_c(t)dt \tag{5.15}$$

O que se pode evidenciar é a existência de um movimento de cargas no dispositivo, demonstrando não só a presença da corrente ($I_c(t)$), mas também a acumulação e remoção de cargas($Q_c(t)$) entre as placas. A equação em relação a tensão do capacitor ($V_c(t)$) evidencia a capacidade do circuito em integrar a corrente, resultado em um tensão em função do tempo. Provando assim, que este pode atuar como integrador do sistema de modulação.

5.2.2 DAC

O DAC é reponsável pela realimentação do modulador, somando ou subtraíndo conforme a condição. Para a realização deste circuito, utilizou-se um topologia referente à um espelho de corrente capaz de representar o somador e acrescentou-se um chaveameto para condição 1 (+) e 2 (-). O símbolo do circuito DAC, pode ser visualizado na Fig. 53.

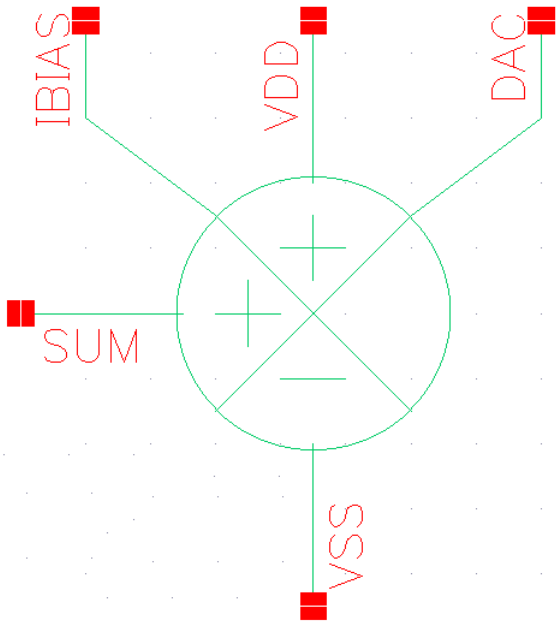

Figura 53 – Símbolo do circuito DAC

O sistema interno do DAC deste modulador é composto por espelhos de corrente, referência de corrente e também por esquemas do tipo *diode connect* no circuito, onde o somador é apenas um fio tirando, assim, o amplificador operacional do sistema. O DAC é demonstrado na Fig. 54.

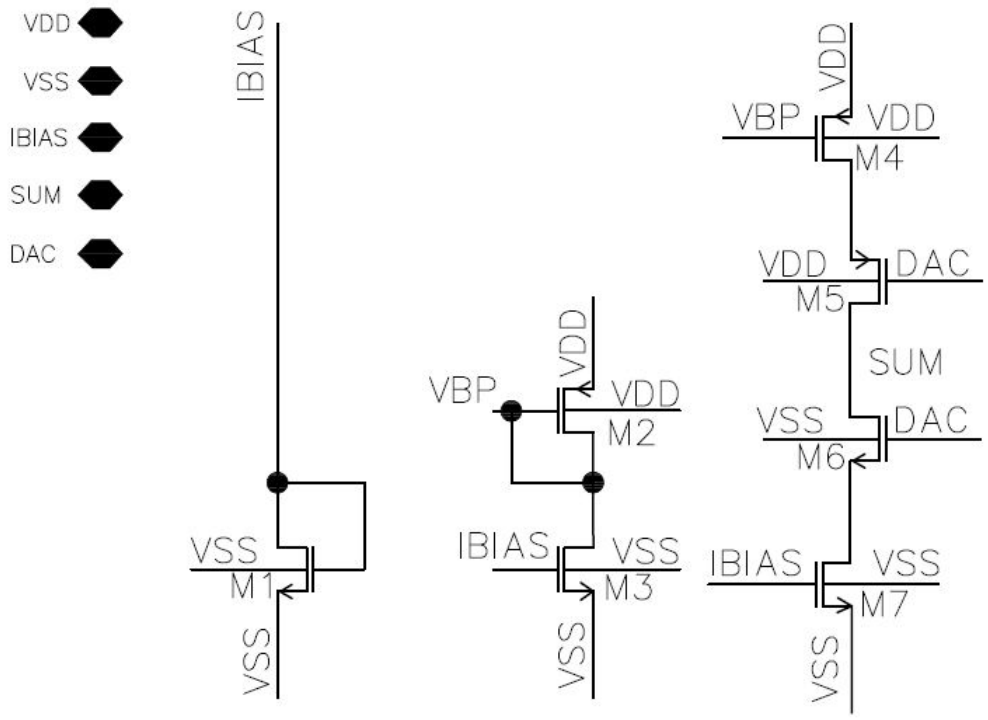

Figura 54 – Esquemático do DAC do modulador de 1ª ordem

Para esclarecimento, nota-se que o nome da via DAC da Fig. 54 é referente ao CLOCK do sistema. Os resultados, do modulador descrito, são explicitados na seção 5.3.

5.3 Resultados dos moduladores projetados

Aqui demonstram-se os resultados dos moduladores de 1ª ordem do tipo corrente-corrente e tensão-corrente.

5.3.1 Resultados: Modulador Corrente-Corrente

Os blocos descritos anteriormente nas Figs. 38, 42, 46, 50 e 49, foram agrupados e obteve-se como resposta a entrada do sinal com 6KHz, na Fig. 55.

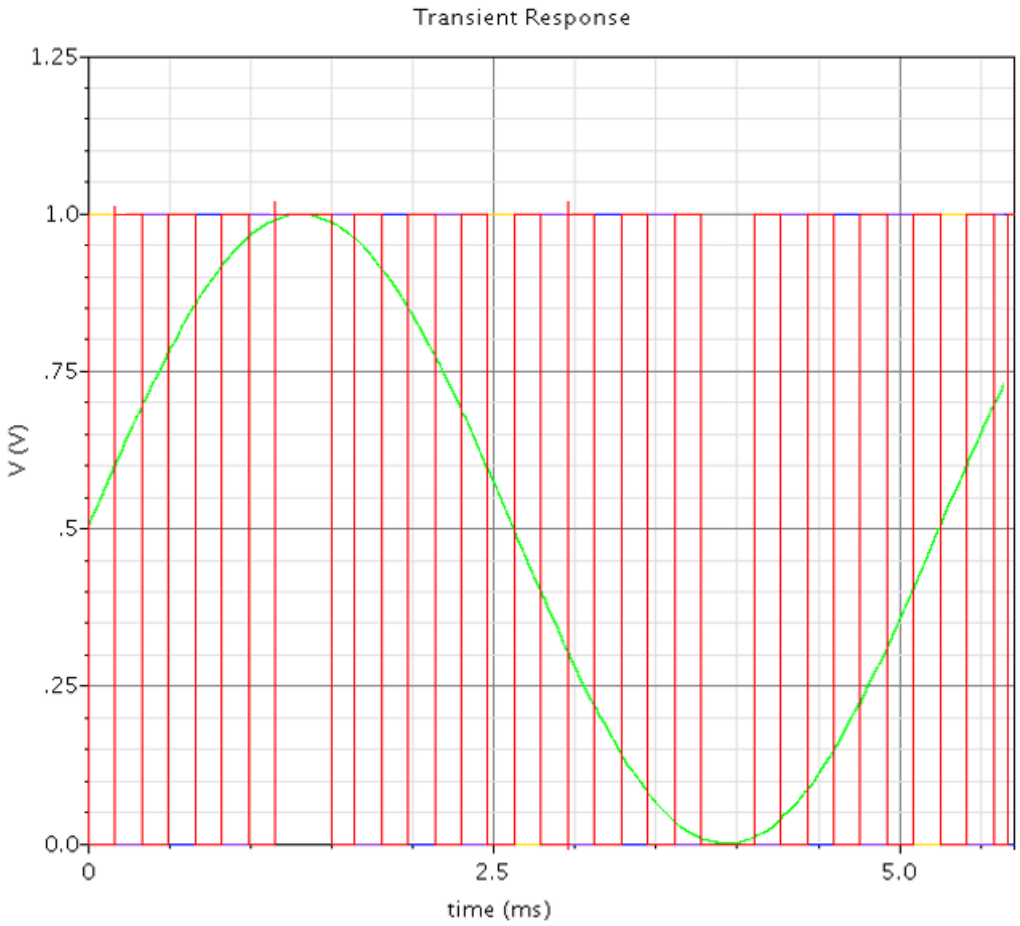

Figura 55 – Sinal modulado do modulador de 1ª ordem

A partir, disto, verifica-se a resposta em frequência realizando a FFT na Fig. 56 com os parâmetros, de forma análoga ao modulador tensão-corrente, da Tab. 5.

Tabela 5 – Tabela de parâmetros da realização da DFT do modulador

PARÂMETRO	DESCRIÇÃO	VALOR
Fs	Frequência de amostragem	1 KHz
Fb	Frequência de banda do sinal de entrada	1 MHz
L	Ordem do Modulador	1
ENOB	Número Efetivo de Bits	11.03
SNR	Relação Sinal Ruído	90 dB
SINAD	Signal to Noise and Distortion Ratio	79 dB
SFRD	Faixa Dinâmica Livre de Espúrios	81 dB
M	Fator de oversampling	512

A partir dos parâmetros da Tab. 5, plotou-se a FFT do sistema na Fig. 56.

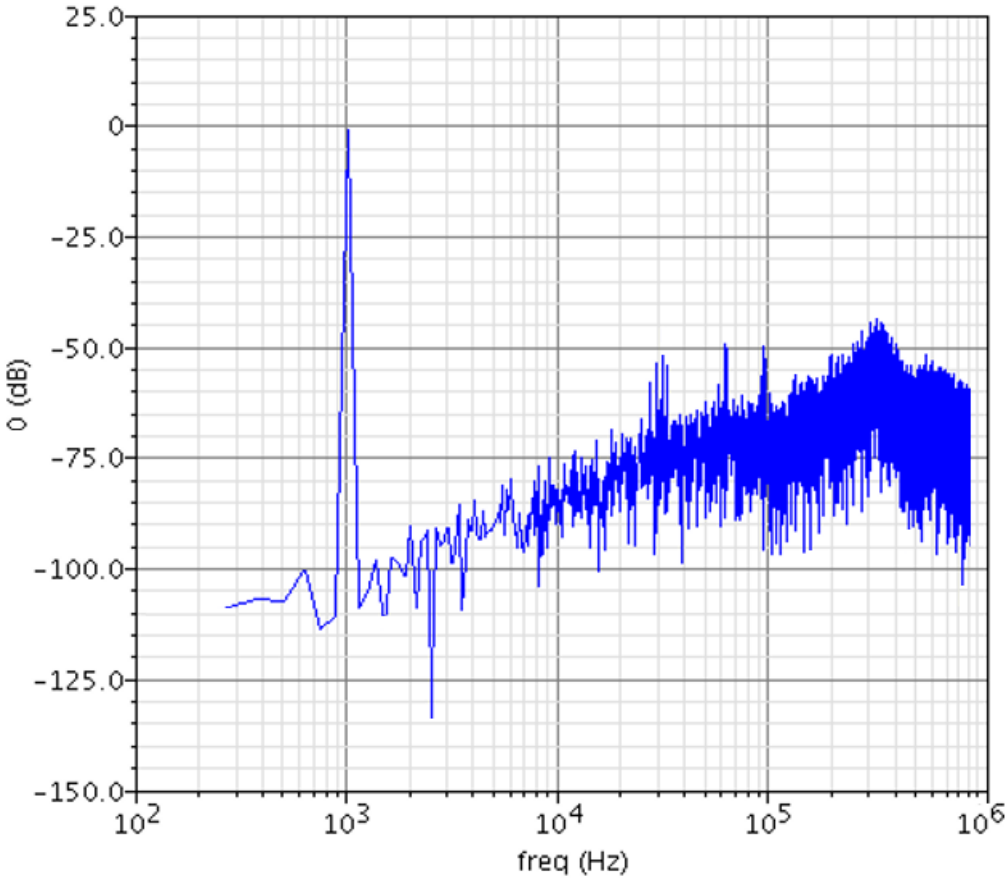

Figura 56 – Transformada de *Fourrier* do sinal modulador de 1ª ordem

A FFT aumenta, em altas frequências, um pouco mais de 20dB, e isto, também valida o modulador de 1ª ordem que necessita de um aumento em 20dB. A Fig. 56 apresenta uma plotagem em *Coherent Gain* de 20dB para uma visualização completa e precisa. Contudo, há presença de harmônicos e estes tendem a diminuir a SNR e, por consequência, também, o ENOB deste modulador.

5.3.2 Resultados: Modulador Tensão-Corrente

Com o intuíto de inovar e facilitar a integração de um conversor ΣΔ utilizou-se um circuito simplicado como é demonstrado na Fig. 57.

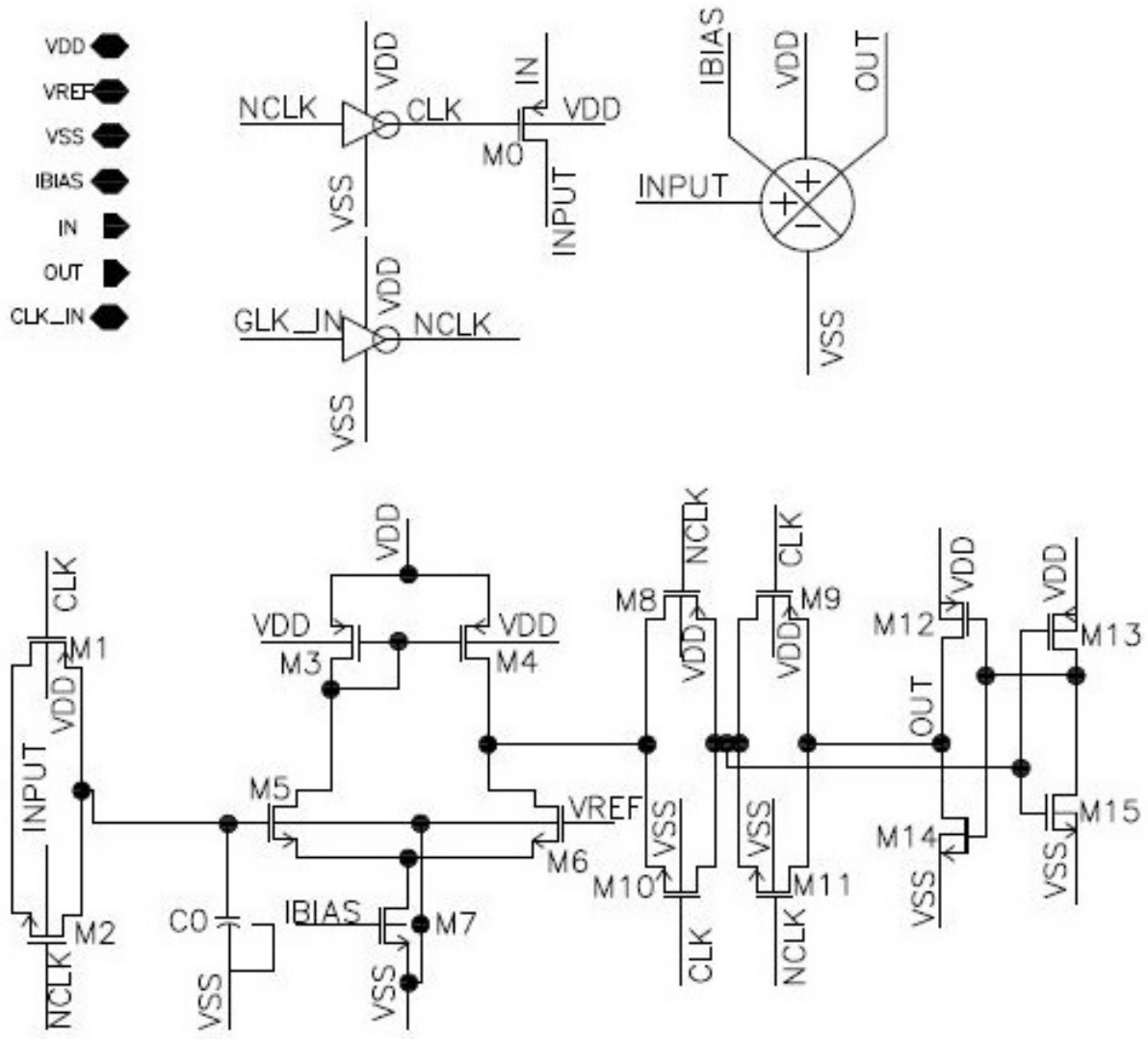

Figura 57 – Esquemático do modulador de 1ª ordem Corrente-Tensão

Nota-se na Fig. 57 que existem sistemas inversores, o DAC, um comparador, *Flip-Flop* (*Latch*), e um sistema de chavamento composto por transistores ligados ao CLK do sistema. Para facilitar o entendimento do esquemático, montou-se um *testbench* para validar o sistema e este está demonstrado na Fig. 58 e utilizou-se os parâmetros conforme a Tab. tabela 6.

Tabela 6 – Descrição de Pinos e valores para o *testbench* do modulador Corrente-Tensão

PINO	DESCRIÇÃO	VALOR
VDD	Tensão de Alimentação	3 V
VREF	Tensão de Referência	1.5 V
F_IN	Frequência de Entrada	6 KHz
A_IN	Amplitude de Entrada	100 nA
IBIAS	Corrente de Polarização	200 nA
CLK	Clock do Circuito	1 us

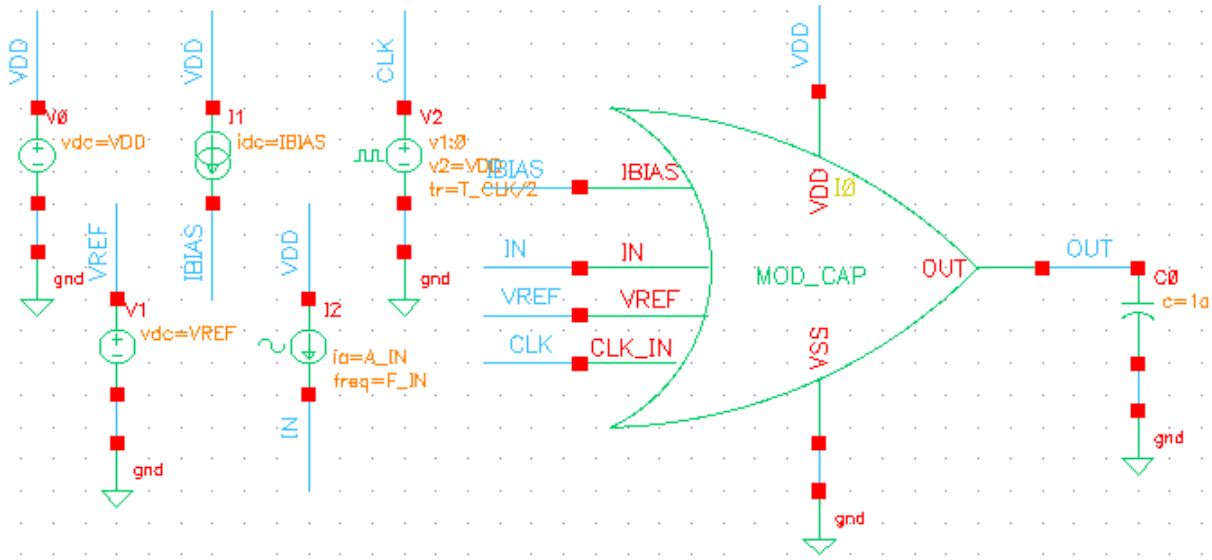

Figura 58 – Esquemático do modulador de 1ª ordem Corrente-Tensão

Plota-se então o resultado da modulação do sinal. Pode-se observar a saída modulada com nível lógico alto (V_{DD}) subtraída da entrada, caso contrário, esse valor é somado. Ou seja, quando a senoíde está em 100nA pode-se ver mais uns do que zeros na modulação, já quando ocorre a descida do sinal é notória a igualdade e também percebe-se mais zeros do que uns quando o sinal está em -100nA provando assim, a modulação do sinal. É visível também, alguns *glitches* presentes, que se dão devido à implementação do esquemático com elementos reais contendo não-idealidades. A resposta modulada em relação à senóide de entrada, corresponde as Figs. 59 , 60 e 61.

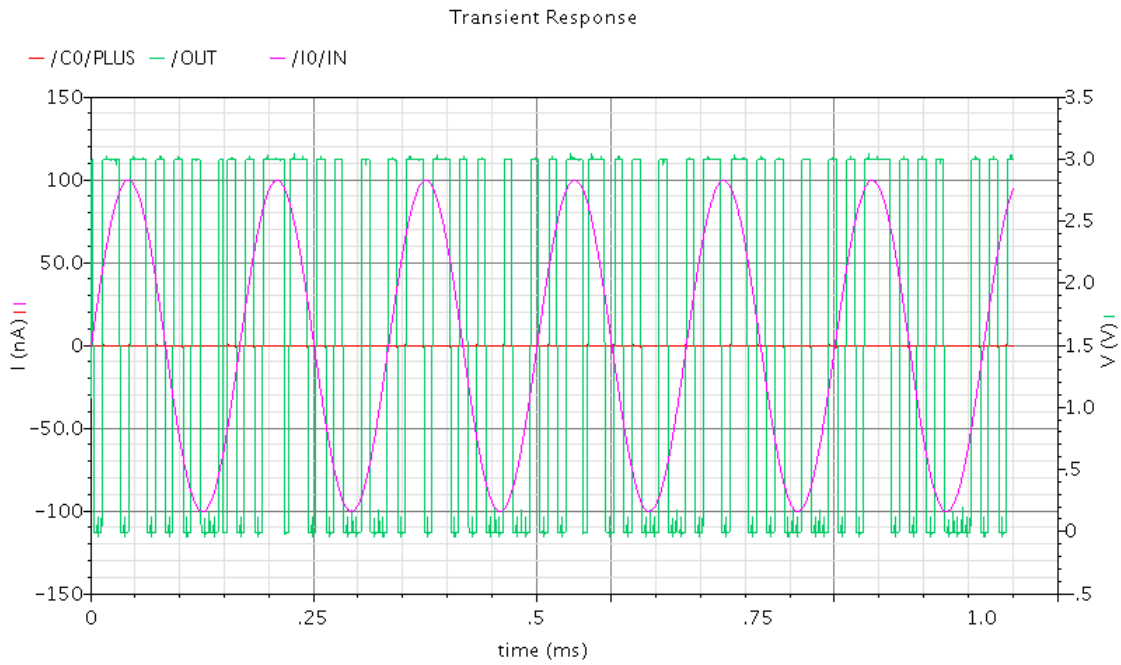

Figura 59 – Resposta transiente ao modulador de 1ª ordem Corrente-Tensão

Para o entendimento mais adequado da curva, separa-se o *clock* e o sinal de entrada do sinal modulado da resposta, como nas Fig. 60 e 61.

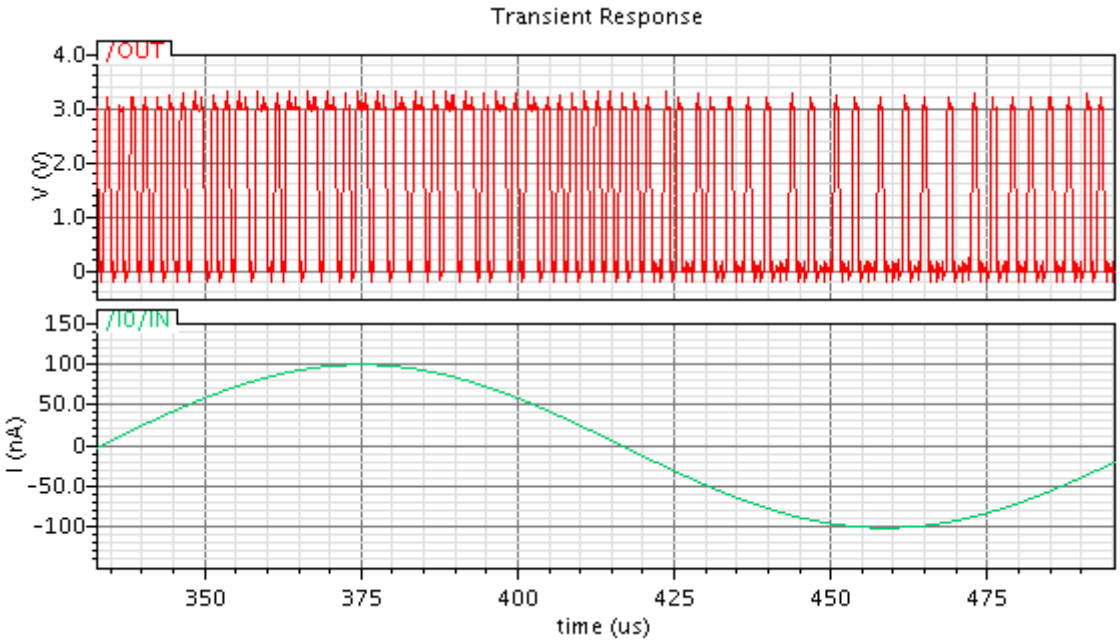

Figura 60 – Resposta transiente ao modulador de 1ª ordem Corrente-Tensão: Sinal modulado (Vermelho); Sinal de Entrada (Senoíde verde)

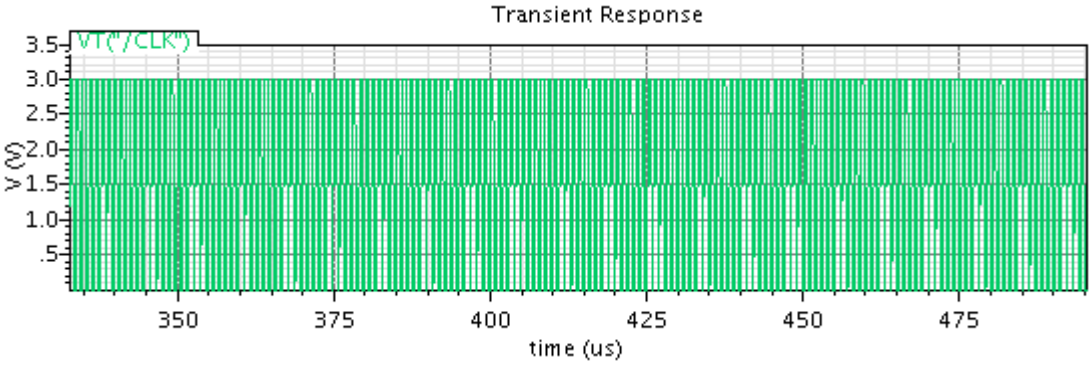

Figura 61 – Resposta transiente ao modulador de 1ª ordem Corrente-Tensão: *Clock* do Sistema à F_{clock} 1MHz

Levando em conta que para se parametrizar a FFT de maneira correta é preciso o seguir os seguintes procedimentos. Inicialmente, calcúla-se a frequência de amostragem, dada por:

$$F_s = 2 \cdot MF_b \tag{5.16}$$

onde:

F_s = Frequência de Amostragem

M = *Oversampling*

F_b = Frequência de Banda do Sinal de Entrada

Podendo então, descobrir o SNR de maneira simples:

$$SNR = 6,02 \cdot N + 1,76 \tag{5.17}$$

A partir, disto, verifica-se a resposta em frequência realizando a FFT na Fig. 62 com os parâmetros da Tab. 7.

Tabela 7 – Tabela de parâmetros da realização da DFT do modulador

PARÂMETRO	DESCRIÇÃO	VALOR
Fs	Frequência de amostragem	1 KHz
Fb	Frequência de banda do sinal de entrada	1.053 MHz
L	Ordem do Modulador	1
ENOB	Número Efetivo de Bits	11
SNR	Relação Sinal Ruído	92 dB
SINAD	Signal to Noise and Distortion Ratio	70 dB
SFRD	Faixa Dinâmica Livre de Espúrios	72 dB
M	Fator de oversampling	512

Baseando nos parâmetros da Tab. 7, plotou-se a FFT do sistema na Fig. 62. Nesta figura é notório que a FFT aumenta em 20dB em altas frequências, validando o modulador de 1ª ordem. Contudo, a presença de harmônicos tendem a diminuir a SNR e, por consequência, o ENOB deste modulador.

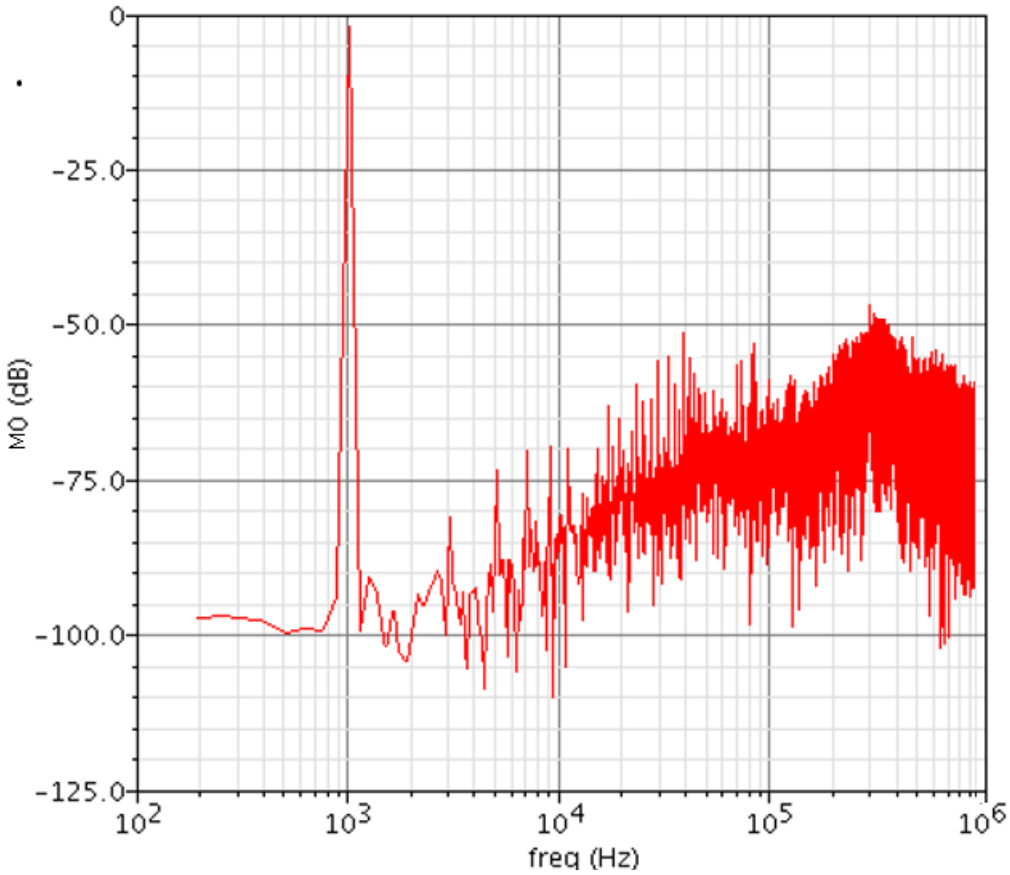

Figura 62 – Transformada de *Fourrier* do sinal modulado de 1ª ordem

Percebe-se assim, que os dois sistemas foram submetidos aos mesmos parâmetros (tanto o modulador tensão-corrente como o corrente-corrente) apresentam respostas satisfatórias e correspondentes ao esperado na literatura. Nota-se que o corrente-corrente apresentou melhor modulação do sinal, e que o SNR, do tensão-corrente, é melhor, contudo, demonstra mais distorção devido a ausência do amplificador para garantir a linearidade de operação. O tensão-corrente é uma ideia inovadora e necessita ser aprimorada, espera-se ainda, uma resposta extraordinária com este modulador já que suas características são compactas e eficientes.

Parte III

CONCLUSÃO E TRABALHOS FUTUROS

6 CONCLUSÃO E TRABALHOS FUTUROS

Nesta seção apresenta-se a conclusão e os trabalhos futuros a respeito do projeto sugerido e do implementado.

6.1 Conclusão

Neste trabalho foram apresentadas diversas topologias de conversores ADC, dentre elas, o tipo flash, rampa dupla, SAR e $\Sigma\Delta$. A escolha do conversor $\Sigma\Delta$ se deu devido à necessidade de um consumo baixo de potência, uma vez que a aplicação escolhida é para um aparelho de marca-passo. Sabe-se que a maioria dos equipamentos biomédicos devem ser portados de dispositivos eletrônicos leves, eficientes, de tamanho e consumo de potência reduzidos a partir da alimentação do aparelho escolhido, no caso o marca-passo. (25)

O conversor $\Sigma\Delta$ apresenta resolução de até 24 *bits*, uma alta facilidade de interface com o processador e um tamanho que não modifica drasticamente com o aumento da sua resolução. Essas características são significativas, uma vez que, o conversor ADC de marca-passo utiliza de 6 a 10 *bits*, e um consumo máximo de potência em escala de nano amperes, ou seja, o conversor ADC a ser implementado pode trabalhar em uma margem confortável de resolução que não exija seu desempenho máximo, aumentando a sua eficiência e otimizando sua potência dissipada. Concluindo assim, que o conversor do tipo $\Sigma\Delta$ é ideal para a aplicação escolhida.

Além disso, foi descrito que este conversor possui duas etapas básicas: uma analógica e outra digital. Quanto à etapa analógica, fez-se uma análise em nível de sistema de modulação de primeira e segunda ordem utilizando o software MATLAB. Nota-se que o modulador de segunda ordem tem sua taxa de amostragem menor para o mesmo alcance da idêntica relação sinal ruído (SNR) do modulador de primeira ordem.

Contudo, optou-se, para a construção em tecnologia CMOS TSMC 0.13μm, pelo o modulador de primeira ordem do tipo corrente-corrente para que validasse parâmetros e comparasse com a nova ideia do modulador corrente-tensão, a qual utiliza apenas um capacitor como integrador do sistema, os parâmetros tanto estáticos quanto dinâmicos foram detalhados nas Tabs. 5 e 7. Os valores destas tabelas evidenciam que os dois circuitos estão submetidos as mesmas condições e que os dois, apresentaram respostas satisfatórias. Observou-se que o modulador corrente-corrente teve uma resposta melhor, ou seja, em relação à modulação do sinal. Entretanto, é plausível isto, uma vez que o modulador corrente-tensão é uma ideia inovadora, acredita-se que, este, pode ser aprimorado para

resultados de desempenho superior.

Já a etapa digital é formada por um filtro passa baixas e um decimador, os quais são incumbidos da filtragem e da remoção do ruído e, também, pela redução da taxa de amostragem, reduzindo assim a taxa de amostragem à frequência de *Nyquist* e minimizando, por consequência, o número de informações redundantes. Contudo, a decimação digital não foi escopo deste trabalho.

6.2 Trabalhos Futuros

Durante o desenvolvimento deste trabalho de conclusão de curso observou-se que diversos avanços podem ser desenvolvidos no campo de modelagem e análise do projeto de um conversor ADC. Então, são descritas, nesta seção, os principais trabalhos futuros que podem ser realizados a partir dos moduladores construídos, os quais são:

- **Construção do Filtro Digital:** Aqui efetou-se o projeto de um modulador Sigma-Delta de primeira ordem. Entretanto, o projeto completo de um ADC necessita de um filtro de decimação digital na saída do modulador conforme a Fig. 63.

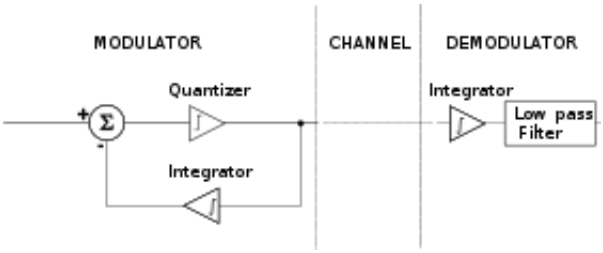

Figura 63 – Bloco do Conversor ADC completo de 1ª ordem (18)

- **Otimizações dos Blocos Analógicos:** Para maior redução do consumo de energia e potência e também para aumentar o desempenho do modulador, propõe-se a análise de *corners* e *Monte Carlo* dos blocos para para validar o projeto. Também, o desenvolvimento de análise de desempenho versus consumo de energia. Outra sugestão é alterar o circuito interno do DAC do modulador corrente-tensão para um circuito utilizando um *Folded Cascode* para eliminação dos *glitches* da resposta. Pode-se realizar quantizadores e DACs do tipo *multi-bit* para aumento da largura de banda e da resolução. Ademais, ainda, pode-se investir em acrescentar um outro capacitor acima de um transistor, elevando a ordem do modulador final, contudo, isso pode causar instabilidade do sistema, portanto aconselha-se o teste.

- **Realização do *Layout* do Circuito:** Sugere-se a realização do *Layout* completo do circuito para possível envio e teste na indústria.

- **Teste e Caracterização do CHIP:**

  Após construção do *Layout*, propõe-se projeto de placa de circuitos impressos para criar uma interface entre o chip produzido e equipamentos laborais de medição e análises, alguns desses procedimentos podem ser vistos em ROSA e RÍO(18), onde se demonstra análises do tipo dinâmica e extração de parâmetros (ENOB, SNR, DR). Sugere-se isso para caracterização completa da prototipagem do circuito para que este se torne um produto.

Referências

1 LARSON, L. E.; CATALTEPE, T.; TEMES, G. C. *CMultibit Oversampled A/D Convertorwith Digital Error Correction.* [S.l.]: Eletronic Letters, 2012. v. 24. ISBN 10511052. Citado 2 vezes nas páginas 15 e 30.

2 HAEFNER, J. W. *Modeling Biological Systems:: Principles and Applications.* [S.l.]: Springer Science & Business Media, 2005. Citado 3 vezes nas páginas 15, 35 e 36.

3 BAKER, R. J. *CMOS Circuit Design, Layout and Simulation.* 3. ed. [S.l.]: NJ: WileyIEEE Press, 2010. Hoboken. Citado 2 vezes nas páginas 15 e 37.

4 ALMEIDA, W. R. M. *Modulador ΣΔ Térmico: Modelagem, Simulação e Concepção.* Tese (Doutorado) — PhD Thesis, 2009, Universidade Federal de Campina Grande, Brazil, 2009. Citado 5 vezes nas páginas 15, 37, 41, 52 e 55.

5 AZIZ, P. M.; SORENSEN, H. V.; SPIEGEL, J. VN der. An overview of sigma-delta converters. *IEEE signal processing magazine*, IEEE, v. 13, n. 1, p. 61–84, 1996. Citado 4 vezes nas páginas 15, 16, 38 e 58.

6 ALLEN, P. E.; HOLBERG, D. R. *CMOS Analog Circuit Design.* 2. ed. [S.l.]: New York: Oxford University Press, 2002. Citado 4 vezes nas páginas 15, 39, 44 e 45.

7 PLASSCHE, R. J. VAN de. *CMOS integrated analog-to-digital and digital-to-analog converters.* [S.l.]: Springer Science & Business Media, 2013. v. 742. Citado 2 vezes nas páginas 15 e 40.

8 BEZERRA, T. B. *Desenvolvimento de um Conversor A/D Integrador com Faixa de Entrada e Resolução Programável a Capacitor Chaveado.* [S.l.]: Universidade Federal do Maranhão, 2012. Citado 2 vezes nas páginas 15 e 42.

9 HNATEK, E. *A User's Handbook of D/A andA/D Converters.* [S.l.]: John Wiley (lnterscience), New York, 1976. Citado 5 vezes nas páginas 15, 38, 39, 41 e 43.

10 SAMUEL, L. M.; PATIL, S. Y. *CMOS Current Comparator with Regenerative Property.* Bangalor, India: Oxford college of engineering. Citado 5 vezes nas páginas 15, 16, 47, 48 e 78.

11 SANTOS, L. G.; KASCHNY, J. R. Desenvolvimentos em hardware e software para experimentos de física via web. *Trabalho de Conclusão de Curso. Universidade Estadual de Feira de Santana Departamento de Física*, 2006. Citado 3 vezes nas páginas 15, 49 e 50.

12 CUBAS, A.; GROVER, H. *Projeto de um modulador sigma-delta de baixo consumo para sinais de áudio.* Tese (Doutorado) — Universidade de São Paulo, 2013. Citado 2 vezes nas páginas 15 e 51.

13 SILVA, A. E. V. *Projeto de um Conversor Analógico-Digital de Baixa Potência de Consumo para Aparelhos Auditivos.* Brasília: [s.n.], 2015. 73 p. Citado 7 vezes nas páginas 15, 16, 42, 53, 56, 59 e 62.

14 FÁVERO, D. *Conversor Analógico Digital Sigma Delta para um Sistema em Chip.* Brasília: UnB FT, 2003. Citado 4 vezes nas páginas 15, 16, 56 e 59.

15 TORRES, G. Conversor a/d sigma-delta. Disponível em: <https://goo.gl/4cA7fe>. Acesso em: 20 oct. 2016. Citado 3 vezes nas páginas 16, 50 e 61.

16 HADDAD, S. A. P.; SERDIJN, W. A. *Ultra low-power biomedical signal processing: an analog wavelet filter approach for pacemakers.* [S.l.]: Springer Science & Business Media, 2009. Citado 3 vezes nas páginas 16, 67 e 72.

17 HADDAD, S. A. P.; et al. Ultra low-power sigma delta modulator using sinhtranslinear cass-ab integrator. *paper*, Brasília, 2016. Citado 4 vezes nas páginas 16, 66, 68 e 73.

18 ROSA, J. M.; RÍO, R. del. *CMOS sigma-delta converters: Practical design guide.* [S.l.]: John Wiley & Sons, 2013. Citado 3 vezes nas páginas 17, 94 e 95.

19 ROCHA, D. P. W. M. *Optimal Design of Analogue Low-Power System.* Vienna, Austria: [s.n.]: [s.n.], 2003. 332-340 p. ISBN 90-901-668-74. Citado 3 vezes nas páginas 19, 28 e 42.

20 DECA. Tipos de dispositivos. 2015. DEPARTAMENTO DE ESTIMULAÇÃO CARDÍACA ARTIFICIAL. Disponível em: <https://goo.gl/sBDSNs>. Acesso em: 27 nov. 2016. Citado na página 27.

21 SCHREIER, R.; TEMES, G. C.; NORSWORTHY, S. R. *Delta-Sigma Data Converters: Theory, Design, and Simulation.* [S.l.]: IEEE, 1997. Citado na página 28.

22 GILBERT, B. Translinear circuits: A proposed classification. *Electronics letters*, IET, v. 11, n. 1, p. 14–16, 1975. Citado 3 vezes nas páginas 29, 67 e 72.

23 BARNA, A.; PORAT, D. I. Integrated circuits in digital electronics. Wiley, 1973. Citado 2 vezes nas páginas 39 e 40.

24 SALENGUE; et al. Modulo integrado de um marcapasso cardíaco de demanda externo. Disponível em: <https://goo.gl/78bZWu>. Acesso em: 23 oct. 2016. Citado na página 40.

25 LANDHAKE, S. A.; KOLTE, M. T. *Comparator Circuits for Multi Valued Cmos Logic.* Mumbai 410209: Mr Avinash Dgawande, Dep of IT, MGM's college of engineering and technology, 2012. v. 2. (2, v. 2). Indian journal of Electronics System and Control. ISBN ISBN. Citado 4 vezes nas páginas 41, 52, 78 e 93.

26 AMABIS, J. M.; MARTHO, G. R. Fundamentos da biologia moderna. vol. *Único. São Paulo*, 2008. Citado 2 vezes nas páginas 47 e 49.

27 LATHI, B. P. *Modern Digital and Analog Communication Systems 3e Osece.* [S.l.]: Oxford university press, 1998. Citado na página 49.

28 EINFÜHRUNG, E. Eine einführung in sigma-delta-wandler. tradução de alemão para inglês: An introduction to sigma delta converters. aug. 2007. Disponível em: <https://goo.gl/iu8MpT>. Acesso em: 19 set. 2016. Citado 3 vezes nas páginas 51, 55 e 60.

29 SEEVINCK, E. Companding current-mode integrator: A new circuit principle for continuous-time monolithic filters. *Electronics Letters*, IET, v. 26, n. 24, p. 2046–2047, 1990. Citado na página 52.