

Universidade de Brasília – UnB
Faculdade UnB Gama – FGA
Engenharia Eletrônica

Projeto de um Amplificador de Potência para um Transceptor ZigBee

Autor: Filipe Batista Ribeiro Costa
Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF
2017



Filipe Batista Ribeiro Costa

Projeto de um Amplificador de Potência para um Transceptor ZigBee

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Universidade de Brasília – UnB

Faculdade UnB Gama – FGA

Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF

2017

Filipe Batista Ribeiro Costa

Projeto de um Amplificador de Potência para um Transceptor ZigBee/ Filipe
Batista Ribeiro Costa. – Brasília, DF, 2017-
97 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Wellington Avelino do Amaral

Trabalho de Conclusão de Curso – Universidade de Brasília – UnB
Faculdade UnB Gama – FGA , 2017.

I. Prof. Dr. Wellington Avelino do Amaral. II. Universidade de Brasília. III.
Faculdade UnB Gama. IV. Projeto de um Amplificador de Potência para um
Transceptor ZigBee

CDU 02:141:005.6

Filipe Batista Ribeiro Costa

Projeto de um Amplificador de Potência para um Transceptor ZigBee

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Trabalho aprovado. Brasília, DF, 12 de dezembro de 2017:

**Prof. Dr. Wellington Avelino do
Amaral**
Orientador

**Prof. Dr. Sandro Augusto Pavlik
Haddad**
Convidado 1

**Prof. Dr. Sébastien Roland Marie
Joseph Rondineau**
Convidado 2

Brasília, DF
2017

Agradecimentos

Agradeço primeiramente a Deus que por amor enviou seu filho Jesus Cristo ao mundo, e através dEle tenho paz e vida eterna. Aos meus pais Kleber Ribeiro Costa e Valdirene Batista Ribeiro Costa por todo o amor, dedicação e cuidado durante a minha vida, e por me darem força e suporte na minha caminhada pela graduação. Aos meus irmãos João Pedro Batista Ribeiro Costa e Lídia Batista Ribeiro Costa por estarmos sempre unidos e serem uma inspiração para mim. Agradeço aos meus avós, tios, tias e primos por todo apoio que sempre me deram. Ao meu orientador professor Dr. Wellington Avelino do Amaral por toda dedicação, ajuda e ensinamentos concedidos durante a realização deste Trabalho de Conclusão de Curso. Agradeço também aos amigos que estiveram juntos a mim na graduação me ajudando e trocando conhecimentos.

Resumo

A Internet das Coisas (IoT) permite que objetos recebam e enviem informações geradas por eles através da Internet, estes objetos podem se comunicar por meio de redes de sensores sem fio. Um dos padrões que permitem esta comunicação é o ZigBee, que utiliza como base o protocolo IEEE 802.15.4, este padrão tem como principais características a baixa taxa de comunicação e considerável autonomia de energia. Este trabalho apresenta em sua primeira parte os procedimentos de design (além de seu embasamento teórico) de um amplificador de potência classe-E CMOS. Na segunda parte do trabalho é apresentado o projeto do amplificador, feito com a tecnologia $0.13\mu m$ da TSMC, e as simulações realizadas com o software Virtuoso da Cadence. Este amplificador é projetado para o uso em um transceptor integrado que trabalha nas especificações do padrão ZigBee, operando na banda de frequência de 2.4 GHz a 2.48 GHz, banda usada para o ZigBee na maioria dos países incluindo o Brasil. O projeto é parte de um conjunto de outros projetos de módulos que compõem o transceptor, realizados em trabalhos apresentados em TCCs anteriores da Universidade de Brasília.

Palavras-chaves: Radiofrequência. Transceptor. ZigBee. Amplificador de Potência Classe-E.

Abstract

The Internet of Things (IoT) allows objects to receive and send information generated by them through the Internet. These objects can communicate between them through wireless sensor networks. One of the standards that allows this communication is the ZigBee standard, which is based on the IEEE 802.15.4 protocol. This standard has as its main characteristics the low baud rate and the considerable autonomy of energy. This work presents the theoretical basis and the design procedures of a fully differential CMOS class-E power amplifier to be used. This work presents in its first part the theoretical basis and the design procedures of a fully differential CMOS class-E power amplifier. In its second part the design of this amplifier is presented (using the $0.13\mu m$ TSMC technology) and simulations are performed with Cadence's Virtuoso software. This amplifier is designed to be part of an integrated transceiver that works with the specifications of the ZigBee standard that operates in the 2.4 GHz to 2.48 GHz frequency band. This project is part of a set of other modules that make up the transceiver, carried out in works presented in previous undergraduate thesis of the Universidade de Brasília.

Key-words: Radio Frequency. Transceiver. ZigBee. Class-E Power Amplifier.

Lista de ilustrações

Figura 1 – Sistema de Comunicação (LATHI; DING, 2009).	16
Figura 2 – Camadas do protocolo de rede sem fio Zigbee (FARAHANI, 2008).	21
Figura 3 – Topologia do Transceptor.(RAZAVI, 2011)	24
Figura 4 – Fluxograma para o processo de design de um circuito integrado CMOS (BAKER, 2010).	25
Figura 5 – Componentes conectados a nós através de portas. (KUNDERT; ZINKE, 2013)	30
Figura 6 – Modelo Verilog-A/MS para um circuito linear RLC. (KUNDERT; ZINKE, 2013)	30
Figura 7 – Estágio fonte comum com carga indutiva (RAZAVI, 2011).	33
Figura 8 – Estágio Classe A (RAZAVI, 2011).	34
Figura 9 – Estágio Classe B (RAZAVI, 2011).	35
Figura 10 – a) Estágio Classe C b) Formas de onda (RAZAVI, 2011).	37
Figura 11 – Estágio Classe D (LEE, 2004).	37
Figura 12 – a)Tensão e Corrente no dreno de M_1 . a)Tensão e Corrente no secundário do transformador T2.(LEE, 2004).	38
Figura 13 – Circuito básico de um PA chaveado com tensão de saída não senoidal(GREBENNIKOV; SOKAL, 2007).	39
Figura 14 – Formas de ondas de corrente e tensão idealizadas sobre o dreno do transistor de um PA chaveado (GREBENNIKOV; SOKAL, 2007).	42
Figura 15 – a) Fonte-comum b) Gate-comum c) Estágio cascode. (YOO; HUANG, 2001)	43
Figura 16 – Topologia <i>single-ended</i> (MAZZANTI et al., 2006).	45
Figura 17 – Esquemático dos componentes modelados em Verilog-A.	50
Figura 18 – Rede de casamento para a entrada.	53
Figura 19 – Rede de casamento para a saída.	53
Figura 20 – Resposta transiente do PA modelado em Verilog-A.	55
Figura 21 – Testbench para o PA <i>single-ended</i> .	56
Figura 22 – Formas de onda dos sinais senoidais de entrada e saída do PA.	57
Figura 23 – a)Tensão de dreno de M_2 , tensão de dreno de M_2 e sinal de entrada fornecido pelo <i>driver</i> de entrada. b) Corrente no dreno de M_1 .	58
Figura 24 – Variação da potência de saída com a variação da tensão de alimentação do PA.	59
Figura 25 – Variação do PAE com a variação da tensão de alimentação do PA.	59
Figura 26 – Variação do Ganho de Potência com a variação da tensão de alimentação do PA.	60

Figura 27 – Variação da potência de saída com a variação da potência do sinal de entrada.	61
Figura 28 – Variação do PAE com a variação da potência do sinal de entrada. . . .	61
Figura 29 – Variação do Ganho de Potência com a variação da Potência de Entrada.	62
Figura 30 – Variação da potência de saída com a variação da frequência do sinal de entrada.	62
Figura 31 – Variação do PAE com a variação da frequência do sinal de entrada. . .	63
Figura 32 – Variação do Ganho de Potência com a variação da frequência do sinal de entrada.	63
Figura 33 – Parâmetros de Escalonamento do PA com redes de casamento na entrada e na saída.	64
Figura 34 – Casamento na entrada para 2.4 GHz.	65
Figura 35 – Casamento na saída para 2.4 GHz.	65
Figura 36 – Fator K.	66
Figura 37 – B_1	66
Figura 38 – <i>Tesbench</i> com a configuração diferencial.	68
Figura 39 – Sinais de entrada e saída do PA diferencial.	68
Figura 40 – Resposta transiente do PA diferencial.	69
Figura 41 – Variação da potência de saída com a tensão de alimentação.	69
Figura 42 – Variação do PAE com a tensão de alimentação.	70
Figura 43 – Variação do Ganho de Potência com a tensão de alimentação.	70
Figura 44 – Variação da potência de saída com a Potência do sinal de entrada. . . .	71
Figura 45 – Variação da potência de saída com a Potência do sinal de entrada. . . .	71
Figura 46 – Variação do Ganho de Potência com a Potência do sinal de entrada. . .	71
Figura 47 – Variação da potência de saída com a frequência do sinal de entrada. . .	72
Figura 48 – Variação da potência de saída com a frequência do sinal de entrada. . .	72
Figura 49 – Variação do Ganho de Potência com a frequência do sinal de entrada. .	73
Figura 50 – Parâmetros S da configuração diferencial.	74
Figura 51 – Fator k para o PA diferencial.	75
Figura 52 – B_1 para o PA diferencial	75
Figura 53 – Rede de duas portas.	83
Figura 54 – Resultados da simulação do transceptor. (CAMPOS, 2014)	85
Figura 55 – Esquemático do LNA. (CAMPOS, 2014)	86
Figura 56 – Esquemático do PLL. (GUIMARÃES, 2015)	87
Figura 57 – Simulação da modelagem do PLL para o canal 11 ($S < 4 \geq 0000$). (GUIMARÃES, 2015)	87
Figura 58 – Esquemático do divisor completo (Pulse Swallow Counter). (PINTO, 2015)	88
Figura 59 – Simulação do 12º canal do divisor completo. (PINTO, 2015)	88

Figura 60 – Simulação dos blocos em conjunto. (GOMES, 2015)	89
Figura 61 – LNA diferencial. (JÚNIOR, 2016)	90
Figura 62 – Esquemático do mixer, célula de Gilbert. (JÚNIOR, 2016)	91
Figura 63 – Esquemático do Buffer. (FREITAS, 2016.)	92
Figura 64 – Esquemático do Mixer <i>Upconversion</i> . (FREITAS, 2016)	92

Lista de tabelas

Tabela 1 – Características das redes WiFi, Bluetooth e ZigBee. (ELAHI; GSCHWEN- DER, 2009)	22
Tabela 2 – Comparação entre as diferentes classe de PAs (PAN, 2012).	43
Tabela 3 – Especificações de outros projetos.	44
Tabela 4 – Especificações do projeto.	44
Tabela 5 – Valores dos Parâmetros do PA Verilog-A.	51
Tabela 6 – Valores dos Parâmetros do PA.	54
Tabela 7 – Dimensões dos Indutores.	54
Tabela 8 – Especificações Obtidas para o PA.	67
Tabela 9 – Variação dos Parâmetros de Potência na Faixa de Operação	73
Tabela 10 – Especificações Finais Obtidas.	76
Tabela 11 – Comparação Entre as Especificações Propostas e as Obtidas.	76
Tabela 12 – Desempenho do LNA projetado (JÚNIOR, 2016).	90
Tabela 13 – Desempenho do <i>Mixer</i> projetado (JÚNIOR, 2016)	91
Tabela 14 – Especificações do Mixer <i>Upconversion</i> . (FREITAS, 2016)	93

Lista de abreviaturas e siglas

AC	<i>Alternate Current</i>
ADC	<i>Analog to Digital Converter</i>
APL	<i>Application</i>
BPSK	<i>Binary Phase Shift Keying</i>
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
DC	<i>Direct Current</i>
DPM	<i>Dynamic Power Management</i>
ED	<i>Event Detection</i>
FFD	<i>Full Function Device</i>
FSM	<i>Finite State Machine</i>
GND	<i>Ground</i>
HDL	<i>Hardware Description Language</i>
IEEE	<i>Institute of Electrical and Electronic Engineers</i>
IP3	Ponto de interceptação de terceira ordem
IoT	<i>Internet of Things</i>
LC	Indutor-Capacitor
LNA	<i>Low Noise Amplifier</i>
LR-WPAN	<i>Low-Rate Wireless Personal Area Network</i>
MAC	<i>Medium Access Control</i>
NWK	<i>Network</i>
O-QPSK	<i>Offset Quadrature Phase Shift Keying</i>
P1dB	Ponto de compressão de 1dB
PA	<i>Power Amplifier</i>

PAE	<i>Power Added Efficiency</i>
PHY	<i>Physical</i>
POS	<i>Personal Operating Space</i>
PAC	<i>Periodic AC Analysis</i>
PSP	<i>Periodic S-Parameter Analysis</i>
PSS	<i>Periodic Steady State Analysis</i>
RF	Radiofrequência
RFD	<i>Reduced Function Device</i>
RTL	<i>Register Transfer Level</i>
RX	Receptor
SPE	<i>Spatial Process Estimation</i>
SPICE	<i>Simulated Program with Integrated Circuit Emphasis</i>
TSMC	<i>Taiwan Semiconductor Manufacturing Company</i>
TX	Transmissor
Verilog	<i>Verifying Logic</i>
Verilog-AMS	<i>Verifying Logic Analog and Mixed Signal</i>
VHDL	<i>Very High Speed Integrated Circuits HDL</i>

Sumário

1	INTRODUÇÃO	16
1.1	Aspectos Gerais	16
1.2	Metodologia	17
1.3	Motivação	17
1.4	Objetivos	18
1.4.1	Objetivo Geral	18
1.4.2	Objetivos Específicos	18
1.5	Estrutura do Trabalho	19
2	CONTEXTO TECNOLÓGICO	20
2.1	Padrão ZigBee	20
2.2	Camadas do protocolo de uma rede sem fio ZigBee	21
2.3	Comparação entre protocolos para redes <i>wireless</i>	22
2.4	Aplicações	22
2.5	Topologia do Transceptor	23
3	METODOLOGIAS DE PROJETO	25
3.1	Projeto de Circuitos Integrados Analógicos	25
3.2	Metodologia <i>Bottom-Up</i>	27
3.3	Metodologia <i>Top-Down</i>	27
3.4	Linguagens de Descrição de Hardware	28
3.4.1	Características	28
3.4.2	Verilog-AMS	29
4	AMPLIFICADORES DE POTÊNCIA	32
4.1	Classificação dos Amplificadores de Potência	33
4.1.1	Classe A	33
4.1.2	Classe B	35
4.1.3	Classe AB	36
4.1.4	Classe C	36
4.1.5	Classe D	37
4.1.6	Classe E	38
4.1.7	Resumo das Classes de PAs	42
4.2	Estágio Cascode	43
5	DESIGN DO AMPLIFICADOR DE POTÊNCIA	44

5.1	Especificações do Amplificador de Potência	44
5.2	Topologia do projeto	44
5.3	Procedimentos de Design	46
5.3.1	Cálculo de Parâmetros	46
5.3.2	Modelagem em Alto Nível	48
5.3.3	Projeto com Componentes da Tecnologia	51
6	SIMULAÇÕES E RESULTADOS	55
6.1	PA em Verilog-A	55
6.2	PA <i>single-ended</i>	56
6.2.1	Transiente	56
6.2.2	Medidas Relacionadas à Potência	59
6.2.3	Parâmetros S	64
6.2.4	Estabilidade	65
6.2.5	Especificações Obtidas para o <i>single-ended</i>	67
6.3	PA Diferencial	67
6.3.1	Transiente	68
6.3.2	Medidas Relacionadas à Potência	69
6.3.3	Parâmetros S	74
6.3.4	Estabilidade	74
6.3.5	Especificações Finais	75
7	CONCLUSÃO	77
	REFERÊNCIAS	79
	APÊNDICES	82
	APÊNDICE A – PARÂMETROS DE ESPALHAMENTO	83
	APÊNDICE B – PROJETOS ANTERIORES	85
B.1	Modelagem em alto nível e LNA	85
B.2	PLL e VCO	86
B.3	Divisor de Frequência	87
B.4	Charge Pump, Loop Filter e PFD do PLL	89
B.5	LNA e Mixer Downconversion	89
B.6	Mixer Upconversion	92

ANEXOS	94
ANEXO A – TOPOLOGIA PA <i>SINGLE-ENDED</i>	95
ANEXO B – TOPOLOGIA PA DIFERENCIAL	96

1 Introdução

1.1 Aspectos Gerais

O desenvolvimento e uso de sistemas de comunicação sem fio por ondas eletromagnéticas tiveram uma rápida expansão no século XX, desde a primeira transmissão de sinais pela telegrafia sem fio, patenteada por Guglielmo Marconi em 1896, tornaram-se parte essencial da sociedade possibilitando a existência de tecnologias importantes como a internet, a telefonia celular móvel e os sistemas de televisão. Um sistema de comunicação tem como objetivo a transmissão de uma mensagem de uma fonte para um destino.

A figura 1 apresenta de maneira simplificada, através de blocos fundamentais, como um sistema de comunicação se organiza. A mensagem tem origem na fonte e contém as informações, na forma de um sinal, a serem transmitidas, caso a grandeza física do sinal não seja elétrica ele é passado por um transdutor de entrada para que seja feita a conversão. O sinal gerado neste processo é chamado de sinal em banda base que é modificado pelo transmissor para que ele possa ser transmitido da forma mais eficiente pelo canal, sendo este o meio físico pelo qual o sinal será transmitido. Esse sinal chega ao receptor que executa o processo inverso do transmissor apresentando em sua saída o sinal em banda base. Um último elemento, o transdutor de saída, transforma o sinal na forma da mensagem original, que não é exatamente igual à mensagem inicial por ter sofrido com ruídos, interferências e distorções ao longo do processo (LATHI; DING, 2009).

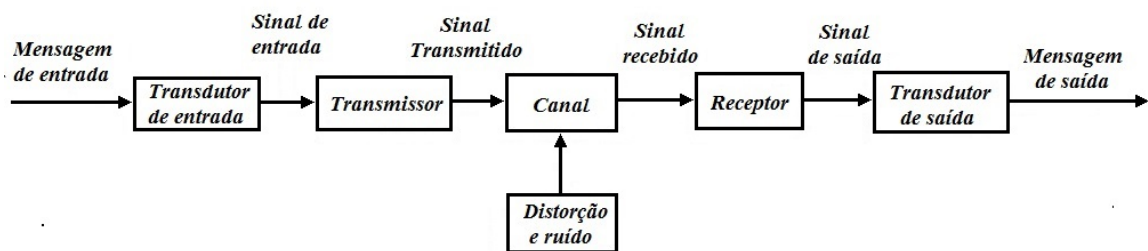


Figura 1 – Sistema de Comunicação (LATHI; DING, 2009).

A medida que estes sistemas tornaram-se mais complexos foi necessário criar padrões e normas de comunicação, denominados protocolos, entre as unidades que o utilizam para se comunicarem. O Instituto de Engenheiros Eletricistas e Eletrônicos (IEEE), através do comitê 802, é responsável por criar protocolos de redes sem fio, dentre estes protocolos estão, por exemplo, o Bluetooth (IEEE 802.15), o WiFi (IEEE 802.11), o UWB (802.15.4a) e o ZigBee (IEEE 802.15.4), tendo este último como sua principal aplicação

possibilitar a construção de redes de sensores sem fio.

Uma rede de sensores sem fio é definida como uma rede de dispositivos, os nós da rede, que captam informações do ambiente, e devido a sua capacidade de sensoriamento, processam e enviam estes dados, através de conexões sem fio, para um dispositivo que coordena a rede. Esses dados podem ser utilizados localmente ou transmitidos para outras redes, as principais características destas redes são sua auto-organização, seu baixo consumo de energia e a baixa complexidade entre os dados trocados entre seus dispositivos. As aplicações das redes de sensores sem fio podem ser divididas em dois grupos: ED (*Event Detection*) e SPE (*Spatial Process Estimation*). Na ED os sensores são utilizados para detectar um evento, os parâmetros medidos são comparados com um valor limite pré-estabelecido e o resultado da comparação é, de forma binária, enviado para o dispositivo coordenador da rede. Na SPE é feita uma análise de um fenômeno físico baseando-se nas amostras de dados captados pelos sensores (BURATTI et al., 2011).

O projeto, construção e implementação de uma rede de sensores sem fio é um processo complexo que envolve diversas áreas do conhecimento, desde o projeto dos circuitos integrados a nível de transistores, no nível mais baixo de abstração, aos softwares que coordenam o funcionamento dos dispositivos e da rede, em alto nível. Dentre todas as tecnologias envolvendo uma rede de sensores sem fio, o objeto de estudo é o dispositivo de recepção/transmissão de dados, o chamado transceptor, mais especificamente em um de seus módulos, denominado amplificador de potência. Com base nas informações apresentadas surgem dois questionamentos a ser respondido ao longo do trabalho: Qual a melhor topologia do amplificador de potência a ser utilizada no contexto do transceptor e quais as etapas de projeto para este amplificador?

1.2 Metodologia

Este projeto será desenvolvido em uma primeira etapa com pesquisas acerca das bases teóricas que envolvem o projeto de um amplificador de potência para um transceptor de radiofrequência, estas pesquisas utilizarão artigos científicos, livros e trabalhos acadêmicos como principal fonte. Em uma segunda etapa será elaborado um procedimento de design para a topologia escolhida, com os valores teóricos obtidos será feito o projeto do amplificador e suas especificações obtidas serão verificadas utilizando o software Virtuoso da CADENCE.

1.3 Motivação

Atualmente a Internet das Coisas (IoT) se tornou objeto de pesquisa de vários estudos e tem sido bastante discutido seu impacto na sociedade no futuro. Ela permite

basicamente conectar qualquer objeto e dispositivo, como geladeiras, máquinas de lavar, sistemas de iluminação, roupas com dispositivos eletrônicos, à internet, fazendo com que estes objetos se comuniquem, gerando, enviando e recebendo informações através da rede. Isso leva a interação de pessoas com objetos a um diferente nível de troca de informações do que ocorre atualmente, além de modificar as maneira que as pessoas interagem entre si. As redes de sensores sem fio tem papel importante neste cenário, sendo uma das tecnologias que permitem a implementação da IoT. Os sensores conectados aos objetos, formando uma rede local, recolhem as informações a serem processadas pela rede e a enviam através de um *gateway* pela internet, para serem utilizadas por uma aplicação específica, seja apresentando informações através de um aplicativo em um smartphone, ou ativando transdutores conectados a outras redes, atuando em um ambiente específico. Apesar do otimismo com esta tecnologia [Alcaraz et al. \(2010\)](#) aponta alguns de seus aspectos que devem ser levados em consideração, um deles é que mesmo que as redes de sensores sem fio satisfaçam requisitos mínimos de segurança. A interação destas redes com a internet gera novas necessidades em relação a segurança que não haviam sido pensados, esta integração de dados precisa gerar segurança para as informações que o usuário recebe, bem como fornecer o controle ao usuário sobre elas. Ela precisa assegurar a privacidade dos dados que por elas passam além de gerar proteção aos elementos de rede contra ataques externos. Todas estas questões precisam ser levadas em conta pelos protocolos que regem os padrões de comunicação das redes.

1.4 Objetivos

1.4.1 Objetivo Geral

O presente trabalho tem como principal objetivo projetar, utilizando uma metodologia *Top-Down*, um amplificador de potência CMOS em tecnologia $0,13\ \mu\text{m}$ da TSMC, sendo este amplificador um dos módulos que compõem um transceptor integrado com características de funcionamento baseadas no padrão de comunicação ZigBee, com outros módulos tendo sido projetados anteriormente.

1.4.2 Objetivos Específicos

Além do objetivo geral este trabalho pretende alcançar os seguintes objetivos:

- Realizar uma pesquisa acerca dos fundamentos teóricos que são base para o entendimento de redes ZigBee, de transceptores de RF e amplificadores de potência integrados;
- Avaliar as características das classes de amplificadores de potência e escolher a mais adequada para a aplicação em transceptores ZigBee;

- Escolher a topologia do amplificador mais adequada para a aplicação no projeto;
- Iniciar o projeto com o modelo descrito com a linguagem Verilog-A e finalizar com um modelo construído com os componentes da tecnologia 0,13 μm da TSMC;
- Validar o projeto do amplificador através de simulações de potência e análises de parâmetros de espalhamento e estabilidade;
- Realizar uma comparação, ao final do projeto, entre o amplificador a nível de transistores e o amplificador projetado em Verilog-A, verificando se apresentam parâmetros que os caracterizam próximos um do outro.

1.5 Estrutura do Trabalho

A divisão do trabalho é feita em cinco capítulos, o primeiro capítulo é a introdução que oferece uma visão dos aspectos pertinentes ao trabalho apresentando o contexto em que ele está inserido, bem como as etapas que serão seguidas para o projeto do amplificador de potência e os elementos motivadores para sua realização.

O segundo capítulo apresenta fornece uma visão do padrão ZigBee e o que é o dispositivo transceptor do qual o amplificador de potência e que é necessário para realizar comunicação sem fio.

O terceiro capítulo descreve dois tipos de metodologias usadas em projetos de circuitos eletrônicos integrados: a *Bottom-Up* e a *Top-Down* mostrando em que contexto elas são utilizadas e apresentando seu prós e contras, também é feito um pequeno resumo da linguagem Verilog-AMS, linguagem usada em projetos de circuitos *mixed-signals* em alto nível.

O quarto capítulo entra na teoria específica sobre os amplificadores de potência CMOS mostrando o que são, algumas de suas classificações e parâmetros que podem ser utilizados para análise de sua performance.

O quinto capítulo apresenta a topologia escolhida para a implementação do amplificador de potência e o procedimento de design para o seu projeto.

O sexto capítulo apresenta as simulações realizadas com o amplificador e suas especificações obtidas.

O sétimo capítulo conclui o trabalho.

Um apêndice foi adicionado ao final para fornecer uma visão geral dos projetos dos módulos do transceptor ZigBee (do qual o amplificador de potência projetado neste trabalho faz parte) que foram apresentados em trabalhos anteriores de conclusão de curso.

2 Contexto Tecnológico

2.1 Padrão ZigBee

Antes de entrar em questões relativas ao projeto do Amplificador de Potência, também referido como PA (*Power Amplifier*), o qual é o foco deste trabalho, é necessário especificar o contexto onde ele está inserido e quais regras regem o funcionamento, principalmente físico, do transceptor, que é o dispositivo o qual o PA compõe. Essas regras são definidas pelo padrão ZigBee, este padrão foi concebido para a aplicação da norma IEEE 802.15.4 que define as características de funcionamento de uma rede sem fio de baixa taxa de transferência de dados e baixo consumo de energia, denominadas LR-WPAN (Low-Rate Wireless Personal Area Network) (BARONTI et al., 2007). Essa rede suporta dispositivos simples que trabalham em um espaço pessoal de operação denominado pela sigla POS (Personal Operating Space). Com o intuito de desenvolver este padrão foi criada em 2004 a ZigBee Alliance, um conjunto de empresas de tecnologia, que trabalham junto ao IEEE para realizarem o aprimoramento dos protocolos que regem esta tecnologia.

As aplicações que utilizam o padrão de comunicação para redes sem fio ZigBee tem seus dispositivos permanecendo em modo de economia de energia durante a maior parte de seu uso, como consequência as baterias para a sua alimentação podem durar anos. Dois fatores impactam neste consumo de energia: as características de gasto de energia de hardware e da rede, no hardware. Para o controle deste consumo é utilizado o DPM (Dynamic Power Management) que gere o modo de operação do dispositivo, fornecendo energia somente para os subcircuitos que estão sendo utilizados no momento. A nível de redes a eficiência está relacionada, por exemplo, às características do protocolo de comunicação que estabelecem a quantidade de operações a serem realizadas pelo dispositivos para realizarem a comunicação com outros elementos da rede e ao gasto energético para a transmissão de dados. (FARAHANI, 2008)

Uma rede sem fio que trabalha baseada no protocolo IEEE 802.15.4, pode comportar até 65000 dispositivos conectados a ela e é projetada para ser ad-hoc. Nesse tipo de rede não é utilizado um ponto de acesso em comum por onde passam as informações geradas pelos dispositivos, não sendo necessária uma infraestrutura fixa para sua aplicação. Todos os dispositivos da rede são roteadores e podem receber e transmitir informações vindas de outros dispositivos conectados à rede, esta característica permite mobilidade e rearranjos para redes ZigBee.

2.2 Camadas do protocolo de uma rede sem fio ZigBee

A Figura 1.1 mostra quais são as camadas que compõem uma rede ZigBee, a norma IEEE 802.15.4 define as características da camada física (PHY) e de *Medium Access Control* (MAC) enquanto o padrão ZigBee define a camada de rede (NWK) e a camada de aplicação (APL).

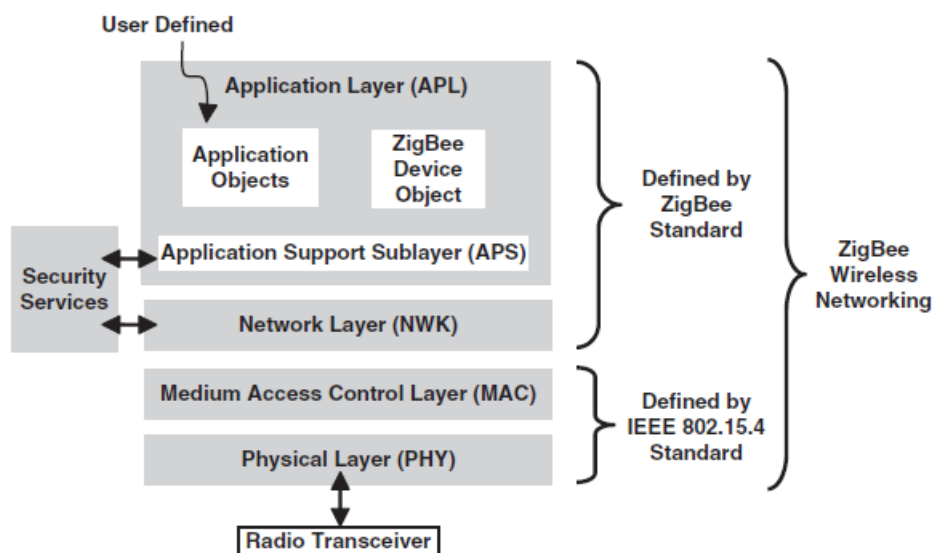


Figura 2 – Camadas do protocolo de rede sem fio Zigbee (FARAHANI, 2008).

Para a camada física são três bandas de frequência utilizadas: 2,4 GHz, 915 MHz e 868 MHz, cada uma com uma quantidade de canais, taxa de transferência de dados e um tipo de modulação do sinal. Para a banda de 2,4 GHz existem 16 canais, taxa de transferência de dados de 250 kbps e a modulação utilizada é o O-QPSK (Offset Quadrature Phase Shift Keying). Para a banda de 915 MHz são 10 canais com taxa de transferência de 40 kbps e para a banda de 868 MHz existe 1 canal, taxa de transferência de 20 kbps, com ambas utilizando modulação BPSK (Binary Phase Shift Keying) (BARONTI et al., 2007).

A camada MAC, responsável pela transmissão de dados vindos das camadas superiores define dois tipos de dispositivos que formam os nós desta rede, são eles: Full Function Devices (FFD) e os Reduced Function Devices (RFD). Um FFD é equipado com um conjunto de funções de camada de MAC o que o permite operar de três maneiras, sendo elas: como coordenador de PAN (Personal Area Network), roteador ou dispositivo final enquanto os RFD podem operar somente como dispositivo final, por isso são equipados com sensores e atuadores. Um FFD pode se comunicar com outros FFDs e com RFDs. Para organizar a rede um FFD é ativado e se torna coordenador de PAN se conectando com outros FFDs roteadores na rede que por fim se conectam RFDs que coletam dados e/ou atuam no ambiente (LEE; SU; SHEN, 2007).

A camada de rede tem o objetivo de organizar a rede, endereçando os dispositivos da rede além de cuidar da segurança de seus dados. A camada de aplicação é formada pela subcamada de suporte a aplicação, que fornece uma interface entre a camada de aplicação e a camada de rede, o “Zigbee Device Object”, responsável por definir o papel de um dispositivo dentro do sistema, e o Framework de aplicação.

2.3 Comparação entre protocolos para redes *wireless*

A tabela 1 apresenta algumas especificações importantes dos padrões de rede sem fio WiFi, Bluetooth e ZigBee, uma comparação entre elas evidencia que o cenário de aplicação das redes Zigbee é o de redes de sensoriamento sem fio. Como pode ser notado este tipo de rede possui uma baixa taxa de transmissão e pouca memória em seus dispositivos o que mostra que os dados coletados por eles são simples além do fato de permitirem milhares de dispositivos conectados à rede e uma corrente de *StandBy* baixa. Essas características levam à uma vida útil mais prolongada para as baterias que alimentam os dispositivos Zigbee.

Tabela 1 – Características das redes WiFi, Bluetooth e ZigBee. (ELAHI; GSCHWENDER, 2009)

	WiFi	Bluetooth	ZigBee
Especificação IEEE	802.11	802.15.1	802.15.4
Aplicação	WLAN	Substituir cabos	WSNs
Banda de frequência	2.4GHz	2.4GHz	2.4GHz, 868MHz e 915MHz
Largura de Canal	22MHz	1MHz	2MHz, 0.3MHz e 2MHz
Taxa de transmissão de dados	2–100Mbps	1Mbps	20 a 250Kbps
Bateria (vida util)	0.1 a 5 dias	1 a 7 dias	100 a 7,000 dias
Nos por Rede	30	7	65000
Corrente de StandBy	20mA	200uA	3uA
Memória	100KB	100KB	32 a 60KB
Alcance	1 a 100 m	1 a 10m	10 a 100m
Topologia	Árvore	Árvore	Estrela, árvore, cluster tree e mesh

2.4 Aplicações

A maior parte das aplicações de uma rede ZigBee estão ligadas ao monitoramento de atividades através de sensores, este padrão tem aplicação voltada a diversos setores como o industrial, o médico, militar, residencial, agricultura e segurança. Os sensores

equipados com transceptores e transdutores se organizam em uma rede sem fio para avaliar fenômenos físicos e atividades em um ambiente, se comunicando e gerando dados para análise posterior ou controle do ambiente, com a possibilidade de receberem comandos externo.

Uma das áreas para sua aplicação é a saúde, tem-se, por exemplo, situações onde existe a necessidade de monitorar constantemente os sinais vitais, como frequência cardíaca, pressão arterial e respiração de um paciente que está em repouso em sua residência. Por meio de dispositivos ZigBee conectados aos sensores que medem as atividades vitais do paciente pode-se estabelecer uma rede que conecta-se, através de um ZigBee Gateway à internet. Os profissionais de saúde que são responsáveis pelo paciente podem receber os dados em um computador conectado à rede (FARAHANI, 2008).

As redes ZigBee fornecem também a possibilidade de sensoriamento e análise climática, de plantas e animais de uma região observando a dinâmica destes grupos sem que ocorra grande interferência, estas redes também permitem uma análise a longo prazo pela sua autonomia energética (SZEWCZYK et al., 2004).

Outro campo para a aplicação de redes ZigBee é o militar, redes de sensoriamento podem ser montadas em campo de atividade militar e um veículo aéreo recolhe as informações coletadas pelos sensores e processadas pelos dispositivos da rede (OLIVEIRA et al., 2014). Essa aplicação fornece a possibilidade de, por exemplo, observar a movimentação de tropas inimigas e coletar informações geográficas acerca da área desejada (BARONTI et al., 2007).

2.5 Topologia do Transceptor

Para que dispositivos sem fio possam trocar informações entre si é necessário um sistema que possa receber sinais enviados a ele, e transmitir dados gerados por ele a outros dispositivos, o sistema responsável por isso é o transceptor. Ele é composto por um circuito receptor (RX) e um transmissor (TX), o PA a ser projetado neste trabalho é um dos elementos que o compõe. A figura 1.2 ilustra de maneira simplificada esse sistema, ambos possuem arquitetura de receptor e transmissor super-heteródino, sendo a mais utilizada em sistemas de radiofrequência.

O sinal recebido pelo conjunto receptor através da antena recebeu interferências do meio em que foi transmitido além de ter sido atenuado, é necessário então que o receptor primeiro amplifique este sinal mas com pouco ruído para que não ocorra maior degradação de informações, para que isto seja feito ele passa primeiramente por uma amplificador de baixo ruído (LNA). Após passar pelo LNA o sinal que ainda se encontra modulado em uma frequência portadora, para que pudesse ser feita sua transmissão, é passado por um bloco de demodulação (*Downconversion*) que passa o sinal para sua banda-base. O próximo

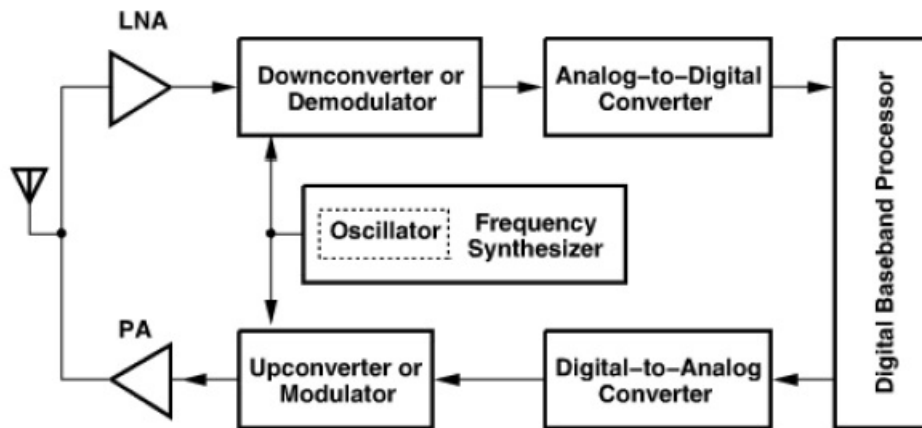


Figura 3 – Topologia do Transceptor. (RAZAVI, 2011)

bloco, conversor analógico-digital (ADC) permite que o sinal possa ser processado pelo sistema, que trabalha com dados digitais.

Para que o sinal que vem do dispositivo seja transmitido é necessário que ele primeiramente passe por um processo de conversão para analógico. A etapa depois deste processo é a realização de sua modulação (*Upconversion*), que para dispositivos ZigBee pode ser O-QPSK e BPSK. Um dos motivos para que o sinal modulado esteja em alta frequência (além da proteção contra ruídos) é a relação direta que existe entre o comprimento da antena e o comprimento de onda do sinal, para que este sinal tenha o raio de alcance desejado é necessário que ele seja transmitido a uma alta potência, para isto ele passa por um PA, discutido com mais detalhes posteriormente. Após este ganho de potência o sinal pode ser transmitido, processo realizado pela antena.

O Amplificador de Potência projetado neste trabalho é o último de um conjunto de módulos projetados e apresentados em trabalhos de conclusão de curso anteriores, todos orientados pelo professor da Universidade de Brasília Wellington Avelino do Amaral, com o intuito de construir um transceptor que siga as especificações do protocolo IEEE 802.15.4, mais detalhes sobre estes projetos e quais módulos já foram projetados podem ser vistos no Apêndice A.

3 Metodologias de Projeto

3.1 Projeto de Circuitos Integrados Analógicos

De acordo com Baker (2010) o fluxograma que representa o processo de projeto de um circuito integrado CMOS é o apresentado na figura 4, ele consiste na definição das variáveis de entrada e saída, cálculos manuais, simulações do circuito, projeto de *layout* do circuito, simulações incluindo efeitos parasitários, reavaliação das entradas e saídas do circuito, fabricação e processo de testes. Ainda segundo o autor as especificações de um circuito integrado raramente não mudam durante o processo de projeto, estas mudanças podem ser feitas pela necessidade de realizar uma troca entre performance e custo, pela possibilidade de comercialização ou mudanças nas necessidades de um consumidor.

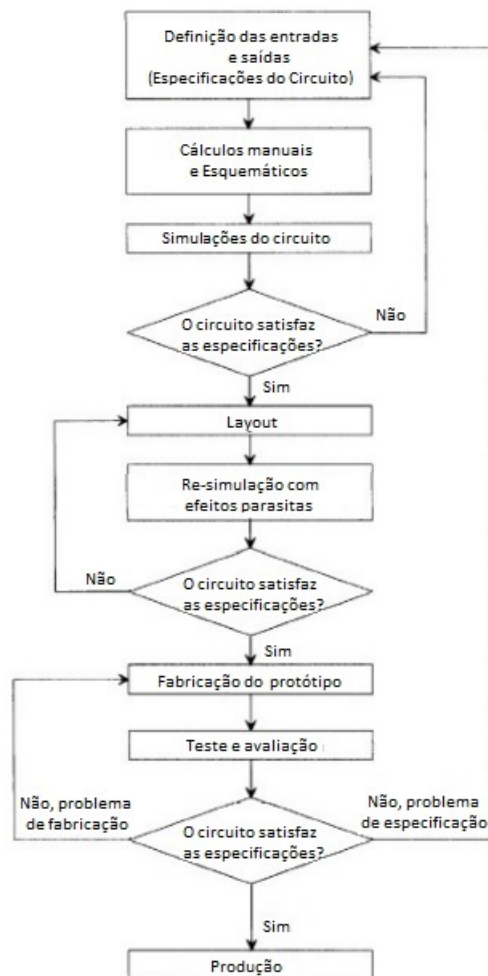


Figura 4 – Fluxograma para o processo de design de um circuito integrado CMOS (BAKER, 2010).

O design de circuitos integrados analógicos não sofreu uma evolução significativa em sua metodologia de projeto, em contraponto, a metodologia de projeto de circuitos integrados digitais se tornou melhor e mais automatizada ao longo dos anos, um dos motivos que levaram a isto foi o fato do design digital ter tido a necessidade de evoluir mais cedo por terem que lidar com sistemas mais complexos bem mais rápido, isto pode ser visto nos chips digitais atuais onde podem ser encontrados até bilhões de transistores enquanto os analógicos contam com alguns milhares. A maioria dos sistemas digitais são baseados em Máquinas de Estados Finitos (FSMs) construídos a partir de bibliotecas padrão e projetos feitos em RTL (*registe-transfer level*) sintetizados por ferramentas que já geram um circuito otimizado com o mínimo de portas necessárias, o design gerado possui menor área, maior velocidade e menor potência, já com o design analógico não é possível que isto seja feito devido a quantidade de variáveis envolvidas e por não existirem modelos matemáticos padrão que possam ser usados para reduzir o circuito com transformações em circuitos equivalentes, fazendo com que o design analógico envolva um trabalho mais manual. Estas questões se refletem no tempo de duração do design de um circuito digital e um circuito analógico, enquanto o digital demora alguns meses e pode funcionar corretamente na primeira síntese o design analógico de um chip complexo pode demorar mais de 1 ano devido ao processo manual de design. Como no design analógico não existem ferramentas de síntese lógica é necessário desenvolver metodologias design que otimizem os processos de projeto (KUNDERT; ZINKE, 2013).

Uma metodologia de design de circuitos uso de práticas e métodos para a concepção de um circuito, dentre as metodologias utilizadas para o design de circuitos integrados analógicos, duas se destacam: a *Bottom-Up*, uma metodologia mais tradicional onde o circuito é projetado e verificado a partir de seus componentes elementares, e a *Top-Down* onde o circuito é projetado e verificado a nível de blocos que depois são refinados e trabalhados individualmente.

Kundert e Zinke (2013) apresenta uma comparação feita em 1998 na *Design Automation Conference*, através de um estudo realizado por Ron Collete, de 21 chips desenvolvidos por 14 empresas de semicondutores líderes do mercado, que constatou uma diferença de produtividade de 14 vezes entre a empresa que estava no topo e a última das avaliadas, um dos motivos para esta disparidade foi a preferência das empresas que ficaram abaixo por uma metodologia *Bottom-Up*, que tem seus projetos baseados somente em SPICE, enquanto as que estavam no topo utilizavam metodologias de projeto *Top-Down*.

3.2 Metodologia *Bottom-Up*

A metodologia de design de circuitos *Bottom-Up* é uma metodologia mais tradicional, onde o sistema é dividido em sub-blocos, sendo eles verificados individualmente, de acordo com Sarkar (2013) “O processo *Bottom-up* implica que cada seção do design é individualmente verificada em um ambiente de prototipagem virtual com o nível apropriado de detalhes, e os dados criados de cada sub-componente permite a simulação do próximo subsistema”.

Segundo Kundert e Zinke (2013) um projeto que segue a metodologia *Bottom-Up* começa a partir das especificações desejadas para um sub-bloco do sistema e termina com este bloco projetado a nível de transistores, quando todos os sub-blocos já estão finalizados é que eles são unidos, o sistema é testado em conjunto somente ao final. Este processo pode funcionar para projetos mais simples mas para sistemas mais complexos pode gerar problemas, de acordo com o autor alguns destes problemas são:

- As verificações, feitas somente ao final, com o sistema completo, em projetos mais elaborados levam tempo considerável, caso o tempo de projeto seja restrito, algumas delas podem ser deixadas de serem realizadas, e tem como possível consequência problemas ao projeto final.
- Para designs complexos, impactos na performance, no custo e na funcionalidade são geralmente encontrados a nível de arquitetura, com o design *Bottom-Up* estas características são pouco exploradas não permitindo realizar significativas melhoras nelas.
- O custo para consertar erros encontrados após a verificação do sistema são altos pois envolvem projetar novamente os blocos.
- Por não existir maneiras de realizar testes do sistema completo enquanto os blocos estão sendo projetados, a comunicação entre os projetistas deve ser contínua para que o sistema funcione corretamente,
- Muitos passos importantes em um processo de design *Bottom-Up* devem ser realizados serialmente o que aumenta o tempo para completar o design.

3.3 Metodologia *Top-Down*

Em uma Metodologia de design *Top-Down* o projeto parte primeiramente de uma visão do sistema completo e suas características, realizando verificações e detalhamentos ao longo do processo, chegando ao sistema a nível de transistores no final, esta metodologia facilita a realização de mudanças ao longo do processo e fornece aos projetistas um

entendimento maior sobre o sistema sobre o qual estão trabalhando e não somente ao subsistema o qual estão projetando.

O sistema é visto como um conjunto de blocos funcionais, cada um destes blocos tem suas características especificadas mas sem entrar em detalhes acerca de suas topologias, utilizando uma ferramenta virtual os blocos são unidos para formar o sistema sendo verificado o seu comportamento geral e suas características, feito isto os blocos podem ser projetados individualmente. Esta metodologia pode ser utilizada tanto para projetos de circuitos integrados analógicos quanto para digitais, de acordo com [Bailey \(2013\)](#) “Modelos comportamentais para hardware estão se tornando mais comuns, e eles podem ser conectados para formarem um protótipo virtual do hardware”.

Segundo [Kundert e Zinke \(2013\)](#) um processo de design *Top-Down* efetivo segue alguns pontos importantes:

- Um modelo de simulação do sistema é compartilhado com os projetistas que, ao longo do projeto, pode ser utilizado para co-simular descrições mais completas dos blocos, como, por exemplo, a nível de circuitos, conforme o projeto dos blocos forem evoluindo.
- Durante o processo de design cada mudança feita é verificada no contexto de todo o design do sistema verificado anteriormente.
- O processo de design é feito levando em conta um processo de verificação cuidadoso, para identificar possíveis riscos que possam surgir futuramente, tendo os planos de simulação e modelagem desenvolvidos para mitigarem estes riscos.
- Se inicia com um sistema em alto nível de abstrção que é refinado ao longo dele.
- As especificações e planos para o projeto, relativas ao nível em que se está trabalhando, devem ser realizadas como modelos executáveis e scripts, que podem ser utilizados junto ao processo de design, e não apenas como documentos escritos.

Esta é a metodologia utilizada neste projeto pois permite que o projeto seja refinado e melhorado, até que se chegue no circuito ideal, em nível de transistores, para que se possa encaixa-lo no contexto geral do transceptor.

3.4 Linguagens de Descrição de Hardware

3.4.1 Características

De acordo com [Kundert e Zinke \(2013\)](#) as Linguagens de Descrição de Hardware (HDLs) são utilizadas para descrever a arquitetura e o comportamento de hardware, a

diferença entre este tipo de linguagem e uma linguagem de programação é que elas são utilizadas para descrever componentes que operam simultaneamente formando sistemas, enquanto a linguagem de programação tem seus comandos interpretados sequencialmente. Dentro das aplicações das HDLs duas se destacam: o seu uso para simulação de circuitos e para realização de síntese de circuitos, as simulações dão uma visão do comportamento das saídas do sistema ao longo do tempo, em função de estímulos aplicados em suas entradas, esta funcionalidade permite que sejam realizados testes com o circuito antes que seja necessário implementá-lo fisicamente, já a síntese permite que o circuito descrito seja implementado, para que isto ocorra os elementos descritos pela linguagem devem ser possíveis de serem sintetizados.

Circuitos digitais tem seu comportamento descrito a nível de transferência de registradores (RTL), na síntese a descrição RTL é convertida em uma descrição otimizada a nível de portas lógicas com sua aplicação no circuito físico feitas a partir de células padrão. Para circuitos analógicos não existe uma síntese automática mais genérica como para circuitos digitais, sendo ela restrita a poucos casos a síntese é feita manualmente e a HDL é utilizada para verificar o funcionamento do circuito bem como os seus requisitos de projeto. O Verilog-AMS e VHDL-AMS são extensões das linguagens tradicionais Verilog e VHDL para descrever circuitos de "sinais mistos", o termo "sinais mistos" indica características de um circuito que contém tanto partes que processam sinais digitais quanto sinais analógicos, segundo Wang et al. (2010, p.1) "Linguagens de descrição de hardware com o VHDL-AMS e o Verilog-AMS se tornaram as principais linguagens de design/verificação pois elas são apropriadas para descrever vários níveis de abstração, de componentes elétricos básicos a níveis comportamentais de sistemas".

3.4.2 Verilog-AMS

De acordo com Kundert e Zinke (2013) o Verilog-AMS é utilizado para modelar sistemas de sinais mistos, como este tipo de circuito envolve uma grande variedade de sistemas ela possui diversas possibilidades em sua sintaxe. O Verilog-AMS é a junção de duas linguagens: o Verilog-HDL, para a descrição de circuito digitais, e o Verilog-A, para a descrição de circuitos analógicos, esta junção possibilita que a linguagem possa descrever sistemas tanto com componentes digitais como com componentes analógicos, como consequência esta linguagem deve ter capacidade de processamento tanto de sinais discretos relativos ao processamento digital, quanto sinais contínuos, relativos ao processamento de sinais analógicos.

No subconjunto do Verilog-AMS para modelagem de componentes analógicos, o Verilog-A, é possível descrever componentes que podem ser avaliados em simuladores do tipo SPICE. Os componentes, denominados módulos, tem o comportamento elétrico entre as suas portas descrito no programa, os módulos podem ser conectados uns aos outros

ligando suas portas através de nós, como mostra a figura 5 para formarem sistemas mais complexos, o simulador usa como base as leis de Kirchoff para analisar o funcionamento do circuito.

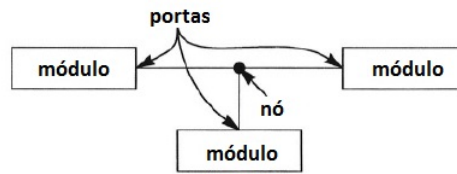


Figura 5 – Componentes conectados a nós através de portas. (KUNDERT; ZINKE, 2013)

A figura 6 apresenta a descrição de um circuito RLC em série para ilustrar elementos importantes da sintaxe do Verilog-A que por consequência também pertencem ao Verilog-AMS.

```
`include "disciplines.vams"
module series_rlc (p, n);
  parameter real r=0;
  parameter real l=0;
  parameter real c=1p exclude 0;
  inout p, n;
  electrical p, n;

  analog begin
    V(p,n) <+ r*(p,n);
    V(p,n) <+ l*ddt(l(p,n));
    V(p,n) <+ idt(l(p,n))/c;
  end
endmodule
```

Figura 6 – Modelo Verilog-A/MS para um circuito linear RLC. (KUNDERT; ZINKE, 2013)

- *Disciplines* são um conjunto de sinais físicos correlacionados, os quais são denominados *natures*, para descrever circuitos, são, por exemplo, utilizadas as *natures* tensão e corrente que pertencem às *disciplines* do tipo *electrical*, suas definições estão no arquivo *disciplines.vams* incluído no início do programa.
- *Module* é o componente que está sendo descrito, o nome do componente vem após este termo, no caso do código exemplo o nome é *series_rlc*, entre parêntesis estão as portas do componente que possibilitam a sua conexão com outros módulos.
- *parameter* define constantes declaradas no programas que serão usadas na descrição das propriedades do módulo, elas poderão ser modificados após a compilação do programa quando for criado o componente. Podem ser do tipo *real* e *integer*, no caso do código são do tipo *real* e utilizados para escolher os valores da resistência *r*,

da indutância l e da capacitância c do resistor, indutor e capacitor que estarão em série.

- *inout* e *electrical* indicam a direção e o tipo das portas respectivamente, que neste caso são tanto de entrada como de saída, e com sinais associados às portas são da natureza elétrica (correntes e tensões).
- *analog begin* é utilizado para iniciar um processo analógico que descreve um comportamento contínuo no tempo, abaixo dele ficam as descrições das relações entre tensões e correntes nos ramos. O operador $<+$ é chamado de operador de contribuição, o termo à esquerda $V(p,n)$ é a tensão entre as portas no ramo implícito, ele é resultado da contribuição das operações com a corrente $I(p,n)$, igual para todos eles, estas operações são resultante das relações tensão-corrente dos elementos em série. Caso os componentes estivessem em paralelo eles dividiriam uma mesma tensão e os operadores de contribuição indicariam como as operações de cada elemento com esta tensão contribuiriam na corrente do ramo, já que ela é a soma das correntes individuais.

O uso das funcionalidades do Verilog-HDL dentro do Verilog-AMS permite estender a descrição dos módulos para um domínio digital, ampliando as possibilidades que o Verilog-A oferece, o que facilita a simulação de blocos mais complexos. Dentre as adições que o Verilog-HDL traz estão:

- *natures* do tipo *logic* para portas que lidam com sinais digitais.
- *Wreal* que significa *real wire* é utilizado para transportar sinais do tipo inteiro e real, que para a linguagem são "tipos abstratos de dados" de maneira discreta no tempo, mas podendo assumir qualquer valor do domínio. Permite que simulações mais rápidas possam ser realizadas para circuitos "*mixed-signals*".
- *initial* e *always* que descrevem processos discretos, processos descritos por *initial* executam apenas uma vez enquanto os descritos por *always* se repetem.

4 Amplificadores de Potência

Como foi dito anteriormente o módulo a ser projetado neste trabalho é o amplificador de potência, sendo ele o último estágio da cadeia de transmissão do transceptor, segundo Cripps (2006) “Uma definição técnica de um amplificador de potência seria um amplificador que é projetado para fornecer a máxima potência de saída para um determinado dispositivo”. Para que ele possa desempenhar esta função um amplificador de potência deve ser capaz de dissipar uma grande quantidade de potência, ou seja, a taxa de liberação de calor para o ambiente deve ser suficientemente alta para que a temperatura atingida pelo dispositivo não possa corrompê-lo (BOGART, 2001).

No design de amplificadores de potência algumas trocas entre características de performance estão envolvidas, dentre elas: linearidade, ganho de potência, potência de saída e eficiência, isto gera desafios na utilização destes componentes em sistemas de comunicação, a necessidade de realização de modulações em amplitude e/ou em fase o que levou a existência de diversas topologias de amplificadores de potência (LEE, 2004).

Em um amplificador de potência devem ser produzidas maiores variações de tensão e de corrente o que faz com que o transistor tenha que atuar em modo de operação de grandes sinais ocupando uma faixa completa de suas características de funcionamento, isto faz com que suas características lineares de pequenos sinais variem, levando a um comportamento não-linear do amplificador, como consequência disso tem-se uma distorção do sinal de saída, denominada distorção harmônica (BOGART, 2001).

Em amplificadores de potência o teorema da máxima transferência de potência não é utilizado para realizar seu design, um dos motivos é que não é totalmente claro como definir impedâncias em sistemas não lineares que trabalham em grandes sinais, caso este problema seja resolvido e se possa casar as impedância a eficiência do amplificador seria limitada em 50%, com a dissipação de potência sendo dividida entre o amplificador e a carga igualmente podendo gerar problemas térmicos. Em sistemas de baixa potência, como celulares e um transceptor ZigBee isto também não seria interessante pois a baixa eficiência dificultaria estender a vida útil da bateria (LEE, 2004).

Os amplificadores de potência “clássicos” são divididos em amplificadores Classe A, B, AB e C, esta divisão é feita de acordo com as condições de polarização aplicadas ao amplificador, eles são denominados “clássicos” pois os sinais de entrada e de saída são considerados senoidais, estes tipos de amplificadores podem ser entendidos a partir do circuito apresentado na figura 7. Uma indutância L_1 de valor consideravelmente alto liga o dreno do transistor ao V_{DD} , este indutor funciona como um *choke* de RF (bloqueio de altas frequências), um capacitor C_1 é usado para bloquear um nível DC na carga R_L . Esta

topologia permite que a excursão do sinal de saída vá de $+V_{DD}$ a $-V_{DD}$, como V_X está a uma valor de V_{DD} maior que o sinal de saída na carga por causa do capacitor o sinal V_X vai de 0 a $2V_{DD}$.

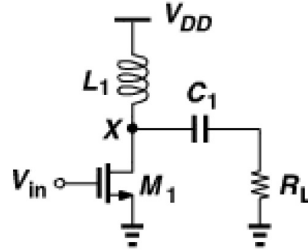


Figura 7 – Estágio fonte comum com carga indutiva (RAZAVI, 2011).

O amplificador de potência é o bloco mais crítico quando se fala em consumo de potência nos transceptores, conseqüentemente existe uma preocupação com sua eficiência, dois parâmetros de medida de eficiência são utilizados para avaliá-la, a eficiência de coletor, apresentada na equação 4.1, onde η é a eficiência de coletor, P_L a potência fornecida à carga e P_{supp} a potência fornecida pela tensão de alimentação.

$$\eta = \frac{P_L}{P_{supp}} \quad (4.1)$$

O outro parâmetro é a eficiência energética, PAE , em inglês *power-added efficiency*, este parâmetro é definido na equação 4.2, onde P_{in} é a potência média de entrada, esta equação leva em conta situações, onde, por exemplo, um módulo de condicionamento de sinal é adicionado à entrada do amplificador de potência para auxiliar no fornecimento de potência à carga.

$$PAE = \frac{P_L - P_{in}}{P_{supp}} \quad (4.2)$$

Um conceito também importante na definição da classe de um PA é o “ângulo de condução”, ele é definido pelo produto entre a porcentagem do período em que os transistores de saída se mantêm ligados por 360° (RAZAVI, 2011).

4.1 Classificação dos Amplificadores de Potência

4.1.1 Classe A

Os amplificadores de potência que tem seus transistores mantidos ligados e operando linearmente por toda excursão dos sinais de saída e de entrada são denominados classe A, neste caso o ângulo de condução é de 360° pois seus transistores de saída permanecem ligados durante todo tempo de operação. Essa definição não implica que o

amplificador será suficientemente linear já que parâmetros como a transcondutância do transistor podem variar consideravelmente, pois está sendo realizada uma operação em grandes sinais. A figura 8 apresenta um estágio do tipo classe A, uma rede de casamento é colocada entre o estágio e a carga para reduzir a tensão que o transistor M_1 estará sujeito, ela pode ser, por exemplo, um transformador, esta rede também altera para R_{in} a impedância que o estágio "vê", o gráfico ao lado do estágio ilustra a corrente que passa pelo transistor, para que ele fique ligado durante toda a operação condizendo com a definição de um amplificador classe A é necessário que a corrente de polarização seja maior que a amplitude do sinal de corrente I_P

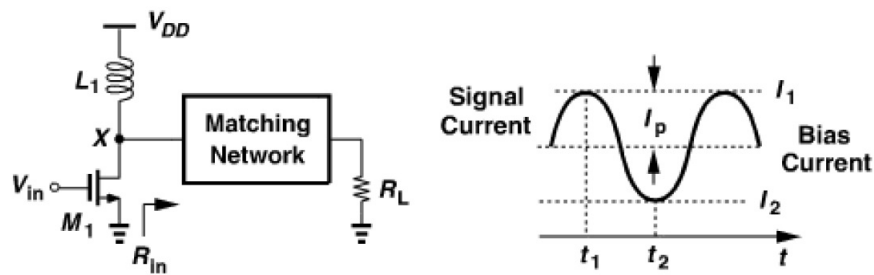


Figura 8 – Estágio Classe A (RAZAVI, 2011).

A partir da noção do funcionamento deste estágio pode-se fazer uma aproximação do valor da eficiência máxima de um amplificador classe A, para isto considera-se a tensão V_X variando de um valor de zero a $2V_{DD}$, que a rede de casamento é sem perdas e que as não linearidades resultantes da mudança na transcondutância são toleráveis, o cálculo da eficiência máxima deste estágio é uma razão entre a potência fornecida para a rede de casamento com impedância de R_{in} , equação 4.3, e a potência fornecida para a carga indutiva, equação 4.4, considera-se o fato da corrente que passa pela carga indutiva ser constante e ter o valor de V_{DD}/R_{in} , o valor da eficiência máxima é apresentado na equação 4.5, sendo de 50%.

$$P_L = \frac{(2V_{DD}/2)^2}{2R_{in}} \quad (4.3)$$

$$P_{supp} = \left(\frac{V_{DD}}{R_{in}}\right)^2 R_{in} \quad (4.4)$$

$$\eta = \frac{V_{DD}^2/2R_{in}}{V_{DD}^2/R_{in}} = 50\% \quad (4.5)$$

A condição para que o transistor esteja em saturação (região de maior linearidade) é que $V_{ds} \geq V_{gs} - V_{TH}$ onde V_{ds} é a tensão entre o dreno e a fonte do transistor, V_{gs} a tensão entre o gate a fonte e V_{TH} a tensão limiar, considerando que $V_{ds} = V_X$ e que

$V_{gs} = V_0 + V_P$, sendo V_0 a tensão de polarização de entrada e V_P a amplitude do sinal que oscila em torno dela pode-se concluir então que o valor mínimo que a saída pode atingir é $V_X = V_0 + V_P - V_{TH}$ (RAZAVI, 2011).

4.1.2 Classe B

Uma topologia de PA que realiza uma operação classe B é apresentada na figura 9, ela consiste em dois estágios paralelos, cada um com seus transistores conduzindo por metade do tempo (ângulo de condução de 180°), as entradas são sinais de tensão senoidais com uma defasagem de 180° entre eles, para que os transistores estejam ligados somente na porção superior da onda sua tensão de polarização deve ser aproximadamente V_{TH} , as suas correntes geradas são combinadas através de um transformador e é transferido um sinal de corrente senoidal completo para a carga, como visto na figura.

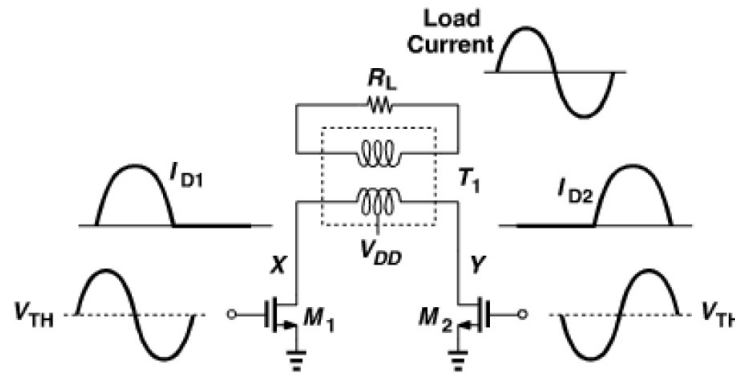


Figura 9 – Estágio Classe B (RAZAVI, 2011).

Para o cálculo da eficiência deste estágio é necessário verificar as potências fornecidas pelos transistores e a potência fornecida à carga, o valor de potência é calculado pela fórmula $P = VI$ cada estágio fornece uma corrente média de valor I_p/π alimentados por uma tensão V_{DD} , onde I_p é a amplitude da corrente, então $P = (I_p/\pi)V_{DD}$ para cada estágio, como são dois estágios o dobro desta potência é fornecida como mostra a equação 4.6.

$$P_{supp} = 2 \left(\frac{I_p}{\pi} \right) V_{DD} \quad (4.6)$$

Para calcular a corrente fornecida à carga verifica-se que cada estágio produz uma corrente de valor $I_D = I_p \text{sen}(\omega_0 t)$ que combinadas pelo transformador geram um valor de tensão $V = (m/n)I_p R_L \text{sen}(\omega_0 t)$ na carga, onde m é a metade do número de espiras no primário e n o número de espiras no secundário, verificando que V_{DD} está posicionado no centro do primário, a potência é então calculada pela fórmula $P = V/R$ sendo V o valor eficaz da tensão na carga, a potência de saída é apresentada na equação 4.7.

$$P_{out} = \left(\frac{m}{n}\right)^2 \frac{I_p^2 R_L}{2} \quad (4.7)$$

Dividindo os dois resultados tem-se na equação 4.8 a eficiência do estágio.

$$\eta = \frac{\pi}{4V_{DD}} \left(\frac{m}{n}\right)^2 I_p R_L \quad (4.8)$$

Considerando que os valores de V_X e V_Y oscilam em torno de V_{DD} com amplitude de sinal V_p , pode-se verificar qual a eficiência máxima deste estágio, em uma situação ideal V_p tem valor máximo de V_{DD} , neste caso a eficiência chega a aproximadamente 79%, omitem-se aqui os cálculos para se chegar a este valor, com este resultado e o obtido para a eficiência máxima é possível verificar que um menor ângulo de condução gera uma maior eficiência (RAZAVI, 2011).

4.1.3 Classe AB

Dentro da terminologia de classes de operação de um PA existe também a denominada classe AB, ela serve para designar amplificadores single-ended com ângulo de condução entre 180° e 360° para a operação de seu dispositivo ativo. Com esta faixa de valores para seu ângulo de condução os amplificadores pertencentes a elas buscam uma eficiência maior que os PAs de classe A e uma linearidade maior que os de classe B. Estes amplificadores possuem eficiência em torno de 50% e 78,5%.

4.1.4 Classe C

Em um PA em operação do tipo classe C reduz-se o ângulo de condução comparando com as classes anteriores para que a eficiência seja maior, a figura 10 (a) apresenta um estágio classe C enquanto a (b) apresenta a excursão do sinal de entrada V_X e a corrente I_{D1} no transistor. V_X excede V_{TH} por frações de períodos de tempo ligando o transistor e gerando pulsos de corrente de saída, q impedância de entrada da rede de casamento é projetada para filtrar harmônicos que vão para a antena e para ressoar na frequência de interesse e fazer a tensão no dreno ser um sinal senoidal.

A eficiência do estágio é dada pela equação 4.9 considerando que a amplitude da tensão do dreno é igual a V_{DD} , θ na equação é o ângulo de condução.

$$\eta = \frac{1}{4} \frac{\theta - \text{sen}\theta}{\text{sen}(\theta/2) - (\theta/2)\text{cos}(\theta/2)} \quad (4.9)$$

A eficiência máxima pode chegar a 100% a medida que o ângulo de condução θ chega a zero mas como consequência a potência de saída chega a zero (RAZAVI, 2011).

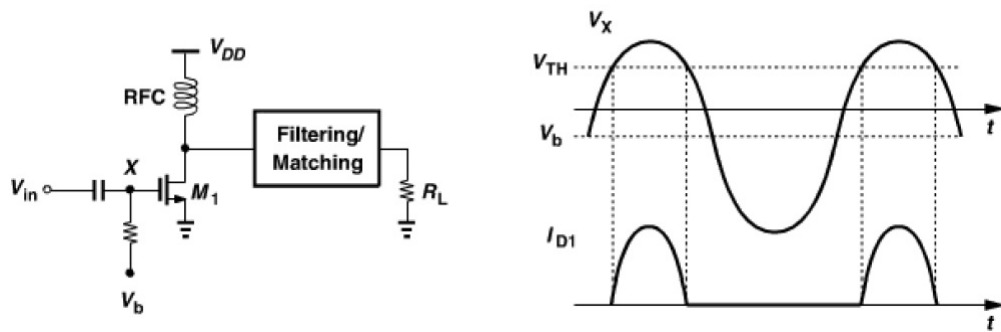


Figura 10 – a) Estágio Classe C b) Formas de onda (RAZAVI, 2011).

4.1.5 Classe D

As classes de PAs apresentadas anteriormente consideradas “clássicas” tem seu dispositivo ativo de saída funcionando como uma fonte de corrente, é possível implementar PAs cujo dispositivo ativo funcione como uma chave. Esta abordagem é utilizada pois uma chave idealmente não dissipa potência, pois ela em uma momento tem tensão sobre ela e em outro momento corrente, sendo a potência o produto entre estes dois parâmetros, ela sempre é zero o que leva o dispositivo a ter uma eficiência teórica de 100%. Caso o dispositivo seja um transistor MOS o seu estado “ligado” acontece quando ele está em região de triodo, já seu estado “desligado” acontece quando ele está em região de corte.

Uma das classes que tem seus transistores operando como chave é a classe D, um estágio deste tipo é apresentado na figura 11, ele se assemelha com com o estágio classe B apresentado anteriormente com sua configuração *push-pull* mas com a diferença na operação dos transistores. Cada transistor é alimentado na metade de um ciclo assim como no estágio classe B a diferença está na tensão que alimenta que deve ser suficiente para fazer com que eles se comportem como chaves.

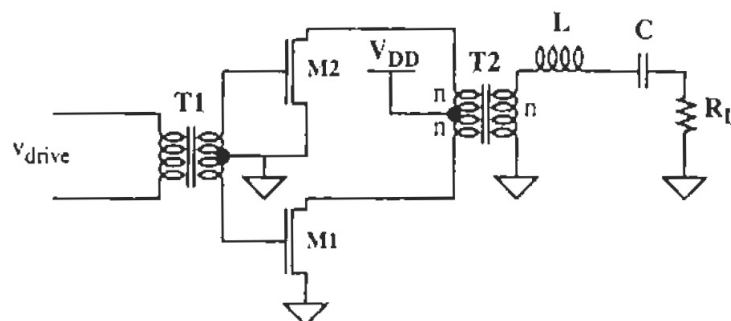


Figura 11 – Estágio Classe D (LEE, 2004).

A figura 12 apresenta como este estágio opera ilustrando o comportamento das tensões e correntes no dreno de M1 e no secundário do transformador T2. Os transistores alternam entre triodo e corte levando os terminais do primário de T2 a irem para GND em períodos inversos, criando uma onda retangular no primário e conseqüentemente do secundário de T2. Quando um dreno vai para GND o dreno do outro transistor é forçado a ir para $2V_{DD}$. Devido ao filtro passa-faixas na saída somente a componente fundamental flui pela carga. Como a corrente no secundário é senoidal a corrente do primário também é e cada transistor conduz meia onda da corrente senoidal, conforme apresentado na figura. Com seus transistores atuando como chaves este estágio tem eficiência teórica máxima de 100

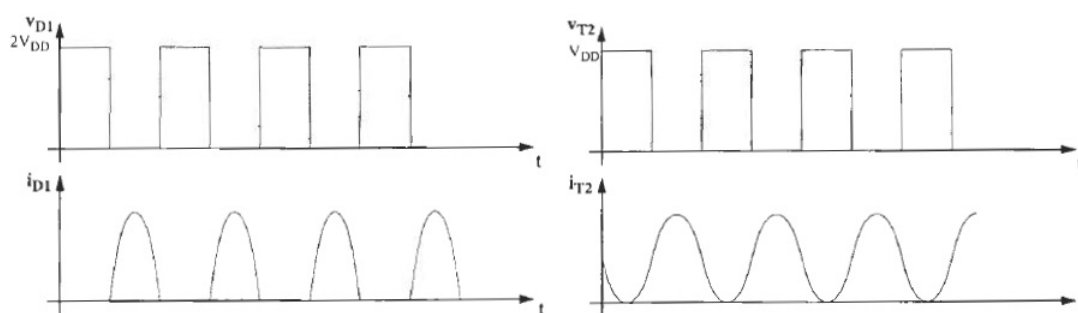


Figura 12 – a) Tensão e Corrente no dreno de M1. a) Tensão e Corrente no secundário do transformador T2. (LEE, 2004).

4.1.6 Classe E

Outra classe de PAs que tem seu transistor funcionando como chave são os estágios Classe E, eles podem atingir eficiência próximo de 100% enquanto fornecem máxima potência, mas com o preço de serem não-lineares, seu transistor de saída opera como uma chave ao invés de como uma fonte de corrente controlada por tensão. Sua operação como uma chave permite que, em uma situação ideal, não haja dissipação de potência no transistor pois valores não nulos de corrente e tensão não são simultâneos no dispositivo, levando à eficiência de 100%. Esta eficiência não é atingida a prática pois, além de existir uma resistência intrínseca ao transistor tanto em triodo como em corte, os dispositivos presentes na rede também dissipam potência. A topologia básica de um PA classe E é apresentada na figura 13, onde o transistor de potência é representado por uma chave. As condições para que este estágio possa atingir alta eficiência são: O transistor de saída M_1 tem baixa tensão quando conduz corrente, O transistor de saída M_1 tem baixa corrente quando submetido a uma tensão de dreno constante e os intervalos de transições no chaveamento do transistor são minimizados, como consequência destas condições a resistência do transistor quando estiver ligado deve ser baixa e a entrada deve ter uma forma de onda aproximadamente retangular com ciclo de trabalho idealmente de 50% (RAZAVI, 2011).

Esta é a classe mais utilizada em designs de PAs para RF e será a classe do PA projetado neste trabalho.

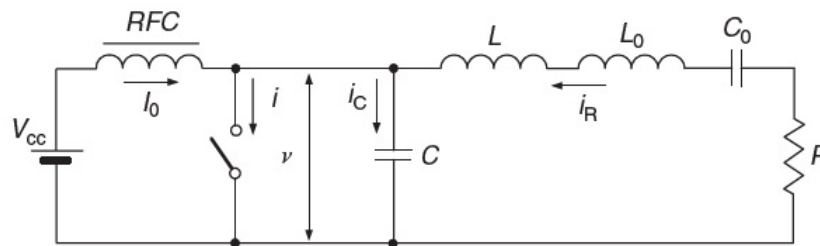


Figura 13 – Circuito básico de um PA chaveado com tensão de saída não senoidal (GREBENNIKOV; SOKAL, 2007).

Como mostra a figura 13 o circuito equivalente do PA classe-E consiste em um *choke* de RF de alta reatância na frequência fundamental, que conecta o dreno do transistor à fonte de alimentação V_{cc} , e uma rede de carga composta por um capacitor C em paralelo ao transistor, um indutor L em série com a carga. Um circuito ressonador L_0C_0 sintonizado na frequência de operação $\omega_0 = \sqrt{L_0C_0}$ também é adicionado na rede de carga em série com a carga para a supressão de harmônicos. O fator de qualidade Q_L deste circuito ressonador em série deve ser suficientemente alto para que a corrente de saída seja senoidal.

As características de um PA class-E podem ser determinadas encontrando as formas de onda da tensão e corrente de dreno em estado estacionário. Como o transistor opera idealmente como uma chave estas formas de onda são determinadas pela chave quando ligada e pela resposta transiente da rede de carga quando a chave está desligada.

As seguintes premissas são tomadas para a análise do PA classe-E:

- O transistor tem tensão quando em triodo nula, resistência em triodo nula, resistência em corte infinita e a ação de chaveamento é instantânea e sem perdas.
- A capacitância em paralelo é linear e independente do dreno.
- O *choke* de RF permite somente passagem de corrente contínua.
- O fator de qualidade $Q = \omega L_0/R = 1/\omega C_0 R$ sintonizado na frequência fundamental $\omega_0 = 1/\sqrt{L_0C_0}$ é alto o suficiente para que a corrente de saída seja senoidal.
- Não existem perdas no circuito exceto na carga R .
- Para uma operação ideal, o ciclo de trabalho é de 50%.

A figura 13 ilustra os sinais presentes na operação do circuito para a modelagem matemática. As condições que garantem um modo de operação sem perdas são apre-

sentados nas equações 4.10 e 4.11, elas dão à classe-E a característica denominada de "soft-switching" no momento $\omega t = 2\pi$ onde a chave é ligada.

$$v(\omega t)|_{\omega t=2\pi} = 0 \quad (4.10)$$

$$\left. \frac{dv(\omega t)}{d\omega t} \right|_{\omega t=2\pi} = 0 \quad (4.11)$$

Onde $v(\omega t)$ é a tensão sobre a chave. Devido a presença do circuito ressonador na saída a corrente na carga R , em regime permanente, é dada pela função senoidal:

$$i_R(\omega t) = I_R \text{sen}(\omega t + \phi) \quad (4.12)$$

Sendo ϕ o deslocamento de fase inicial. No período de $0 \leq \omega t < \pi$ a chave está ligada e não existe corrente sobre o capacitor.

$$i_C(\omega t) = \omega C \frac{dv(\omega t)}{d\omega t} = 0 \quad (4.13)$$

Sendo assim a corrente na chave é dada pela equação 4.14.

$$i(\omega t) = I_0 + I_R \text{sen}(\omega t + \phi) \quad (4.14)$$

Considerando a condição inicial $i(0) = 0$ para a chave ligada, a corrente DC I_0 sobre o *choke* de RF é:

$$I_0 = -I_R \text{sen}\phi \quad (4.15)$$

A corrente sobre a chave pode ser reescrita como:

$$i(\omega t) = I_R [\text{sen}\omega t + \phi] - \text{sen}\phi \quad (4.16)$$

Com a chave desligada no período $\pi \leq \omega t < 2\pi$ a corrente sobre a chave é zero e a corrente sobre o capacitor é:

$$i_C(\omega t) = I_0 + I_R \text{sen}(\omega t + \phi) \quad (4.17)$$

A tensão sobre a chave é devido ao carregamento e descarregamento do capacitor de acordo com a equação 4.18.

$$v(\omega t) = \frac{1}{\omega C} \int_{\pi}^{\omega t} i_C(\omega t) d\omega t = -\frac{I_R}{\omega C} [\cos(\omega t + \phi) + \cos\phi + (\omega t - \pi)\text{sen}\phi] \quad (4.18)$$

Usando a condição 4.10 para operação ideal ϕ pode ser calculado, como mostra a equação 4.19.

$$\phi = \tan^{-1} \left(-\frac{2}{\pi} \right) = -32.482^\circ \quad (4.19)$$

Utilizando as relações trigonométricas $\text{sen}\phi = -2/\sqrt{\pi^2 + 4}$ e $\cos\phi = \pi/\sqrt{\pi^2 + 4}$ a tensão sobre a chave pode ser reescrita como:

$$v(\omega t) = \frac{I_0}{\omega C} \left(\omega t - \frac{3\pi}{2} - \frac{\pi}{2} \cos\omega t - \text{sen}\omega t \right) \quad (4.20)$$

Com expansão em série de Fourier a tensão de alimentação pode ser calculada e é dada por 4.21.

$$V_{cc} = \frac{1}{2\pi} \int_0^{2\pi} v(\omega t) d\omega t = \frac{I_0}{\pi\omega C} \quad (4.21)$$

A forma de onda para a tensão normalizada sobre o dreno do transistor em $\pi \leq \omega t < 2\pi$ e a forma de onda da corrente normalizada sobre o dreno do transistor no período $0 \leq \omega t < \pi$ são dadas pelas equações 4.22 e 4.23 respectivamente.

$$\frac{v(\omega t)}{V_{cc}} = \pi \left(\omega t - \frac{3\pi}{2} - \frac{\pi}{2} \cos\omega t - \text{sen}\omega t \right) \quad (4.22)$$

$$\frac{i(\omega t)}{I_0} = \frac{\pi}{2} \text{sen}\omega t - \cos\omega t + 1 \quad (4.23)$$

As formas de ondas da corrente sobre a carga e da tensão e corrente sobre a chave, em uma operação ideal, todas normalizadas, são mostradas na figura 14 (GREBENNIKOV; SOKAL, 2007).

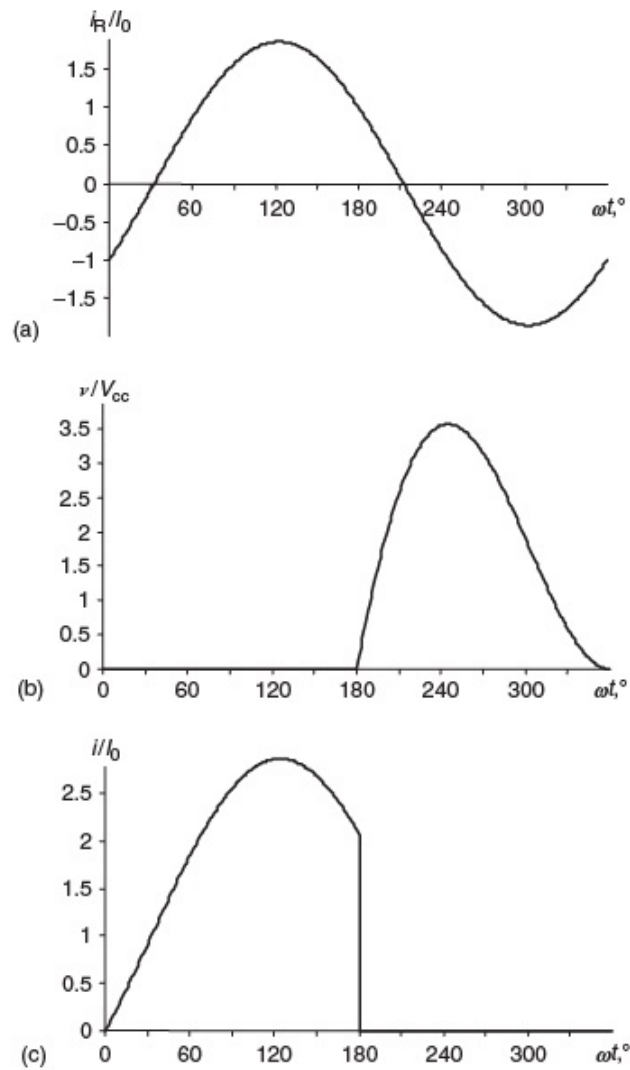


Figura 14 – Formas de ondas de corrente e tensão idealizadas sobre o dreno do transistor de um PA chaveado (GREBENNIKOV; SOKAL, 2007).

4.1.7 Resumo das Classes de PAs

A Tabela 2 resume o que foi apresentado até aqui sobre classes de PAs, comparando as principais classes quanto as suas características mais importantes. Pode-se observar a troca que existe entre eficiência e linearidade, tendo o projetista que ponderar qual é a mais importante para seu projeto.

Tabela 2 – Comparação entre as diferentes classe de PAs (PAN, 2012).

Classe	Transistor(es) de saída	Operação	Eficiência Teórica Máxima
A	Fonte de Corrente	Linear	50%
B	Fonte de Corrente	Linear	78.5%
AB	Fonte de Corrente	Linear	50% a 78.5%
C	Fonte de Corrente	Não-linear	85%
D	Chave	Não-linear	100%
E	Chave	Não-linear	100%

4.2 Estágio Cascode

Para que mais potência seja fornecida à carga de saída do PA é desejável que se possa aumentar a tensão de alimentação, mas este aumento é limitado pois pode causar danos ao transistor caso a tensão entre o dreno e o gate ultrapasse a tensão de breakdown de óxido do gate. Este problema pode ser minimizado com a substituição do transistor por um estágio cascode onde a tensão suportada por cada transistor é menor pela divisão da tensão máxima pelos dois transistores.

A figura 15 (a) apresenta a configuração clássica (fonte-comum) de um PA classe-E para o dispositivo ativo, diferenciando a equação 4.22 e igualando a zero é possível verificar que a máxima tensão sobre o dreno é $V_{drain,máx.} = 3.56V_{DD}$, limitando a tensão de alimentação devido a tensão de *breakdown*. Caso o transistor seja chaveado em uma configuração gate-comum como na figura 15 (b) a tensão máxima sobre o transistor se torna $V_{drain,máx.} - V_{GG}$ o que possibilita um aumento na tensão de alimentação, mas com o problema de apresentar uma baixa impedância em sua entrada. Para que isto seja evitado estes dois estágios são combinados em um estágio cascode como mostra a figura 15 (c), quando desligado a tensão de dreno do dispositivo fonte-comum chega a $V_{GG} - V_T$. Este estágio permite aproximadamente o dobro da alimentação que um estágio fonte-comum único (YOO; HUANG, 2001).

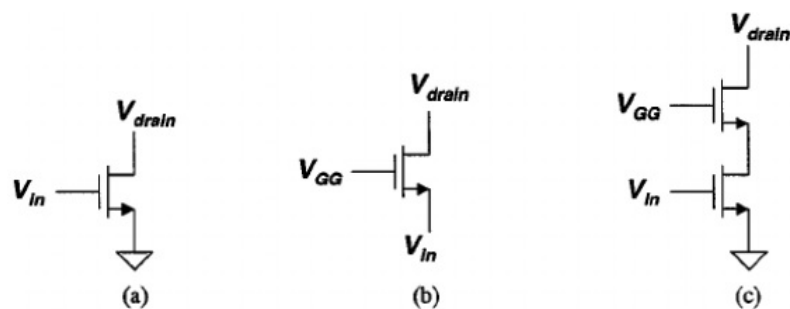


Figura 15 – a) Fonte-comum b) Gate-comum c) Estágio cascode. (YOO; HUANG, 2001)

5 Design do Amplificador de Potência

5.1 Especificações do Amplificador de Potência

A escolha dos valores dos parâmetros se deu por uma pesquisa de diversos projetos de amplificadores de potência com tensão de alimentação, tecnologia e aplicações próximas as que serão usadas no amplificador de potência projetado neste trabalho, alguns destes valores de projetos, retirados de (GHORBANI; GHAZNAVI-GHOUSHCHI, 2016) são apresentados na tabela 3.

Tabela 3 – Especificações de outros projetos.

Tecnologia[μm]	Frequência[GHz]	V_{DD} [V]	P_{out} [dBm]	PAE[%]
0.18	2.4	1.8	21.5	57
0.18	2.4	1.8	28	43
0.13	2.4	2.5	31	58
0.13	2	1.5	22.6	21
0.13	1.8	3.5	31.5	51
0.13	1.6	2.5	19.5	43

Os valores das especificações escolhidas para o projeto são colocados na tabela 4, os valores da tecnologia, frequência e alimentação vem das características gerais do transceptor, para a potência de saída e o PAE foi feita uma média aritmética dos valores atingidos pelos trabalhos apresentados na tabela 3.

Tabela 4 – Especificações do projeto.

Parâmetro	Valor	Unidade
Tecnologia	0.13	μm
Frequência	2.4	GHz
V_{DD}	1.2	V
P_{out}	25.7	dBm
PAE	45.5	%

5.2 Topologia do projeto

A topologia escolhida para ser implementada é a apresentada na figura A tendo sido proposta por (MAZZANTI et al., 2006). Ela consiste em dois blocos: um *driver* classe-B para chavear o PA e o PA classe-E com uma topologia cascode.

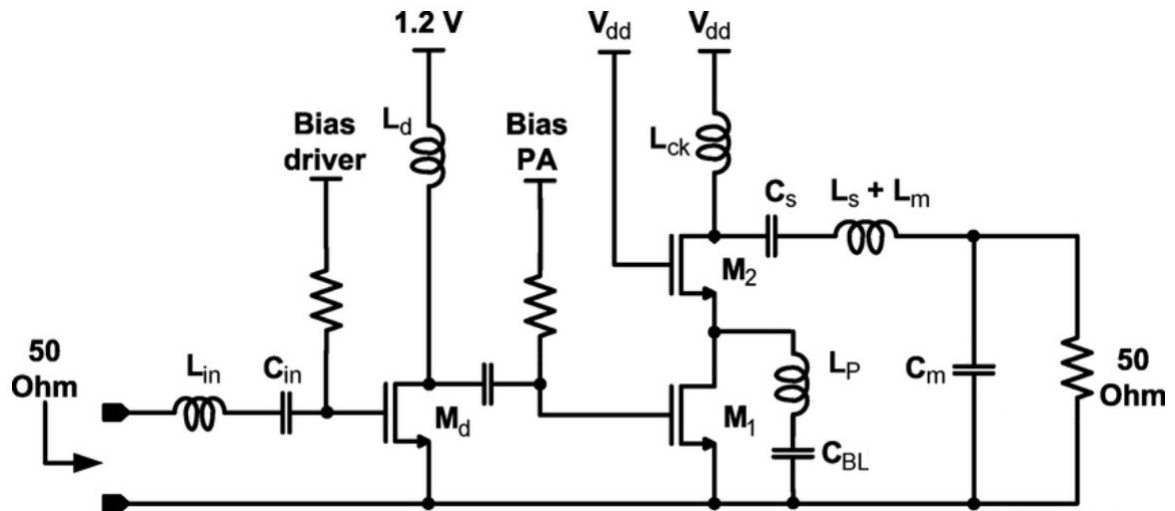


Figura 16 – Topologia *single-ended* (MAZZANTI et al., 2006).

Para que o PA possa realizar uma operação classe-E é necessário que o seu transistor atue como uma chave alternando entre triodo e corte, para isso a tensão de entrada no gate deve ter idealmente a forma de uma onda quadrada. Como o sinal de entrada é senoidal deve-se usar um *driver* que modele este sinal para uma forma de onda que seja próxima da onda ideal quadrada, sendo utilizada para chavear o PA. Na literatura dois tipos de *drivers* são mais utilizados: um inversor classe-B e um classe-F. O *driver* classe-B possui menos elementos em sua construção do que o classe-F mas utiliza uma retificação de meia-onda para emular a onda quadrada enquanto o *driver* classe-F aproxima a onda quadrada através da sobreposição de harmônicos ímpares. A desvantagem do *driver* classe-F está em utilizar mais elementos em sua composição, pois, para cada harmônico adicionado, é necessário adicionar à carga de seu dispositivo ativo um circuito tanque LC ressonando na frequência deste harmônico, além de ter um ajuste mais complexo que o Classe-B (PAN, 2012). A topologia escolhida utiliza o *driver* classe-B, formado pelo transistor M_d e o indutor L_d .

Na entrada do circuito é colocado um circuito tanque LC, formado por L_{in} e C_{in} , ressonando na frequência de operação para eliminar harmônicos indesejados que possam estar presentes no sinal de entrada e eliminar algum sinal DC que possa existir. Uma fonte de tensão adiciona um sinal DC ao sinal de valor igual ao da tensão de *threshold* do transistor M_d para que o *driver* possa operar em classe-B produzindo a onda retificada para chavear o PA. Um capacitor de acoplamento é colocado na saída do *driver* para retirar o nível DC e uma fonte de tensão nivela o sinal na tensão de *threshold* do transistor M_1 que chaveia o PA.

O uso da topologia cascode é feito, como falado anteriormente, para evitar que a tensão entre gate e dreno exceda a tensão de *breakdown* do óxido de gate. Mas como consequência desta adição do dispositivo de gate comum para realizar a topologia cas-

code ocorre uma maior dissipação de potência devido a dois mecanismos dissipativos. O primeiro deles está associado à dissipação de potência através da resistência do seu canal devido a passagem de corrente por ele quando M_1 está ligado. O segundo ocorre quando M_1 está desligado e está associado ao carregamento e descarregamento de um capacitor parasita formado pelas capacitâncias entre o dreno e o bulk e entre o dreno e gate de M_1 e as capacitâncias entre a fonte e o bulk e entre o gate e a fonte de M_2 . Para diminuir os efeitos do segundo mecanismo o indutor L_P é adicionado para ressonar com este capacitor parasita auxiliando em seu carregamento e descarregamento, minimizando a corrente que flui pelo transistor. Um capacitor de bloqueio de nível DC C_{BL} é colocado entre o indutor e o GND (MAZZANTI et al., 2006).

5.3 Procedimentos de Design

5.3.1 Cálculo de Parâmetros

O projeto se inicia com o cálculo dos valores dos componentes do PA classe-E que compõe o estágio mostrada na figura A. Em (MILOSEVIC; TANG; ROERMUN, 2002) são dadas as equações utilizadas para realizar o cálculo dos valores dos componentes do PA para que ele opere nas condições desejadas. O valores das especificações dadas na tabela 4 são usados para o cálculo dos componentes.

Deve-se inicialmente calcular a resistência R de saída que faz com que o PA forneça a potência desejada com a melhor eficiência, este cálculo é feito de acordo com a equação 5.1.

$$R = \frac{0,577V_{cc}^2}{P_{out}} = \frac{0,577(1,8)^2}{316,23 \cdot 10^{-3}} = 5,91\Omega \quad (5.1)$$

O cálculo dos valores dos componentes são feitos nas equações 5.1 - 5.6. Q_L é o fator de qualidade do circuito tanque, seu valor pode ser aproximado através da análise AC deste circuito, medindo-se a frequência de ressonância e a largura de banda em torno desta frequência. A equação 5.2 fornece seu valor para o indutor da tecnologia usado, sendo f_0 a frequência de ressonância e Δf a largura de banda em torno desta frequência.

$$Q_L = \frac{f_0}{\Delta f} = \frac{2,404 \cdot 10^9}{2,53 \cdot 10^9 - 2,29 \cdot 10^9} \approx 10 \quad (5.2)$$

$$L = \frac{(Q_L - 1,152)R}{\omega} = \frac{(10 - 1,152)5,91}{2\pi \cdot 2,4 \cdot 10^9} = 3,47nH \quad (5.3)$$

$$L_X = \frac{1,152R}{\omega} = \frac{1,152 \cdot 5,91}{2\pi \cdot 2,4 \cdot 10^9} = 0,45nH \quad (5.4)$$

$$L_S = L + L_X = 3,47 \cdot 10^{-9} + 0,45 \cdot 10^{-9} = 3,92 nH \quad (5.5)$$

$$C_S = \frac{1}{\omega^2 L_0} = \frac{1}{(2\pi \cdot 2,4 \cdot 10^9)^2 \cdot 3,47 \cdot 10^{-9}} = 1,27 pF \quad (5.6)$$

$$C = \frac{0,1837}{\omega R} = \frac{0,1837}{(2\pi \cdot 2,4 \cdot 10^9) \cdot 5,91} = 2,06 pF \quad (5.7)$$

O capacitor C é implementada através da capacitância parasita existente entre o dreno e o bulk de M_2 .

De acordo com (PAN, 2012) a escolha do valor de L_{ck} , assim como de L_d deve levar em consideração sua característica de bloqueio de sinais de alta frequência, existem duas maneiras de ver este indutor, a primeira é como um *choke* de RF (alta impedância) e a segunda como um curto para sinais DC, para designs com limitações de tamanho do indutor, como os que tem que mantê-lo dentro do chip, pode-se utilizar a segunda abordagem mas levando em conta que o indutor escolhido deve ser capaz de modelar os sinais de corrente e tensão corretamente.

A carga R_L de 50Ω é utilizada por padrão para representar a antena, esta carga deve ser transformada então na resistência R calculada anteriormente. O capacitor C_m e o indutor L_m formam a rede que é posicionada entre o circuito tanque e a antena para fazer a transformação de R_L em R . Para calcular o valor dos elementos da rede são utilizadas as equações 5.8 e 5.9 mostradas em (GHORBANI; GHAZNAVI-GHOUSHCHI, 2016).

$$L_m = \frac{\sqrt{R(R_L - R)}}{\omega} = \frac{\sqrt{5,91(50 - 5,91)}}{2\pi \cdot 2,4 \cdot 10^9} = 1,07 nH \quad (5.8)$$

$$C_m = \frac{\sqrt{\frac{R_L - R}{R}}}{R_L \omega} = \frac{\sqrt{\frac{50 - 5,91}{5,91}}}{50,2 \cdot 2,4 \cdot 10^9} = 3,62 pF \quad (5.9)$$

O valor de L_p deve ser ajustado para entrar em ressonância com o capacitor parasita C_P , dado pela equação 5.10, resultado da soma das capacitâncias parasitas dos transistores M_1 e M_2 , para que o circuito dissipe menos potência.

$$C_P = C_{DB(M_1)} + C_{DG(M_1)} + C_{SB(M_2)} + C_{GS(M_2)} \quad (5.10)$$

Sendo $C_{DB(M_1)}$ a capacitância entre o dreno e o bulk de M_1 , $C_{DG(M_1)}$ a capacitância entre o dreno e o gate de M_1 , $C_{SB(M_2)}$ a capacitância entre o source e o bulk de M_2 e $C_{GS(M_2)}$ a capacitância entre o gate e o source de M_1 , estas capacitância são somadas pois estão em paralelo.

Os valores de L_{in} e de C_{in} são calculados para que eles entrem em ressonância na frequência de operação de $2,4GHz$, escolhendo um valor de $1pF$ para C_{in} calcula-se o valor de L_{in} de acordo com a equação 5.11.

$$\omega = \frac{1}{\sqrt{L_{in}C_{in}}} \rightarrow L_{in} = \frac{1}{\omega^2 C_{in}} = \frac{1}{(2\pi \cdot 2,4 \cdot 10^9)^2 \cdot 1 \cdot 10^{-12}} \approx 4,4nH \quad (5.11)$$

5.3.2 Modelagem em Alto Nível

Pelo trabalho seguir uma metodologia *Top-Down* o projeto e a análise do comportamento do PA se inicia com a modelagem de um amplificador em Verilog-A. Esta modelagem é importante para observar o funcionamento de um PA com componentes ideais, permitindo verificar a validade da análise teórica e cálculos feitos até aqui. Esta análise inicial é feita sem a preocupação com parasitas e efeitos de segunda ordem presentes em modelos mais complexos e realistas encontrados no *design-kit*.

Cada componente foi modelado separadamente em Verilog-A, foram criados os seus símbolos e unidos para que fosse feita a simulação. A topologia utilizada foi a topologia clássica *single-ended* apresentada na figura 13 com a rede de casamento para transformar a carga de 50Ω na resistência ótima. Os códigos usados são baseados nos códigos apresentados em (KUNDERT; ZINKE, 2013).

O primeiro componente modelado foi o transistor, utilizou-se o seguinte código:

```
'include "constants.vams"
'include "disciplines.vams"

module NMOS_trans(g, s, d);
    parameter real thresh=0;
    inout g, s, d;
    electrical g, s, d;

    analog begin
        @(cross(V(g, s)-thresh, 1));
        if (V(g, s)<thresh)
            I(d, s) <+ 0;
        else
            V(d, s) <+ 0;
    end

endmodule
```

Sua modelagem parte do princípio que o dispositivo ativo dos amplificadores de potência classe-E atuam como chave. O dispositivo possui três terminais g, representando o gate, s, representando a fonte e d representado o dreno. Caso a tensão colocada no gate for menor que uma tensão limite denominada *thresh* (aqui escolhida como 1V) não ocorre a passagem de corrente entre o dreno e a fonte e a chave está aberta. Caso a tensão seja igual ou ultrapasse este valor a chave está fechada e a tensão é zero.

O modelo do indutor teve como base a equação $v(t) = Ldi(t)/dt$. Também foi colocada uma resistência em série para que o indutor tivesse um fator de qualidade Q_L necessário para que sejam realizados os cálculos.

```
'include "constants.vams"
'include "disciplines.vams"

module indutancia(p, n);
    parameter real l=1u, r=1000;
    inout p, n;
    electrical p, n;

    analog begin
        V(p,n) <+ l*ddt(I(p,n));
        V(p,n) <+ r*I(p,n);
    end

endmodule
```

Para o capacitor foi utilizada sua equação de corrente $i(t) = Cdv(t)/dt$, foi colocada uma resistência em série para que não ocorresse erros no simulador mas seu valor foi zerado para representar um capacitor ideal. O seguinte código foi usado:

```
'include "constants.vams"
'include "disciplines.vams"

module capacitancia(p,n);
    parameter real c=0 exclude 0;
    parameter real r=0;
    inout p, n;
    electrical p, n;

    analog begin
        V(p,n) <+ idt(I(p,n))/c;
        V(p,n) <+ r*I(p,n);
    end

endmodule
```

```
end
```

```
endmodule
```

Também foi modelada a resistência usada como carga a partir da Lei de Ohm, como mostra o código:

```
'include "constants.vams"
'include "disciplines.vams"

module resistencia(p, n);
    parameter real r=1000;
    inout p, n;
    electrical p, n;

    analog
        V(p, n)<+r*I(p, n);

endmodule
```

Os componentes foram desenhados, criados e depois unidos, como mostra a figura 17, para a simulação de seu comportamento transiente.

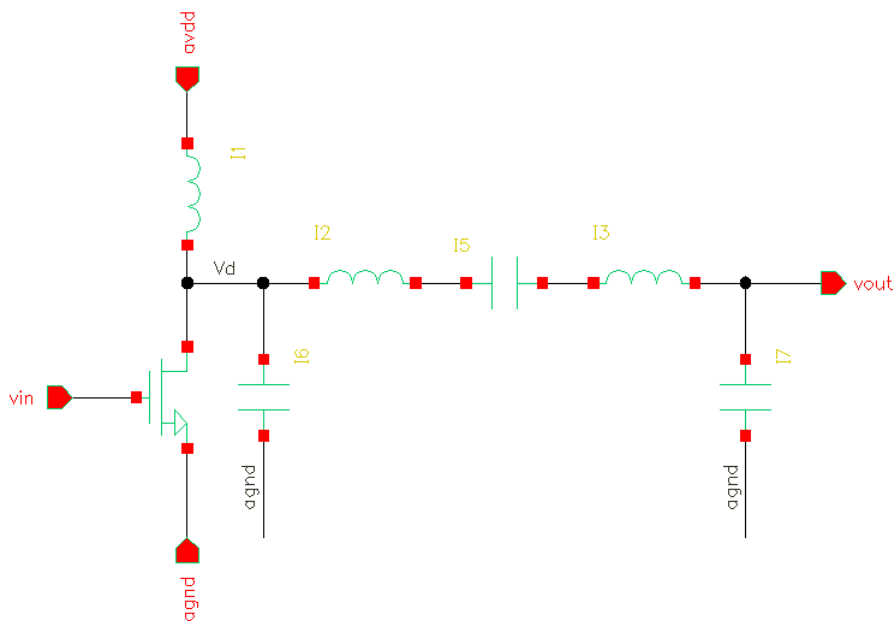


Figura 17 – Esquemático dos componentes modelados em Verilog-A.

Os valores dos componentes foram ajustados de acordo com os calculados ante-

riormente. Para o cálculo do resistor interno do indutor do circuito ressonador LC foi calculado de acordo com a definição de fator de qualidade, como mostra a equação 5.12. O valor do fator de qualidade foi escolhido como 10 tendo como base o valor do fator de qualidade do indutor da tecnologia TSMC.

$$Q_L = \frac{\omega L}{R} \rightarrow R = \frac{\omega L}{Q_L} = \frac{2\pi \cdot 2,4 \cdot 10^9 \cdot 3,47 \cdot 10^{-9}}{10} = 5,23\Omega \quad (5.12)$$

A Tabela 5 apresenta os valores finais dos componentes após a realização das simulações (Apresentadas no Capítulo 6) e dos ajuste. Para a modelagem próxima do ideal os valores dos parâmetros encontrados foram próximos dos calculados.

Tabela 5 – Valores dos Parâmetros do PA Verilog-A.

Parâmetro	Valor	Unidade
V_{dd}	1.8	V
L_{ck}	2	nH
C	2.36	pF
L_s	3.95	nH
C_s	1.28	pF
L_m	1.05	nH
C_m	3.62	pF

5.3.3 Projeto com Componentes da Tecnologia

Após a modelagem em alto nível iniciou-se o projeto do esquemático com o software Virtuoso e simulações com sua ferramenta Spectre para auxílio do design, os resultados finais destas simulações são apresentados no capítulo 7. Os procedimentos descritos aqui foram realizados em duas etapas: na primeira foram usados componentes ideais da biblioteca *AnalogLib* e na segunda foram usados componentes da tecnologia da TSMC.

A princípio foi construído somente o estágio do PA para que se pudesse inserir uma onda quadrada em sua entrada e ser verificado um comportamento mais próximo do ideal. O ajuste dos parâmetros iniciou-se com C_m e L_m , foi realizado um testbench a parte com a rede formada por estes dois componentes para ser verificado se eles casavam a carga padrão R_L de 50Ω com a resistência ótima R dada pela equação 5.1, foi verificado o coeficiente de reflexão em 2.4 GHz, através da análise dos parâmetros S, e o valor dos componentes foram ajustados para que S_{11} fosse o menor possível nesta frequência. Após serem ajustados estes componentes foram inseridos na rede. Os componentes seguintes a serem ajustados foram M_1 , M_2 e L_{ck} , eles são responsáveis pelo carregamento e descarregamento do capacitor parasita C , dados pela equação 5.8, entre o dreno e o bulk de M_2 . Esse transistor teve seu tamanho ajustado para que o valor da capacitância fosse próximo do teórico. Os próximos componentes a serem ajustados foram C_s e L_s , eles devem não só filtrar o sinal para a

frequência de operação como também absolver a reatância da carga, por isso não estão em ressonância na frequência de operação. Por último L_P foi ajustado para melhorar o PAE entrando em ressonância com o capacitor parasita dados pela equação 5.10.

Após a construção do PA foi retirada a fonte de ondas quadradas e foram inseridos os componentes do *driver* para o seu ajuste. Inicialmente foi verificado se o indutor L_{in} e o capacitor C_{in} estavam em ressonância para a frequência de 2.4 GHz isto foi feito através de uma simulação AC separada. Os ajustes foram realizados e os componentes reinseridos no circuito, após esta análise os valores dos componentes M_d e L_d foram ajustados para que o *driver* pudesse gerar a forma de onda desejada, neste caso a onda senoidal retificada. Uma análise DC foi realizada para assegurar que M_d estivesse operando na região correta, que neste caso é a saturação. Com a análise DC foi possível verificar as tensões de *threshold* de M_d e de M_1 para que se pudessem ser ajustadas as fontes de tensão de polarização.

Após a construção de todo o estágio (PA mais *driver*), com auxílio das análises de potência, os valores dos componentes foram ajustados novamente para que ele pudesse fornecer a performance com os melhores valores possíveis. Em seguida foram avaliados os parâmetros S do circuito para a construção das redes de casamento de entrada e de saída do circuito, com a construção das redes e inserção delas no circuito os valores dos componentes foram ajustados novamente para obter a melhor performance do dispositivo.

A topologia final obtida encontra-se no Anexo A. Pode-se observar que todos os indutores usados são os indutores *spiral_std_m6* da tecnologia TSMC, os quais os valores do fator de qualidade, de acordo com simulações realizadas, chegam no máximo em 10. Em muitos projetos avaliados são usados *Bond-Wires* para a construção de L_{ck} , L_s e L_m (críticos à performance do PA) pois possuem maior fator de qualidade, filtrando melhor o sinal e diminuindo as perdas na rede, o que gera um aumento na potência de saída e uma melhora no PAE. Neste projeto foi decidido pelo uso dos indutores da tecnologia para que todos os componentes utilizados pudessem ser integráveis. Outro ponto a se destacar na topologia é o uso de uma fonte de alimentação para o *driver* separada da fonte de alimentação do PA, permitindo que um valor menor de tensão possa ser usado, diminuindo seu gasto de potência, pois o objetivo deste dispositivo é a geração do sinal de chaveamento do PA e não o fornecimento de potência. Pode-se observar também que os indutores L_s e L_m , apesar de serem calculados separadamente, foram juntados por estarem em série.

Para realizar o *testbench* foi criado inicialmente o símbolo do dispositivo, após criá-lo foram criados os símbolos para as redes de casamento de impedância de entrada e saída, mostradas nas figuras 18 e 19.

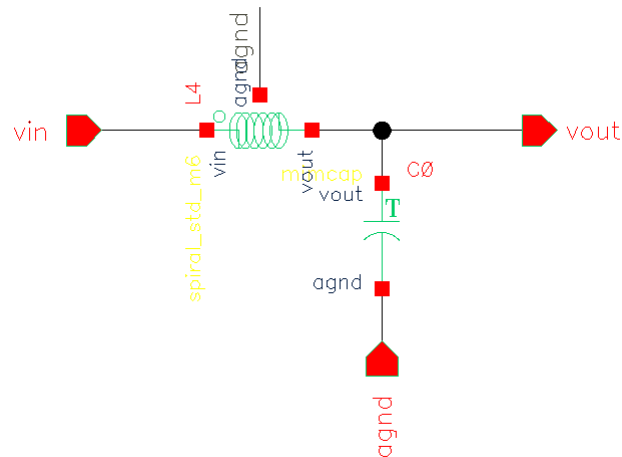


Figura 18 – Rede de casamento para a entrada.

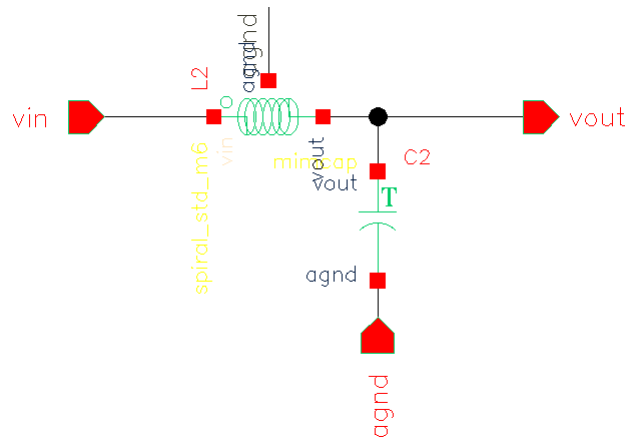


Figura 19 – Rede de casamento para a saída.

As redes foram projetadas com o auxílio da Carta de Smith, para o casamento com as impedâncias de entrada e de saída de 50Ω . Para a rede de entrada o valor do indutor usado foi de $6.923nH$ e do capacitor foi de $19.14fF$, já para a rede de casamento de saída o valor do indutor foi de $68.36pH$ e do capacitor foi de $492.11pF$.

Os valores finais obtidos para o PA são mostrados na tabela 6.

Tabela 6 – Valores dos Parâmetros do PA.

Parâmetro	Valor	Unidade
Tecnologia	0.13	μm
M_1	750	μm
M_2	830	μm
L_{ck}	4.97	nH
C_s	1.85	pF
$L_s + L_m$	4.23	nH
C_m	400	fF
L_P	4.37	nH
C_{BL}	5	pF
L_{in}	3.09	nH
C_{in}	1.35	pF
M_d	190	μm
L_d	2.82	nH
R	1	$k\Omega$
V_{dd}	1.8	V
$V_{dd(driver)}$	1.2	V
$V_{bias(driver)}$	400	mV
$V_{bias(PA)}$	400	mV

A tabela 7 apresenta as dimensões encontradas para os indutores usados no PA.

Tabela 7 – Dimensões dos Indutores.

Indutor	Largura do Indutor	Raio Interno	Número de Voltas
L_{ck}	3 u	85 u	2.75
$L_s + L_m$	3 u	90 u	2.5
L_P	3 u	90 u	3.5
L_{in}	3 u	87.5 u	3.25
L_d	3 u	90 u	3.25

Com o projeto da topologia *single-ended* pode-se seguir a abordagem de projeto a apresentada em (ZHAI; CHENG, 2014) onde o autor inicia o projeto do PA diferencial com o projeto do *single-ended* e utiliza um *Balun* para a combinação de potência de um par de dois PAs *single-ended* para a realização de seu equivalente diferencial.

6 Simulações e Resultados

Este capítulo apresenta os resultados obtidos com a simulação do projeto no *SPECTRE* do software Virtuoso da Cadence com o PA modelado em Verilog-A e com os PA *single-ended* e diferencial construídos com os dispositivos da tecnologia $0.13\mu\text{m}$ da TSMC.

6.1 PA em Verilog-A

A figura 20 apresenta as formas de ondas da tensão de saída, da corrente e da tensão sobre o dreno e da tensão de entrada para realizar o chaveamento obtidas através da realização da simulação transiente do PA projetado em Verilog-A.

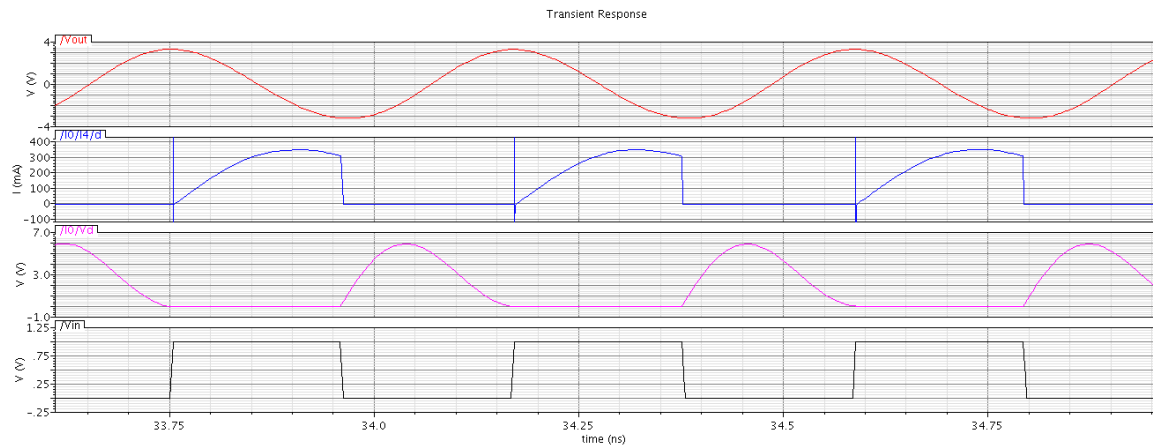


Figura 20 – Resposta transiente do PA modelado em Verilog-A.

Como é possível verificar as formas de ondas são iguais às esperadas pela modelagem teórica realizada anteriormente e apresentada na figura 14. É necessário realizar uma observação acerca dos picos de corrente antes da chave ser fechada, eles ocorrem devido ao fato do capacitor em paralelo com o transistor não ter se descarregado totalmente tendo ainda algum resquício de carga acumulado nele. Os valores dos componentes deveriam ser ajustados sem erros de precisão para que este fenômeno não ocorresse.

O valor de Potência de Saída encontrado foi de 20.75 dBm e do PAE foi de 47.89%. Dois elementos contribuíram para que não fosse atingido um PAE maior devido à dissipação de potência que causam: o resistor da indutância e os picos de corrente no chaveamento do PA, falado anteriormente.

Com a simulação em condições próximas ao modelo ideal é possível inferir que a Potência de saída especificada para o PA final com componentes da tecnologia é alta para o valor de tensão de alimentação fornecido.

6.2 PA *single-ended*

Com os valores teóricos dos componentes pôde-se então realizar as simulações e os ajustes no projeto. Os dispositivos foram conectados a um PORT tanto na entrada como na saída para que as análises necessárias pudessem ser feitas. No PORT de entrada foi colocada uma impedância de saída de 50Ω (padrão em projetos de RF), foi colocado um sinal tipo senoidal com as variáveis de frequência e potência denominadas *fin* e *pin* respectivamente. As fontes de tensão necessárias para a alimentação do PA, do *driver* e de polarização dos transistores foram também inseridas. O esquemático para o *testbench* é apresentado na figura 21.

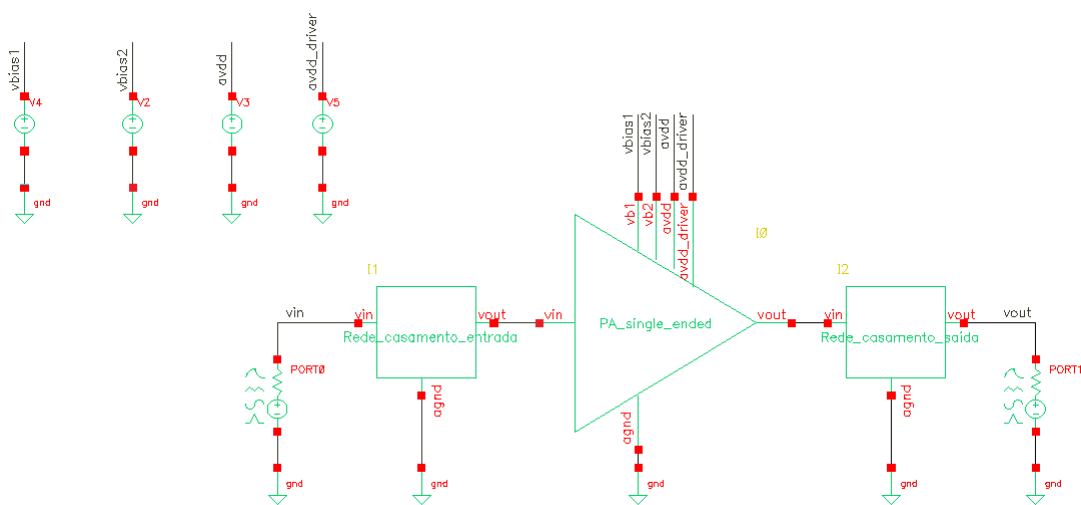


Figura 21 – Testbench para o PA *single-ended*.

6.2.1 Transiente

Foi feita inicialmente uma análise do transiente para verificar as formas de onda nos terminais do dispositivo, para realizar esta análise a frequência do sinal de entrada *fin* foi de 2.4 GHz e a potência de entrada *pin* -5 dBm, este valor foi escolhido pois está na faixa de valores máximos encontrados para o PAE como será mostrado mais a frente nos testes de potência. A figura 22 apresenta os sinais de entrada e de saída do dispositivo. Pode-se notar que existe uma defasagem do sinal de saída em relação ao sinal de entrada próxima de 180° , isto deve-se ao fato do *driver* classe-B usado para fornecer o sinal de entrada do PA ter configuração inversora.

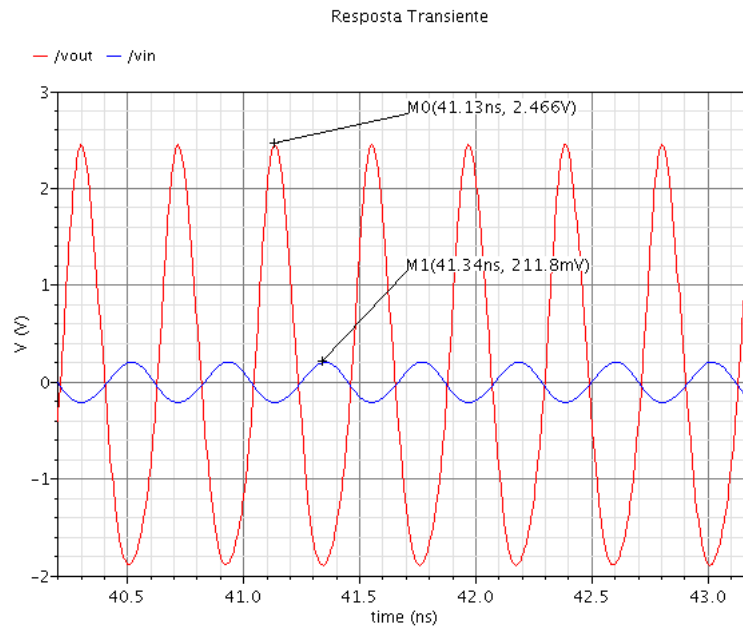


Figura 22 – Formas de onda dos sinais senoidais de entrada e saída do PA.

Um amplificador de potência chaveado é um dispositivo não-linear, diferente das classes A, B, AB e C seu sinal de saída não está relacionado com o sinal de entrada diretamente através da transcondutância do dispositivo ativo. A forma do sinal de saída está relacionada com as características da rede sendo o sinal de entrada usado para iniciar o processo, o formato do sinal de saída ser próximo de uma senoide da frequência fundamental de operação depende então do fator de qualidade da rede de saída. Pode-se observar este efeito nos sinais de saída, como o fator de qualidade dos indutores integrados não são tão altos a banda de frequência filtrada é maior, fazendo com que a forma do sinal de saída se afaste de uma senoide ideal.

É necessário verificar também as formas de onda do sinal de entrada fornecido pelo *driver* para o PA, as tensões sobre o dreno de M_1 e de M_2 e a corrente sobre M_1 (dispositivo que atua como chave). Estes resultados podem ser verificados na figura 23.

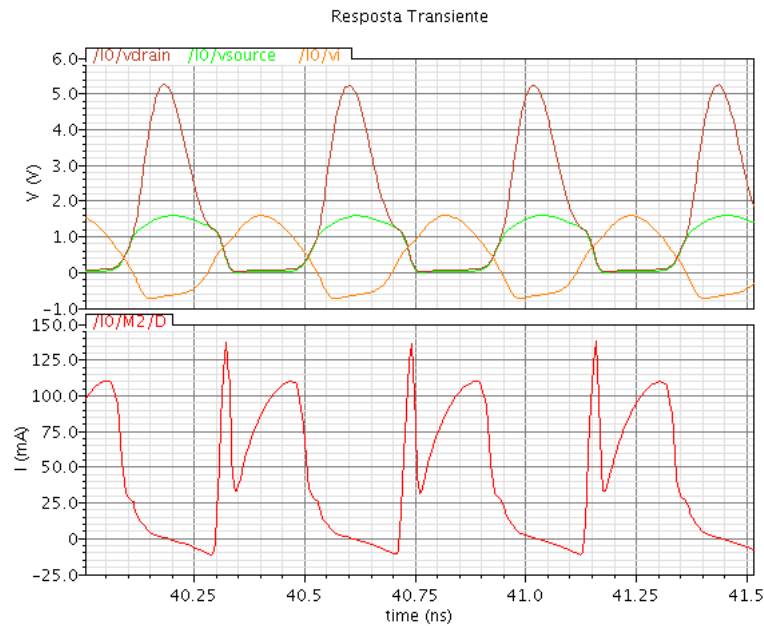


Figura 23 – a) Tensão de dreno de M_2 , tensão de dreno de M_2 e sinal de entrada fornecido pelo *driver* de entrada. b) Corrente no dreno de M_1 .

Como pode ser observado a onda gerada pelo driver não é uma onda quadrada, padrão de sinal de entrada ideal para ser inserido na entrada do PA, mas sim meia onda retificada, como apontado anteriormente. Este formato de onda tem implicações na operação do dispositivo pois entre as regiões de corte (chave desligada) e corte (chave ligada) o transistor passa pela saturação por um intervalo fazendo com que o dispositivo não atue como chave. Isto compromete sua performance principalmente em dissipação de potência devido a resistência do dispositivo na saturação. As formas de onda da tensão nos drenos de M_1 e M_2 e da corrente em M_1 permitem observar que não foi possível chavear em $V_{d(M1)} = 0$ uma das condições ideais para a operação do dispositivo em classe-E, devido à resistência de saturação, gerando um pico na corrente pouco antes do indutor começar a carregar novamente. Segundo (GREBENNIKOV; SOKAL, 2007) essa perda no chaveamento ocorre pois ele foi realizado quando ainda havia um valor positivo de tensão no dreno do dispositivo, o pico é seguido pela resposta transiente adequada da forma de onda de corrente. Ainda segundo o autor as condições de chaveamento dadas pelas equações 4.10 e 4.11 podem ser consideradas ótimas somente para o caso idealizado de uma rede de saída Classe-E com resistência de saturação zero.

6.2.2 Medidas Relacionadas à Potência

As simulações relacionadas a potência do PA foram realizadas utilizando-se a análise PSS (*Periodic Steady State*) no simulador *SPECTRE*. Inicialmente foi feito um *sweep* de V_{DD} e analisado como a potência de saída, o PAE e o ganho de potência se comportam. Um sinal de -5 dBm com frequência de operação de 2,4 GHz foi colocado no PORT de entrada. Como o valor de tensão nominal escolhido para a operação do PA foi de 1,8 V a variação foi feita de 1 V a 2.5 V. As figuras 24, 25 e 26 mostram a variação da Potência de saída, do PAE e do Ganho de potência com a variação da tensão, respectivamente.

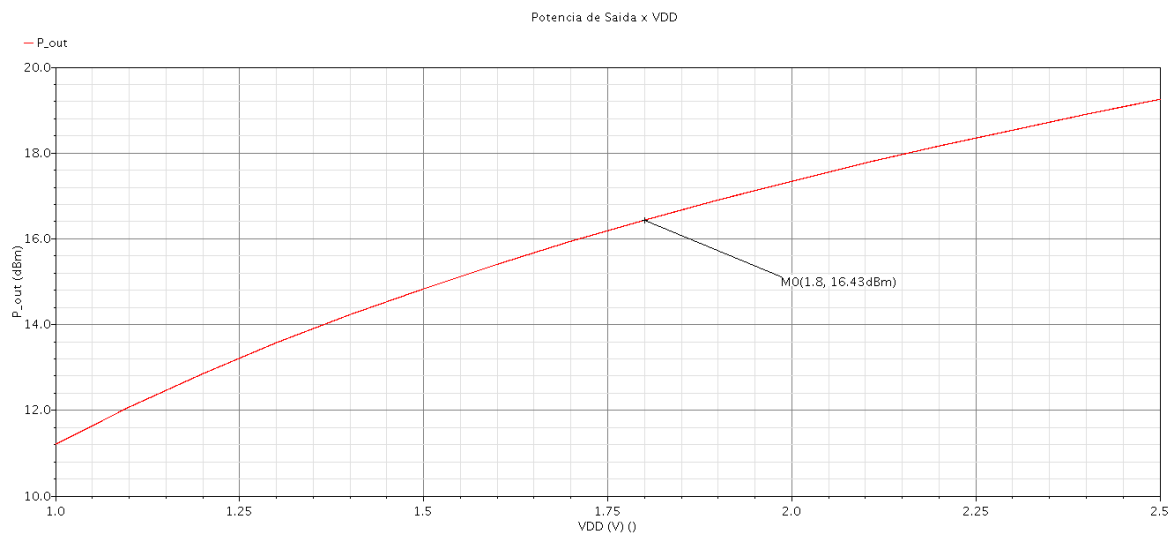


Figura 24 – Variação da potência de saída com a variação da tensão de alimentação do PA.

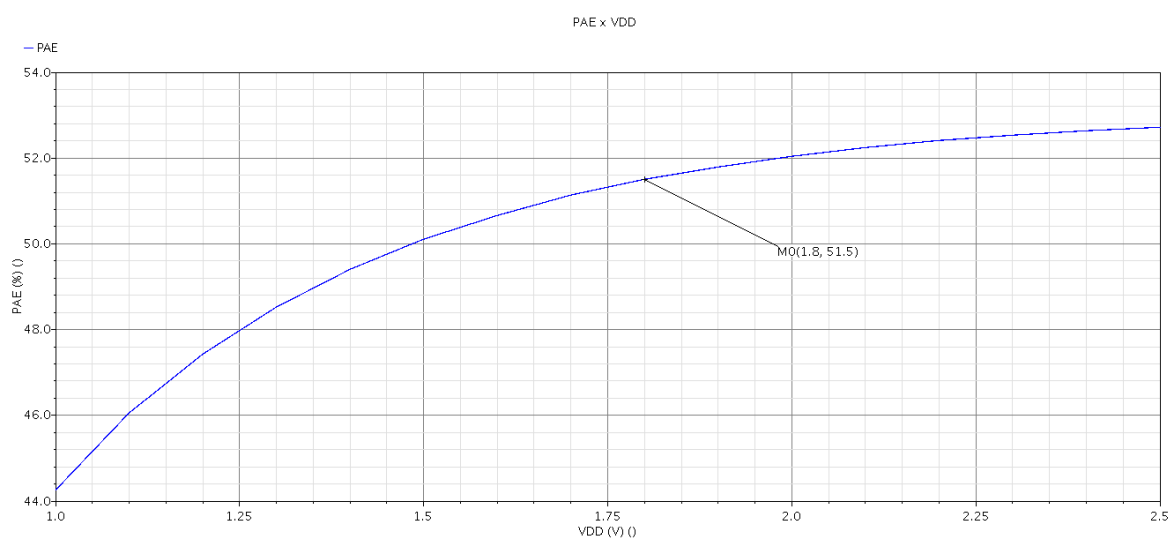


Figura 25 – Variação do PAE com a variação da tensão de alimentação do PA.

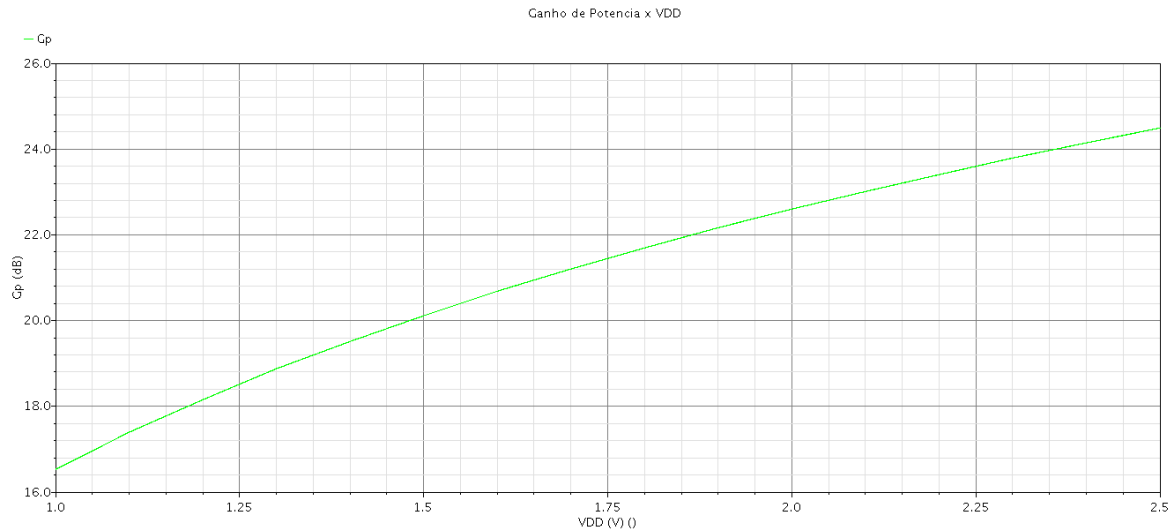


Figura 26 – Variação do Ganho de Potência com a variação da tensão de alimentação do PA.

Para o valor nominal de tensão de operação de 1.8V a Potência de saída foi de 16.43 dBm, o PAE foi de 51.5% e o Ganho de potência de 21.7dB. Pode-se também observar que, na faixa avaliada, o aumento do valor da tensão de alimentação gera um aumento nas três especificações, o que levou à necessidade de aumentar a tensão de alimentação de 1.2V para 1.8V. A discrepância entre o valor teórico de potência e o valor obtido pela simulação deve-se principalmente às resistências parasita e elementos de dissipação de potência na rede e nos transistores. Com exceção do fator de qualidade do indutor, estes elementos não são levados em consideração na modelagem teórica do amplificador (PAN, 2012).

A próxima análise realizada foi a avaliação da variação da Potência de saída, do PAE e do Ganho de potência com a variação da Potência de entrada. Para isso foi feito um *sweep* da potência de entrada entre -30 dBm e 0 dBm, os valores de tensão de alimentação e de frequência foram mantidos em 1.8 V e 2.4 GHz. Os gráficos das figuras 27, 28 e 29 mostram o comportamento dos três parâmetros com esta variação.

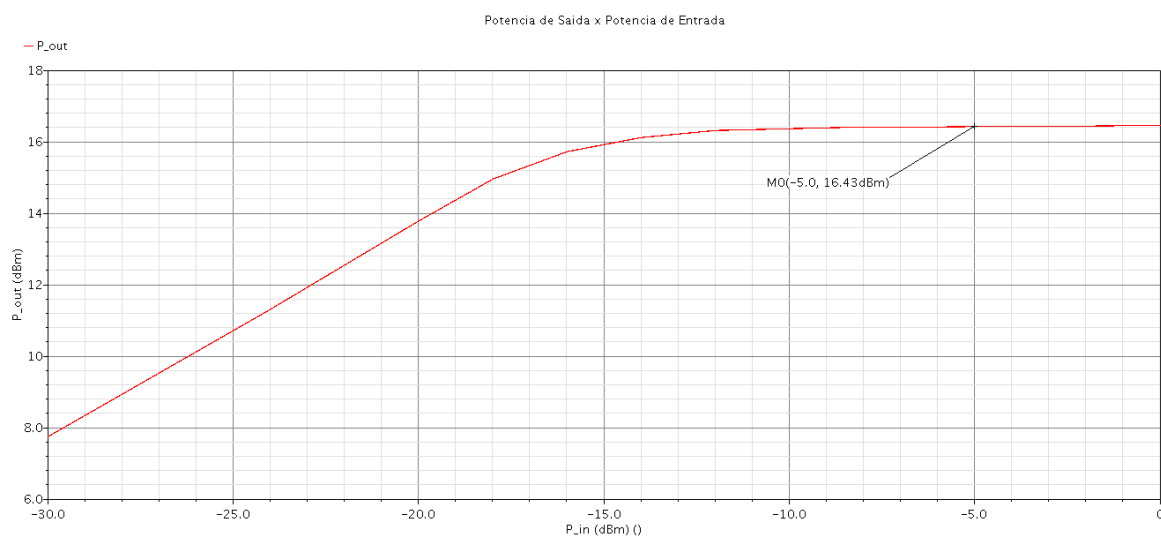


Figura 27 – Variação da potência de saída com a variação da potência do sinal de entrada.

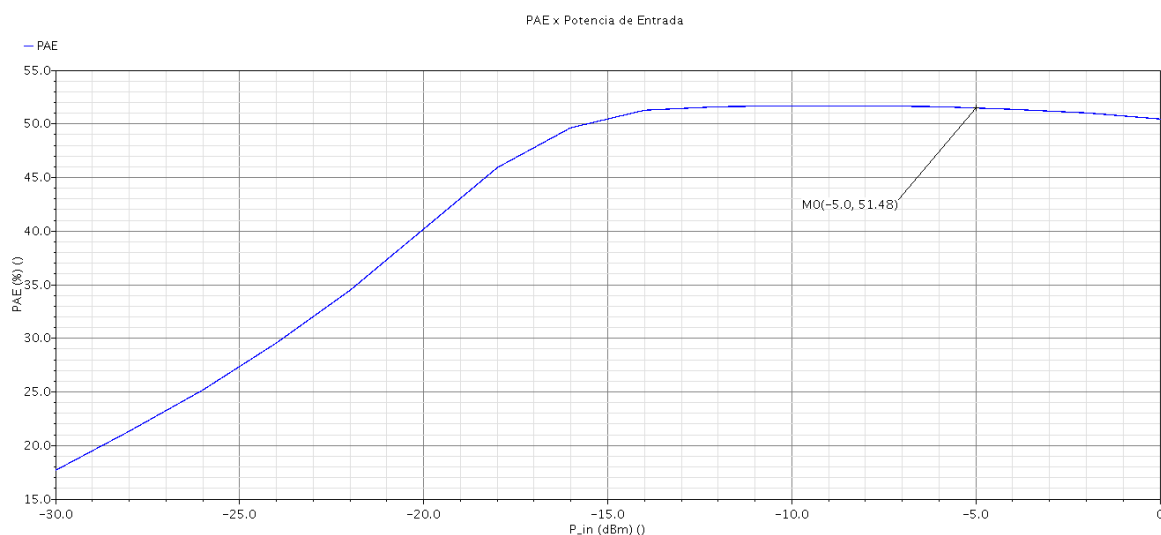


Figura 28 – Variação do PAE com a variação da potência do sinal de entrada.

A Potência de saída e o PAE tem valores estáveis na faixa de -15 dBm e 0 dBm, com valores de 16.43 dBm e 51.5% com a potência de entrada em -5 dBm, que se encontra nessa faixa. Abaixo desta faixa ocorre uma queda de valor em ambos os parâmetros.

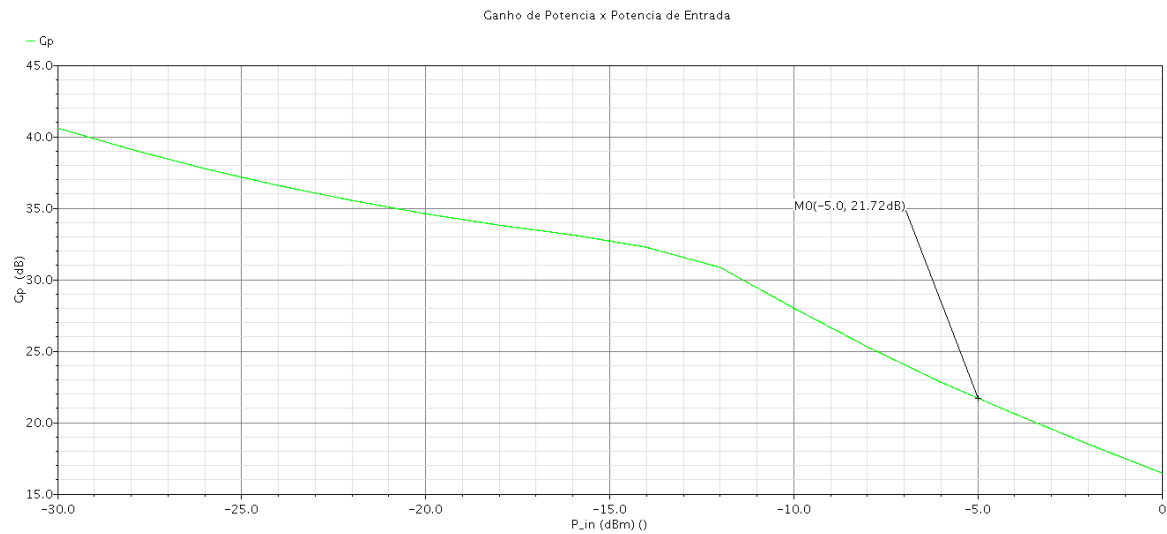


Figura 29 – Variação do Ganho de Potência com a variação da Potência de Entrada.

Com a análise de PSS não é possível realizar um *sweep* de frequência e avaliar o comportamento da potência de saída e do PAE com ele, para isso foram feitas análises separadas de seus valores para frequências entre 2 GHz e 3 GHz com intervalo de 100 MHz entre as amostras. Com os resultados obtidos foi plotado um gráfico com o auxílio do software Scilab para computação numérica. O valor de tensão de alimentação e de potência de saída foram deixados em 1.8V e -5 dBm respectivamente.

As figuras 30, 31 e 32 mostram os resultados desta análise, tanto a potência de saída como o PAE tem seus picos na frequência de 2.4 GHz.

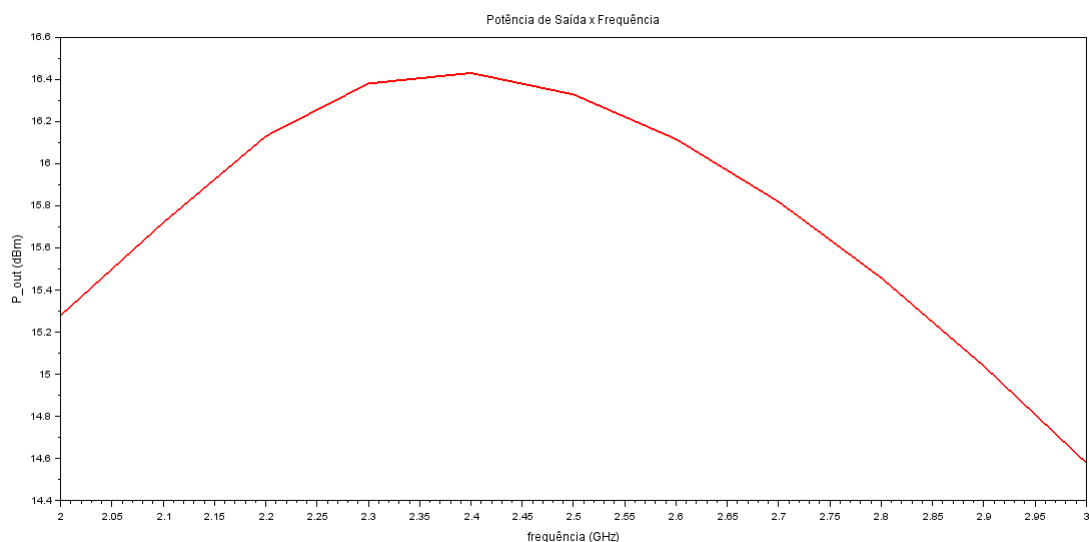


Figura 30 – Variação da potência de saída com a variação da frequência do sinal de entrada.

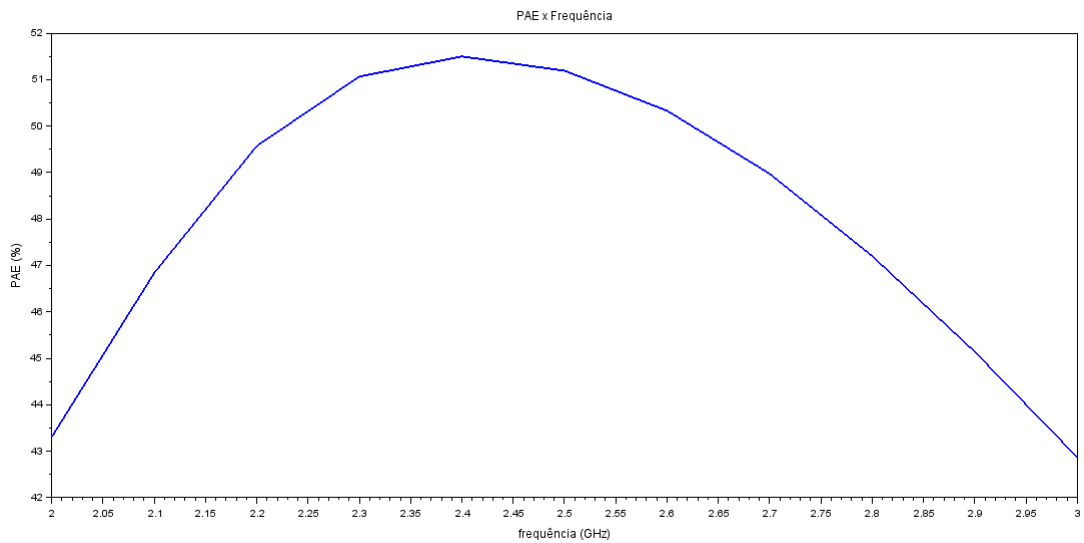


Figura 31 – Variação do PAE com a variação da frequência do sinal de entrada.

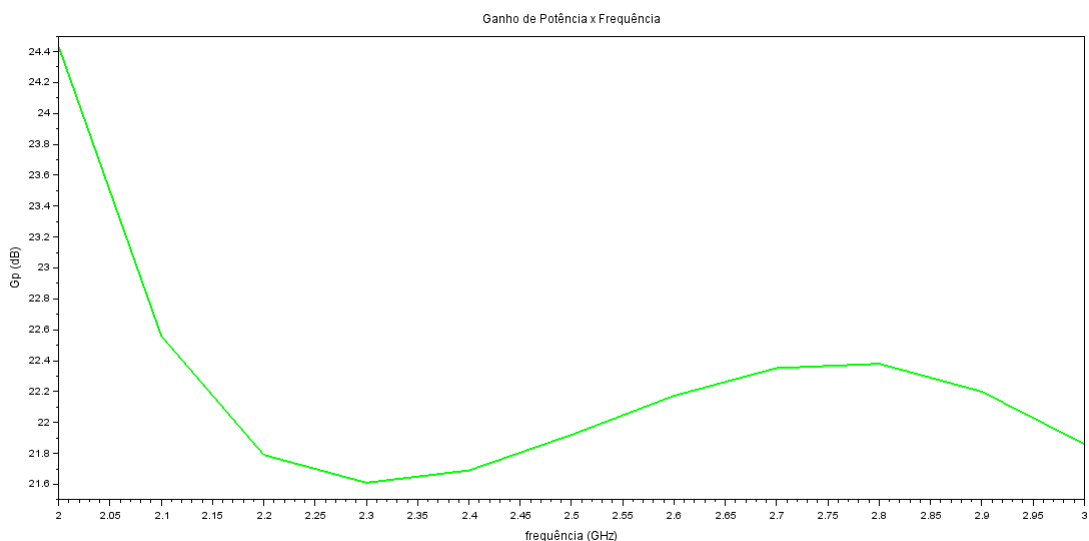


Figura 32 – Variação do Ganho de Potência com a variação da frequência do sinal de entrada.

É importante verificar também que a faixa em que o transceptor atua é entre 2.4 GHz e 2.5 GHz. O valor de Potência de saída obtido para 2.4GHz foi de 16.43 dBm, o PAE foi de 51.5% e o Ganho de potência foi de 21.7 dB. Já para a frequência de entrada de 2.5 GHz a Potência de saída foi de 16.328 dBm, o PAE foi de 51.19% e o Ganho de potência foi de 21.92 dB. Mostrando que os parâmetros ao longo da faixa de atuação do PA não sofrem grande alteração.

6.2.3 Parâmetros S

Para a análise dos parâmetros S foi necessário realizar em conjunto as análises PSS e PSP. Inicialmente os parâmetros S foram verificados para o projeto das redes de casamento de impedância da entrada e da saída apresentadas anteriormente, os valores dos parâmetros S após o casamento do PA para uma carga de 50Ω tanto na entrada quanto na saída são mostrados na figura 33.

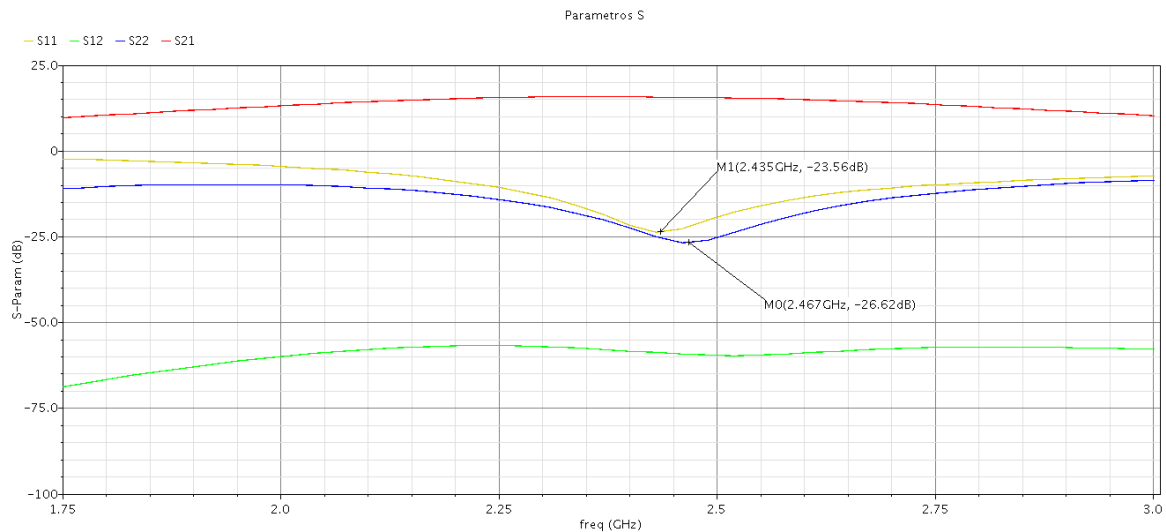


Figura 33 – Parâmetros de Escalonamento do PA com redes de casamento na entrada e na saída.

O valor de S_{11} encontrado foi de -21.77 dB e o de S_{22} foi de -22.53 dB para a frequência de 2.4 GHz. É possível verificar também pelo gráfico da figura que o menor valor para S_{11} (-23.56 GHz) e para S_{22} (-26.62 dB) encontram-se em 2.43 GHz e 2.47 GHz respectivamente. Eles foram deixados entre a faixa de 2.4 GHz e de 2.5 GHz pois é a faixa de operação do PA.

Com o uso da Carta de Smith é possível verificar as impedâncias de entrada e de saída que o PA apresenta, permitindo-se avaliar o qual próximas elas estão a carga padrão de 50Ω . Pela figura 34 pode-se verificar que, para a frequência 2.4GHz, a impedância de entrada possui o valor de $42.73 - j4.385\Omega$ e pela figura 35 pode-se verificar que a impedância de saída, para a mesma frequência, tem valor de $45.04 - j2.44\Omega$.

Como mostrado na equação 5.2 seria possível melhorar o casamento para uma frequência específica com o aumento do fator de qualidade das redes de entrada e saída, mas por consequência teria-se uma menor banda de frequência para a operação do PA.

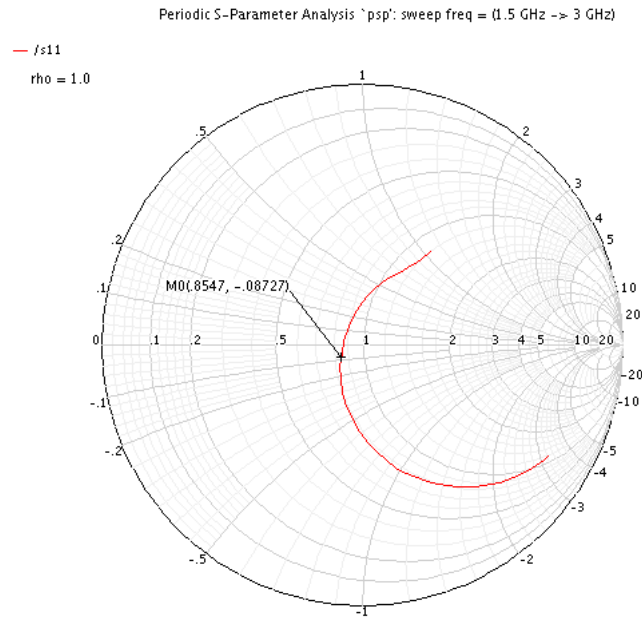


Figura 34 – Casamento na entrada para 2.4 GHz.

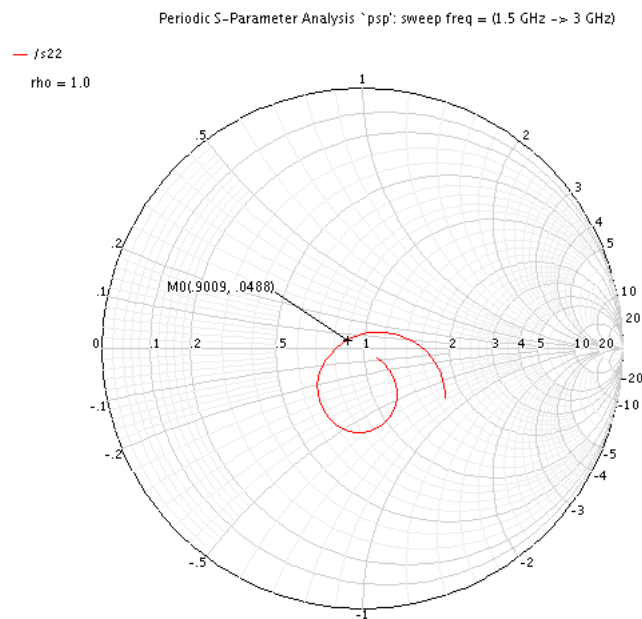


Figura 35 – Casamento na saída para 2.4 GHz.

6.2.4 Estabilidade

Pode-se garantir a estabilidade de um amplificador é necessário garantir que as condições apresentadas nas equações 6.1 e 6.2 sejam satisfeitas.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{21}S_{12}|} > 1 \tag{6.1}$$

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2 > 0 \quad (6.2)$$

Onde $\Delta = S_{11}S_{22} - S_{12}S_{21}$. A condição 6.2 deriva da condição $\Delta < 1$ como demonstrado em (GONZALEZ, 1996). No Spectre estes dois parâmetros são avaliados através das análises de PSS e PSP, como nos parâmetros S. A figura 36 mostra a análise do fator K e a figura 37 de B_1 .

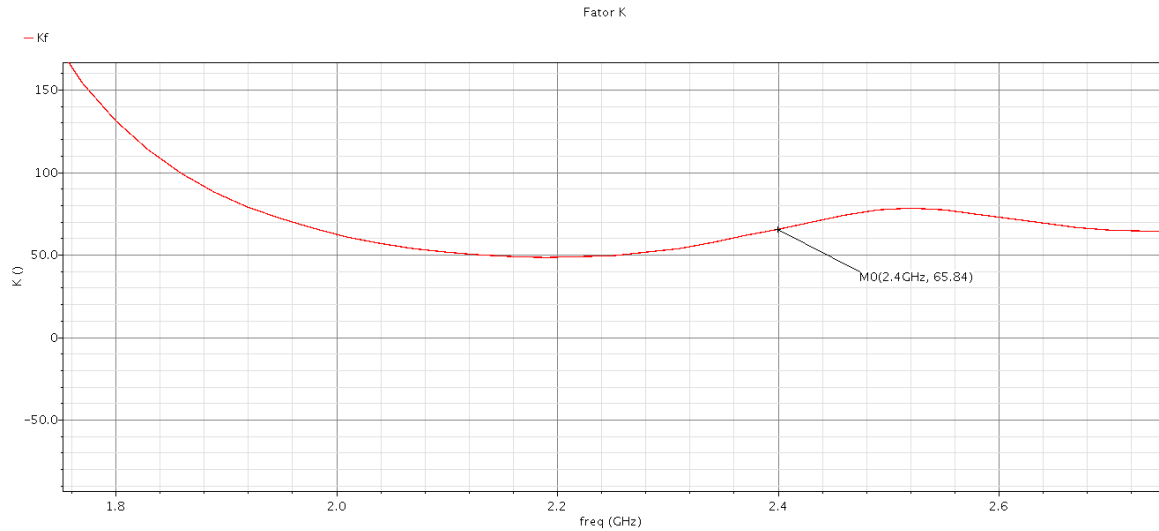


Figura 36 – Fator K.

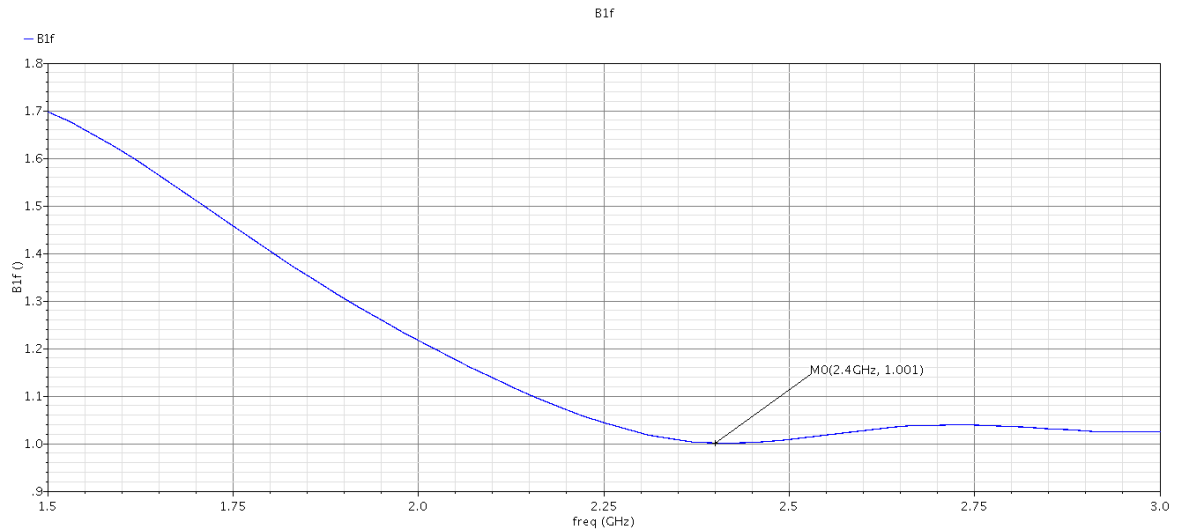


Figura 37 – B_1 .

O valor encontrado para o fator K em 2.4 GHz foi de 65.84, valor maior que a unidade, já o valor de B_1 encontrado foi 1, valor maior que zero, garantindo a estabilidade do amplificador.

6.2.5 Especificações Obtidas para o *single-ended*

As especificações finais obtidas para o PA, para a frequência de 2.4GHz e Potência de entrada de -5 dBm, são mostradas na tabela 8.

Tabela 8 – Especificações Obtidas para o PA.

Especificação	Valor	Unidade
Tensão de Alimentação (V_{dd})	1.8	V
Frequência de operação (f)	2.4	GHz
Potência de Saída (P_{out})	16.43	dBm
<i>Power Added Efficiency</i> (PAE)	51.5	%
Ganho de Potência (G_p)	21.72	dB
S_{11}	-21.77	dB
S_{12}	-58.36	dB
S_{21}	15.82	dB
S_{22}	-22.54	dB

Neste ponto é importante comparar as duas principais especificações no projeto de um PA obtidas na simulação do PA em Verilog-A e do PA com componentes da tecnologia, já que os dois possuem topologia *single-ended*. Enquanto o PA com componentes da tecnologia fornece uma potência de 16.43 dBm o PA em Verilog-A fornece 20.75 dBm, 4.32 dBm a mais, isto se deve a menor quantidade de elementos dissipativos de potência no circuito. O PAE dos dois modelos foram semelhantes 47.86 % para o PA em Verilog-A e 51.5 % para o PA com componentes da tecnologia. Esperava-se um valor maior de PAE para o PA com componentes ideais já que o único componente de dissipação de potência deveria ser o resistor dos indutores, uma das possíveis explicações são os altos picos de corrente quando a chave é fechada no modelo ideal, o que gera dissipação de potência.

6.3 PA Diferencial

Como o PA projetado neste trabalho está inserido em um projeto maior de um transceptor ZigBee cujos módulos que o compõe são diferenciais é necessário reprojeta-lo, transformando-o em uma arquitetura com saída e entrada diferencial, apresentada no Anexo B. O *testbench* para este dispositivo é mostrado na figura 38. Um Balun é inserido na entrada e na saída para auxiliar na verificação do circuito.

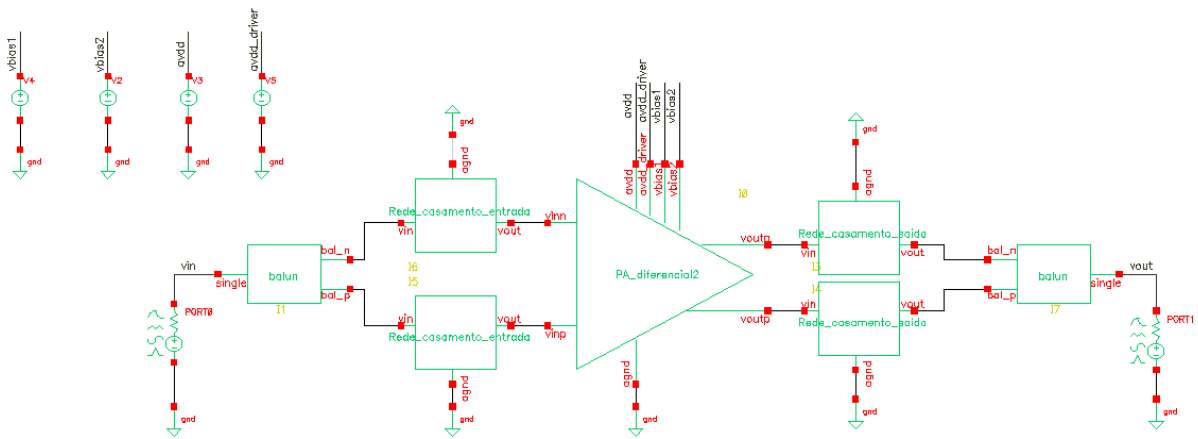


Figura 38 – Tesbench com a configuração diferencial.

6.3.1 Transiente

Foi feita inicialmente uma análise transiente no PA para verificar sua forma de onda de saída, para isto foi inserido um sinal senoidal de frequência 2.4 GHz e potência de -5 dBm, os resultados são apresentados nas figuras 39 e 40.

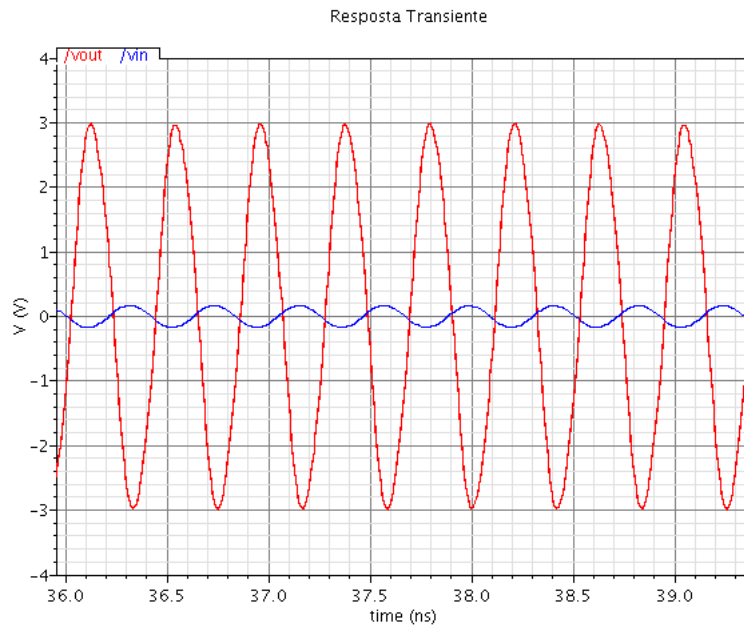


Figura 39 – Sinais de entrada e saída do PA diferencial.

Pode-se observar uma maior simetria do sinal em torno de seu nível DC, aqui 0 V, efeito dos sinais diferenciais estarem defasados em 180°.

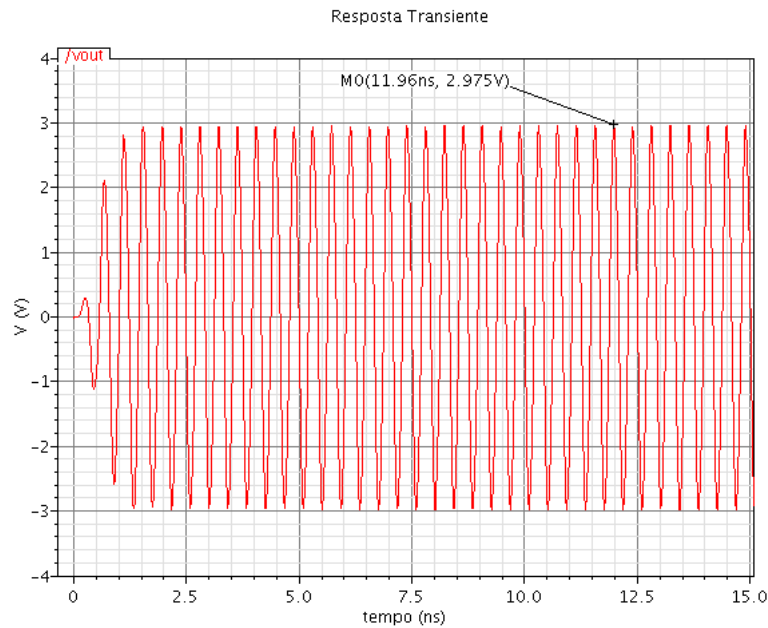


Figura 40 – Resposta transiente do PA diferencial.

6.3.2 Medidas Relacionadas à Potência

Através da análise de PSS foi feito um *sweep* na tensão de alimentação do PA e verificado o comportamento da potência de saída, do PAE e do Ganho de Potência. A potência do sinal de entrada foi mantida em -5 dBm e sua frequência em 2.4 GHz, como mostrado pelas figuras 41, 42 e 43. Como esperado a potência de saída foi de 16.43 dBm para 19.41 dBm, tendo um ganho de aproximadamente 3 dBm, o que equivale ao dobro da potência em configuração *single*, isto ocorre pela soma das potências de saída dos dois estágios devido ao Balun. O valor do PAE encontrado foi de 51.69% e o Ganho de Potência foi de 25.28 dB.

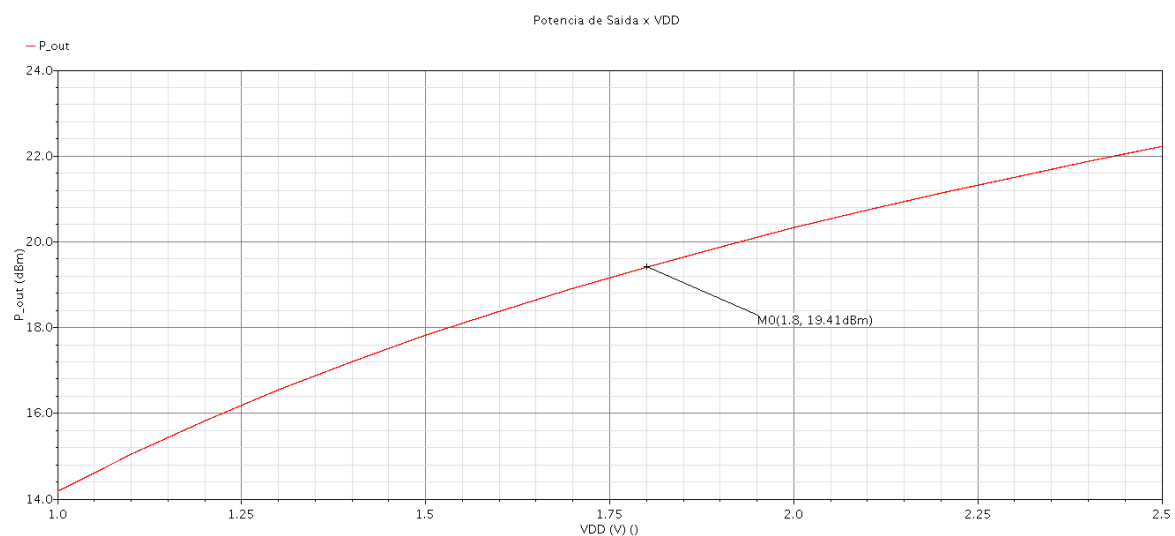


Figura 41 – Variação da potência de saída com a tensão de alimentação.

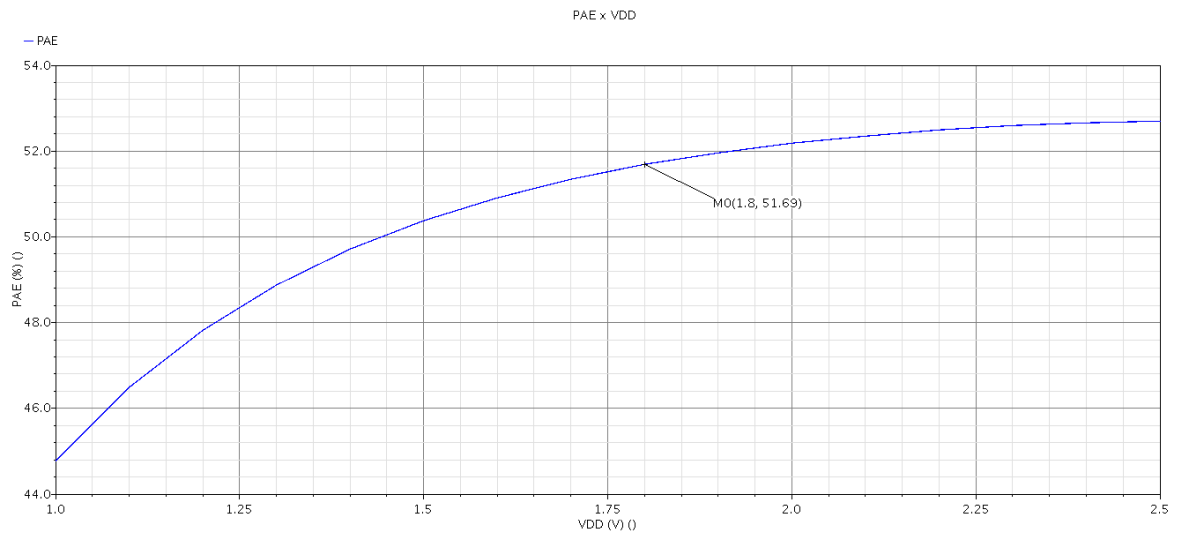


Figura 42 – Variação do PAE com a tensão de alimentação.

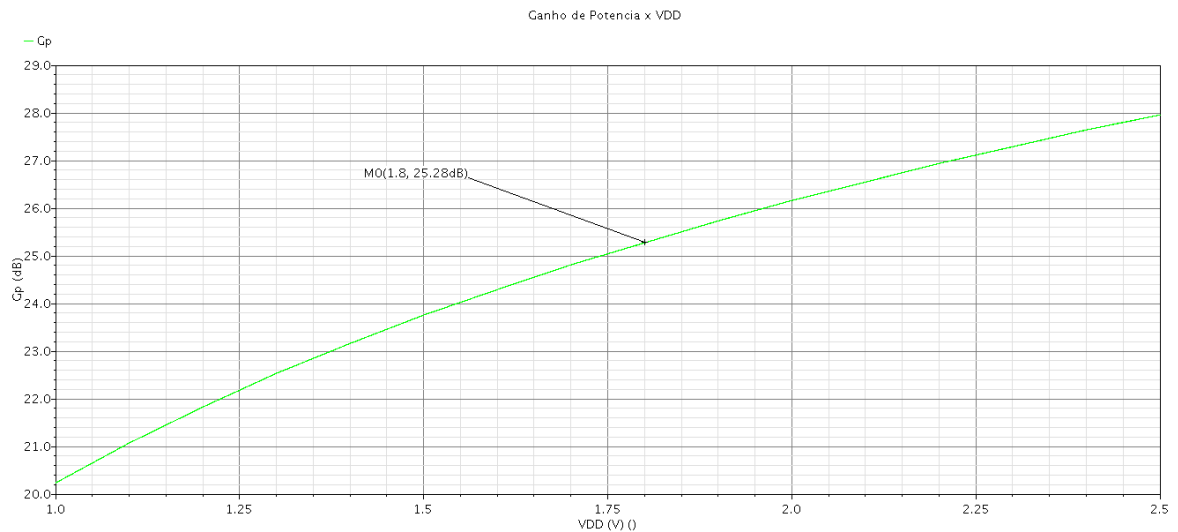


Figura 43 – Variação do Ganho de Potência com a tensão de alimentação.

Foi também realizada uma variação na potência de entrada, mantendo-se a tensão de alimentação do PA em 1.8 V e a frequência de entrada em 2.4 GHz, os resultados são mostrados nas figuras 44, 45 e 46.

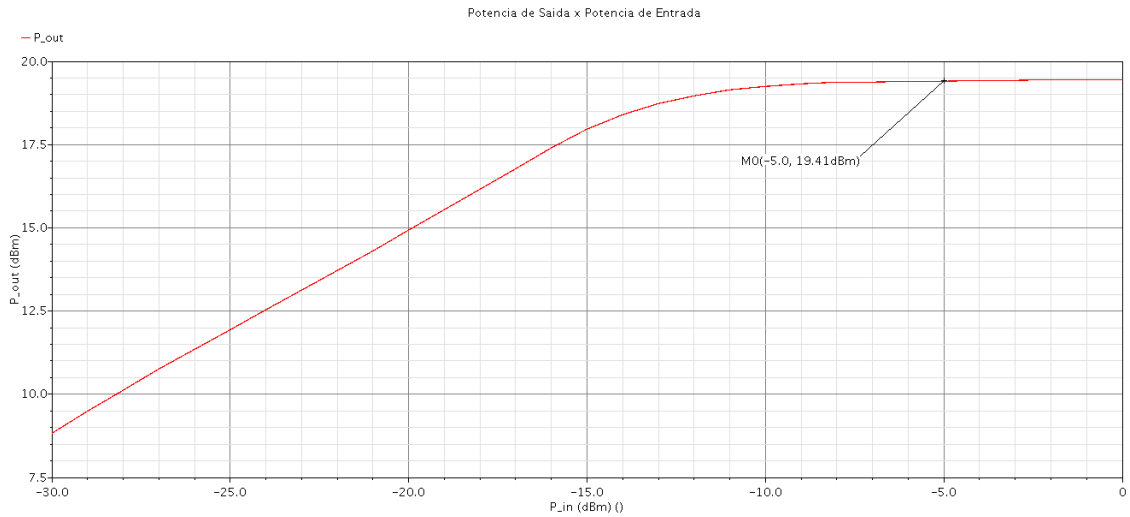


Figura 44 – Variação da potência de saída com a Potência do sinal de entrada.

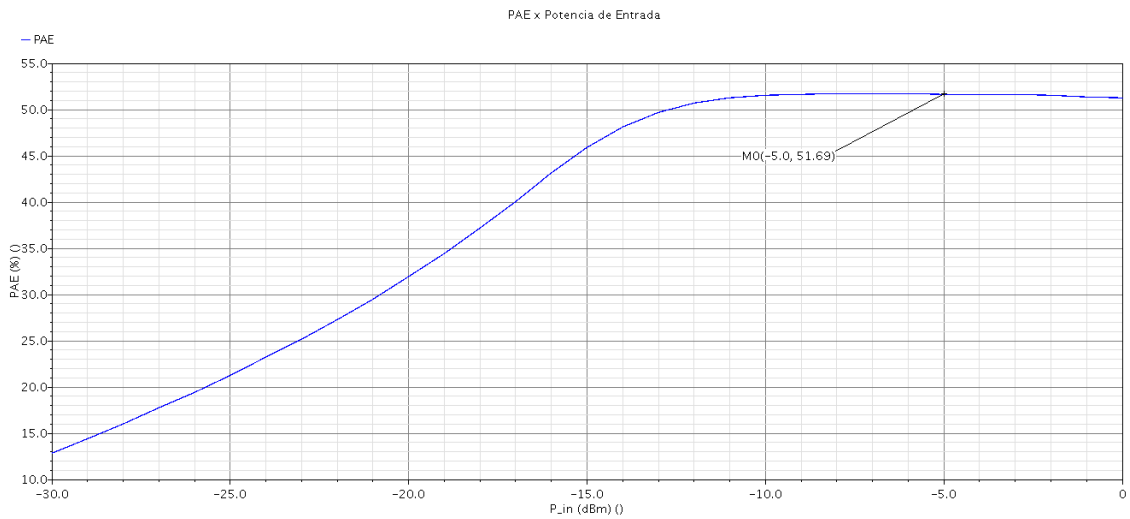


Figura 45 – Variação da potência de saída com a Potência do sinal de entrada.

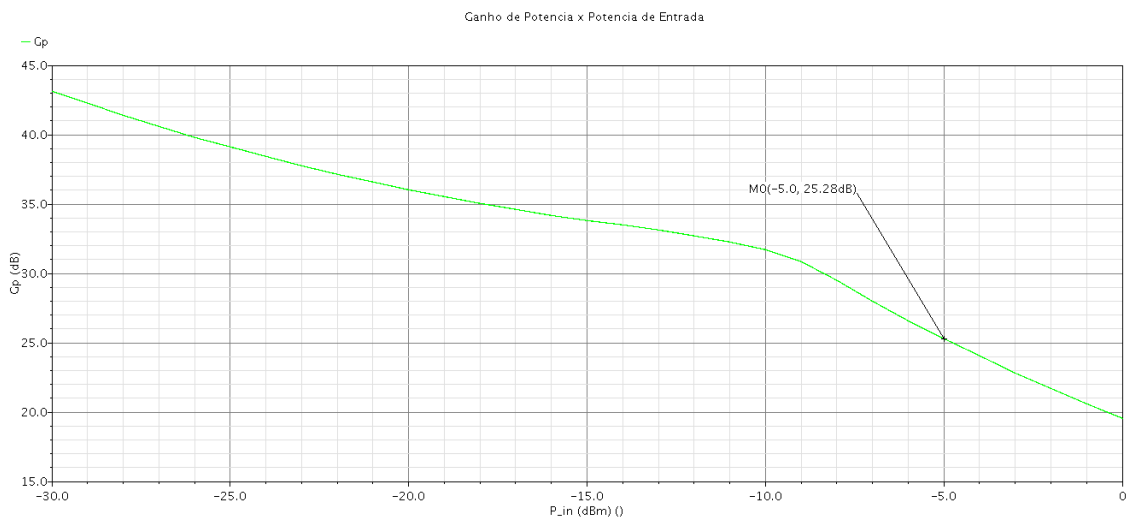


Figura 46 – Variação do Ganho de Potência com a Potência do sinal de entrada.

O último parâmetro variado para se avaliar o comportamento da Potência de Saída, do PAE e do Ganho de Potência foi a frequência, os gráficos para esta variação são apresentados nas figuras 47, 48 e 49.

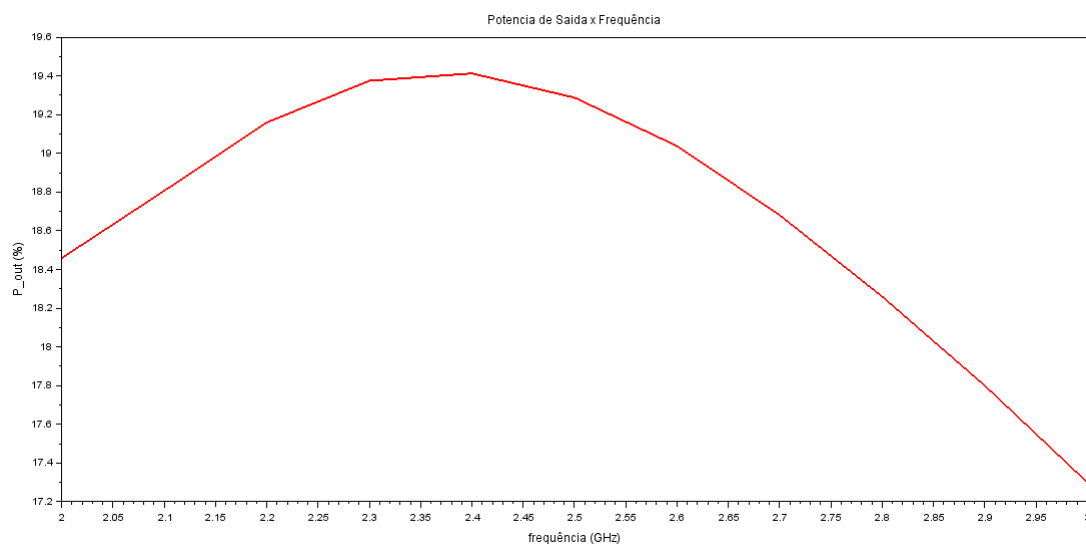


Figura 47 – Variação da potência de saída com a frequência do sinal de entrada.

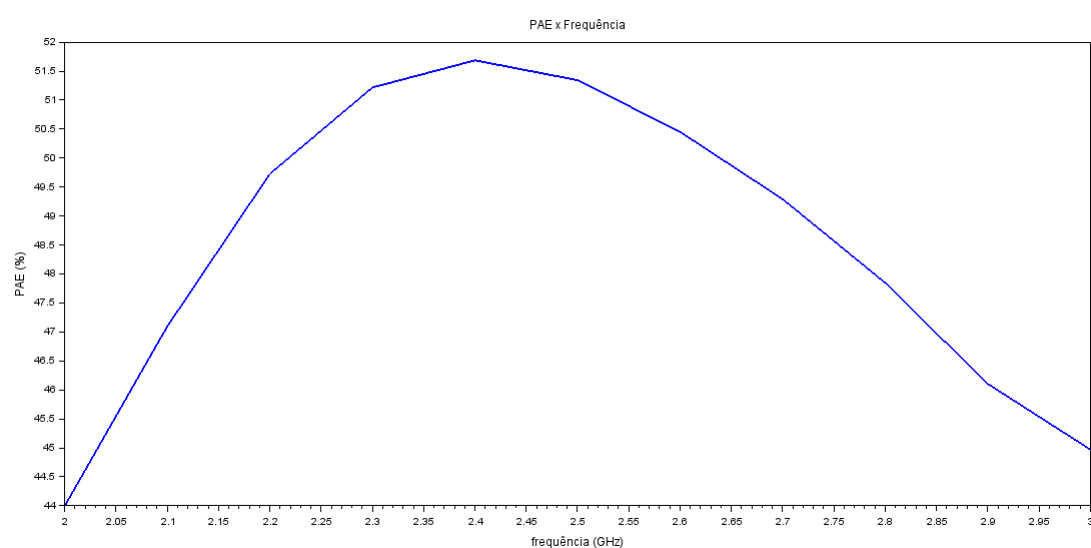


Figura 48 – Variação da potência de saída com a frequência do sinal de entrada.

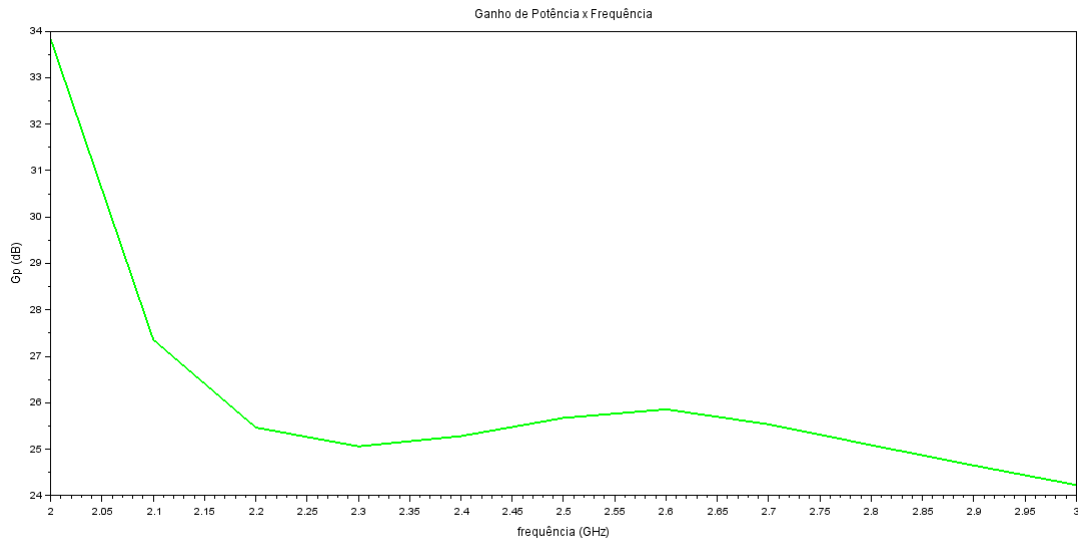


Figura 49 – Variação do Ganho de Potência com a frequência do sinal de entrada.

É importante verificar a variação destes parâmetros para a faixa de 2.4 GHz a 2.5 GHz. a Tabela 9 mostra esta variação.

Tabela 9 – Variação dos Parâmetros de Potência na Faixa de Operação

Parâmetro	Mínimo	Máximo	Unidade
Frequência	2.4	2.5	GHz
P_{out}	19.413	19.288	dBm
PAE	51.686	51.3441	%
G_P	25.282	25.674	dB

Pode-se verificar a baixa variação dos parâmetros de potência para a faixa de operação do transceptor. Como estes parâmetros são os mais importantes na caracterização do PA é necessário assegurar que eles sejam estáveis em sua faixa de operação.

6.3.3 Parâmetros S

O gráfico com os parâmetros S obtidos para a configuração diferencial para um intervalo de 1.5 GHz a 3 GHz é mostrado na figura 50. O valor encontrado para S_{11} foi de -14.43 dB e o de S_{22} -22.62 dB, na frequência de 2.4GHz, valores menores que os encontrados para o *single-ended*. Os valores mínimos de S_{11} e de S_{22} foram de -14.47 dB (em 2.39 GHz) e de -26.04 dB (em 2.46 GHz) respectivamente. Ambos os valores mínimos encontram-se no intervalo de 2.4 GHz e 2.5 GHz.

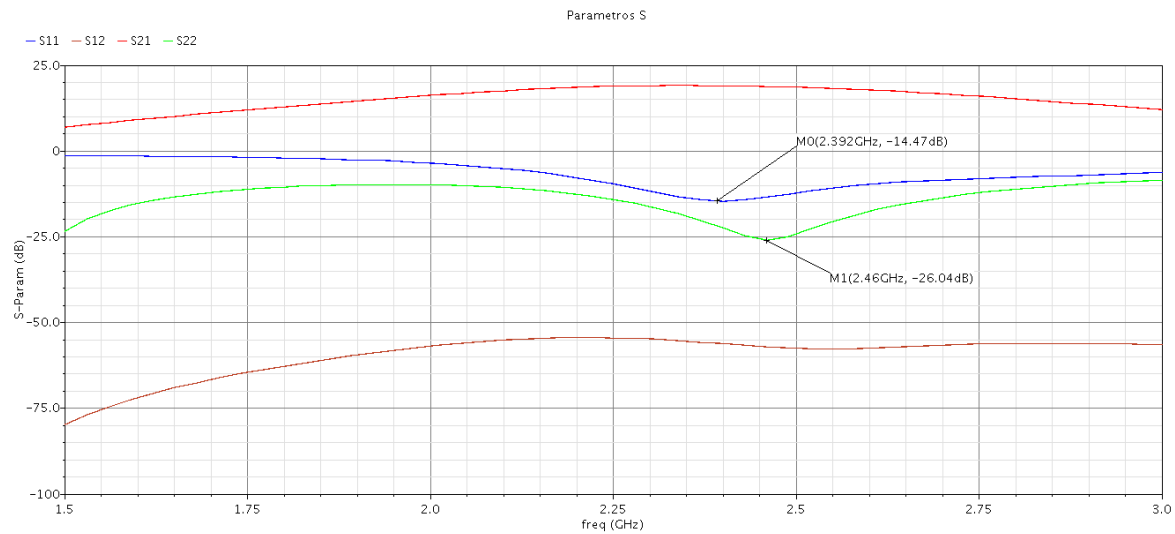


Figura 50 – Parâmetros S da configuração diferencial.

6.3.4 Estabilidade

O fator k foi avaliado para a faixa de 1.5 GHz a 3 GHz, o resultado da análise pode ser visto no gráfico da figura 51, seu valor para 2.4GHz foi de 24.68, maior do que a unidade. B_1 também foi avaliado para esta faixa e seu valor encontrado foi 1, valor maior que zero.

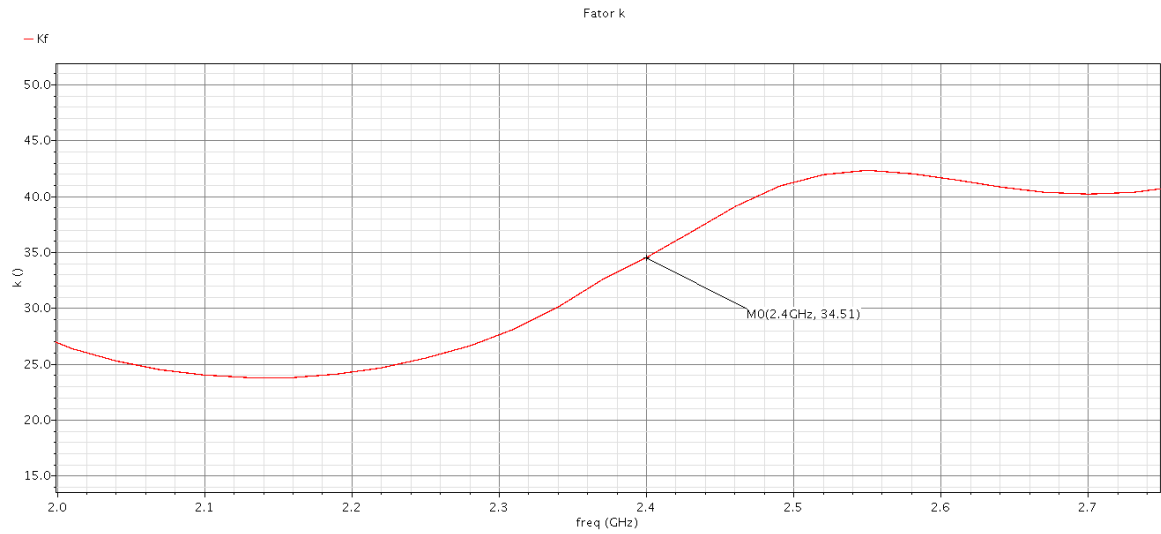


Figura 51 – Fator k para o PA diferencial.

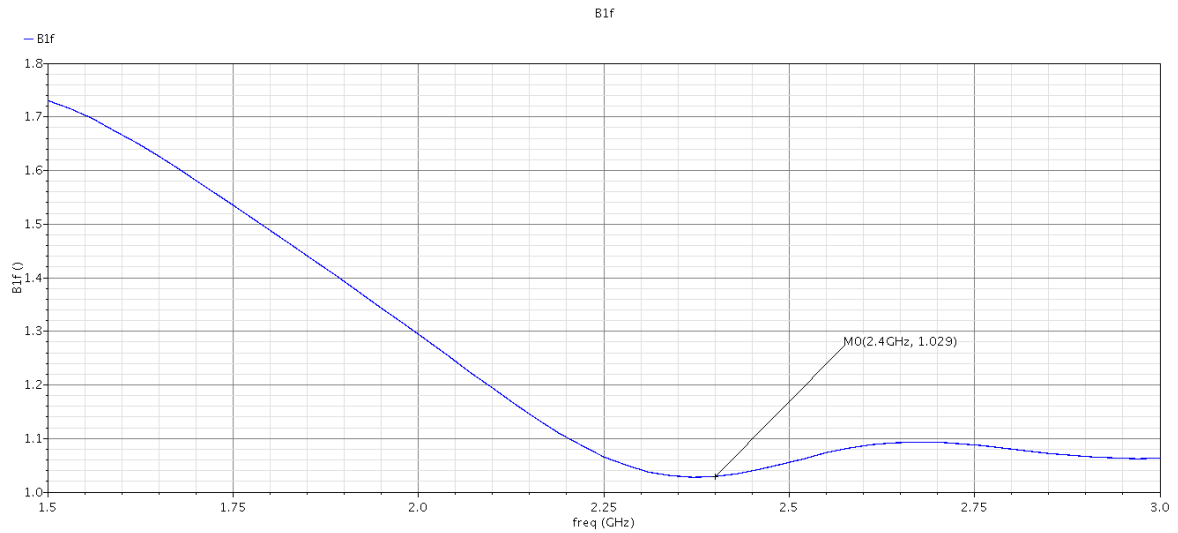


Figura 52 – B_1 para o PA diferencial

Como as condições 6.1 e 6.2 são satisfeitas para o PA diferencial pode-se garantir sua estabilidade.

6.3.5 Especificações Finais

As especificações finais obtidas para a configuração diferencial, após a realização das simulações para a frequência de 2.4GHz e Potência de entrada de -5 dBm, são mostradas na Tabela 10.

A comparação entre os valores propostos para as especificações e os obtidos são mostrados na tabela 11.

Tabela 10 – Especificações Finais Obtidas.

Especificação	Valor	Unidade
Tensão de Alimentação (V_{dd})	1.8	V
Frequência de operação (f)	2.4	GHz
Potência de Saída (P_{out})	19.41	dBm
<i>Power Added Efficiency</i> (PAE)	51.69	%
Ganho de Potência (G_p)	25.061	dB
S_{11}	-14.53	dB
S_{12}	-56.20	dB
S_{21}	19.02	dB
S_{22}	-22.62	dB

Tabela 11 – Comparação Entre as Especificações Propostas e as Obtidas.

Parâmetro	Valor Proposto	Valor Obtido	Unidade
Tecnologia	0.13	0.13	μm
Frequência	2.4	2.4	GHz
V_{DD}	1.2	1.8	V
P_{out}	25.7	19.41	dBm
PAE	45.5	51.69	%

É possível verificar que o PAE atingido é maior do que o especificado inicialmente, mas que a potência está abaixo do valor que foi proposto. Isto deve-se ao fato de que os trabalhos usados para realizar a média dos valores das especificações usarem valores de alimentação maiores ou iguais a 1.8 V e que foram usados *Bond-Wire* para a construção dos indutores por alguns dos trabalhos. A maior tensão de alimentação e o maior fator de qualidade permitem fornecer maior potência de saída para a carga do amplificador.

7 Conclusão

Este trabalho apresentou as bases teóricas para o desenvolvimento de um Amplificador de Potência classe-E com o objetivo de aplicá-lo em um transceptor ZigBee, que tem o propósito de ser usado na construção de redes de sensoriamento sem fio. Foram apresentadas as etapas de cálculos a serem usados para se ter os valores iniciais dos componentes que constituem um PA classe-E. Foi feita inicialmente uma modelagem ideal dos componentes que constituem o amplificador em Verilog-A e avaliado seu comportamento em relação aos seus sinais, com o propósito de se verificar se ele se aproxima de seu modelo teórico. Foi encontrada uma topologia de PA adequada para o projeto com componentes da tecnologia $0.13\mu m$ da TSMC e posteriormente foram realizadas simulações com esta topologia.

Com a realização deste trabalho foi possível analisar metodologias usadas para o projeto de circuitos integrados, a *bottom-up* e a *top-down*, tendo sido verificado que a metodologia *top-down* é a mais recomendada para o projeto de sistemas mais complexos pois oferece uma visão geral do sistema e suas características em alto nível. A partir da modelagem em alto nível, pode ser feita uma divisão de subsistemas a serem projetados a nível de transistores. Foi mostrado que a linguagem Verilog-A possibilita esta abordagem pois permite o projeto de circuitos de sinais mistos pela descrição dos blocos usando uma modelagem matemática de suas tensões e correntes através da linguagem de descrição.

Foi possível também verificar a complexidade no ajuste dos parâmetros de um PA classe-E utilizando-se componentes reais para se atingir as especificações desejadas. Devido ao fato destes parâmetros estarem diretamente conectados às especificações a mudança de um deles afeta todo o comportamento do amplificador. Foi possível verificar também que a modelagem clássica de PAs chaveados, onde assume-se um comportamento de chave para o transistor, não fornece uma visão tão detalhada de projeto quando se trabalha em altas frequências. Nestas frequências o transistor possui elementos parasitas que atuam no comportamento geral do PA, fazendo que ele atue mais do que como uma chave no sistema.

Um ponto importante a se constatar com a realização deste projeto é o consumo de potência que ele gera. No contexto em que ele está inserido, de transceptores ZigBee, ele tem papel crucial em seu funcionamento já que este protocolo tem como uma de suas características o baixo consumo energético para sua grande autonomia.

Apesar das especificações propostas para o projeto terem também usado como base valores de projetos construídos com indutores externos de alto fator de qualidade, foi possível atingir ótimos valores de eficiência mesmo usando indutores integrados em

todo o projeto.

Este projeto é também importante por estudar um tema pouco explorado em trabalhos de conclusão de curso, que é o projeto de amplificadores de potência integrados, fornecendo material para que mais projetos nessa área possam ser desenvolvidos.

Alguns pontos a serem avaliados para melhorias futuras são:

- Implementação de um *driver* classe-F no lugar do classe-B, melhorando a eficiência do amplificador e gerando um sinal de entrada para o PA com a forma de onda mais próxima da quadrada;
- Projeto dos indutores L_{ck} e L_s (mais críticos ao projeto) com melhor fator de qualidade para o aumento da potência de saída e melhora da eficiência;
- Formas de linearização do PA através da modulação em amplitude da alimentação para possibilitar o uso de esquemas de modulação mais amplos;
- Projeto de *layout* para verificar a performance com elementos parasitas.

Referências

- ALCARAZ, C. et al. Wireless sensor networks and the internet of things: Do we need a complete integration? In: IEEE. *1st International Workshop on the Security of the Internet of Things (SecIoT'10)*. Tokyo (Japan): IEEE, 2010. Citado na página 18.
- ANDERSON, R. W. *S. Parameters Technique for Faster, More Accurate Network Design*. 1995. Disponível em: <<http://www.sss-mag.com/pdf/hpan95-1.pdf>>. Acesso em: 22 de abril 2017. Citado na página 84.
- BAILEY, B. *Time To Rethink Verification*. 2013. Disponível em: <semiengineering.com/time-rethink-verification/>. Acesso em: 22 de abril 2017. Citado na página 28.
- BAKER, R. J. *CMOS Circuit Design, Layout, and Simulation*. 3rd. ed. [S.l.]: Wiley-IEEE Press, 2010. Citado 2 vezes nas páginas 7 e 25.
- BARONTI, P. et al. Wireless sensor networks: A survey on the state of the art and the 802.15.4 and zigbee standards. *Comput. Commun.*, Elsevier Science Publishers B. V., Amsterdam, The Netherlands, The Netherlands, v. 30, n. 7, p. 1655–1695, maio 2007. ISSN 0140-3664. Disponível em: <<http://dx.doi.org/10.1016/j.comcom.2006.12.020>>. Citado 3 vezes nas páginas 20, 21 e 23.
- BOGART, T. F. *Dispositivos e Circuitos Eletrônicos*. [S.l.]: Makron Books, 2001. v. 2. Citado na página 32.
- BURATTI, C. et al. *Sensor Networks with IEEE 802.15.4 Systems: Distributed Processing, MAC, and Connectivity*. [S.l.]: Springer Berlin Heidelberg, 2011. (Signals and Communication Technology). Citado na página 17.
- CAMPOS, R. S. *Modelagem de um transceptor Zigbee utilizando a linguagem Verilog-AMS*. 2014. 125 f., il. Monografia (Bacharelado em Engenharia Eletrônica)—Universidade de Brasília, Brasília, 2014. Citado na página 85.
- CRIPPS, S. C. *RF Power Amplifiers for Wireless Communications, Second Edition (Artech House Microwave Library (Hardcover))*. Norwood, MA, USA: Artech House, Inc., 2006. Citado na página 32.
- ELAHI, A.; GSCHWENDER, A. *ZigBee Wireless Sensor and Control Network*. 1st. ed. Upper Saddle River, NJ, USA: Prentice Hall Press, 2009. ISBN 0137134851, 9780137134854. Citado 2 vezes nas páginas 10 e 22.
- FARAHANI, S. Zigbee wireless networks and transceivers. In: . Oxford, UK: Newnes, 2008. Citado 4 vezes nas páginas 7, 20, 21 e 23.
- FREITAS, B. N. d. *Projeto de um Mixer de Up-Conversion para um transceptor ZigBee*. 2016. 68 f., il. Monografia (Bacharelado em Engenharia Eletrônica)—Universidade de Brasília, Brasília, 2016. Citado na página 92.

- GHORBANI, A. R.; GHAZNAVI-GHOUSHCHI, M. B. A 35.6db, 43.3% pae class e differential power amplifier in 2.4ghz with cross coupling neutralization for iot applications. In: *2016 24th Iranian Conference on Electrical Engineering (ICEE)*. [S.l.: s.n.], 2016. p. 490–495. Citado 2 vezes nas páginas 44 e 47.
- GOMES, W. d. J. *Projetos dos blocos Charge Pump, Loop Filter e PFD do Phase Locked Loop de um transceptor ZigBee*. 2015. 79 f., il. Monografia (Bacharelado em Engenharia Eletrônica)—Universidade de Brasília, Brasília, 2015. Citado na página 89.
- GONZALEZ, G. *Microwave Transistor Amplifiers (2Nd Ed.): Analysis and Design*. Upper Saddle River, NJ, USA: Prentice-Hall, Inc., 1996. ISBN 0-13-254335-4. Citado na página 66.
- In: GREBENNIKOV, A.; SOKAL, N. O. (Ed.). *Switchmode {RF} Power Amplifiers*. Burlington: Newnes, 2007. Citado 5 vezes nas páginas 7, 39, 41, 42 e 58.
- GUIMARÃES, T. A. N. *Modelagem de um PLL e projeto de VCO para transceptor ZigBee*. 2015. 178 f., il. Monografia (Bacharelado em Engenharia Eletrônica)—Universidade de Brasília, Brasília, 2015. Citado na página 86.
- JÚNIOR, P. A. d. A. *Projeto de um amplificador de baixo ruído e de um misturador de frequências para um transceptor Zigbee (2.4 GHz)*. 2016. 100 f., il. Monografia (Bacharelado em Engenharia Eletrônica)—Universidade de Brasília, Brasília, 2016. Citado 4 vezes nas páginas 10, 89, 90 e 91.
- KUNDERT, K.; ZINKE, O. *The Designer's Guide to Verilog-AMS*. [S.l.]: Springer Publishing Company, Incorporated, 2013. Citado 7 vezes nas páginas 7, 26, 27, 28, 29, 30 e 48.
- LATHI, B.; DING, Z. *Modern Digital and Analog Communication Systems*. [S.l.]: Oxford University Press, 2009. (Oxford Series in Electrical an). Citado 2 vezes nas páginas 7 e 16.
- LEE, J. S.; SU, Y. W.; SHEN, C. C. A comparative study of wireless protocols: Bluetooth, uwb, zigbee, and wi-fi. In: *IECON 2007 - 33rd Annual Conference of the IEEE Industrial Electronics Society*. [S.l.: s.n.], 2007. p. 46–51. ISSN 1553-572X. Citado na página 21.
- LEE, T. *The Design of CMOS Radio-Frequency Integrated Circuits*. [S.l.]: Cambridge University Press, 2004. ISBN 9780521835398. Citado 4 vezes nas páginas 7, 32, 37 e 38.
- MAZZANTI, A. et al. Analysis of reliability and power efficiency in cascode class-e pas. v. 41, p. 1222 – 1229, 06 2006. Citado 4 vezes nas páginas 7, 44, 45 e 46.
- MILOSEVIC, D.; TANG, J. V. D.; ROERMUN, A. van. *Investigation on technological aspects of class E RF Power Amplifiers for UMTS Applications*. 2002. Citado na página 46.
- OLIVEIRA, T. A. et al. Análise da viabilidade do protocolo zigbee no novo contexto de redes dinâmicas de sensores sem fio. Belo Horizonte, Brasil, 2014. Citado na página 23.
- PAN, H. *Design of an RF CMOS Power Amplifier for Wireless Sensor Networks*. 2012. 97 f., Thesis (Masters of Science in Electrical Engineering)—University of Arkansas, Fayetteville, 2012. Citado 5 vezes nas páginas 10, 43, 45, 47 e 60.

PINTO, J. A. d. A. *Modelagem e projeto de um divisor de frequências para utilização no PLL de um transceptor ZigBee*. 2015. 111 f., il. Monografia (Bacharelado em Engenharia Eletrônica)—Universidade de Brasília, Brasília, 2015. Citado na página 87.

RAZAVI, B. *RF Microelectronics (2Nd Edition) (Prentice Hall Communications Engineering and Emerging Technologies Series)*. 2nd. ed. Upper Saddle River, NJ, USA: Prentice Hall Press, 2011. Citado 8 vezes nas páginas 7, 24, 33, 34, 35, 36, 37 e 38.

SARKAR, A. *Challenges In IC And Electronic Systems Verification*. 2013. Disponível em: <semiengineering.com/challenges-ic-electronic-systems-verification-2>. Acesso em: 22 de abril 2017. Citado na página 27.

SZEWCZYK, R. et al. An analysis of a large scale habitat monitoring application. In: *Proceedings of the 2Nd International Conference on Embedded Networked Sensor Systems*. New York, NY, USA: ACM, 2004. (SenSys '04), p. 214–226. Citado na página 23.

YOO, C.; HUANG, Q. A common-gate switched 0.9-w class-e power amplifier with 41% pae in 0.25- μ m cmos. v. 36, p. 823 – 830, 06 2001. Citado 2 vezes nas páginas 7 e 43.

ZHAI, C.; CHENG, K. K. M. Fully-integrated cmos differential class-e power amplifier with combined waveform-shaping network and transformer-based balun. In: *2014 Asia-Pacific Microwave Conference*. [S.l.: s.n.], 2014. p. 738–740. Citado na página 54.

Apêndices

APÊNDICE A – Parâmetros de Espalhamento

Os parâmetros de espalhamento, também denominados parâmetros S, são utilizados para modelar uma rede que trabalha em alta frequência em termos de ondas. A figura 53 ilustra um circuito de duas portas cuja topologia não se conhece mas que pode ser modelado pelos parâmetros de espalhamento, a_1 e a_2 são as ondas incidentes nas portas de entrada e de saída e b_1 e b_2 as ondas refletidas.

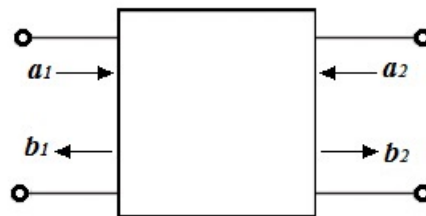


Figura 53 – Rede de duas portas.

A relação entre estas ondas e os parâmetros S é dada pela equação matricial abaixo:

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} s_{11} & s_{12} \\ s_{21} & s_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}$$

Os valores dos parâmetros de espalhamentos são calculados em situações onde as portas de entrada e de saída são terminadas em cargas iguais a sua impedância característica, de acordo com as equações abaixo (casamento de impedâncias):

$$s_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (\text{A.1})$$

$$s_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (\text{A.2})$$

$$s_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (\text{A.3})$$

$$s_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (\text{A.4})$$

Sendo s_{11} é o coeficiente de reflexão de entrada com um casamento de carga na porta de saída, s_{22} é o coeficiente de reflexão de saída com um casamento de carga na porta de entrada, s_{21} é o ganho de transmissão direto com casamento de carga na porta de saída e s_{12} é o ganho de transmissão reverso com casamento de carga na porta de entrada, para circuitos de RF considera-se uma carga de 50Ω como o valor a ser utilizado para o casamento (ANDERSON, 1995).

APÊNDICE B – Projetos Anteriores

B.1 Modelagem em alto nível e LNA

No trabalho apresentado em (CAMPOS, 2014) são feitas modelagens em alto-nível da cadeia de recepção e da cadeia de transmissão do transceptor em linguagem Verilog AMS, e a modelagem em baixo-nível de um LNA utilizando o software ADS.

A cadeia de recepção apresentada no trabalho é constituída por um LNA, um Mixer *Downconversion*, um VCO, um Filtro Passa-Baixas e um PGA, já a cadeia de transmissão é formada por um Filtro Passa-Baixas, um Mixer *Upconversion*, um VCO e um PA. Os resultados da simulação da cadeia de recepção são apresentados na Figura 54, os dois primeiros sinais são as senóides recebidas nas entradas inversora e não inversora, os dois últimos sinais são os sinais na saída inversora e não inversora sucessivamente.

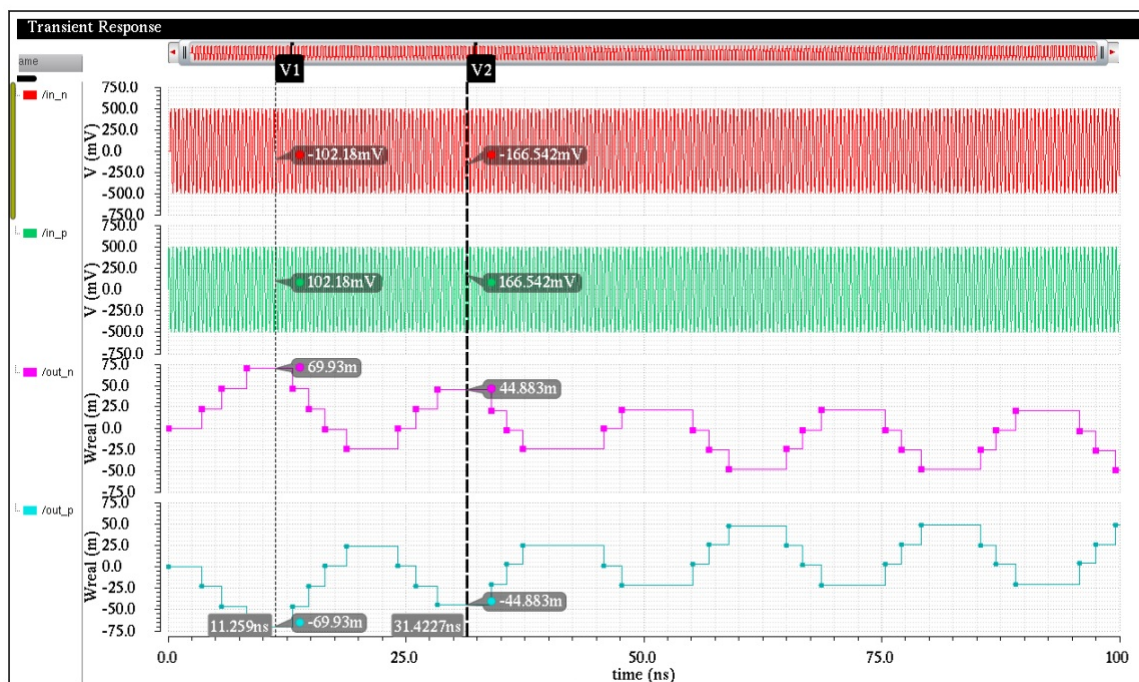


Figura 54 – Resultados da simulação do transceptor. (CAMPOS, 2014)

O LNA é o primeiro módulo do receptor, o esquemático do circuito projetado é apresentado na figura 55, juntamente com os melhores parâmetros encontrados para seus componentes para que as características desejadas fossem atingidas. A tecnologia utilizada para o projeto do LNA foi a XFAB 0,35 μm com alimentação de 1,8V. O trabalho apresenta os resultados da simulação do circuito utilizando parâmetros S, verificando em sua saída se ocorre o casamento com uma carga padrão de 50 Ω , a análise foi feita dentro de uma faixa de frequência de 2,4GHz a 2,5GHz, largura de banda a qual o dispositivo trabalha. De acordo com o trabalho O LNA apresentou um valor de resistência de 54 Ω para uma corrente de polarização de 10mA, valor de -24dB para o coeficiente de reflexão na saída, ganho direto de 18,5dB e figura de ruído igual a 2,2.

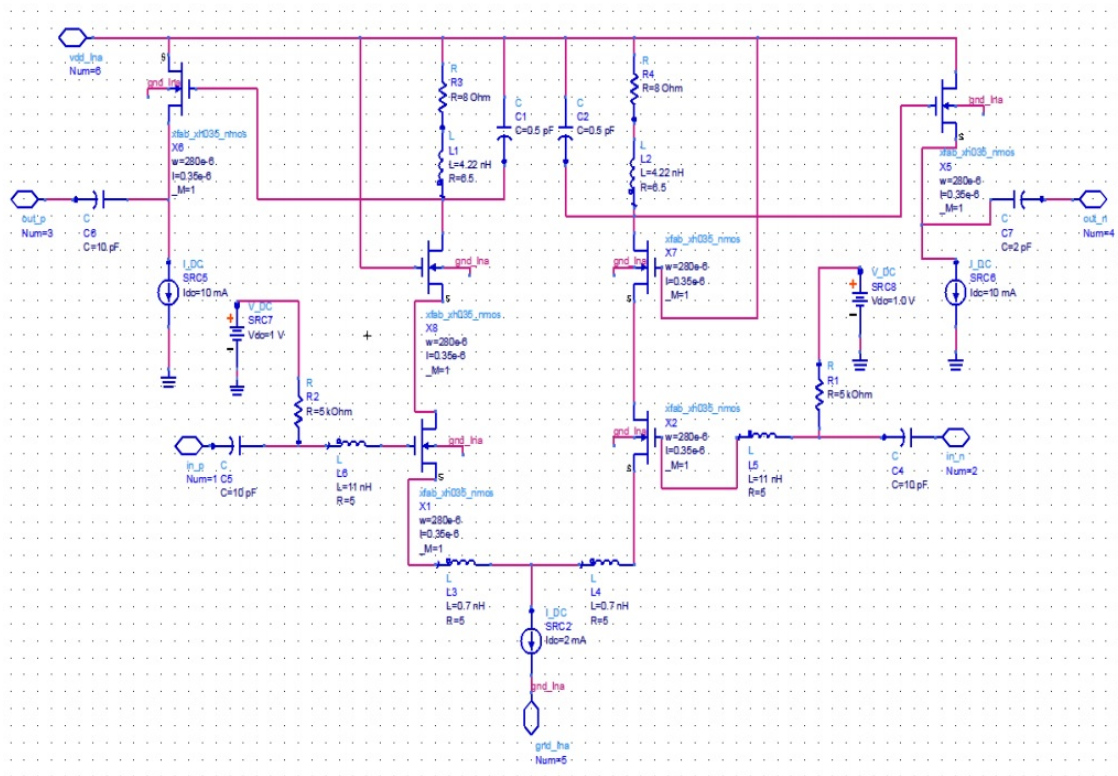


Figura 55 – Esquemático do LNA. (CAMPOS, 2014)

B.2 PLL e VCO

No trabalho (GUIMARÃES, 2015) é apresentada a modelagem de um *Phase-Locked LOOP* (PLL) e o projeto de um *Voltage Controlled Oscillator* (VCO), na figura 56 é mostrado o PLL completo com seus sub-blocos e na figura 57, são mostrados os resultados da simulação do PLL, de acordo com o trabalho, na simulação, a onda Fdiv deve se aproximar de Fref para que o sistema entre em estado de *lock*, fazendo com que as saídas diferenciais Vout_p e Vout_n apresentem a frequência desejada.

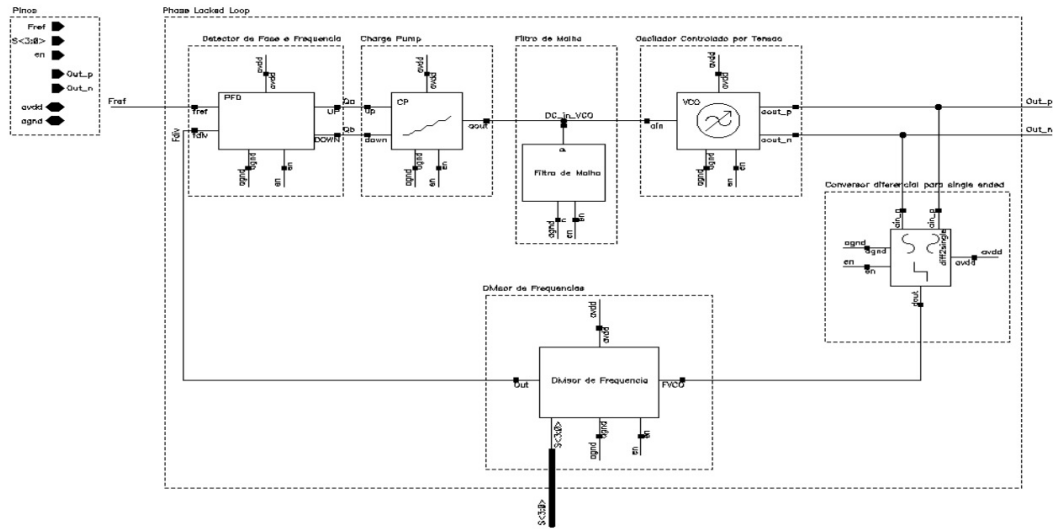


Figura 56 – Esquemático do PLL. (GUIMARÃES, 2015)

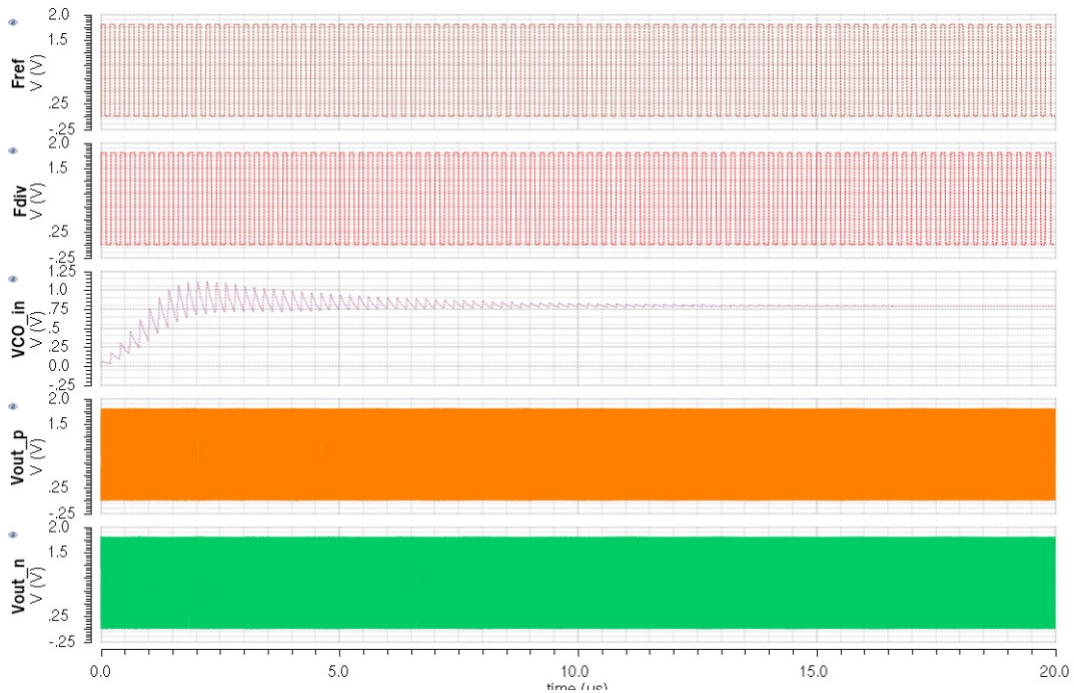


Figura 57 – Simulação da modelagem do PLL para o canal 11 ($S < 4 > = 0000$). (GUIMARÃES, 2015)

B.3 Divisor de Frequência

Em (PINTO, 2015) é apresentado o projeto de um divisor de frequência a nível de transistores, a tecnologia utilizada para este projeto foi a TSMC $0,18\mu m$, na figura 58 são apresentados do prescaler com fator de divisão 15/16, o contador com fator de divisão igual a 32 e o Swallow Counter, com as portas lógicas, conectados, formando o divisor completo, omite-se aqui o projeto a nível de transistores dos flip-flops TSPC e E-TSPC que podem ser vistos com mais detalhes no trabalho citado. Na figura 59 são

apresentados os resultados da simulação do 12^o canal do divisor.

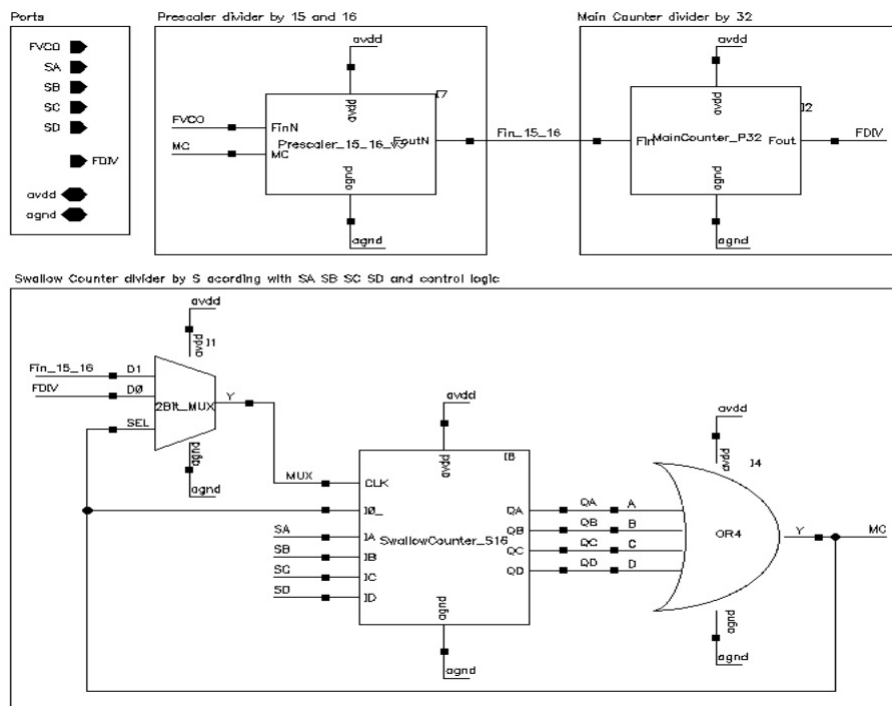


Figura 58 – Esquemático do divisor completo (Pulse Swallow Counter). (PINTO, 2015)

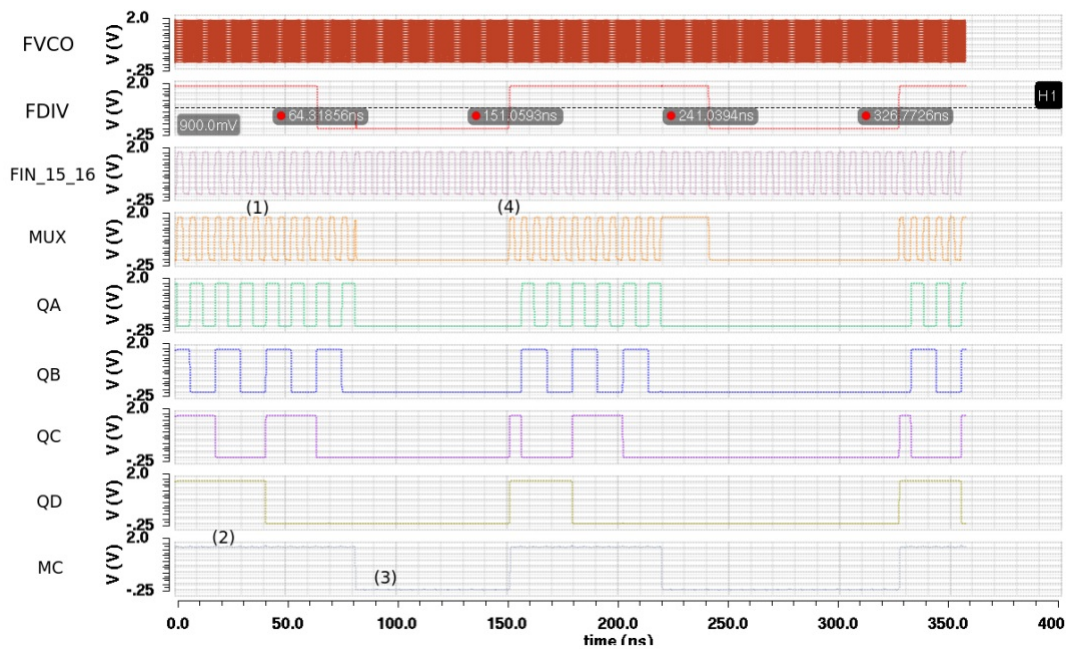


Figura 59 – Simulação do 12^o canal do divisor completo. (PINTO, 2015)

B.4 Charge Pump, Loop Filter e PFD do PLL

Em (GOMES, 2015) encontram-se os projetos de um *Charge Pump*, um *Loop Filter* e um *Phase Frequency Detector*(PFD) para a construção do PLL, com os três projetos desenvolvidos com tecnologia TSMC 0,18 μm , cujas topologias podem ser vistas no trabalho citado, a figura 60 mostra a simulação do sistema funcionando em conjunto, esta simulação foi feita inserindo os três módulos projetados a nível de transistores no projeto realizado anteriormente do PLL em alto nível, realizando uma simulação mista, foi verificado que o tempo de acomodação do PLL para seu sinal de saída desejado foi de 10 μs .

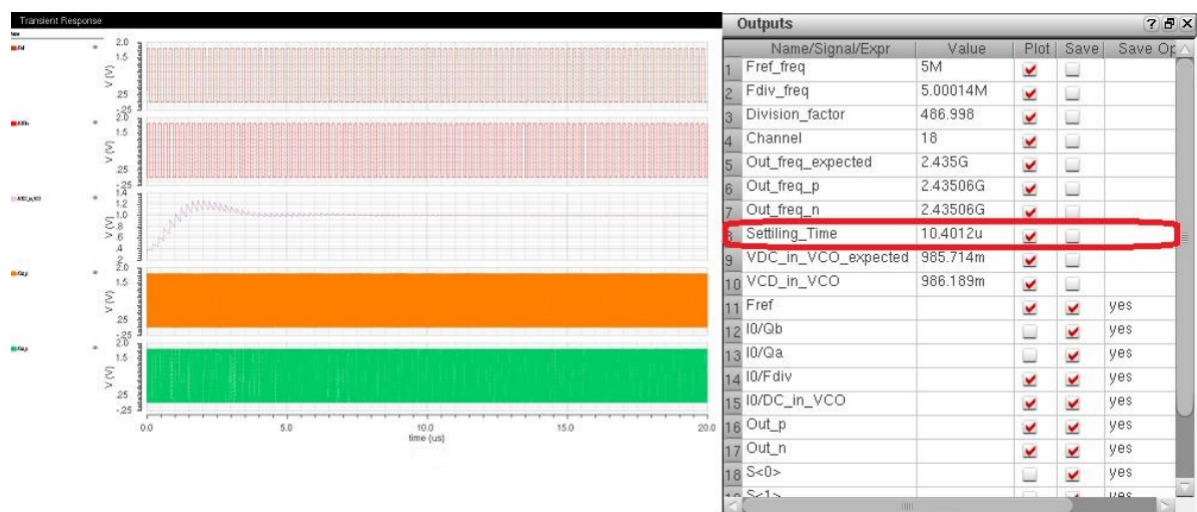


Figura 60 – Simulação dos blocos em conjunto. (GOMES, 2015)

B.5 LNA e Mixer Downconversion

No trabalho (JÚNIOR, 2016) são apresentados os projetos de um LNA com metodologia de projeto baseada na apresentada em (CAMPOS, 2014) e o projeto de um *Mixer*, ambos utilizando a tecnologia TSMC 0,18 μm , as simulações dos dois circuitos foram realizadas no software Virtuoso da Cadence.

Na figura 61 é apresentada a topologia, a nível de transistores, utilizada para o projeto do LNA, de acordo com o trabalho foi realizada inicialmente uma simulação DC para verificar o ponto de operação de cada dispositivo, após isto foi realizada a verificação das figuras de mérito, na tabela 12 podem ser vistos os valores dos parâmetros obtidos.

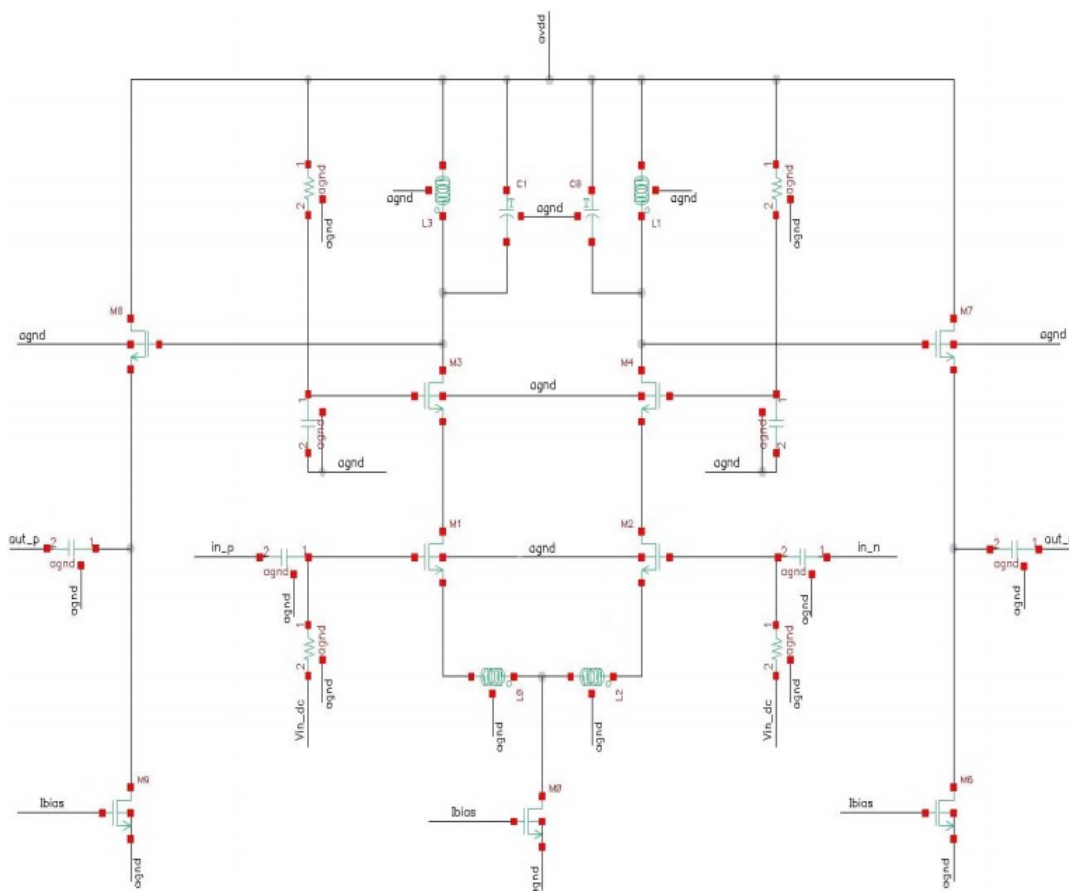


Figura 61 – LNA diferencial. (JÚNIOR, 2016)

Tabela 12 – Desempenho do LNA projetado (JÚNIOR, 2016).

Parâmetros	Valor Obtidos	Valor Especificad
Tensão de alimentação	1,8 V	1,8 V
Faixa de operação	2,4 2,5 GHz	2,4 2,5 GHz
Potência dissipada	9,23 mW	10 mW
Figura de ruído	1,024 dB	2 dB
Ganho de Conversão	21,17 dB	20 dB
IP1 dB	-29,47 dBm	-25 dBm
IIP3	-20,4 dBm	-15 dBm

Na figura 62 é mostrado o Mixer projetado, assim como foi feito com o dispositivo anterior sua simulação iniciou-se com a realização da análise DC do circuito para verificar se seus transistores estavam funcionando na região de saturação, depois desse procedimento foiram verificadas as figuras de mérito do dispositivo, na tabela 13 são apresentados os prâmetros obtidos que caracterizam o dispositivo.

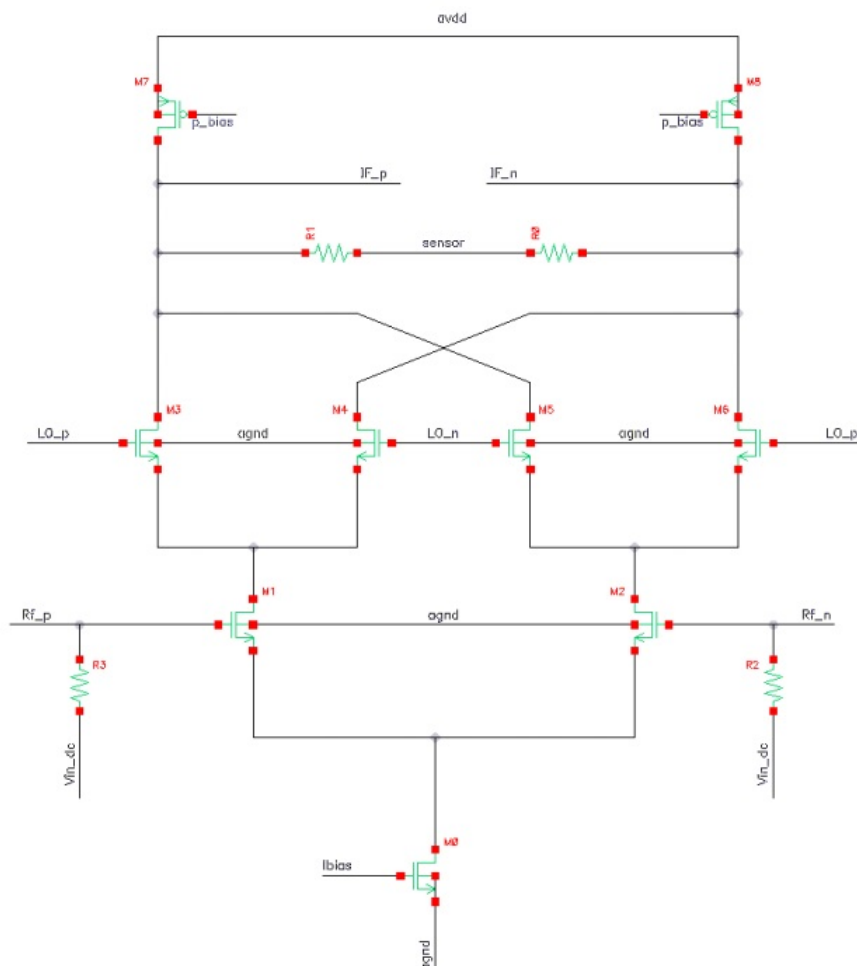


Figura 62 – Esquemático do mixer, célula de Gilbert. (JÚNIOR, 2016)

Tabela 13 – Desempenho do *Mixer* projetado (JÚNIOR, 2016)

Parâmetros	Valor Obtido	Valor Especificado
Tensão de alimentação	1,8 V	1,8 V
Faixa de operação	2,4 2,5 GHz	2,4 2,5 GHz
Potência dissipada	0,824 mW	10 mW
Figura de ruído	17,48 dB	16 dB
Ganho de Conversão	12,25 dB	12 dB
IP1 dB	-10,36 dBm	-5 dBm
IIP3	0 dBm	5 dBm

B.6 Mixer Upconversion

Em (FREITAS, 2016) são apresentados os projetos de um Buffer e um Mixer Upconversion utilizados na cadeia de transmissão, ambos foram projetados com tecnologia $0,13\mu\text{m}$. O design do Buffer é apresentado na figura 63, foi realizada uma simulação de parâmetros S com análises de parâmetros na frequência de 2,4GHz, o valor do coeficiente de reflexão na entrada com a saída casada em 50Ω foi de $-19,79\text{ dB}$ e seu ganho foi de $-2,38\text{ dB}$. O Mixer *Upconversion* projetado no trabalho citado é apresentado na figura 64, na Tabela 14 são apresentados os valores de suas especificações.

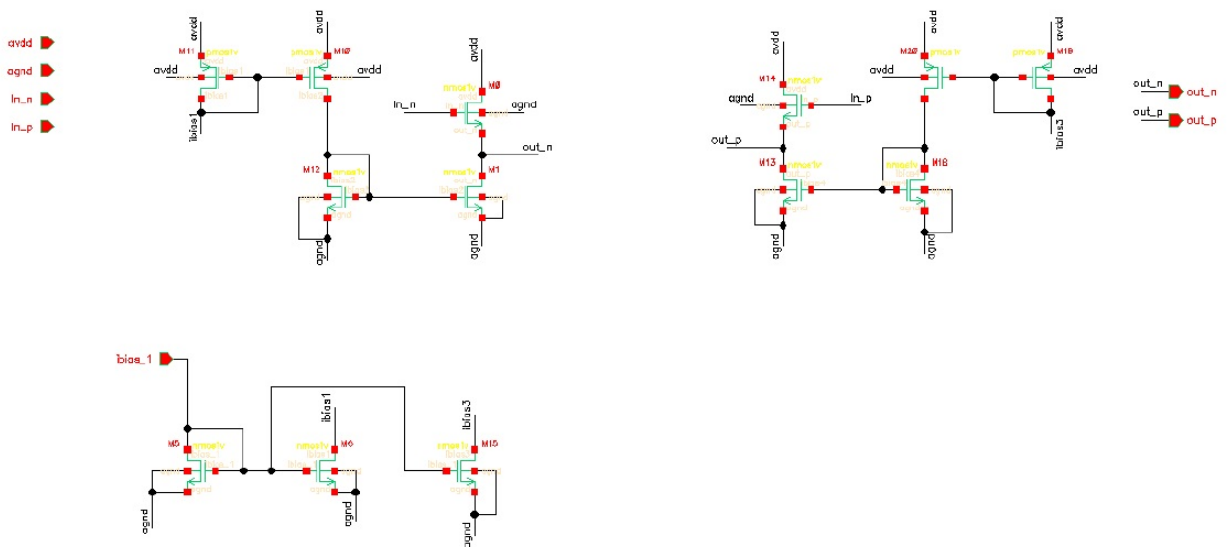


Figura 63 – Esquemático do Buffer. (FREITAS, 2016.)

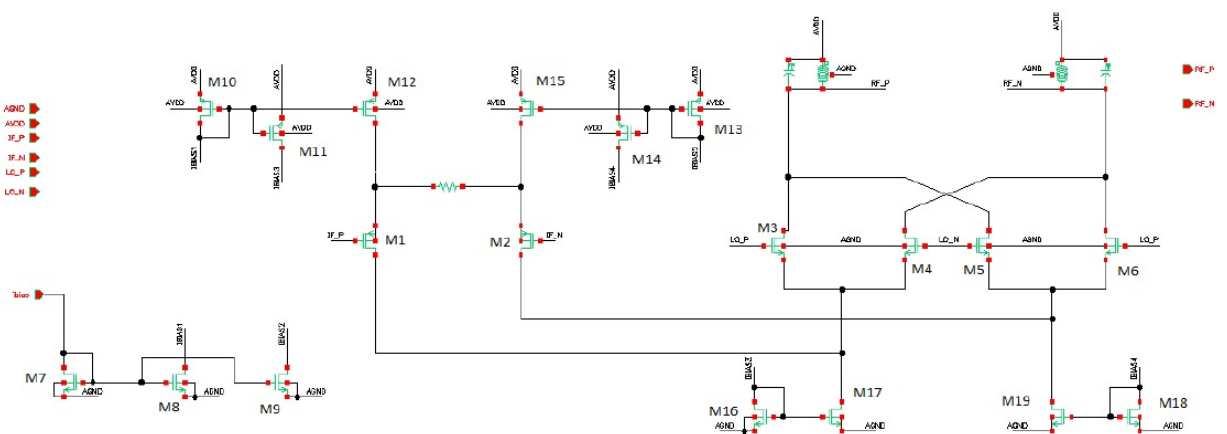


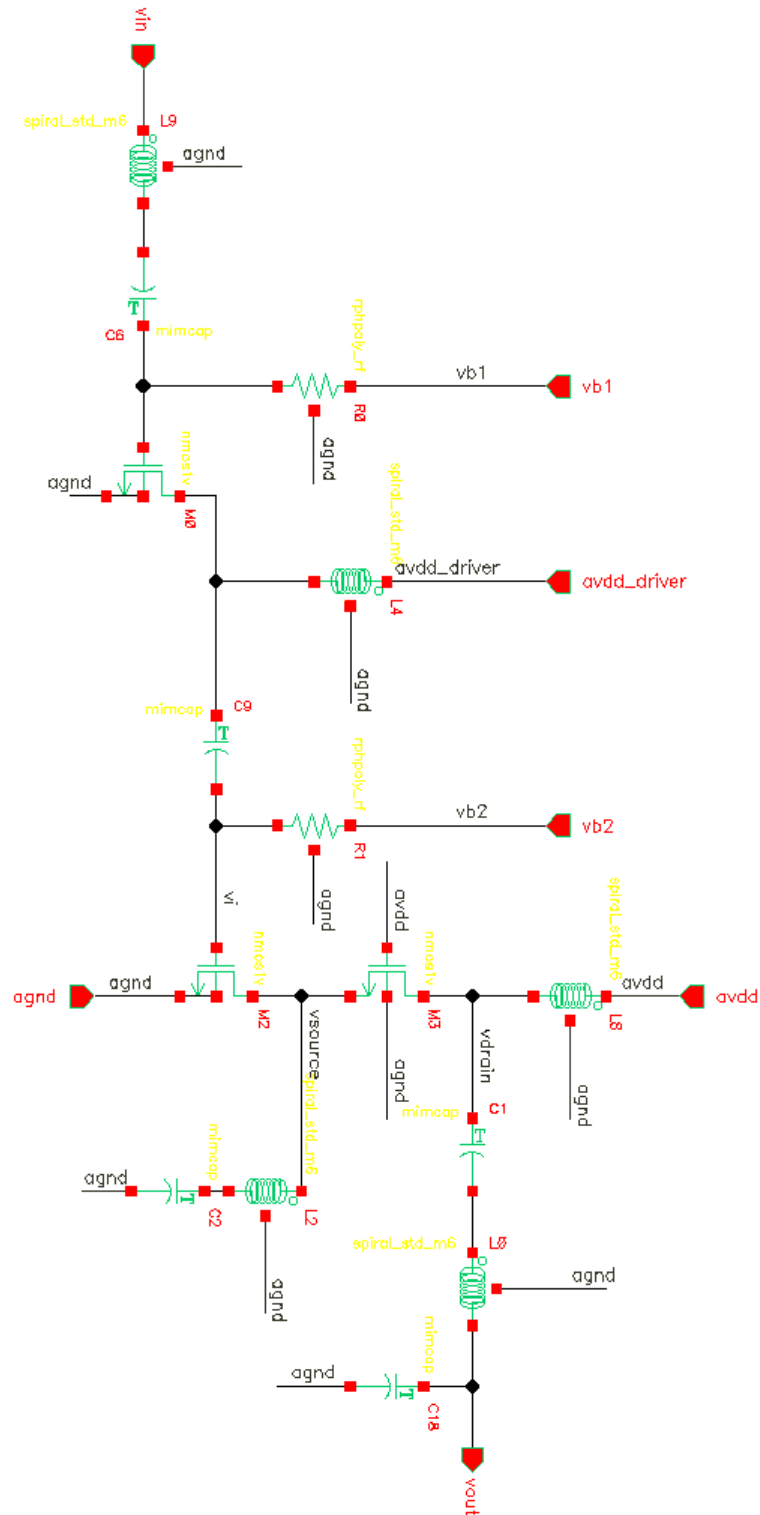
Figura 64 – Esquemático do Mixer *Upconversion*. (FREITAS, 2016)

Tabela 14 – Especificações do Mixer *Upconversion*. (FREITAS, 2016)

Parâmetros	Valor Desejado	Valor Obtido
Tecnologia	0.13 μ	0.13 μ
Tensão de Alimentação	1.2 V	1.2 V
Faixa de Operação	2.4 GHz	2.4 GHz
Potencia Dissipada	5 mW	10.83 mW
Ganho de Conversão	8 dB	8 dB
IP1dB	-9 dBm	-9.78 dBm
IIP3	0.19 dBm	-1.61 dBm

Anexos

ANEXO A – Topologia PA *single-ended*



ANEXO B – Topologia PA diferencial

