



**Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Curso de Engenharia Eletrônica**

**PROJETO DE UM AMPLIFICADOR DE BAIXO RUÍDO
E DE UM MISTURADOR DE FREQUÊNCIAS PARA
UM TRANSECTOR ZIGBEE (2.4 GHz)**

**Autor: Paulo Acés de Almeida Júnior
Orientador: Wellington Avelino do Amaral**

**Brasília, DF
2016**



PAULO ACÉS DE ALMEIDA JÚNIOR

**TÍTULO: PROJETO DE UM AMPLIFICADOR DE BAIXO RUÍDO E DE UM
MISTURADOR DE FREQUÊNCIAS PARA UM TRANSECTOR ZIGBEE (2.4 GHz)**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Orientador: Prof. Dr. Wellington Avelino do Amaral

**Brasília, DF
2016**

CIP – Catalogação Internacional da Publicação*

ALMEIDA JÚNIOR, Paulo Acés de.

Projeto de um amplificador de baixo ruído e de um misturador de frequências para um transceptor ZigBee (2.4 GHz) / Paulo Acés de Almeida Júnior. Brasília: UnB, 2016. 100 p. : il. ; 29,5 cm.

Monografia (Graduação) – Universidade de Brasília
Faculdade do Gama, Brasília, 2016. Orientação: Wellington
Avelino do Amaral.

1. Transceptor. 2. LNA. 3. MIXER. I. Avelino do Amaral,
Wellington. II. Dr.

CDU Classificação



**PROJETO DE UM AMPLIFICADOR DE BAIXO RUÍDO E DE UM MISTURADOR
DE FREQUÊNCIAS PARA UM TRANSEPTOR ZIGBEE (2.4 GHz)**

Paulo Acés de Almeida Júnior

Monografia submetida como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica da Faculdade UnB Gama - FGA, da Universidade de Brasília, em 01/07/2016 apresentada e aprovada pela banca examinadora abaixo assinada:

Prof. Dr.: Wellington Avelino do Amaral, UnB/ FGA
Orientador

Prof. Dr.: Sandro Augusto Pavlik Haddad, UnB/ FGA
Membro Convidado

Prof. Dr.: Leonardo Aguayo, UnB/ FGA
Membro Convidado

Brasília, DF
2016

Esse trabalho é dedicado à minha família e principalmente ao meu grande irmão que sempre me apoiou e deu forças para seguir em frente independente dos obstáculos enfrentados nessa caminhada.

AGRADECIMENTOS

Primeiramente gostaria de agradecer à minha família que me acolheu de braços abertos e me deu todo o suporte e condições necessárias para a conclusão de mais uma etapa da minha vida. Assim, gostaria de agradecer às minhas avós, Cassimira e Maria, pela paciência e pelo carinho que demonstraram por mim, me dando o impulso que faltava para enfrentar os grandes desafios encontrados. Gostaria também de agradecer ao meu irmão Fabrício pela paciência, compreensão e suporte que sempre demonstrou no decorrer de todos esses anos. Agradeço ao meu tio Altino que no momento que mais precisei ele esteve lá demonstrando coragem e uma grande responsabilidade ao assumir compromissos importantes que me possibilitaram chegar até aqui. E também a todos os outros membros da família.

Agradeço também ao Professor Dr. Wellington Avelino do Amaral por sua amizade e pela oportunidade de realizar este trabalho sob sua orientação; por sua compreensão e pelo seu comprometimento em ajudar e compartilhar seu conhecimento.

Por fim, gostaria de agradecer ao Professor Dr. Sandro Augusto Pavlik Haddad por sua amizade e por sua disposição em me ajudar durante todo o período de graduação.

“A menos que modifiquemos a nossa maneira de pensar, não seremos capazes de resolver os problemas causados pela forma como nos acostumamos a ver o mundo.”
Albert Einstein

RESUMO

As redes de sensores sem fio encontram hoje uma ampla gama de aplicação, como por exemplo, no controle de consumo de potência em residências, para aplicação em *smart grid* e no monitoramento de condições climáticas em plantações. O protocolo Zigbee ganhou notoriedade nesses tipos de aplicações, em função de sua simplicidade, baixo consumo e grande quantidade de canais. O presente trabalho visa modelar e projetar dois blocos constituintes de um transceptor ZigBee: o amplificador de baixo ruído (LNA) e o misturador de frequências (MIXER). O projeto do LNA será realizado através de um aprofundamento da modelagem já realizada em trabalhos anteriores realizados na Universidade, porém utilizando uma tecnologia mais recente e eficaz para circuitos de rádio frequência, a TSMC 0.18 μm CMOS. Na segunda parte deste trabalho será realizado todo o desenvolvimento do projeto de um *mixer*, que é responsável pelo deslocamento de frequências do sinal para o seu posterior tratamento ou envio de dados. Os circuitos serão desenvolvidos utilizando o ambiente Cadence e seguindo o fluxo de projeto *Top-Down*. Para simulação e validação dos projetos propostos, será realizada a modelagem dos circuitos utilizando a linguagem de descrição de hardware Verilog-AMS, a qual possibilita a realização de simulação mista de sinais além de possibilitar análise comportamental do projeto como um todo.

Palavras-chave: Transceptor. Radiofrequência. ZigBee. Amplificador de baixo ruído. Misturador de Frequências. Verilog-AMS.

ABSTRACT

Nowadays there are many applications for the wireless network such as in control of power consumption at residences, in smart grid applications and in monitoring weather conditions in plantations. The ZigBee protocol has become well known in these types of applications due to its simplicity, low power consumption and its big number of channels. This paper intends to project and model two blocks present in a ZigBee transceiver: the low noise amplifier (LNA) and the frequency mixer (MIXER). The project of the LNA will be done through a deepening of the model developed by previous projects done at the University however utilizing a more recent and effective technology for radio-frequency circuits known as TSMC 0.18 μm CMOS. The second part of this paper will present the whole development of the frequency mixer project, which is responsible for the change in the signal frequency for future processing or sending data. The circuits will be implemented using the Cadence software, following the Top-Down project methodology. In order to simulate and validate the proposed projects it will be done models of the circuits using the Verilog-AMS hardware description language, which allows mixed signal simulation and analysis of the behavior of the whole project.

Keywords: Transceiver. Radio-frequency. ZigBee. Low noise amplifier. Frequency mixer. Verilog-AMS.

LISTA DE ILUSTRAÇÕES

FIGURA 1-1 TOPOLOGIAS PARA A REDE DE DISPOSITIVOS (CAMPOS, 2014).....	17
FIGURA 1-2 PILHA PROTOCOLAR DO ZIGBEE (SILVA, 2008).	19
FIGURA 2-1 DIAGRAMA DE BLOCOS DE UM TRANSECTOR DE RF.	23
FIGURA 2-2 TOPOLOGIAS DE AMPLIFICADORES INVERSORES DE UM ESTÁGIO (SOARES, 2008).	25
FIGURA 2-3 TOPOLOGIA PARA IMPLEMENTAÇÃO DO LNA.	27
FIGURA 2-4 PAPEL DO <i>MIXER</i> NUM TRANSECTOR DE RF GENÉRICO.....	27
FIGURA 2-5 SINGLE-SIDEBAND NOISE FIGURE (RAZAVI, 2011).	29
FIGURA 2-6 DOUBLE-SIDEBAND NOISE FIGURE (RAZAVI, 2011).	29
FIGURA 2-7. PONTO DE COMPRESSÃO DE 1 dB (RAZAVI, 2011).	32
FIGURA 2-8 GERAÇÃO DE VÁRIOS COMPONENTES DE INTERMODULAÇÃO PARA UMA ENTRADA COM DOIS TONS (RAZAVI, 2011).	32
FIGURA 2-9 INTERFERÊNCIA CAUSADA PELA INTERMODULAÇÃO DE TERCEIRA ORDEM (RAZAVI, 2011).....	33
FIGURA 2-10 PONTO DE INTERCEPTAÇÃO DE TERCEIRA ORDEM (LEE, 2004).....	33
FIGURA 2-11 ISOLAÇÃO DOS TERMINAIS DO <i>MIXER</i> (FERREIRA, 2006).....	34
FIGURA 2-12 (A) MISTURADOR DESBALANCEADO, APRESENTA ENTRADAS E SAÍDAS SIMPLES, (B) MISTURADOR DE BALANCEAMENTO SIMPLES, APRESENTA UMA ENTRADA SIMPLES, OUTRA DIFERENCIAL E SAÍDA DIFERENCIAL E (C) MISTURADOR DE BALANCEAMENTO DUPLO, TOTALMENTE DIFERENCIAL (MOREIRA, 2009).	35
FIGURA 2-13 MISTURADOR PASSIVO (MOREIRA, 2009).	35
FIGURA 2-14 TOPOLOGIA DE UM MISTURADOR PASSIVO DE BALANCEAMENTO SIMPLES (MOREIRA, 2009).	36
FIGURA 2-15. MISTURADOR ATIVO DE BALANCEAMENTO SIMPLES (RAZAVI, 2011).	36
FIGURA 2-16. CÉLULA DE GILBERT (RAZAVI, 2011).	37
FIGURA 2-17 ANÁLISE DA TENSÃO DE SAÍDA IF NA CÉLULA DE GILBERT (FERREIRA, 2006).	38
FIGURA 2-18 RELAÇÃO ENTRE VERILOG-AMS, VERILOG-HDL E VERILOG-A (KUNDERT, 2004).....	43

FIGURA 2-19	MODELAGEM DE UM RESISTOR LINEAR EM VERILOG-AMS (KUNDERT, 2004).	45
FIGURA 3-1	DESCRIÇÃO EM VERILOG-AMS PARA O LNA (CAMPOS, 2014).	48
FIGURA 3-2	DESCRIÇÃO EM VERILOG-AMS PARA O <i>MIXER</i> (CAMPOS, 2014).	50
FIGURA 4-1	LNA DIFERENCIAL.	53
FIGURA 4-2	(A) TRANSISTOR COM DEGENERACÃO. (B) MODELO DE PEQUENOS SINAIS DO TRANSISTOR COM DEGENERACÃO.	57
FIGURA 4-3	ESPELHO DE CORRENTE UTILIZANDO TRANSISTORES NMOS E PMOS, (A) E (B) RESPECTIVAMENTE.	61
FIGURA 4-4	CIRCUITO GERADOR DE TENSÃO DC.	62
FIGURA 5-1	ESQUEMÁTICO DO <i>MIXER</i> , CÉLULA DE GILBERT.	64
FIGURA 5-2	CIRCUITO GERADOR DE TENSÃO DC.	72
FIGURA 5-3	CIRCUITO DE CMFB UTILIZADO NO <i>MIXER</i> .	73
FIGURA 6-1	<i>TESTBENCH</i> PARA SIMULAÇÃO DO LNA.	76
FIGURA 6-2	COEFICIENTE DE REFLEXÃO DE ENTRADA, PARÂMETRO S_{11} .	78
FIGURA 6-3	GANHO DO LNA, PARÂMETRO S_{21} .	79
FIGURA 6-4	COEFICIENTE DE REFLEXÃO DE SAÍDA, PARÂMETRO S_{22} .	79
FIGURA 6-5	FIGURA DE RUÍDO DO LNA.	80
FIGURA 6-6	PONTO DE COMPRESSÃO DE 1dB DO LNA.	81
FIGURA 6-7	IP3 DO LNA.	82
FIGURA 6-8	SIMULAÇÃO TRANSIENTE DA ENTRADA E SAÍDA DO LNA.	82
FIGURA 6-9	INDUTORES INTEGRADOS EM ESPIRAL OCTAGONAL. (A) SINGLE-ENDED (B) SIMÉTRICO (C) SIMÉTRICO COM CENTER-TAP.	84
FIGURA 6-10	<i>TESTBENCH</i> PARA SIMULAÇÃO DO <i>MIXER</i> .	86
FIGURA 6-11	GANHO DE CONVERSÃO DO <i>MIXER</i> .	88
FIGURA 6-12	TENSÃO DE SAÍDA DO OSCILADOR LOCAL.	88
FIGURA 6-13	GANHO DE CONVERSÃO X FREQUÊNCIA DO SINAL DE ENTRADA (RF).	89
FIGURA 6-14	FIGURA DE RUÍDO X FREQUÊNCIA DO SINAL DE ENTRADA (RF).	90
FIGURA 6-15	PONTO DE COMPRESSÃO DE 1 dB DO <i>MIXER</i> .	91
FIGURA 6-16	PONTO IP3 DO <i>MIXER</i> .	91
FIGURA 6-17	CONSUMO DE POTÊNCIA DO <i>MIXER</i> .	92
FIGURA 6-18	SISTEMA FORMADO PELO LNA E <i>MIXER</i> .	94

LISTA DE TABELAS

TABELA 1-1 FAIXA DE FREQUÊNCIAS DO PADRÃO ZIGBEE EM REGIÕES DO MUNDO.....	18
TABELA 1-2 COMPARAÇÃO DAS REDES SEM FIO MAIS POPULARES.....	18
TABELA 3-1. RELAÇÃO DE PINOS DO LNA (CAMPOS, 2014).....	47
TABELA 3-2. RELAÇÃO DE PINOS DO <i>MIXER</i> (CAMPOS, 2014).	49
TABELA 4-1 DADOS DA TECNOLOGIA TSMC 0.18 UM.	52
TABELA 4-2 ESPECIFICAÇÕES DO LNA.....	54
TABELA 4-3 VALORES DOS PARÂMETROS OBTIDOS MATEMATICAMENTE PARA O LNA.	60
TABELA 5-1 ESPECIFICAÇÕES DO <i>MIXER</i>	66
TABELA 5-2 VALORES DOS PARÂMETROS OBTIDOS MATEMATICAMENTE PARA O <i>MIXER</i>	71
TABELA 6-1 PARÂMETROS FINAIS DO LNA.....	85
TABELA 6-2 DESEMPENHO DO LNA PROJETADO.	86
TABELA 6-3 PARÂMETROS FINAIS DO <i>MIXER</i>	93
TABELA 6-4 DESEMPENHO DO <i>MIXER</i> PROJETADO.	94

LISTA DE ABREVIATURAS E SIGLAS

ADC	<i>Analogic Digital Converter</i>
ANA	<i>Agência Nacional de Águas</i>
APL	<i>Application</i>
CP1dB	<i>1dB Compression Point</i>
FAO	<i>Food and Agriculture Organization of the United Nations</i>
FFD	<i>Full Function devices</i>
HDL	<i>Hardware Description Language</i>
IEEE	<i>Institute of Electrical and Electronic Engineers</i>
IF	<i>Intermediate Frequency</i>
IM	<i>Intermodulation</i>
IP3	<i>Third-Order Intercept Point</i>
ISM	<i>Industrial, Scientific and Medical</i>
LNA	<i>Low Noise Amplifier</i>
LO	<i>Local Oscillator</i>
MAC	<i>Medium Access Control</i>
MIXER	<i>Frequency Mixer</i>
MOS	<i>Metal Oxide Semiconductor</i>
NF	<i>Noise Figure</i>
NWK	<i>Network</i>
PA	<i>Power Amplifier</i>
PGA	<i>Programmable Gain Amplifier</i>
PHY	<i>Physical</i>
RF	<i>Radio Frequency</i>
RFD	<i>Reduced Function Devices</i>
RFID	<i>Radio Frequency Identification</i>
Verilog	<i>VERIfying LOGic</i>
Verilog-AMS	<i>VERIfying LOGic Analogic and Mixed Signal</i>
VHDL	<i>VHSIC Hardware Description Language</i>

SUMÁRIO

AGRADECIMENTOS	VI
RESUMO.....	VIII
ABSTRACT	IX
LISTA DE ILUSTRAÇÕES.....	X
LISTA DE TABELAS.....	XII
LISTA DE ABREVIATURAS E SIGLAS	XIII
1 INTRODUÇÃO	16
1.1 ASPECTOS GERAIS	16
1.2 PADRÃO ZIGBEE.....	16
1.2.1 CARACTERÍSTICA DA REDE ZIGBEE.....	17
1.3 OBJETIVOS	19
1.4 MOTIVAÇÃO.....	20
1.5 ORGANIZAÇÃO DO TRABALHO.....	21
2 REVISÃO BIBLIOGRÁFICA	23
2.1 TRANCEPTOR DE RF	23
2.2 AMPLIFICADORES DE BAIXO RUÍDO – LNA.....	24
2.2.1 TOPOLOGIAS.....	25
2.3 MISTURADOR DE FREQUENCIAS – MIXER.....	27
2.3.1 CONCEITOS TEÓRICOS	28
2.3.2 TOPOLOGIAS.....	34
2.4 METODOLOGIA DE PROJETO.....	40
2.4.1 BOTTOM-UP	40
2.4.2 TOP-DOWN	41
2.5 LINGUAGEM DE DESCRIÇÃO DE HARDWARE	42
2.5.1 VERILOG-AMS	43
3 PROJETO EM ALTO NÍVEL.....	47
3.1 MODELAGEM DO SISTEMA.....	47
3.1.1 DESCRIÇÃO DO LNA EM VERILOG-AMS.....	47

3.1.2	<i>DESCRIÇÃO DO MIXER EM VERILOG-AMS</i>	49
4	PROJETO DO LNA	52
4.1	INTRODUÇÃO.....	52
4.2	TOPOLOGIA	52
4.3	PROJETO ELÉTRICO	54
4.4	CIRCUITO DE POLARIZAÇÃO	60
4.4.1	<i>FONTE DE CORRENTE</i>	60
4.4.2	<i>TENSÃO DE POLARIZAÇÃO</i>	62
5	PROJETO DO MIXER	64
5.1	INTRODUÇÃO.....	64
5.2	TOPOLOGIA	64
5.3	PROJETO ELÉTRICO DO MIXER.....	65
5.4	CIRCUITO DE POLARIZAÇÃO E DE REALIMENTAÇÃO.....	71
5.4.1	<i>FONTE DE CORRENTE</i>	71
5.4.2	<i>TENSÃO DE POLARIZAÇÃO</i>	72
5.4.3	<i>COMMOM-MODE FEEDBACK – CMFB</i>	72
6	SIMULAÇÕES E RESULTADOS	76
6.1	INTRODUÇÃO.....	76
6.2	LNA.....	76
6.2.1	<i>TESTBENCH</i>	76
6.2.2	<i>SIMULAÇÕES</i>	77
6.2.3	<i>INDUTORES INTEGRADOS</i>	83
6.2.4	<i>PARÂMETROS FINAIS DO LNA</i>	85
6.3	MIXER	86
6.3.1	<i>TESTBENCH</i>	86
6.3.2	<i>SIMULAÇÕES</i>	87
6.3.3	<i>PARÂMETROS FINAIS DO MIXER</i>	93
6.4	RUÍDO TOTAL GERADO PELO LNA E MIXER NO TRANSCÉPTOR.....	94
7	CONCLUSÃO	96
8	REFERÊNCIAS	98

1 INTRODUÇÃO

1.1 ASPECTOS GERAIS

Nos últimos anos tem-se observado uma grande expansão de dispositivos que criam redes sem fio que possibilitam a transferência de informações de forma rápida e segura. A disseminação destes dispositivos fica evidenciada nos computadores e celulares atuais que já vêm equipados com redes Wi-Fi e Bluetooth integrados para assim possibilitar a conexão com a internet e com redes locais. Estes tipos de comunicação sem fio são redes que necessitam de uma alta/média taxa de transferência de dados e de circuitos mais complexos além de um alto consumo de energia.

Entretanto, em muitas aplicações industriais e de controle não é importante ter altas taxas de transferências, e quanto menor for o consumo de energia, melhor. Sendo assim, as tecnologias sem fio existentes até então eram ineficientes na otimização de processos e vários fabricantes adotavam soluções próprias, o que acarretava em sérios problemas, como a incapacidade de troca de dados entre dispositivos de fabricantes diferentes. Neste cenário, surge a necessidade de criar uma comunicação sem fio que permitisse uma baixa taxa de transferência de dados em curtas distâncias com baixo consumo energético e que suprisse as necessidades específicas de dispositivos de monitoramento e controle. Assim, é criado o protocolo ZigBee, pela *ZigBee Alliance*, em 2004, que em conjunto com a norma IEEE 802.15.4, pretende uniformizar as comunicações nas redes pessoais e domésticas garantindo segurança e confiabilidade nas comunicações wireless bem como um baixo consumo de bateria.

1.2 PADRÃO ZIGBEE

Segundo Norris (2005), ZigBee é um novo padrão para redes de telemetria sem fio, otimizadas para baixo consumo de potência e um longo período de operação da bateria. A pilha protocolar ZigBee tem suporte a rede auto organizável de dispositivos nas topologias árvore, malha e estrela, permitindo uma instalação rápida de um sistema de telemetria sem fio interno.

Este padrão apresenta baixa complexidade e visa aplicações de baixo custo alimentadas por bateria, como o monitoramento ambiental, o controle de irrigação na agricultura, *smart grids*, a automação residencial, o controle industrial e comercial, o sistema de identificação de animais (RFID), a telemetria, em aplicações militares, entre outros.

Os dispositivos ZigBee podem ser classificados em FFD (*Full Function devices*) caso o dispositivo em questão possua acesso a todos os outros dispositivos da rede, ou seja, caso ele funcione como coordenador da rede; e em RFD (*Reduced Function Devices*) caso o dispositivo só se comunique com o coordenador da rede. Neste caso estão limitados à configuração estrela.

Os dispositivos ZigBee podem atuar de 3 formas diferentes numa rede: como coordenador, roteador ou terminal. O coordenador e o roteador são dispositivos FFD. O primeiro faz a inicialização e a distribuição/reconhecimento de endereços nos nós, já o segundo é responsável pela distribuição das mensagens entre os nós da rede. O terminal é um dispositivo RFD e hospeda os sensores e atuadores da rede. A Figura 1-1 apresenta as topologias possíveis para a rede de dispositivos.

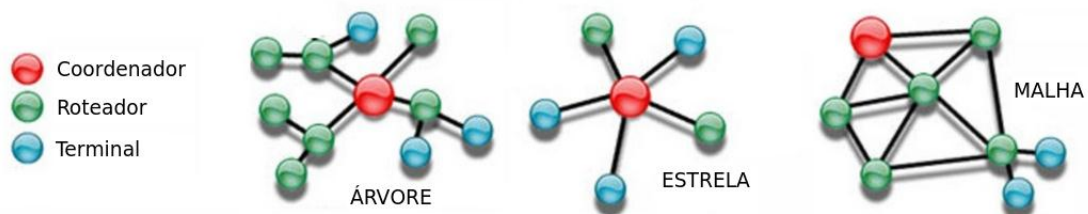


Figura 1-1 Topologias para a rede de dispositivos (CAMPOS, 2014).

1.2.1 CARACTERÍSTICA DA REDE ZIGBEE

O ZigBee permite comunicações robustas e opera na frequência ISM (*Industrial, Scientific and Medical*) cuja banda não requer licença para funcionamento, assim, pode-se utilizar essa frequência no mundo inteiro que não haverá problema de licenciamento de frequência por qualquer agência reguladora.

As redes ZigBee oferecem uma ótima imunidade contra interferência e uma capacidade de hospedar até 65535 dispositivos (nós) em uma rede e possuem taxas de transmissão que variam de 20 kbps a 250 kbps, veja Tabela 1-1.

Camada Física (MHz)	Faixa de Frequência (MHz)	Região	Taxa de transferência (kbps)	Quantidade de canais disponíveis
868	868-868.8	Europa	20	1
915	902-928	Estados Unidos	40	10
2400	2400-2483.5	Global	250	16

Tabela 1-1 Faixa de frequências do padrão ZigBee em regiões do mundo.

A Tabela 1-2 evidencia as principais características do ZigBee quando comparado com outras duas tecnologias wireless mais populares no mercado.

Característica	ZigBee	Wi-Fi 802.11b/g	Bluetooth
Frequência	868 MHz, 915 MHz e 2,4 GHz	2,4 GHz	2,4 GHz
Quantidade de Dispositivos	65535	32	7
Taxa de Transferência	250 kbps	11/54 Mbps	1/3 Mbps
Alcance	~100 m	~100 m	~1 a 10 m
Latência	30 ms	3 s	10 s

Tabela 1-2 Comparação das redes sem fio mais populares.

A norma IEEE 802.15.4 especifica as camadas que formam a pilha protocolar do ZigBee. A Figura 1-2 mostra a sua estrutura completa.

A Camada Física (PHY) é responsável por codificar os bits que são enviados e decodificar os bits que são recebidos. A segunda camada Controle de Acesso ao Meio (MAC) controla o acesso ao meio gerando e reconhecendo endereços além de verificar as sequencias das estruturas de controle. A Camada de Rede (NWK) controla a estrutura de rede e cuida do roteamento e das funções de seguranças das mensagens transmitidas. E por fim a Camada de Aplicação (APL) carrega o código de cada aplicação individualmente.



Figura 1-2 Pilha protocolar do ZigBee (SILVA, 2008).

1.3 OBJETIVOS

Este trabalho tem por objetivo:

- Projetar um amplificador de baixo ruído e um misturador de frequências para um transceptor ZigBee.
- Utilizar a metodologia de projeto *Top-Down* para desenvolver projetos a partir de um nível macro para depois seguir para um nível micro.
- Apresentar as figuras de mérito relevantes nos projetos do LNA e do *mixer*.
- Modelar o LNA em Verilog-AMS.
- Dimensionar todos os componentes constituintes do amplificador de baixo ruído.

- Modelar o *mixer* em Verilog-AMS.
- Dimensionar todos os componentes constituintes do misturador de frequências.
- Realizar simulações para verificação do desempenho de cada um dos circuitos.
- Otimizar as figuras de mérito através da variação das dimensões dos componentes inicialmente calculados.

1.4 MOTIVAÇÃO

Um estudo realizado pela Agência Nacional de Águas ([ANA](#)) e publicado em 2013, mostra que a irrigação em lavouras e plantações é responsável por 72% do consumo total de água no Brasil. E segundo a FAO (Fundação das Nações Unidas para Agricultura e Alimentação, sigla em inglês) quase metade dessa água é desperdiçada devido às irrigações mal executadas e devido à falta de controle da quantidade usada. Essa má utilização da água pode gerar grandes impactos no meio ambiente que podem acabar secando os rios utilizados como fontes de irrigação ou acarretar na diminuição do fluxo de água dos lenções freáticos, quando a irrigação é feita a partir deles.

Os métodos convencionais de irrigação aplicadas na agricultura brasileira hoje sugerem um sistema de irrigação baseado simplesmente nas variações climáticas ocorridas durante as estações do ano. Método que se mostra bastante ineficiente, pois o Brasil é caracterizado por possuir uma grande irregularidade de temperatura e volume de chuvas nas diferentes estações do ano ([POUSO, 2012](#)). Assim, esse método de irrigação pode acabar acarretando ou num encharcamento do solo, e com isso prejudicar o desenvolvimento das plantações e gerar um grande desperdício de água, ou num ressecamento excessivo do solo devido às irrigações insuficientes.

Neste cenário, surge a possibilidade de realizar um monitoramento dos campos de lavoura e plantações utilizando uma rede de sensores e atuadores para o acionamento da irrigação somente quando ela for necessária. Estes sensores serão capazes de realizar a verificação da umidade do solo e enviar esses dados para uma central que fará o processamento e em seguida enviará uma resposta aos atuadores presentes na rede.

Essa troca de informações pode ser realizada utilizando transceptores ZigBee, pois ele permite a transmissão de dados através de redes sem fio e forma rápida e eficiente além de

possuir vários canais disponíveis, fato este que permite o monitoramento e controle de grandes áreas.

1.5 ORGANIZAÇÃO DO TRABALHO

Este trabalho foi organizado em oito capítulos. No Capítulo 1 foi apresentada a tecnologia *wireless* para o qual o projeto será desenvolvido, mostrando os objetivos e as motivações do projeto.

No Capítulo 2 é realizado um estudo bibliográfico dos vários blocos constituintes deste projeto de forma a permitir o entendimento total das atividades que serão desenvolvidas neste projeto. Este capítulo é iniciado através da explicação do funcionamento de um transceptor de radiofrequência evidenciando cada um dos blocos que o constitui. Em seguida é analisada e discutida a arquitetura dos dois blocos a ser realizado neste trabalho. Por fim, é apresentado duas metodologias de projeto além de fazer uma apresentação da linguagem de descrição de hardware Verilog-AMS.

No Capítulo 3 é feito uma modelagem e análise inicial dos blocos LNA e *mixer* em Verilog-AMS.

O Capítulo 4 foi destinado para a realização do projeto elétrico do circuito do LNA evidenciando a topologia utilizada, o desenvolvimento dos cálculos para dimensionamento dos seus componentes e do seu circuito de polarização.

O Capítulo 5 mostra o projeto elétrico do *mixer*. Ele apresenta a topologia utilizada, o desenvolvimento dos cálculos para dimensionamento dos seus componentes e do seu circuito de polarização.

No Capítulo 6 é realizado o refinamento dos componentes dos dois circuitos e então apresentado o resultado final das simulações dos circuitos projetados. Também trás uma análise de cada uma das figuras de mérito simuladas.

O Capítulo 7 é realizado uma síntese de tudo o que foi discutido nessa dissertação e é apresentado propostas para a continuidade do projeto.

O Capítulo 8 mostra as referências bibliográficas que foram utilizadas no desenvolvimento deste trabalho.

2 REVISÃO BIBLIOGRÁFICA

2.1 TRANSECTOR DE RF

Transceptor de RF é um único dispositivo que pode transmitir e receber uma informação em rádio frequência. Um transceptor pode ser *half-duplex* ou *full-duplex*. O primeiro ocorre quando o transceptor ou só recebe ou só transmite dados. Já o *full-duplex* ocorre quando o transceptor pode transmitir e receber informações ao mesmo tempo. A Figura 2-1 mostra a concepção de um transceptor genérico de rádio frequência.

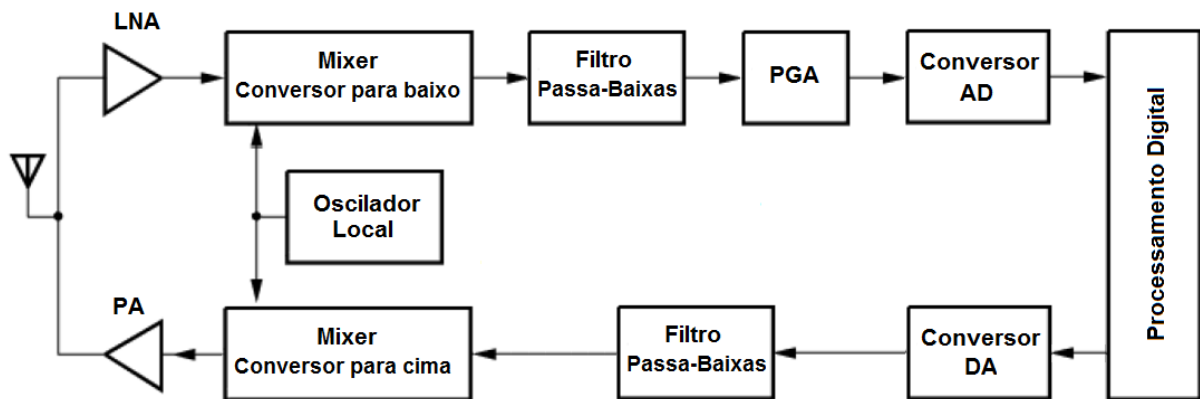


Figura 2-1 Diagrama de blocos de um transceptor de RF.

O bloco receptor é formado pela antena de recepção do sinal em rádio frequência, o amplificador de baixo ruído (LNA), oscilador, *mixer* – conversor para baixo, filtro passa-baixas, amplificador de ganho programável (PGA) e pelo conversor analógico-digital (AD), parte superior da Figura 2-1. Após a captação do sinal de RF pela antena, o sinal segue para o amplificador de baixo ruído a fim de amplificar o sinal recebido e então facilitar as análises e tratamentos seguintes. Em seguida o sinal vai para o *mixer* que fará a multiplicação de cossenos (entre o sinal de entrada e o sinal do oscilador) e, com isso, fará uma conversão para baixo, isto é, ele vai a diminuir a frequência de oscilação do sinal recebido. Isso facilita a amplificação e demodulação do sinal, além de dar uma maior imunidade ao circuito às capacitâncias e indutâncias parasitas. Em seguida o sinal passa pelo filtro passa baixas para selecionar a nova frequência de trabalho e também para eliminar sinais espúrios e harmônicos

gerados após o *mixer*. Assim, o sinal é novamente amplificado pelo PGA e depois convertido para um sinal digital a fim de realizar seu processamento.

O bloco transmissor é formado pelo conversor digital-analógico (DA), filtro passa-baixas, oscilador, *mixer* – conversor para cima, amplificador de potência (PA) e pela a antena de transmissão, parte inferior da Figura 2-1. O processo na transmissão é basicamente o inverso ao do receptor. Assim, o sinal sai do processamento digital e é convertido novamente para um sinal analógico e depois é enviado para o filtro passa-baixas, que tem a mesma função do filtro presente no receptor e assim ele segue para a entrada do *mixer*. Este bloco fará novamente a multiplicação dos cossenos (entre o sinal advindo do filtro e o sinal do oscilador) a fim de elevar a frequência de oscilação (conversão para cima) do sinal de entrada e então ser amplificado no PA, para obter a potência em níveis suficientes para que a transmissão ocorra com um bom rendimento energético, e posteriormente ser transmitida pela antena.

2.2 AMPLIFICADORES DE BAIXO RUÍDO – LNA

O amplificador de baixo ruído (LNA – sigla em inglês) é o primeiro dispositivo eletrônico presente no receptor após a captação do sinal de rádio frequência (RF) pela antena. Sua função é amplificar o sinal recebido de forma a evitar que quaisquer ruídos inerentes dos circuitos posteriores alterem o conteúdo da mensagem recebida introduzindo o menor ruído possível ao sinal de entrada durante essa amplificação. Para isso, ele deve ser projetado para introduzir uma baixa figura de ruído (NF).

A escolha do ganho do LNA deve ser realizada levando em consideração a relação existente entre a figura de ruído e a linearidade do receptor: quanto menor for o ganho proporcionado pelo LNA, maior será a linearidade dos estágios subsequentes do receptor (RAZAVI, 2011). Isso nos diz que se for preciso aumentar o ganho do amplificador estaremos reduzindo a linearidade do receptor de rádio frequência.

A antena receptora de RF é projetada para ter uma impedância de saída padrão de 50 Ω . Assim, o estágio LNA deve fazer um casamento correto de impedância com a antena de RF a fim de evitar alguma significativa reflexão ou perda de sinais devido a um casamento de impedância mal feito. Dessa forma, a impedância de entrada do LNA deve ser projetada para

ter uma impedância resistiva de entrada de 50Ω . Essa restrição de projeto é fator limitante na escolha da topologia a ser adotada.

2.2.1 TOPOLOGIAS

Cada componente eletrônico é responsável por uma inserção de ruído no sistema, isso é inerente de cada componente. Assim, para obtermos uma baixa figura de ruído do LNA, uma solução simples e lógica seria a escolha de circuitos mais simples para implementar o amplificador de baixo ruído, pois, dessa forma, a quantidade de ruído total inserida no sinal de entrada seria reduzida. Assim, o projeto do LNA será baseado na topologia de amplificadores inversores de um estágio. Estes podem ser classificadas como porta comum, dreno comum ou fonte comum, veja a Figura 2-2.

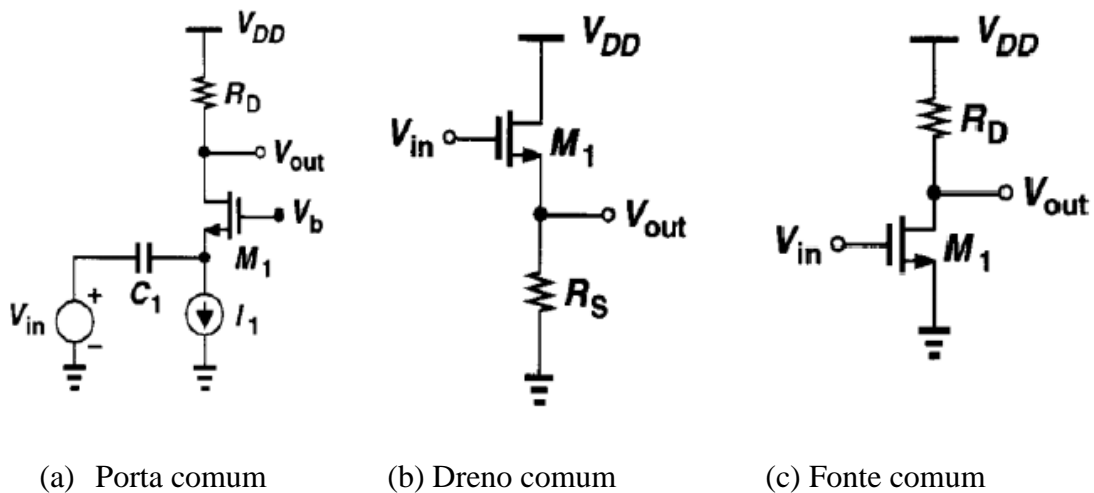


Figura 2-2 Topologias de amplificadores inversores de um estágio (SOARES, 2008).

A primeira topologia, porta comum, é caracterizada por possuir certa facilidade em ajustar a impedância de entrada para baixos valores resistivos possibilitando, assim, um bom casamento de impedância com a saída da antena receptora, que é de 50Ω . Porém, o ajuste dessa impedância, por ser resistiva, aumenta a figura de ruído do sistema, que deve ser bem pequena de forma a aumentar a relação sinal/ruído do sinal recebido, e então evitar que os ruídos dos circuitos subsequentes não comprometam a informação contida no sinal.

A topologia dreno comum fornece altos valores de corrente na saída, entretanto, o maior ganho que essa topologia pode fornecer é o ganho unitário, inviabilizando totalmente seu uso no projeto do LNA.

O amplificador fonte comum, Figura 2-2(c), é capaz de ajustar uma baixa impedância de entrada – puramente capacitiva – com um alto ganho de tensão em sua saída. Devido ao fato da impedância de entrada ser capacitiva, ela apresenta uma impedância que não é real, sendo assim, é preciso modificar o circuito de forma a obter uma impedância resistiva (real) de 50Ω para realizar o casamento com a saída da antena receptora.

Para tanto, pode-se acrescentar uma degeneração indutiva ao amplificador fonte comum, pois, desta forma, aparece uma componente real na impedância de entrada. Entretanto, a componente imaginária introduzida pela natureza capacitiva ainda estará presente na entrada, assim, uma solução simples seria acrescentar um indutor em série para retirar essa componente reativa e realizar o casamento ideal do LNA com a antena.

O circuito sugerido até agora não leva em consideração a realimentação (indesejada) causada pelas capacitâncias parasitas do transistor MOS, conhecido como efeito Miller. Para solucionar esses problemas, pode-se acrescentar um transistor empilhado ao transistor de entrada e, assim, formar um novo amplificador conhecido como *cascade*. Com isso, é possível obter um maior ganho e uma maior estabilidade para o circuito além de eliminar o efeito Miller.

Por fim, considerando que a carga do LNA no receptor de RF é realizada pelo *mixer*, que também possui uma impedância de entrada capacitiva, pode-se acrescentar uma carga indutiva a fim de garantir uma ressonância entre esses dois estágios e, com isso, alcançar altos ganhos de tensão e promover uma filtragem passa-faixas do sinal.

Sendo assim, o circuito proposto para a implementação até agora do amplificador de baixo ruído fica como aquele mostrado na Figura 2-3.

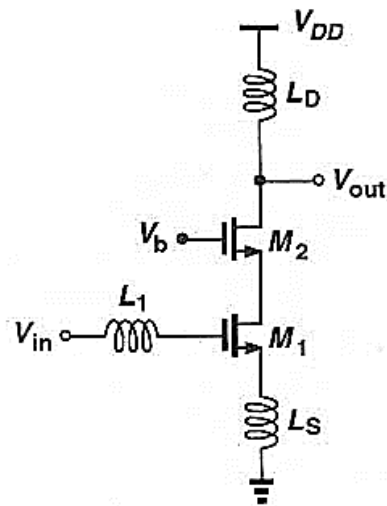


Figura 2-3 Topologia para implementação do LNA.

2.3 MISTURADOR DE FREQUENCIAS – MIXER

A função do misturador de frequências (*mixer*) é fazer a translação da frequência do sinal de entrada para uma nova frequência através da multiplicação dos seus sinais de entrada (RAZAVI, 2011). Na Figura 2-4, é possível verificar que este dispositivo possui três terminais, sendo dois de entrada e um de saída, e que está localizado tanto na etapa de recepção como na de transmissão do sinal de rádio frequência.

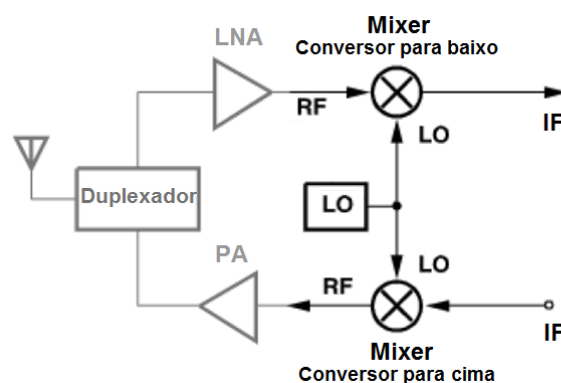


Figura 2-4 Papel do *mixer* num transceptor de RF genérico.

Na etapa recepção, o *mixer* conversor para baixo recebe tanto o sinal de rádio frequência, pela entrada RF, quanto o sinal do oscilador local – LO, e produz uma saída IF com uma frequência menor que a frequência do sinal recebido. Similarmente, na etapa de

transmissão o *mixer* conversor para cima receberá o sinal tanto do oscilador local quanto o sinal enviado após o processamento digital e produzirá uma saída RF com uma frequência maior que a frequência de tratamento para, assim, ser transmitida na banda de frequência regulamentada, que no caso deste projeto é de 2,4 GHz. A frequência IF presente no *mixer* produz uma frequência dita intermediária que é um parâmetro crítico de projeto e tem impacto diretamente na escolha da topologia do receptor e do *mixer*. Ela é responsável por *trade-offs* em alguns aspectos de desempenho (RAZAVI, 2011).

A translação de frequências é realizada através da multiplicação de dois sinais e é verificado matematicamente através da relação trigonométrica da Equação (1).

$$A \cos(\omega_1 t) \cdot B \cos(\omega_2 t) = \frac{AB}{2} [\cos(\omega_1 - \omega_2)t + \cos(\omega_1 + \omega_2)t] \quad (1)$$

A multiplicação dos sinais de entrada resulta em um sinal de saída que representa a soma e a diferença das frequências de entrada e que possui amplitude proporcional ao produto das amplitudes de RF e LO (LEE, 2004). Sabe-se que todo sistema linear e invariante no tempo possui, na saída, um sinal que tem a mesma frequência do sinal de entrada. Analisando a Equação (1), verifica-se que o misturador de frequências apresenta componentes diferentes da frequência de entrada em sua saída. Assim, esse comportamento faz dele um dispositivo não-linear por natureza (DEVOTI, 2010).

Na prática, o *mixer* pode ser realizado fazendo um simples chaveamento controlado pelo oscilador local LO. Isto porque as trocas repentinas de posições podem ser vistas como uma multiplicação sinal de entrada RF por uma onda quadrada que fica variando entre 0 e 1, mesmo que o sinal do LO seja uma senoide (RAZAVI, 2011), como será explicado na seção 2.3.2.3.

2.3.1 CONCEITOS TEÓRICOS

A fim de entender e comparar o desempenho do dispositivo não-linear *mixer*, deve-se caracterizá-lo por alguns parâmetros de desempenho, são eles: figura de ruído, ganho de conversão, linearidade e isolamento.

2.3.1.1 FIGURA DE RUÍDO

A figura de ruído (NF) estabelece uma proporção entre a relação sinal-ruído (SNR) da entrada com o SNR da saída do dispositivo. Ela indica o quanto o sinal foi degradado ao passar pelo sistema.

No *mixer*, ocorre uma translação de ruído para sua saída que são oriundas de duas frequências: do sinal RF e de sua frequência imagem. Essas duas frequências são frequentemente referenciadas como *sidebands* (LEE, 2004). Quando o sinal na saída do *mixer* possui informação útil em apenas uma banda do sinal, caso comum em receptores heterodinos, a figura de ruído é considerada *single-sideband* – SSB NF, Figura 2-5. Quando existe informação útil tanto na banda inferior quanto na banda superior (caso da modulação em amplitude), o sinal terá sua banda superior e inferior sobreposta e, assim, não haverá a soma de ruído adicional de outra banda. Esta figura de ruído é conhecida como *double-sideband* – DSB NF (DEVOTI, 2010), Figura 2-6.

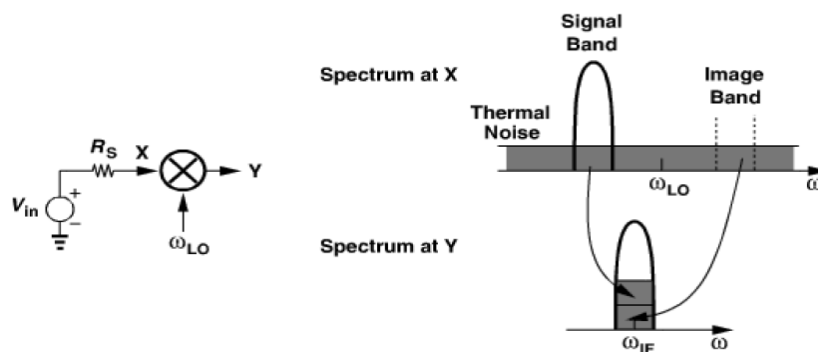


Figura 2-5 Single-Sideband Noise Figure (RAZAVI, 2011).

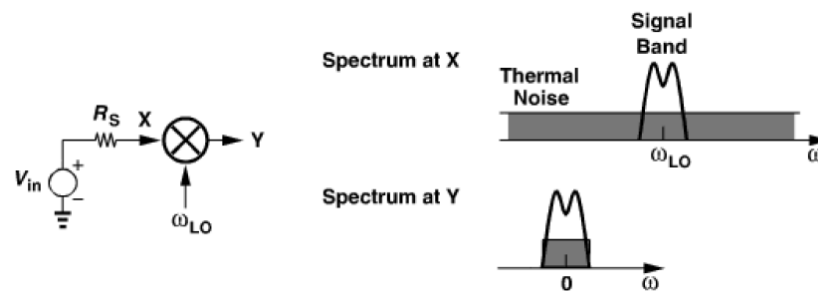


Figura 2-6 Double-Sideband Noise Figure (RAZAVI, 2011).

A figura de ruído de um sinal SSB é, geralmente, 3 dB superior à figura de ruído de um sinal DSB se a banda e a imagem do sinal tiverem ganhos iguais na entrada RF do *mixer* (RAZAVI, 2011).

2.3.1.2 GANHO DE CONVERSÃO

O ganho de conversão é definido como a razão da saída IF desejada pelo valor de entrada RF. Por exemplo, analisando a Equação (1) temos que o ganho será dado pela Equação (2).

$$A_v = \frac{\frac{AB}{2}}{A} = \frac{B}{2} \quad (2)$$

Desta forma, o ganho de conversão é dado pela amplitude do sinal de saída $\frac{AB}{2}$ dividido pela amplitude do sinal de entrada A . O resultado é um ganho que é a metade da amplitude do oscilador local LO, para este exemplo.

O ganho de conversão também pode ser dado em termos de potência, que seria a razão da potência do sinal de saída com a potência do sinal de entrada. Contudo, em projetos modernos de rádio frequência é preferível empregar medidas em tensão porque as impedâncias de entrada são geralmente imaginárias, fazendo com que o uso de medidas em potência se torne mais difíceis e desnecessárias (RAZAVI, 2011).

2.3.1.3 LINEARIDADE

Um sistema é dito linear se sua saída pode ser expressa como uma combinação linear (superposição) das respostas individuais de suas entradas. Assim, se as respostas às entradas $x_1(t)$ e $x_2(t)$ forem $f(x_1(t))$ e $f(x_2(t))$, respectivamente, então a saída do sistema será dada pela Equação (3) (RAZAVI, 2011).

$$a.f(x_1(t)) + b.f(x_2(t)) = f(ax_1(t) + bx_2(t)) \quad (3)$$

Onde a e b são constantes arbitrárias.

Já para um sistema não-linear, como o misturador de frequências, a resposta à entrada $x(t)$ poderá ser aproximada pelo polinômio descrito da Equação (4).

$$y(t) = \alpha_0 + \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) + \dots \quad (4)$$

Onde α_j é uma função do tempo caso o sistema seja variável no tempo.

Sendo assim, se aplicamos uma senóide na entrada de um sistema não-linear, como por exemplo $x(t) = A \cos(\omega t)$, basta substituir essa entrada na Equação (4) para obter a resposta do sistema. A fim de simplificar as equações, foram omitidos os termos superiores ou iguais ao de quarta ordem.

$$y(t) = \alpha_1 A \cos(\omega t) + \alpha_2 A^2 \cos^2(\omega t) + \alpha_3 A^3 \cos^3(\omega t) + \dots \quad (5)$$

$$y(t) = \alpha_1 A \cos(\omega t) + \frac{\alpha_2 A^2}{2} (1 + \cos(2\omega t)) + \frac{\alpha_3 A^3}{4} (3 \cos(\omega t) + \cos(3\omega t)) \quad (6)$$

$$y(t) = \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(\omega t) + \frac{\alpha_2 A^2}{2} \cos(2\omega t) + \frac{3\alpha_3 A^3}{4} \cos(3\omega t) \quad (7)$$

Observa-se na Equação (7) que a amplitude da componente da frequência fundamental é proporcional a α_3 e ao cubo da amplitude do sinal de entrada. Desta forma, se α_3 for negativo e a amplitude do sinal de entrada aumentar, temos que a magnitude do sinal de saída do dispositivo começará a decrescer. Essa degradação é conhecida como distorção harmônica. Assim, se continuar aumentando a amplitude de entrada, chegará ao ponto em que a magnitude da frequência fundamental da resposta do sistema não-linear terá uma diminuição de 1 dB em relação ao ganho linear esperado. Este ponto é um ponto conhecido como Ponto de Compressão de 1 dB (CP1dB) e funciona como um indicador da linearidade do sistema. A Figura 2-7 indica este ponto plotado em escala logarítmica.

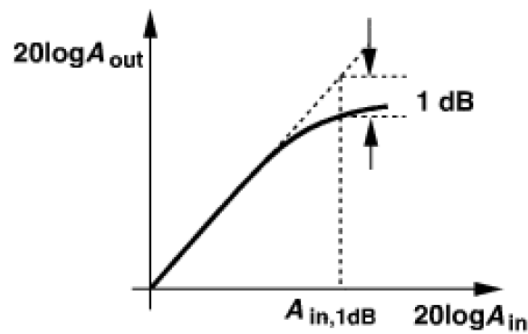


Figura 2-7. Ponto de compressão de 1 dB (RAZAVI, 2011).

O Ponto de Compressão de 1 dB também pode ser obtido matematicamente através da Equação (8).

$$A_{CP1dB} = \sqrt{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (8)$$

Quando aplicamos na entrada do sistema não-linear dois sinais com amplitudes diferentes, haverá na saída deste sistema componentes que não são harmônicos das entradas. Este fenômeno é denominado intermodulação (IM). Assim, quando é aplicado um sinal $x(t) = A \cos(\omega_1 t) + B \cos(\omega_2 t)$ na Equação (4), obtém-se o espectro resultante mostrado na Figura 2-8.

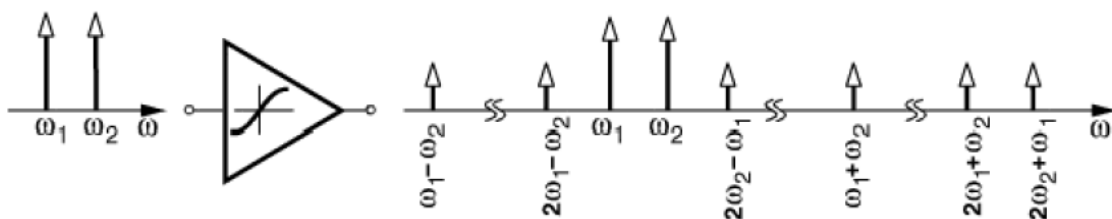


Figura 2-8 Geração de vários componentes de intermodulação para uma entrada com dois tons (RAZAVI, 2011).

Entre os componentes de intermodulação da Figura 2-8, o produto de intermodulação de terceira ordem nas frequências $2\omega_1 - \omega_2$ e $2\omega_2 - \omega_1$ é de interesse particular. Isso porque, se a frequência ω_1 e ω_2 forem muito próximas, então $2\omega_1 - \omega_2$ e $2\omega_2 - \omega_1$ aparecem nas vizinhanças de ω_1 e ω_2 e isso pode corromper o sinal recebido. Para ficar mais

claro, vamos exemplificar essa intermodulação utilizando o amplificador de baixo ruído LNA, componente presente antes do misturador de frequências num receptor de RF. Assim, suponha que a antena receba um pequeno sinal em ω_0 e que juntamente com este sinal venha dois ruídos em ω_1 e ω_2 . Suponha também que as frequências dos ruídos satisfaçam a relação $2\omega_1 - \omega_2 = \omega_0$. Conseqüentemente, o produto de intermodulação em $2\omega_1 - \omega_2$ cai dentro do canal que possui a informação sendo transmitida e com isso o sinal acaba sendo corrompido, veja Figura 2-9.

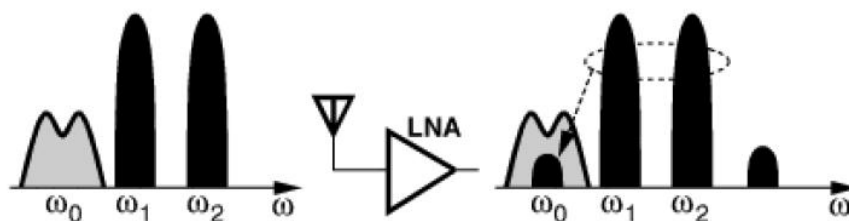


Figura 2-9 Interferência causada pela intermodulação de terceira ordem (RAZAVI, 2011).

Existe um método prático para captura da intermodulação num circuito sem a necessidade de saber os níveis de entrada em que o teste dos dois tons, Figura 2-8, é realizado. Ele é conhecido como Ponto de Interceptação de Terceira Ordem (IP3) e é geralmente disposto em forma gráfica onde o eixo vertical indica a amplitude do sinal de saída e o eixo horizontal representa a amplitude do sinal de entrada, Figura 2-10. O IP3 é uma figura de mérito que informa o quanto a intermodulação se torna significativa e degrada o sinal do sistema.

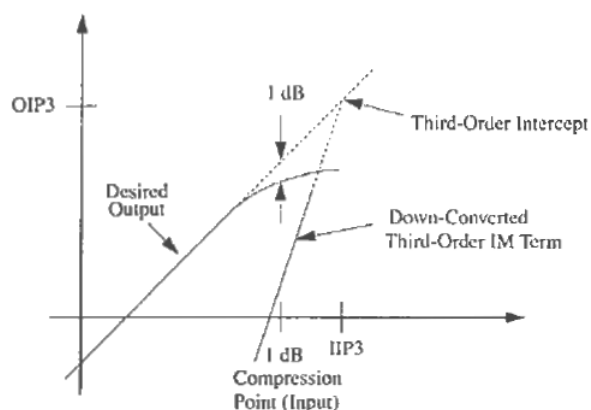


Figura 2-10 Ponto de Interceptação de Terceira Ordem (LEE, 2004).

2.3.1.4 ISOLAMENTO ENTRE TERMINAIS

O isolamento entre os terminais de um sistema é um importante parâmetro do desempenho do *mixer*. Isso porque não é desejado que exista alguma interação entre os terminais RF, LO e IF do *mixer*, pois isso poderia causar problemas nos estágios seguintes do transceptor e também na linearidade do dispositivo.

O isolamento entre uma porta A (com um sinal na frequência f_A) e uma outra porta B (com um sinal na frequência f_B) pode ser descrito matematicamente pela Equação (9) (FERREIRA, 2006).

$$Isolamento_{A-B}(dB) = 10 \log_{10} \left(\frac{P_{A|porta_B}}{P_{A|porta_A}} \right) \quad (9)$$

Onde $P_{A|porta_B}$ representa a potencia de um sinal gerado na porta A presente na porta B. Quanto menor o valor de isolamento encontrado, melhor será a isolação dos terminais. Utilizando a mesma idéia presente na Equação (9), pode-se definir os isolamento mais importantes em um circuito misturador, os quais são apresentados na Figura 2-11.

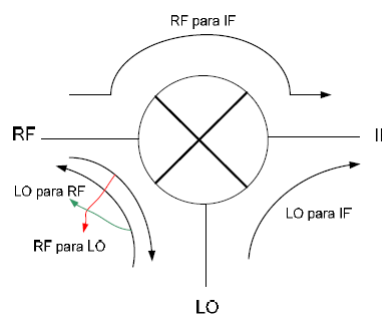


Figura 2-11 Isolação dos terminais do *mixer* (FERREIRA, 2006).

2.3.2 TOPOLOGIAS

Os misturadores de frequência podem ser classificados como ativos, quando o sinal na saída apresenta um ganho com relação ao sinal de entrada, ou passivos, quando ocorre apenas a translação de frequência sem que nenhum ganho seja dado ao sinal. Outra forma de

classificação dos misturadores pode ser dada quanto as suas entradas e saídas, veja a Figura 2-12 (MOREIRA, 2009).

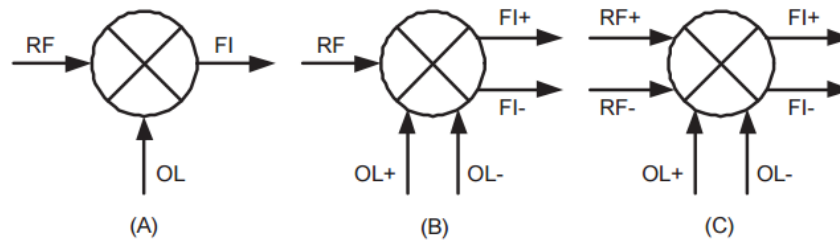


Figura 2-12 (A) Misturador desbalanceado, apresenta entradas e saídas simples, (B) Misturador de balanceamento simples, apresenta uma entrada simples, outra diferencial e saída diferencial e (C) Misturador de balanceamento duplo, totalmente diferencial (MOREIRA, 2009).

2.3.2.1 MISTURADOR DESBALANCEADO

O misturador desbalanceado trabalha com entradas e saídas não diferenciais e possui uma arquitetura simples, usa um componente para executar a multiplicação de sinais (diodo ou transistor), Figura 2-13. Essa topologia é caracterizada por possuir um baixo consumo de energia e pela capacidade de atuar em bandas de frequências mais altas, na faixa de 30-40 GHz (MOREIRA, 2009).

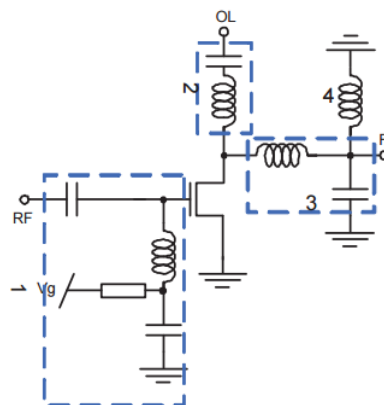


Figura 2-13 Misturador passivo (MOREIRA, 2009).

2.3.2.2 MISTURADOR BALANCEADO SIMPLES

Esta topologia é caracterizada por possuir uma entrada balanceada, outra não balanceada e uma saída diferencial. Esses misturadores podem ser passivos e ativos. Misturadores passivos possuem um pequeno ganho de conversão em tensão e baixo consumo de potência, Figura 2-14. Já os misturadores ativos possuem um número reduzido de transistores e sua topologia é organizada em dois estágios: o estágio de transcondutância (M1) e o estágio de chaveamento (M2 e M3), Figura 2-15.

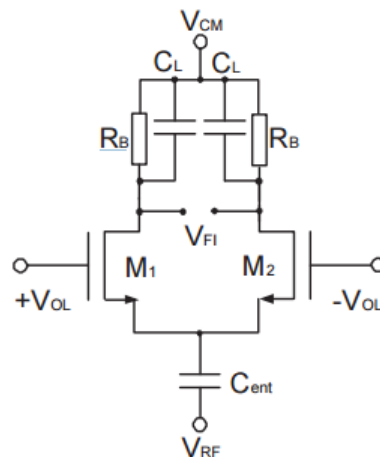


Figura 2-14 Topologia de um misturador passivo de balanceamento simples (MOREIRA, 2009).

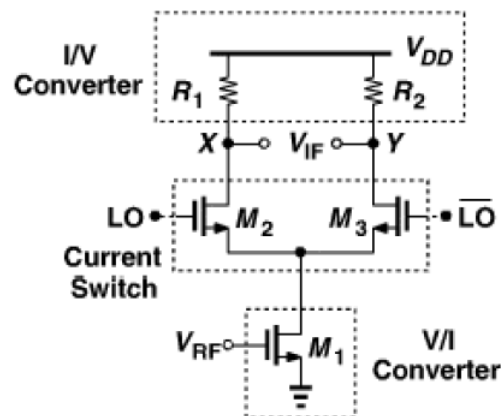


Figura 2-15. Misturador ativo de balanceamento simples (RAZAVI, 2011).

Este tipo de topologia apresenta uma melhor figura de ruído, menor consumo de potência e exige menos potência de entrada LO (DEVOTI, 2010).

2.3.2.3 MISTURADOR BALANCEADO DUPLO

O misturador ativo de balanceamento duplo apresenta entradas e saídas balanceadas e é a topologia escolhida para desenvolvimento deste trabalho. Conhecida também como a Célula de Gilbert, Figura 2-16, esta topologia apresenta uma maior linearidade e isolamento entre as portas além de eliminar mais sinais espúrios, contudo, essas vantagens vêm ao custo de um maior consumo de potência e de área física.

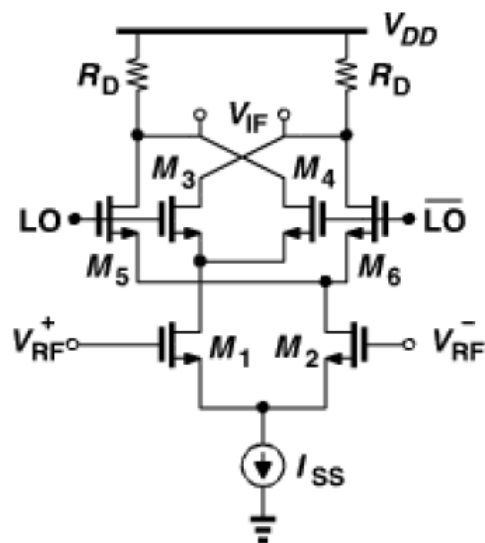


Figura 2-16. Célula de Gilbert (RAZAVI, 2011).

A Célula de Gilbert pode ser dividida em três estágios: estágio de transcondutância, estágio de chaveamento e estágio de carga.

O estágio de transcondutância, formado pelos transistores M_1 e M_2 , faz a transformação do sinal de tensão, enviado na saída do LNA, em um sinal de corrente. Este é o estágio mais importante do *mixer* já que o ganho do circuito é proporcional a sua transcondutância além de ser o principal responsável pela linearidade.

O estágio de chaveamento é responsável pela execução da multiplicação dos sinais de entrada. Para isso, ele faz o controle dos transistores M_3 , M_4 , M_5 e M_6 através do oscilador local LO permitindo ou não a passagem de corrente. Este estágio é responsável pela mudança de frequência do sinal recebido e deve realizar um chaveamento o mais perfeito possível de forma a evitar que transistores simétricos conduzam simultaneamente e acabem degradando a figura de ruído e a linearidade do circuito. Quando estes transistores estão em saturação, esta

topologia funciona como um amplificador *cascode*, o que possibilita obter um ganho maior para o circuito (DEVOTI, 2010).

E, por fim, o estágio de carga faz a transformação de corrente para tensão através dos resistores R_D e assim ser enviado para o estágio seguinte do transceptor. Este estágio influencia principalmente o ganho de conversão misturador, mas também pode ser responsável por uma figura de ruído indesejada. No decorrer do projeto este estágio de carga pode sofrer uma modificação e ser melhorado utilizando uma carga ativa no lugar desses resistores.

Para realizar o deslocamento de frequência, a Célula de Gilbert realiza uma mudança constante no sentido da corrente que passa pelo resistor de saída em uma velocidade que é definida pela frequência do oscilador local. A Figura 2-17 apresenta o caminho de dois sentidos de correntes que circulam no misturador. Observe que essa figura não indica o sentido real que a corrente percorre no circuito, ela é meramente ilustrativa e que tem por objetivo facilitar o entendimento de como é realizado essa mudança de frequência.

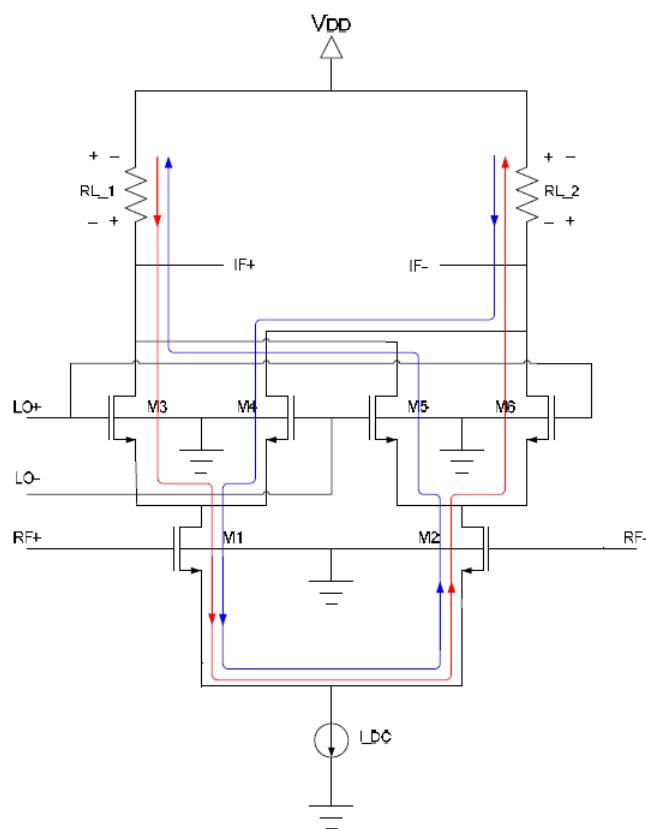


Figura 2-17 Análise da tensão de saída IF na Célula de Gilbert (FERREIRA, 2006).

Assim, quando a LO+ é maior que LO-, os transistores M_4 e M_5 estão desligados e os transistores M_3 e M_6 conduzem a corrente indicada em vermelho através do circuito. Já quando LO- > LO+, os dispositivos M_3 e M_6 são desligados e os transistores M_4 e M_5 conduzem a corrente em azul pelo circuito. Assim, a tensão nos pontos IF+ e IF- estão sempre sendo invertidas numa frequência f_{LO} devido a essas constantes variações do sentido de corrente.

Vamos considerar que a tensão diferencial de entrada do *mixer* seja V_{RF} e que a sua tensão de saída diferencial seja igual a V_{IF} . Sabe-se que o ganho de um amplificador *common-source* é dado pela Equação (10). Então, se considerarmos um sinal de entrada $V_{in} = V_{RF} \cdot \text{sen}(\omega_{RF}t)$ a tensão diferencial de saída do circuito será dada pela Equação (11).

$$\frac{V_{out}}{V_{in}} = -gm \cdot R_{out} \quad (10)$$

$$V_{IF} = -gm \cdot R_{out} \cdot V_{RF} \cdot \text{sen}(\omega_{RF}t) \quad (11)$$

Contudo, a inversão da tensão de saída – hora positiva, hora negativa – produzida pelo oscilador local, evidencia um comportamento que é equivalente a realização de uma multiplicação do sinal amplificado por uma onda quadrada com amplitudes iguais a +1 e -1. Sendo assim, podemos multiplicar o sinal obtido na Equação (11) pela série de Fourier da onda quadrada para obter a tensão diferencial de saída e a consequente verificação do deslocamento de frequência realizado pelo *mixer*, Equação (12).

$$V_{IF} = gm \cdot R_{out} \cdot V_{RF} \cdot \text{sen}(\omega_{RF}t) \times \frac{4}{\pi} \left[\cos(\omega_{LO}t) + \frac{1}{3} \cos(3\omega_{RF}t) + \dots \right] \quad (12)$$

Os produtos do seno pelos cossenos da Equação (12) podem ser suprimidos utilizando a identidade trigonométrica da Equação (13).

$$\text{sen}(a) \cos(b) = \frac{1}{2} [\text{sen}(a - b) + \text{sen}(a + b)] \quad (13)$$

Sendo assim, os sinais que estão em altas frequências podem ser filtradas por um filtro passa-baixa e então é possível obter a equação do sinal de saída para um *mixer* conversor para baixo, por exemplo, Equação (14).

$$V_{IF} = \frac{2}{\pi} V_{RF} \cdot gm \cdot R_{out} \cdot \text{sen}[(\omega_{RF} - \omega_{LO})t] \quad (14)$$

Observe a translação do sinal recebido para uma nova frequência $\omega_{RF} - \omega_{LO}$.

2.4 METODOLOGIA DE PROJETO

A metodologia de projeto evidencia um conjunto de etapas que devem ser seguidas para realizar o desenvolvimento de projeto de forma a sistematizar e otimizar o fluxo de projeto contribuindo para uma menor incidência de erros. A seguir serão apresentadas duas das principais metodologias utilizadas no processo projeto: a *Bottom-Up* e a *Top-Down*.

2.4.1 BOTTOM-UP

Segundo Kundert (2004), a metodologia de projeto *Bottom-Up* se dá a partir do projeto individual dos vários blocos constituintes de um sistema que, em seguida, serão combinados para formar um sistema final. O projeto dos blocos é iniciado através de um conjunto de especificações e termina com a implementação em nível de transistores. O desempenho de cada bloco é verificado individualmente de forma a atender as especificações específicas para este bloco, mas não é verificado no contexto do sistema como um todo. Uma vez verificado o desempenho de cada um, é feita a junção dos blocos constituintes do sistema e assim é verificado o desempenho do sistema geral, já em nível de transistores.

Atualmente, essa metodologia é a mais difundida entre os engenheiros projetistas e é efetiva em pequenos projetos eletrônicos. Mas quando ela é trabalhada em grandes projetos, essa metodologia de trabalho expõe vários problemas importantes: alto tempo de simulação e verificação do projeto; grande impacto na performance, custos e funcionalidade do sistema; alto custo para reparar qualquer erro encontrado na etapa de verificação, já que isso envolve o reprojeção dos blocos constituintes; e uma comunicação deficiente entre projetistas que

possibilita um entendimento equivocado das especificações ou dos processos, o que pode acarretar em erros no projeto final que obrigará o redesenho dos blocos individuais e, conseqüentemente, do projeto inteiro (KUNDERT, 2004).

2.4.2 TOP-DOWN

A metodologia *Top-Down* é mais apropriada para o projeto de sistemas maiores e mais complexos e será utilizada no desenvolvimento deste projeto. A premissa básica dessa metodologia é projetar e verificar o sistema em um nível mais abstrato, ou em diagramas de blocos, antes de iniciar o projeto dos blocos individuais. Desta forma, a arquitetura de trabalho escolhida é definida como um diagrama de blocos e então simulada e otimizada utilizando um simulador. A partir da simulação de alto nível, obtém-se as especificações dos blocos individuais e, com isso, os circuitos destes pequenos blocos constituintes do sistema final poderão ser projetados de forma a atender à essas especificações. Por fim, o sistema criado é verificado e então comparado com as especificações iniciais de projeto (KUNDERT, 2004).

Essa metodologia utiliza um processo metódico que sempre parte da escolha da arquitetura do sistema para depois seguir para o desenvolvimento do projeto em nível de transistores. Cada nível é inteiramente projetado antes de seguir para o próximo, e cada nível posterior é totalmente influenciado pelo nível de projeto anterior. Desta forma, é possível dividir o projeto em partes menores e bem definidas e permitir que mais projetistas trabalhem juntos de forma produtiva e, com isso, reduzir o tempo total necessário para completar o projeto. Além disso, a metodologia *Top-Down* formaliza e melhora a comunicação entre projetistas e contribui na redução de falhas devido a problemas de comunicação.

Com essa metodologia também é possível reduzir o impacto das mudanças necessárias no ciclo de projeto a fim de atender os requisitos do sistema. Assim, os blocos individuais implementados podem sofrer atualizações e o impacto delas no sistema final poderá ser rapidamente verificado.

Para obter um projeto *Top-Down* eficiente, deve-se seguir um conjunto de princípios básicos da metodologia.

1. Fazer uma representação compartilhada de projeto durante todo o desenvolvimento do projeto. Isso permite a simulação do sistema por todos os projetistas ao qual todos os tipos de descrições, seja ela comportamental, de circuito ou de *layout*, possam ser co-simuladas.
2. Fazer a verificação do projeto a cada mudança executada. Cada bloco do sistema é verificado no contexto geral do projeto.
3. Fazer o planejamento das verificações que serão realizadas no sistema com o intuito de identificar possíveis falhas e reduzir os riscos de projeto.
4. Começar com um nível de abstração mais alto e somente depois realizar um refinamento dos modelos à medida que o projeto for sendo desenvolvido.
5. Fazer a especificação dos requisitos do sistema através de modelos executáveis e *scripts* a fim formalizar a comunicação entre os projetistas e evitar possíveis falhas de projeto devido problemas de comunicação.

2.5 LINGUAGEM DE DESCRIÇÃO DE HARDWARE

A linguagem de descrição de *hardware* (HDL, sigla em inglês) é uma forma simples de descrever *hardwares* e verificar seu funcionamento sem a necessidade de criar um circuito eletrônico físico. Os circuitos eletrônicos são formados pela combinação de vários componentes eletrônicos individuais que operam de forma simultânea na formação de um sistema. Assim, para fazer a correta descrição de hardware deste sistema é necessário descrever tanto os componentes individuais como as suas interligações.

As HDLs possuem duas aplicações primárias: na simulação e na síntese. Na simulação, é possível aplicar vários estímulos ao modelo executável descrito pela HDL a fim de prever suas respostas. A simulação permite ao projetista entender a complexidade do comportamento do sistema antes de investir tempo e dinheiro na implementação de projetos físicos. A síntese é o processo de implementação do hardware propriamente dito. Assim, pode-se dizer que a síntese é o ato de criar uma nova descrição, mais refinada, com comportamento equivalente das entradas e nas saídas utilizando os modelos de componentes eletrônicos individuais que estarão presentes na implementação física do sistema. Nessa etapa são realizadas várias transformações entre níveis de especificação do sistema até a realização física deste, incluindo detalhes estruturais. Essas duas aplicações são amplamente utilizadas,

pois a simulação em HDL é capaz de descrever facilmente uma variedade enorme de comportamentos e com a síntese é verificado a possibilidade de realização do projeto físico (KUNDERT, 2004).

Existem vários tipos de sinais que a eletrônica trabalha: sinais digitais, sinais analógicos e sinais mistos. No caso de sinais digitais, foram criadas linguagens de descrição de hardware que descreviam sinais discretos e finitos no tempo e, com isso, possibilitou uma rápida evolução no projeto de circuitos digitais. As duas HDLs mais utilizadas por esses projetistas são o VHDL e o Verilog. Seguindo a mesma linha de evolução dos projetos digitais, foi desenvolvido meios de modelar sinais contínuos no tempo e assim suprir as necessidades de projetos da eletrônica analógica, dessa forma, surgiu o VHDL-A e o Verilog-A. Por fim, criou-se HDLs que possibilitaram a modelagem de sistemas constituídos tanto por partes digitais quanto por partes analógicas: o VHDL-AMS e o Verilog-AMS. Neste trabalho, os projetos serão modelados utilizando o Verilog-AMS.

2.5.1 VERILOG-AMS

O Verilog-AMS (*VERifying LOGic Analogic and Mixed Signal*) é uma linguagem de descrição de hardware que modela sistemas de sinais mistos e surgiu a partir da fusão do Verilog-HDL com o Verilog-A, Figura 2-18. É uma ferramenta que oferece meios de especificar sistemas eletrônicos em vários níveis de abstração e possibilita a escrita de modelos comportamentais de blocos mistos além de possuir uma forte capacidade de simulação analógica orientada a eventos, o que permite obter uma boa capacidade e velocidade de desenvolvimento no projeto de sinais mistos (KUNDERT, 2004). É uma linguagem simples e padronizada, disponível em um único simulador, e que pode ser compartilhada entre projetistas de circuitos digitais e de circuitos analógicos.

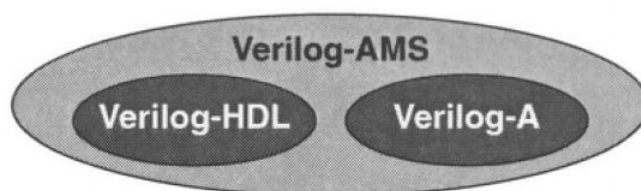


Figura 2-18 Relação entre Verilog-AMS, Verilog-HDL e Verilog-A (KUNDERT, 2004).

2.5.1.1 CARACTERÍSTICAS DA LINGUAGEM

Essa HDL é baseada na linguagem C de programação e se torna bastante útil no desenvolvimento de projetos complexos e baseados na metodologia *Top-Down*. Além disso, o Verilog-AMS é caracterizado por sua capacidade de modelar componentes eletrônicos, de criar *test-benches*, por acelerar a simulação e pela facilidade de verificação de sistemas (KUNDERT, 2004).

Ao contrário dos simuladores de circuitos tradicionais como o *SPICE* que oferece um número limitado de modelos de componentes e que são relativamente lentos durante a execução, a modelagem de componentes eletrônicos do Verilog-AMS permite ao projetista acrescentar novos modelos sem grandes limitações possibilitando a modelagem de componentes mais complexos. Assim, ele é capaz de descrever componentes eletrônicos básicos (como resistores, capacitores, indutores), semicondutores (transistores, diodos), componentes e blocos lógicos (portas lógicas, *latches*, registradores) além de blocos funcionais e de dispositivos (filtros, moduladores, sensores, transdutores).

O Verilog-AMS também permite a criação de *test-benches*, que nada mais é que a criação de circuitos que simulam o ambiente de funcionamento cujo circuito em teste será submetido e assim verificar seu comportamento. Este ambiente é criado utilizando modelos de componentes ideais.

A aceleração da simulação dos circuitos é notória a partir do momento em que o circuito vai se tornando maior e mais complexo. Utilizando-se simuladores comuns, é observado que quanto maior o número de transistores e componentes do circuito, maior é o tempo necessário para realizar a simulação. Assim, o tempo de simulação pode ser drasticamente reduzido fazendo a substituição de partes não críticas do circuito pelos seus respectivos modelos comportamentais e verificar somente o bloco de interesse no contexto geral do projeto.

2.5.1.2 ESTRUTURA DO VERILOG-AMS

A estrutura da descrição dessa linguagem de descrição de hardware será apresentada através de um exemplo para a modelagem de um resistor linear. Sabe-se que um resistor linear é definido pela lei de Ohm, descrita na Equação (15).

$$V = r \cdot I \quad (15)$$

Onde, V representa a tensão entre seus terminais, r a resistência do componente e I a corrente que passa por ele. Dessa forma, a modelagem deste resistor será dada como mostrado na Figura 2-19.

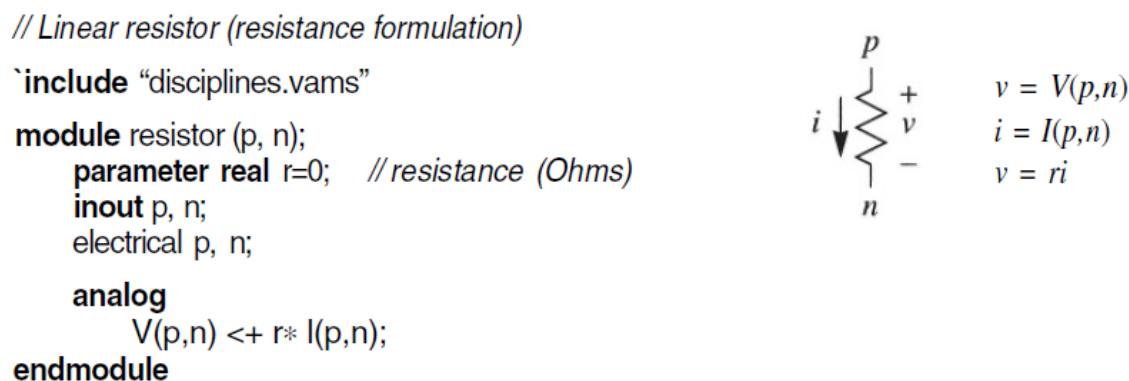


Figura 2-19 Modelagem de um resistor linear em Verilog-AMS (KUNDERT, 2004).

Uma boa prática em toda programação é iniciar o código com comentários explicando o que o código faz. No Verilog-AMS não é diferente, e o código é iniciado usando “//”, que indica comentários nesta linha, para explicitar que o código a seguir será para a modelagem de um resistor linear. Na linha seguinte, tem-se o seguinte comando:

```
`include “disciplines.vams”
```

O “**include**” é usado para fazer a inserção das bibliotecas necessárias para permitir a interpretação dos comandos realizados no código pelo compilador. Ele é precedido pelo sinal de acentuação grave (`) simplesmente para indicar uma diretiva de pré-processador. *Discipline* é uma coleção de tipos de sinais físicos correlacionados, que são conhecidos como *nature*, que indica a natureza do sinal trabalhado, como a tensão e a corrente, por exemplo. Portanto, para a descrição dos modelos é necessária a declaração das *disciplines* que serão utilizadas. Neste exemplo foi utilizada a *disciplines.vams* que é uma coleção comum de *disciplines* e *natures* que vem inclusa em todas as distribuições do Verilog-AMS.

Os blocos básicos de construção do Verilog-AMS é o **module**. É nessa parte que é feita a descrição dos componentes individuais. Assim, a declaração é realizada através do comando *module* seguido do nome do módulo e do nome dos terminais do componente.

module resistor (p, n);

Em seguida, é definido um parâmetro para o resistor. A criação de parâmetros permite criar um modelo que possibilita a mudança dos valores destes parâmetros sem a necessidade de alterar as linhas de código da modelagem. Assim ela permite a modificação de seus parâmetros nas caixas de especificação de componentes dos simuladores. O resistor deve ser iniciado com algum valor padrão e, neste exemplo, caso não seja especificado nenhum valor para a resistência, então o resistor terá uma resistência inicial igual a zero, ou seja, ele será um curto-circuito. Isso é feito através do seguinte comando:

parameter real r=0;

Quando foi feita a declaração do **module**, foi dado nome aos terminais do resistor, porém, não foi indicado que eles seriam terminais de entrada ou saída do componente. Para isso, deve-se fazer a seguinte declaração:

inout p,n;
electrical p,n;

Esses dois comandos descrevem a direção de corrente e o tipo da porta. A direção de corrente é feita pelo primeiro comando **inout**. Existem três direções possíveis: entrada, saída e bidirecional; que são designadas pelo comando *input*, *output* ou *inout*, respectivamente. No segundo comando é definida a disciplina *electrical* para definir o tipo de sinais que serão associados às portas do resistor, que neste caso será dado pela tensão e pela corrente entre seus terminais.

Na linha seguinte é descrito a relação matemática que rege o componente. Como estamos modelando um resistor linear, a Equação (15) descreve esse comportamento. Na descrição da HDL fica assim:

analog

$$V(p,n) <+ r*I(p,n)$$

Por fim, deve-se indicar que a descrição do componente já está finalizada e fechar o *module* com o comando **endmodule**, e assim está terminada a modelagem em Verilog-AMS de um resistor linear.

3 PROJETO EM ALTO NÍVEL

3.1 MODELAGEM DO SISTEMA

O projeto será realizado utilizando uma modelagem ideal em Verilog-AMS para a verificação tanto do estágio do amplificador de baixo ruído quanto do misturador de frequências e assim validá-los. Posteriormente essa modelagem será utilizada como referência na comparação com o projeto elétrico dos blocos LNA e *mixer*, pois dessa forma é possível verificar a necessidade ou não de reprojetar os blocos.

3.1.1 DESCRIÇÃO DO LNA EM VERILOG-AMS

Para a modelagem do LNA primeiramente é feito um levantamento de todos os pinos necessários para este projeto. Na Tabela 3-1 é mostrada essa relação de pinos.

Nome	Descrição
VDD	Tensão de alimentação
GND	Terra
In_p	Entrada positiva
In_n	Entrada negativa
Out_p	Saída positiva
Out_n	Saída negativa
G	Ganho do LNA
Pd	Pino de desligamento

Tabela 3-1. Relação de pinos do LNA (CAMPOS, 2014).

Essa relação vem a partir da escolha da topologia do LNA diferencial apresentado na Seção 2.3. O modelo possui dois terminais de entrada e saída para eliminar o

ruído de modo comum presente nos terminais, como já foi explicado. Assim, a descrição inicial do modelo do LNA ficou como mostrado na Figura 3-1.

```

`include "constants.vams"
`include "disciplines.vams"

module lna ( in_p, in_n, out_p, out_n, pd, gnd, vdd);

    //declaracao dos pinos
    input in_n, in_p, pd, gnd, vdd;
    output out_n, out_p;
    wreal gnd, vdd, in_n, in_p, out_n, out_p;
    logic pd;

    //declaracao dos parametros
    parameter real gain = 30;
    parameter real vinsat = 20;

    //declaracao das variaveis locais
    real vrfin, vrfout;
    real realgain;

    always @(in_p, in_n) begin
        realgain = pow(10,gain/20);
        vrfin = vinsat* tanh((in_p - in_n)/vinsat);
        vrfout = vrfin* realgain;
    end

    assign out_p = (vrfout/2)* (~pd);

    assign out_n = -(vrfout/2)* (~pd);

endmodule

```

Figura 3-1 Descrição em Verilog-AMS para o LNA (CAMPOS, 2014).

A descrição é iniciada através da inclusão das bibliotecas necessárias para a interpretação dos comandos na descrição pelo compilador. Em seguida, é iniciada a modelagem propriamente dita do LNA através do comando `module`. Primeiramente são especificados todos os terminais presentes neste bloco. Em seguida, estes pinos são indicados como entrada e/ou saída e é indicado o tipo de valor que estes terminais receberão: *wreal* e *logic*. O primeiro comando possibilita a utilização de valores inteiros e reais como constantes e variáveis nos terminais indicados. Já o *logic* é utilizado para indicar que o pino especificado receberá somente dois valores possíveis para desligar ou ligar o bloco: VCC ou GND. Após isso, são declarados os parâmetros que serão utilizados na modelagem do circuito.

Realizadas as declarações iniciais, é hora de indicar a modelagem matemática do LNA através do comando *always*, que indica a criação de um processo discreto. Assim, é descrito a fórmula de conversão de ganho de potência do amplificador cujo qual foi especificado em dB para um ganho linear W/W para depois ele ser aplicado corretamente nas equações. Na

próxima instrução é feito um tratamento da entrada diferencial do LNA, sendo modelada a compressão do sinal na entrada com o auxílio da função tangente hiperbólica. Em seguida, é descrito a fórmula matemática que rege o comportamento do LNA, ou seja, é descrito uma multiplicação para representar o ganho que o amplificador de baixo ruído proporcionará ao sinal de entrada. Por fim, o resultado é enviado de forma diferencial para os dois pinos de saída através do comando *assign*.

3.1.2 DESCRIÇÃO DO MIXER EM VERILOG-AMS

A modelagem do *mixer* segue basicamente os mesmos passos do LNA. Assim é feito um levantamento de todos os pinos necessários para este projeto. A Tabela 3-2 mostra essa relação de pinos.

Nome	Descrição
VDD	Tensão de alimentação
GND	Terra
In_RF_p	Entrada positiva
In_RF_n	Entrada negativa
In_LO_p	Entrada do positiva do oscilador local (LO)
In_LO_n	Entrada do negativa do oscilador local (LO)
Out_p	Saída positiva
Out_n	Saída negativa
Pd	Pino de desligamento

Tabela 3-2. Relação de pinos do *mixer* (CAMPOS, 2014).

Essa pinagem foi obtida a partir da escolha da arquitetura da célula de Gilbert para o projeto do *mixer*, discutida na Seção 2.4. A Figura 3-2 mostra a descrição inicial do *mixer* em Verilog-AMS.

```

`timescale 1ns/10fs
`include "constants.vams"
`include "disciplines.vams"

module mixer ( vlo_n, vlo_p, vrf_n, vrf_p, vout_p, vout_n, gnd, vdd, pd);
//declaração dos pinos
input vlo_n, vlo_p, vrf_n, vrf_p, gnd, vdd, pd;
output vout_n, vout_p;

//declaração das disciplinas
wreal vlo_n, vlo_p;
wreal vrf_n, vrf_p;
wreal vout_n, vout_p, gnd, vdd;
logic pd;

//declaração dos parametros
parameter real gain = 1;
parameter real vcm_out = 1;
parameter real vsatrf = 10;

//declaração das variáveis locais
real vinlo, vinrf, outmix;
real realgain;

always @(vrf_n, vrf_p, vlo_n, vlo_p, pd) begin
    realgain = pow(10, gain/20);
    vinlo = vlo_p - vlo_n;
    vinrf = vsatrf*tanh((vrf_p - vrf_n)/vsatrf);
    outmix = realgain*vinlo*vinrf;
end
assign vout_p = ((vcm_out + outmix)/2)*(~pd);
assign vout_n = ((vcm_out - outmix)/2)*(~pd);

endmodule

```

Figura 3-2 Descrição em Verilog-AMS para o *mixer* (CAMPOS, 2014).

A descrição começa com uma diretiva que até agora ainda não foi estudada, o ``timescale 1ns / 10fs`. Essa diretiva serve para indicar a unidade e a precisão de tempo para realização da simulação do sistema e também para inclusão *delays* na descrição do modelo. Assim, o primeiro número após a diretiva *timescale* indica a unidade de tempo que o modelo está sendo projetado, ele pode ser iniciado pelo número 1, 10 ou 100 seguido por uma unidade de medida: ns, s, ms, us, ps, fs – nanossegundos, segundos, milissegundos, microssegundos, picossegundos ou femtossegundos. Já o segundo número indica a precisão de tempo para realização de amostras durante a simulação de projetos e é representado da mesma forma que o primeiro: usando 1,10 ou 100 seguido pela unidade de medida. Em seguida são declaradas as bibliotecas necessárias e é iniciada a modelagem do *mixer*.

Então é especificado o nome dos terminais que estará presente neste bloco e é indicado se ele será um pino de entrada ou saída indicando o tipo de *discipline* de cada um deles, assim como no LNA. Depois são inseridos alguns parâmetros para a modelagem do *mixer* e declarado algumas variáveis para realização das operações matemáticas. Então é criado o processo discreto e indicado as fórmulas matemáticas para o tratamento das entradas do

dispositivo. A primeira delas é para a conversão do ganho de potência em dB para W/W. Depois é obtido o valor do oscilador local e do sinal proveniente do LNA, que também é tratado pela tangente hiperbólica para modelar a saturação do sinal neste bloco. Em seguida é realizada a multiplicação dos sinais de entrada e do ganho, especificado na declaração dos parâmetros, para assim obter a resposta final do *mixer*. Por fim, o resultado é enviado de forma diferencial para os dois pinos de saída através do comando *assign*.

Os modelos do LNA e *mixer* apresentados até aqui evidenciam uma modelagem inicial. Desta forma, no decorrer do desenvolvimento dos projetos os modelos criados poderão sofrer alterações de forma a obter uma descrição mais real dos dispositivos.

4 PROJETO DO LNA

4.1 INTRODUÇÃO

Este Capítulo descreve o dimensionamento de cada componente eletrônico que compõem o circuito do amplificador de baixo ruído apresentando as tensões de polarização de cada transistor do circuito.

A Tabela 4-1 evidencia as principais características da tecnologia 0.18 μm CMOS da Taiwan Semiconductor Manufacturing CO. – TSMC – que será utilizada no desenvolvimento dos projetos deste trabalho.

Parâmetro	NMOS	PMOS	Unidade
L_{min}	0.18	0.18	μm
C_{ox}	$8,83 \times 10^{-3}$	$8,83 \times 10^{-3}$	$\text{pF}/\mu\text{m}^2$
k	591	216	$\mu\text{A}/\text{V}^2$
$ V_{th0} $	0,397	0,457	V

Tabela 4-1 Dados da tecnologia TSMC 0.18 μm .

4.2 TOPOLOGIA

O circuito desenvolvido na seção 2.2.1 e apresentado da Figura 2-3 representa um LNA *single-ended*. Porém, criando um circuito *double-ended* possível obter um melhor desempenho, pois dessa forma ele terá uma maior imunidade à ruídos. Esse tipo de circuito, conhecido também como amplificador diferencial, são caracterizados por apresentarem uma boa estabilidade, uma alta rejeição ao ruído, rejeição de nível DC comum e por fornecerem um maior *output swing*, o que possibilita alcançar uma maior amplificação do sinal de entrada quando comparado ao *single-ended*. A Figura 4-1 mostra o LNA diferencial que será trabalhado neste projeto.

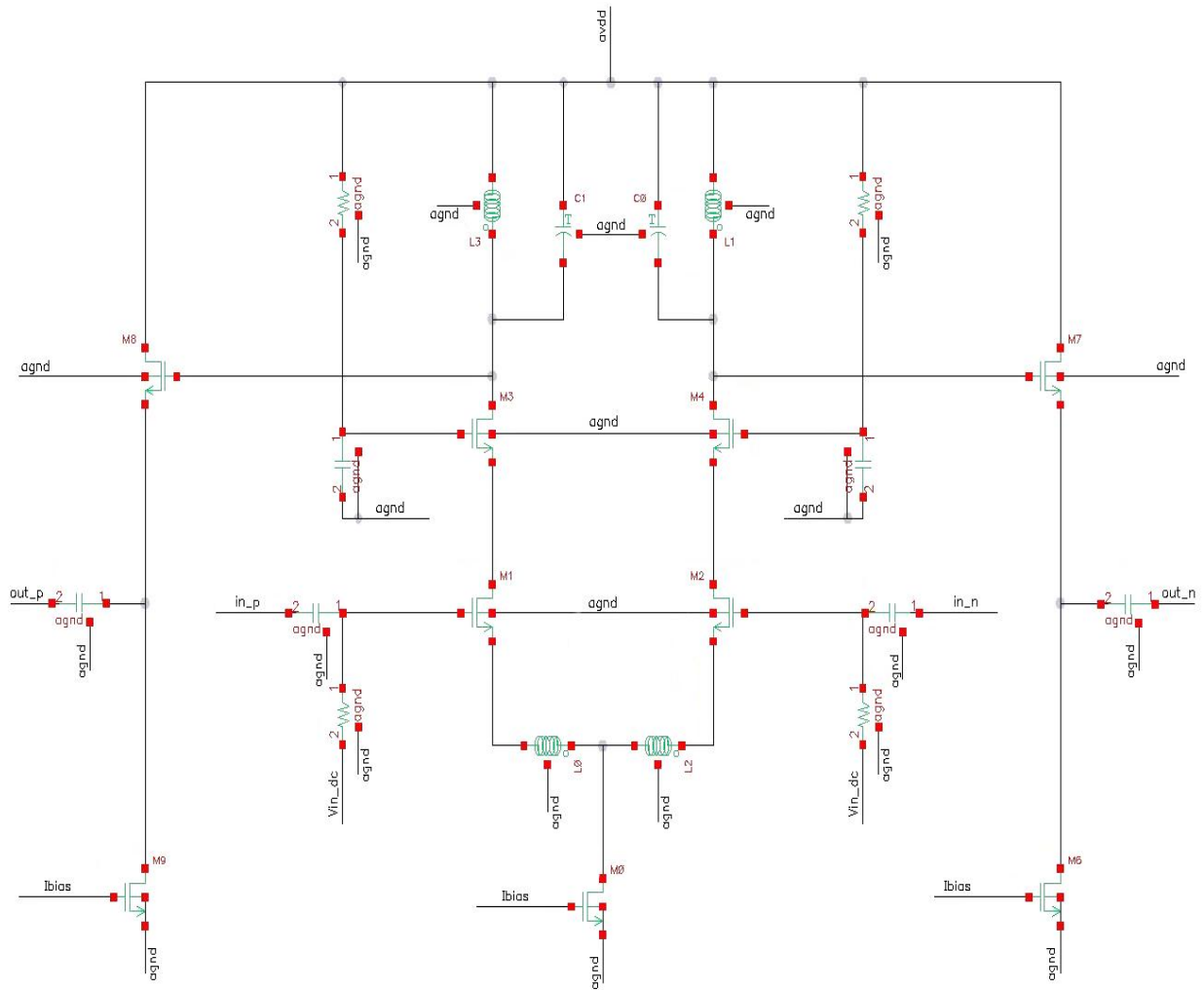


Figura 4-1 LNA diferencial.

Este circuito é formado por dois circuitos *single-ended* idênticos ao da Figura 2-3 que recebem sinais de entrada de mesma magnitude, mas de sinais opostos. Assim, os transistores M1, M3 e M2, M4 formam o estágio *cascode* diferencial com degeneração indutiva. A fim de criar um buffer, manter a impedância de saída no valor desejado e viabilizar as simulações futuras, foi acrescentado ao amplificador diferencial um segundo estágio disposto na configuração dreno comum na saída do LNA, que é formado pelos transistores M6 e M7 na saída negativa, e pelos transistores M8 e M9 para a saída positiva.

4.3 PROJETO ELÉTRICO

A partir de um levantamento realizado através de artigos e trabalhos acadêmicos relacionados ao LNA aplicado em transceptores ZigBee ([CAMPOS](#), [FIORELLI](#), [HO](#), [BHAT](#), [PEIJUN](#)), foram obtidas as especificações básicas do amplificador de baixo ruído que podem ser verificadas na Tabela 4-2.

Especificações	Valor	Unidade
Tecnologia	0.18	μm
Tensão de Alimentação	1.8	V
Faixa de Operação	2.4 – 2.5	GHz
Potência dissipada	10	mW
Figura de Ruído	2	dB
Ganho de Conversão	20	dB
IP1 dB	-25	dBm
IIP3	-15	dBm

Tabela 4-2 Especificações do LNA.

Inicialmente será realizado um conjunto operações matemáticas a fim de encontrar os valores iniciais dos componentes. Em seguida, estes valores serão refinados através de várias simulações para atingir as especificações indicadas na Tabela 4-2. As equações que serão utilizadas para dimensionamento dos componentes do LNA não serão deduzidas aqui por fugir um pouco do escopo deste trabalho, para mais informações veja [LEE, 2004](#).

Como o sinal recebido pela antena de RF é bem pequeno, o LNA deve garantir um bom ganho ao sinal e inserir a menor quantidade de ruído possível no sistema transceptor. Assim, as larguras dos transistores serão dimensionadas através da Equação (16) de forma obter uma largura ótima de funcionamento dentro da frequência de trabalho, levando-se em conta a impedância da antena receptora do sinal e a tecnologia utilizada.

$$W_{1,2} = \frac{1}{3 \cdot \omega \cdot L \cdot C_{ox} \cdot R_S} \quad (16)$$

Para realização deste projeto, será utilizada a tecnologia da TSMC 0.18 μm que possuem como característica uma capacitância de camada de óxido $C_{ox} = 8,83 \times 10^{-3} \text{PF}/\mu\text{m}^2$ e a largura mínima de canal $L = 0,18 \mu\text{m}$. O parâmetro R_s é basicamente determinado pela impedância de saída da antena de RF, pois para obter a máxima transferência de potência entre os dois blocos, a impedância deverá ser igual. Dessa forma, $R_s = 50\Omega$. A frequência do sinal de interesse está entre 2,4 GHz e 2,5 GHz. Será utilizada uma frequência intermediária entre esses dois limites, portanto igual a 2,45 GHz. Sabendo que o parâmetro ω é igual a $2\pi f$ e aplicando os valores descrito acima na Equação (16) obtém-se um $W_{1,2}$ igual 272,5 μm .

Agora é necessário definir a corrente de polarização do circuito. Sabe-se que o LNA está ligado a um segundo estágio que está na configuração dreno comum que servirá somente para realizar as simulações. Portanto, o consumo de corrente que será considerado nos cálculos será somente aquele necessário para a fonte de corrente ligada ao conjunto diferencial. Sendo assim, o LNA consumirá somente a metade da potência de todo o circuito projetado, Equação (17).

$$P_t = I_D \cdot V \quad (17)$$

Isolando a corrente I_D e substituindo os valores da tensão de alimentação e da potência dissipada na Equação (17) obtém-se a corrente máxima de polarização do circuito. Neste caso a potência da especificação foi dividida inicialmente por dois (igual a 5mW) para existir uma margem de segurança para que possamos variar a corrente durante as simulações de forma a melhorar o desempenho do circuito sem extrapolar o limite de potência. Assim, a corrente de polarização I_D encontrada foi de 2,778 mA.

Como o circuito do LNA é diferencial, essa corrente de polarização será dividida igualmente em dois ramos do circuito, entre os transistores M_1 e M_2 , que recebem o sinal positivo e negativo, respectivamente. Portanto, a corrente que passará por esses transistores de entrada $I_{D1,2}$ será igual a 1,389 mA. A partir dessa corrente, é possível encontrar a tensão de polarização dos transistores de entrada através da Equação (18).

$$V_{gs} = \sqrt{\frac{I_{D1,2}}{\frac{1}{2} k_N \frac{W_{1,2}}{L}}} + V_{th} \quad (18)$$

Substituindo os dados da tecnologia e os valores de $W_{1,2}$ e $I_{D1,2}$ encontrados, chega-se a um $V_{gs} = 453,7$ mV. A transcondutância também fica evidente com esses dados e é encontrada pela Equação (19).

$$gm = \sqrt{2 \cdot I_{D1,2} \cdot k_N \frac{W_{1,2}}{L}} \quad (19)$$

Dessa forma, obtém-se uma transcondutância do transistor de entrada igual a 49,85 mS.

Os indutores são encontrados a partir da capacitância parasita presente na entrada do transistor que recebe o sinal da antena (M_1, M_2) e que é dada pela Equação (20).

$$C_{gs} = \frac{2}{3} W_{1,2} L C_{ox} \quad (20)$$

Aplicando os valores nesta equação, é encontrado uma capacitância C_{gs} igual a 0,2887 pF. O próximo passo para obter o tamanho dos indutores seria achar a frequência de ganho unitário utilizando os valores calculados de transcondutância e da capacitância parasita na Equação (21).

$$\omega_t = \frac{gm}{C_{gs}} \quad (21)$$

Portanto $\omega_t = 172 \times 10^9 \frac{rad}{sec}$.

Agora é preciso verificar qual é a impedância de entrada do LNA. Para tanto, vamos analisar o modelo de pequenos sinais do transistor de entrada considerando uma impedância de degeneração, Figura 4-2.

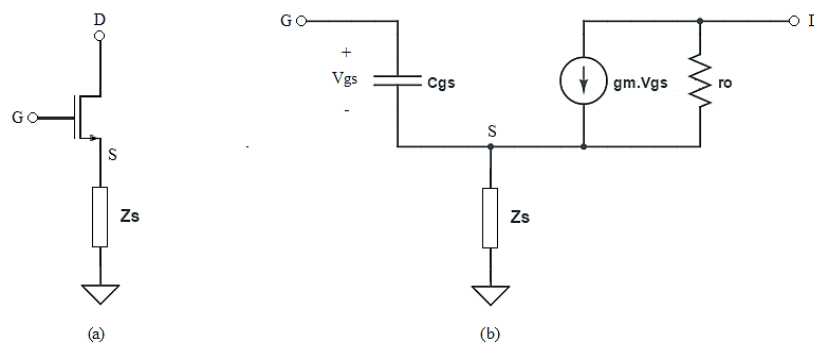


Figura 4-2 (a) Transistor com degeneração. (b) Modelo de pequenos sinais do transistor com degeneração.

Tomando essa impedância de degeneração Z_s como indutiva, temos que a impedância de entrada Z_{in} é dada pela Equação (22).

$$Z_{in} = \omega_t L_s + \left(\frac{1}{j\omega C_{gs}} + j\omega L_s \right) \quad (22)$$

Como foi dito anteriormente, a impedância de entrada do LNA deve estar casada com a impedância de saída da antena receptora para obter a máxima transferência de potência. Dessa forma, a impedância de entrada do LNA deve ser igual 50Ω , que é uma impedância real. Sendo assim, eliminando a parte imaginária da Equação (22), pode ser encontrado o valor do indutor de degeneração L_s através da Equação (23).

$$Z_{in} = \omega_t L_s \quad (23)$$

Como é sabido que a impedância de entrada deve ser igual a 50Ω e já obtivemos $\omega_t = 172 \times 10^9 \frac{rad}{sec}$, então é obtido uma indutância de degeneração $L_s = 289$ pH.

Para fazer o circuito ressoar na frequência de operação do LNA e cancelarmos a capacitância parasita intrínseca do transistor de entrada, será necessário a inclusão de um indutor L_g no *gate* deste transistor. Este indutor deverá ressoar com a capacitância parasita de entrada na frequência de operação do circuito. Assim, a partir da Equação (24) poderá ser encontrado o valor dessa indutância. Observe que, como foi acrescentado um indutor de degeneração ao circuito, deve-se leva-lo em consideração para encontrar o valor da indutância de *gate*.

$$\omega = \frac{1}{\sqrt{L_T C_{gs}}} \quad (24)$$

Onde, $L_T = L_s + L_g$.

Fazendo a substituição de L_T na Equação (24) e isolando L_g , obtém-se a fórmula da Equação (25).

$$L_g = \frac{1}{\omega^2 C_{gs}} - L_s \quad (25)$$

Dessa forma, obtemos uma indutância de *gate* $L_g = 14,33$ nH.

O indutor L_d presente no dreno do transistor *cascode* serve para formar um circuito tanque com um capacitor C_d e assim filtrar o sinal na frequência de 2,4 GHz. Este procedimento faz com que a frequência imagem seja rejeitada e conseqüentemente evite que o sinal recebido seja corrompido após o deslocamento de frequência que será realizado pelo *mixer*. A Equação (26) mostra a frequência de ressonância do circuito tanque que realizará essa filtragem.

$$\omega = \frac{1}{\sqrt{L_d C_d}} \quad (26)$$

Neste ponto, pode-se escolher um capacitor C_d qualquer para assim encontrar um indutor que faça com que o circuito ressoe na frequência desejada. Dessa forma, considerando um capacitância igual a 1 pF, obtém-se um indutor $L_d = 0,7$ nH.

Como um projeto inicial, será utilizado um indutor ideal disponível no software de simulação. Sendo assim, optou-se por fazer com que o indutor de saída L_d fosse projetado de forma a obter uma aproximação do seu comportamento real e fazer com que após sua substituição por um indutor realmente real não varie muito as curvas do circuito. Em vista disso, será incluído um resistor r_d em série ao indutor de saída.

É sabido que o fator de qualidade do indutor está intimamente ligado ao ganho do amplificador. Assim, será adotado um fator de qualidade igual a 10, que é um valor razoável para que ele não influencie tanto no ganho do LNA. Então, essa resistência pode ser encontrada substituindo os valores encontrados anteriormente na Equação (27) e assim obter uma resistência $r_d = 1,083\Omega$.

$$Q = \frac{\omega L_d}{r_d} \quad (27)$$

Atente-se ao fato de que, quando o indutor ideal for substituído pelo real, esta resistência será suprimida do circuito final.

Por fim, deve-se definir a corrente de polarização do segundo estágio do amplificador. É desejável que a impedância de saída do segundo estágio R_{out} seja igual a 50Ω para que tudo esteja bem casado. Assim, a impedância de saída pode ser encontrada através da resistência equivalente que é calculada a partir do paralelo das resistências de saída dos transistores que compõem o segundo estágio. Como existe uma alta impedância de saída para os transistores $M_{6,9}$ e uma baixa impedância de saída para $M_{7,8}$ (inversamente proporcional à sua transcondutância), a resistência equivalente é aproximadamente dada pela resistência de saída de $M_{7,8}$. Assim, pela Equação (28) é possível encontrar a transcondutância deste estágio e então aplica-la na Equação (29) para assim encontrar essa corrente $I_{D2} = 1.389 \text{ mA}$.

$$R_{out} = \frac{1}{gm} = 50 \Omega \quad (28)$$

$$I_{D2} = \frac{1}{2 \cdot gm^2 \cdot k_N \cdot \frac{W_{1,2}}{L}} \quad (29)$$

A Tabela 4-3 resume os valores dos componentes do circuito encontrados através dos cálculos matemáticos.

Parâmetro	Valor	Unidade
Largura ótima dos transistores ($W_{1,2,3,4}$)	272,5	μm
Corrente de polarização (I_D)	1,389	mA
Tensão de polarização (V_{GS})	453,7	mV
Transcondutância do transistor de entrada (gm)	49,85	mS

Frequência de ganho unitário (ω_t)	172,7	G rad/sec
Capacitância parasita de entrada (C_{gs})	0,2887	pF
Indutor de degeneração (L_s)	0,290	nH
Indutor de <i>gate</i> (L_g)	14,33	nH
Indutor de saída (L_d)	0,7033	nH
Resistência de saída (r_d)	1,083	Ω
Corrente de polarização do segundo estágio (I_{D2})	1,389	mA

Tabela 4-3 Valores dos parâmetros obtidos matematicamente para o LNA.

4.4 CIRCUITO DE POLARIZAÇÃO

O circuito de polarização é responsável por fornecer uma corrente estável para o LNA e também por fornecer as tensões DC para os transistores do circuito a fim de mantê-los em funcionamento.

4.4.1 FONTE DE CORRENTE

Para alimentar o transceptor haverá uma fonte de tensão de 1.8 V e uma fonte de corrente de 5 μ A externa. Dessa forma, a corrente de polarização do LNA será gerada através de um espelho de corrente que fará com que essa baixa corrente de alimentação externa se transforme em uma corrente grande o suficiente para atender as necessidades do projeto.

O espelho de corrente é uma técnica utilizada para realizar uma transformação na magnitude da corrente de referência I_{REF} sem que seja necessário acrescentar outra fonte de corrente ao circuito. Esta técnica faz com que a corrente externa seja recebida por um transistor na configuração de *diodo-connected* (M_{REF}), que então gera uma tensão V_{gs} adequada para a corrente que passa por ele. Em seguida, essa tensão é levada diretamente ao *gate* de outro transistor (M_1), que realizará a mudança na corrente para I_{copy} , veja a Figura 4-3.

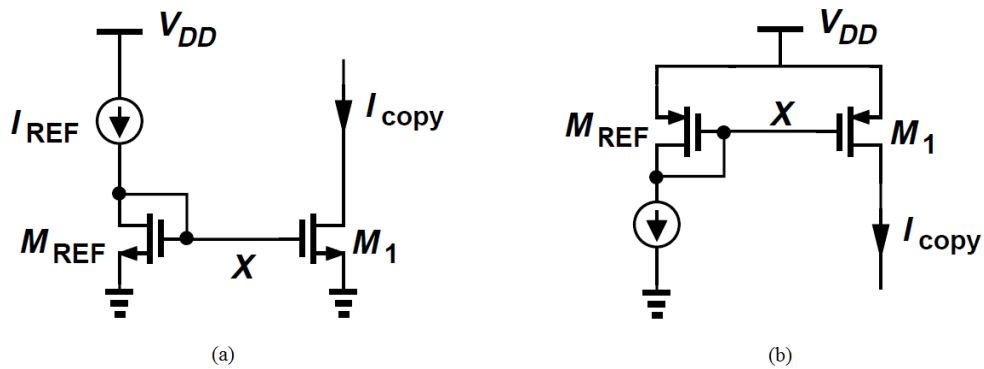


Figura 4-3 Espelho de corrente utilizando transistores NMOS e PMOS, (a) e (b) respectivamente.

A tensão entre o *gate* e o *source* V_{gs} de um transistor NMOS é dado pela Equação (30).

$$V_{gs} = \sqrt{\frac{2 \cdot I_D}{k \cdot \left(\frac{W}{L}\right)}} + V_{th} \quad (30)$$

Aplicando essa equação nos dois transistores do espelho de corrente NMOS – M_{REF} e M_1 – e sabendo que os dois transistores possuem a mesma tensão V_{gs} , já que o *gate* desses dois transistores estão conectados, podemos igualar esses dois resultados e então obter a equação que rege o comportamento do espelho de corrente, Equação (31).

$$I_{copy} = \frac{\left(\frac{W}{L}\right)_{M_1}}{\left(\frac{W}{L}\right)_{M_{REF}}} I_{REF} \quad (31)$$

Isto significa que a variação da corrente de referência I_{REF} fica totalmente dependente do tamanho dos transistores que compõem espelho de corrente. Então, se quiséssemos dobrar a corrente I_{REF} , bastaria fazer com que a razão W/L do transistor M_1 seja duas vezes maior que a razão W/L do transistor M_{REF} , por exemplo.

Sendo assim, como foi descrito nos cálculos anteriores, a corrente de polarização do circuito do amplificador de baixo ruído I_D deverá ser igual a 2,778 mA. Dessa forma, o espelho de corrente projetado terá um transistor M_1 aproximadamente 556 maior que o transistor M_{REF} para assim fazer com que a corrente fornecida pela fonte de corrente seja transformada para o valor desejado.

Para este projeto, inicialmente foi escolhido um transistor $\left(\frac{W}{L}\right)_{M_{REF}} = \left(\frac{0,220\mu\text{m}}{0,180\mu\text{m}}\right)$.
 Portanto, $\left(\frac{W}{L}\right)_{M_1} = \left(\frac{123\mu\text{m}}{0,180\mu\text{m}}\right)$.

4.4.2 TENSÃO DE POLARIZAÇÃO

Este circuito tem por objetivo gerar uma tensão DC dentro do próprio *chip* para polarizar o transistor de entrada. Ele pode ser realizado utilizando um espelho de corrente ligado a um *diodo-connected*, veja a Figura 4-4.

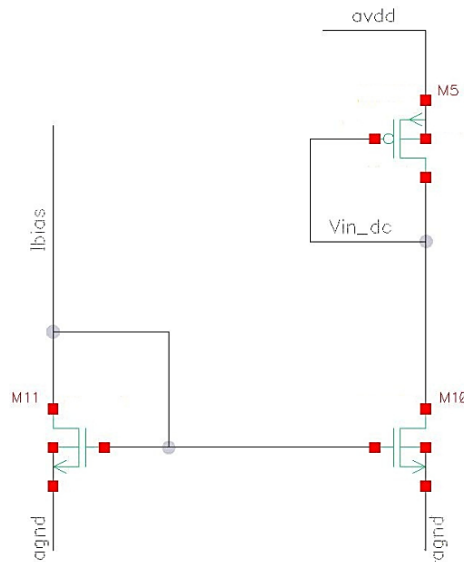


Figura 4-4 Circuito gerador de tensão DC.

Através dos cálculos anteriores, sabe-se que é necessário obter uma tensão V_g no valor de 900 mV para polarizar o transistor de entrada do LNA. A fim de facilitar o projeto, partimos direto para a simulação utilizando os transistores M_{11} e M_{10} da Figura 4-4 com tamanhos iguais, para assim espelhar a mesma corrente de 5 μA recebida como referência. Utilizou-se essa baixa corrente porque desta forma o consumo de potência de todo o circuito permanece praticamente inalterado. Assim, foi realizada uma simulação para verificar a tensão de *gate* do transistor *diodo-connected* enquanto a largura deste transistor era variada. Dessa maneira foi encontrada uma largura ótima com $\left(\frac{W}{L}\right)_{M_5} = \frac{1,77\ \mu\text{m}}{2\ \mu\text{m}}$ que gerava a tensão de V_{in_dc} necessária. Essa tensão foi então levada para a entrada do transistor M_1 e M_2 do LNA.

Como o transistor *cascode* foi polarizado com VDD, não foi necessário fazer outro circuito para criar a tensão de polarização dele. Observa-se, no entanto, que neste transistor foi acrescentado um capacitor de 10 pF no *gate* a fim de evitar que qualquer variação da tensão de alimentação faça com que este transistor saia de saturação e também para evitar que o circuito oscile comprometendo o funcionamento do amplificador.

5 PROJETO DO MIXER

5.1 INTRODUÇÃO

Este Capítulo descreve o dimensionamento de cada componente eletrônico que compõem o circuito misturador de frequências evidenciando a característica de cada um dos seus blocos constituintes e as tensões de polarização de cada transistor do circuito.

5.2 TOPOLOGIA

Na Figura 5-1 é apresentado o esquemático da topologia da Célula de Gilbert que será adotada no projeto do *mixer*.

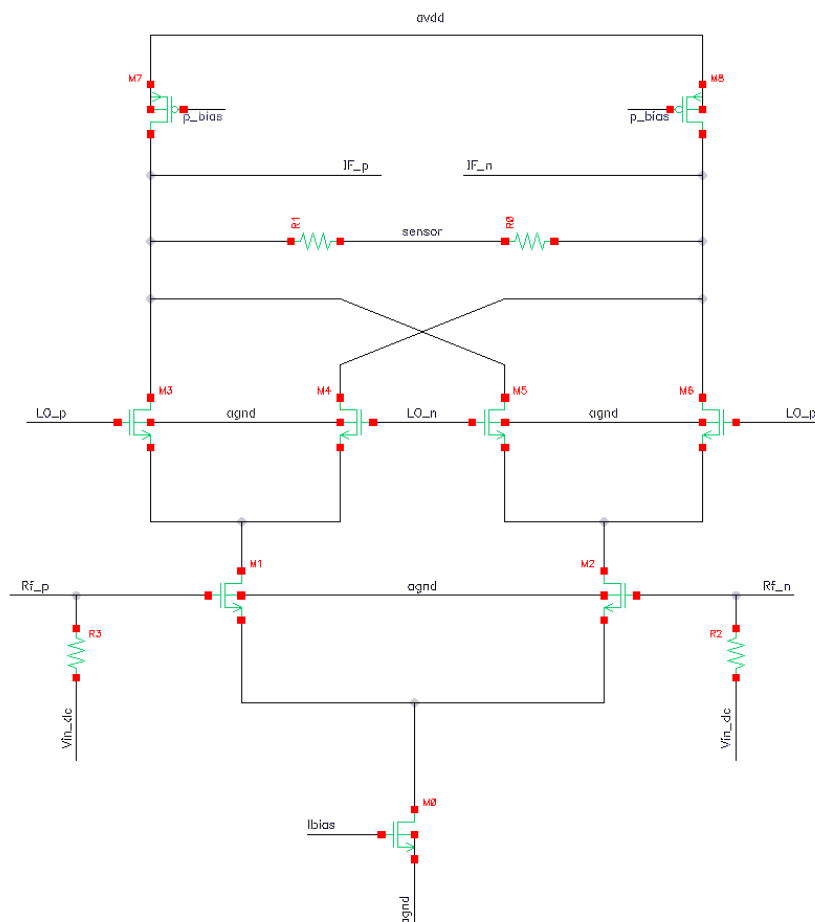


Figura 5-1 Esquemático do *mixer*, Célula de Gilbert.

Nesse circuito é possível perceber que a carga de saída do misturador que era puramente resistiva foi substituída por uma carga ativa formada pelos transistores PMOS M_7 e M_8 , como foi proposto na seção 2.3.2.3. Essa mudança foi realizada porque dependendo da corrente que passa por ele, a queda de tensão neste componente pode se tornar muito alta, fazendo com que alguns transistores do circuito saiam de saturação e assim comprometa o funcionamento do *mixer*, já que a tensão de alimentação é baixa. Essa substituição no estágio de carga permite obter pelo menos três grandes melhorias no circuito. A primeira delas é que pelo fato do transistor CMOS possuir uma impedância de saída alta, é possível obter um ganho de conversão maior, como poderá ser verificado através da Equação (32). A segunda melhoria é a diminuição da inserção de ruído no circuito já que, com a utilização da resistência como carga, há inserção de ruído térmico ao sistema, o que leva a uma figura de ruído maior para o misturador. Por fim, utilizando um circuito de realimentação conhecido como *commom-mode feedback* – CMFB – para polarizar o transistor de carga, é possível controlar a tensão DC de saída e então evitar que outros transistores saiam da saturação devido a uma queda de tensão maior no dispositivo de carga.

Foi acrescentado também um divisor de tensão, formado pelos resistores R_0 e R_1 , que servirá para realizar a medida de tensão média entre os pontos IF_p e IF_n. Funcionará como um sensor para o circuito de realimentação que fará o controle da tensão DC de saída.

5.3 PROJETO ELÉTRICO DO MIXER

A partir de um levantamento realizado através de artigos e trabalhos acadêmicos relacionados ao misturador de frequências que utilizam o protocolo ZigBee (CAMPOS, CORNETTA, VILLEGAS), foram obtidas as especificações básicas do *mixer* que podem ser verificadas na Tabela 5-1.

Como o circuito do LNA e do *mixer* estarão conectados, o ponto de compressão de 1 dB – IP1 – do *mixer* deverá ser descontado os 20 dB de ganho que o LNA proporciona, por isso foi estipulado um IP1 de -5 dB.

Especificações	Valor	Unidade
Tecnologia	0.18	μm
Tensão de Alimentação	1.8	V
Faixa de Operação	2.4 – 2.5	GHz
Potência dissipada	10	mW
Figura de Ruído	16	dB
Ganho de Conversão	12	dB
IP1 dB	-5	dBm
IIP3	5	dBm

Tabela 5-1 Especificações do *mixer*.

Da mesma forma que foi projetado o LNA, o projeto do *mixer* será desenvolvido num primeiro momento através de operações matemáticas a fim de encontrar os valores iniciais dos componentes para, em seguida, serem refinados através de simulações a fim de atingir as especificações listadas na Tabela 5-1.

Existem basicamente duas abordagens para iniciar o projeto do *mixer*. As duas formas tem como objetivo inicial descobrir o tamanho do transistor de entrada que melhor se adequa ao projeto. A primeira abordagem tem como foco principal inserir a menor figura de ruído ao circuito, do mesmo modo que foi feito o projeto do LNA, mas que não será adotada porque a figura de ruído não é um parâmetro crítico desse projeto. Já a segunda abordagem, tem como objetivo projetar os componentes de forma a atingir um ganho desejado, sem se preocupar muito com a inserção de ruído. Como temos uma especificação de ganho de 12 dB, será adotado a segunda abordagem que será detalhada abaixo.

Dessa maneira, o primeiro passo será descobrir qual o ganho que a Célula de Gilbert é capaz de fornecer ao sinal recebido. A Equação (14) mostra que o ganho será máximo quando o $\text{sen}[(\omega_{RF} - \omega_{LO})t] = 1$. Sabendo que R_{out} é a resistência equivalente de saída, que é dada pelo paralelo do resistor do estágio de carga R_D com a resistência de saída do transistor de entrada, que é muito grande. Logo, R_{out} é aproximadamente igual a R_D . Assim é obtido o ganho de conversão do misturador da Célula de Gilbert, Equação (32).

$$CG = \frac{2}{\pi} \cdot gm \cdot R_D \quad (32)$$

A resistência de carga R_D do transceptor ZigBee é obtida a partir da impedância de entrada do filtro passa-faixa que será acoplado logo depois do *mixer*. Após pesquisas relacionadas sobre a utilização deste tipo de filtro em transceptores em artigos e trabalhos acadêmicos, foi observado que o filtro passa-faixa possui uma impedância de entrada que varia entre 500 Ω a 1 k Ω . Será adotado um valor intermediário desses dois valores para a impedância de carga R_D , portanto igual a 750 Ω .

Dessa forma, como o valor do ganho de conversão (CG) do *mixer* foi especificado e já sabemos qual a impedância de carga, basta isolar o gm da Equação (32) para obter o valor da transcondutância necessária para gerar o ganho de 12 dB. Assim, $gm = 24,89 \text{ mS}$.

A corrente que passará por este transistor será escolhida levando-se em consideração o consumo de potência estabelecido nas especificações de projeto. Assim, considerando uma tensão de alimentação de 1.8 V, a corrente máxima que o circuito pode fornecer dada uma potência máxima de 10 mW é encontrada através da Equação (33).

$$P = V \cdot I \quad (33)$$

Assim, a corrente máxima que poderá ser utilizada pelo *mixer* de forma a atender a especificação de potência é de 5,55 mA. Lembre-se que essa corrente deverá polarizar todo o circuito diferencial, portanto, a corrente máxima que deverá passar pelo transistor de entrada $I_{D_{1,2}}$ é a metade desse valor, isto é, 2,77 mA. Para que exista uma margem de segurança que permita a variação dessa corrente durante as simulações de otimização sem extrapolar a especificação de potência, vamos considerar uma corrente inicial de 1 mA para $I_{D_{1,2}}$ nos cálculos.

Através dos dados da tecnologia disponibilizado na Tabela 4-1 e com esses valores encontrados, podemos aplica-los na fórmula que relaciona a corrente que passa por um

transistor CMOS com sua respectiva transcondutância, Equação (34), para assim encontrar o valor de $W_{1,2} = 94,34 \mu\text{m}$ para o transistor de entrada.

$$gm = \sqrt{2 \cdot I_{D1,2} \cdot k \frac{W_{1,2}}{L}} \quad (34)$$

O próximo passo é achar uma tensão DC que polarize os transistores de entrada corretamente. A fim de garantir que este transistor não saia de saturação durante seu funcionamento, é necessário fazer com que a sua tensão de *overdrive* V_{ov} não seja muito pequena, menor que 200 mV, e nem muito grande ao ponto de consumir uma grande parte da tensão de alimentação. Sendo assim, foi considerado um V_{ds} de 250 mV para o transistor de entrada.

Para simplificar a análise do circuito, será considerada somente a parte do circuito que recebe o sinal positivo do *mixer*. Isso pode ser feito porque o circuito é diferencial e, portanto, seus componentes são simétricos e possuem o mesmo tamanho e especificação de polarização. Então, vamos considerar somente o circuito formado pelos transistores M_0 , M_1 , M_3 e M_4 da topologia do *mixer*, apresentada na Figura 5-1, e depois replicar esses valores na outra metade do circuito.

A tensão V_{gs} de um transistor CMOS pode ser encontrada através da Equação (35).

$$V_{gs} = V_{ds} + V_{th} \quad (35)$$

Então, analisando somente o transistor M_0 , que fornece corrente para o circuito, e o transistor da entrada positiva M_1 , podemos aplicar a equação anterior para achar o valor de V_{gs} do transistor de entrada. Dessa forma é obtida a relação para encontrar a tensão de *gate* V_{RF} , Equação (36).

$$V_{RF} = V_{sM_1} + V_{dsM_1} + V_{th} \quad (36)$$

Para garantir que o transistor M_0 também não saia de saturação, será considerado uma tensão V_{ds} igual a 400 mV para este transistor. Sabendo que $V_{s_{M_1}} = V_{ds_{M_0}}$ e considerando um $V_{th} = 400$ mV, chega-se a um valor de tensão DC para o transistor de entrada $V_{RF} = 1,05$ V.

De posse desses dados, vamos encontrar a tensão de dreno deste transistor, pois ele será necessário no cálculo da tensão de *gate* do transistor do oscilador local. Então, eliminando a tensão de *source* da Equação (36) e substituindo os valores já encontrados, é possível obter essa tensão de dreno.

$$V_{d_{M_1}} = 1,05 - 0,4 = 0,85 \text{ V} \quad (37)$$

O transistor do oscilador local M_3 fará um chaveamento para transladar a frequência do sinal de entrada. Portanto, para realizar um chaveamento adequado, ele deverá possuir uma tensão DC de *gate* um pouco maior que a tensão de limiar V_{th} . Assim, considerando o $V_{th} = 400$ mV e fazendo com que a tensão de *gate* seja somente 100 mV maior que a tensão de limiar, obtém-se uma tensão $V_{gs} = 0,5$ V para o transistor do oscilador local.

Sabendo que a corrente dos transistores CMOS é regida pela Equação (38), pode-se isolar o W desta equação e utilizar o valor da corrente I_{D_1} no valor de 1 mA para então encontrar a largura do transistor do oscilador local $W_{LO} = 60,91$ μm .

$$I_D = \frac{1}{2} k \frac{W}{L} (V_{gs} - V_{th})^2 \quad (38)$$

Agora é necessário achar a tensão DC para polarizar este transistor. Na discussão dos parágrafos anteriores, foi definido um $V_{gs} = 0,5$ V a fim de manter o transistor próximo da tensão de limiar. Dessa forma,

$$V_{gs_{LO}} = V_{gs_{definido}} \quad (39)$$

Logo,

$$V_{g_{LO}} = 0,5 + V_{s_{LO}} \quad (40)$$

O valor da tensão $V_{s_{LO}}$ é o mesmo da tensão de dreno do transistor de entrada $V_{d_{M_1}}$ que foi obtido anteriormente. Assim, substituindo esse valor na Equação (40) anterior chega-se a um $V_{g_{LO}} = 1,35$ V. Sua tensão de dreno é encontrada através da Equação (41).

$$V_{d_{LO}} = V_{g_{LO}} - V_{th} = 1,55 - 0,4 = 1,15 \text{ V} \quad (41)$$

Por fim, deve ser encontrado as dimensões do transistor de carga $M_{7,8}$. Como a impedância de saída do transistor de carga é diretamente proporcional ao seu comprimento do canal L_{Load} , foi adotado um comprimento um pouco maior do que o mínimo da tecnologia para obter um maior ganho de conversão para o *mixer*, assim foi considerado um valor de $L_{Load} = 0,54$ μm . Como este transistor possuirá uma tensão de *gate* que será fornecida por um circuito de realimentação, ela será variável e, portanto o valor da largura do transistor W_{load} foi encontrado através de simulações, sendo igual 40 μm .

A Tabela 5-2 resume os valores dos componentes do circuito encontrados através dos cálculos matemáticos.

Parâmetro	Valor	Unidade
Transcondutância do transistor de entrada (gm)	24,89	mS
Corrente de polarização (I_D)	2,00	mA
Largura dos transistores de entrada ($W_{1,2}$)	94,34	μm
Largura dos transistores do oscilador local ($W_{3,4,5,6}$)	60,91	μm
Largura dos transistores do oscilador local ($W_{7,8}$)	40	μm
Comprimento do canal dos transistores de entrada ($L_{1,2}$)	0,18	μm
Comprimento do canal dos transistores do oscilador local ($L_{3,4,5,6}$)	0,18	μm

Comprimento do canal dos transistores de carga ($L_{7,8}$)	0,54	μm
Tensão DC do transistor de entrada ($V_{g_{1,2}}$)	1,05	V
Tensão DC do transistor do oscilador local ($V_{g_{3,4,5,6}}$)	1,35	V

Tabela 5-2 Valores dos parâmetros obtidos matematicamente para o *mixer*.

5.4 CIRCUITO DE POLARIZAÇÃO E DE REALIMENTAÇÃO

O *mixer* contará com circuitos extras que realizarão a polarização dos seus transistores através de dois circuitos geradores de tensão DC e outro gerador corrente. Ele também contará com um circuito de realimentação conhecido como *commom-mode feedback* – CMFB – que servirá para manter a tensão de modo comum da saída IF estável.

5.4.1 FONTE DE CORRENTE

A fonte de corrente que fará a polarização do *mixer* será realizada através de espelhos de corrente, como explicado na seção 4.4.1. Da mesma forma que o projeto do LNA, a corrente encontrada nos cálculos era a corrente *single-ended*, a que passa pelo transistor de entrada. E como será utilizado um circuito diferencial, é necessário acrescentar o dobro de corrente para polarizar o circuito corretamente.

Sabendo que o transistor de entrada necessita de uma corrente de 1 mA, então a fonte de corrente deverá fornecer uma corrente total de 2 mA. Sabe-se também que é fornecido uma corrente de 5 μA pela fonte de corrente externa. Sendo assim, a razão do W/L do transistor M_1 deverá ser 360 vezes maior que a razão W/L do transistor M_{REF} .

Considerando o $\left(\frac{W}{L}\right)_{M_{REF}} = \frac{0,4\mu\text{m}}{1\mu\text{m}}$ para o transistor M_{REF} , veja a Figura 4-3, assim é obtido um $\left(\frac{W}{L}\right)_{M_1} = \frac{144\mu\text{m}}{1\mu\text{m}}$.

5.4.2 TENSÃO DE POLARIZAÇÃO

A metodologia para encontrar a tensão de polarização do *mixer* será exatamente a mesma daquela descrita no projeto do LNA, seção 1.4.2. Porém, desta vez deverá ser encontrada duas tensões, uma para o transistor de entrada e outra que servirá como referência de tensão para o CMFB. A Figura 5-2 mostra o circuito que fornecerá essas tensões.

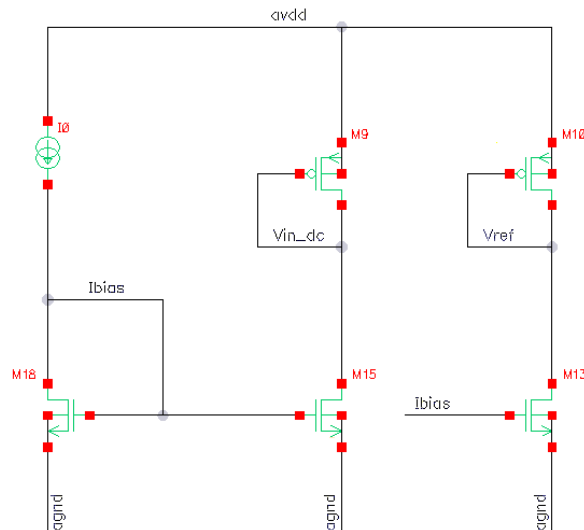


Figura 5-2 Circuito gerador de tensão DC.

Considerando um $\left(\frac{W}{L}\right)_{18} = \left(\frac{W}{L}\right)_{15} = \left(\frac{W}{L}\right)_{13} = \frac{0,4\mu m}{1\mu m}$, foram realizadas algumas simulações ao qual foi verificada a tensão de *gate* nos transistores *diode-connected* realizando um *sweep* na largura de cada um dos transistores. Assim, para gerar uma tensão de polarização igual a 1,35 V é preciso um $\left(\frac{W}{L}\right)_9 = \frac{96\mu m}{2\mu m}$, e para a referência de tensão do CMFB igual a 1,25 V, um $\left(\frac{W}{L}\right)_{10} = \frac{19,5\mu m}{2\mu m}$.

5.4.3 COMMOM-MODE FEEDBACK – CMFB

Os primeiros circuitos eletrônicos eram desenvolvidos com somente uma entrada e uma saída. Esse tipo de circuito possui várias deficiências que levaram projetistas a procurarem uma nova técnica de projeto que aperfeiçoassem o funcionamento dos circuitos eletrônicos. Eles perceberam que fazendo a duplicação do circuito *single-ended*, trabalhado até então, de forma a obter um circuito que possuísse duas entradas e duas saídas, era possível

obter um circuito com um *output swing* maior, com uma maior linearidade e que rejeitasse o ruído de modo comum presente na entrada de qualquer circuito eletrônico, assim foi criado os circuitos diferenciais, mas que em contrapartida, possuem um consumo de potência maior.

Este tipo de circuito são largamente utilizados em amplificadores diferenciais, porém outro problema surge com a utilização dessa técnica. Qualquer diferença na tensão DC existente nas duas saídas do amplificador – positiva e negativa – pode fazer com que a o sinal de saída diferencial leve alguns transistores para fora da região de saturação. Dessa maneira, surgiu outro circuito que tinha como objetivo corrigir qualquer descasamento de tensão na saída dos circuitos diferenciais e assim estabelecer e/ou estabilizar o ponto de operação de um amplificador através de um circuito de realimentação que ficou conhecido como circuito de *commom-mode feedback* – CMFB.

A topologia de CMFB escolhida para a estabilização da tensão de saída do mixer pode ser verificado na Figura.

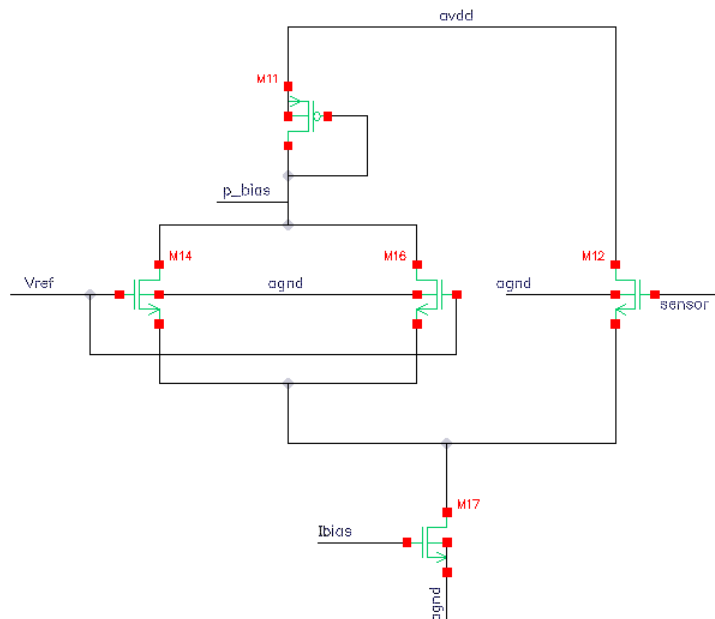


Figura 5-3 Circuito de CMFB utilizado no *mixer*.

Este circuito é polarizado por uma fonte de corrente que deve ter magnitude igual ou proporcional àquela que passa pelo transistor de carga no circuito do *mixer*. Ela será dividida entre dois ramos. Uma parte dela vai para os dois transistores M_{14} e M_{16} , que recebem a tensão de referência, e que estão ligados a um transistor PMOS M_{11} de tamanho igual ou

proporcional àquele transistor de carga do circuito do *mixer*, mas que agora está ligado como um *diodo-connected*. A outra parte da corrente vai para o transistor M_{12} que recebe a tensão de saída do *mixer* através do *sensor*. Observe na Figura 5-1, que a saída diferencial do circuito do misturador foi interligada por um divisor de tensão formado pelos resistores R_0 e R_1 . Assim, o ponto entre esses dois resistores foi definido como *sensor* e levado ao transistor do CMFB. A adição de resistências baixas entre a saída positiva e negativa do circuito pode reduzir o ganho de conversão do *mixer*. Sendo assim, deverão ser escolhidos resistores que possuem uma resistência mais alta para evitar que elas afetem o desempenho do circuito. Após algumas simulações foi verificado que a performance do *mixer* para um valor de $R_0 = R_1 = 15\text{ k}\Omega$ era pouco afetada e, portanto foi adotada esses valores para as resistências do *sensor*.

A razão pelo qual o transistor de carga estar ligado na configuração de *diodo-connected* se justifica pelo fato de que essa configuração gera uma tensão de *gate* ideal para a corrente que passa pelo transistor naquele momento. Assim, quando a tensão do *sensor* for maior que a tensão de referência, a corrente que passa pelo transistor M_{11} é menor do que passa pelo transistor M_{12} e, portanto a tensão de *gate* (*p_bias*) é menor. Quando o transistor de carga do *mixer* $M_{7,8}$ é alimentado por essa nova tensão *p_bias*, menor do que a que estava lá antes da análise, a tensão V_{sg} do transistor de carga é aumentada e então há uma queda de tensão maior nesse dispositivo, o que faz com que a tensão DC de saída caia. Assim é encontrado um novo valor menor para o *sensor*. Vamos supor agora que essa tensão seja menor que a tensão de referência e então refazer análise anterior. Dessa forma, irá passar mais corrente pelo transistor M_{11} , o que acarretará numa tensão maior para *p_bias*. Quando o transistor de carga do *mixer* é alimentado por essa tensão, a tensão V_{sg} deste transistor diminui e assim a queda de tensão proporcionada por ele será menor, fazendo com que a tensão DC de saída aumente. E assim o ciclo se repete indefinidamente mantendo a tensão de referência na saída do misturador.

A razão W/L do transistor M_{11} do CMFB não precisa ser necessariamente igual àquele transistor de carga do *mixer* $M_{7,8}$, como já foi explicado, eles podem ser proporcionais assim como a corrente que passa por eles. Diminuir a corrente utilizada pelo CMFB é desejado para não extrapolar o limite de potência do projeto. Dessa maneira, faremos com que a corrente que passa pelo transistor PMOS do circuito de realimentação seja vinte vezes menor do que a corrente que passa pelo do transistor de carga do *mixer*. Assim a corrente que passará pelo

transistor M_{17} do CMFB será igual a $45 \mu\text{A}$. Sendo assim, é necessário fazer com que a largura W do transistor PMOS do CMFB também seja vinte vezes menor do que a largura do transistor de carga, ou seja, $W_{11} = 5 \mu\text{m}$.

Já para os transistores M_{14} e M_{16} , a única regra a obedecer para que haja um balanceamento correto da corrente no circuito, é fazer com que a largura de canal W dos dois transistores que recebem a tensão de referência sejam a metade do W do único transistor que recebe o *sensor*. Assim, as larguras de canal dos transistores foram mantidas em $0.18 \mu\text{m}$ e então foi escolhido um $W_{12} = 35 \mu\text{m}$ para o transistor que recebe o *sensor* e, portanto um $W = 17,5 \mu\text{m}$ para M_{14} e M_{16} .

6 SIMULAÇÕES E RESULTADOS

6.1 INTRODUÇÃO

Este Capítulo apresenta os resultados obtidos através das simulações realizadas nos dois circuitos desenvolvidos neste trabalho utilizando o *software* Virtuoso da Cadence. Será mostrado também como foram realizadas as simulações de cada um dos parâmetros de análise e as modificações realizadas nos circuitos.

6.2 LNA

6.2.1 TESTBENCH

Inicialmente foi criado um símbolo para o amplificador de baixo ruído projetado e em seguida criado um *testbench* para iniciar as simulações e que é apresentado na Figura 6-1.

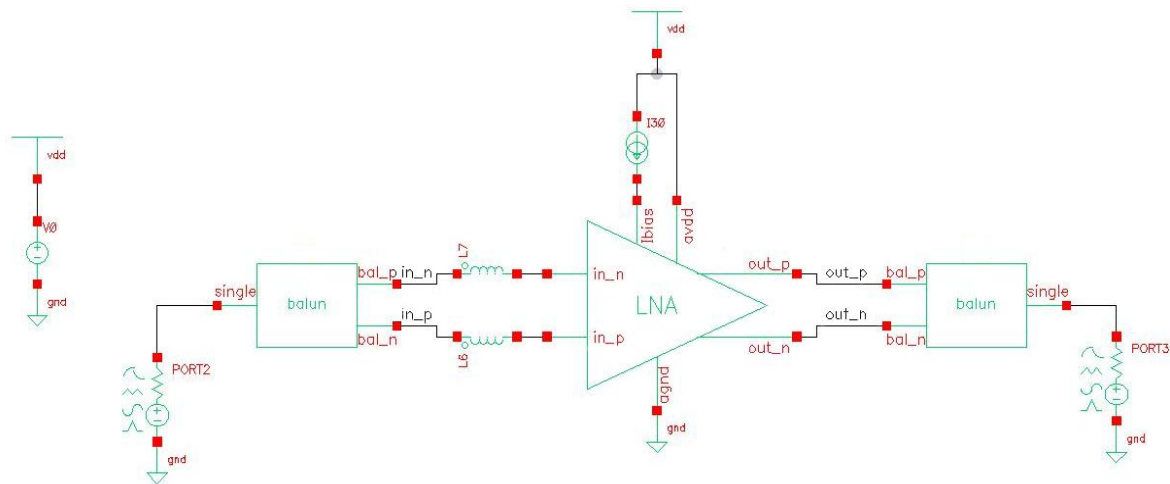


Figura 6-1 *Testbench* para simulação do LNA.

O *testbench* foi implementado utilizando um PORT na entrada e outro na saída do LNA. Este componente permite informar uma tensão de entrada e acrescentar uma impedância de fonte, além de ser necessário para realizar as simulações que serão apresentadas a seguir. Esse *testbench* também possui outro componente que realiza a

transformação do sinal desbalanceado vindo do sinal de entrada para outro balanceado para assim ser enviado às entradas do LNA, este componente é conhecido como BALUN.

6.2.2 SIMULAÇÕES

As simulações realizadas neste trabalho foram feitas utilizando o simulador *Spectre*, um simulador analógico de alta velocidade e exatidão, fornecido pela Cadence.

6.2.2.1 PONTO DE OPERAÇÃO

A primeira simulação que deve ser realizada no circuito é a simulação DC. Isso porque é a partir dela que vamos verificar o ponto de operação de cada dispositivo do circuito para então garantir que todos eles estejam na região de saturação e assim não comprometa o desempenho do circuito. Verificou-se que o transistor de entrada se encontrava na região de triodo e, portanto foi modificada a tensão de gate e a corrente de polarização a fim de colocá-lo em saturação. Feito isso, iniciou-se as demais simulações para verificação das figuras de mérito.

6.2.2.2 CASAMENTO DA IMPEDÂNCIA DE ENTRADA

Para obter a máxima transferência de potência do sinal para o amplificador de baixo ruído, a impedância de entrada do LNA deve estar casada com a impedância de saída da antena receptora do sinal. Este casamento é basicamente controlado pelos indutores de degeneração e de *gate*, L_s e L_g respectivamente. Inicialmente deve-se fazer com que o L_s tenha uma impedância real o mais próximo possível dos 50Ω , isso pode ser feito utilizando a Carta de Smith. Em seguida, deve-se variar o L_g de forma a fazer com que o vale da curva fique dentro da banda de frequência de operação.

Para simular o casamento entre esses dois componentes, foi realizada uma simulação que evidencia o coeficiente de reflexão – S11 – do sinal na entrada do LNA através dos parâmetros S, Figura 6-2.

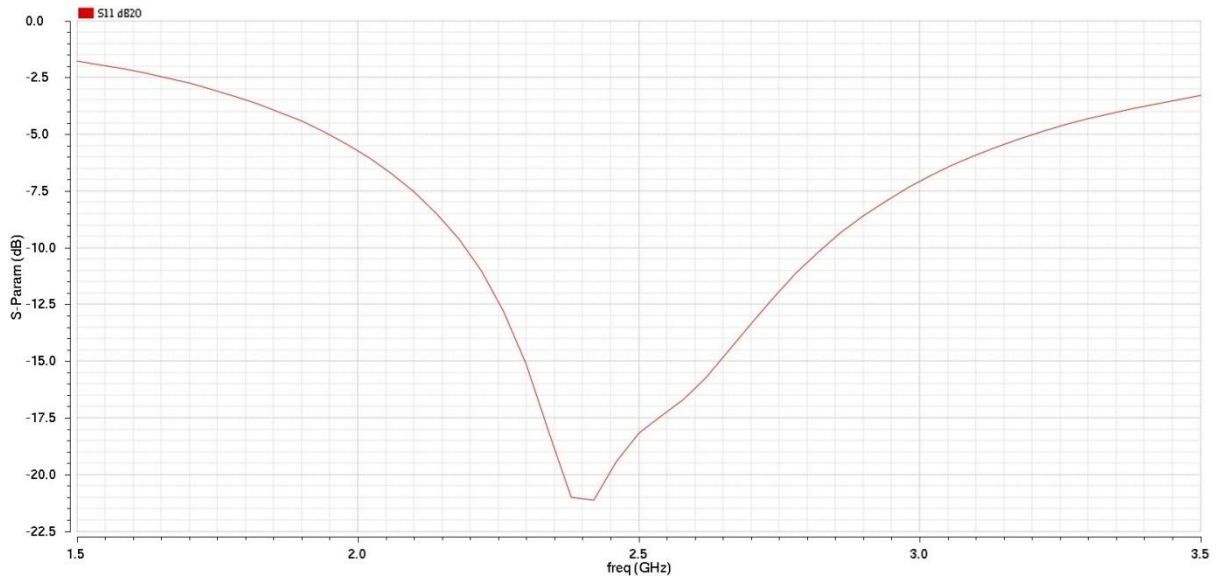


Figura 6-2 Coeficiente de reflexão de entrada, parâmetro S11.

Na simulação da Figura 6-2 é observado um valor bastante negativo na frequência de operação do LNA (2,4 GHz a 2,5 GHz). Portanto, fica evidente que o circuito reflete somente uma pequena parte do sinal recebido na entrada. Este é o indicativo de que foi realizado um bom casamento de impedância entre a antena de RF e a entrada do LNA.

6.2.2.3 GANHO

A simulação do ganho do circuito também é realizada através dos parâmetros S utilizando o coeficiente de transmissão direta, parâmetro S21. A Figura 6-3 mostra o ganho que o circuito projetado fornece.

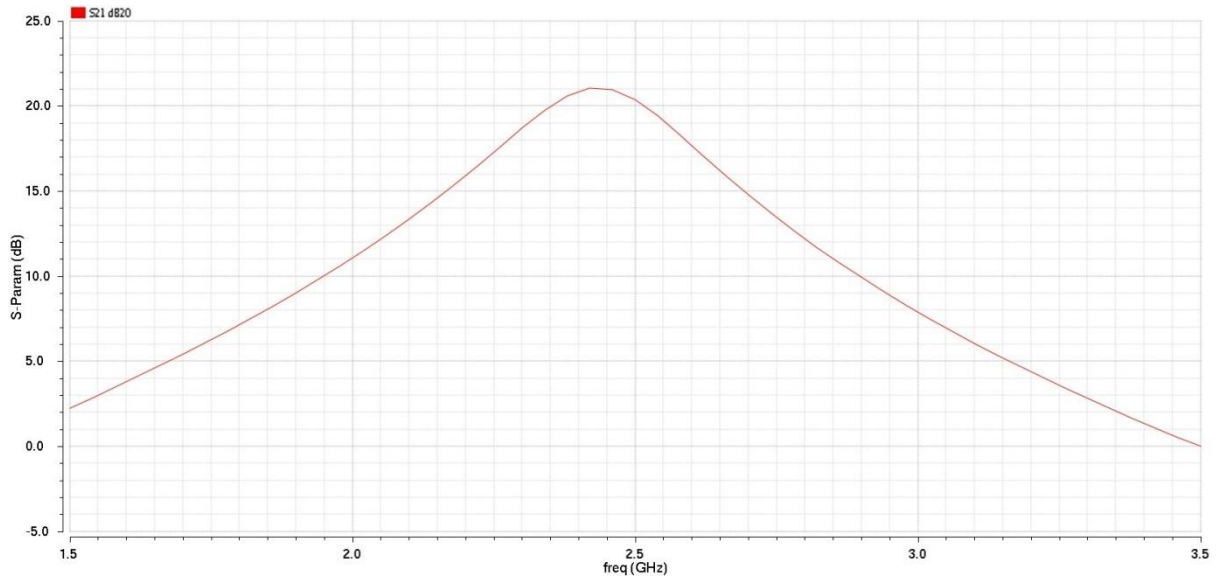


Figura 6-3 Ganho do LNA, parâmetro S21.

Observe que o ganho é mantido acima dos 20 dB na faixa de operação do circuito, então é atingido a especificação de projeto para esta figura de mérito.

6.2.2.4 CASAMENTO DA IMPEDÂNCIA DE SAÍDA

Para verificar o casamento de saída, é necessário analisar o coeficiente de reflexão de saída S22 e que está apresentada na Figura 6-4.

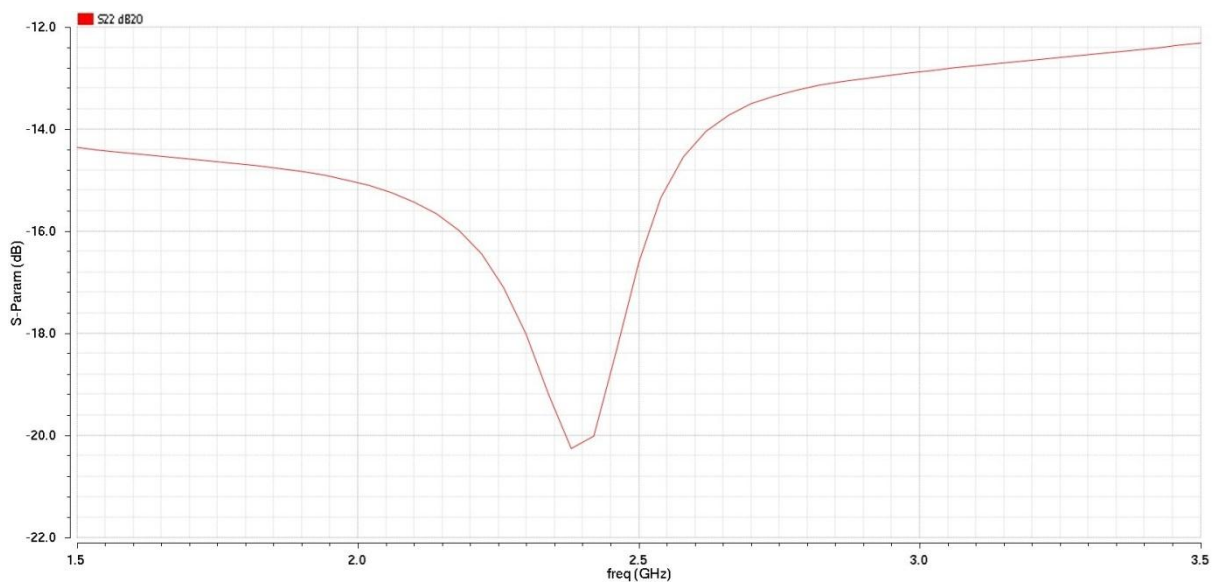


Figura 6-4 Coeficiente de reflexão de saída, parâmetro S22.

Este parâmetro é analisado da mesma forma que foi feito para o casamento de entrada. Assim, quanto menor o valor de S22 na frequência de operação, melhor será o casamento de impedância para a saída do circuito. E como pode ser visto na Figura 6-4, o LNA possui um coeficiente de reflexão de saída bem baixo na frequência de operação indicando um bom casamento na saída do circuito.

6.2.2.5 FIGURA DE RUÍDO

O próximo parâmetro a ser analisado do LNA foi a sua figura de ruído. Para tanto, pode-se aproveitar a simulação de parâmetros S, e clicar em NF para obter a figura de ruído do sistema e que está apresentada na Figura 6-5.

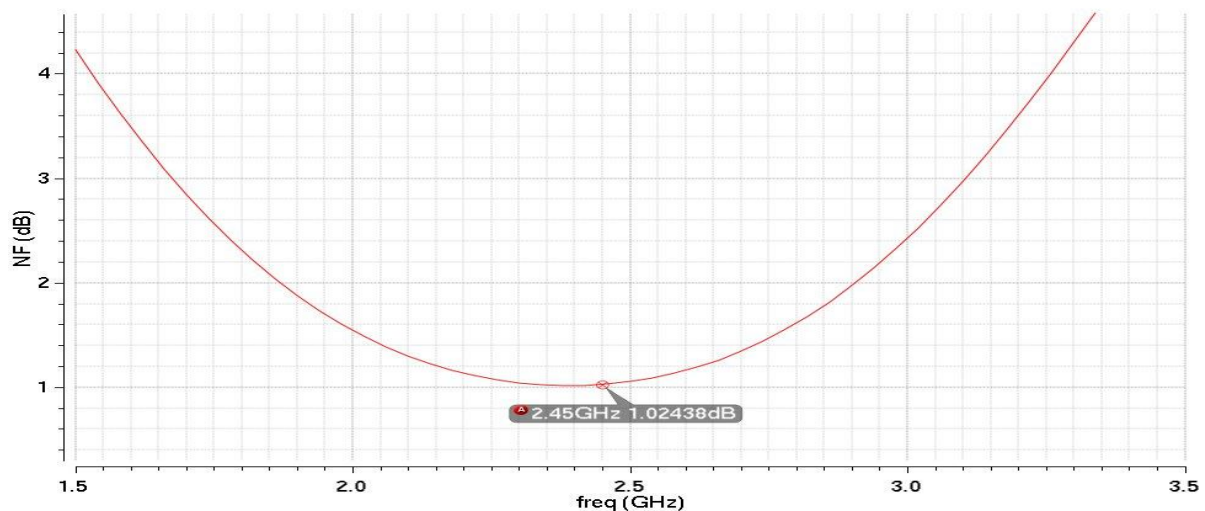


Figura 6-5 Figura de ruído do LNA.

Nas especificações era dado uma figura de ruído que deveria ser menor ou igual a 2 dB. Como pode ser percebido na Figura 6-5, a figura de ruído do LNA é de aproximadamente 1,024 dB em toda a banda de frequência de operação e portanto atende ao requisito de projeto.

6.2.2.6 LINEARIDADE

A primeira análise realizada para a verificação da linearidade do circuito do amplificador de baixo ruído foi feita através da análise de *Periodic Steady-State* – PSS – para encontrar o ponto de compressão de 1 dB. Nessa análise, foi verificada potência do sinal de

saída em função da variação da potência do sinal de entrada e o resultado é mostrado na Figura 6-6.

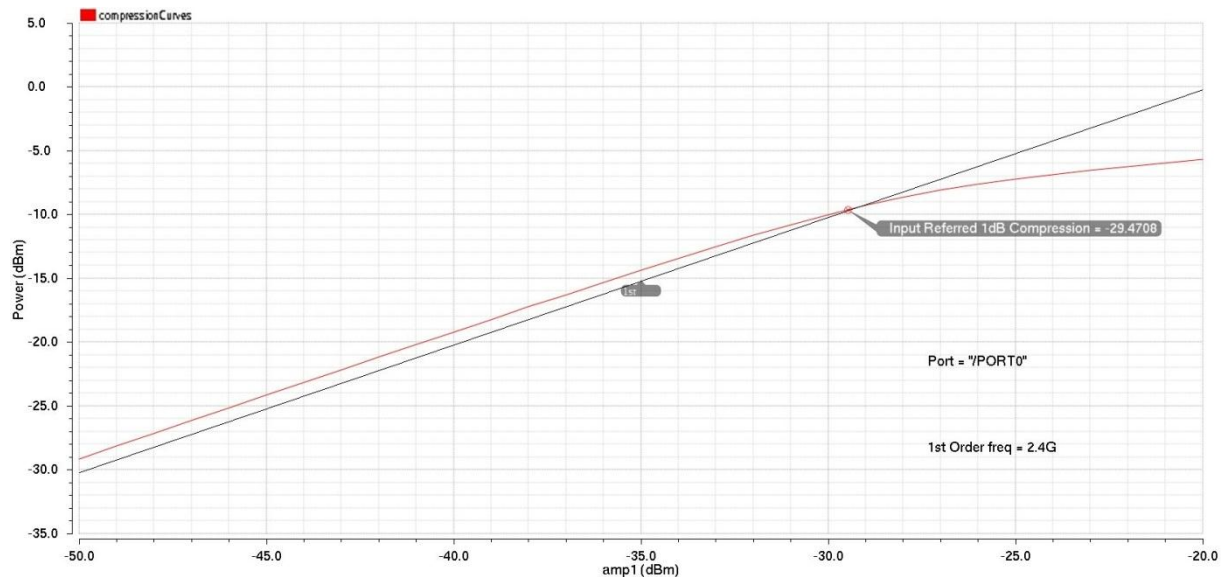


Figura 6-6 Ponto de compressão de 1dB do LNA.

Nessa análise é encontrado um ponto de compressão de 1 dB igual a aproximadamente -29,47 dBm. Esse valor extrapola o valor da especificação de projeto, porém, devido ao fato da licença de utilização do *software* Virtuoso ter expirado durante o desenvolvimento deste trabalho, não foi possível melhorar a linearidade do circuito.

A segunda análise de linearidade fica por conta do IP3. Para a simulação desta figura de mérito foi utilizada a simulação quasi *periodic steady-state* – QPSS. Nessa simulação é inserida duas frequências na entrada do amplificador, mas que possuem a mesma potência de sinal, e então foi verificada a potência do sinal de saída, veja a Figura 6-7.

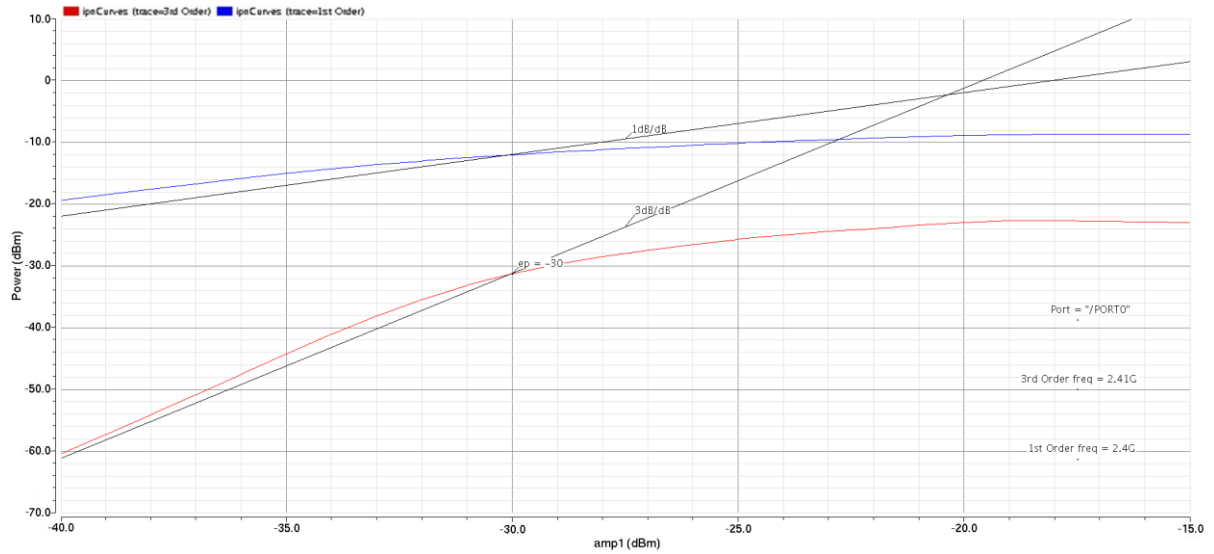


Figura 6-7 IP3 do LNA.

O ponto IP3 do LNA encontrado foi de aproximadamente -20,4 dBm. Valor que já era esperado já que o IP3 é em torno de 10 dB maior que o ponto de compressão de 1dB.

6.2.2.7 TRANSIENTE

A última simulação realizada no LNA foi a simulação transiente, que serve para verificar se o sinal de saída está amplificando o sinal de entrada corretamente sem qualquer distorção. Para tanto, foi colocada uma senóide de teste na entrada do LNA menor do que o valor do ponto de compressão de 1 dB e com uma frequência igual a 2,4 GHz. A Figura 6-8 apresenta o resultado dessa simulação.

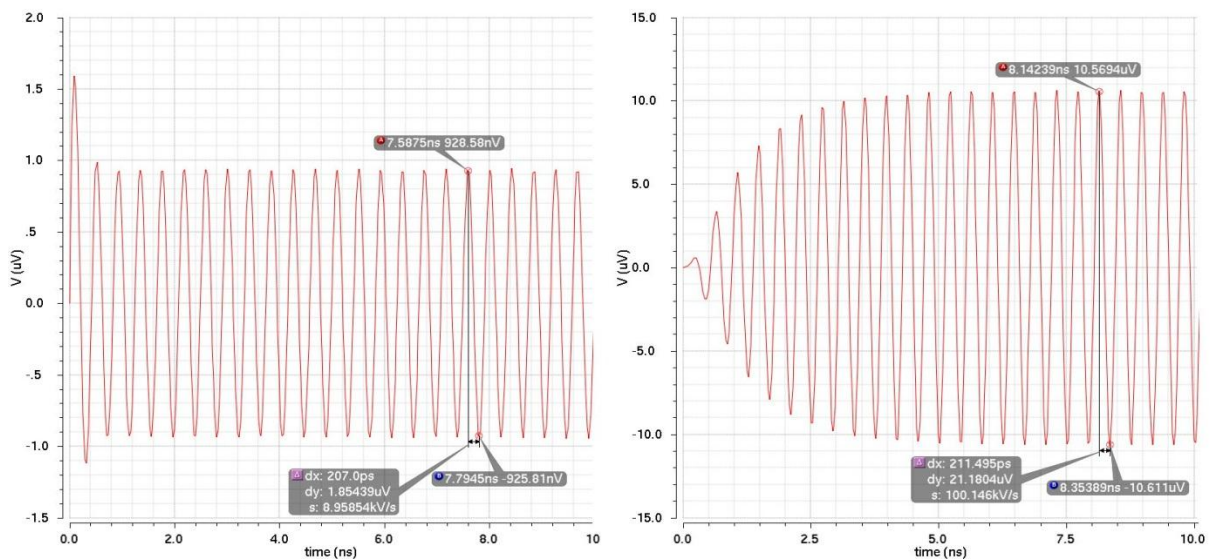


Figura 6-8 Simulação transiente da entrada e saída do LNA.

Nessa simulação é possível observar que o sinal de saída está bem definido e sem distorção. Analisando a tensão V_{pp} da entrada e da saída do circuito é possível verificar que o circuito do LNA projetado proporciona um ganho em decibéis (G) que é verificado através da Equação (42) e é igual a 21,17 dB, que é maior que o ganho proposto nas especificações de projeto.

$$G = 20\log\left(\frac{21,18 \mu V}{1,85 \mu V}\right) = 21,17 \text{ dB} \quad (42)$$

Para finalizar o projeto do amplificador de baixo ruído é preciso verificar a potência que está sendo dissipada pelo circuito. Esse parâmetro será extraído a partir da corrente de polarização do LNA e da tensão de alimentação do circuito. A corrente de polarização final ficou em 5,13 mA e como temos um $VDD = 1,8 \text{ V}$, a potência dissipada é de 9,23 W.

6.2.3 INDUTORES INTEGRADOS

Os indutores integrados são caracterizados por possuírem baixos valores para o fator de qualidade e, por isso a maioria dos projetos de transceptores desenvolvidos utiliza indutores externos. Entretanto, os avanços tecnológicos neste campo levaram à realização de várias estruturas de indutores dentro de uma mesma pastilha de silício. As formas existentes mais encontradas na literatura são desenvolvidas através de espirais de forma quadrada, hexagonal, octogonal e até mesmo circular, sendo esta última de difícil implementação em algumas tecnologias ([FERREIRA, 2006](#)).

Os indutores em espiral são normalmente caracterizados pelo seu diâmetro, largura de trilha, número de voltas e pelo espaçamento entre as trilhas. A tecnologia TSMC 0.18 μm disponibiliza basicamente os resistores em espirais octogonais que são apresentados na Figura 6-9.

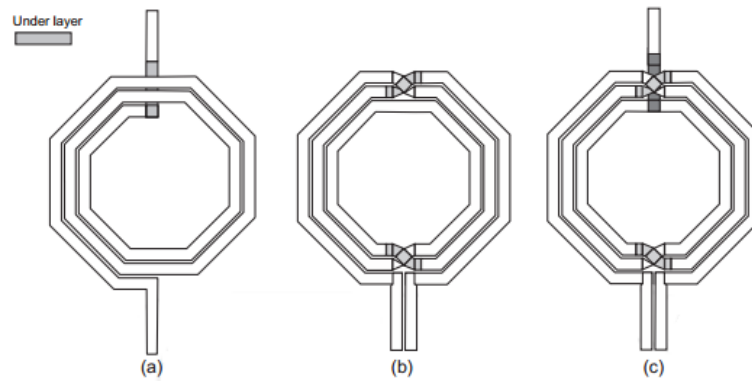


Figura 6-9 Indutores integrados em espiral octagonal. (a) single-ended (b) simétrico (c) simétrico com center-tap.

A Figura 6-9(a) indica o indutor *single-ended* que possui somente uma trilha que passa por debaixo da espiral. As Figuras 6-9(b) e (c) mostram indutores em espiral simétricos com e sem *center-tap*, respectivamente. O *center-tap* é utilizado para ter acesso ao nó central do indutor e assim controlar indutância gerada por ele através desse ponto. Em circuitos diferenciais, a utilização de indutores simétricos é recomendada quando se quer obter uma redução da área necessária para este dispositivo, já que para implementação através circuitos simétricos seriam necessários dois indutores *single-ended*, o que consumiria uma área maior do *chip*. Em contra partida, os indutores simétricos possuem mais pontos em que a trilha passa por debaixo de outra da espiral, veja a Figura 6-9, e que dependerá de quantas voltas a espiral terá. E isso fará com que as trilhas gerem uma maior resistência a passagem do sinal, o que acarretará numa degradação do fator de qualidade do indutor (OKADA).

Para a substituição dos indutores ideais por indutores reais, foram utilizados indutores simétricos iguais aquele da Figura 6-9. No *software* Virtuoso ele pode ser encontrado na biblioteca que possuem componentes de rádio frequência com o nome de *spiral_sym_mu_x_20k*. Porém, para o indutor L_g , da entrada do sinal de rádio frequência, foi utilizado um indutor externo já que devido a alta indutância necessária, não foi possível obter um indutor integrado com fator de qualidade razoável além de que consumiria uma grande área do *chip*.

6.2.4 PARÂMETROS FINAIS DO LNA

Após a realização das simulações, as dimensões finais dos parâmetros do LNA são apresentadas na Tabela 6-1.

Parâmetro	Valor	Unidade
Largura ótima do transistor da fonte de corrente (W_0)	700	μm
Largura ótima dos transistores ($W_{1,2,3,4,6,7,8,9}$)	273	μm
Corrente de polarização (I_D)	5,13	mA
Comprimento do canal dos transistores ($W_{0,1,2,3,4,6,7,8,9}$)	0,18	μm
Tensão de polarização ($V_{g_{M_{1,2}}}$)	0,9	V
Tensão de polarização ($V_{g_{M_{3,4}}}$)	1,8	V
Indutor real de degeneração (L_s)	0,7299	nH
Indutor de <i>gate</i> (L_g)	8,7	nH
Indutor real de saída (L_d)	2,875	nH
Capacitor real de saída (C_d)	1,071	pF
Corrente de polarização do segundo estágio (I_{d2})	1,40	mA

Tabela 6-1 Parâmetros finais do LNA.

Por fim, na Tabela 6-2 é possível verificar o resumo das figuras de méritos obtidas no projeto.

Parâmetros	Valor		Unidade
	Obtido	Especificado	
Tecnologia	0.18	0.18	μm
Tensão de Alimentação	1.8	1.8	V
Faixa de Operação	2.4 – 2.5	2.4 – 2.5	GHz
Potência dissipada	9,23	10	mW

Figura de Ruído	1,024	2	dB
Ganho de Conversão	21,17	20	dB
IP1 dB	-29,47	-25	dBm
IIP3	-20.4	-15	dBm

Tabela 6-2 Desempenho do LNA projetado.

6.3 MIXER

6.3.1 TESTBENCH

Inicialmente foi criado um símbolo para o misturador e em seguida montado o *testbench* como mostra a Figura 6-10.

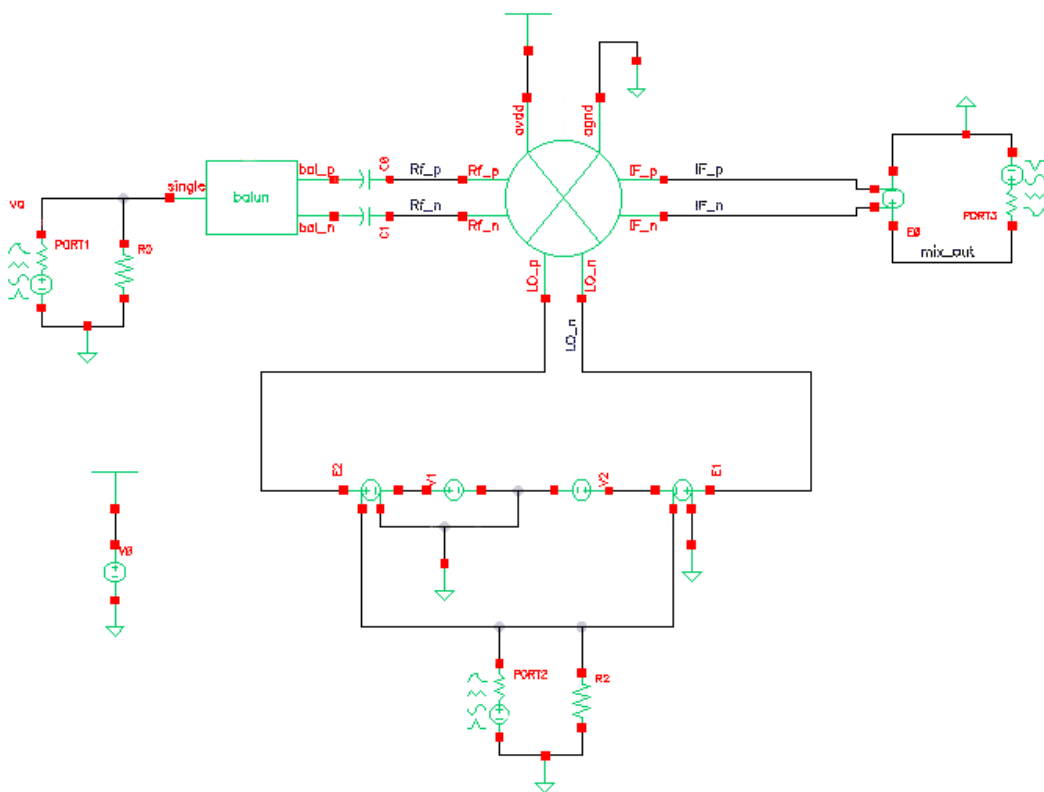


Figura 6-10 Testbench para simulação do mixer.

É possível notar a utilização de três PORT que serão necessários para implementar as simulações do *mixer*. Esses PORT são geradores de sinais que tem como especificar a resistência de fonte, como já foi explicado. Foi utilizado o BALUN na tanto na entrada como

na saída do circuito para permitir a geração de um sinal de um circuito desbalanceado para balanceado e vice-versa. Já para a entrada do oscilador local, foram utilizadas duas fontes de tensão DC para criar uma componente DC na entrada do circuito e que estão ligados a uma fonte VCVS que faz uma atenuação de 50% da tensão gerada pelo PORT do oscilador local para criar a componente de tensão positiva e negativa.

6.3.2 SIMULAÇÕES

6.3.2.1 PONTO DE OPERAÇÃO

Como de praxe, serão iniciadas as simulações através da simulação DC. Sendo assim, na primeira simulação foi constatado que alguns transistores estavam fora da região de saturação. Dessa forma, o primeiro passo foi variar alguns parâmetros como as tensões de *gate*, a corrente de polarização e o tamanho dos transistores a fim de coloca-los em saturação para depois partir para a simulação das outras figuras de mérito através de simulações de balanço harmônico.

6.3.2.2 GANHO DE CONVERSÃO

É possível alterar o ganho de conversão do circuito do *mixer* de duas maneiras. A primeira é variando a impedância de saída do circuito. A outra é modificando a transcondutância dos transistores de entrada M_1 e M_2 , que pode ser feito variando a corrente de polarização, as dimensões desses transistores ou a sua tensão de *overdrive*.

A simulação para verificação do ganho de conversão fornecido pelo misturador é importante não só para indicar o ganho do circuito, mas como também para identificar a amplitude do sinal que o oscilador local deverá fornecer. Assim, foi realizada uma simulação para análise do *Periodic Steady-State* – PSS – assumindo que o oscilador local gera uma senóide de frequência igual a 2,4 GHz e outra simulação de análise de pequenos sinais conhecida como PAC – *Periodic AC analysis*. Ela será responsável por encontrar o sinal de saída em todos os nós do circuito e em toda a banda de frequência a partir de um sinal de entrada. Sendo assim, foi realizado um *sweep* na amplitude do oscilador local e verificado o ganho gerado pelo circuito que está apresentado na Figura 6-11.

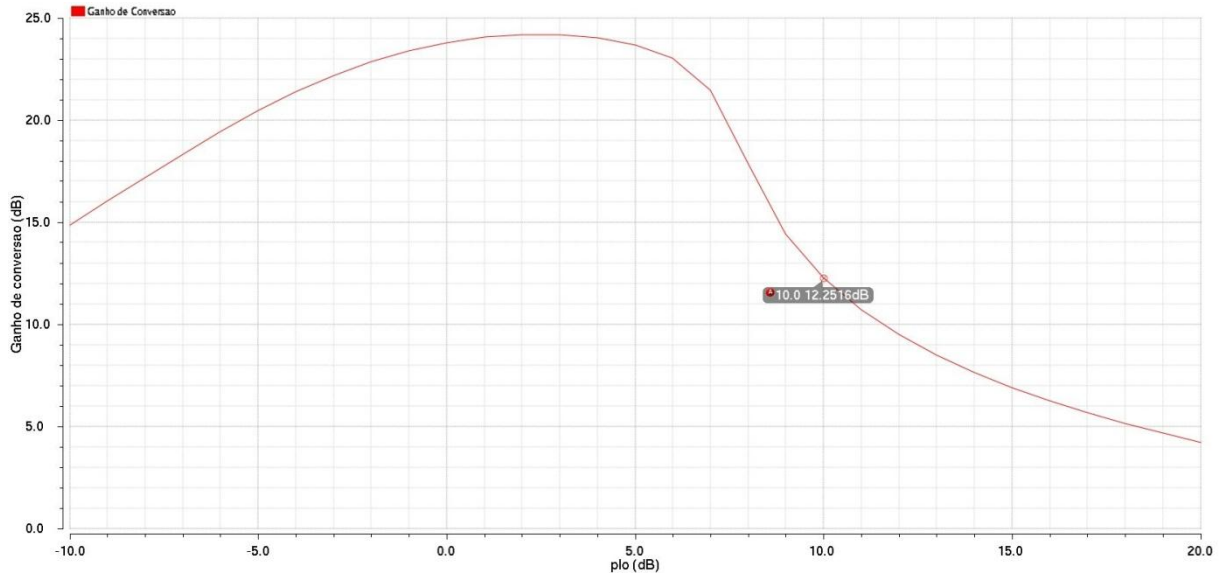


Figura 6-11 Ganho de conversão do *mixer*.

É observado que para atingir um ganho de conversão de 12 dB como listado nas especificações de projeto, uma potência do sinal do oscilador (plo) igual a 10 dBm é o suficiente. Essa potência pode ser convertida para tensão através de uma simulação transiente, ao qual será verificada a amplitude do sinal LO_n e LO_p. Assim é possível encontrar uma tensão equivalente V_{pp} para esta potência de sinal igual a 1 V, veja a Figura 6-12.

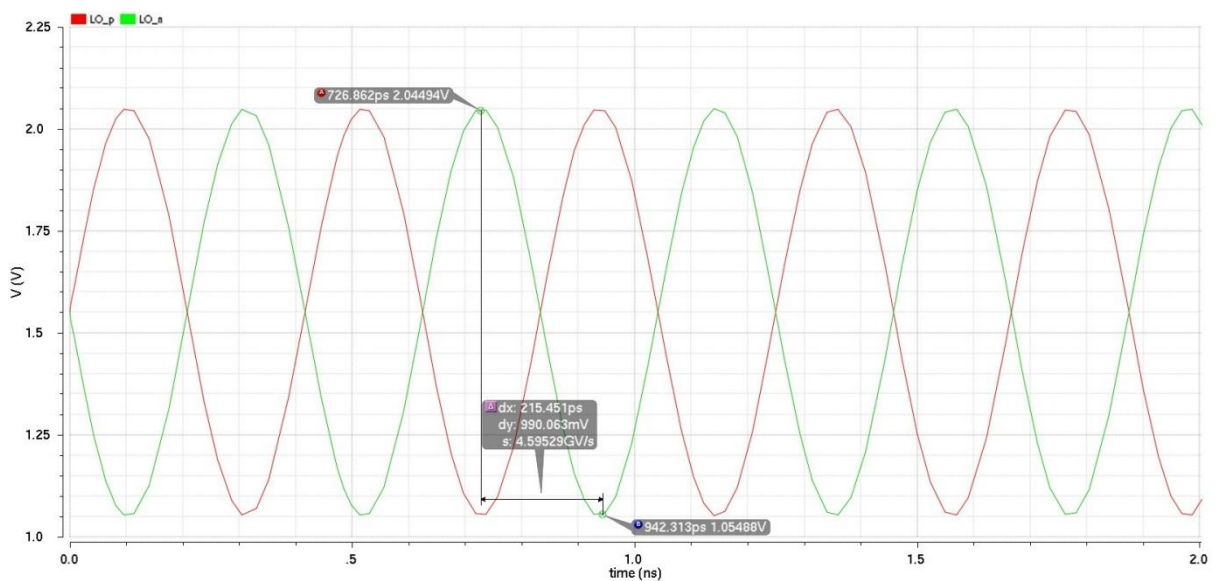


Figura 6-12 Tensão de saída do oscilador local.

Utilizando essa potência de sinal de saída do oscilador, é possível verificar o comportamento do ganho de conversão do *mixer* para uma variação na frequência do sinal de entrada, veja a Figura 6-13.

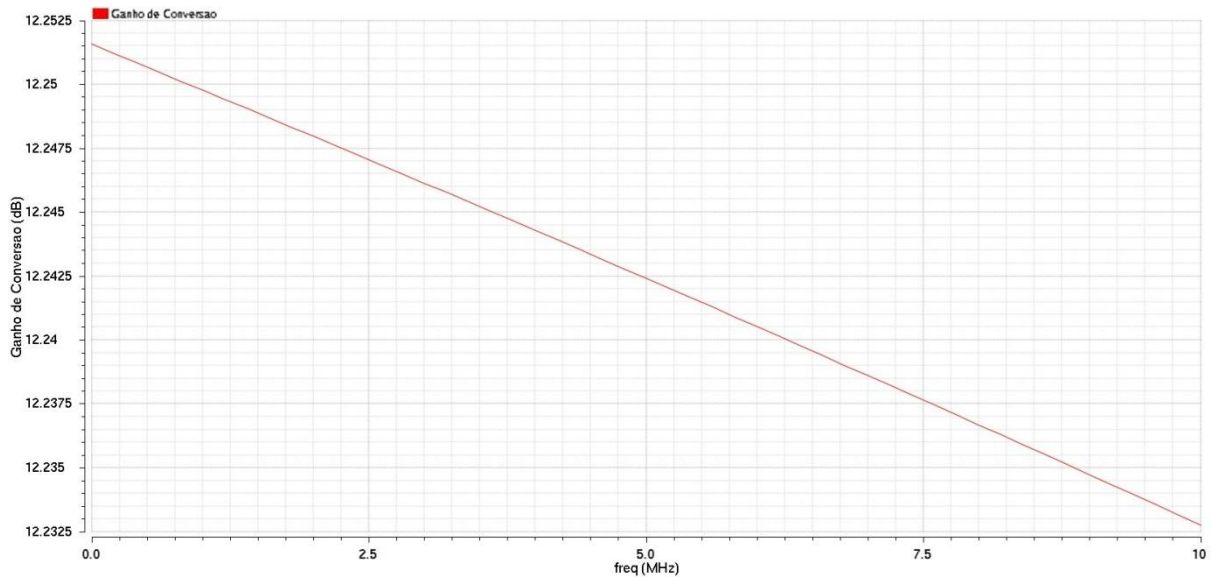


Figura 6-13 Ganho de conversão x Frequência do sinal de entrada (RF).

Observe que, realizando uma variação de 10 MHz no sinal de entrada o ganho se manteve praticamente estável, evidenciando uma boa manutenção do ganho do *mixer*.

6.3.2.3 FIGURA DE RUÍDO

Essa figura de mérito pode ser influenciada tanto pelo estágio de carga quanto pela potência do sinal do oscilador local. O primeiro acontece devido a inserção de resistores ou transistores muito grandes. Já o segundo, quanto maior a potência do oscilador, melhor será a figura de ruído. Porém, ela não pode ser demasiadamente grande, pois isso pode acarretar na geração de picos no sinal de entrada que reduzirão a velocidade de chaveamento dos transistores M_1 a M_4 e assim aumentará o *fedthrough* pelo oscilador.

A figura de ruído do sistema pode ser encontrada fazendo uma simulação PNOISE juntamente com uma análise de PSS, ao qual será variada a potência do sinal advindo do

oscilador local, para verificar o ruído SSB que o circuito apresenta para cada uma dessas potências. O resultado dessa simulação pode ser verificado na Figura 6-14.

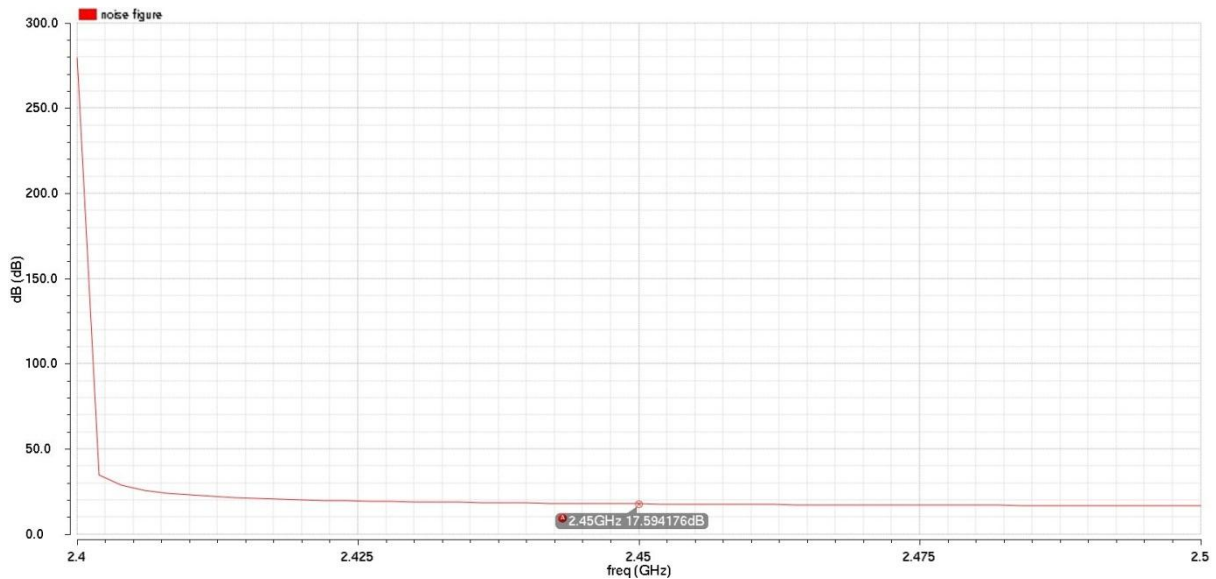


Figura 6-14 Figura de ruído x Frequência do sinal de entrada (RF).

É observado que a figura de ruído para a potência do oscilador local que foi estipulada durante a simulação do ganho é de aproximadamente 17,59 dB na frequência média de operação do ZigBee, valor que está um pouco acima do valor da especificação.

6.3.2.4 LINEARIDADE

A linearidade é afetada principalmente pela linearidade dos transistores de entrada, mas também se pode obter uma linearidade ruim através de um chaveamento inadequado realizado pelos transistores que recebem o oscilador local, fazendo com que dois transistores conduzam ao mesmo tempo. Esse parâmetro pode ser melhorado também incluindo uma impedância de degeneração, ao custo de uma diminuição no ganho de conversão.

A análise da linearidade do *mixer* projetado deve ser feita aplicando a potência estipulada nas simulações anteriores, e aplicar um tom médio no sinal de entrada RF para assim executar a simulação de *Quasi Periodic Steady State* – QPSS. Esta é uma análise que utiliza uma série de análises PSS para todas as frequências de entrada, considerando suas

harmônicas e os produtos de intermodulação. É bem similar ao PAC, porém o QPSS simula o comportamento de grande sinal do circuito. Em seguida, é aplicado um segundo tom bem próximo ao tom inserido inicialmente na entrada e então é executado outra simulação, o QPAC. Com essa simulação é possível obter tanto o ponto de compressão de 1 dB quanto o IP3 do circuito, o resultado é apresentado na Figura 6-15 e Figura 6-16, respectivamente.

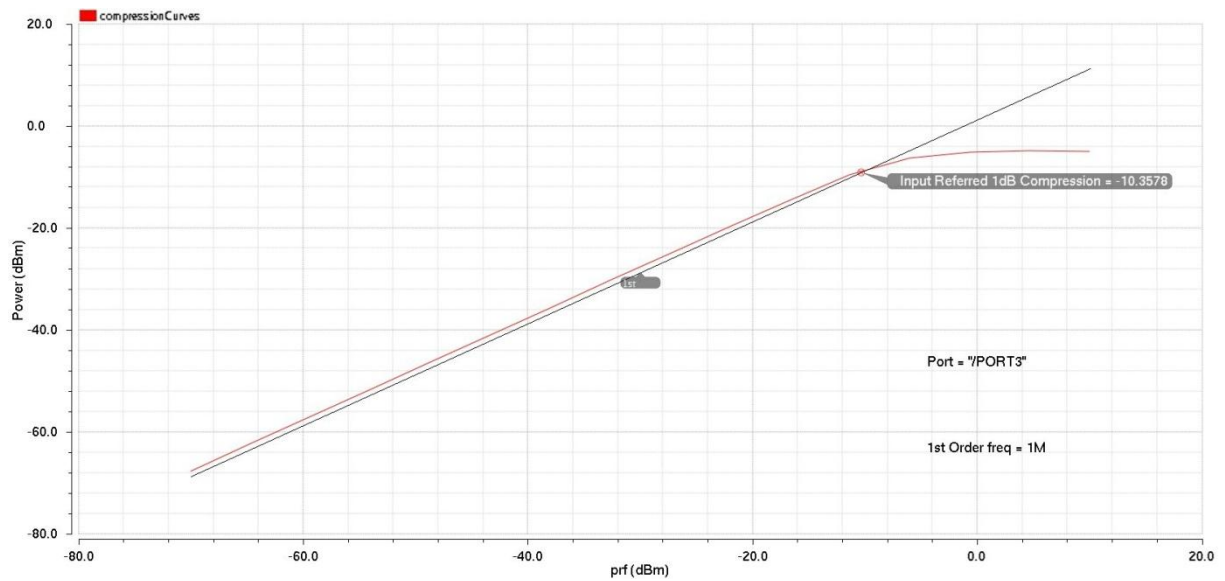


Figura 6-15 Ponto de compressão de 1 dB do *mixer*.

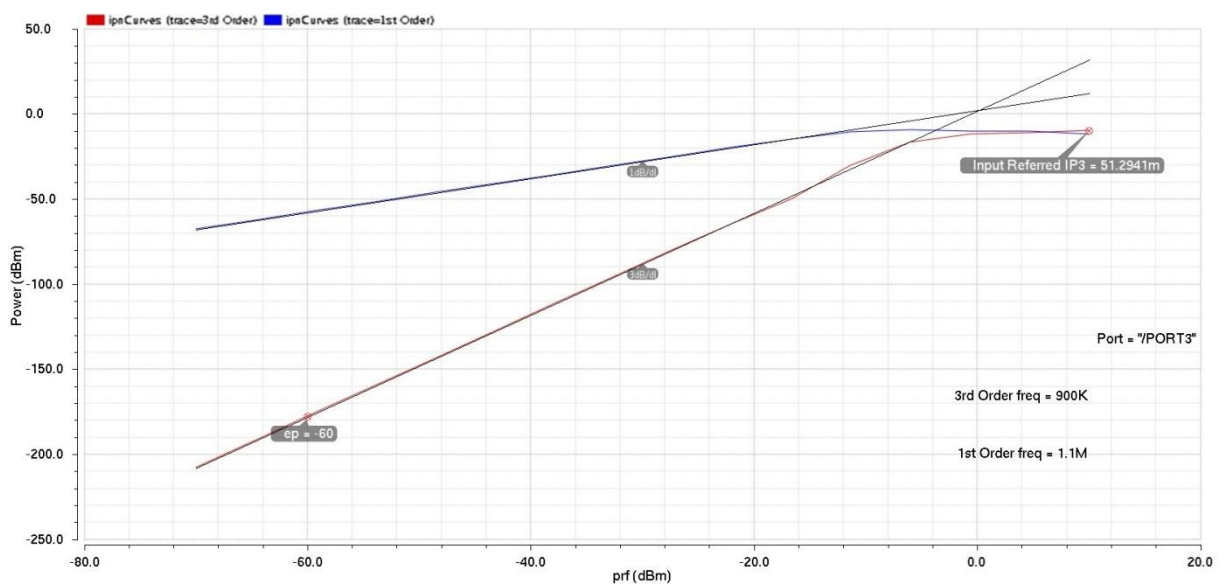


Figura 6-16 Ponto IP3 do *mixer*.

É observado que o ponto de compressão de 1dB está localizado em -10,36 dB e o IP3 em 0 dB, indicando uma linearidade um pouco acima das especificações iniciais de projeto, mas que não puderam ser melhoradas devido a licença de utilização do Virtuoso pela Universidade ter se expirado, como já foi explicado.

6.3.2.5 POTÊNCIA DISSIPADA

Por fim, o consumo de potência pode ser obtido de duas maneiras, a primeira delas é utilizar a corrente de polarização do circuito e multiplicar pela tensão de alimentação ou através da simulação QPSS. Essa simulação é apresentada na Figura 6-17.

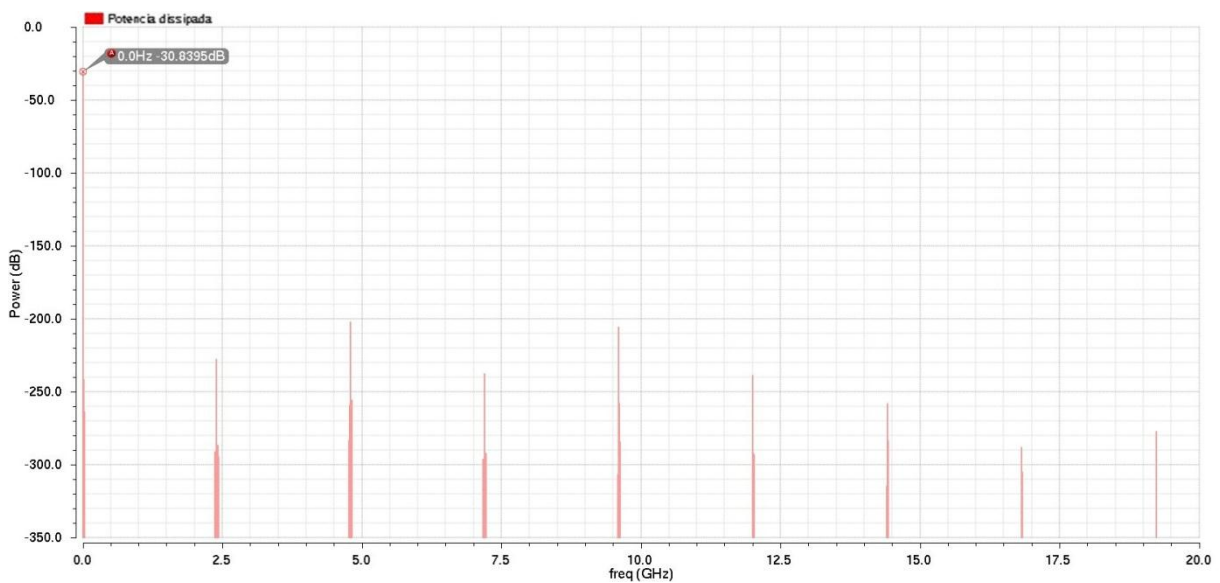


Figura 6-17 Consumo de potência do mixer.

É possível perceber que existem vários picos de potências que estão dispostos nas harmônicas que compõem o sinal. Para obter a potência total dissipada pelo circuito basta realizar a soma dessas potências. Mas observe que os valores das potências das harmônicas são bem pequenos, portanto elas serão desprezadas. Assim, utilizando a potência da frequência fundamental é possível encontrar uma potência dissipada igual a -30,8395 dB, veja a Figura 6-16, que é equivalente a 0,824 mW. Portanto, é atingido o valor de especificação para este parâmetro.

6.3.3 PARÂMETROS FINAIS DO MIXER

Após a realização das simulações, as dimensões finais dos parâmetros do *mixer* são apresentadas na Tabela 6-3.

Parâmetro	Valor	Unidade
Corrente de polarização (I_D)	0,856	mA
Largura do transistor da fonte de corrente (W_0)	75	μm
Largura dos transistores de entrada ($W_{1,2}$)	35	μm
Largura dos transistores do oscilador local ($W_{3,4,5,6}$)	85	μm
Largura dos transistores de carga ($W_{7,8}$)	40	μm
Comprimento do canal do transistor da fonte de corrente (L_0)	1	μm
Comprimento do canal dos transistores de entrada ($L_{1,2}$)	0,18	μm
Comprimento do canal dos transistores do oscilador local ($L_{3,4,5,6}$)	0,18	μm
Comprimento do canal dos transistores de carga ($L_{7,8}$)	0,54	μm
Tensão DC do transistor de entrada ($V_{g_{1,2}}$)	1,35	V
Tensão DC do transistor do oscilador local ($V_{g_{3,4,5,6}}$)	1,55	V
Divisor resistivo (R_0 e R_1)	15	k Ω
Resistência de polarização (R_2 e R_3)	5	k Ω

Tabela 6-3 Parâmetros finais do mixer.

Por fim, na Tabela 6-4 é possível verificar o resumo das figuras de méritos obtidas no projeto.

Parâmetros	Valor		Unidade
	Obtido	Especificado	
Tecnologia	0.18	0.18	μm
Tensão de Alimentação	1.8	1.8	V
Faixa de Operação	2.4 – 2.5	2.4 – 2.5	GHz
Potência dissipada	0,824	10	mW
Figura de Ruído	17,48	16	dB
Ganho de Conversão	12,25	12	dB
IP1 dB	-10,36	-5	dBm
IIP3	0	5	dBm

Tabela 6-4 Desempenho do *mixer* projetado.

6.4 RUÍDO TOTAL GERADO PELO LNA E MIXER NO TRANSCÉPTOR

A fórmula de Friis será utilizada para a verificação do ruído total que o sistema formado pelo amplificador de baixo ruído e pelo misturador de frequências irá inserir no transceptor ZigBee. Friis demonstra que a figura de ruído total de um sistema formado por vários blocos em cascada, como no sistema do transceptor em estudo – Figura 6-18, pode ser encontrada através da Equação (43).

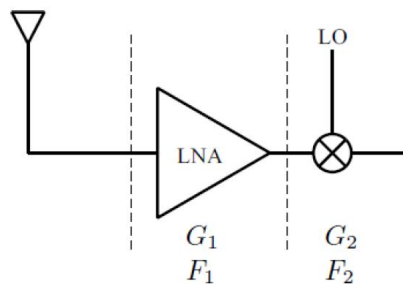


Figura 6-18 Sistema formado pelo LNA e *mixer*.

$$NF_T = F_1 + \frac{F_2 - 1}{G_1} \quad (43)$$

Onde, F indica o valor da figura de ruído daquele estágio e G o ganho do bloco.

Sabendo que a figura de ruído final do LNA e do *mixer* foram iguais a 1,024 dB e 17,48 dB, respectivamente, e que o ganho fornecido pelo LNA foi igual a 21,17 dB, então pode ser obtido uma figura de ruído total inserida no transceptor NF_T igual a 1,802 dB.

7 CONCLUSÃO

A utilização de transceptores ZigBee no monitoramento e controle de redes de sensores se mostra muito mais eficiente quando comparado às outras tecnologias wireless convencionais, como o Wi-Fi e o Bluetooth. Isso porque esse tipo de aplicação não exige uma alta taxa de transferência, mas exige uma quantidade maior de canais e também uma baixa latência, fato este que permite realizar o monitoramento e controle com tempo de resposta menor. O protocolo ZigBee é especificado pela norma IEEE 802.15.4 e é utilizada na banda de rádio ISM, 2,4 GHz. Dessa forma, ela pode ser implementada em todo o mundo sem a necessidade da retirada de licença autorizando o uso da frequência desejada na agência reguladora do país de aplicação.

Neste trabalho foi apresentado e analisado dois blocos constituintes de um transceptor de rádio frequência, o LNA e o *mixer*. Dessa forma, foi discutida a função de cada um deles no estágio de recepção apresentando suas características e topologias disponíveis. Decidiu-se trabalhar com as topologias com entradas e saídas diferenciais, pois assim é possível aumentar a imunidade do sistema à ruídos e possibilitar uma maior output-swing. Também foi apresentado e analisado uma forma de modelar esses circuitos utilizando a linguagem de descrição de hardware Verilog-AMS seguindo a metodologia de projetos Top-Down, que visa aumentar a eficiência no desenvolvimento do projeto. Por fim, foi demonstrada uma metodologia para o projeto elétrico e apresentado os resultados das simulações das figuras de mérito de cada um dos circuitos que foram realizadas utilizando a tecnologia 0.18 μm CMOS da Taiwan Semiconductor Manufacturing CO. – TSMC.

As simulações foram realizadas utilizando o simulador Spectre, disponibilizado pela Cadence. Apesar de que a linearidade dos circuitos ficaram um pouco abaixo do esperado, os resultados finais obtidos para os circuitos projetados neste trabalho foram considerados satisfatórias, já que os eles se mostraram bem próximos das especificações iniciais de projeto.

Os projetos desenvolvidos em alto nível tinham por objetivo validar tanto o circuito do amplificador de baixo ruído quanto do misturador de frequências na cadeia de recepção do transceptor ZigBee. Dessa forma, seriam realizadas várias simulações através de combinações dos circuitos do LNA e do *mixer*, em alto nível e em nível de transistores, até que cada projeto

elétrico fosse validado individualmente e em conjunto. Entretanto, essas simulações foram inviabilizadas devido à expiração da licença de utilização do *software* Virtuoso da Cadence para a Universidade durante o desenvolvimento desse projeto e, portanto ficam como sugestão para trabalhos futuros.

8 REFERÊNCIAS

- BHAT, R.; NARASIMHAMURTHY, K. C. *Low Noise Amplifier at 2.4 GHz for Zigbee in MOS 180 nm Technology*. Artigo publicado pelo International Journal of Advanced Research in Electrical, Electronics and Instrumentation Engineering. Karnataka, India. Vol. 3, Issue 6, June 2014.
- CAMPOS, R. S. *Modelagem de um transceptor ZigBee utilizando linguagem Verilog-AMS*. Trabalho de conclusão de curso. Universidade de Brasília, 2014.
- CORNETTA, G.; SANTOS D. J. *130 nm CMOS Mixer and VCO for 2.4 GHz Low-power Wireless Personal Area Networks*. Artigo publicado pelo International Journal of Electrical and Computer Engineering 3:12, 2008.
- DEVOTI, H. R. F. *Projeto de um Misturador em Tecnologia CMOS para um Receptor RF integrado*. Trabalho de conclusão de curso. Universidade de Brasília, 2010.
- ERGEN, S. C. *Zigbee/ieee 802.15.4 summary*. UC Berkeley, September, v.10, 2004.
- FERREIRA, F. J. A. *Projeto de um Misturador em Tecnologia CMOS de 0,25 μm* . Dissertação de Mestrado. Universidade Federal de Itajubá, 2006.
- FIORELLI, R.; VILLEGAS, A.; PERALÍAS, E.; VÁZQUEZ, D.; RUEDA, A. *2.4-GHz Single-ended Input Low-Power Low-Voltage Active Front-end for ZigBee Applications in 90 nm CMOS*. Artigo publicado pelo Instituto de Microelectrónica de Sevilla, Universidad de Sevilla, Spain.
- GUIMARÃES, T. A. N. *Modelagem de um PLL e Projeto de VCO para Transceptor ZigBee*. Trabalho de conclusão de curso. Universidade de Brasília, 2014.
- HO, D.; MIRABBASI, S. *Low-Voltage Low-Power Low-Noise Amplifier for Wireless Sensor Networks*. Artigo publicado pelo Department of Electrical and Computer Engineering, University of British Columbia, Vancouver, Canada.
- KUNDERT, K.; ZINKE, O. *The designer's guide to Verilog-AMS*. [S.l.]: Springer, 2004.

- LEE, T. H, *The Design of CMOS Radio-Frequency Integrated Circuits*, 2nd ed, Cambridge University Press, 2004.
- MONSIGNORE, F. *Sensoriamento de ambiente utilizando o padrão ZigBee*. Dissertação de mestrado. Universidade de São Paulo, 2007.
- MORAES, E. N. *Implementação de um modelo do transistor MOS em VERILOG-AMS*. Dissertação de mestrado – Setor de Tecnologia - Universidade Federal do Pará - Curitiba, 2008.
- MOREIRA, J. Q. *Misturador CMOS de 2,4ghz para Conversão a Baixas Frequências Operando em Inversão Moderada*. Dissertação de Mestrado. Universidade Federal de Santa Catarina, 2009.
- NENOKI, E. *ZigBee – Estudo da tecnologia e aplicação no sistema elétrico de potência*. Trabalho de conclusão de curso. Universidade Tecnológica Federal do Paraná, 2013.
- NORRIS, M. Single-chip zigbee for indoor mobile telemetry. IET, 2005.
- OKADA, K.; MASU K. *Modeling of Spiral Inductors*. Tokyo Institute of Technology. Japão.
- PEIJUN, G.; HAO, M. *A 2.4-GHz low power dual gain low noise amplifier for ZigBee*. Artigo publicado pelo State Key Laboratory of ASIC & System, Fundan University. Shangai, China, 2012.
- PHAM, B. *A 1.9 GHz Gilbert Mixer in 0.18 μ CMOS For a Cable Tuner*. Trabalho de conclusão de curso. Carleton University. Ottawa, Canadá.
- PINTO, J. A. A. *Projeto e Modelagem de um Divisor de Frequências para Utilização no PLL de um Transceptor ZigBee*. Trabalho de conclusão de curso. Universidade de Brasília, 2014.
- POUSO, M. T. P. *Sistema de automação e controle de um sistema de irrigação*. Trabalho de conclusão de curso. Centro Universitário de Brasília – UNICEUB. Brasília, 2012.
- RAZAVI, B. *RF Microelectronics*. 2nd ed. [S.1.]: Prentice Hall PTR Upper Saddle River, NJ, 2011.

Relatório de conjuntura dos recursos hídricos no Brasil: 2013. Agência Nacional de Águas (ANA). Brasília, 2013.

SILVA, I. M. D. da. *Análise de desempenho de sistemas de comunicação sem-fio para monitoramento de unidade de produção de poços petrolíferos terrestres*. Tese de doutorado. Universidade Federal do Rio Grande do Norte, 2008.

SOARES, V. F. *Projeto de módulos de RF para sistema em chips MOS*. Trabalho de conclusão de curso. Universidade de Brasília, 2008.

TOUMAZOU, C.; MOSCHYTZ G.; GILBERT B. *Trade-Offs in Analog Circuit Design, The Designer's Companion*. Kluwer Academic Publishers, New York, Boston, Dordrecht, London, Moscow. Estados Unidos da América, 2002.

VILLEGAS, A.; VÁQUEZ, D.; RUEDA, A. *A Low Power Low Voltage Mixer for 2.4GHz Applications in CMOS-90nm Technology*. Artigo publicado pelo Instituto de Microelectrónica de Sevilla, Universidad de Sevilla, Spain.