

TRABALHO DE CONCLUSÃO DE CURSO

MEMÓRIA ENDEREÇADA POR CONTEÚDO NANOELETRÔNICA

Bianca Maria Salatiel Matos de Alencar

Brasília, dezembro de 2009

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE CONCLUSÃO DE CURSO

MEMÓRIA ENDEREÇADA POR CONTEÚDO NANOELETRÔNICA

Bianca Maria Salatiel Matos de Alencar

Relatório submetido como requisito parcial para obtenção
do grau de Engenheiro Eletricista

Banca Examinadora

Profa. Dra. Janaína Gonçalves Guimarães, UnB/
ENE (Orientadora)

Profa. Dra. Juliana Fernandes Camapum, UnB/ ENE

Prof. Dr. Alexandre Romariz, UnB/ ENE

Dedicatória

*Aos meus pais Francisco e Sonia, à minha
irmã Bárbara e ao meu namorado Murilo.*

Bianca Alencar

Agradecimentos

Agradeço a Deus por ter conseguido concluir este curso da melhor forma possível. A Janaina por toda a orientação dada nos últimos anos, além da dedicação, paciência e exemplo de conduta profissional. Aos meus pais por todo apoio e incentivo e a minha irmã pelo companheirismo diário. Ao meu namorado Murilo pela compreensão e constantes ajudas nestes 5 anos de curso. A todos aqueles que também contribuíram para a finalização deste trabalho. Agradecimentos especiais a Camila, Lauris e Olaia por toda ajuda e amizade.

Bianca Maria Salatiel Matos de Alencar

RESUMO

O presente texto é resultado de pesquisas desenvolvidas pela autora ao longo de trabalhos de iniciação científica juntamente com o desenvolvimento do projeto de conclusão de curso. Aqui é apresentada uma proposta original para uma memória endereçada por conteúdo nanoeletrônica, cujo funcionamento foi validado por simulações computacionais na temperatura ambiente.

A partir da escolha do núcleo da célula dessa memória, que seria representada por um *flip-flop/latch* SET-RESET, vários estudos de portas e circuitos lógicos foram desenvolvidos de forma a obter o melhor circuito correspondente a essa arquitetura desejada. Além disso, foram avaliados também os demais circuitos necessários para a formação da arquitetura final da memória. Dessa forma, pôde ser idealizada uma memória endereçada por conteúdo formada inteiramente por dispositivos mono-elétron e cujas funcionalidades fossem capazes de realizar as funções básicas desejadas: a partir de uma palavra de entrada externa, realizar sua comparação com palavras previamente armazenadas no seu núcleo e endereçar o conteúdo da memória através do caminho vencedor.

Como resultado destes trabalhos, há ainda o artigo *Single-Electron Content-Address Memory Circuit*, apresentado na sessão SFORUM no congresso Chip in the Pampa (Gramado, 2008).

SUMÁRIO

1. INTRODUÇÃO	1
1.1 Objetivo.....	2
1.2 Estrutura do trabalho	2
2. REVISÃO BIBLIOGRÁFICA	3
2.1 MEMÓRIA ENDEREÇADA POR CONTEÚDO.....	3
2.1.1 Arquitetura de uma memória endereçada por conteúdo [2]	3
2.2 NANOELETRÔNICA.....	4
2.2.1 Dispositivo de tunelamento mono-elétron [3].....	4
2.2.1.1 Tunelamento	5
2.2.1.2 Efeito de carregamento e o Bloqueio de Coulomb	5
2.2.1.3 Co-tunelamento.....	6
2.2.1.4 Cargas de desvio	7
2.2.1.5 Transistor mono-elétron	7
2.2.2 Portas e circuitos lógicos mono-elétron	8
2.2.2.1 Portas E e NÃO-E	8
2.2.2.2 Portas OU e NÃO-OU	9
2.2.2.3 Porta OU-EXCLUSIVO.....	10
2.2.2.4 <i>Flip-Flop</i> SET-RESET (SR) [10].....	11
2.3 REDES NEURAIIS ARTIFICIAIS.....	13
3. METODOLOGIA	14
3.1 INTRODUÇÃO.....	14
3.2 ESTRATÉGIAS.....	14
3.3 SIMULAÇÃO.....	15
4. ESTUDO DE CÉLULAS DE MEMÓRIA NANOELETRÔNICAS	16
4.1 INTRODUÇÃO.....	16
4.2 ANÁLISE DE DESEMPENHO DAS CÉLULAS DE MEMÓRIA.....	16
4.2.1 FLIP- FLOP 1	16
4.2.1.1 Memória endereçada por conteúdo nanoeletrônica: uma concepção prévia	17
4.2.2 Porta NÃO-E 1	20
4.2.3 Porta NÃO-OU 1	22
4.2.4 LATCH 1	23
4.2.5 Portas NÃO-E 2 e NÃO-OU 2	25
5. A MEMÓRIA ENDEREÇADA POR CONTEÚDO NANOELETRÔNICA	28
5.1 INTRODUÇÃO.....	28
5.2 DEFINIÇÃO DA ARQUITETURA DA MEMÓRIA ENDEREÇADA POR CONTEÚDO.....	28
5.3 ARQUITETURAS DO BLOCO COMPARADOR.....	32
5.4 VALIDAÇÃO DO DESEMPENHO DA MEMÓRIA ENDEREÇADA POR CONTEÚDO NANOELETRÔNICA PROPOSTA.....	34
6. CONCLUSÕES	37
REFERÊNCIAS BIBLIOGRÁFICAS	38
APÊNDICE A	39

A.1	Circuito da memória endereçada por conteúdo nanoeletrônica elaborada em proposta prévia.....	39
A.2	Circuito do <i>flip-flop</i> proposto, formado a partir da interconexão de quatro portas NÃO-E 1	40
A.3	Circuito do <i>latch</i> SR formado a partir da interconexão de duas portas NÃO-OU 1	40
A.4	Circuito do <i>flip-flop</i> SR formado a partir da interconexão de quatro portas NÃO-E 2.	41
A.5	Circuito intermediário da proposta da memória endereçada por conteúdo nanoeletrônica.....	42
A.6	Proposta final da memória endereçada por conteúdo nanoeletrônica.....	43

LISTA DE FIGURAS

Figura 1 - Arquitetura de uma memória endereçada por conteúdo constituída por 4 palavras de 3 bits [2].	3
Figura 2 - Representação de uma junção-túnel [3].	4
Figura 3 - Curva característica do Bloqueio de Coulomb.	6
Figura 4 - Diagramas de energia [3].	6
Figura 5 - Tipos de co-tunelamento possíveis [3].	7
Figura 6 - Transistor mono-elétron [3].	7
Figura 7 - Característica $I \times V_g$ do transistor mono-elétron [2].	8
Figura 8 - Tabela-verdade e símbolo correspondente para uma porta E de duas entradas e uma porta NÃO-E de duas entradas.	8
Figura 9 - Porta lógica NÃO-E proposta em [5].	9
Figura 10 - Porta lógica NÃO-E proposta em [6].	9
Figura 11 - Tabela-verdade e símbolo correspondente para uma porta OU de duas entradas e uma porta NÃO-OU de duas entradas.	10
Figura 12 - Porta lógica NÃO-OU proposta em [7].	10
Figura 13 - Tabela-verdade e símbolo correspondente para uma porta OU-EXCLUSIVO de duas entradas.	10
Figura 14 - Porta lógica OU-EXCLUSIVO proposta em [8].	11
Figura 15 - Porta lógica OU-EXCLUSIVO proposta em [9].	11
Figura 16 - Tabela-verdade de um latch SET-RESET.	11
Figura 17 - Esquemático de um flip-flop SR convencional.	12
Figura 18 - Latch SET-RESET proposto em [7].	12
Figura 19 - Flip-Flop SET-RESET proposto em [11,12].	13
Figura 20 - Simulação do FLIP-FLOP 1, com $T=200$ K.	17
Figura 21 - Diagrama de blocos do circuito proposto.	17
Figura 22 - Neurônios da rede WTA modificados [3].	18
Figura 23 - Forma de onda da tensão de entrada SET da memória 1.	19
Figura 24 - Formas de onda das tensões de controle b_1 e b_2 .	19
Figura 25 - Tensão de saída dos neurônios para $T=30$ K.	19
Figura 26 - Simulação da porta NÃO-E 1, para $T=0$ K.	20
Figura 27 - Forma de onda dos terminais de entrada do flip-flop proposto.	21

Figura 28- Saídas Q e inv (Q) do flip-flop, para T= 0K.....	21
Figura 29- Simulação da porta NÃO-OU 1, para T=0 K.	22
Figura 30- Simulação da porta NÃO-OU 1 com dois buffers de saída, para T=0 K.	22
Figura 31- Simulação do latch proposto a partir da porta NÃO-OU 1, para T=0 K.	23
Figura 32- Sistema realimentada do LATCH 1 [7].	24
Figura 33- Tensões de entrada do Latch 1	24
Figura 34- Tensões de saída do Latch 1, para T=300K.....	24
Figura 35- Simulação da porta NÃO-E 2, para T=300K.	25
Figura 36- Simulação da porta NÃO-OU 2, para T=300K.	25
Figura 37- Tensões de entrada para o flip-flop proposto.	26
Figura 38- Tensões de saída para o flip-flop proposto, com T=300 K.....	26
Figura 39- Nova concepção para a memória endereçada por conteúdo nanoeletrônica.....	28
Figura 40- Saída dos neurônios para Q1=0, Q2=0, Q3=1, Q4=0.....	29
Figura 41- Saída dos neurônios para Q1=0, Q2=1, Q3=1, Q4=1.....	30
Figura 42- Saída dos neurônios para Q1=0, Q2=1, Q3=0, Q4=1.....	30
Figura 43- Esquemático da proposta final para a memória endereçada por conteúdo nanoeletrônica.	32
Figura 44- Comportamento da porta OU-EXCLUSIVO 1, com T= 300K.	32
Figura 45- Comportamento da porta OU-EXCLUSIVO 2, com T= 300K.	33
Figura 46- Saída dos neurônios da proposta final da memória, com Q1=0, Q2=0, Q3=1, Q4=0.....	34
Figura 47- Saída dos neurônios da proposta final da memória, com Q1=0, Q2=1, Q3=1, Q4=1.....	35
Figura 48- Saída dos neurônios da proposta final da memória, com Q1=0, Q2=1, Q3=0, Q4=1.....	35

LISTA DE TABELAS

Tabela 1- Valores sugeridos para a simulação do <i>latch</i> proposto em [7].....	13
Tabela 2- Entradas e saídas do circuito SET de memória endereçada por conteúdo.....	18
Tabela 3- Caracterização da memória endereçada por conteúdo, com palavras armazenadas iguais a (00) e (10).....	29
Tabela 4- Caracterização da memória endereçada por conteúdo, com palavras armazenadas iguais a (01) e (11).....	30
Tabela 5- Caracterização da memória endereçada por conteúdo, com palavras armazenadas iguais a (01) e (01).....	31

1. INTRODUÇÃO

Muitas novas tecnologias surgiram no século 20, tendo sido a microeletrônica uma dentre as mais impactantes no desenvolvimento científico e tecnológico da humanidade. Os componentes microeletrônicos como microprocessadores e memórias são largamente utilizados, por exemplo: em computadores, carros, telefones celulares, cartões de crédito, entre outros elementos presentes no cotidiano da vida moderna.

A microeletrônica teve surgimento marcado pela demonstração do funcionamento do primeiro transistor bipolar, em 1948, e do primeiro transistor de efeito de campo, em 1960. A partir daí, a indústria microeletrônica tem crescido exponencialmente, fato primeiramente analisado por Gordon Moore, fundador da Intel. Moore previu que a capacidade de processamento dos processadores seria dobrada a cada 18 meses, e isso movido mais pela economia. Esse aumento seria resultante da diminuição das dimensões características do transistor MOS. Assim, quanto menor for o terminal de porta deste transistor, mais rápido este dispositivo poderá chavear com menor consumo de potência, aumentando o número de transistores que podem ser integrados em um circuito [1]. A miniaturização da tecnologia microeletrônica, no entanto, só é possível até certo limite, pois- quando o tamanho do terminal de porta atinge dimensões iguais ou menores do que 70 nm- os efeitos quânticos passam a ser considerados na explicação do comportamento desses dispositivos, havendo assim necessidade de uma nova tecnologia que considere esses efeitos quânticos de operação e que seja compatível com plataformas MOS.

A nanoeletrônica surge para superar esse limite de operação dos transistores tradicionais, com a utilização de dispositivos em escala nanométrica e consideração dos efeitos quânticos em seu funcionamento. Nesta nova área, um dos dispositivos mais utilizados em constituição de memórias para o processamento de sinais e imagens é o transistor mono-elétron – SET, do inglês, *Single Electron Tunneling transistor*.

Os dispositivos mono-elétron podem representar uma forma atrativa e possível para o desenvolvimento de circuitos integrados em escala giga (GSI) ou até mesmo tera (TSI). Muitos circuitos que utilizam dispositivos SET já foram propostos, em sua maioria, com a reprodução das funcionalidades existentes para o transistor CMOS. Há dois pontos críticos para o desenvolvimento da nanoeletrônica tendo como base somente o conhecimento do CMOS. O primeiro é que a operação dos circuitos SET não é determinística; o grande mecanismo de transporte de carga é o tunelamento, que é um fenômeno probabilístico. O segundo é que cargas de desvio podem degradar a operação do circuito. Para ultrapassar essas limitações, uma estratégia é construir novas arquiteturas para esses circuitos.

O desenvolvimento de novas tecnologias se faz necessário também para acompanhar o crescente aumento da demanda da utilização de dados, provocada especialmente pelo aumento do uso de mídias e da Internet. Nesse contexto, um dos dispositivos importantes para o desenvolvimento tecnológico é a memória.

Definem-se por memória eletrônica os dispositivos capazes de armazenar informações previamente obtidas para posterior recuperação de dados. Da mesma forma que diversos circuitos atuais é desejado que o projeto de memórias, entre elas a memória endereçada por conteúdo, seja feita de forma a obter reduções do consumo de potência cada vez maiores, sem que haja diminuição da velocidade de operação ou capacidade desta memória. Por isso, o estudo destes dispositivos, aliado à utilização de novas tecnologias, é interessante para dar continuidade ao aumento do desempenho destes circuitos, largamente utilizados em várias aplicações.

1.1 Objetivo

Um dos maiores desafios até então apresentados na utilização dos dispositivos mono-elétron é que eles são bastante sensíveis às condições do meio (seu comportamento é fortemente dependente das impedâncias dos nós assim como da temperatura, de interferências eletromagnéticas, cargas de *offset* e de fenômenos de co-tunelamento). Buscando contribuir para os estudos existentes na área de memórias associativas e superando a limitação da temperatura de operação, foi desenvolvida neste trabalho uma arquitetura para uma memória endereçada por conteúdo nanoeletrônica. Tal dispositivo foi constituído inteiramente por dispositivos mono-elétron e foi desenvolvido a partir do estudo de portas e circuitos lógicos. A máxima temperatura de operação obtida foi igual à temperatura ambiente.

1.2 Estrutura do trabalho

No capítulo 2, são abordados conceitos relacionados à nanoeletrônica e à memória endereçada por conteúdo. Além disso, são apresentadas as arquiteturas de circuitos que foram utilizadas ao longo do desenvolvimento deste trabalho.

No capítulo 3, é descrita a metodologia utilizada no desenvolvimento da memória endereçada por conteúdo proposta neste trabalho.

No capítulo 4, são apresentadas as arquiteturas a partir das quais foi escolhido o circuito representante do núcleo da memória endereçada por conteúdo.

Por fim, no capítulo 5 é apresentada a memória endereçada por conteúdo nanoeletrônica proposta neste trabalho, com respectiva validação. As conclusões são apresentadas no capítulo 6.

2. REVISÃO BIBLIOGRÁFICA

2.1 MEMÓRIA ENDEREÇADA POR CONTEÚDO

Uma memória endereçada por conteúdo – *Content- Addressable Memory* (CAM) – é aquela feita visando ao endereçamento dos parâmetros de entrada de um circuito com base em informações previamente armazenadas em sua estrutura. Ela é, portanto, constituída pela implementação de uma tabela de consulta, que servirá de base para as comparações das entradas feitas a partir de um circuito comparador. Este dispositivo possui diversas aplicações, entre as quais o processamento de imagens e endereçamentos IP na Internet [2].

Do mesmo modo que diversos circuitos atuais, o maior desafio relacionado ao projeto destas memórias consiste na redução do consumo de potência sem que haja diminuição da velocidade de operação ou capacidade desta memória. Assim, é importante que se faça o estudo das partes constituintes de uma memória endereçada por conteúdo, de forma a obter o projeto de sua estrutura total utilizando o melhor desempenho possível em cada subestrutura relacionada.

2.1.1 Arquitetura de uma memória endereçada por conteúdo [2]

Uma memória endereçada por conteúdo deve ser projetada de forma a seguir funções básicas que possibilitem o objetivo final de encaminhar uma mensagem a partir de um caminho definido por informações previamente armazenadas. Portanto, ela deve conter a busca da palavra, que foi dada na entrada do circuito, linhas de procura, que farão o casamento entre o dado de entrada juntamente com as informações disponíveis, a linha correspondente à entrada e o local em que esta linha está armazenada. Uma proposta de implementação destas funções está ilustrada na figura 1.

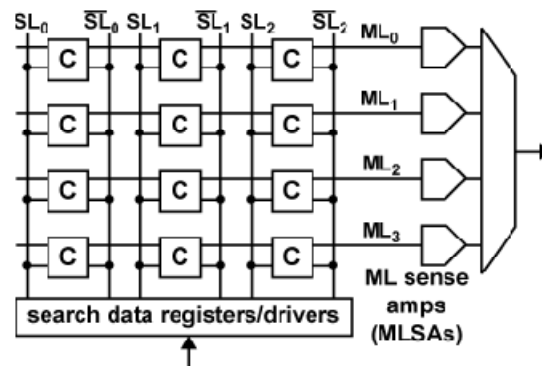


Figura 1 - Arquitetura de uma memória endereçada por conteúdo constituída por 4 palavras de 3 bits [2].

A palavra analisada será desmembrada em bits, que por sua vez serão comparados pelas linhas de procura (SL) juntamente com os bits armazenados no núcleo da célula de memória. Cada procura terá

a si associada uma linha de acerto (ML) para confirmar a identificação da palavra desejada no início da busca.

O núcleo da célula de memória é responsável pela realização das duas funções básicas do circuito geral, sendo estas: armazenamento de bits e comparação dos mesmos. O armazenamento deve ser feito de forma a possibilitar sua escrita e leitura, constituindo assim uma tabela de valores possíveis que será implementada em casos de circuitos com palavras de vários bits. Por sua vez, a comparação bit a bit será feita para endereçar o conteúdo, e tal operação possui comportamento da porta lógica OU-EXCLUSIVO entre os bits de entrada e os bits armazenados.

O núcleo da célula de memória pode ser obtido a partir da utilização de portas e dispositivos lógicos, dentre os quais podem ser citadas as portas E, NÃO-E, OU, NÃO-OU e OU-EXCLUSIVO e o *flip-flop* SET-RESET.

2.2 NANOELETRÔNICA

Dispositivos que possuem dimensões menores que dezenas de nanômetros e cujo comportamento físico é explicado por fenômenos quânticos são chamados de nanodispositivos, ou dispositivos nanoeletrônicos. Estes surgiram para dar continuidade à miniaturização de circuitos eletrônicos e representam nessa perspectiva uma boa alternativa ao transistor MOS, cuja capacidade de performance deve atingir seu limite, não sendo mais capaz de acompanhar os progressos tecnológicos esperados.

Alguns conceitos, tais como efeitos quânticos de tunelamento, co-tunelamento, bloqueio de Coulomb e transistor mono-elétron, são fundamentais para o entendimento dos circuitos nanoeletrônicos que serão mostrados neste trabalho. Assim, nas seções subseqüentes, estes conceitos serão apresentados.

2.2.1 Dispositivo de tunelamento mono-elétron [3]

Dispositivos de tunelamento mono-elétron são aqueles cuja dinâmica de operação é caracterizada pela passagem de um único elétron ou de um pequeno grupo de elétrons pela sua estrutura, sendo possível o controle do seu movimento e posição. Este movimento discreto, denominado tunelamento, está presente nas junções-túnel, que são formadas por dois eletrodos metálicos separados por um isolante fino de forma a permitir a passagem de elétrons. As junções-túnel são caracterizadas por dois parâmetros macroscópicos, sendo estes a resistência de tunelamento R_t e sua capacitância C . A figura 2 ilustra a junção-túnel com sua respectiva simbologia.

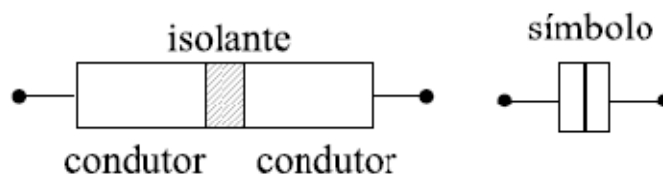


Figura 2 - Representação de uma junção-túnel [3].

Ao se utilizarem duas junções-túnel conectadas em série, há a formação de uma ilha entre estes dois dispositivos. A ilha é cercada por material isolante e se for fabricada com dimensões adequadas, isto é, se for suficientemente pequena, será capaz de influenciar a probabilidade de tunelamento de elétrons entre uma junção e outra, atuando assim como uma região de confinamento de elétrons. Essa influência ocorrerá já que, neste caso, a fina camada isolante implicará numa barreira de potencial grande o bastante para separar os dois eletrodos condutores destas junções.

A região entre as barreiras de potencial formadas nos limites destes condutores é denominada poço quântico e lá os níveis de energia são quantizados. Essa quantização obedece à equação de onda de Schrödinger e, dessa forma, haverá níveis permitidos de energia para a ocupação de elétrons entre os limites interno e externo da ilha.

2.2.1.1 Tunelamento

Tunelamento é o termo utilizado para designar o transporte de partículas através de uma região na qual a energia total de uma partícula pontual clássica é menor que a energia potencial da região, caracterizando esta como uma região classicamente proibida. Esse transporte ocorre quando há uma barreira de potencial suficientemente fina para que o elétron atravesse sem que haja o fornecimento externo de energia para o mesmo.

Esse fenômeno pode ser observado devido ao comportamento dual entre onda e partícula experimentado pelo elétron. Assim, na física clássica, a partícula seria refletida ao encontrar uma barreira de potencial, enquanto de acordo com a teoria eletromagnética, parte da onda seria refletida e parte transmitida para o outro lado da barreira.

O modelo teórico mais utilizado para analisar o transporte de uma única carga é aquele conhecido como teoria ortodoxa do tunelamento mono-elétron. Este modelo, proposto em 1987 por Averin e Likharev, descreve quantitativamente efeitos de carregamento importantes para a compreensão do comportamento mono-elétron, tal como o bloqueio de Coulomb. A teoria ortodoxa afirma que:

1. O modelo possui dimensão zero: as dimensões das ilhas são desprezíveis.
2. O evento de tunelamento é instantâneo.
3. A redistribuição das cargas após o tunelamento também é instantânea.
4. O espectro de energia em condutores e ilhas é considerado contínuo: a quantização da energia do elétron é ignorada dentro dos condutores.

2.2.1.2 Efeito de carregamento e o Bloqueio de Coulomb

O efeito de carregamento está relacionado ao surgimento de um potencial na ilha devido à presença de cargas no condutor, juntamente com a manipulação da passagem de elétrons pela junção. A presença de apenas um elétron na ilha provoca um aumento em seu potencial eletrostático superior ao ruído térmico em temperatura ambiente, e devido à repulsão de Coulomb, outros elétrons serão impedidos de entrar na ilha. Assim, é necessária a aplicação de uma tensão externa tal que haja a diminuição ou aumento da barreira de potencial através da qual os elétrons deverão tunelar. O potencial externo aplicado atuará como um terminal de manipulação do fluxo de elétrons.

Para assegurar que o transporte de elétrons é controlado pelo efeito de carregamento, duas condições precisam ser satisfeitas:

$$R_t > 25,8 \text{ k}\Omega \quad (1)$$

$$E_C \gg k_B * T \quad (2)$$

Onde R_t é a resistência de tunelamento, E_C é a energia eletrostática associado ao efeito, k_B é a constante de Boltzmann e T é a temperatura de operação.

A condição estabelecida pela equação (1) é feita para assegurar que o comportamento predominante do elétron seja como partícula, e não como onda. Já a condição estabelecida por (2) implica na necessidade de uma energia eletrostática muito maior do que energia térmica. Desta forma, os efeitos do ruído térmico deverão ser minimizados diante do processo de condução.

O Bloqueio de Coulomb, por sua vez, está relacionado ao efeito de carregamento, podendo ser exemplificado pelo comportamento de uma pequena ilha entre dois eletrodos. Se a ilha for suficientemente pequena e possuir N elétrons, uma energia de gap será estabelecida entre o n -ésimo elétron e o primeiro estado livre para a ocupação do próximo elétron ($N+1$). Esta energia de gap será igual ao quadrado da energia do elétron dividido pelo dobro da carga da ilha. Por sua vez, se esta energia de gap for maior do que a energia térmica do sistema, então os elétrons não serão mais capazes de tunelar, já que sua energia será menor do que os níveis disponíveis de energia no poço quântico. No entanto, se um terminal for utilizado para fornecer energia ao sistema de modo a mover esses níveis livres de energia, os elétrons poderão tunelar novamente, um por vez. Desta forma, a curva característica corrente *versus* tensão ($I \times V_g$) apresentará corrente nula até que seja aplicada no terminal externo uma tensão igual a $\pm \frac{e}{2C}$ [1]. A curva característica do Bloqueio de Coulomb está mostrada na figura 3 e os diagramas de energia para o bloqueio de Coulomb e tunelamento mono-elétron estão mostrados na figura 4.

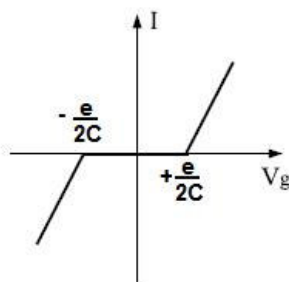


Figura 3- Curva característica do Bloqueio de Coulomb.

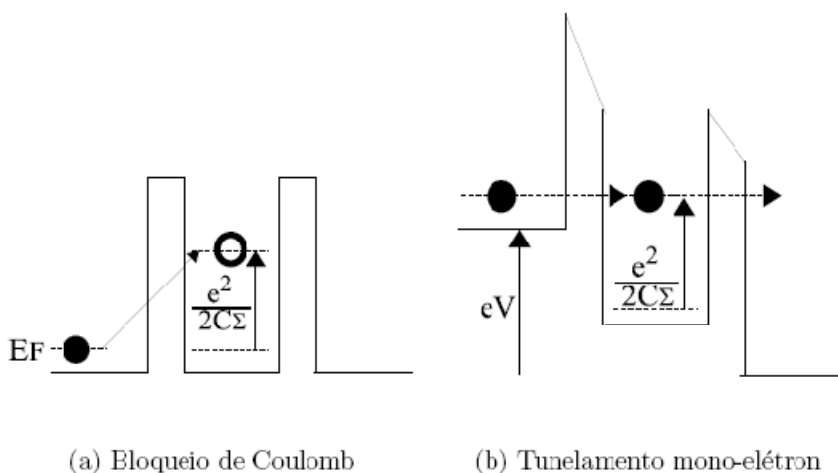


Figura 4- Diagramas de energia [3].

2.2.1.3 Co-tunelamento

O co-tunelamento consiste no tunelamento de mais de um elétron ao mesmo tempo através de barreiras distintas. Geralmente, um circuito com N junções pode apresentar até N co-tunelamentos possíveis. Este fenômeno é uma fonte de erros em dispositivos mono-elétron, especialmente em dispositivos lógicos, já que estes se apóiam na presença ou ausência de um único ou um pequeno número de elétrons.

A figura 5 apresenta os tipos de co-tunelamento possíveis.

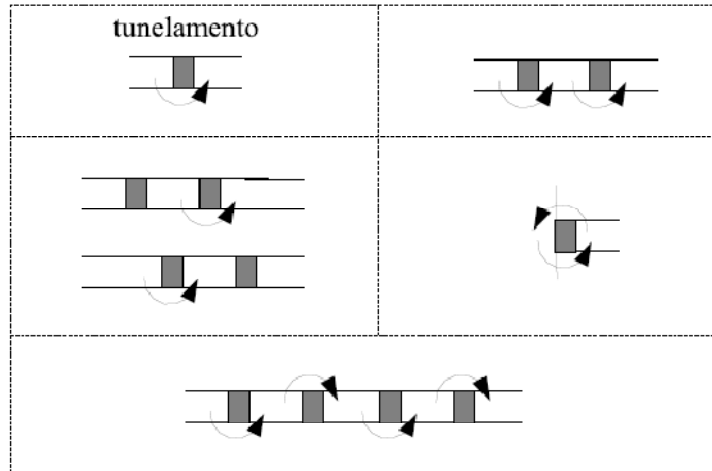


Figura 5- Tipos de co-tunelamento possíveis [3].

2.2.1.4 Cargas de desvio

As cargas de desvio, também conhecidas por cargas de *offset*, são impurezas introduzidas nos circuitos, principalmente no processo de fabricação dos mesmos. Estas cargas podem influenciar a atuação do bloqueio de Coulomb na ilha, já que esta estará polarizada por cargas indesejadas.

2.2.1.5 Transistor mono-elétron

O transistor mono-elétron (SET) é um dispositivo composto por duas junções-túnel em série, havendo a formação de uma ilha entre elas. A energia eletrostática da ilha é controlada por uma tensão de porta V_g , acoplada através da capacitância C_g , conforme ilustração da figura 6. As resistências representadas por R_1 e R_2 nesta figura, e as capacitâncias C_1 e C_2 correspondem, respectivamente, às resistências e capacitâncias das junções-túnel. A corrente I será gerada quando houver carregamento da ilha por uma junção, e descarregamento desta pela junção subsequente.

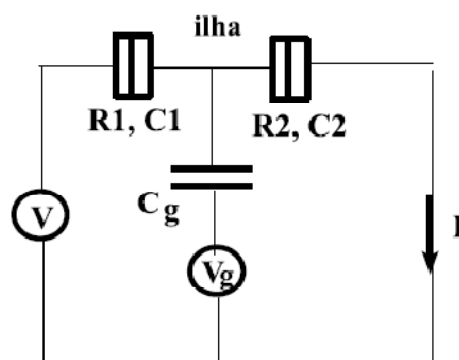


Figura 6- Transistor mono-elétron [3].

A curva característica corrente *versus* tensão do transistor mono-elétron, quando aplicada uma tensão de polarização V , evidencia o fenômeno das oscilações de Coulomb, comportamento mostrado na figura 7. Este fenômeno está diretamente relacionado ao bloqueio de Coulomb e ao tunelamento de um elétron por vez na estrutura.

Conforme visto anteriormente, a tensão de porta V_g ($V_g > 0$) necessária para que um dispositivo saia da região do bloqueio é igual a $\frac{e}{2C}$. Esta tensão corresponderá ao valor necessário para o tunelamento de 1 elétron pela estrutura. Sabendo que a carga elétrica que flui através da ilha possui valores múltiplos da carga fundamental, é possível concluir que apenas em valores múltiplos da tensão $\frac{e}{2C}$ haverá corrente fluindo pelo circuito. O segundo elétron poderá tunelar quando $V_g = 3(\frac{e}{2C})$, e assim sucessivamente.

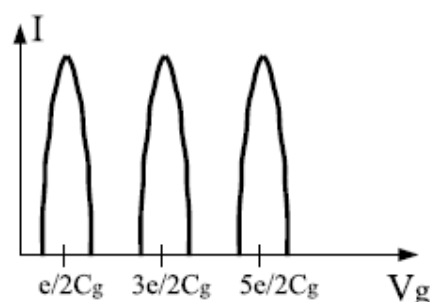


Figura 7- Característica $I \times V_g$ do transistor mono-elétron [2].

2.2.2 Portas e circuitos lógicos mono-elétron

O estudo das portas lógicas digitais nanoeletrônicas vem sendo feito desde os anos 80, com a introdução do transistor mono-elétron. Este dispositivo apresenta inúmeras vantagens para que seja utilizado em circuitos digitais, tais como baixo consumo de potência – um pequeno número de elétrons é necessário para implementar as operações básicas da lógica digital- e possivelmente maior rapidez do circuito. Em dispositivos tradicionais, mais de 100.000 elétrons são carregados/descarregados em uma simples operação digital, enquanto que em dispositivos mono-elétron apenas um pequeno número de elétrons deverá ser utilizado nesse processo [4].

A seguir, serão apresentadas algumas portas e dispositivos lógicos utilizados neste trabalho para a proposta de uma memória mono-elétron endereçada por conteúdo. O funcionamento de cada dispositivo será momentaneamente omitido, para posterior análise.

2.2.2.1 Portas E e NÃO-E

A porta E corresponde ao circuito que implementa a operação Booleana básica E (multiplicação lógica), enquanto a porta NÃO-E corresponde à sua negação, isto é, à porta E seguida por um inversor. A tabela-verdade e o símbolo gráfico para cada uma dessas portas são apresentados na figura 8. As entradas dos circuitos foram denominadas A e B.

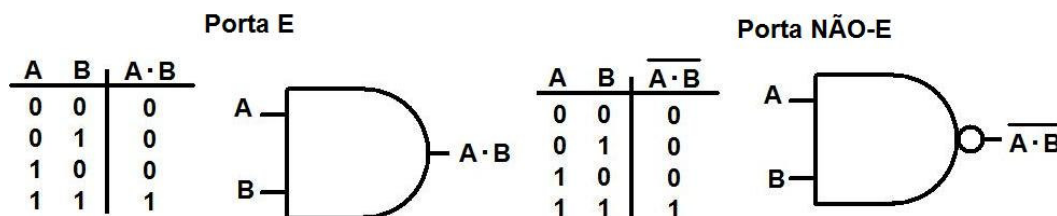


Figura 8- Tabela-verdade e símbolo correspondente para uma porta E de duas entradas e uma porta NÃO-E de duas entradas.

Várias estruturas já foram propostas para a obtenção dessas portas a partir da utilização do transistor mono-elétron. A figura 9 mostra a porta NÃO-E proposta por Lageweg *et al.* em [5], juntamente com os valores dos parâmetros de simulação do circuito, e a figura 10 a porta NÃO-E proposta por Gerousis *et al.* em [6], juntamente com os valores de seus parâmetros de simulação. Neste trabalho, essas portas serão denominadas, respectivamente, NÃO-E 1 e NÃO-E 2, para maior facilidade na análise de sua operação e conseqüente aplicação.

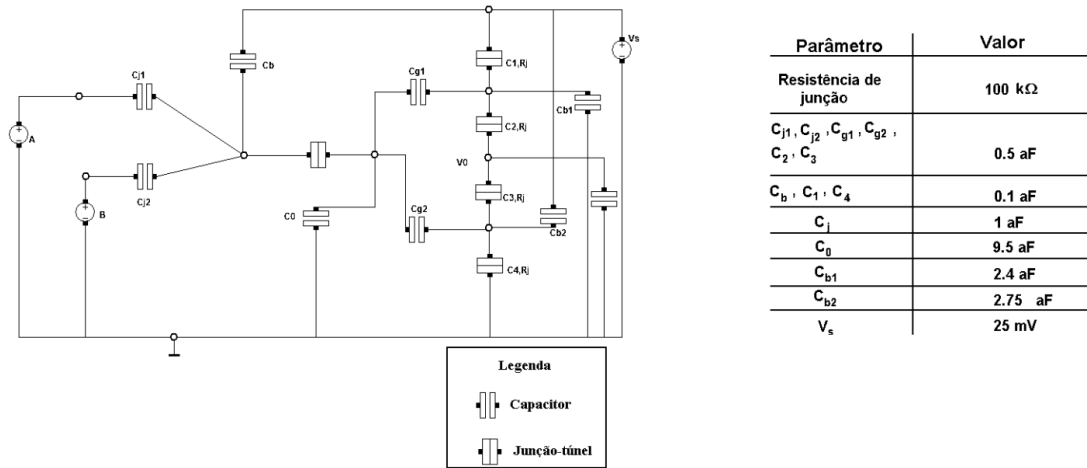


Figura 9- Porta lógica NÃO-E proposta em [5].

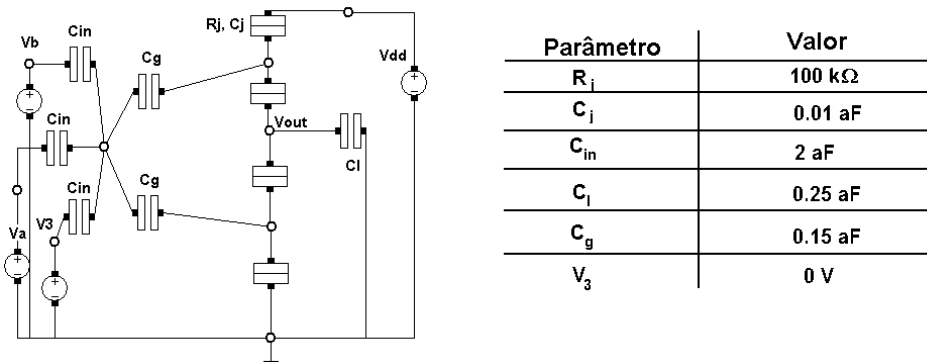


Figura 10- Porta lógica NÃO-E proposta em [6].

Na porta NÃO-E 1, a tensão associada ao nível lógico ALTO é igual a 16 mV e na porta NÃO-E 2 esta tensão é igual a 0.5 V. Em ambos circuitos, o nível lógico BAIXO está associado à tensão 0V.

2.2.2.2 Portas OU e NÃO-OU

A porta OU corresponde ao circuito que implementa a operação Booleana básica OU (somatório lógico), enquanto a porta NÃO-OU corresponde à negação da porta OU, isto é, à porta OU seguida por um inversor. A tabela-verdade e o símbolo gráfico para cada uma dessas portas são apresentados na figura 11. As entradas dos circuitos foram denominadas A e B.

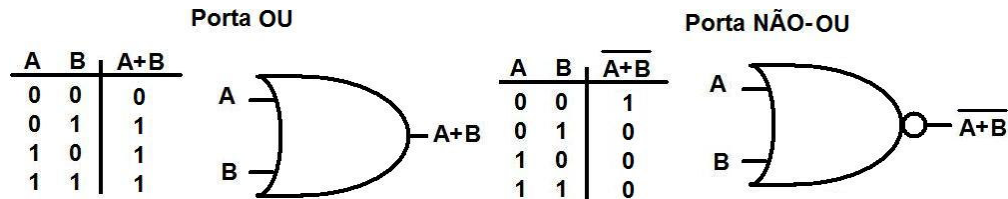


Figura 11- Tabela-verdade e símbolo correspondente para uma porta OU de duas entradas e uma porta NÃO-OU de duas entradas.

Nos artigos [6] e [7], foram propostos circuitos correspondentes à porta NÃO-OU. A proposta feita por Lageweg *et al.* em [7] será aqui denominada NÃO-OU 1, e seu circuito, juntamente com os valores dos parâmetros de simulação, está mostrado na figura 12. Neste caso, a tensão correspondente ao nível lógico ALTO é igual a 16 mV, e a tensão correspondente a nível lógico BAIXO é 0V.

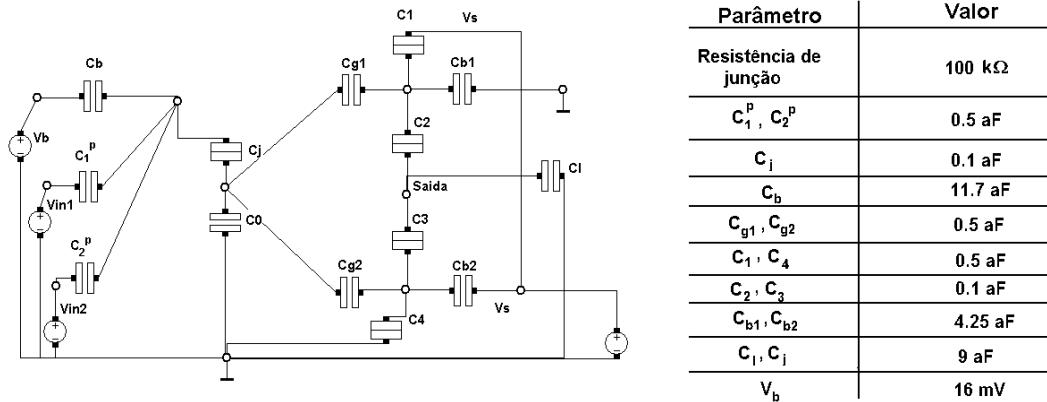


Figura 12- Porta lógica NÃO-OU proposta em [7].

Por sua vez, a proposta apresentada por Gerousis *et al.* em [6] será aqui referida como NÃO-OU 2. A estrutura deste circuito é idêntica àquela apresentada na figura 10, tendo como diferença apenas a tensão de entrada V3, cujo valor, neste caso, será igual a 0.5V. Os demais parâmetros possuem os mesmos valores da porta NÃO-E 2.

2.2.2.3 Porta OU-EXCLUSIVO

A porta OU-EXCLUSIVO corresponde ao circuito que implementa uma função resultante da combinação das funções lógicas E, OU e negação (NÃO). Sua saída estará no nível lógico ALTO sempre que apenas uma de suas entradas estiver no nível lógico ALTO. Sua tabela-verdade e símbolo gráfico são apresentados na figura 13.

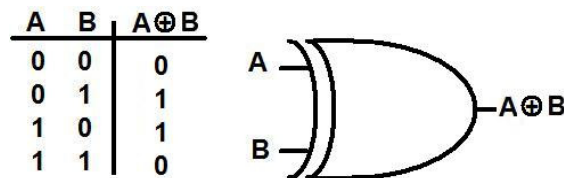


Figura 13- Tabela-verdade e símbolo correspondente para uma porta OU-EXCLUSIVO de duas entradas.

Da mesma forma que as portas lógicas apresentadas anteriormente, algumas topologias de circuito já foram propostas para implementação da porta OU-EXCLUSIVO. A proposta apresentada por Dasigenis *et al.* em [8] será aqui denominada OU-EXCLUSIVO 1 e a proposta apresentada por Chen *et al.* em [9] será denominada OU-EXCLUSIVO 2. Os circuitos correspondentes a essas portas, assim como os valores sugeridos para os parâmetros de simulação, são mostrados nas figuras 14 e 15.

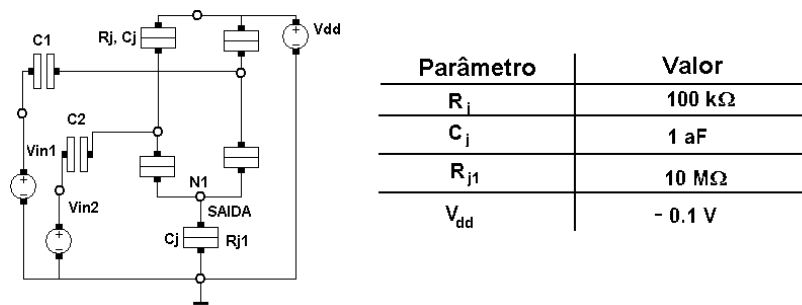


Figura 14- Porta lógica OU-EXCLUSIVO proposta em [8].

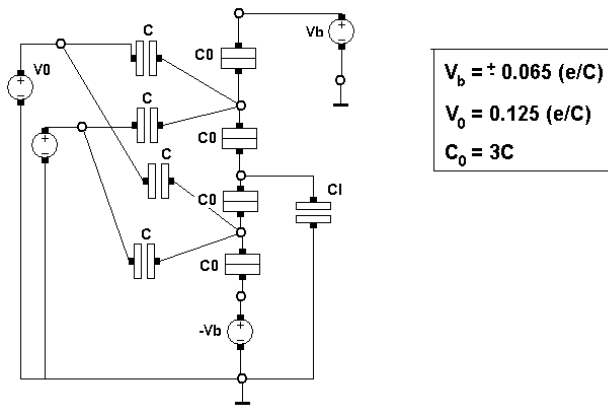


Figura 15- Porta lógica OU-EXCLUSIVO proposta em [9].

2.2.2.4 Flip-Flop SET-RESET (SR) [10]

Os *flip-flops* são dispositivos formados a partir da interconexão de portas lógicas, de forma a se obter elementos de memória. O arranjo destas portas é feito de maneira a permitir o armazenamento de informação, para sua posterior recuperação. Estes dispositivos podem apresentar n entradas dependendo do arranjo estabelecido, enquanto suas saídas são representadas apenas por duas variáveis usualmente denominadas Q e \bar{Q} . Estas variáveis assumem sempre valores lógicos opostos, e o estado da variável Q é normalmente considerado como o estado de saída do circuito.

O *flip-flop* SET-RESET, por sua vez, é assim denominado devido à sua característica de *setar* (levar a saída do circuito para o nível lógico ALTO) e *limpar/resetar* (levar a saída do circuito para o nível lógico BAIXO). Em sua forma mais simples, este circuito não apresenta um relógio para determinar o sincronismo do mesmo, sendo então denominado *latch* SET-RESET. A tabela-verdade para este circuito é apresentada na figura 16, juntamente com uma proposta convencional para obtenção deste dispositivo- interconexão de duas portas NÃO-OU. Note-se que as entradas do circuito são representadas pelas variáveis SET (S) e RESET (R). E ainda, se sua saída Q^{n+1} for igual à Q^n , sabemos que o circuito estará em estado de espera (*hold*).

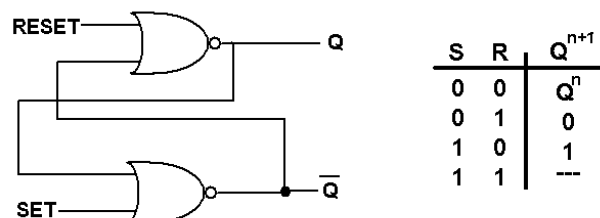


Figura 16- Tabela-verdade de um latch SET-RESET.

Com a presença do relógio, a saída do circuito será sincronizada pelo mesmo, característica que pode ser usualmente estabelecida pelos seus flancos de subida ou descida, ou ainda de acordo com o estado lógico assumidos pelo relógio. Neste caso, o circuito é denominado *flip-flop* SET-RESET.

É sabido que este *flip-flop* SET-RESET pode ser obtido a partir da interconexão de 4 portas lógicas NÃO-E, em sua forma convencional. Para ilustração, seu circuito é apresentado na figura 17.

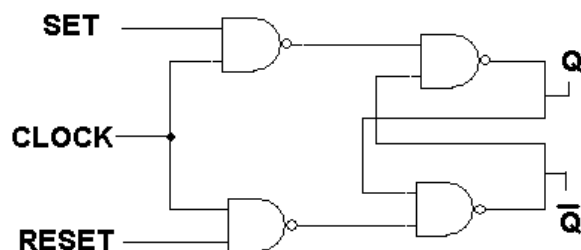


Figura 17- Esquemático de um flip-flop SR convencional.

A concepção de um *latch* mono-elétron é apresentada por Lageweg *et al.* em [7] e seu circuito será aqui denominado LATCH 1. Este circuito, mostrado na figura 18, é formado por uma porta genérica proposta no artigo, além de possuir dois *buffers*/ inversores para a obtenção das saídas Q e \bar{Q} .

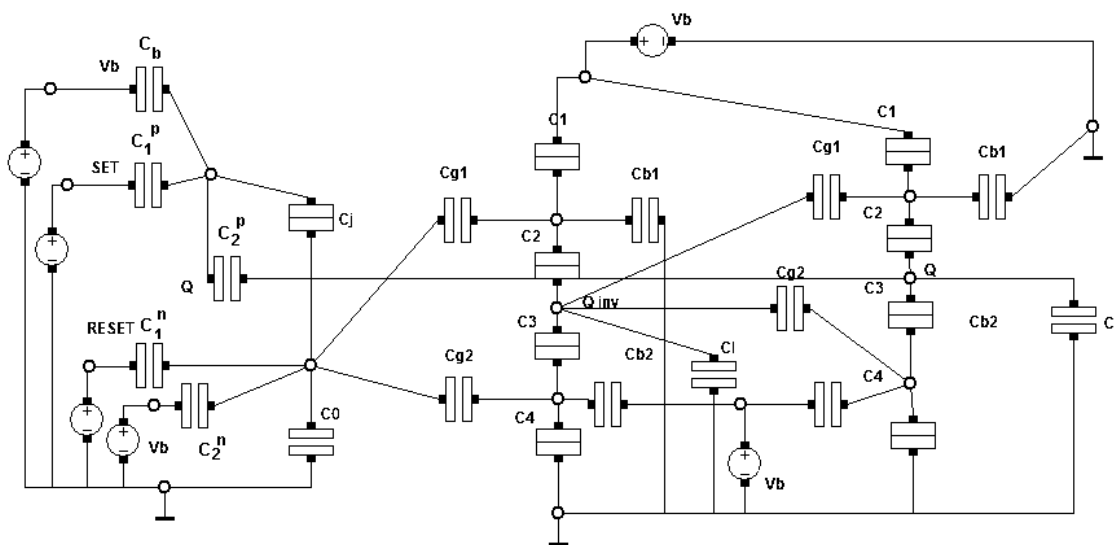


Figura 18- Latch SET-RESET proposto em [7].

Os valores dos parâmetros de simulação foram sugeridos através de relações entre os dispositivos do circuito em termos de uma capacitância base “C”. Esses valores são apresentados na tabela 1, considerando $C = 1 \text{ aF}$. Se a C for atribuído este valor de capacitância, a tensão associada ao nível lógico ALTO será igual a 16 mV. Por sua vez, a tensão associada ao nível lógico BAIXO será sempre 0 V.

Tabela 1. Valores sugeridos para a simulação do *latch* proposto em [7].

Parâmetro	Valor
Resistência de junção	100 k Ω
C_1^p, C_2^p	0.5 aF
C_i	0.1 aF
C_b	12.7 aF
C_{g1}, C_{g2}	0.5 aF
C_1, C_4	0.5 aF
C_2, C_3	0.1 aF
C_{b1}, C_{b2}	4.25 aF
C_l, C_j	9 aF
V_b	16 mV
C_1^n, C_2^n	0.4 aF
C_0	8.6 aF

Uma proposta para a obtenção de um *flip-flop* mono-elétron SET-RESET é apresentada por Wasshuber *et al.* em [11], e os valores dos parâmetros de simulação em [12]. Este circuito, que será aqui referido como FLIP-FLOP 1, é mostrado na figura 19. A tensão associada ao nível lógico ALTO é igual a 76 mV e a tensão associada ao nível lógico BAIXO é igual a 0 V.

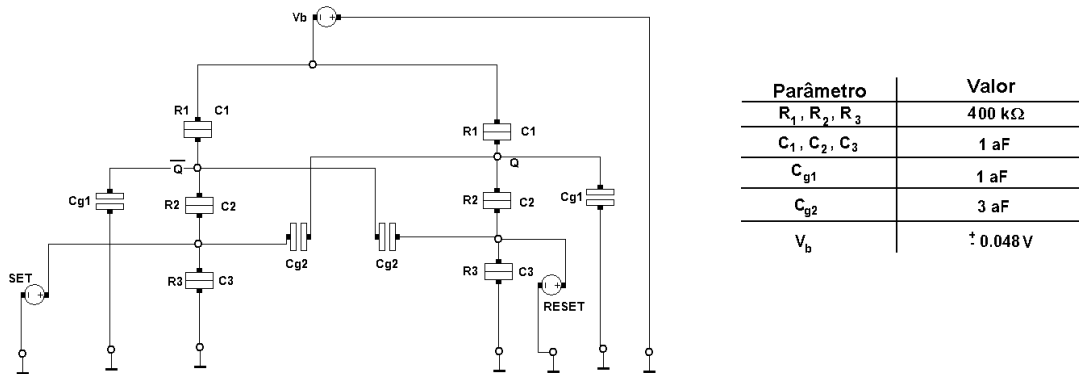


Figura 19- Flip-Flop SET-RESET proposto em [11,12].

2.3 REDES NEURAIS ARTIFICIAIS

Redes neurais artificiais são ferramentas utilizadas para a síntese, projeto, fabricação, treinamento e análise de sistemas inspirados pelo cérebro, ou seja, neuromórficos. Os agrupamentos de elementos processadores neurais simples (neurônios) apresentam características como associação, tolerância a falhas e auto-organização [3]. Como aplicações das redes neurais podem ser citadas memórias associativas, reconhecimento de padrões e programação linear ou não-linear.

Neste trabalho, serão utilizados neurônios da rede *winner-take-all* (WTA) modificados, conforme proposta de Guimarães (2005) em [3]. Nessa rede, há uma camada de entrada e uma camada competitiva. A unidade de maior saída representará o neurônio vencedor, que prevalecerá sobre os demais neurônios.

3. METODOLOGIA

3.1 INTRODUÇÃO

Neste capítulo, serão apresentadas as etapas seguidas para o desenvolvimento da memória endereçada por conteúdo nanoeletrônica, assim como as formas de validação utilizadas para os circuitos estudados e propostos.

O parâmetro decisivo na determinação do bom funcionamento dos circuitos foi a temperatura, cujo valor deveria atingir, idealmente, o da temperatura ambiente. Em todas as simulações, este parâmetro assumiu inicialmente o valor zero e foi aumentado até seu valor máximo, no qual os circuitos ainda mantinham as funcionalidades desejadas.

3.2 ESTRATÉGIAS

A primeira etapa deste trabalho consistiu na escolha de um dispositivo ou estrutura para a representação do núcleo de uma célula de memória endereçada por conteúdo. O dispositivo escolhido foi o *flip-flop* SET-RESET, com possibilidade de utilização também da sua variação como *latch*, já que estes circuitos são capazes de fornecer terminais de escrita (SET) e “limpeza” (RESET), características presentes em uma memória endereçada por conteúdo. Feita tal escolha, procedeu-se às simulações computacionais de *flip-flops* já propostos em trabalhos anteriores, para avaliação de seu desempenho.

O primeiro circuito estudado foi aquele denominado, neste trabalho, FLIP-FLOP 1. Após validação do seu funcionamento na temperatura 0K, este parâmetro foi aumentado até atingir seu limite. Em seguida, uma concepção prévia da estrutura da memória mono-elétron foi criada e simulada, ainda utilizando o FLIP-FLOP 1. Ao se deparar com a limitação da operação deste circuito em temperatura ambiente, novas arquiteturas para o núcleo dessa memória foram estudadas.

A partir do estudo da porta NÃO-E 1, e validação de seu funcionamento, um novo *flip-flop* SR mono-elétron foi proposto, tendo como base a interconexão de quatro dessas portas de acordo com o circuito da figura 17. Do mesmo modo que o circuito anteriormente estudado, este também não apresentou bom comportamento em temperaturas elevadas.

O estudo da porta NÃO-OU 1 foi feito em seguida, visando a obtenção de um *latch* SR, de acordo com o esquema apresentado na figura 16. Os parâmetros deste circuito foram redimensionados de forma a obter um melhor desempenho do mesmo em temperaturas elevadas. Tal redimensionamento foi motivado pela equação dada em (3), onde é evidenciada a relação inversamente proporcional entre temperatura e capacitância. Essa equação estabelece que a energia eletrostática envolvida no processo deve ser maior do que a energia térmica, fato condicionante para o funcionamento de um dispositivo mono-elétron. Além disso, este redimensionamento foi feito respeitando a relação existente entre a carga associada a um determinado nó, sua capacitância equivalente e tensão ($Q=CV$).

$$\frac{e^2}{2C} > k_B * T \quad (3)$$

Após verificar a incapacidade de operação deste circuito em temperatura ambiente, seguiu-se com o estudo do LATCH 1. Feitos diversos ajustes nos parâmetros inicialmente propostos para este circuito, a operação do mesmo em temperatura ambiente foi atingida.

Ainda assim, as portas NÃO-E 2 e NÃO-OU 2 foram estudadas e sua operação em temperatura ambiente também foi verificada. Como alternativa para a proposta do LATCH 1 modificado, foi proposto um *flip-flop* SR em sua forma tradicional, com a interconexão de 4 portas NÃO-E 2. Este circuito também foi simulado corretamente em temperatura ambiente, após diversos ajustes em seus parâmetros.

Com a obtenção da célula de memória cujo funcionamento foi satisfatório em temperatura ambiente, procedeu-se à concepção final da arquitetura da memória mono-elétron endereçada por conteúdo. Primeiramente, tentou-se conectar diretamente os *flip-flops* aos neurônios da rede *winner-take-all* modificados [2] para a obtenção do endereçamento final dos dados de entrada. A partir do comportamento deste circuito total, foi observada a necessidade de utilização de portas lógicas externas para a realização do bloco de comparação da memória. A porta escolhida como mais apropriada para tal operação foi a OU-EXCLUSIVO.

Assim, derivou-se para o estudo das portas OU-EXCLUSIVO 1 e 2, buscando aquela que fornecesse melhor desempenho após sua interconexão com o circuito formado por *flip-flops* e neurônios WTA.

3.3 SIMULAÇÃO

Todas as simulações realizadas neste trabalho foram feitas a partir da utilização do *software* SIMON (*Simulation of nano-structures*) [13]. O SIMON é um simulador de circuitos mono-elétron baseado no método de Monte Carlo. Neste método, os eventos de tunelamento mono-elétron são modelados como eventos instantâneos, gerados aleatoriamente a partir das taxas de tunelamento para todos os eventos possíveis em todas as junções. Essas taxas são geradas a partir de um programa gerador de números aleatórios. Após um evento de tunelamento, novas taxas são calculadas e assim por diante, até que a estrutura de toda a rede tenha sido percorrida.

Essa ferramenta computacional é capaz de simular conexões arbitrárias de junções-túnel, capacitores, fontes de tensão e fontes de corrente ideais, no modo transiente e em estado estacionário. Além disso, permite que sejam feitos ajustes em parâmetros de simulação, tais como temperatura, co-tunelamento, presença de cargas de desvio, etc. Sua interface gráfica é de fácil utilização (“clique e arraste”), apresentando, porém, vários fatores limitantes para a utilização do SIMON em circuitos complexos: por exemplo, a reprodução de um mesmo estágio do circuito tem que ser feita manualmente. E ainda, o tempo de simulação pode ser muito grande dependendo dos parâmetros escolhidos, além da incompatibilidade de simulação com circuitos baseados no SPICE.

4. ESTUDO DE CÉLULAS DE MEMÓRIA NANOELETRÔNICAS

4.1 INTRODUÇÃO

É sabido que o estudo dos dispositivos de memória pode ser subdividido a partir de suas células básicas que, quando independentes, exercem suas funções, e , quando interconectadas, caracterizam o funcionamento geral da memória. Assim, para a obtenção da memória nanoeletrônica endereçada por conteúdo, serão avaliadas primeiramente arquiteturas para células do seu núcleo.

A concepção de circuitos nanoeletrônicos digitais, tais como portas lógicas e elementos de memória, é baseada na possibilidade de controlar o transporte individual de elétrons, fato relacionado às junções-túnel. Para uma abordagem digital, geralmente valores da lógica Booleana são associados diretamente à carga de um elétron. Assim, o nível lógico ALTO ('1') será associado à ausência de um elétron ($Q = 1,6 \times 10^{-19} \text{ C}$), enquanto o nível lógico BAIXO ('0') será associado à presença de um elétron ($Q = -1,6 \times 10^{-19} \text{ C}$).

Os circuitos aqui estudados serão inicialmente avaliados nas condições ideais de operação, caracterizadas pela temperatura absoluta (0 K), ausência de co-tunelamento e cargas de desvio. O comportamento chaveado associado aos circuitos mono-elétron, no entanto, é extremamente relacionado às tecnologias de fabricação, dependentes de fatores aleatórios (ruídos térmicos e de carga), entre outros. Assim, serão avaliados também os limites de operação de cada dispositivo, que, idealmente, devem atingir a operação na temperatura ambiente (300 K).

4.2 ANÁLISE DE DESEMPENHO DAS CÉLULAS DE MEMÓRIA

4.2.1 FLIP- FLOP 1

A análise de desempenho do circuito correspondente ao FLIP-FLOP 1 foi obtida a partir de simulações computacionais, fazendo o uso dos valores de parâmetros sugeridos por Chen *et al.* no artigo [12] no qual essa estrutura foi proposta. A primeira observação que pôde ser feita nesta análise foi que todas as condições necessárias para que o tunelamento seja o mecanismo de transporte predominante (equações 2 e 3) foram atendidas. E ainda, o dimensionamento do circuito foi feito de forma a ter o tunelamento de um elétron por vez.

Além disso, pôde ser observado que apesar de o circuito ter sido denominado *flip-flop* pelos autores de sua proposta, não há a presença do relógio em sua estrutura. A tensão denominada V_b corresponde à tensão de polarização do circuito, e assim sua ativação é determinante para o funcionamento do mesmo. Para que o circuito seja considerado ativado, e neste caso o seu valor de saída poderá ser lido, ele deve possuir polarização igual a 48 mV. Para a sua desativação, V_b deverá possuir valor igual a -48 mV, e assim a saída do *flip-flop* será zero [12].

O valor limite da temperatura na simulação dessa estrutura foi atingido em 200K, resultado este afastado das condições idealmente esperadas. A simulação do FLIP-FLOP 1 nesta temperatura pode ser observada na figura 20. É de notar que a saída foi considerada em nível ALTO quando sua tensão

foi maior do que 0V, e em nível BAIXO caso contrário. Os ruídos presentes na simulação ocorreram devido ao aumento da temperatura. Para temperaturas maiores do que 200K, as tensões de saída são superadas pelos ruídos produzidos, não sendo possível fazer distinção entre esses sinais.

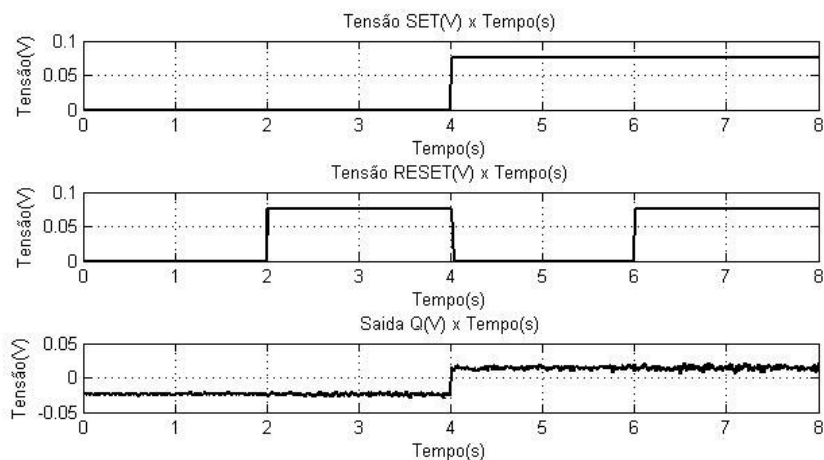


Figura 20- Simulação do FLIP-FLOP 1, com T=200 K.

4.2.1.1 Memória endereçada por conteúdo nanaoeletrônica: uma concepção prévia

Após validação do funcionamento do FLIP-FLOP 1, seguiu-se com a elaboração de uma proposta para o circuito da memória endereçada por conteúdo. Esta proposta, que foi derivada de um circuito MOS apresentado por Johnson *et al.* em [14], pode ser representada pelo diagrama de blocos mostrado na figura 21.

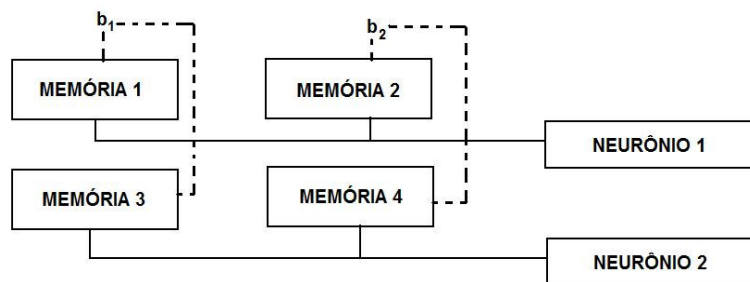


Figura 21- Diagrama de blocos do circuito proposto.

O circuito proposto é constituído por quatro elementos de memória (*flip-flop* mono-elétron), além de dois neurônios da rede *winner-take-all* (WTA) modificada [3]. O terminal b representa um terminal de controle, que corresponderá às tensões de polarização de cada memória.

No circuito mono-elétron WTA modificado, a entrada do transistor SET converte a tensão de entrada em uma corrente de saída. O neurônio com a maior corrente de entrada será o vencedor e inibirá a atuação de seus vizinhos. Este circuito é apresentado na figura 22, juntamente com os valores dos parâmetros utilizados na simulação.

O circuito proposto da memória endereçada por conteúdo nanoeletrônica é mostrado no Apêndice A. Ele operará dependendo do controle dos terminais b_1 e b_2 , que não assumirão valores lógicos ALTOS simultaneamente. Dessa forma, quando b_1 possuir nível lógico ALTO, as saídas dos elementos de memória 1 e 3 (Q_1 e Q_3) serão lidas e comparadas pela rede WTA. Neste caso, a rede WTA irá operar como uma porta OU-EXCLUSIVO, e assim, sempre que $Q_1=Q_3$, as saídas dos neurônios 1 e 2 serão iguais a zero. Caso contrário, quando b_2 for alto, Q_2 e Q_4 serão lidas e comparadas pela rede WTA. O comportamento deste circuito é descrito na tabela 2.

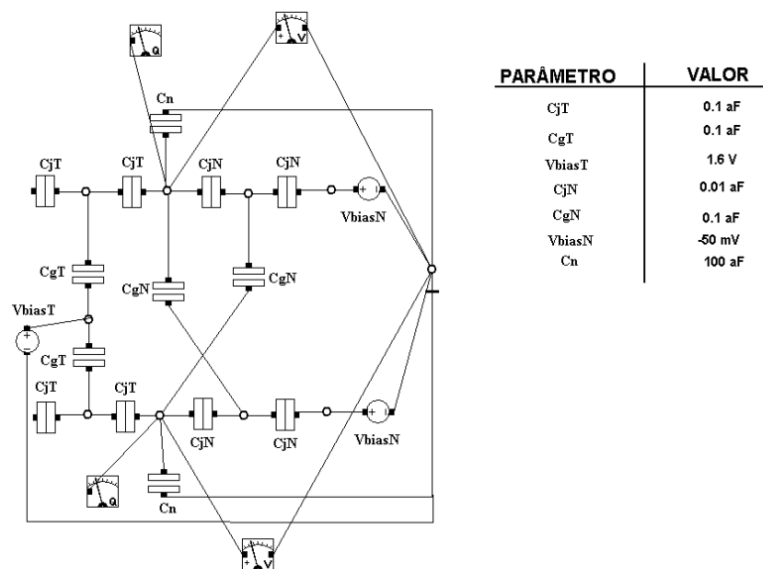


Figura 22- Neurônios da rede WTA modificados [3].

Tabela 2. Entradas e saídas do circuito SET de memória endereçada por conteúdo.

Entradas de controle		Saída das Memórias				Saída dos neurônios	
b_1	b_2	Q_1	Q_2	Q_3	Q_4	n_1	n_2
1	0	0	x	0	x	0	0
1	0	0	x	1	x	0	1
1	0	1	x	0	x	1	0
1	0	1	x	1	x	0	0
0	1	x	0	x	0	0	0
0	1	x	0	x	1	0	1
0	1	x	1	x	0	1	0
0	1	x	1	x	1	0	0

O desempenho do circuito proposto foi avaliado utilizando o SIMON, com os parâmetros já mostrados para o FLIP-FLOP 1 e para os neurônios WTA. Nesta simulação, considera-se que todas as células de memória são idênticas, assim como os neurônios.

As entradas SET das memórias *flip-flop* 1 e 2 foram ajustadas de forma a possuir as mesmas variações de tensão, conforme é mostrado na figura 23. De modo análogo, as entradas RESET dessas memórias também foram feitas iguais. Suas formas de onda foram ajustadas para serem exatamente o oposto das entradas SET, isto é, sempre que a entrada SET está em nível ALTO, a RESET está em nível baixo, e vice-versa. Por sua vez, as memórias 3 e 4 possuíam as mesmas formas de onda mostradas na figura 23 para suas entradas RESET.

As formas de onda dos terminais de controle b_1 e b_2 são mostradas na figura 24. Note-se que b_1 e b_2 não assumem níveis lógicos ALTOS ao mesmo tempo, conforme dito anteriormente.

As tensões de saída dos neurônios 1 e 2 são mostradas na figura 25.

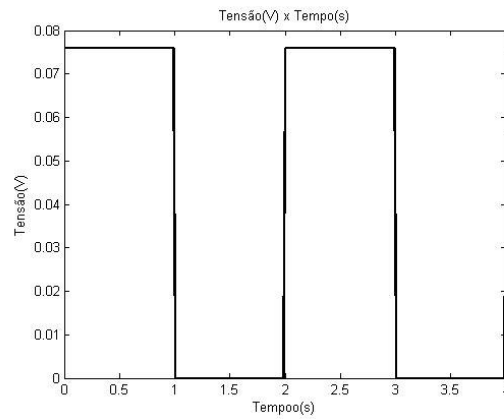


Figura 23- Forma de onda da tensão de entrada SET da memória 1.

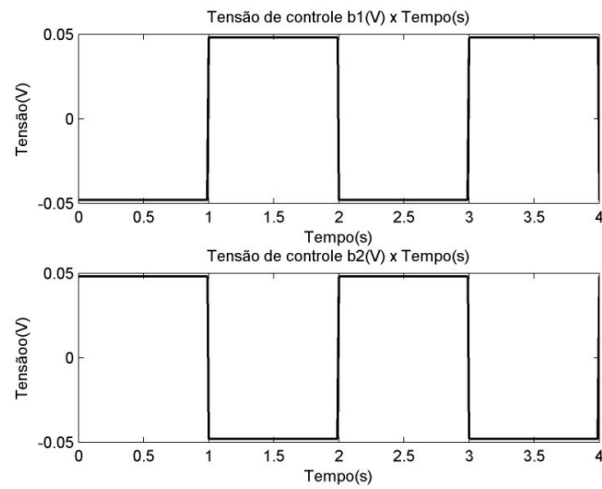


Figura 24- Formas de onda das tensões de controle b1e b2.

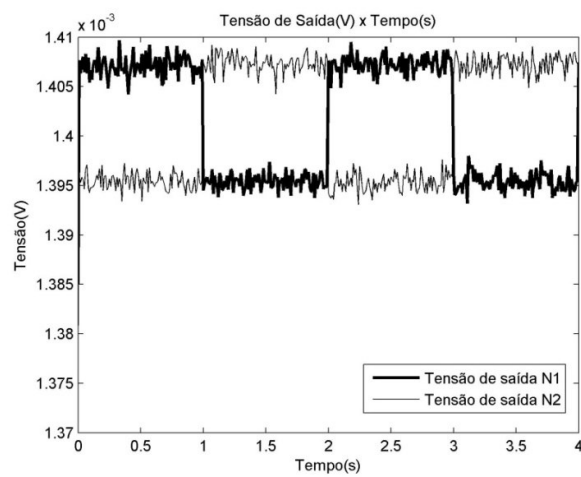


Figura 25- Tensão de saída dos neurônios para T=30K.

A temperatura de operação foi aumentada até 30K e o circuito manteve seu funcionamento. Para temperaturas maiores, o circuito não forneceu a saída desejada.

Da observação do gráfico da figura 25, é possível notar que apesar das saídas terem assumido níveis muito baixos de tensão, a rede foi capaz de reconhecer a alternância do funcionamento dos neurônios de acordo com as tensões de entrada e de controle escolhidas. Assim, é possível concluir que a rede proposta apresentou comportamento esperado, mesmo não tendo alçado operação em temperatura ambiente. No entanto, este circuito apresenta limitações em sua arquitetura, que deve conter terminais de entrada para que haja o endereçamento da palavra a partir da comparação destas e de dados armazenados na estrutura da memória.

4.2.2 Porta NÃO-E 1

Tendo em vista a obtenção de um *flip-flop* SET-RESET em sua forma convencional, formado a partir de quatro portas NÃO-E segundo esquema apresentado na figura 17, foi realizado o estudo da porta NÃO-E 1. Este estudo consistiu na simulação do circuito e avaliação de seu desempenho.

Apesar de ter sido verificada a observância dos valores dos parâmetros sugeridos por Lageweg *et al.* em [5] às relações fornecidas nas equações (2) e (3), estes parâmetros foram redimensionados de forma a atingir o valor limite conhecido para fabricação de capacitâncias, sendo este limite igual a 0.001 aF [15]. Isto foi feito visando à operação do circuito em temperaturas próximas da ambiente, já que, quanto menor forem as capacitâncias utilizadas, maior será a temperatura de operação associada, conforme equação (3). Desta forma, todos os valores de capacitância sugeridos no artigo base foram diminuídos 10 vezes, enquanto que o valor da tensões envolvidas foi aumentado em 10 vezes. Vale lembrar que a partir da utilização dos valores originalmente propostos, a máxima temperatura de operação obtida foi igual a 0K.

A figura 26 mostra a validação do funcionamento desta porta lógica a partir de simulação computacional realizada no *software* SIMON. É de se notar que as entradas foram escolhidas de forma a fornecer todas as combinações possíveis para este circuito: (0,0), (0,1), (1,0), (1,1). E ainda, a temperatura de operação utilizada nessa simulação foi igual a 0K.

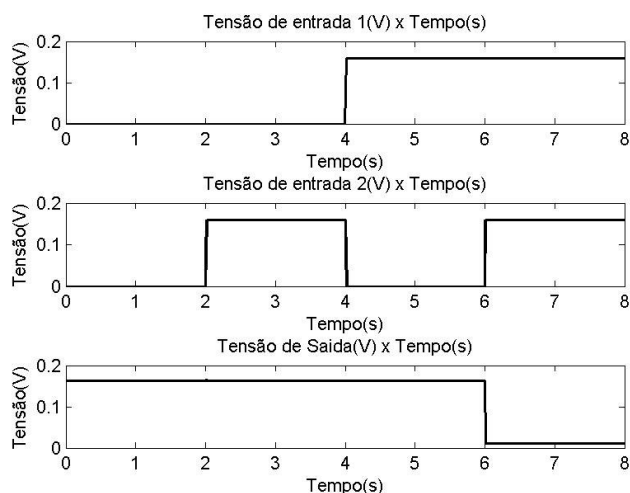


Figura 26- Simulação da porta NÃO-E 1, para T=0 K.

Após a validação do circuito da porta NÃO-E 1, procedeu-se à montagem e simulação no SIMON do novo *flip-flop* aqui proposto, cuja concepção foi feita a partir das arquiteturas tradicionais existentes para este dispositivo. O seu circuito final será mostrado no apêndice A.

As simulações foram realizadas utilizando os mesmos valores dos parâmetros da porta NÃO-E 1. Os resultados obtidos para estas simulações, que foram feitas a temperatura 0K, são mostrados nas figuras 27 e 28.

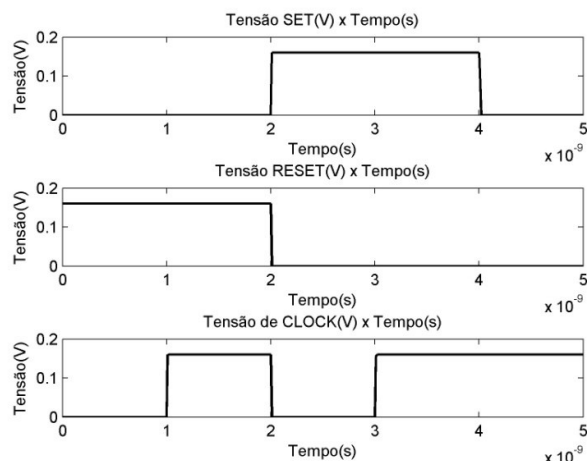


Figura 27- Forma de onda dos terminais de entrada do flip-flop proposto.

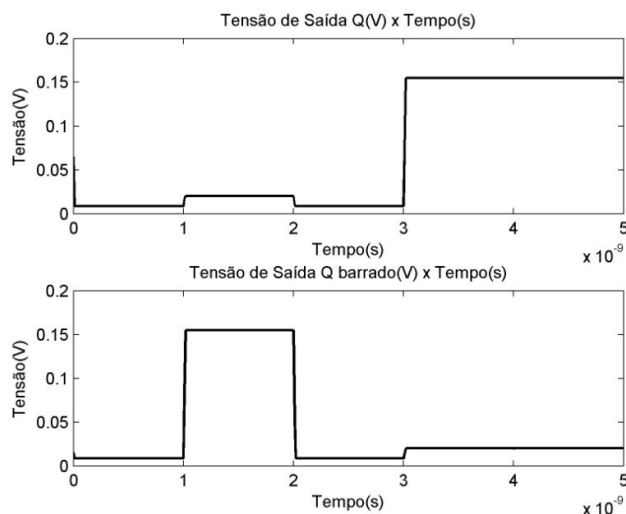


Figura 28- Saídas Q e inv (Q) do flip-flop, para T= 0K.

Com o aumento da temperatura de operação, o bom funcionamento do circuito foi mantido apenas até 10 mK. Após este limite, o estado correspondente à chamada situação de espera (*hold*), quando o circuito deve manter o seu estado enquanto o relógio está inativo, não foi alcançado. Assim, pode-se afirmar que acima desse limite de temperatura, o circuito não funciona mais como o *flip-flop* SR desejado.

Note-se ainda que a inversão da saída Q não ocorreu conforme o esperado. Nos intervalos de tempo nos quais o relógio assumiu nível lógico BAIXO, essa saída também foi levada a zero.

4.2.3 Porta NÃO-OU 1

O estudo da porta NÃO-OU 1 foi iniciado a partir da reprodução do circuito proposto por Lageweg *et al.* em [7] para simulação no SIMON, e conseqüente avaliação das formas de onda obtidas. Este circuito é composto por dois estágios: um estágio de entrada cujos parâmetros são ajustáveis para o funcionamento do circuito como uma porta NÃO-OU, e um segundo estágio, que representa um *buffer*/inversor de saída. Para o correto funcionamento da arquitetura proposta, o circuito deve possuir necessariamente o *buffer* no estágio de saída, podendo ser necessária ainda uma maior reprodução destes estágios, de modo a fornecer maior estabilidade ao circuito geral [7].

Assim, ao simular o circuito proposto com apenas um *buffer* de saída, não foram obtidas formas de onda esperadas para uma porta NÃO-OU. Ao contrário, o circuito se comportou como uma porta OU, cuja temperatura máxima de operação não ultrapassou 0K. As entradas e saídas obtidas nesta simulação estão apresentadas na figura 29.

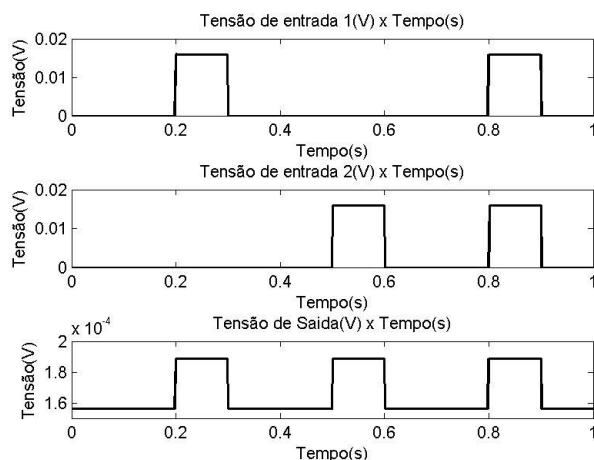


Figura 29- Simulação da porta NÃO-OU 1, para T=0 K.

Em seguida, foi introduzido um novo *buffer* no estágio de saída do circuito e este passou a se comportar como uma porta NÃO-OU. Essas simulações são mostradas na figura 30.

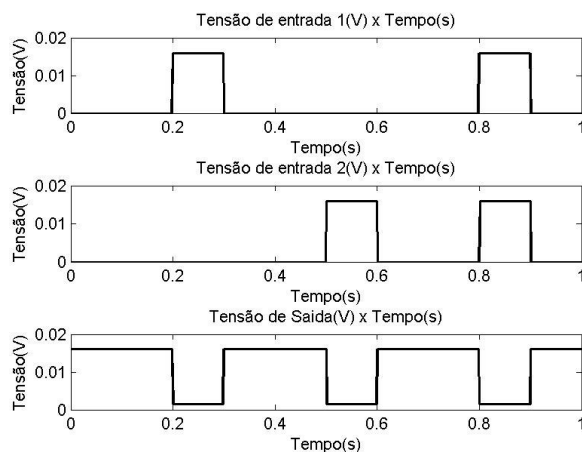


Figura 30- Simulação da porta NÃO-OU 1 com dois buffers de saída, para T=0 K.

Então, foi feita a interconexão de duas dessas portas NÃO- OU 1, de acordo com a configuração apresentada na figura 16. O *latch* resultante pode ser visto no Apêndice A. Note-se que, neste caso, apenas um *buffer* de saída foi suficiente para fornecer a estabilidade requerida pelo circuito.

Primeiramente, este circuito foi simulado utilizando os valores propostos no artigo [7] para a porta lógica e em seguida, os valores de capacitância foram diminuídos 10 vezes em relação aos valores originais. Essa diminuição implicou no aumento conseqüente das tensões associados na mesma ordem de grandeza, respeitando, assim, a relação $Q = CV$. Em ambos os casos, as simulações resultantes forneceram bons resultados em temperaturas menores do que 100 mK. Estes resultados podem ser vistos na figura 31.

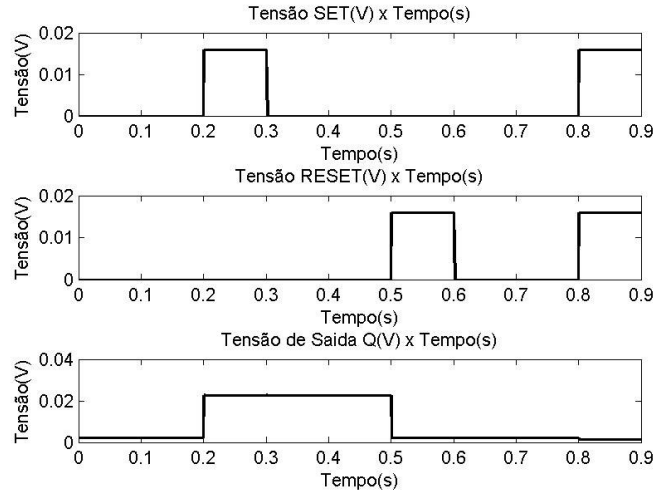


Figura 31- Simulação do latch proposto a partir da porta NÃO-OU 1, para $T=0$ K.

Observando a forma de onda da saída Q do circuito, é possível notar que- para a condição de entrada (1,1), quando tanto o terminal de SET quanto o de RESET estão nos níveis lógicos ALTOS- o circuito manteve o seu estado. No entanto, a impossibilidade de operação do *latch* estudado em altas temperaturas inviabiliza a sua utilização no projeto da memória endereçada por conteúdo nanoeletrônica, cuja operação é desejada na temperatura ambiente.

4.2.4 LATCH 1

A concepção da proposta do LATCH 1, feita por Lageweg *et al.* em [7], surgiu da possibilidade de caracterizar o desempenho deste circuito a partir da equação (4), cuja validade pode ser facilmente verificada. Na equação (4), os níveis lógicos ALTOS e BAIXOS devem ser relacionados aos valores 1 e 0, respectivamente.

$$Q^{t+1} = \text{sgn}\{S - R + Q^t - 1\} \quad (4)$$

Assim, foi sugerido no artigo um circuito composto por realimentações para implementar a função dada em (4). O esquemático deste circuito pode ser visto na figura 32. Este circuito é composto por um bloco básico e 2 *buffers*/inversores de forma a obter as saídas Q e \bar{Q} .

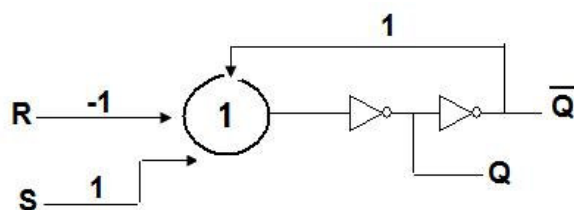


Figura 32- Sistema realimentada do LATCH 1 [7].

As primeiras tentativas de reprodução deste circuito foram feitas de acordo com a figura 32, juntamente com os valores dos parâmetros sugeridos no artigo [7], considerando a capacitância básica igual a $C=1$ aF. Dessa forma, não foram obtidos resultados bem sucedidos, com apresentação de saídas totalmente inesperadas para o comportamento de um *latch* SR. No entanto, ao observar-se o esquema proposto na figura 32 juntamente com a equação (4) fica evidente a falta do termo -1 no sistema realimentado. Assim, esse parâmetro negativo foi inserido no circuito a partir da utilização de uma fonte de tensão constante conectada em série com o mesmo valor de capacitância sugerido para a entrada R, já que R também representa uma realimentação negativa. Ao simular este circuito modificado, foi apresentada correta operação até a temperatura máxima igual a 1K. Portanto, o valor da capacitância básica foi diminuído para $C=0.01$ aF e todos os demais parâmetros foram ajustados de acordo com esse novo valor. Esses ajustes foram feitos visando à obtenção da operação em temperaturas maiores, conforme explicação já mostrada ao longo do texto. Esse circuito, cujas formas de onda de entrada e saída são apresentadas nas figuras 33 e 34, respectivamente, alcançou a temperatura limite de operação igual a aproximadamente 300 K.

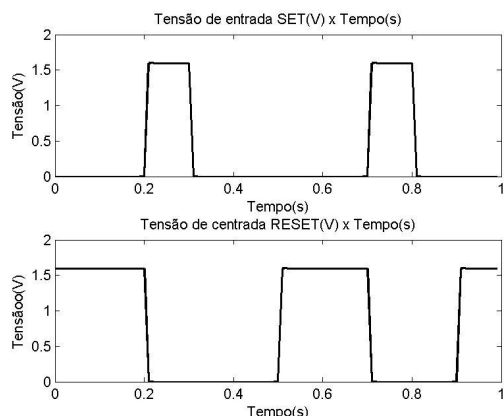


Figura 33- Tensões de entrada do Latch 1

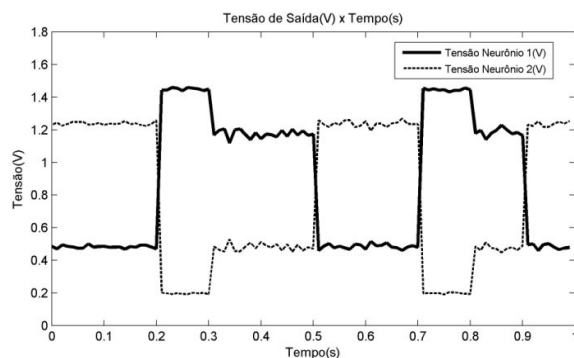


Figura 34- Tensões de saída do Latch 1, para $T=300K$.

A partir da observação da figura 34, é possível notar que as saídas do circuito apresentaram os valores esperados para o funcionamento do mesmo, com existência do estado de espera para $S=0$, $R=0$. E ainda, os ruídos presentes nessa simulação foram derivados do aumento de temperatura. Apesar disso, a distinção entre os níveis ALTOS e BAIXOS pode ser feita facilmente, validando assim o funcionamento desse circuito. Já que ele operou corretamente em temperatura ambiente, é possível a sua utilização como a célula de memória da memória endereçada por conteúdo nanoeletrônica que será proposta neste trabalho.

4.2.5 Portas NÃO-E 2 e NÃO-OU 2

As portas NÃO-E 2 e NÃO-OU 2, cujas arquiteturas de circuito são idênticas, foram simuladas utilizando os valores dos parâmetros propostos por Gerousis *et al.* em [6] para a sua operação. A proposta desenvolvida neste artigo foi feita visando à obtenção direta da simulação em temperatura ambiente. Os resultados obtidos para a simulação da porta NÃO-E 2 são mostrados na figura 35 e os resultados para a NÃO-OU 2, na figura 36.

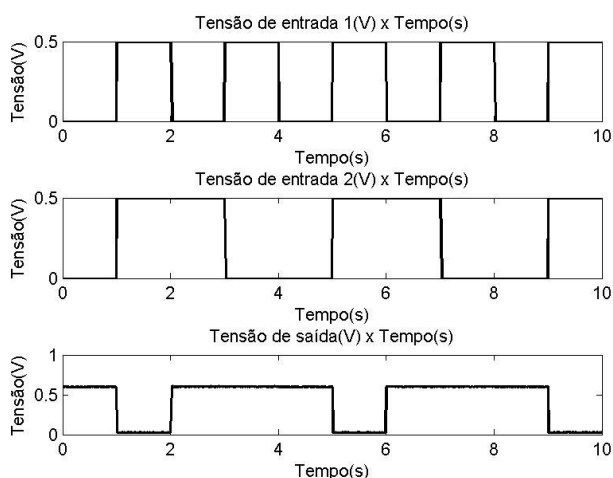


Figura 35- Simulação da porta NÃO-E 2, para $T=300K$.

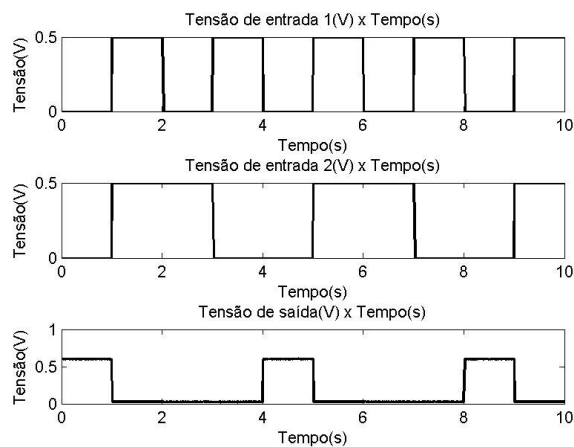


Figura 36- Simulação da porta NÃO-OU 2, para $T=300K$.

A partir da observação das formas de onda de saída desses dois circuitos, pode ser concluído que eles operam corretamente em temperatura ambiente. Um fato interessante que foi observado é que essas portas não operam em temperaturas muito baixas ou iguais a 0K. Isso acontece já que o projeto do circuito foi feito para operação direta em 300K, conforme dito anteriormente. Assim, os seus parâmetros foram dimensionados de forma a diminuir o transporte por efeito térmico, o que conseqüentemente resultou no aumento das barreiras de potencial existentes entre as junções-túnel e as ilhas. Dessa forma, se este circuito com barreiras altas for utilizado em baixas temperaturas, os seus portadores terão que tunelar barreiras mais altas, não havendo então energia suficiente para tanto [2].

Após validação da porta NÃO-E 2, procedeu-se à montagem e simulação de um novo *flip-flop*, cuja arquitetura foi baseada na forma tradicional dada na figura 17. Como vantagem prévia desse circuito há a operação de cada porta NÃO-E em temperatura ambiente. Para o correto funcionamento deste *flip-flop*, foi eliminada a capacitância de carga do primeiro estágio do circuito, já que sua presença inibia o tunelamento de cargas para o estágio final. Além disso, o valor desta capacitância foi ajustado para 0.4 aF, já que neste valor, o bloqueio de Coulomb, assim como a passagem de carga na ilha ocorreu mais adequadamente para a operação desejada. Os resultados para esse circuito proposto são apresentados nas figuras 37 e 38. Seu esquemático para simulação no SIMON será apresentado no Apêndice A.

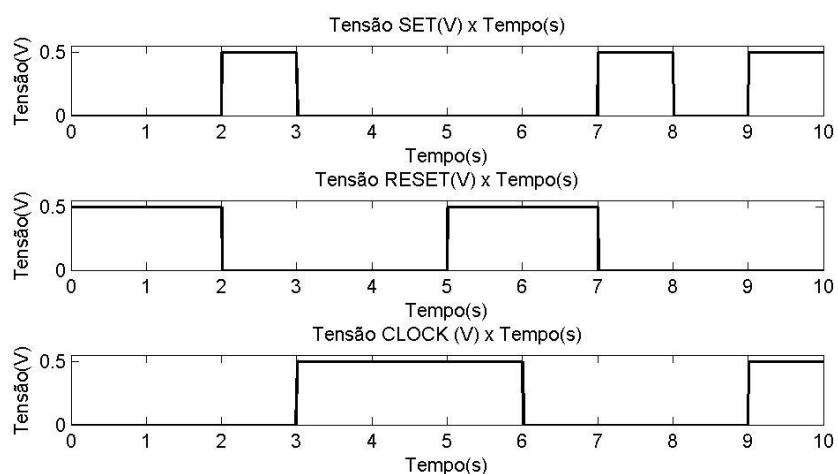


Figura 37- Tensões de entrada para o flip-flop proposto.

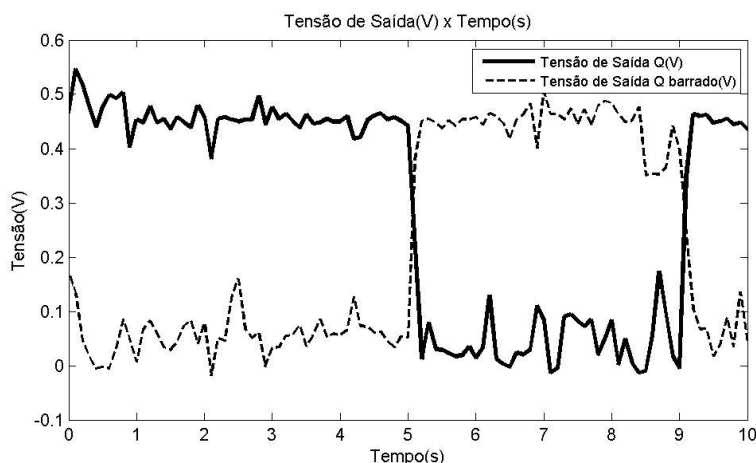


Figura 38- Tensões de saída para o flip-flop proposto, com T=300 K.

Apesar de as tensões de saída do *flip-flop* proposto terem coincidido com aquelas esperadas, os níveis de ruído apresentados na operação em 300K foram muito superiores àqueles obtidos na simulação do circuito do LATCH 1. Como diferencial, o *flip-flop* constituído pelas portas NÃO-E 2 apresenta a disponibilidade de um terminal de relógio, que pode ser utilizado no sincronismo do circuito, se desejado. Dessa forma, a escolha de qual dentre essas arquiteturas será usada na construção da memória endereçada por conteúdo nanoeletrônica dependerá dos requisitos estabelecidos para esse projeto, que poderão ser vistos no capítulo 5.

5. A MEMÓRIA ENDEREÇADA POR CONTEÚDO NANOELETRÔNICA

5.1 INTRODUÇÃO

Neste capítulo será apresentada a concepção final e respectivas simulações da memória endereçada por conteúdo proposta neste trabalho. O seu desenvolvimento foi feito a partir de circuitos cujas simulações resultaram em operações na temperatura ambiente. Estes circuitos foram interconectados conforme necessidade apresentada para o funcionamento desta memória.

5.2 DEFINIÇÃO DA ARQUITETURA DA MEMÓRIA ENDEREÇADA POR CONTEÚDO

A arquitetura base da memória endereçada por conteúdo nanoeletrônica, representada através de diagrama de blocos, corresponde a uma versão modificada daquela apresentada na figura 21. Esta nova concepção pode ser vista na figura 39. Vale lembrar que os circuitos correspondentes às células de memória foram escolhidos como *flip-flops/latches* SET-RESET.

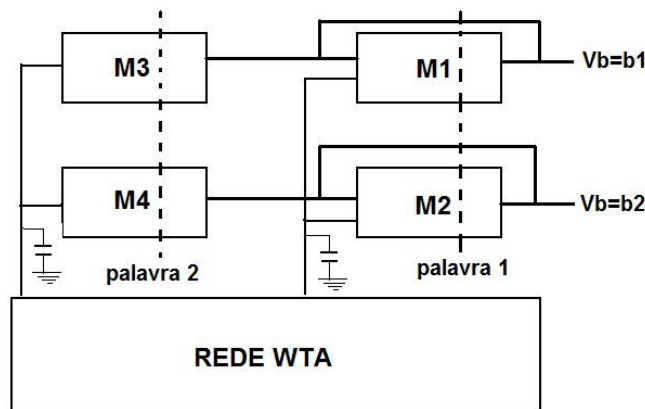


Figura 39- Nova concepção para a memória endereçada por conteúdo nanoeletrônica.

A existência de quatro núcleos de memória implica num armazenamento de duas palavras de dois bits, organizadas em: palavra 1 (M1,M2) e palavra 2 (M3, M4). Isto é, o bit mais significativo da palavra 1 será M1 e o menos significativo será M2. A palavra 2 pode ser determinada de forma análoga através de seus bits mais e menos significativos. Além disso, os terminais SET e RESET de cada memória corresponderão aos terminais de escrita. Assim, quando o terminal SET da memória M1 está no nível lógico ALTO, sua saída Q1=1 será armazenada na memória. Esses terminais devem ser independentes entre si, possibilitando suas conseqüentes combinações para obtenção das saídas desejadas.

A determinação da formação das palavras armazenadas será feita através das conexões de saídas das memórias ao mesmo capacitor, cuja função será realizar o somatório das cargas dos nós de entrada anterior à rede *winner-take-all*. Esta deverá indicar, por fim, o resultado do endereçamento da memória.

Os terminais externos que representarão a palavra de entrada a partir da qual o endereçamento será feito foram considerados como sendo os terminais b_1 e b_2 . Dessa forma, o bit mais significativo da palavra de entrada será representado por b_1 e ele será comparado com M1 e M3. Por sua vez, o bit menos significativo será b_2 , que será comparado com M2 e M4.

Para a obtenção da memória proposta acima, foi escolhida a utilização do circuito correspondente ao LATCH 1 na representação das células do núcleo da memória. Tal escolha foi motivada pelo melhor resultado apresentado por este circuito na operação em temperatura ambiente. Além disso, por não haver necessidade de um terminal de relógio, sua utilização foi vista como mais vantajosa do que aquela desenvolvida na seção 4.2.5. Nesse circuito, há um terminal de polarização disponível, sendo este suficiente para representar a tensão de entrada V_b .

Vale lembrar que a rede *winner-take-all* utilizada foi retirada da proposta realizada por Guimarães em [3]. E ainda, à capacitância adicionada na entrada de cada neurônio foi atribuído um valor igual a 0.1 aF, de forma a possuir a mesma ordem de grandeza das entradas dos neurônios da rede WTA.

Os resultados das simulações da memória endereçada por conteúdo podem ser observados nas figuras 40, 41 e 42, nas quais foram variadas as palavras armazenadas. Para cada situação, observe o comportamento esperado nas tabelas 3, 4 e 5, respectivamente, com N_1 representado o neurônio 1 e N_2 o neurônio 2. As palavras de entrada b_1 e b_2 assumiram todas as combinações possíveis para melhor observação do comportamento geral da memória proposta. O circuito utilizado para simulação no SIMON pode ser visto no Apêndice A.

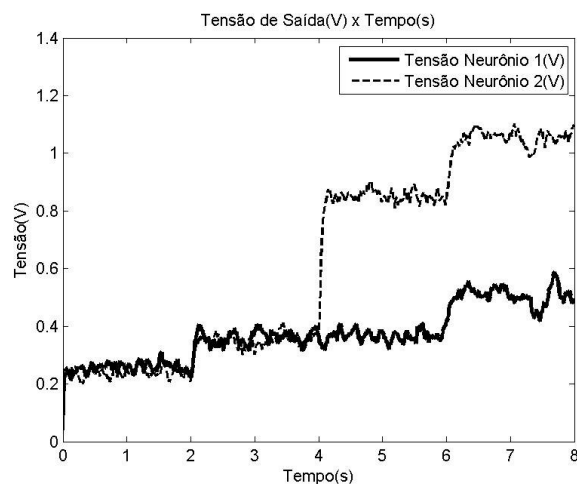


Figura 40- Saída dos neurônios para $Q1=0$, $Q2=0$, $Q3=1$, $Q4=0$.

Tabela 3- Caracterização da memória endereçada por conteúdo, com palavras armazenadas iguais a (00) e (10).

b_1b_2	00	01	10	11
Q1Q2	00	00	00	00
Q3Q4	10	10	10	10
Saída desejada	N1	N1	N2	N2
Saída obtida	*	*	N2	N2

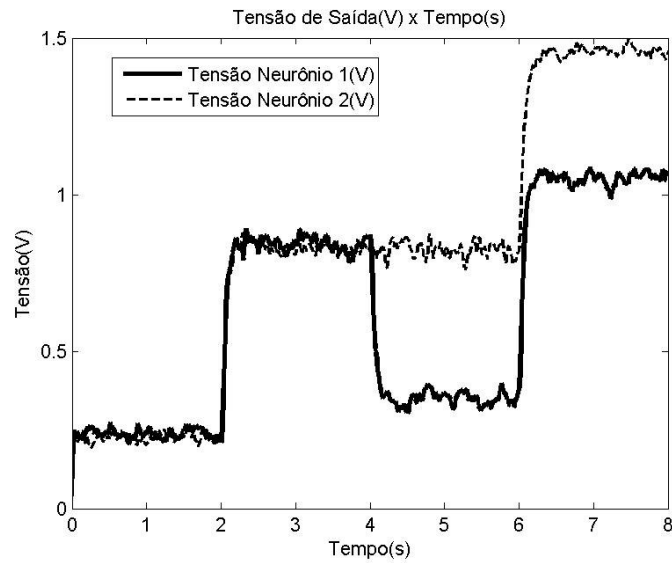


Figura 41- Saída dos neurônios para Q1=0, Q2=1, Q3=1, Q4=1.

Tabela 4- Caracterização da memória endereçada por conteúdo, com palavras armazenadas iguais a (01) e (11).

b1b2	00	01	10	11
Q1Q2	01	01	01	01
Q3Q4	11	11	11	11
Saída desejada	N1	N1	N2	N2
Saída obtida	*	*	N2	N2

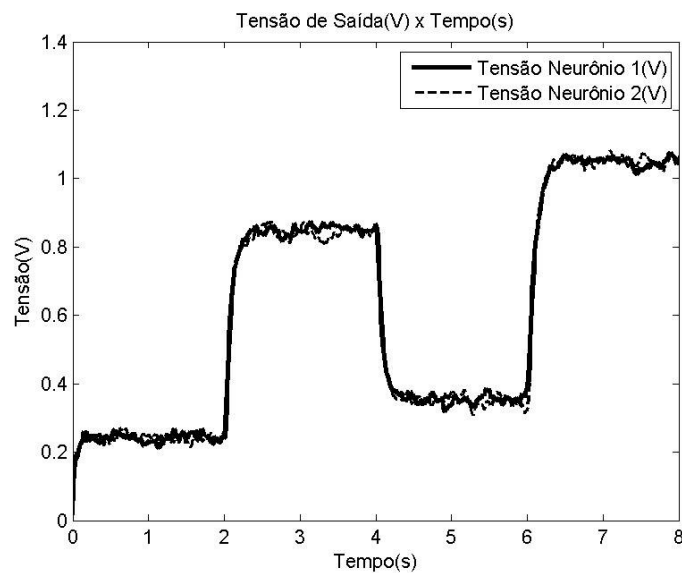


Figura 42- Saída dos neurônios para Q1=0, Q2=1, Q3=0, Q4=1.

Tabela 5- Caracterização da memória endereçada por conteúdo, com palavras armazenadas iguais a (01) e (01).

b1b2	00	01	10	11
Q1Q2	01	01	01	01
Q3Q4	01	01	01	01
Saída	*	*	*	*

O armazenamento de duas palavras iguais no núcleo da memória endereçada por conteúdo não corresponde a uma situação prática, já que geralmente este armazenamento é feito de forma a possibilitar o reconhecimento de diversas palavras de entrada a partir da comparação com àquelas armazenadas. No entanto, ela foi mostrada para evidenciar que quando os neurônios não conseguem distinguir qual palavra (1 ou 2) é a vencedora, sua saída é confundida, estado representado por “*”.

Tanto na simulação mostrada na figura 40, quanto na figura 41, pode ser observada a incapacidade do circuito em distinguir o neurônio vencedor quando a palavra de entrada assume os valores (0,0) e (0,1). Para superar essa limitação, foi cogitada primeiramente a introdução de um terminal de porta externo em série com uma fonte de tensão, com conexão no mesmo nó da fonte de tensão de polarização Vb. Dessa forma, haveria a introdução forçada de cargas extras de forma a produzir uma pequena diferença de cargas, que seria sentida também como uma diferença de tensão, sempre que alguma memória assumisse valor 0.

O projeto do valor dessa capacitância externa foi feito de forma a introduzir um número correspondente à metade das cargas anteriormente presentes no nó analisado. Assim, fazendo a tensão de porta externa igual 1.6 V, temos:

$$|Q_{desejado}| = \frac{7 * 10^{-20}}{2} = 3.5 * 10^{-20} C$$

$$C = \frac{Q}{V} = \frac{3.5 * 10^{-20}}{1.6} = 2.1875 * 10^{-20} F$$

O acréscimo do terminal de porta anteriormente projetado não levou a uma melhora no desempenho do circuito, e por isso, sua utilização não foi feita.

A partir daí, ficou clara a necessidade de utilização de portas lógicas para realização do bloco comparador da memória endereçada por conteúdo, já que tentativas de alteração no comportamento individual de cada célula de memória não levariam a uma correta comparação entre os termos de entrada e os termos armazenados. Uma porta lógica adequada para comparação é a OU-EXCLUSIVO. Além disso, foi evidenciada a falha desta proposta ao considerar as tensões de entrada nos terminais Vb. Estes terminais, na verdade, correspondem à polarização do circuito e devem permanecer sempre ativados caso se deseje ler a saída resultante de cada célula de memória.

Assim, foi desenvolvida a proposta final para a memória endereçada por conteúdo nanoeletrônica, cujo esquemático pode ser visto na figura 43. Os bits da palavra externa de entrada foram denominados (w_1 , w_2). Note-se ainda que foram propostas 4 portas OU-EXCLUSIVO para realizar a comparação ente w_1 e M1, w_1 e M3, w_2 e M2, w_2 e M4. Dessa forma, a palavra de entrada será comparada bit a bit com as duas palavras armazenadas e o endereçamento da informação será feito de acordo com o caminho correspondente à maior semelhança entre os dados de entrada e armazenados.

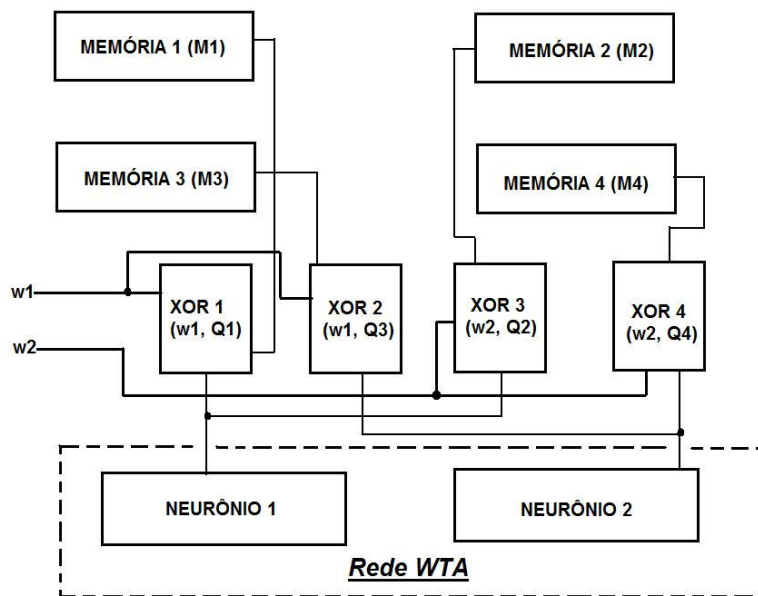


Figura 43- Esquemático da proposta final para a memória endereçada por conteúdo nanoeletrônica.

5.3 ARQUITETURAS DO BLOCO COMPARADOR

O arranjo das quatro portas OU-EXCLUSIVO conforme é mostrado na figura 43 será denominado bloco comparador da memória endereçada por conteúdo nanoeletrônica. A sua arquitetura foi escolhida a partir da análise do desempenho de dois circuitos para essa porta, propostos por Dasigenis *et al.* em [8] e Chen *et al.* em [9].

Os resultados obtidos a partir da simulação da porta OU-EXCLUSIVO 1, já apresentada no capítulo 3, são mostrados na figura 44. Esta simulação foi realizada em 300K, com redimensionamento da ordem de grandeza das capacitâncias e das fontes de tensão originais propostas. Respeitando a relação $Q = CV$, foi atribuído o valor 0.1 aF para cada capacitância e as respectivas tensões foram aumentadas em 10 vezes. Dessa forma, a tensão equivalente ao nível lógico ALTO foi igual a 0V e a tensão equivalente ao nível lógico BAIXO foi -1 V. Uma limitação na escolha deste circuito para a constituição da memória pode ser identificada previamente: os níveis de tensão associados aos estados ALTOS e BAIXOS são bastante diferentes daqueles considerados no LATCH 1, que foi escolhido representante do núcleo da célula de memória (veja figura 34).

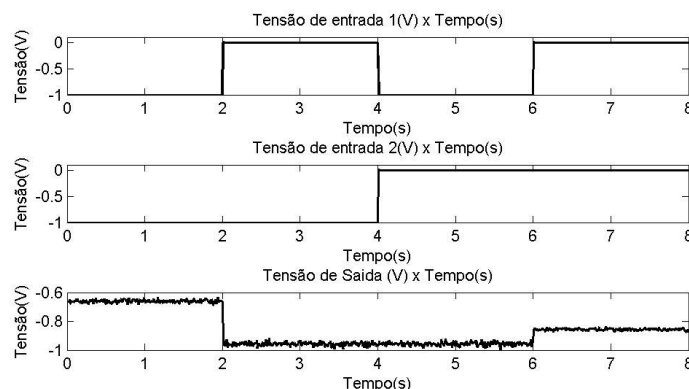


Figura 44- Comportamento da porta OU-EXCLUSIVO 1, com T= 300K.

A primeira observação que pode ser feita em relação ao comportamento da porta OU-EXCLUSIVO 1 é que sua operação corresponde, na verdade, a uma porta NÃO-OU-EXCLUSIVO. Tal fato não impede que ela seja utilizada na memória endereçada por conteúdo. Ao contrário, este comportamento é ainda mais interessante, já que para bits idênticos- (0,0) e (1,1)- o nível de tensão da saída do circuito será maior. Assim, talvez seja mais fácil o reconhecimento pela rede WTA da palavra vencedora para seu posterior endereçamento. Além disso, a saída fornecida pela porta OU-EXCLUSIVO 1 para a combinação das entradas (0,0) ou (1,1) fornece níveis de tensão bem distintos, com maior proximidade do nível “0” para a combinação (1,1), do que do nível “1”.

Por sua vez, a partir das relações fornecidas em [9], pôde ser feito o dimensionamento dos parâmetros do circuito da porta OU-EXCLUSIVO 2, também apresentada no capítulo 3. À capacitância base C foi atribuído valor igual a 0.01 aF, visando à obtenção da operação deste circuito em temperatura ambiente. Assim, os demais parâmetros foram feitos iguais a:

$$\begin{aligned} V_B &= \pm 1.04 V \\ V_0 &= 2V \\ C_0 &= 0.03 aF \\ C_L &= 1 aF \end{aligned}$$

A tensão V_b é necessária para a polarização do circuito. E ainda, a tensão V_0 será o valor associado ao nível lógico ALTO na entrada deste. O nível lógico BAIXO será associado a 0V. As simulações resultantes para essa porta lógica podem ser vistas na figura 44.

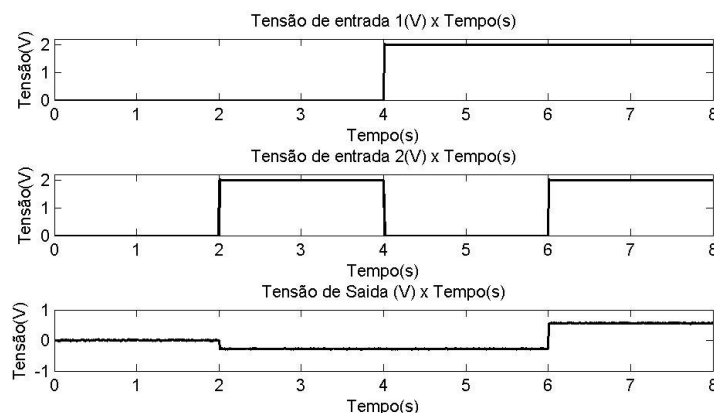


Figura 45- Comportamento da porta OU-EXCLUSIVO 2, com T= 300K.

Da mesma forma que para a porta OU-EXCLUSIVO 1, a saída fornecida para a combinação das entradas (0,0) ou (1,1) apresenta níveis de tensão bem distintos, neste caso com maior proximidade do nível “0” para a combinação (0,0), do que do nível “1”. Além disso, a porta também apresentou comportamento de uma NÃO-OU-EXCLUSIVO.

A porta escolhida para formação do bloco comparador da memória endereçada por conteúdo foi a OU-EXCLUSIVO 2 devido à maior semelhança de seus níveis lógicos ALTOS e BAIXOS com aqueles do circuito do núcleo da célula de memória. A validação desta escolha será mostrada na seção subsequente.

5.4 VALIDAÇÃO DO DESEMPENHO DA MEMÓRIA ENDEREÇADA POR CONTEÚDO NANOELETRÔNICA PROPOSTA

A memória endereçada por conteúdo proposta neste trabalho foi desenvolvida a partir da interconexão dos circuitos aqui denominados LATCH 1, portas OU-EXCLUSIVO 2 e dos neurônios da rede *winner-take-all*. O esquemático da figura 43 mostra a configuração base utilizada na montagem desta memória. O circuito final pode ser visto no Apêndice A.

Para sua correta operação na temperatura ambiente, alguns ajustes foram necessários após a realização da interconexão de todos os dispositivos do circuito. Estes ajustes foram realizados na porta OU-EXCLUSIVO. Conforme dito anteriormente, os níveis de tensão de cada célula de memória não correspondem aos mesmos desta porta lógica. As tensões fornecidas nas saídas Q1, Q2, Q3 e Q4 após as ligações realizadas entre os blocos de memória foram aproximadamente iguais a 1.6 V para o nível lógico ALTO e 0.7V para o nível lógico baixo. Visando à obtenção clara da distinção entre esses níveis pela porta OU-EXCLUSIVO, foi adotada a estratégia de utilizar esta mesma correspondência entre tensões e níveis lógicos na palavra de entrada (w_1 , w_2), a partir da qual haverá o endereçamento dos dados. Além disso, o valor da capacitância de saída dessa porta foi diminuído para 0.1 aF. Isto foi feito para estabelecer mesma ordem de grandeza das capacitâncias externas de entrada com as capacitâncias próprias dos neurônios WTA. Por fim, a tensão de polarização positiva da porta OU-EXCLUSIVO foi modificada para o valor 2 V, aumentando assim os limites de operação possíveis deste circuito.

A validação desta proposta foi desenvolvida da mesma forma que aquela mostrada na subseção 5.2. Assim, para todas as combinações possíveis de uma palavra de entrada de dois bits, foi avaliado o endereçamento final fornecido pelo circuito a partir da comparação entre a entrada e dados armazenados previamente no núcleo dessa memória. Nas figuras 46, 47 e 48 são mostradas as saídas finais da memória para as mesmas situações apresentadas nas tabelas 3, 4 e 5, respectivamente.

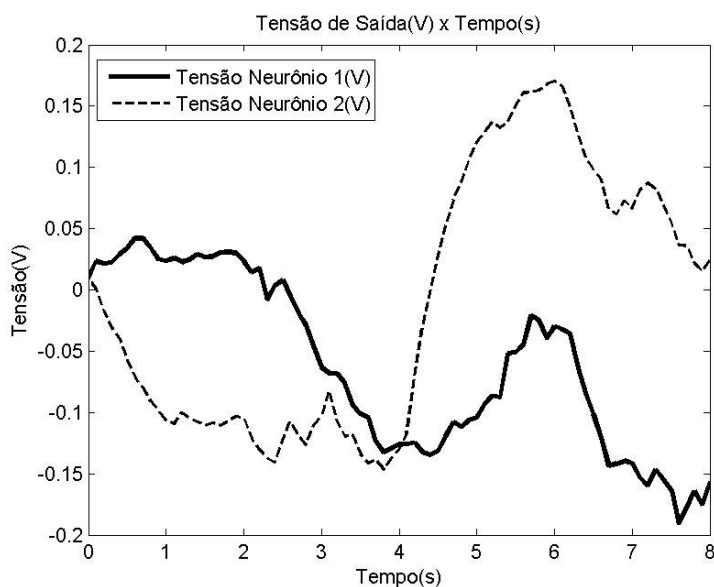


Figura 46- Saída dos neurônios da proposta final da memória, com Q1=0, Q2=0, Q3=1, Q4=0.

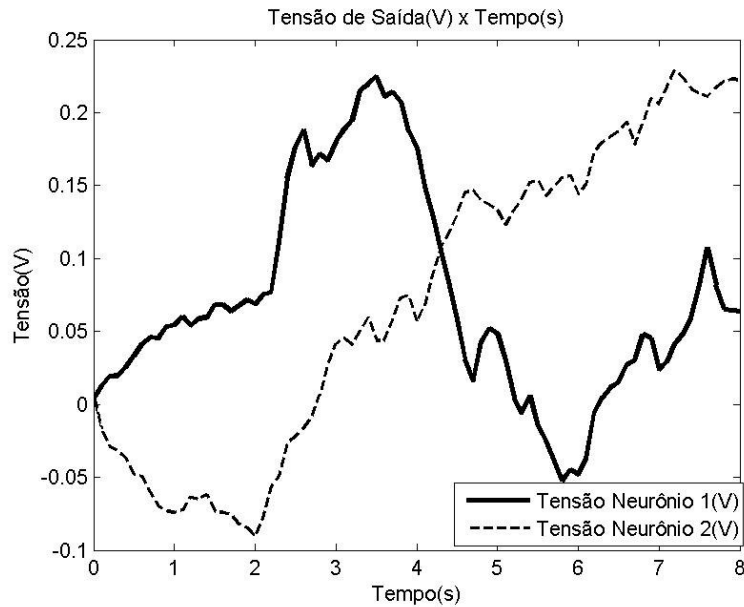


Figura 47- Saída dos neurônios da proposta final da memória, com $Q1=0$, $Q2=1$, $Q3=1$, $Q4=1$.

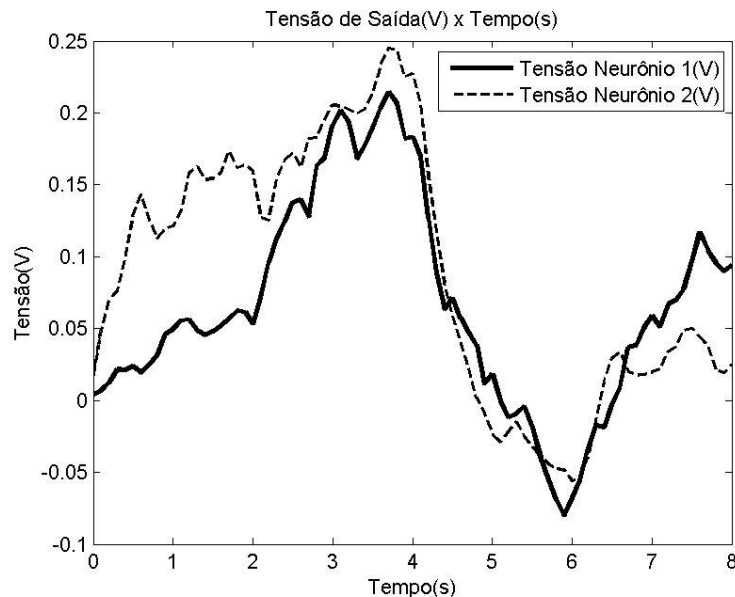


Figura 48- Saída dos neurônios da proposta final da memória, com $Q1=0$, $Q2=1$, $Q3=0$, $Q4=1$.

Na situação simulada na figura 46, cujos resultados esperados constam na tabela 3, é possível notar clara distinção da vitória do neurônio 1 até o instante de tempo $t=4s$ e do neurônio 2 no intervalo subsequente. Para a situação mostrada na figura 47, a saída apresentou o mesmo comportamento, conforme previsto pela tabela 4. Por fim, na figura 48, é possível observar que, quando são armazenadas duas palavras idênticas no núcleo da memória, não é possível a identificação de nenhum caminho vencedor pela rede WTA. Por terem sido geradas formas de onda com comportamentos semelhantes neste caso, com pequena diferença de tensão entre uma e outra em cada instante de tempo, pode ser dito que houve confusão da rede, conforme previsão da tabela 5. É interessante notar que as saídas dos neurônios *winner-take-all* apresentam níveis de tensão correspondentes a aproximadamente 12.5% da tensão considerada como nível lógico ALTO na entrada externa do circuito. A atenuação do sinal de entrada já era esperada, já que esta simulação final não foi realizada sob as condições ideais de operação. Além disso, as muitas interconexões efetuadas neste circuito certamente contribuíram para esse comportamento obtido na saída da rede.

Dessa forma, foi validado o funcionamento da memória endereçada por conteúdo proposta, cuja temperatura de operação alcançou a temperatura ambiente. Ao serem consideradas cargas de desvio ou eventos de co-tunelamento conjuntamente à operação da memória, as saídas da rede WTA não se comportam mais de acordo com o previsto. Isto ocorre, pois a lógica dos circuitos digitais nanoeletrônicos está relacionada à criação de um paralelo entre ausência e presença de elétrons com os níveis lógicos ALTOS e BAIXOS. Assim, a presença de cargas externas pode facilmente alterar o correspondente nível lógico que seria obtido sem elas, implicando em uma grande sensibilidade deste tipo de arquitetura a essas cargas.

6. CONCLUSÕES

Visando à proposta e à validação de uma memória endereçada por conteúdo nanoeletrônica, foram primeiramente apresentadas diversas arquiteturas presentes, em sua maioria, em artigos científicos, para a obtenção de portas e circuitos lógicos, a partir dos quais seria possível a constituição da memória desejada. A adequação do uso de cada circuito a essa finalidade foi analisada a partir de seu desempenho em temperatura ambiente, fator limitante para a operação de diversas arquiteturas. A partir da escolha do núcleo da célula de memória, que seria representada por um *flip-flop/latch* SET-RESET, várias simulações foram feitas para obter o melhor circuito correspondente. Além disso, foram avaliados também os demais circuitos necessários para a formação da arquitetura final da memória.

A maioria dos circuitos não apresentou operação na temperatura ambiente com a utilização dos parâmetros propostos nos artigos. Assim, quando estes não apresentaram operação em 300K, foram feitos ajustes visando eliminar essa limitação. Tais ajustes foram feitos respeitando os princípios do efeito de carregamento e bloqueio de Coulomb, conceitos fundamentais no funcionamento de dispositivos nanoeletrônicos. Vale lembrar que o enfoque deste trabalho foi mantido muito mais em problemas de interconexão dos circuitos do que no funcionamento individual de cada um deles, justificando, assim, a ausência de exaustivos desenvolvimentos matemáticos na caracterização de cada operação.

Dessa forma, pôde ser idealizada uma memória endereçada por conteúdo formada inteiramente por dispositivos mono-elétron e cujas funcionalidades fossem capazes de realizar as funções básicas desejadas: a partir de uma palavra de entrada externa, realizar sua comparação com palavras previamente armazenadas no seu núcleo e endereçar o conteúdo da memória através do caminho vencedor. A arquitetura desenvolvida neste trabalho foi apresentada com a utilização de palavras de dois bits. Essas palavras de dois bits foram consideradas por simplicidade de sua aplicação, mas como perspectivas futuras, há a avaliação destes circuitos com complexidade bem maior do que a aqui apresentada. A memória endereçada por conteúdo aqui proposta foi validada a partir de simulações no *software* SIMON, com operação na temperatura ambiente.

Em trabalhos prévios [3], memórias nanoeletrônicas já foram propostas. No entanto, em nenhuma dessas arquiteturas foi apresentada uma memória cujos valores da rede não fossem fisicamente construídos de acordo com a aplicação desejada. No circuito aqui proposto não há essa necessidade, já que a entrada do circuito foi feita em um terminal externo, sem necessidades de ajustes internos em sua arquitetura para diferentes entradas. A adaptabilidade do circuito desenvolvido é uma de suas maiores vantagens, já que para diferentes tipos de entrada é possível aplicar a mesma arquitetura sem nenhuma modificação na configuração inicial do circuito.

As maiores dificuldades encontradas no desenvolvimento deste trabalho foram as limitações existentes para simulações no SIMON. Além de não ser possível a realização de simulações dinâmicas, por ser uma ferramenta do tipo “clique e arraste” a criação de circuitos complexos para simulação em seu ambiente podem ser exaustivas e demandam muito tempo. Além disso, não é possível a integração dos circuitos nele criados com circuitos da microeletrônica tradicional, como o transistor MOS, por exemplo. A substituição das tecnologias tradicionais pela nanoeletrônica é prevista para acontecer de forma gradual, sendo tidos os circuitos híbridos como a melhor opção nesta substituição. Essa integração é, portanto, fundamental para acompanhar as tendências de desenvolvimento apresentadas atualmente. Assim, para trabalhos posteriores é sugerido o uso da plataforma SPICE, na qual já foram desenvolvidos alguns modelos representantes do transistor mono-elétron para simulação.

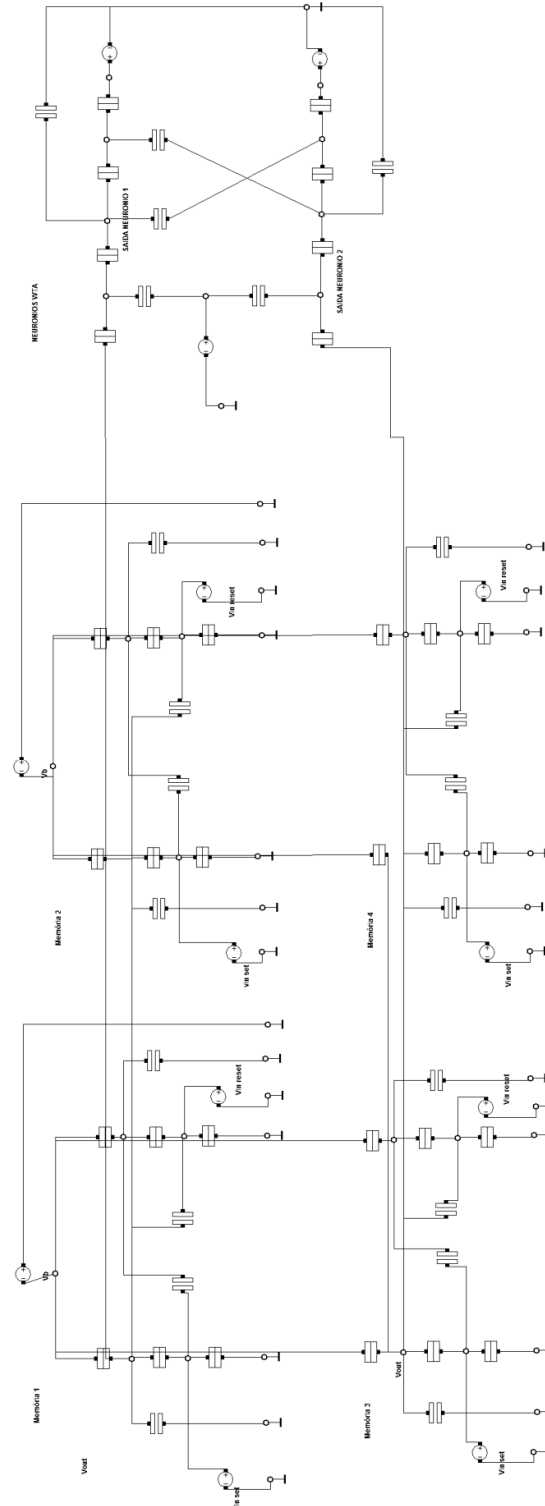
Como perspectivas futuras, além da ampliação da complexidade do circuito aqui proposto e validado, há a busca por aplicações de sua arquitetura. Esta memória endereçada por conteúdo pode ser utilizada, por exemplo, no processamento de imagens, na identificação de caracteres num desenvolvimento bit a bit.

REFERÊNCIAS BIBLIOGRÁFICAS

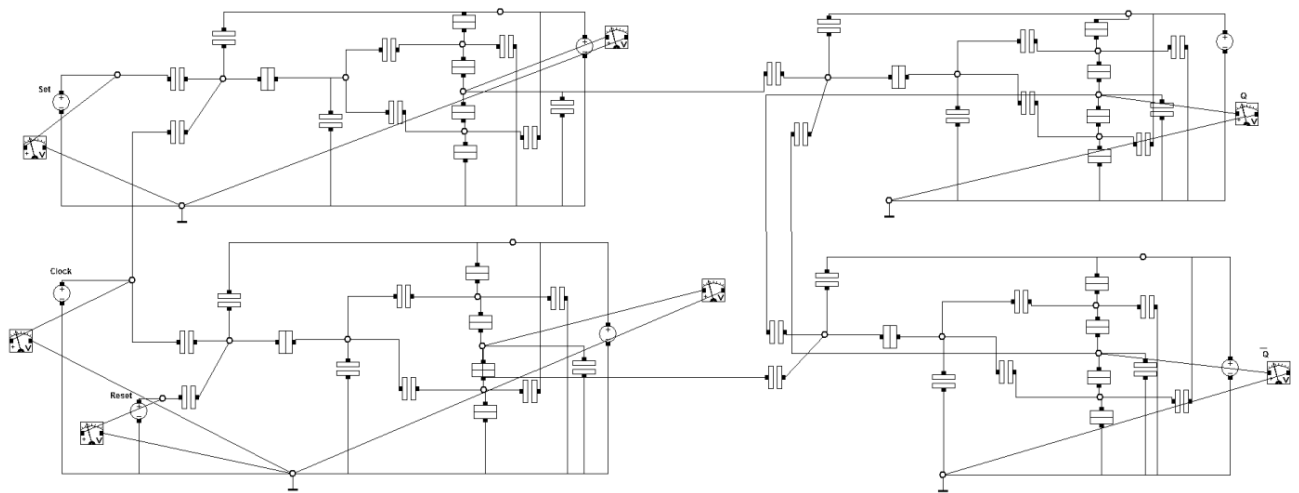
- [1] D.J.Paul. Nanoelectronics. Cavendish Laboratory. University of Cambridge.
- [2] K. Pagiamtzis, A. Sheikholeslami. Content Addressable Memory (CAM) Circuits and Architectures: A Tutorial and Survey. Em *IEEE Journal of Solid-State Circuits*, vol.41, no.3, 2006.
- [3] J.G. Guimarães. Arquiteturas de Redes Neurais Nanoeletrônicas para Processadores em Escala Giga ou Tera. *Tese de Doutorado em Engenharia Elétrica*, Brasília, 2005.
- [4] K. Yano, T. Ishii, T.Sano, T.Mine, F. Murai, T. Hashimoto, T. Kobayahsi, T. Kure e K. Seki. Single Electron Memory for Giga-to-Tera Bit Storage. Em *Proceedings of the IEEE*, vol.87, no. 4, 1996.
- [5] C. Lageweg, S.Cotofana, S.Vassaliadis. Static Buffered SET Logic Gates. Em *Proceedings of the 2nd. IEEE Conference on Nanotechnology*, 491-494, 2002.
- [6] C. P.Gerosis, S.M. Goodnick e W.Porod, “Nanoelectronic single-electron transistor circuits and architectures” , *Int. J. Cir. Theor. Appl.*, no.32, 323-338, 2004.
- [7] C. Lageweg, S.Cotofana, S.Vassaliadis. Single Electron Encoded Latches and Flip-Flops. Em *IEEE Transactions on Nanotechnology.*, vol.3, no. 2, 2004.
- [8] M.M. Dasigenis, I. Karafyllidis, A.Thanailakis. A single electron XOR gate. Em *Microelectronics Journal* , vol.32,117-119, 2001.
- [9] R.H. Chen, A.N. Korotkov, K.K. Likharev. Single electron transistor logic. Em *J.Appl. Phys.*, 68(14), 1996.
- [10] R.J.Tocci, N.S.Widmer. Sistemas Digitais, Princípios e Aplicações. Ed. Prentice Hall, 8ª edição, São Paulo, 2004.
- [11] C. Wasshuber, H. Kosina, S.Selberherr. A Comparative Study of Single-Electron Memories. Em *IEEE Transactions on Electron Devices.*, vol.45, no. 11, 1998.
- [12] R.H. Chen, A.N. Korotkov, K.K. Likharev. Possible performance of capacitively coupled of single-electron transistors in digital circuits. Em *J.Appl. Phys.*, 78(4), 1995.
- [13] R C. Wasshuber, H. Kosina, S. Selberherr. SIMON - a simulator for single-electron tunneling devices and circuits. Em *IEEE Trans. on Computer Aided Design of Integrated Circuits and Systems*, 16(9):937.944, 1997.
- [14] G. Johnson e M. S. Jalaeddine. MOS implementation of winner-take-all network with application to content-addressable memory. *Electronics Letters*, vol. 27, no. 11, pp. 957-958.
- [15] Yamamura K. e Suda Y. Implementation of Operation Reliability at Room Temperature for a Single Electron Pump. *IEEE Transaction Electron.* , vol. E81-C, no. 1, 1998.

APÊNDICE A

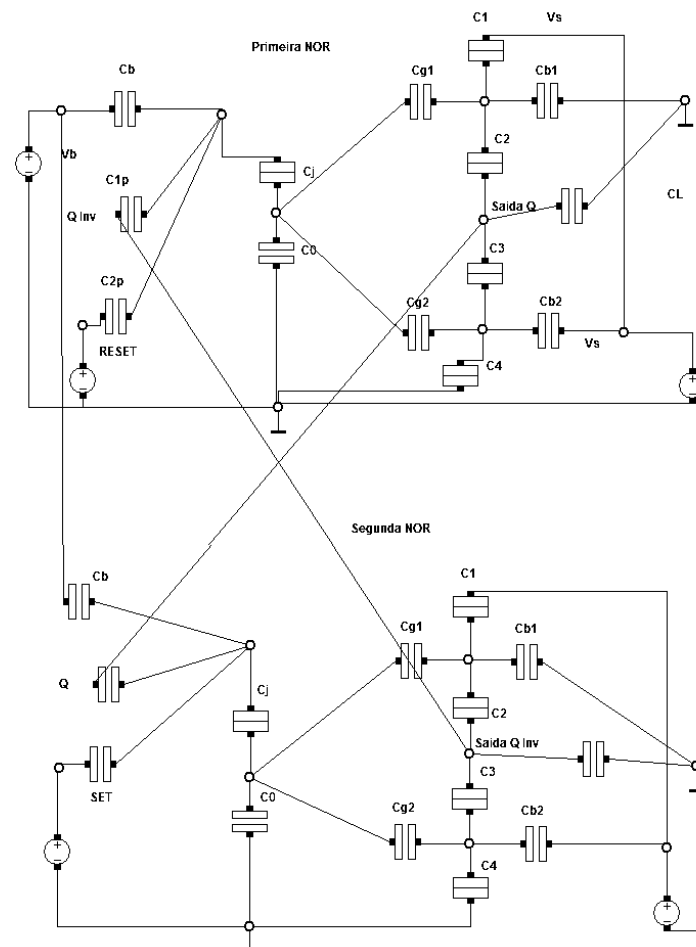
A.1 Circuito da memória endereçada por conteúdo nanoeletrônica elaborada em proposta prévia



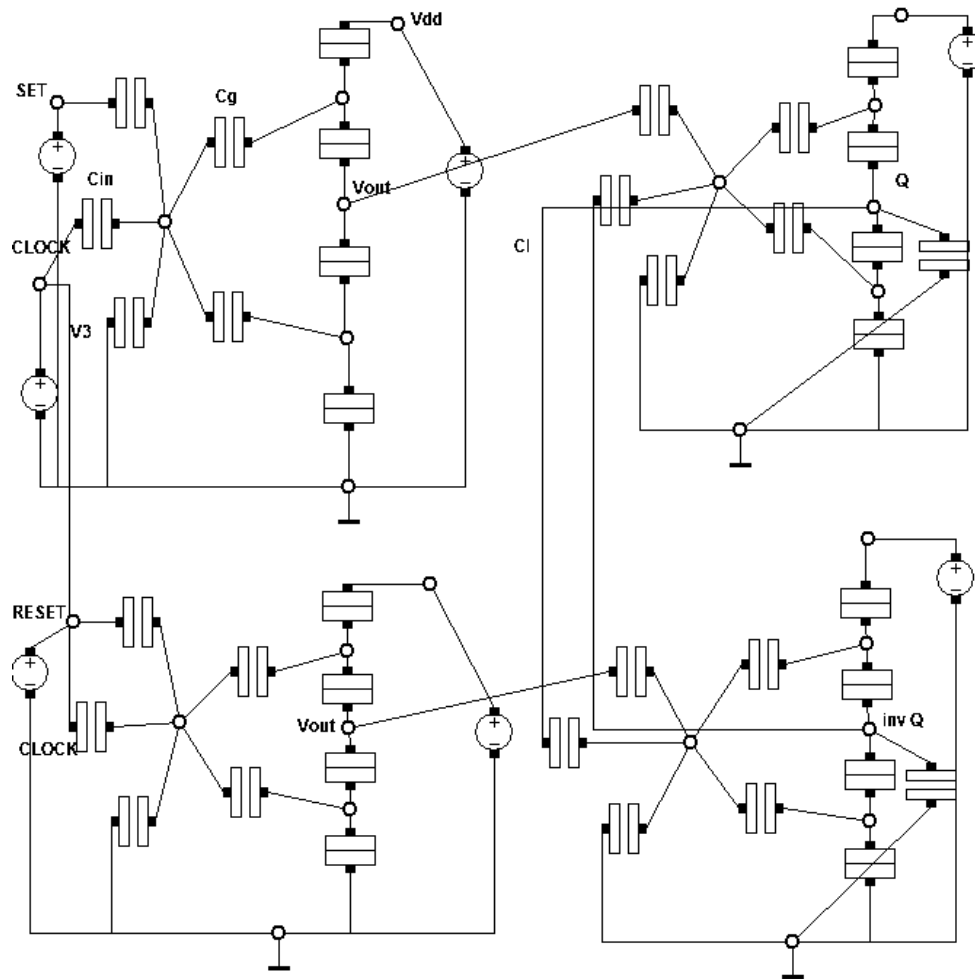
A.2 Circuito do *flip-flop* proposto, formado a partir da interconexão de quatro portas NÃO-E 1



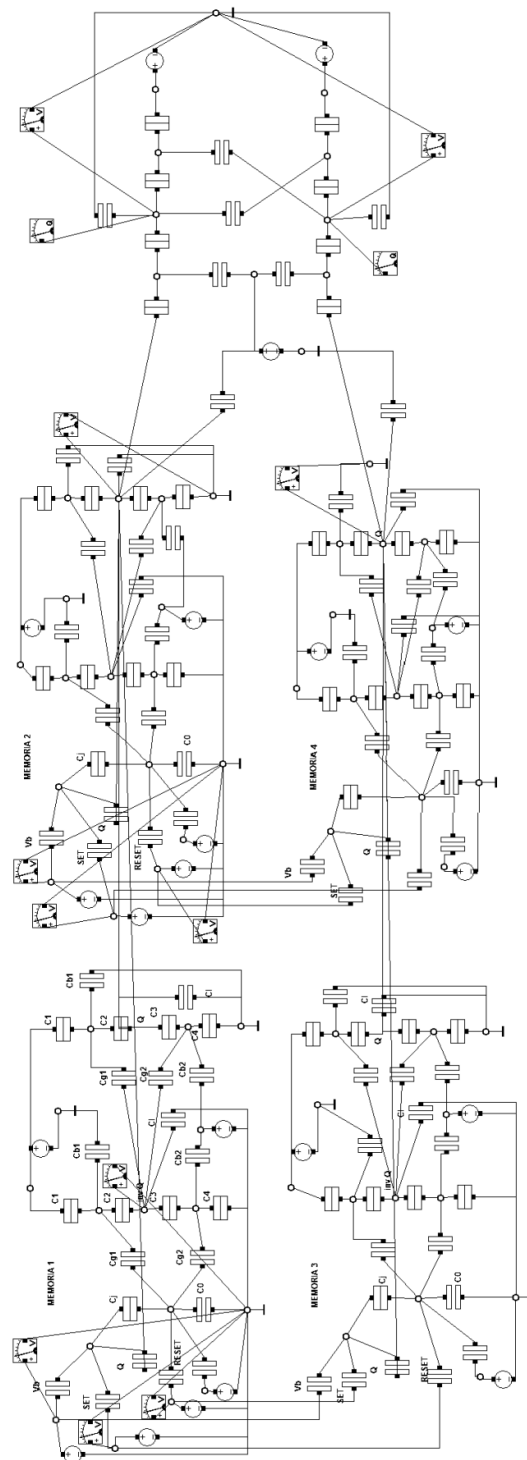
A.3 Circuito do *latch* SR formado a partir da interconexão de duas portas NÃO-OU 1



A.4 Circuito do *flip-flop* SR formado a partir da interconexão de quatro portas NÃO-E 2.



A.5 Circuito intermediário da proposta da memória endereçada por conteúdo nanoeletrônica



A.6 Proposta final da memória endereçada por conteúdo nanoeletrônica

