

TRABALHO DE CONCLUSÃO DE CURSO

**ANÁLISE DO EFEITO DAS INTERCONEXÕES
NO DESEMPENHO DINÂMICO DE REDES
NEURAIS ARTIFICIAIS NANOELETRÔNICAS**

**Nora Lidiane da Silva Pimentel
Pedro Henrique Sampaio Souza Lima**

Brasília, dezembro de 2009

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

TRABALHO DE CONCLUSÃO DE CURSO

**ANÁLISE DO EFEITO DAS INTERCONEXÕES
NO DESEMPENHO DINÂMICO DE REDES
NEURAIS ARTIFICIAIS NANOELETRÔNICAS**

**Nora Lidiane da Silva Pimentel
Pedro Henrique Sampaio Souza Lima**

Relatório submetido como requisito parcial para obtenção
do grau de Engenheiro Eletricista

Banca Examinadora

Profa. Dra. Janaina Gonçalves Guimarães, UnB/
ENE (Orientadora)

Profa. Dra. Artemis Marti Ceschin, UnB/ ENE
(Examinadora interna)

Msc. Alexandre Pessoa Peixoto, UnB/ENE
(Examinador interno)

Dedicatórias

Dedico este trabalho aos meus pais, Luís Antonio e Maria Luiza, pois sem eles não completaria mais essa jornada da minha vida.

Pedro Henrique Sampaio Souza Lima

Dedico este trabalho àqueles que mais me motivaram nesta caminhada: meus pais, Cirilo e Norma.

Nora Lidianne da Silva Pimentel

Agradecimentos

Agradeço a Deus pela realização de mais esse sonho.

Agradeço à Professora Janaina por sua orientação neste trabalho, sendo sempre paciente e disponível.

Aos meus pais, Cirilo e Norma, pelo exemplo de persistência, vitória e humildade; por terem investido neste propósito, me incentivando e me apoiando incondicionalmente, tornando essa conquista possível.

Ao meu parceiro Pedro, não só pela parceria neste trabalho, mas principalmente pela parceria na vida, que foi fundamental nesta reta final da jornada.

Aos meus irmãos Fernanda, Giuliane e Paulo, por todo amor e carinho em nossos momentos em família.

À minha segunda família, meus sogros, Luís Antonio e Maria Luiza, e minha cunhada Danielle, por todo amor, carinho e apoio nos momentos em que mais precisei, me dando forças para prosseguir.

Aos meus amigos, que caminharam ao meu lado, tornando essa caminhada muito mais agradável.

Nora Lidiane da Silva Pimentel

Agradeço a Deus por tudo que Ele me proporcionou durante esse árduo caminho.

À professora Janaina pela sua orientação, disponibilidade e paciência ao longo, não só do projeto, como do curso inteiro. Lembro-me que quando ela foi nossa professora de laboratório pela primeira vez, foi no momento mais complicado do curso e ela, como sempre, foi compreensiva e atenciosa.

Aos meus pais. Fico sem palavras pra expressar minha gratidão e amor por eles. Ao longo de minha vida os exemplos de paciência e tolerância, vindos de minha mãe, foram fundamentais para meu crescimento. Do meu pai vem o exemplo de perseverança e garra para atingir os objetivos, além de seu companheirismo para tudo.

À minha irmã, pela amizade e amor. Também pela força que demonstrou, mesmo tendo dois filhos durante o curso de medicina, se formou sem nenhum atraso.

Aos meus avôs, pois com eles aprendi uma palavra, VITÓRIA.

Às minhas avós que sempre me deram suporte em tudo o que precisei.

A todos os meus familiares, pela união e amor mostrados por todos eles.

Aos meus amigos, que foram importante ao longo desses anos, cada um em um determinado momento, seja dando apoio, nas farras, nas conversas ou nos estudos, sintam-se todos abraçados.

Ao meu sogro pelo exemplo de vida. Minha sogra e meus cunhados, pelo acolhimento dado por eles. Além, do apoio em tudo.

Por fim, agradeço a minha esposa, que por sinal é minha companheira de projeto, sem ela acho que teria mais alguns semestres de curso, pois ela sempre me incentivou e me ajudou em tudo o que foi preciso, nos estudos e em minha vida pessoal. Trouxe ainda um presente maravilhoso, meu filho lindo, a quem agradeço também, pois esse menininho me dá muita força para lutar. Quando chego em casa depois de mais um dia, são eles, Nora e Gustavo, que recarregam minhas baterias.

Pedro Henrique Sampaio Souza Lima

RESUMO

O presente trabalho apresenta a análise dos efeitos das interconexões no desempenho dinâmico das redes neurais artificiais WTA mono-elétron. Essa análise será realizada baseada na comparação do desempenho da rede simulada com interconexões ideais e da rede simulada com interconexões não-ideais. A análise das redes no domínio da frequência será realizada com o auxílio do *software* LTSpice, possibilitando a determinação da frequência máxima de operação dessas redes. Utilizaremos o *software* Simon para realizar a validação dos resultados apresentados pelo LTSpice.

SUMÁRIO

1 INTRODUÇÃO	1
1.1 OBJETIVOS	Erro! Indicador não definido.
2 REVISÃO BIBLIOGRÁFICA	3
2.1 NANOELETRÔNICA	3
2.2 ILHA	3
2.3 EFEITOS QUÂNTICOS [4, 5]	3
2.3.1 QUANTIZAÇÃO DOS NÍVEIS DE ENERGIA	3
2.3.2 TUNELAMENTO	4
2.4 EFEITO DE CARREGAMENTO [4, 5]	4
2.5 BLOQUEIO DE COULOMB [5]	5
2.6 TRANSISTOR MONO-ELÉTRON (SET) [4]	5
2.7 REDES NEURAIS ARTIFICIAIS	7
2.7.1 REDES NEURAIS ARTIFICIAIS WINNER-TAKE-ALL	7
2.7.2 REDES NEURAIS ARTIFICIAIS WTA MONO-ELÉTRON	7
2.7.3 REDES WTA MONO-ELÉTRON TOTALMENTE INTERLIGADA (SET-WTA-TI)	9
2.7.4 REDES WTA MONO-ELÉTRON COM INIBIÇÃO LATERAL (SET-WTA-IL)	10
2.8 INTERCONEXÕES	11
2.9 LTSPICE	12
2.10 SIMON [8]	13
3 METODOLOGIA	14
3.1 INTRODUÇÃO	14
3.2 ANÁLISE COMPORTAMENTAL	14
3.2.1 REDES WTA MONO-ELÉTRON COM INTERCONEXÕES IDEAIS	14
3.2.2 INTERCONEXÕES NÃO-IDEAIS	15
3.2.3 REDES WTA MONO-ELÉTRON COM INTERCONEXÕES NÃO-IDEAIS	16
4 RESULTADOS	17
4.1 INTRODUÇÃO	17
4.2 VALIDAÇÃO	17
4.3 REDE SET-WTA-TI COM INTERCONEXÕES IDEAIS	18
4.3.1 REDE SET-WTA-TI COM DOIS NEURÔNIOS	18
4.3.2 REDE SET-WTA-TI COM TRÊS NEURÔNIOS	21
4.3.3 REDE SET-WTA-TI COM QUATRO NEURÔNIOS	23
4.3.4 REDE SET-WTA-TI COM CINCO NEURÔNIOS	25
4.4 REDE SET-WTA-IL COM INTERCONEXÕES IDEAIS	28
4.4.1 REDE SET-WTA-IL COM QUATRO NEURÔNIOS	28
4.4.2 REDE SET-WTA-IL COM CINCO NEURÔNIOS	31
4.5 INTERCONEXÕES NÃO-IDEAIS	33
4.6 REDES SET-WTA COM INTERCONEXÕES NÃO-IDEAIS	35
4.6.1 REDE SET-WTA-TI COM DOIS NEURÔNIOS	35
4.6.2 REDE SET-WTA-TI COM TRÊS NEURÔNIOS	37
4.6.3 REDE SET-WTA-TI COM QUATRO NEURÔNIOS	39
4.6.4 REDE SET-WTA-TI COM CINCO NEURÔNIOS	40
4.6.5 REDE SET-WTA-IL COM QUATRO NEURÔNIOS	42
4.6.6 REDE SET-WTA-IL COM CINCO NEURÔNIOS	44
5 CONCLUSÕES	48
REFERÊNCIAS BIBLIOGRÁFICAS	49
ANEXO	50
I Modelos para o ambiente SPICE	51
II Interconnection effects on the performance of basic subcircuits	52

LISTA DE FIGURAS

2.1	Eletrodos A e B separados por uma ilha [3].	3
2.2	Tunelamento mecânico quântico através de uma barreira de potencial. Os pontos A e B correspondem aos pontos críticos clássicos [4].	4
2.3	Característica tensão versus corrente em um circuito mono-elétron simples com uma ilha	5
2.4	Modelo de um Transistor mono-elétron (SET) [4]	6
2.5	Fluxo de elétrons em uma ilha, do eletrodo A para o eletrodo B.	6
2.6	Característica $I \times V_g$ do transistor mono-elétron	6
2.7	Rede WTA com conexões diretas das entradas para os neurônios (linha cheia) e conexões inibitórias laterais (linhas tracejadas) [4]	7
2.8	Comparativo do neurônio WTA MOS com o neurônio WTA mono-elétron [4]	8
2.9	Rede WTA com dois neurônios.	8
2.10	Rede SET-WTA-TI	9
2.11	Rede SET-WTA-IL	10
2.12	Rede neural WTA mono-elétron com dois neurônios [1].	11
3.1	Circuitos simulados para a análise dos efeitos do modelo de interconexão no comportamento de um transistor mono-elétron. (a) circuito sem o modelo de interconexão (b) circuito com o modelo de interconexão	15
4.1	Circuito de uma rede SET-WTA com dois neurônios.	17
4.2	Saídas V_1 e V_2 da rede SET-WTA com dois neurônios no LTSpice	17
4.3	Saídas V_1 e V_2 da rede SET-WTA com dois neurônios no Simon	18
4.4	Circuito da rede SET-WTA-TI com dois neurônios e interconexões ideais.	19
4.5	Curvas da fonte de corrente constante I_1 e da fonte de corrente variável I_2	19
4.6	Saídas V_1 e V_2 da rede SET-WTA-TI com interconexões ideais	19
4.7	Gráfico de Bode do circuito da rede SET-WTA-TI com dois neurônios e interconexões ideais.	20
4.8	Saídas V_1 e V_2 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 200 ns	20
4.9	Saídas V_1 e V_2 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 20 ns	20
4.10	Circuito SET-WTA-TI com três neurônios e interconexões ideais	21
4.11	Curvas da fonte de corrente constante I_1 e das fontes de corrente variável I_2 e I_3 .	21
4.12	Saídas V_1 , V_2 e V_3 da rede SET-WTA-TI com interconexões ideais	22
4.13	Gráfico de Bode do circuito da rede SET-WTA-TI com interconexões ideais	22
4.14	Saídas V_1 , V_2 e V_3 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 3 ns	22
4.15	Saídas V_1 , V_2 e V_3 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 300 ps.	23
4.16	Circuito de uma rede SET-WTA-TI com quatro neurônios e interconexões ideais.	23
4.17	Curvas da fonte de corrente constante I_1 e das fontes de corrente variável I_2 , I_3 e I_4	24
4.18	Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-TI com quatro neurônios e interconexões ideais	24
4.19	Gráfico de Bode da rede SET-WTA-TI com quatro neurônios e interconexões ideais.	24
4.20	Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 4 ns	25
4.21	Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 400 ps.	25
4.22	Circuito da rede SET-WTA-TI com cinco neurônios e interconexões ideais	26

4.23	Curvas da fonte de corrente constante I1 e das fontes de corrente variável I2, I3, I4 e I5.....	26
4.24	Saídas V_1 , V_2 , V_3 , V_4 e V_5 da rede SET-WTA-TI com cinco neurônios e interconexões ideais.....	27
4.25	Gráfico de Bode do circuito da rede SET-WTA-TI com cinco neurônios e interconexões ideais.....	27
4.26	Saídas V_1 , V_2 , V_3 , V_4 e V_5 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 500 ps.....	27
4.27	Circuito da rede SET-WAT-IL com quatro neurônios e interconexões ideais	29
4.28	Curvas da fonte de corrente constante I1 e das fontes de corrente variável I2, I3 e I4	29
4.29	Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-IL com quatro neurônios e interconexões ideais.....	29
4.30	Gráfico de Bode da rede SET-WTA-IL com quatro neurônios e interconexões ideais..	30
4.31	Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-IL com interconexões ideais, para um intervalo de tempo de 4 ns	30
4.32	Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-IL com interconexões ideais, para um intervalo de tempo de 400 ps.....	30
4.33	Circuito da rede SET-WTA-IL com cinco neurônios e interconexões ideais	31
4.34	Curvas da fonte de corrente constante I1 e das fontes de corrente variável I2, I3, I4 e I5.....	31
4.35	Saídas V_1 , V_2 , V_3 , V_4 e V_5 da rede SET-WTA-IL com cinco neurônios e interconexões ideais.....	32
4.36	Gráfico de Bode do circuito da rede SET-WTA-IL com cinco neurônios e interconexões ideais.....	32
4.37	Saídas V_1 , V_2 , V_3 , V_4 e V_5 da rede SET-WTA-IL com interconexões ideais, para um intervalo de tempo de 500 ps.....	32
4.38	Circuito para análise comportamental de um Transistor mono-elétron	33
4.39	Gráfico de Bode do circuito apresentado na Fig. (4.38).....	33
4.40	Circuito de um SET com o modelo de interconexão curta	34
4.41	Gráfico de Bode do circuito da Fig. (4.40)	34
4.42	Circuito de um SET com o modelo de interconexão longa.....	34
4.43	Gráfico de Bode do circuito da Fig. (4.42)	35
4.44	Circuito da rede SET-WTA-TI com dois neurônios e interconexões não-ideais	36
4.45	Gráfico de Bode da rede SET-WTA-TI com dois neurônios e interconexões curtas. 36	
4.46	Gráfico de Bode da rede SET-WTA-TI com dois neurônios e interconexões longas. 37	
4.47	Circuito da rede SET-WTA-TI com três neurônios e interconexões não-ideais	38
4.48	Gráfico de Bode da rede SET-WTA-TI com três neurônios e interconexões curtas..38	
4.49	Gráfico de Bode da rede SET-WTA-TI com três neurônios e interconexões longas. 39	
4.50	Circuito da rede SET-WAT-TI com quatro neurônios e interconexões não-ideais....40	
4.51	Gráfico de Bode da rede SET-WTA-TI com quatro neurônios e interconexões curtas.	40
4.52	Gráfico de Bode da rede SET-WTA-TI com quatro neurônios e interconexões longas.	41
4.53	Circuito da rede SET-WTA-TI com cinco neurônios e interconexões não-ideais.....	42
4.54	Gráfico de Bode da rede SET-WTA-TI com cinco neurônios e interconexões curtas 42	
4.55	Gráfico de Bode da rede SET-WTA-TI com cinco neurônios e interconexões longas 43	
4.56	Circuito da rede SET-WAT-IL com quatro neurônios e interconexões não-ideais....43	
4.57	Gráfico de Bode da rede SET-WTA-IL com quatro neurônios e interconexões curtas.	44
4.58	Gráfico de Bode da rede SET-WTA-IL com quatro neurônios e interconexões longas.	44
4.59	Circuito da rede SET-WTA-IL com cinco neurônios e interconexões não-ideais.....	45
4.60	Gráfico de Bode da rede SET-WTA-IL com cinco neurônios e interconexões curtas ...	45
4.61	Gráfico de Bode da rede SET-WTA-IL com cinco neurônios e interconexões longas... ..	46

LISTA DE TABELAS

2.1	Número de componentes de uma rede WTA totalmente interconectada.....	9
2.2	Número de componentes de uma rede WTA com inibição lateral	10
2.3	Valores típicos para resistência e capacitância por unidade de comprimento para nanofios de cobre e nanotubos de carbono.....	12
2.4	Valores típicos para resistência e capacitância para nanofios de cobre e nanotubos de carbono para $L = 100 \text{ nm}$ e para $L = 7,11 \text{ }\mu\text{m}$	12
3.1	Parâmetros da rede SET-WTA-TI e da rede SET-WTA-IL.....	14
3.2	Parâmetros utilizados nas simulações dos circuitos da Fig. (3.1)	15
3.3	Parâmetros utilizados nos circuitos com interconexões não-ideais.....	16
4.1	Resultado da frequência máxima de operação das redes SET-WTA-TI com interconexões ideais.....	28
4.2	Frequência máxima de operação das redes SET-WTA-IL com interconexões ideais.....	33
4.3	Frequência máxima de operação do transistor mono-elétron	35
4.4	Frequência máxima de operação da rede SET-WTA-TI com dois neurônios.....	37
4.5	Frequência máxima de operação da rede SET-WTA-TI com três neurônios	39
4.6	Frequência máxima de operação da rede SET-WTA-TI com quatro neurônios	41
4.7	Frequência máxima de operação da rede SET-WTA-TI com cinco neurônios	43
4.8	Frequência máxima de operação da rede SET-WTA-IL com quatro neurônios.....	44
4.9	Frequência máxima de operação da rede SET-WTA-IL com cinco neurônios.....	46
4.10	Frequência máxima de operação das redes SET-WTA-TI	46
4.11	Frequência máxima de operação das redes SET-WTA-IL	47

LISTA DE SÍMBOLOS, NOMENCLATURAS E ABREVIACÕES

C_g : capacitância da porta.

C_{con} : capacitância de acoplamento entre duas trilhas próximas.

CNT: nanotubo de carbono.

Cu: Cobre

e : carga elementar de um elétron.

E_c : energia eletrostática.

h : constante de Planck.

IL: inibição lateral.

k_B : constante de Boltzmann.

L : comprimento.

MOS: Metal-Óxido-Semicondutor.

N : número de neurônios.

R_K : resistência quântica de tunelamento.

R_T : resistência de tunelamento da junção-túnel.

SET: transistor mono-elétron.

T : temperatura.

TI: totalmente interconectada.

V_C : tensão de Bloqueio de Coulomb.

V_g : tensão aplicada à porta.

WTA: Winner-Take-All.

1 INTRODUÇÃO

A Lei de Moore é uma das mais importantes previsões sobre as dimensões dos dispositivos, essa lei enuncia que, a cada 18 meses, o número de componentes em circuito integrado dobra. Essa duplicação é limitada pelos limites físicos dos componentes, pois é necessária uma constante miniaturização dos componentes. O maior problema está nas interconexões, pois aumentam exponencialmente ao número de componentes de um chip. Outro problema está na confiabilidade do sinal resultante, pois na medida em que a tensão de polarização diminui, se diminui a confiabilidade [2].

A miniaturização extrema das dimensões dos dispositivos eletrônicos torna possível o trânsito de apenas um elétron e não um feixe deles compondo uma corrente, tunelamento mono-elétron, como descrito na física clássica. Com isso, novos dispositivos estão sendo estudados. Esses novos dispositivos eletrônicos em escala nanométrica (nanoeletrônicos) podem executar chaveamentos e ampliações como os transistores atuais.

No início da década de 1980 um processador tinha aproximadamente entre 15 e 20 milhões de transistores em seu circuito integrado, com um comprimento de porta de 100nm, hoje é possível ter entre 50 e 75 milhões de transistores no mesmo processador. Assim estima-se que em breve o comprimento de porta, principal limitador do dispositivo, alcance o tamanho limite de 20nm, para o qual ainda não há tecnologia de fabricação disponível [5].

As tecnologias de base, atualmente adaptada pela indústria de semicondutores para fabricação de memórias e processadores, devem atingir os limites impostos pelas leis da física por volta do ano 2010.

A miniaturização das interconexões, ao contrário do que acontece com os transistores, não aumenta seu desempenho. Alguns problemas que podem ser facilmente enumerados com a miniaturização das interconexões são:

- Degradação da resistividade, que pode aumentar bastante;
- Dificuldades no controle da razão de aspectos das vias, que é razão entre a altura e a largura do material das interconexões;
- Dificuldades no controle da planaridade;
- Problemas de confiabilidade devido a estresses elétricos, térmicos e mecânicos em um sistema de interconexões multinível;
- Aumento da capacitância de acoplamento entre vias que ficarão cada vez mais próximas.

Por este motivo, os limites físicos das interconexões ameaçam, potencialmente, desacelerar ou até parar o progresso histórico que vem sendo alcançado pela indústria de semicondutores nos últimos 40 anos.

Neste trabalho, os efeitos das interconexões em circuitos nanoeletrônicos serão avaliados. Para isso, serão utilizados os softwares SIMON e LTSPICE, o segundo mostrará os resultados que permitirá avaliar os efeitos das interconexões, já o primeiro, mesmo não fazendo a análise da frequência, que é o importante para esse estudo, servirá para validar os circuitos montados no LTSPICE, por ser um simulador conhecido na análise de circuitos nanoeletrônicos.

1.1 OBJETIVOS

O objetivo desse trabalho é realizar uma análise comportamental comparativa das redes neurais WTA mono-elétron com interconexões ideais e com interconexões não-ideais. Essa comparação deve observar a frequência máxima de operação, com o intuito de fazer uma análise das conseqüências do modelo de interconexão para a velocidade de operação. Esses efeitos do modelo de interconexão no desempenho da rede SET-WTA serão avaliados para dois casos: interconexões curtas e interconexões longas.

No capítulo 2 é feita a revisão bibliográfica, das fundamentações teóricas exigidas pelo trabalho.

O capítulo 3 descreve a metodologia desenvolvida para alcançar os objetivos deste trabalho. Descreve todas as considerações e atribuições feitas ao decorrer do projeto.

O capítulo 4 demonstra os resultados do trabalho. Também faz as análises referentes a esses resultados, comparando com as fundamentações teóricas, ou seja, com o que era esperado.

O capítulo 5 traz as conclusões e os possíveis trabalhos futuros a respeito do tema estudado.

2 REVISÃO BIBLIOGRÁFICA

2.1 NANOELETRÔNICA

A nanotecnologia pode ser definida como a criação e a manipulação precisa da matéria em escala nanométrica por meio do trabalho em nível molecular, átomo por átomo, criando estruturas com novas propriedades e funções. O controle de processos em nanoescala - entre 0,1 e 100 nm - é possível devido ao fato de que, nessa escala, os fenômenos da física quântica são evidentes, possibilitando o controle de propriedades fundamentais sem mudar sua estrutura química. A nanotecnologia é um campo multidisciplinar, envolvendo atividades e conhecimentos de várias áreas da ciência e da engenharia [4].

A nanoeletrônica é a ciência relacionada ao projeto de dispositivos nanométricos que possuem propriedades eletrônicas, e visa desenvolver dispositivos não só menores, mas com desempenho igual ou superior se comparados aos dispositivos atuais. Os dispositivos nanoeletrônicos que estão sendo estudados podem executar chaveamentos e amplificações como os transistores atuais, porém, diferentemente dos transistores MOS, esses dispositivos levam em consideração os fenômenos quânticos que se evidenciam em nanoescala. Existem duas categorias de dispositivos nanoeletrônicos emergentes: dispositivos de efeito quântico e dispositivos mono-elétron; dispositivos eletrônicos moleculares.

Na fabricação de dispositivos de efeito quântico e mono-elétrons, têm sido usados os mesmos semicondutores que os transistores atuais. Essa é a alternativa seguida por muitos pesquisadores da área. Os dispositivos mais atuais, baseados em Si, são os diodos a tunelamento ressonante e os transistores mono-elétron [5].

2.2 ILHA

A ilha é o lugar onde os elétrons ficam confinados. Normalmente apresenta dimensões entre 5 e 100nm, e é localizada entre duas paredes finas de isolante, que criam uma barreira de potencial de energia que impede o livre movimento dos elétrons pelo caminho. A condição para que os elétrons vençam essa barreira é que tenham energia maior que a da barreira de potencial. Na Figura (2.1), observamos dois eletrodos, A e B, separados por uma barreira isolante e no meio do isolante se encontra um terceiro terminal, chamado de ilha por estar cercado por isolantes de todos os lados.

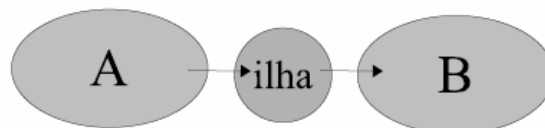


Figura 2.1. Eletrodos A e B separados por uma ilha [3].

2.3 EFEITOS QUÂNTICOS [4, 5]

2.3.1 Quantização dos níveis de energia

Em nanodispositivos, a energia nas regiões do poço é quantizada, ao contrário do transistor MOS, onde os níveis de energia no canal são contínuos. O elétron pode ocupar somente alguns estados específicos que satisfaçam à equação de onda de Schrödinger. Portanto, se um elétron precisa atravessar a barreira para atingir a ilha, será necessário carregá-lo o bastante para que ele ocupe um desses níveis de energia. Se um poço tiver um número maior de níveis de energia, a probabilidade de um elétron ficar em um deles será maior.

2.3.2 Tunelamento

O tunelamento é, provavelmente, o fenômeno de transporte associado à transmissão quântica mais estudado. É referente à habilidade de usar as propriedades quânticas da onda de um elétron permitindo que ele atravesse uma barreira fina de potencial, sem o uso de uma fonte de energia externa. Entretanto, para que o elétron passe pela barreira, ela deve ser fina o suficiente e, ainda, é necessário um estado vago com a mesma energia do outro lado da barreira. Assim se dá a condução de corrente em nanodispositivos. Essa idéia está ilustrada na Fig. (2.2), onde uma partícula de energia E incide sobre uma barreira potencial de formato arbitrário de altura $V_0 > E$.

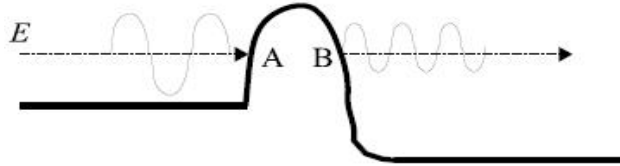


Figura 2.2. Tunelamento mecânico quântico através de uma barreira de potencial. Os pontos A e B correspondem aos pontos críticos clássicos [4].

Na física clássica, a partícula, ao encontrar a barreira de potencial, seria totalmente refletida; na teoria eletromagnética, porém, as condições para a solução da equação de onda fazem com que uma parte da onda seja refletida, enquanto outra atravessa a barreira. Isso ilustra o princípio da dualidade da matéria. O modelo mais comumente utilizado para o tunelamento é a chamada Teoria Ortodoxa do Tunelamento Mono-elétron, proposta por Abrem e Likharev em 1987. Suas características são apresentadas a seguir:

- Modelo de dimensão zero: dimensões da ilha desprezíveis;
- O evento de tunelamento é instantâneo;
- Redistribuição das cargas após o tunelamento é instantânea;
- Quantização da energia dos elétrons é ignorada dentro dos condutores.

Os dispositivos mono-elétron se baseiam nas características listadas anteriormente. Ao se aplicar uma tensão de polarização na ilha, elétrons livres na banda de condução são induzidos do eletrodo de fonte tentando se mover através da ilha e chegar ao eletrodo de dreno. Isso só é possível se houver tunelamento pelas barreiras da ilha.

Após analisar os processos citados acima, conclui-se o quanto é importante a capacidade de ajustar os níveis de energia dos estados quânticos no poço de potencial da ilha com relação aos níveis de fonte e dreno, para a operação de dispositivos nanoeletrônicos, uma vez que ajusta a probabilidade de ocorrência de tunelamento com o aumento ou diminuição da energia dos elétrons em movimento na ilha.

A energia de todos os níveis do poço quântico é diminuída em relação à energia dos elétrons da região de fonte, quando a tensão de polarização aplicada à ilha aumenta. Quando essa tensão é suficiente para baixar a energia de um estado vago de modo que fique no intervalo de valores das energias da banda de condução da fonte, diz-se que o poço está em ressonância ou ligado e a corrente flui para a ilha e, conseqüentemente, para o dreno. Se a tensão não é suficiente, diz-se que o dispositivo está desligado e não flui corrente. Esse movimento caracteriza um dispositivo de tunelamento ressonante.

2.4 EFEITO DE CARREGAMENTO [4,5]

Os dispositivos mono-elétron de tunelamento baseiam-se em um fenômeno que ocorre quando elétrons estão prestes a entrar em um material condutor de dimensões muito pequenas isolado eletricamente, chamado efeito de carregamento. O surgimento de um potencial na ilha devido à presença de cargas no condutor, se manipulado por meio de uma tensão externa, passa a determinar se a energia da barreira de potencial enfrentada pelos elétrons aumenta ou diminui, controlando o fluxo de elétrons.

Duas condições devem ser respeitadas para garantir que o transporte de cargas na ilha seja controlado pelos efeitos de carregamento, são eles:

$$R_T > R_K = 25,8 \text{ k}\Omega \quad (1)$$

$$E_c \gg k_B T \quad (2)$$

Na Equação (1), que impõe uma condição para a resistência de tunelamento, a resistência R_K fornece o valor de limiar a partir do qual a natureza corpuscular do elétron predomina sobre a natureza ondulatória [3]. A resistência de tunelamento R_T é o valor de resistência medido quando uma tensão V é aplicada à junção. A Equação (2) diz que as dimensões da ilha devem ser tais que a energia eletrostática E_c associada seja muito maior que a energia térmica devido à temperatura de operação, garantindo que a condução não sofre efeitos das flutuações térmicas. Nesse caso, k_B é a constante de Boltzmann. Dessa forma, as condições impostas pelas Equações (1) e (2) asseguram que o transporte de elétrons de ilha e para a ilha é controlado pelos efeitos de carregamento.

2.5 BLOQUEIO DE COULOMB [5]

O Bloqueio de Coulomb ocorre quando um elétron efetivamente entra na ilha, é um processo que ocorre como consequência do efeito de carregamento. Considerando-se uma esfera metálica inicialmente descarregada, sabemos que há elétrons no material, porém eles estão em equilíbrio com as cargas positivas do núcleo atômico, o que acarreta uma carga inicial nula. Quando um elétron é aproximado à esfera, a carga imagem gerada no material causa uma pequena força de atração, que carrega a esfera. Esse carregamento faz com que sejam repelidos outros elétrons que se aproximem da esfera, devido ao surgimento de um pequeno campo elétrico. Se fizermos a esfera com 1nm de raio, o campo elétrico superficial resultante é expressivo, no valor de 14 V/cm. A essa repulsão eletrostática se dá o nome de Bloqueio de Coulomb, pois um elétron bloqueia o movimento dos outros, como pode ser observado na Fig. (2.3).

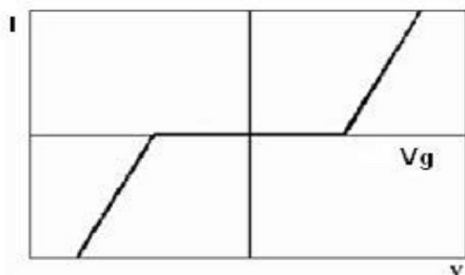


Figura 2.3. Característica tensão versus corrente em um circuito mono-elétron simples com uma ilha.

A figura acima indica o bloqueio de Coulomb. Se considerarmos que há um elétron na ilha, o próximo elétron só será capaz de entrar atingindo um valor limiar de tensão de polarização V_g , a partir do qual adquire energia maior que a do elétron já presente na ilha e ocupa outro nível vazio, onde se percebe a corrente na região. Essa suspensão no fluxo de elétrons é o bloqueio de Coulomb, e a tensão de limiar é conhecida como tensão de bloqueio de Coulomb (V_C).

2.6 TRANSISTOR MONO-ELÉTRON (SET) [4]

O SET (*Single-Electron Transistor*) é um dispositivo capaz de controlar o trânsito de um único ou de um pequeno grupo de elétrons. Possui duas junções-túnel e um *gate* (porta) que controla a carga presente na ilha. Sendo que a ilha é o espaço entre as duas junções e o *gate*. Seu modelo está representado abaixo (Fig. 2.4):

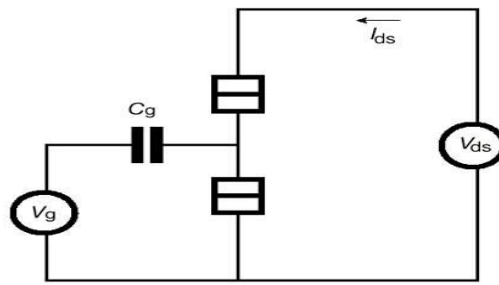


Figura 2.4. Modelo de um Transistor mono-elétron (SET) [4].

O transporte de elétrons através de barreiras de potencial é feito por tunelamento mono-elétron, efeito tão rápido que permite considerar que os elétrons atravessam a camada isolante, um de cada vez [3].



Figura 2.5. Fluxo de elétrons em uma ilha, do eletrodo A para o eletrodo B.

Os transistores mono-elétron tem a energia de suas ilhas controlada por uma tensão de porta V_g , essa ilha pode ser carregada e descarregada por tunelamento, sendo que o carregamento é feito na primeira junção e o descarregamento na segunda. Esse fluxo controlado de cargas resulta em uma corrente.

Esses transistores apresentam um efeito conhecido como oscilações de Coulomb, esse efeito serve para mostrar a quantidade de tensão V_g que precisará ser gerada para que o elétron atravesse a ilha, resultando em corrente. Um elétron passará pela ilha, se a tensão atingir o valor $V_g = e/2C_g$, comprova-se esse valor experimentalmente, variando a tensão V_g gradualmente, começando em $V_g = 0$. Desse modo, o fluxo de corrente deixa de existir assim que o elétron tunela para fora da ilha e nada ocorre até que a tensão de controle atinja $V_g = 3(e/2C_g)$. Conseqüentemente, apenas em valores múltiplos da tensão $e/2C_g$ haverá corrente fluindo no circuito, o que podemos verificar no gráfico da Fig. (2.6).

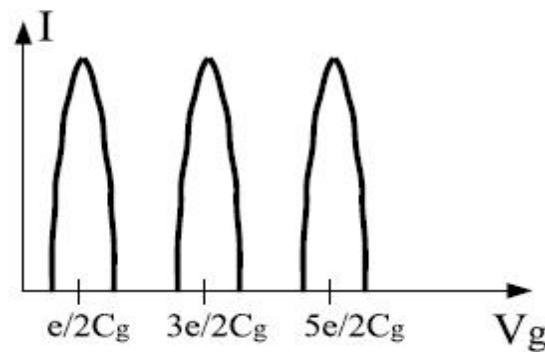


Figura 2.6. Característica $I \times V_g$ do transistor mono-elétron.

As dificuldades para o controle desses dispositivos continuam quando um circuito apresenta mais de uma junção-túnel, pois se pode ter co-tunelamento, ou seja, mais de um tunelamento acontecendo ao mesmo tempo, isso é uma fonte de erros. Outro problema é quando, perto da ilha, aparecem impurezas polarizadas, essa impureza irá polarizar a ilha, tendo um valor que pode ser suficiente para afetar o bloqueio de Coulomb. Contudo, essas dificuldades não foram consideradas na análise do projeto [4].

2.7 REDES NEURAIS ARTIFICIAIS [4]

Síntese, projeto, fabricação, treinamento e análise de sistemas inspirados pelo cérebro, ou seja, neuromórficos, são exemplos da diversidade de simulações que podem ser executadas utilizando as redes neurais artificiais. Através de interconexões adaptativas de elementos que processam a informação em paralelo, essas redes possuem excelente desempenho. Agrupamentos de elementos processadores neurais simples (neurônios) apresentam características como associação, tolerância a falhas e auto-organização.

O processamento da informação, nessas redes, ocorre em suas unidades básicas, os neurônios artificiais, de maneira similar ao de redes neurais biológicas. Assim como as sinapses da rede biológica, os sinais passam entre os neurônios através de enlaces de conexão, onde o sinal transmitido é multiplicado de acordo com seu peso.

Nas redes neurais competitivas a idéia básica é fazer com que as saídas da rede disputem entre si até uma delas ser ativada, sendo, devidamente, definido um padrão de entrada. Haverá uma competição entre as unidades de saída para decidir qual delas será a vencedora e terá seus pesos atualizados no treinamento. A competição pode ser feita de duas formas:

- Por meio de um algoritmo que indique a unidade vencedora;
- Por meio de inibição entre as unidades competitivas.

Aos estudos e análises desse projeto, apenas a segunda forma interessará.

2.7.1 Redes Neurais Artificiais Winner-Take-All

Na arquitetura da rede neural artificial Winner-Take-All, rede WTA, as entradas são diretamente conectadas as unidades de saída, que podem estar ligadas entre si por meio de conexões laterais inibitórias. Existirá uma maior probabilidade da unidade de saída com maior valor, em resposta à entrada, sair vencedora da disputa com as outras unidades, que perderão o poder de inibição ao longo do tempo. O efeito inibidor da unidade vencedora será cada vez maior em relação às outras entradas. Essa inibição, com o tempo, tornará inativa às saídas, exceto a vencedora. Estabelecidas essas definições, se percebe que as redes são formadas por duas camadas: uma camada de entrada e uma camada competitiva (Fig. 2.7).

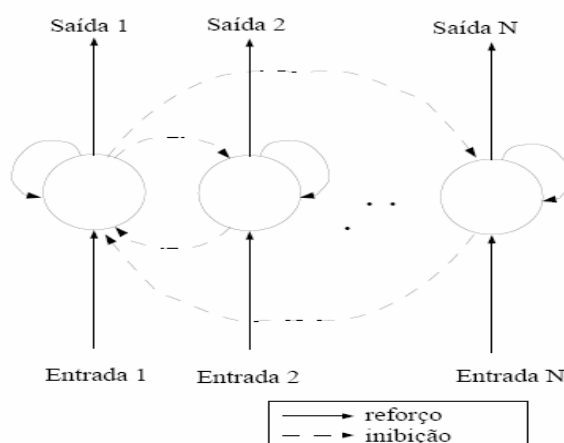


Figura 2.7. Rede WTA com conexões diretas das entradas para os neurônios (linha cheia) e conexões inibitórias laterais (linhas tracejadas) [4].

2.7.2 Redes Neurais Artificiais WTA mono-elétron

O neurônio mono-elétron é baseado no neurônio MOS. Na estrutura do neurônio MOS, substitui-se o transistor MOS diretamente pelo transistor mono-elétron. A fonte de tensão de valor V_T , igual ao da tensão de limiar do MOS, foi modelada por uma fonte de tensão V_{bias} . Para alcançar uma maior

compatibilidade com os dispositivos mono-elétron, outros ajustes deverão ser feitos. A Figura (2.8) mostra as mudanças feitas.

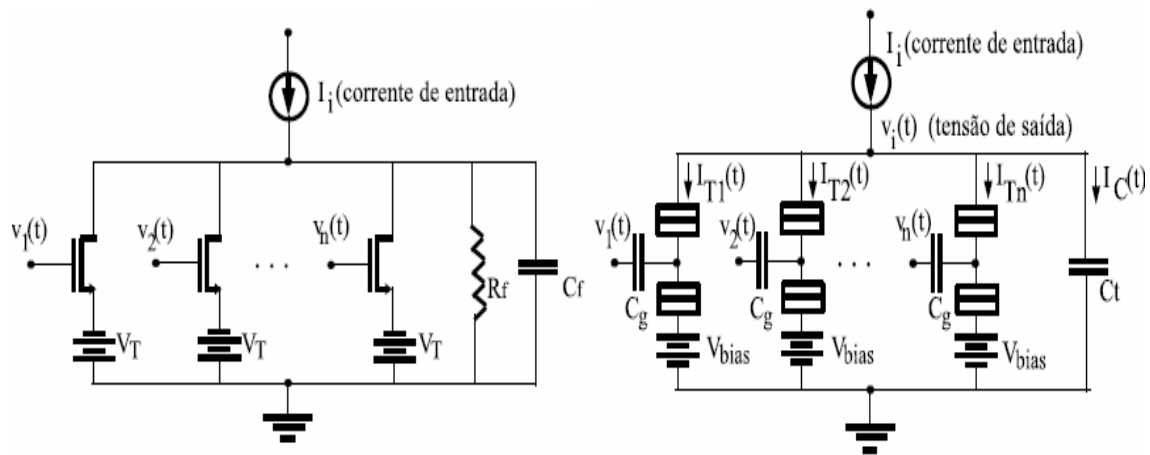


Figura 2.8. Comparativo do neurônio WTA MOS com o neurônio WTA mono-elétron [4].

O circuito de redes neurais WTA mono-elétron (SET-WTA) é elaborado de forma a permitir duas topologias: inibição lateral e totalmente interconectada. Para estruturar uma rede WTA é importante saber a quantidade de transistores para cada célula básica. Esse número dependerá de dois fatores:

- Quantidade total de neurônios da rede neural;
- Topologia da rede: inibição lateral ou totalmente interconectada.

A Figura (2.8) mostra que a unidade de entrada principal do neurônio é uma fonte de corrente I_i . A tensão de polarização V_{bias} tem um valor fixo. Os terminais de porta V_g dos transistores mono-elétron são conectados aos demais neurônios da rede.

A implementação desse circuito serve para sua validação, confirmando o que foi proposto anteriormente, esse circuito se equivale ao circuito de tecnologia MOS. A Figura (2.9) mostra a conexão de dois neurônios:

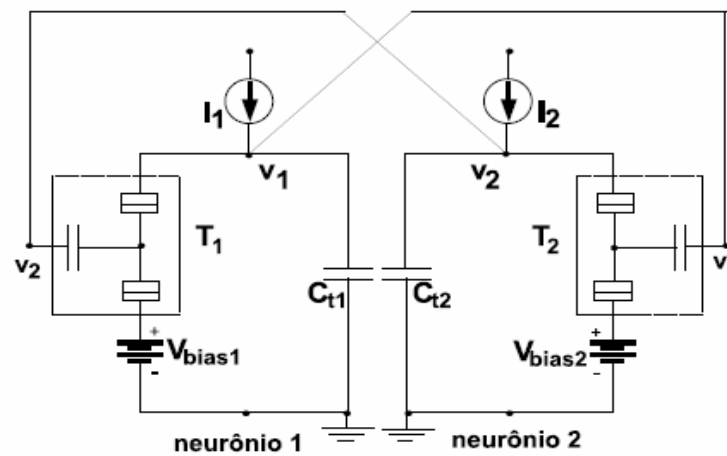


Figura 2.9. Rede WTA com dois neurônios.

Na rede da Fig. (2.9), será suposto que $I_1 < I_2$. Com isso, quando forem aplicadas as entradas ao circuito, o transistor T_1 receberá uma tensão $v_2(t)$ oriunda do neurônio 2, que o fará conduzir uma corrente, conseqüentemente sua tensão de saída $v_1(t)$ diminuirá a cada instante de tempo. Essa tensão de saída $v_1(t)$ do neurônio 1 é a tensão que vai para a porta do neurônio 2, então se conclui que o transistor T_2 ficará impossibilitado de operar, acumulando toda sua tensão no capacitor C_i .

Essa maneira em que a rede funciona com dois neurônios é análoga ao funcionamento das redes com N neurônios, sendo $N > 2$. O neurônio que receber a maior corrente terá a maior tensão de saída, como esta tensão está conectada às portas dos outros transistores, atuará de maneira inibitória, aumentando a corrente desses transistores, e diminuindo as suas tensões de saída. De maneira contrária, no neurônio de maior corrente, as entradas de inibição estarão recebendo tensões cada vez menores, fazendo com que seus transistores conduzam cada vez menos e que a tensão de saída aumente até atingir um limite definido pela constante de tempo do circuito e pela tensão de polarização.

2.7.3 Rede WTA Mono-elétron Totalmente Interligada (SET-WTA-TI)

Nessa arquitetura de redes neurais WTA todos os neurônios estão ligados a todos os outros. A Figura (2.10), apresentada abaixo, mostra o circuito de uma rede WTA com N neurônios totalmente interconectada.

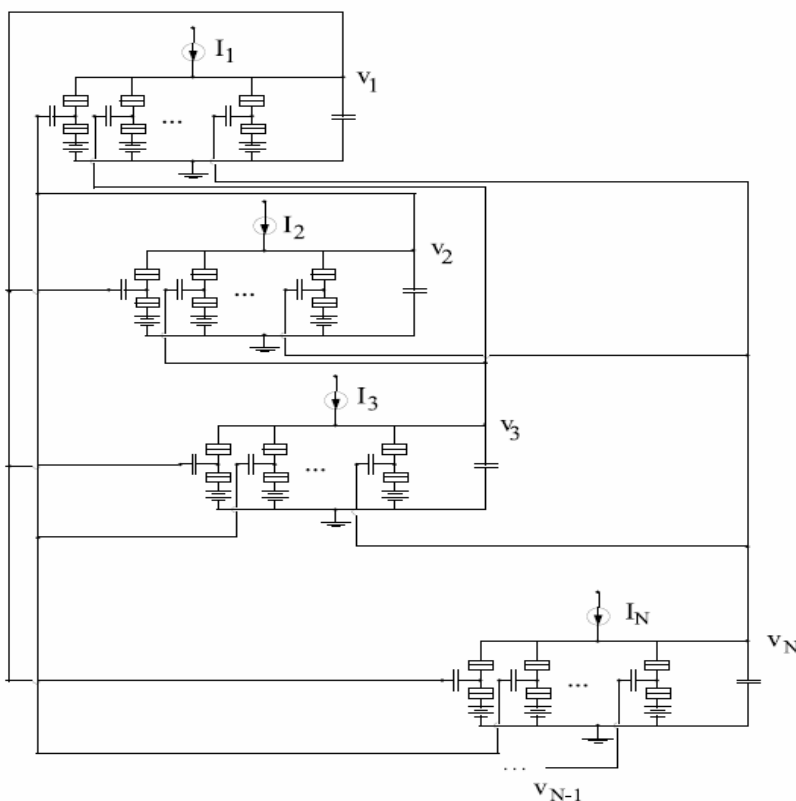


Figura 2.10. Rede SET-WTA-TI.

Na rede mostrada na Fig. (2.10), todos os neurônios são idênticos. Com base nisso, foi possível formular expressões para calcular o número de componentes da rede WTA totalmente interconectada. Essas expressões se encontram na Tab. (2.1).

Tabela 2.1. Número de componentes de uma rede WTA totalmente interconectada.

Componente	$N=2$	$N=3$	$N=4$	$N=5$...	N
Transistores	2	6	12	20	...	$N(N-1)$
Capacitores	4	9	16	25	...	N^2
Junções	4	12	24	48	...	$2N(N-1)$

Observando a Tab. (2.1), se percebe que o número de transistores é bastante elevado e tende a aumentar com o aumento das células básicas da rede. Por isso a arquitetura totalmente interconectada só é adequada para aplicações em pequena escala, com poucos neurônios compondo a rede.

2.7.4 Rede WTA Mono-elétron com Inibição Lateral (SET-WTA-IL)

Nessa arquitetura os neurônios estarão parcialmente interconectados, ou seja, só estará ligado aos seus vizinhos em uma disposição circular ou anelar. Uma vantagem dessa topologia é que ela acentua o contraste visual entre as saídas. Uma relação de vizinhança é criada entre os neurônios, de forma que o neurônio vencedor é o mais ativo e seus vizinhos, menos ativos. A inibição lateral não é realizada em redes com $N < 4$ e sua grande vantagem é a redução considerável de seus componentes. Figura (2.11) mostra essa topologia.

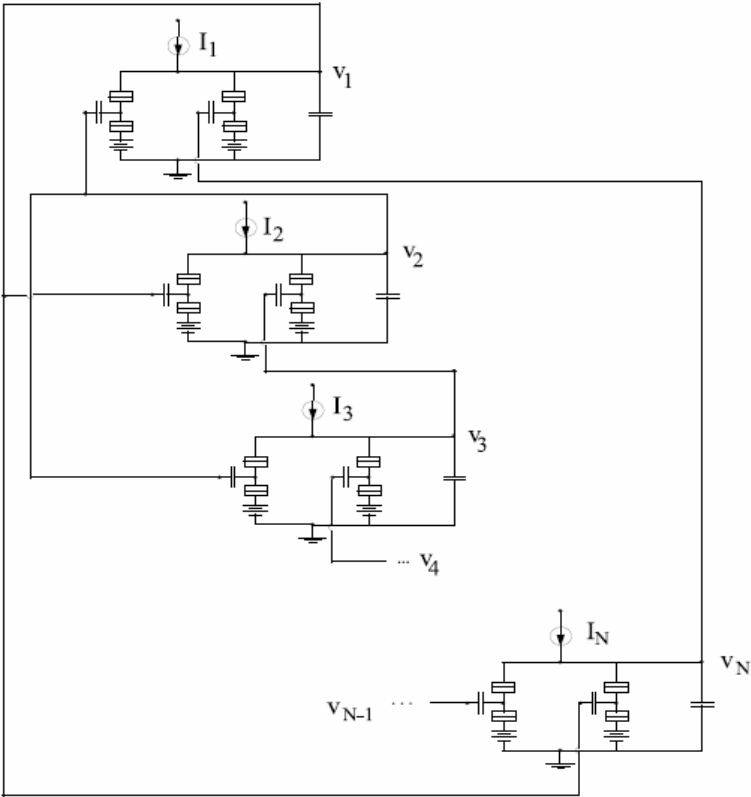


Figura 2.11. Rede SET-WTA-IL.

De maneira similar ao que foi feito com a topologia totalmente interligada, foram formuladas expressões para calcular o número de componentes da rede, e estas estão expressas na Tab. (2.2).

Tabela 2.2. Número de componentes de uma rede WTA com inibição lateral.

Componente	N=4	N=5	N=6	. . .	N
Transistores	8	10	12	. . .	2N
Capacitores	12	15	18	. . .	3N
Junções	16	20	24	. . .	4N

2.8 INTERCONEXÕES [1]

As tecnologias de base, atualmente adaptada pela indústria de semicondutores para fabricação de memórias e processadores, devem atingir os limites impostos pelas leis da física por volta do ano 2010.

A miniaturização das interconexões, ao contrário do que acontece com os transistores, não aumenta seu desempenho. Alguns problemas que podem ser facilmente enumerados com a miniaturização das interconexões são:

- Degradação da resistividade, que pode aumentar bastante;
- Dificuldades no controle da razão de aspectos das vias, que é razão entre a altura e a largura do material das interconexões;
- Dificuldades no controle da planaridade;
- Problemas de confiabilidade devido a estresses elétricos, térmicos e mecânicos em um sistema de interconexões multinível;
- Aumento da capacitância de acoplamento entre vias que ficarão cada vez mais próximas.

Por este motivo, os limites físicos das interconexões ameaçam potencialmente desacelerar ou até mesmo parar o progresso histórico que vem sendo alcançado pela indústria de semicondutores nos últimos 40 anos.

Um modelo de circuito equivalente RC foi construído baseado no material, estimando o comprimento e a área da interconexão. O desempenho elétrico do circuito da rede WTA foi simulado considerando as interconexões. Duas diferentes simulações foram realizadas, uma com um tamanho típico de uma interconexão com circuito mono-elétron ($L = 100$ nm) e outro com um comprimento máximo ($L = 7,11$ μ m), representando uma interconexão global. O SIMON e o LTSPICE foram os softwares utilizados para realizar essas simulações.

Em uma primeira aproximação, podemos considerar as influências da resistividade intrínseca e da capacitância de acoplamento entre os fios adjacentes. Sob essas considerações, nosso modelo de interconexão é um circuito RC simples. Considerando-se que as resistências de tunelamento, dentro do transistor mono-elétron, são muito elevadas, se conclui que o melhor ponto para simular as influências das interconexões é entre cada neurônio, especialmente porque em grandes redes WTA a distância entre os neurônios podem ser maiores. Assim, todo o circuito WTA pode ser modelado com os parâmetros de interconexão como mostrado na Fig. (2.12).

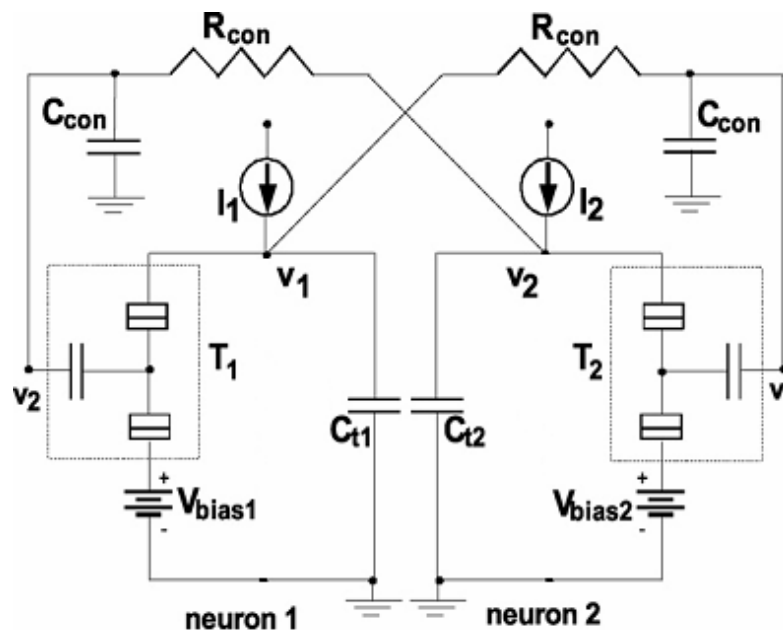


Figura 2.12. Rede neural WTA mono-elétron com dois neurônios [1].

Para obtermos os valores das resistências e das capacitâncias das interconexões, partimos de dados baseados em implementações reais existentes para interconexões. De [6], obtivemos os valores típicos para resistência e capacitância por unidade de comprimento para interconexões realizadas através de nanotubos de carbono (CNT) e, de [7], para interconexões realizadas através de nanofios de cobre (Cu). A Tabela (2.3) apresenta esses valores típicos.

Tabela 2.3. Valores típicos para resistência e capacitância por unidade de comprimento para nanofios de cobre e nanotubos de carbono.

Tipo de Interconexão	Resistência por unidade de comprimento	Capacitância por unidade de comprimento
Nanofio de Cobre	355 $\Omega/\mu\text{m}$	280 aF/ μm
Nanotubo de Carbono	6,45 Ω , para $L \leq 1 \mu\text{m}$ 6,45 $\Omega/\mu\text{m}$, para $L > 1 \mu\text{m}$	28 aF/ μm

Com base nos valores da Tab. (2.3), foram calculados os valores para a resistência e a capacitância do modelo de interconexão para $L = 100 \text{ nm}$ e para $L = 7,11 \mu\text{m}$, tais valores foram adotados como comprimento típico de um circuito mono-elétron e como comprimento máximo razoável, respectivamente. Assim, obtivemos os valores apresentados na Tab. (2.4).

Tabela 2.4. Valores típicos para resistência e capacitância para nanofios de cobre e nanotubos de carbono para $L = 100 \text{ nm}$ e para $L = 7,11 \mu\text{m}$.

Tipo de Interconexão	$L = 100 \text{ nm}$		$L = 7,11 \mu\text{m}$	
	R_{con}	C_{con}	R_{con}	C_{con}
Nanofio de Cobre	35,5 Ω	28 aF	2,5 K Ω	2 fF
Nanotubo de Carbono	6,45 Ω	2,8 aF	50 K Ω	200 aF

De posse dos valores apresentados na Tab. (2.4), chegamos aos valores da resistência e capacitância do modelo de interconexões para dois casos: interconexões curtas ($L = 100 \text{ nm}$) e interconexões longas ($L = 7,11 \mu\text{m}$). Para ambos os casos, os valores de R_{con} e C_{con} considerados foram os maiores dentre os valores dos dois materiais disponíveis para fabricação das interconexões, de forma a gerar a maior constante de retardo RC, ou seja:

- Para interconexões curtas ($L = 100 \text{ nm}$): $R_{\text{con}} = R_{\text{CNT}} = 6,45 \text{ k}\Omega$ e $C_{\text{con}} = C_{\text{Cu}} = 28 \text{ aF}$;
- Para interconexões longas ($L = 7,11 \mu\text{m}$): $R_{\text{con}} = R_{\text{CNT}} = 50 \text{ k}\Omega$ e $C_{\text{con}} = C_{\text{Cu}} = 2 \text{ fF}$.

2.9 LTSPICE

O LTSPICE consiste em um simulador de circuitos eletrônicos, orientado a esquemáticos. Poderoso simulador, compatível com o PSpice, porém apresenta sua estrutura modificada para correção de bugs e melhora de desempenho. O software pode simular dispositivos de acordo com o padrão industrial, sendo coerente com seus comportamentos. O programa captura o esquemático e o visualizador de forma de onda com melhorias e modelos para facilitar a simulação. Além disso, possui inúmeros recursos como: análise DC, análise AC e análise de transiente. Permite a simulação de diversos dispositivos de microeletrônica que estão presentes em suas bibliotecas. Sua principal vantagem, a qual será explorada neste projeto, é a possibilidade de elaborar novos esquemáticos baseados em um modelo matemático proposto, incorporando novos componentes aos circuitos desejados. O Anexo I apresenta o modelo matemático utilizado neste trabalho.

2.10 SIMON [8]

O SIMON é um sofisticado simulador de multiuso para dispositivos e circuitos mono-elétron. Possui um editor de circuitos gráfico incorporado em uma interface gráfica do usuário, bem como a simulação de eventos co-túnel e uma única etapa, analisa o modo interativo. Ele suporta a densidade de energia dependente de estados e é capaz de calcular parcelas de estabilidade. O software simula a corrente de elétrons em circuitos compostos por junções-túnel, capacitores, resistores, fontes de corrente e tensão ideais. Também é permitida a manipulação de parâmetros como temperatura, cargas de deslocamento, número de iterações e ajustes probabilísticos para cálculos utilizando o método de Monte Carlo, estimando-se a probabilidade de tunelamento. O problema são as várias limitações de simulação como, por exemplo, a impossibilidade de simular dispositivos mono-elétron juntamente com dispositivos convencionais como transistores MOS.

3 METODOLOGIA

3.1 INTRODUÇÃO

Visando alcançar os objetivos propostos neste trabalho, foram feitas simulações das redes neurais WTA totalmente interligada e WTA com inibição lateral, já citadas no capítulo 2, sem e com a presença do modelo de interconexão.

Neste capítulo serão descritos os procedimentos adotados na realização dessas simulações, na validação dos circuitos analisados e na análise de comportamento dos circuitos.

3.2 ANÁLISE COMPORTAMENTAL

Foram realizadas simulações utilizando os programas Simon e LTSpice, descritos no capítulo 2.

A análise da influência das interconexões no comportamento das redes neurais WTA será feita baseada nos resultados obtidos no programa LTSpice, portanto, primeiramente foi necessário validar esses resultados.

Devido ao fato do Simon ser um simulador conhecido e largamente aceito, específico para simulações de circuitos nanoeletrônicos que utilizam SETs, o procedimento adotado para a validação foi simular os circuitos no LTSpice e comparar os resultados com a simulação do mesmo circuito no Simon, para os mesmos parâmetros. Portanto, os circuitos simulados no LTSpice tiveram seus resultados comparados com os resultados obtidos no Simon, visando observar a coerência dos resultados.

3.2.1 Redes WTA mono-elétron com interconexões ideais

A primeira rede a ser simulada foi a rede WTA mono-elétron totalmente interconectada (SET-WTA-TI), sendo realizada a simulação dos seguintes circuitos:

1. Rede SET-WTA-TI com dois neurônios, composta por dois sub-circuitos idênticos interligados.
2. Rede SET-WTA-TI com três neurônios, composta por três sub-circuitos idênticos interligados.
3. Rede SET-WTA-TI com quatro neurônios, composta por quatro sub-circuitos idênticos interligados.
4. Rede SET-WTA-TI com cinco neurônios, composta por cinco sub-circuitos idênticos interligados.

Já para a rede WTA mono-elétron com inibição lateral (SET-WTA-IL), foram simulados os circuitos:

1. Rede SET-WTA-IL com quatro neurônios, composta por quatro sub-circuitos idênticos interligados.
2. Rede SET-WTA-IL com cinco neurônios, composta por cinco sub-circuitos idênticos interligados.

Para todos os circuitos citados acima, os parâmetros utilizados podem ser observados na Tab. (3.1).

Tabela 3.1. Parâmetros da rede SET-WTA-TI e da rede SET-WTA-IL.

Parâmetro	Valor
C_{gate}	3,2 aF
$C_{junção}$	1,6 aF
$R_{junção}$	100 M Ω
C_t	0,16 fF
V_{bias}	-480 mV
Temperatura	300 K

A fim de verificar o comportamento dos circuitos e a sua frequência máxima de operação, a fonte de corrente aplicada ao primeiro neurônio é sempre uma fonte constante, enquanto as fontes aplicadas aos demais neurônios variam no tempo, para os seis circuitos simulados.

Para a análise do comportamento, espera-se que a saída vencedora seja sempre a saída do neurônio que recebe a maior corrente. Desse modo, variando as fontes de corrente dos neurônios, exceto a do primeiro, e conseqüentemente alternando o neurônio que recebe a maior corrente, espera-se uma variação da saída vencedora conforme a variação das fontes de corrente.

Quanto à frequência máxima de operação dos circuitos, foram realizadas simulações para intervalos de tempo de diferentes ordens de grandeza. Diminuindo a ordem de grandeza do intervalo de tempo, foi observada a menor ordem de grandeza do tempo que ainda mantinha o comportamento esperado dos circuitos, possibilitando a verificação da frequência máxima de operação obtida pela análise do gráfico de Bode dos circuitos.

3.2.2. Interconexões não-ideais

O próximo procedimento foi a análise dos efeitos do modelo de interconexão no comportamento de um transistor mono-elétron. O modelo de interconexão foi analisado para dois casos: para interconexões de curto comprimento e para interconexões de longo comprimento.

Primeiramente, foi realizada a simulação do circuito sem o modelo de interconexão, circuito (a) da Fig. (3.1). Em seguida, a simulação do circuito (b) da Fig. (3.1) foi realizada para os dois casos: interconexões curtas e interconexões longas. Na Tabela (3.2) estão apresentados os parâmetros utilizados na realização dessas simulações.

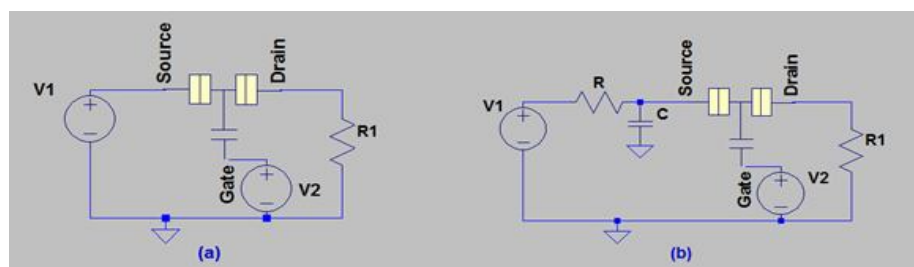


Figura 3.1. Circuitos simulados para a análise dos efeitos do modelo de interconexão no comportamento de um transistor mono-elétron. (a) circuito sem o modelo de interconexão (b) circuito com o modelo de interconexão.

Tabela 3.2. Parâmetros utilizados nas simulações dos circuitos da Fig. (3.1).

Parâmetro	Valor
C_{gate}	3,2 aF
$C_{junção}$	1,6 aF
$R_{junção}$	100 M Ω
V_1	50 mV
V_2	1 V
R_1	10 M Ω
R_{curta}	6,45 K Ω
C_{curta}	28 aF
R_{longa}	50 K Ω
C_{longa}	2 fF
Temperatura	300 K

3.2.3. Redes WTA mono-elétron com interconexões não-ideais

Após avaliar os efeitos do modelo de interconexão no comportamento de apenas um transistor mono-elétron, foram feitas novas simulações visando estender essa mesma análise para os circuitos das redes WTA simulados anteriormente.

O procedimento adotado para verificar os efeitos das interconexões não-ideais no desempenho dos circuitos da rede WTA-TI e dos circuitos da rede WTA-LI foi uma análise comparativa entre os resultados obtidos com as simulações desses circuitos com interconexões ideais e os resultados das simulações dos mesmos circuitos com interconexões não-ideais.

Dessa forma, para possibilitar essa análise comparativa, foi necessário simular novamente os seis circuitos citados na sub-seção (3.2.1), porém agora utilizando o modelo de interconexão. Assim como na análise do comportamento do transistor mono-elétron com o modelo de interconexão, aqui também foi realizada a análise para os dois casos de interconexões: interconexões curtas e interconexões longas.

Por meio desse procedimento, foi possível avaliar os efeitos das interconexões curtas e longas no comportamento das redes SET-WTA e, mais especificamente, seus efeitos na frequência máxima de operação desses circuitos.

Neste momento, os parâmetros utilizados para simular os circuitos das redes SET-WTA foram os mesmos utilizados anteriormente, porém, agora temos o modelo de interconexão acrescentado aos circuitos anteriores, ou seja, temos uma resistência (R) e uma capacitância (C) a mais nos circuitos. Sabendo que a diferença entre os dois casos de interconexões avaliados, de acordo com a teoria apresentada no capítulo 2, é apenas os valores de R e de C do circuito, então:

- Para o caso de interconexões curtas, teremos $R = R_{\text{curta}}$ e $C = C_{\text{curta}}$.
- Para o caso de interconexões longas, teremos $R = R_{\text{longa}}$ e $C = C_{\text{longa}}$.

Para melhor entendimento, todos os parâmetros utilizados neste procedimento estão disponíveis na Tab. (3.3).

Tabela 3.3 Parâmetros utilizados nos circuitos com interconexões não-ideais.

Parâmetro	Valor
C_{gate}	3,2 aF
$C_{\text{junção}}$	1,6 aF
$R_{\text{junção}}$	100 M Ω
C_t	0,16 fF
V_{bias}	-480 mV
R_{curta}	6,45 K Ω
C_{curta}	28 aF
R_{longa}	50 K Ω
C_{longa}	2 fF
Temperatura	300 K

Todas as análises citadas neste capítulo serão detalhadas no capítulo 4.

4 RESULTADOS

4.1 INTRODUÇÃO

Neste capítulo, apresentaremos os resultados obtidos por meio dos procedimentos descritos no capítulo anterior e as análises realizadas a partir desses resultados para a rede SET-WTA.

4.2 VALIDAÇÃO

De acordo com o que já foi dito a respeito da validação dos circuitos analisados, comparamos o resultado obtido no LTSpice com o resultado obtido no Simon para o circuito de uma rede SET-WTA com dois neurônios apresentado na Fig. (4.1).

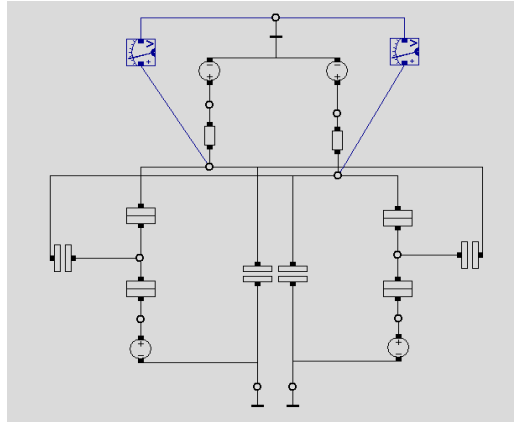


Figura 4.1. Circuito de uma rede SET-WTA com dois neurônios.

Como vemos na Fig. (4.1), para variarmos a fonte de corrente no programa Simon, foi necessário trocar a fonte de corrente por uma fonte de tensão em série com um resistor, pois as fontes de tensão podem ser definidas em função do tempo ao contrário das fontes de corrente, que não possuem essa possibilidade. No caso, a fonte de corrente I1 aplicada ao primeiro neurônio é constante e igual a 3 nA, enquanto a fonte de corrente I2 aplicada ao segundo neurônio é uma fonte variável, igual a 5 nA no primeiro μ s e igual a 1 nA no segundo μ s. Os parâmetros utilizados no circuito são idênticos para os dois programas e estão apresentados na Tab. (3.1).

Simulando esse circuito no LTSpice e no Simon, obtivemos os resultados mostrados nas Fig. (4.2) e (4.3) respectivamente.

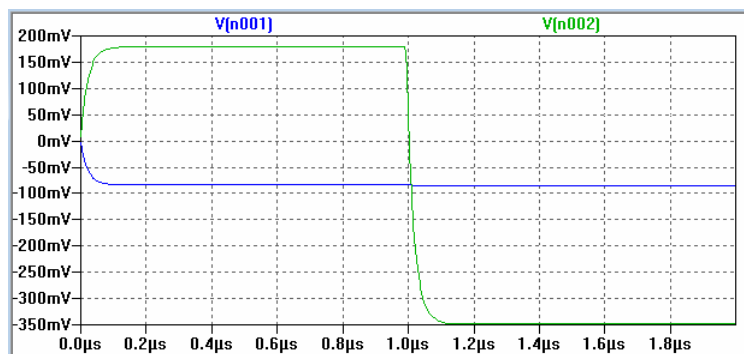


Figura 4.2. Saídas V_1 e V_2 da rede SET-WTA com dois neurônios no LTSpice.

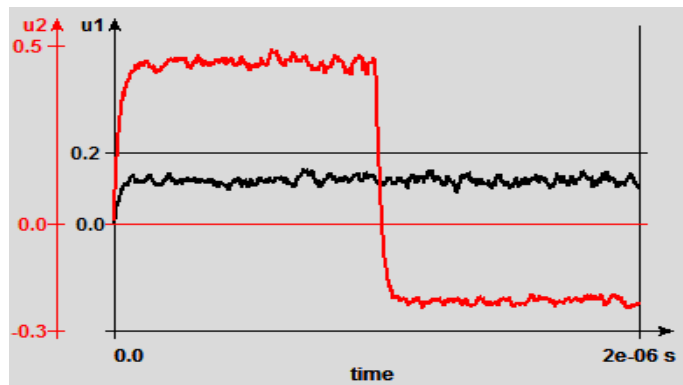


Figura 4.3. Saídas V_1 e V_2 da rede SET-WTA com dois neurônios no Simon.

Analisando os dois resultados obtidos, temos as seguintes conclusões:

- Os dois métodos de simulação utilizados alcançaram o comportamento esperado para a rede SET-WTA com dois neurônios, decidindo a saída vencedora conforme o neurônio a receber a maior corrente no momento.
- Embora os dois métodos tenham apresentado diferentes níveis finais de tensão na saída de cada neurônio, podemos notar que tal diferença corresponde a um deslocamento equivalente nas duas curvas de saída em relação à tensão. Essa diferença nos níveis de tensão não afeta as análises propostas neste trabalho, pois não influencia no comportamento do circuito, não alterando a frequência máxima de operação do mesmo.

A partir das análises feitas para o circuito da rede SET-WTA com dois neurônios, concluímos que o resultado obtido no programa LTSpice é coerente com o resultado apresentado pelo programa Simon, sendo satisfatório para as análises propostas neste trabalho. Dessa forma, por analogia, consideramos os resultados do programa LTSpice válidos para todos os circuitos referentes a redes SET-WTA analisados neste trabalho.

4.3 REDE SET-WTA-TI COM INTERCONEXÕES IDEAIS

Os primeiros circuitos a serem simulados foram os circuitos da rede SET-WTA-TI com interconexões ideais, como explicado no capítulo sobre a metodologia, e os resultados estão apresentados nas subseções seguintes.

Todos os circuitos apresentados nesta seção foram simulados utilizando-se os parâmetros especificados na Tab. (3.1).

4.3.1 Rede SET-WTA-TI com dois neurônios

Para o circuito com dois neurônios, mostrado na Fig. (4.4), a primeira simulação feita foi para analisar o comportamento do circuito, visando confirmar o desempenho esperado da rede. As fontes de corrente foram ajustadas da seguinte maneira: I_1 é constante e igual a 2 nA, enquanto I_2 é uma fonte variável no tempo, no primeiro μs é igual a 1 nA e no segundo μs é igual a 3 nA (Fig. 4.5). As saídas do circuito podem ser observadas na Fig. (4.6).

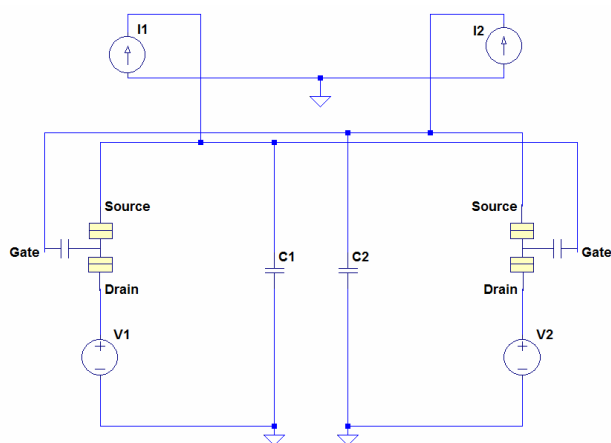


Figura 4.4. Circuito da rede SET-WTA-TI com dois neurônios e interconexões ideais.

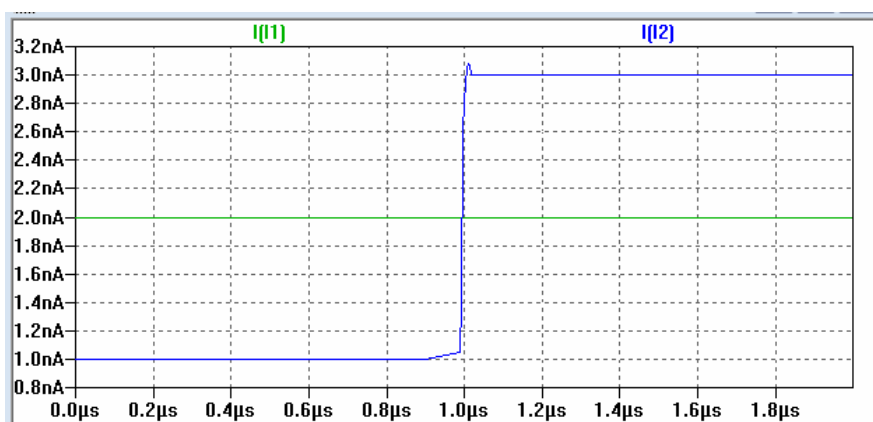


Figura 4.5. Curvas da fonte de corrente constante I1 e da fonte de corrente variável I2.

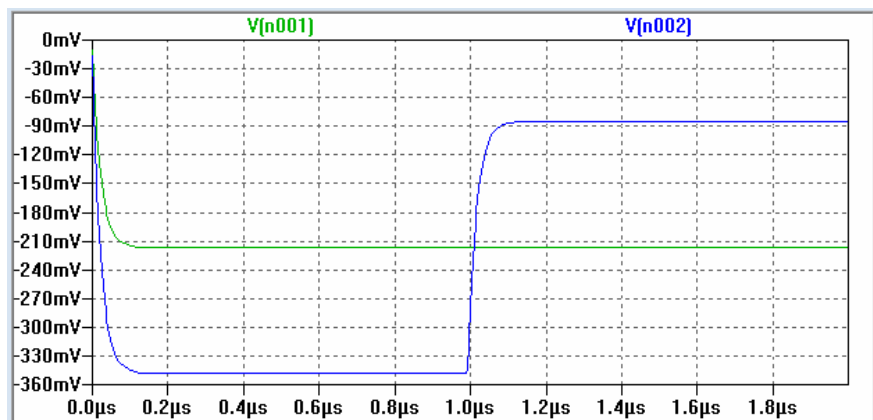


Figura 4.6. Saídas V_1 e V_2 da rede SET-WTA-TI com interconexões ideais.

A partir da Fig. (4.6), confirmamos o comportamento esperado da rede SET-WTA-TI simulada, uma vez que a saída vencedora se alternou conforme a variação da fonte de corrente I2, que alterna o neurônio que recebe a maior corrente.

Em seguida, foi realizada uma simulação a fim de obter o gráfico de Bode do circuito, que está apresentado na Fig. (4.7).

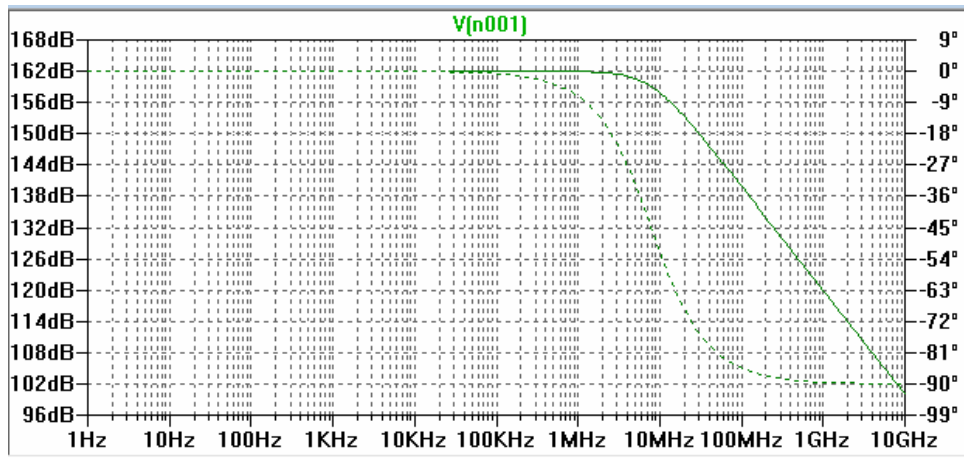


Figura 4.7. Gráfico de Bode do circuito da rede SET-WTA-TI com dois neurônios e interconexões ideais.

Pela análise do gráfico de Bode obtido (Fig. 4.7), temos que a máxima frequência de operação do circuito simulado é aproximadamente 8 MHz. Assim, foram realizadas simulações do circuito, visando confirmar a frequência máxima de operação. Essas simulações, conforme descrito na metodologia, foram feitas para intervalos de tempo de diferentes ordens de grandeza. Diminuímos a ordem de grandeza do intervalo de tempo até que o circuito não mantivesse mais o seu comportamento. Esses resultados são apresentados nas Fig. (4.8) e (4.9).

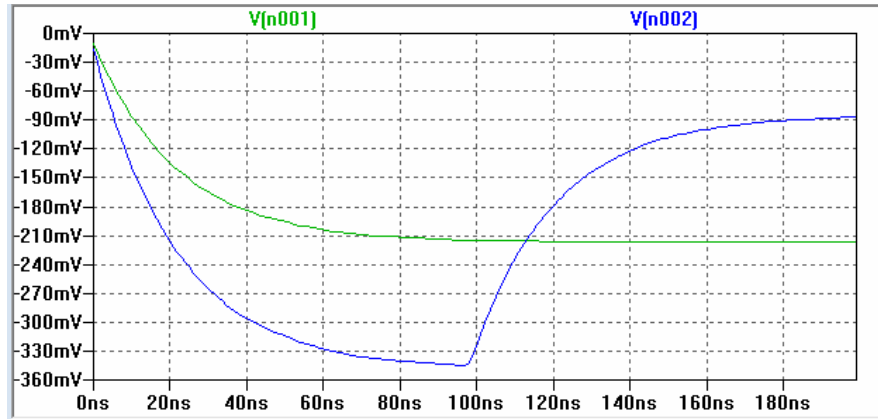


Figura 4.8. Saídas V_1 e V_2 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 200 ns.

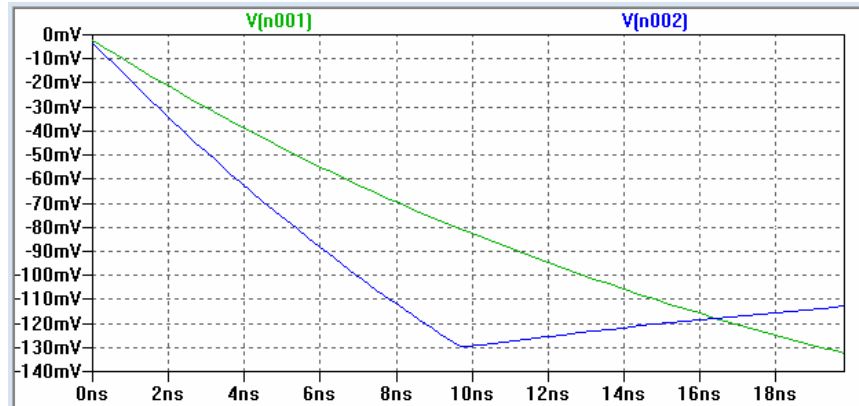


Figura 4.9. Saídas V_1 e V_2 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 20 ns.

Analisando os resultados apresentados nas Fig. (4.8) e (4.9), observamos que na primeira o circuito ainda mantém o seu comportamento, porém, se compararmos com a Fig. (4.6), percebemos que por pouco a saída V_2 não alcança os níveis finais de tensão em cada intervalo observado, sinal de que a frequência máxima de operação já foi ultrapassada. Já na Fig. (4.9), podemos observar que o circuito perdeu o seu comportamento característico, mostrando claramente que se ultrapassou a sua frequência máxima de operação. Dessa forma, podemos concluir que a frequência máxima de operação do circuito é muito próxima de 10 MHz, confirmando então o valor de 8 MHz obtido no gráfico de Bode.

4.3.2 Rede SET-WTA-TI com três neurônios

Para o circuito dessa rede, foram seguidos exatamente os mesmos passos realizados para o circuito da sub-seção anterior. O circuito simulado pode ser observado na Fig. (4.10).

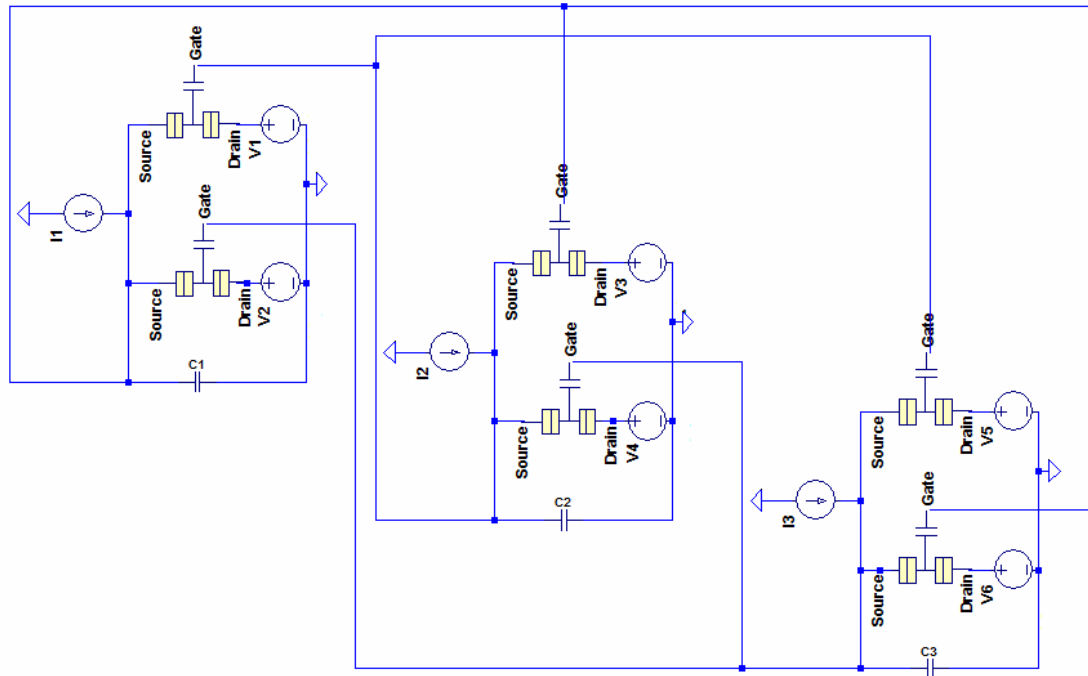


Figura 4.10. Circuito SET-WTA-TI com três neurônios e interconexões ideais.

As fontes de corrente do circuito foram determinadas de modo que I_1 é constante e I_2 e I_3 variam no tempo, conforme podemos constatar na Fig. (4.11). As saídas dos três neurônios estão apresentadas na Fig. (4.12), onde podemos confirmar o seu comportamento.

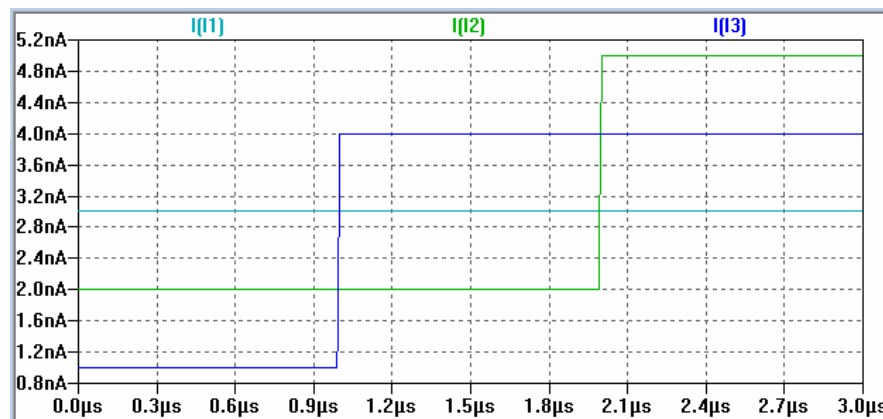


Figura 4.11. Curvas da fonte de corrente constante I_1 e das fontes de corrente variável I_2 e I_3 .

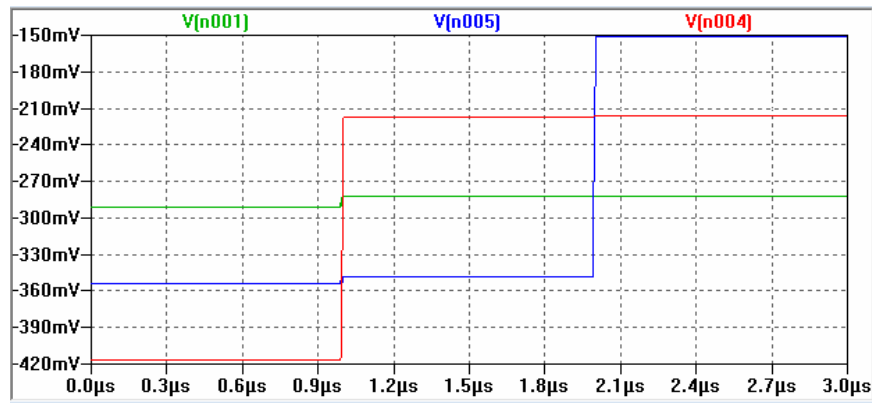


Figura 4.12. Saídas V_1 , V_2 e V_3 da rede SET-WTA-TI com interconexões ideais.

Observando a Fig. (4.12), percebemos que o circuito se comportou como o esperado, uma vez que a saída vencedora é sempre a saída do neurônio a receber a maior corrente no instante, ou seja, conforme as fontes de corrente variaram a saída vencedora se alternou.

O próximo passo foi simular o gráfico de Bode do circuito (Fig. 4.13).

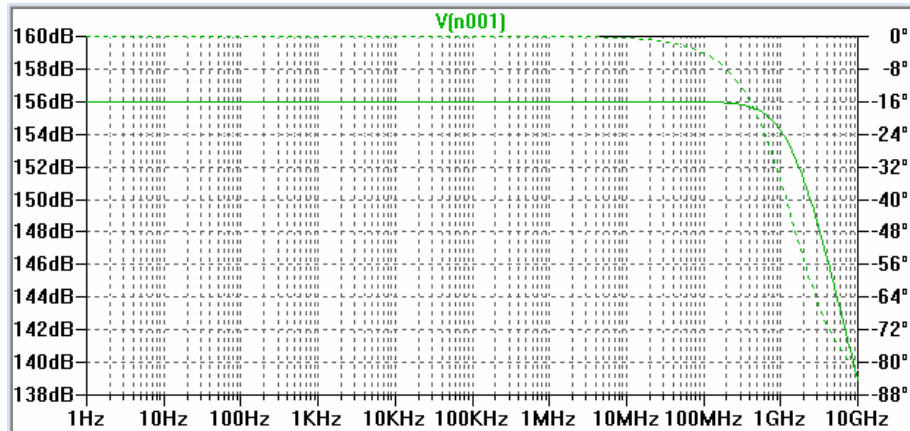


Figura 4.13. Gráfico de Bode do circuito da rede SET-WTA-TI com interconexões ideais.

Pelo gráfico de Bode, temos uma frequência máxima de operação do circuito aproximadamente de 1,4 GHz. Para verificar essa informação, o circuito foi simulado diminuindo-se o intervalo de tempo até que não se observasse mais seu comportamento típico. Os resultados podem ser visualizados nas Fig. (4.14) e Fig. (4.15).

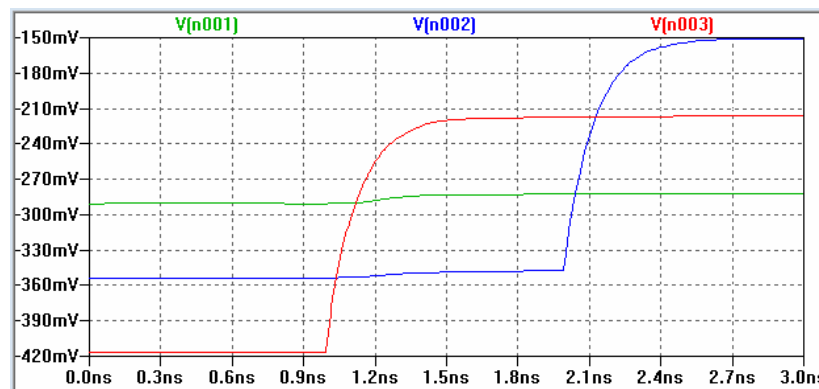


Figura 4.14. Saídas V_1 , V_2 e V_3 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 3ns.

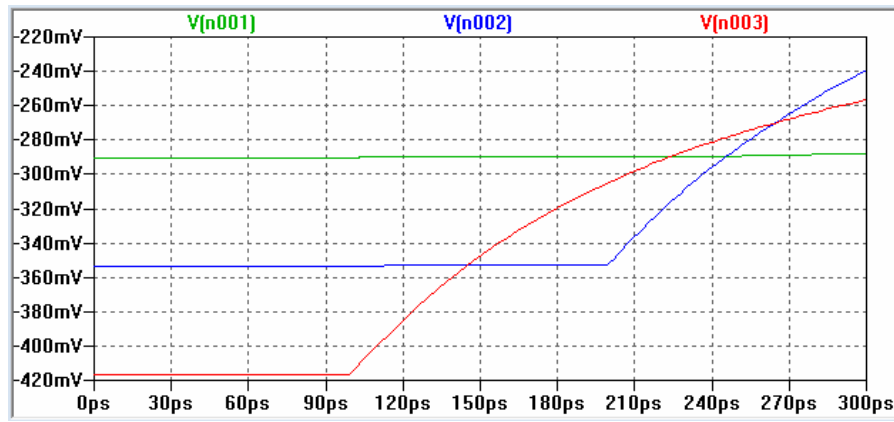


Figura 4.15. Saídas V_1 , V_2 e V_3 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 300 ps.

Pelos resultados apresentados nas Fig. (4.14) e Fig. (4.15), percebemos que na primeira se mantém o comportamento esperado do circuito, enquanto na segunda esse comportamento foi perdido. Desse modo, confirmamos que a máxima frequência em que o circuito pode operar se encontra entre 1GHz e 10GHz, o que é coerente com o valor de 1,4 GHz encontrado pelo gráfico de Bode. Assim, para frequências maiores que esta, o circuito não apresentará o comportamento esperado.

4.3.3 Rede SET-WTA-TI com quatro neurônios

Seguindo os mesmos procedimentos, simulamos agora o circuito de uma rede SET-WTA-TI com quatro neurônios e interconexões ideais. O circuito está apresentado na Fig. (4.16).

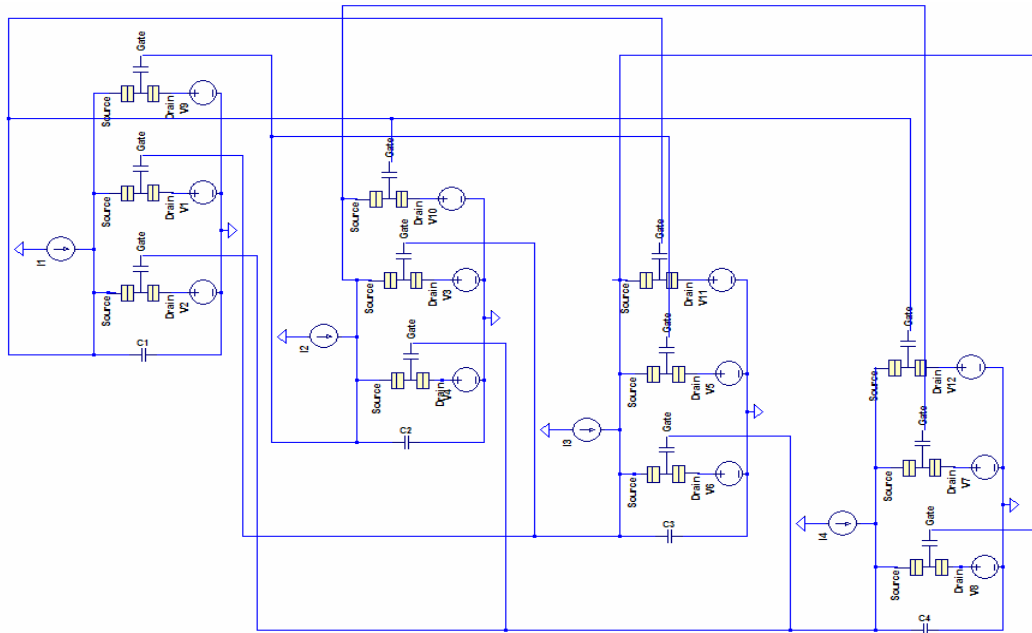


Figura 4.16. Circuito de uma rede SET-WTA-TI com quatro neurônios e interconexões ideais.

Para as fontes de corrente, utilizamos I_1 constante enquanto as demais variam no tempo. Na Fig. (4.17), podemos observar com clareza as variações das fontes de corrente aplicadas aos neurônios da rede.

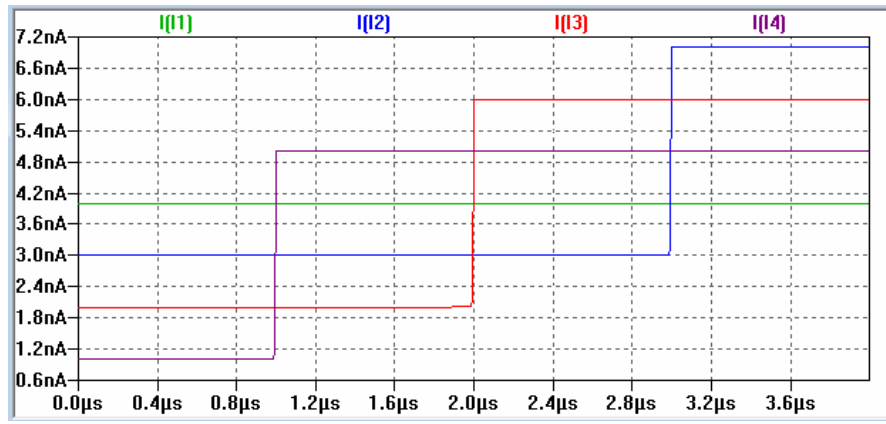


Figura 4.17. Curvas da fonte de corrente constante I1 e das fontes de corrente variável I2, I3 e I4.

Na Figura (4.18), está o resultado das saídas do circuito, que mostra exatamente o comportamento esperado. Para cada instante, a saída vencedora é a saída de um neurônio diferente, de acordo com o neurônio que recebe a maior corrente no momento.

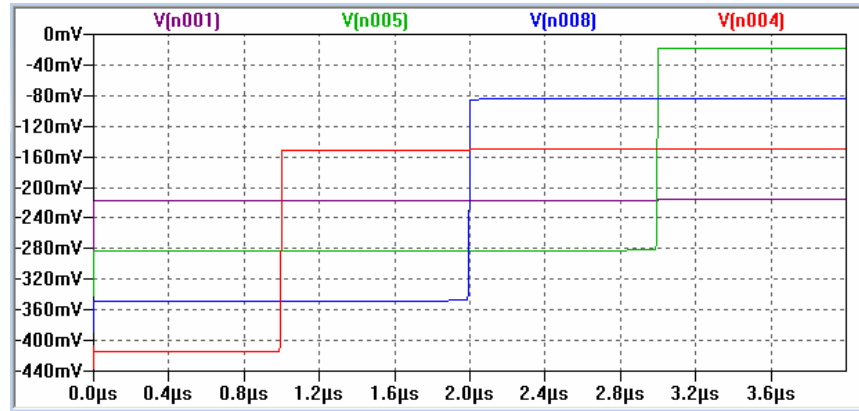


Figura 4.18. Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-TI com quatro neurônios e interconexões ideais.

Assim como foi feito para o circuito anterior, o próximo passo é a análise da frequência máxima de operação do circuito, dessa forma, obtivemos o gráfico de Bode (Fig. 4.19).

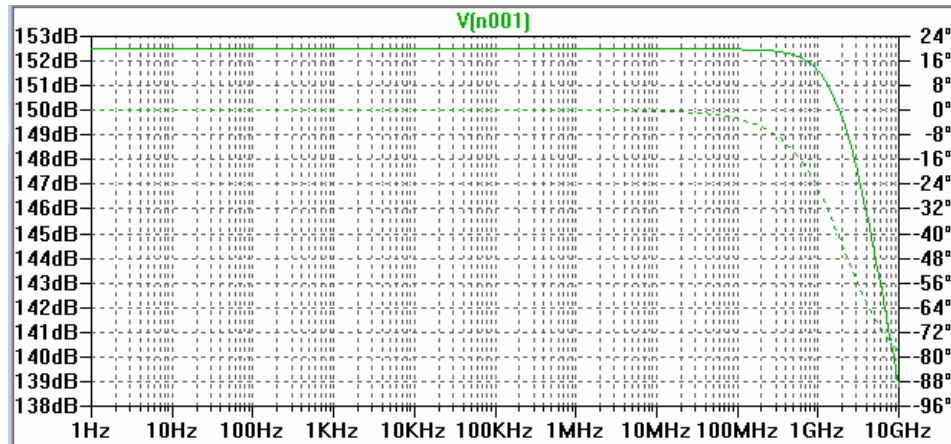


Figura 4.19. Gráfico de Bode da rede SET-WTA-TI com quatro neurônios e interconexões ideais.

Pelo gráfico de Bode, temos uma frequência máxima de operação do circuito aproximadamente de 2 GHz. Para verificar essa informação, mais uma vez simulamos o circuito diminuindo o intervalo de tempo (Fig. 4.20 e Fig. 4.21).

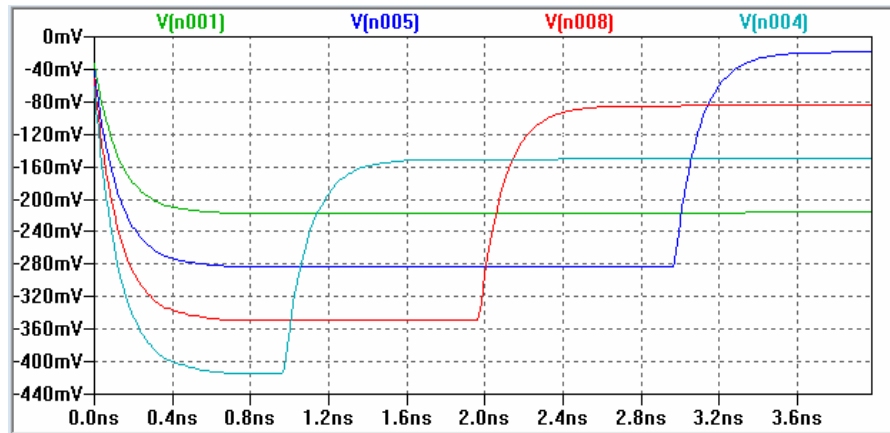


Figura 4.20. Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 4 ns.

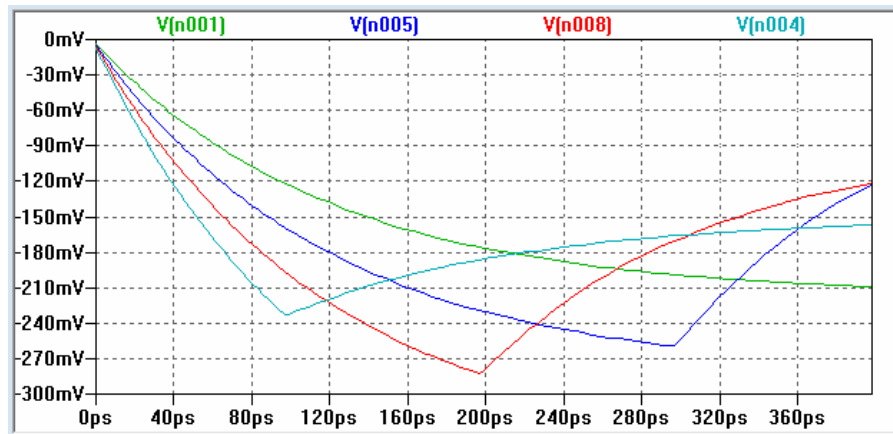


Figura 4.21. Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 400 ps.

Mediante a mesma análise da sub-seção anterior, concluímos que de acordo com os resultados das Fig. (4.20) e (4.21), a frequência máxima para o circuito da rede SET-WTA-TI com quatro neurônios e interconexões ideais está entre 1 GHz e 10 GHz, confirmando o resultado do gráfico de Bode, 2 GHz.

4.3.4 Rede SET-WTA-TI com cinco neurônios

Apresentamos as mesmas análises feitas para os circuitos das subseções anteriores, agora para o circuito da rede SET-WTA-TI com cinco neurônios e interconexões ideais. A Fig. (4.22) mostra o circuito simulado, enquanto a Fig. (4.23) apresenta as curvas das fontes de corrente do circuito.

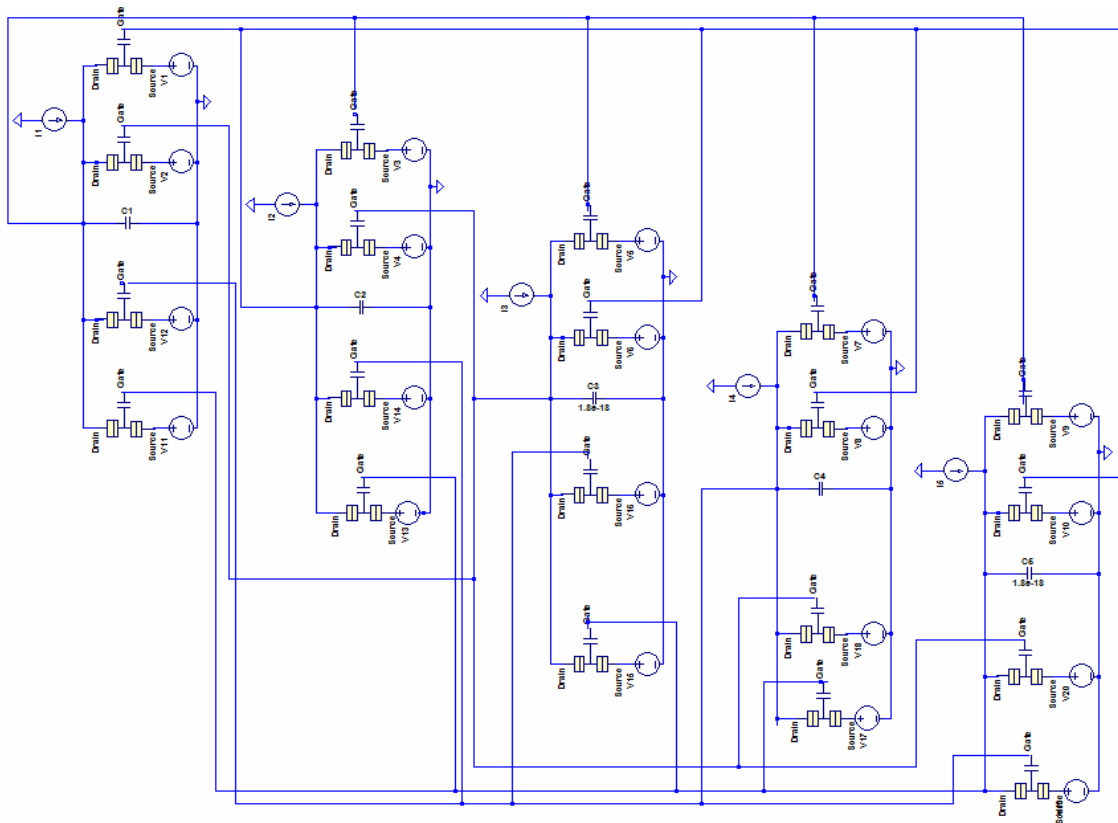


Figura 4.22. Circuito da rede SET-WTA-TI com cinco neurônios e interconexões ideais.

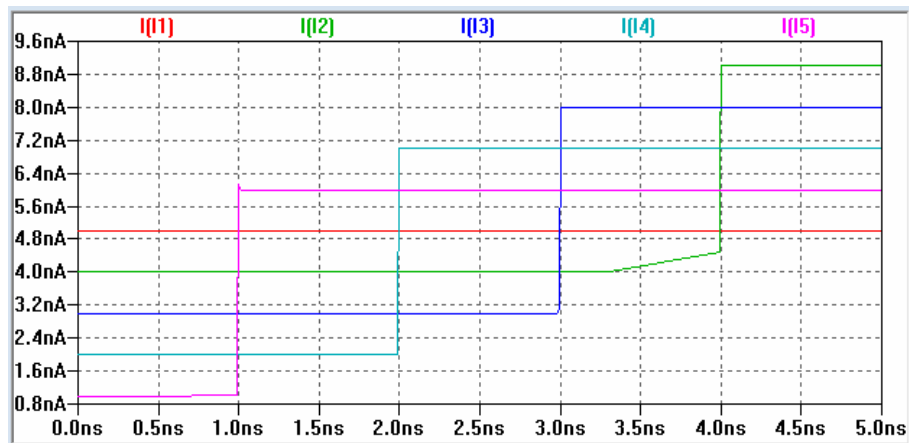


Figura 4.23. Curvas da fonte de corrente constante I1 e das fontes de corrente variável I2, I3, I4 e I5.

O resultado da simulação com essas fontes de corrente aplicadas aos neurônios, mostrando o comportamento do circuito, pode ser visualizado na Fig. (4.24).

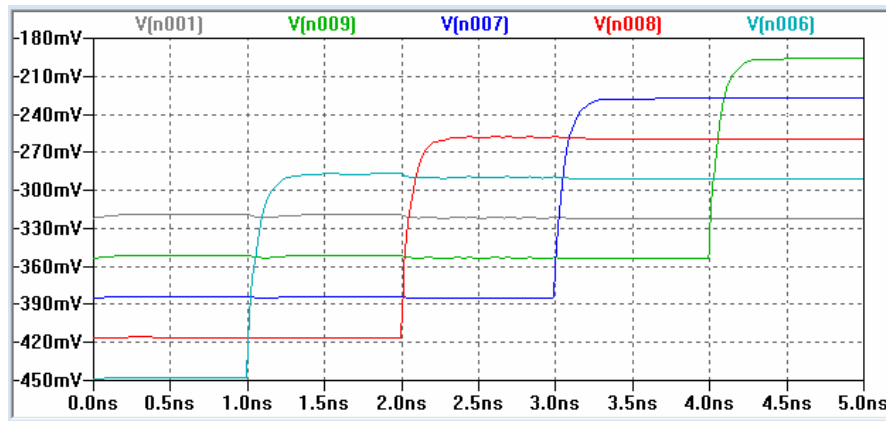


Figura 4.24. Saídas V_1 , V_2 , V_3 , V_4 e V_5 da rede SET-WTA-TI com cinco neurônios e interconexões ideais.

Após verificar o comportamento esperado do circuito, partimos para a análise da frequência máxima de operação, para isso apresentamos o gráfico de Bode na Fig. (4.25).

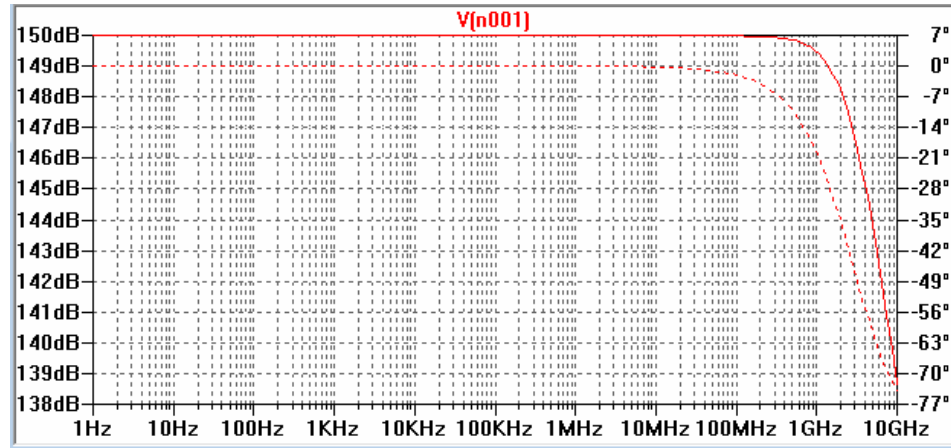


Figura 4.25. Gráfico de Bode do circuito da rede SET-WTA-TI com cinco neurônios e interconexões ideais.

Pelo gráfico de Bode, temos uma frequência máxima de aproximadamente 2,8 GHz. Para confirmar esse resultado, realizamos os mesmos procedimentos adotados para os outros circuitos, diminuimos o intervalo de tempo até o circuito perder seu comportamento característico.

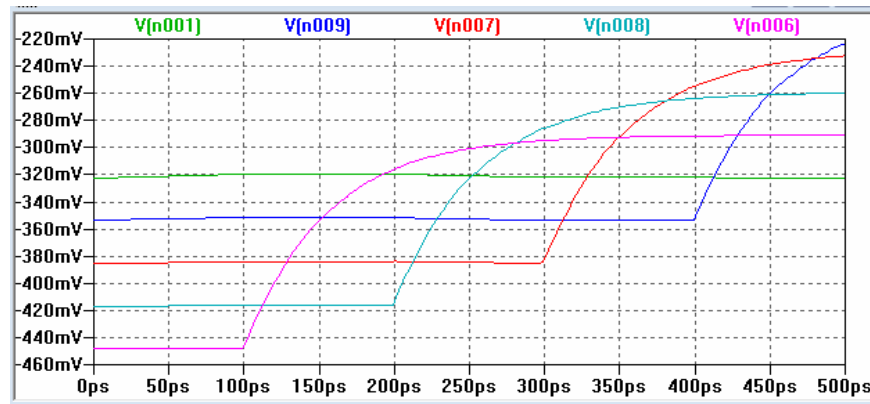


Figura 4.26. Saídas V_1 , V_2 , V_3 , V_4 e V_5 da rede SET-WTA-TI com interconexões ideais, para um intervalo de tempo de 500 ps.

A Fig. (4.24) mostra o comportamento mantido para um intervalo de 5 ns. Diminuímos o intervalo de tempo observado para 500 ps, o resultado está apresentado na Fig. (4.26), e observamos a perda do comportamento esperado. Portanto, confirmamos a frequência máxima de operação entre 1 GHz e 10 GHz, coerente com o valor obtido pelo gráfico de Bode, que foi de 2,8 GHz.

Com a análise dos cinco circuitos apresentados nesta seção, concluímos as análises para a rede SET-WTA-TI com interconexões ideais. Todos os circuitos se comportaram como o esperado, apresentando a saída vencedora conforme o neurônio que recebia a maior corrente no momento. Em relação à frequência máxima de operação desses circuitos, apresentamos a Tab. (4.1) com os resultados obtidos para essa rede, onde observamos um comportamento interessante, no qual a frequência máxima de operação da rede aumenta na medida em que aumenta o número de neurônios que a compõem.

Tabela 4.1. Resultado da frequência máxima de operação das redes SET-WTA-TI com interconexões ideais.

Rede SET-WTA-TI com Interconexões Ideais	
Número de Neurônios presentes na rede (N)	Frequência máxima de operação
2	8 MHz
3	1,4 GHz
4	2 GHz
5	2,8 GHz

4.4 REDE SET-WTA-IL COM INTERCONEXÕES IDEAIS

Nesta seção, apresentaremos a análise comportamental da rede SET-WTA-IL com interconexões ideais. Serão apresentados os resultados de dois circuitos, um com quatro neurônios e outro com 5 neurônios. Conforme os procedimentos já descritos, serão executados os mesmos passos da seção anterior, onde analisamos a rede SET-WTA-TI com interconexões ideais. Para cada um dos circuitos, analisaremos seu comportamento diante da variação das fontes de corrente aplicadas aos neurônios e verificaremos a frequência máxima de operação.

4.4.1 Rede SET-WTA-IL com quatro neurônios

Primeiramente, apresentamos na Fig. (4.27) o circuito de uma rede SET-WTA-IL com quatro neurônios e interconexões ideais. Já na Fig. (4.28), mostramos as curvas das fontes de corrente do circuito.

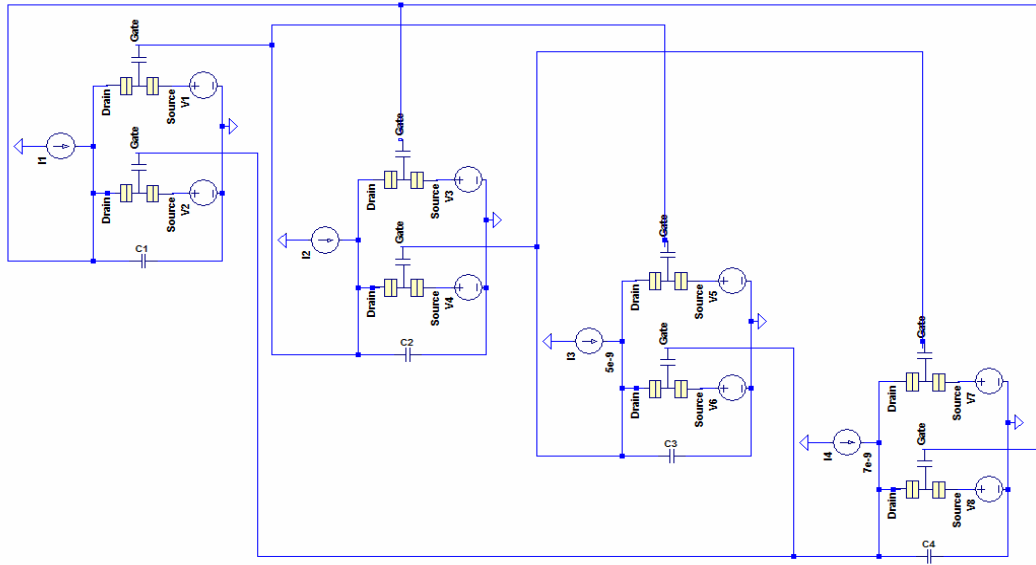


Figura 4.27. Circuito da rede SET-WAT-IL com quatro neurônios e interconexões ideais.

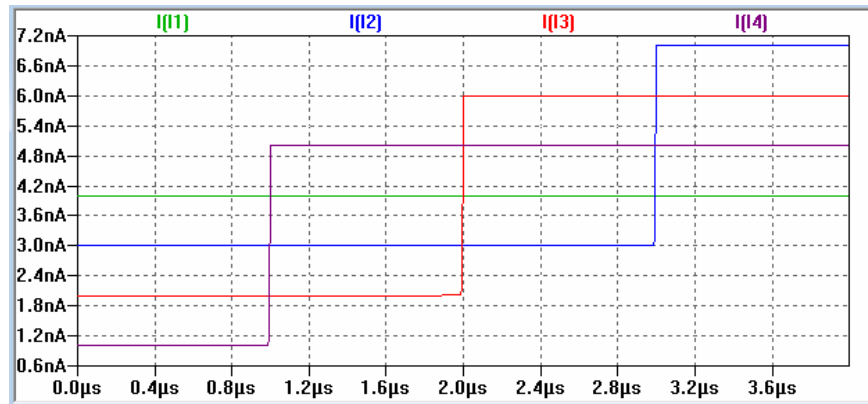


Figura 4.28. Curvas da fonte de corrente constante I1 e das fontes de corrente variável I2, I3 e I4.

O resultado das saídas do circuito, que mostra exatamente o comportamento esperado, está na Fig. (4.29). Para cada instante, a saída vencedora é a saída de um neurônio diferente, de acordo com o neurônio que recebe a maior corrente no instante observado.

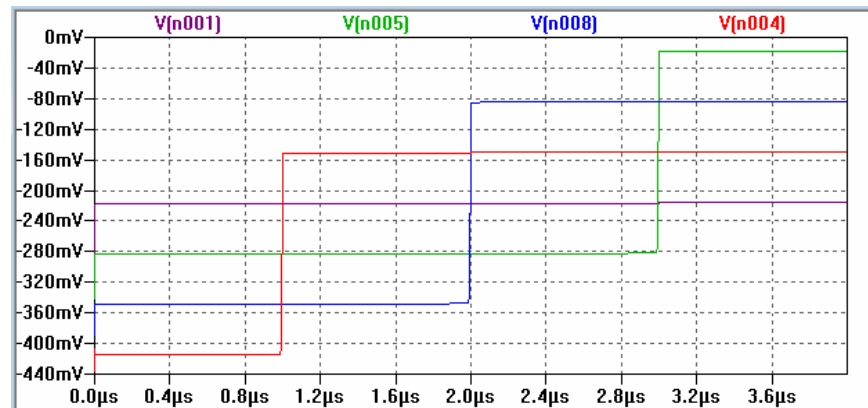


Figura 4.29. Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-IL com quatro neurônios e interconexões ideais.

Para a análise da frequência máxima de operação do circuito, obtivemos o gráfico de Bode (Fig. 4.30).

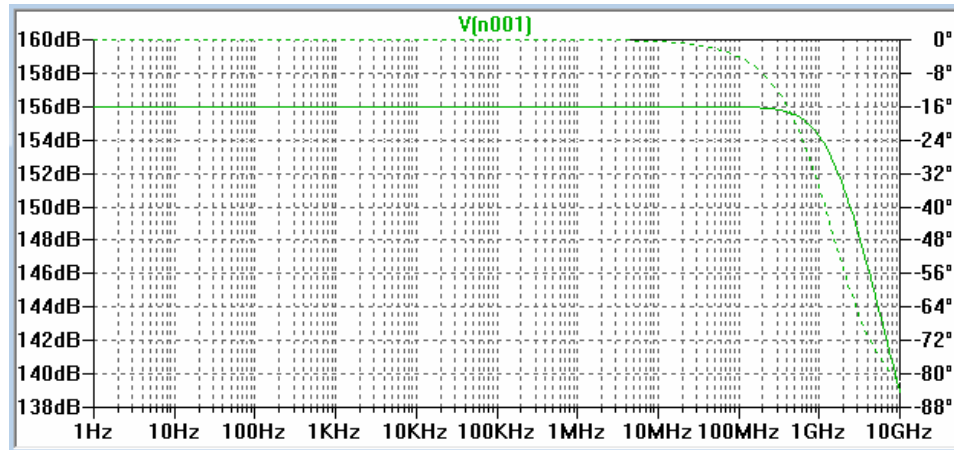


Figura 4.30. Gráfico de Bode da rede SET-WTA-IL com quatro neurônios e interconexões ideais.

Pelo gráfico de Bode, temos uma frequência máxima de operação do circuito aproximadamente de 1,4 GHz. Para verificar essa informação, mais uma vez simulamos o circuito diminuindo o intervalo de tempo (Fig. 4.31 e Fig. 4.32).

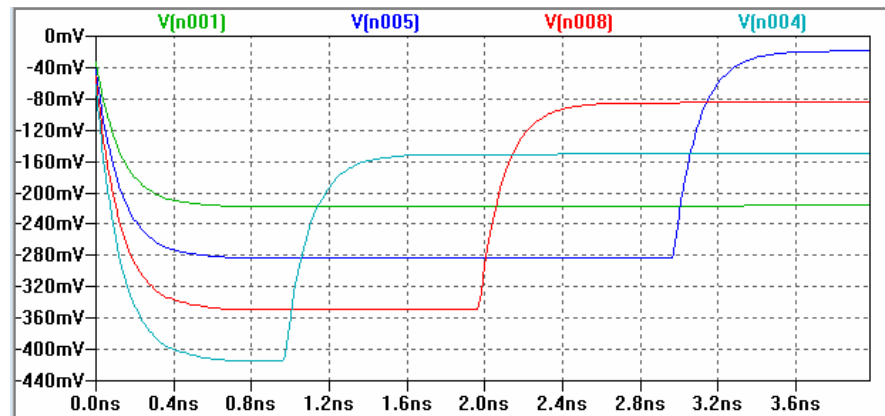


Figura 4.31. Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-IL com interconexões ideais, para um intervalo de tempo de 4 ns.

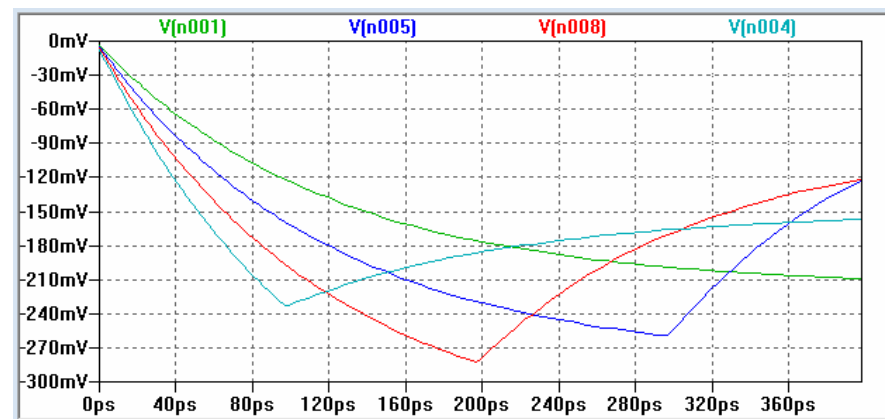


Figura 4.32. Saídas V_1 , V_2 , V_3 e V_4 da rede SET-WTA-IL com interconexões ideais, para um intervalo de tempo de 400 ps.

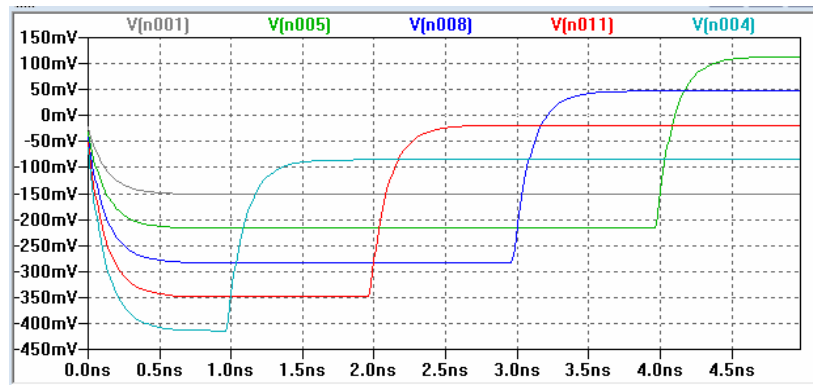


Figura 4.35. Saídas V_1 , V_2 , V_3 , V_4 e V_5 da rede SET-WTA-IL com cinco neurônios e interconexões ideais.

Analisando o resultado obtido nas saídas dos neurônios, confirmamos o comportamento esperado. Assim, para verificarmos a frequência máxima do circuito, apresentamos o gráfico de Bode na Fig. (4.36) e simulamos novamente o circuito apenas diminuindo o intervalo de tempo (Fig.4.37).

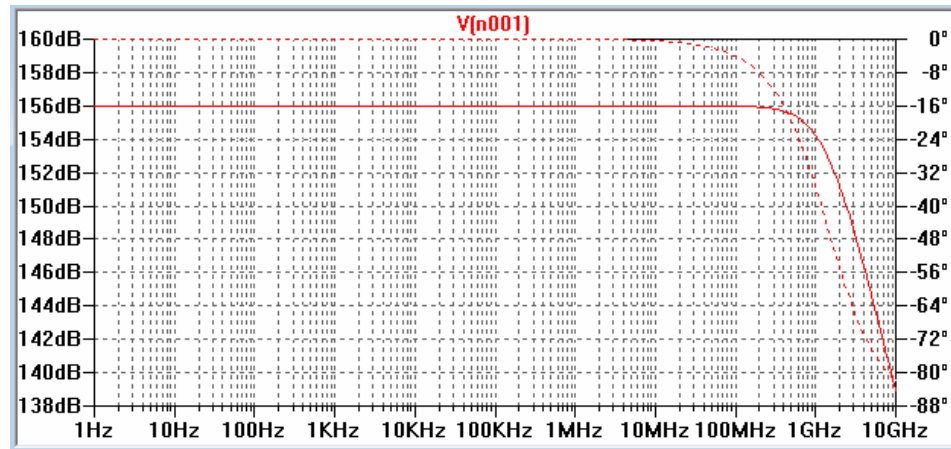


Figura 4.36. Gráfico de Bode do circuito da rede SET-WTA-IL com cinco neurônios e interconexões ideais.

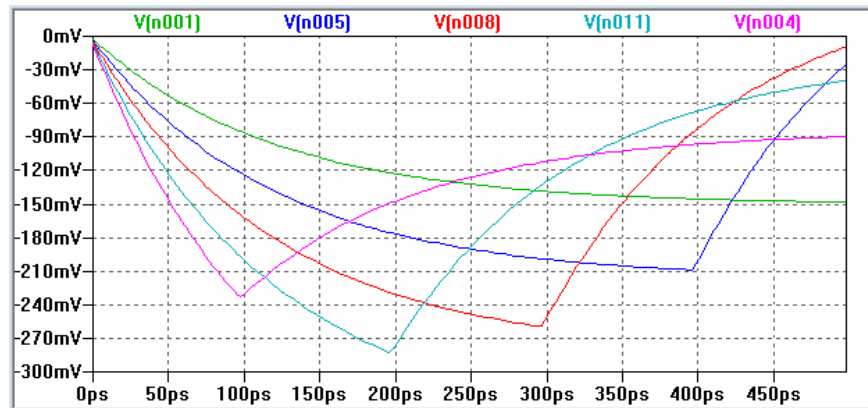


Figura 4.37. Saídas V_1 , V_2 , V_3 , V_4 e V_5 da rede SET-WTA-IL com cinco neurônios e interconexões ideais, para um intervalo de tempo de 500 ps.

Pelo gráfico de Bode temos uma frequência máxima de operação do circuito de aproximadamente 1,4 GHz. Analisando as Fig. (4.35) e (4.37), percebemos que a frequência máxima se encontra entre 1 GHz e 10 GHz, o que condiz com o resultado de 1,4 GHz do gráfico de Bode.

Assim, finalizamos a análise para a rede SET-WTA-IL com interconexões ideais. Os dois circuitos analisados nesta seção se comportaram de acordo com o esperado, possibilitando a determinação de suas frequências máximas de operação. A Tabela (4.2) mostra as frequências máximas encontradas para cada um dos circuitos.

Tabela 4.2. Frequência máxima de operação das redes SET-WTA-IL com interconexões ideais.

Rede SET-WTA-IL com Interconexões Ideais	
Número de Neurônios presentes na rede	Frequência máxima de operação
4	1,4 GHz
5	1,4 GHz

4.5 INTERCONEXÕES NÃO-IDEAIS

Conforme os procedimentos descritos no capítulo 3, analisaremos agora os efeitos do modelo de interconexão no desempenho de um transistor mono-elétron. Essa análise será feita para dois casos: interconexões curtas e interconexões longas.

Os parâmetros utilizados nesta seção foram apresentados na Tab. (3.2).

Dessa forma, simulamos inicialmente o circuito observado na Fig. (4.38) a fim de realizarmos uma análise comportamental do mesmo. O resultado está apresentado na Fig. (4.39).

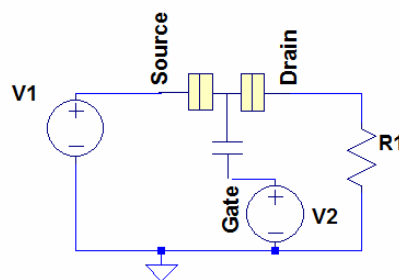


Figura 4.38. Circuito para análise comportamental de um Transistor mono-elétron.

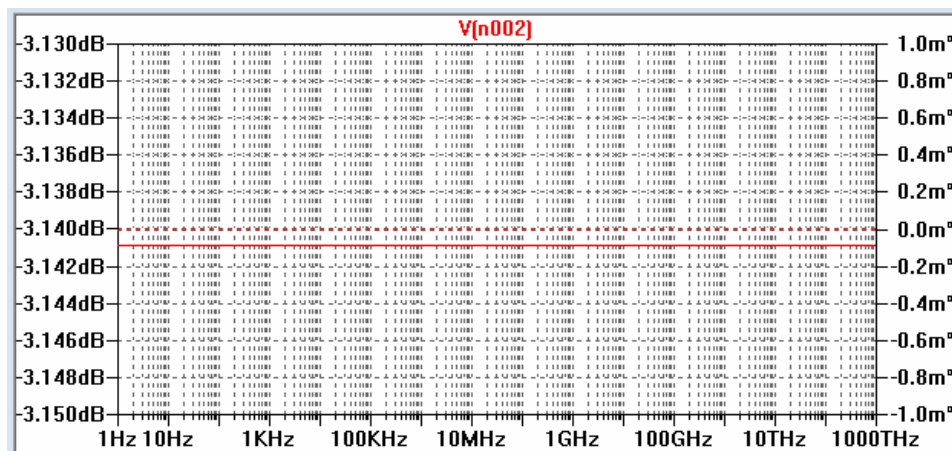


Figura 4.39. Gráfico de Bode do circuito apresentado na Fig. (4.38).

Diante deste resultado obtido, verificamos um comportamento ideal do SET, em que não há limitação em sua frequência de operação.

Visando realizar uma análise comparativa, simularemos agora o mesmo circuito anterior, porém incluindo o modelo de interconexão. Primeiramente simularemos para o caso de interconexão curta. O circuito está mostrado na Fig. (4.40) e o seu resultado na Fig. (4.41).

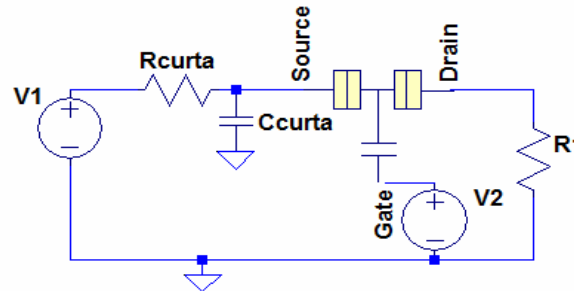


Figura 4.40. Circuito de um SET com o modelo de interconexão curta.

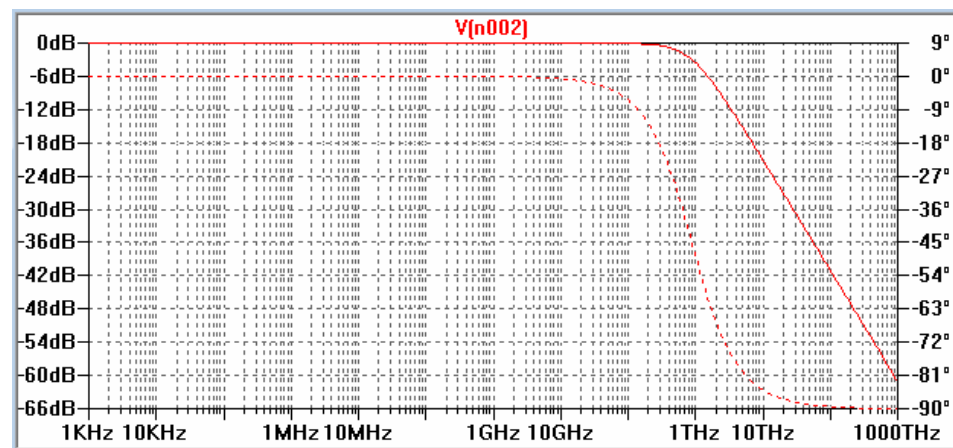


Figura 4.41. Gráfico de Bode do circuito da Fig. (4.40).

A partir da comparação entre os resultados do circuito sem e com o modelo de interconexão curta, Fig. (4.39) e (4.41), percebemos que o comportamento que antes era ideal, ilimitado quanto à frequência, passou a ser limitado por uma frequência máxima de operação de aproximadamente 1 THz.

Agora, realizaremos a mesma análise comparativa para o circuito com o modelo de interconexão longa. Esse circuito pode ser observado na Fig. (4.42) e o resultado de sua simulação está na Fig. (4.43).

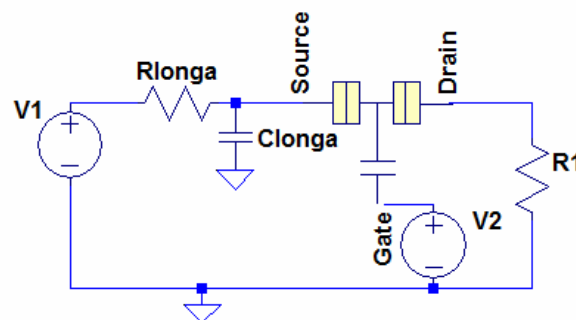


Figura 4.42. Circuito de um SET com o modelo de interconexão longa.

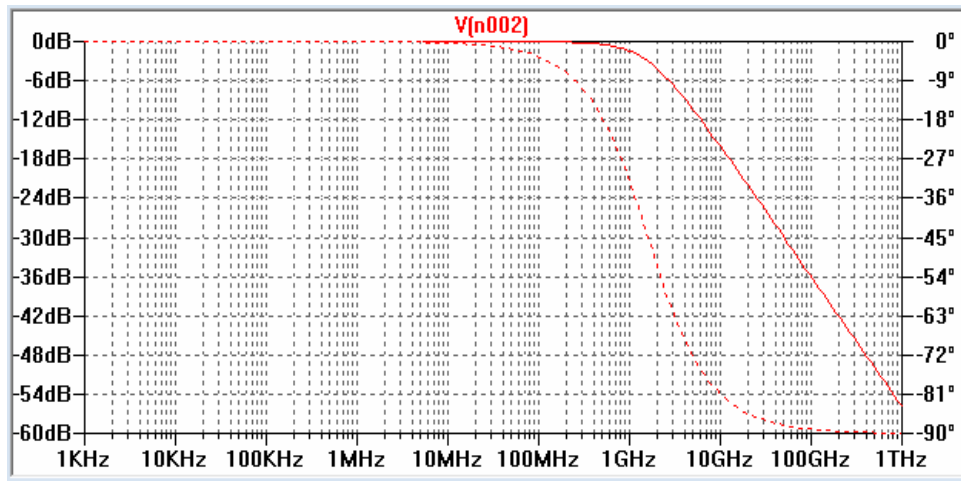


Figura 4.43. Gráfico de Bode do circuito da Fig. (4.42).

Comparando os resultados do circuito sem e com o modelo de interconexão longa, observamos que novamente o comportamento ideal do SET, ilimitado em frequência, passou a ter uma frequência máxima de operação de aproximadamente 1,5 GHz.

Ainda podemos comparar os dois casos de interconexão, curta e longa, observando que o efeito da longa sobre o circuito é maior que o efeito da curta, uma vez que o circuito com interconexão longa é o mais limitado quanto à frequência máxima de operação.

De acordo com os resultados apresentados e as análises realizadas, podemos concluir que o modelo de interconexão, tanto para o caso de interconexão curta quanto para o caso de interconexão longa, atua sobre o circuito de modo a limitá-lo em relação à frequência de operação, portanto, o efeito do modelo de interconexão no comportamento do transistor mono-elétron é a diminuição da sua frequência máxima de operação e, conseqüentemente, a diminuição da sua velocidade de desempenho. Ressaltando que, pelo observado, o modelo de interconexão longa tem maior efeito de limitação da frequência do circuito que o modelo de interconexão curta. A Tabela (4.3) apresenta os resultados obtidos nesta seção.

Tabela 4.3. Frequência máxima de operação do transistor mono-elétron.

Frequência máxima de operação		
Circuito sem o modelo de interconexão	Interconexão Curta	Interconexão Longa
∞	1 THz	1,5 GHz

4.6 REDES SET-WTA COM INTERCONEXÕES NÃO-IDEAIS

Após analisar os efeitos das interconexões no comportamento do transistor mono-elétron, estenderemos essa mesma análise ao comportamento das redes SET-WTA que foram analisadas na seção 4.2 deste capítulo, visando possibilitar uma análise comportamental comparativa entre as redes SET-WTA com interconexões ideais e com interconexões não ideais. Mais especificamente, realizaremos a comparação entre a frequência máxima de operação dos circuitos estudados.

Nesta seção, como o foco da análise comportamental será a frequência máxima de operação das redes SET-WTA-TI e SET-WTA-IL com interconexões não-ideais, apresentaremos os resultados do gráfico de Bode de cada circuito. Serão analisadas duas situações do modelo de interconexão: Interconexões curtas e Interconexões longas.

Os parâmetros utilizados nesta seção foram disponibilizados na Tab. (3.3) e todas as fontes de corrente dos circuitos observados aqui foram mantidas conforme os ajustes anteriores, mostrados na seção 4.3 deste capítulo.

Primeiramente, apresentaremos os resultados e as análises dos mesmos para as redes SET-WTA-TI e em seguida, para as redes SET-WTA-IL.

4.6.1 Rede SET-WTA-TI com dois neurônios

O primeiro circuito analisado foi o circuito da rede SET-WTA-TI com dois neurônios e interconexões não-ideais para o caso de interconexões curtas, ou seja, $R = R_{\text{curta}}$ e $C = C_{\text{curta}}$. Esse circuito está apresentado na Fig. (4.44).

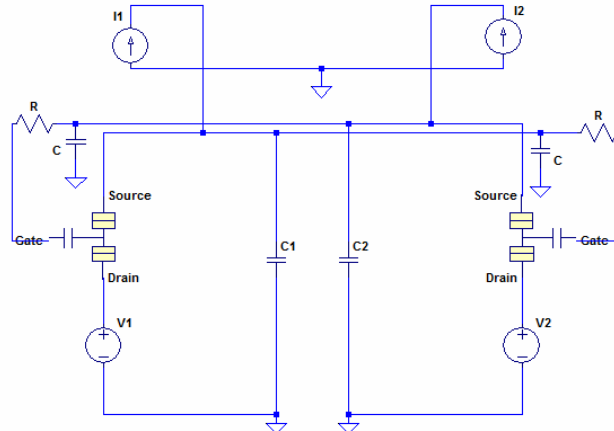


Figura 4.44. Circuito da rede SET-WTA-TI com dois neurônios e interconexões não-ideais.

O resultado da simulação deste circuito pode ser observado na Fig. (4.45).

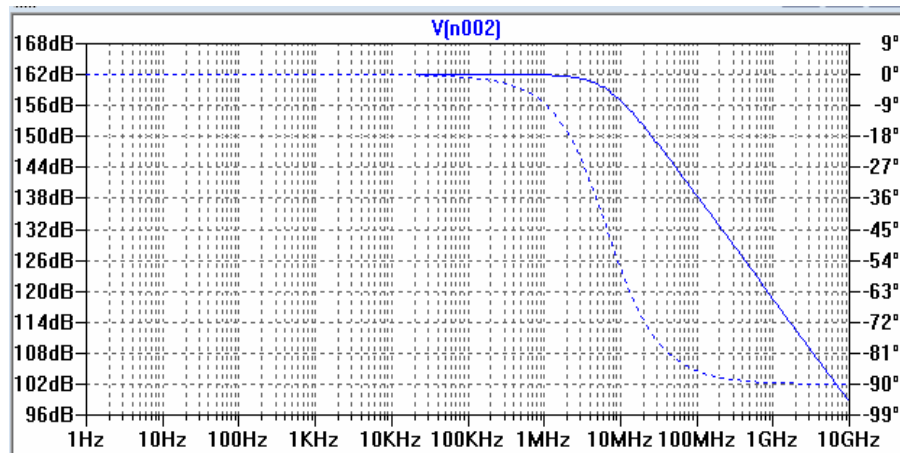


Figura 4.45. Gráfico de Bode da rede SET-WTA-TI com dois neurônios e interconexões curtas.

De acordo com o gráfico de Bode, temos uma frequência máxima de operação do circuito de aproximadamente 7 MHz.

Agora, para o caso de interconexões longas, ou seja, $R = R_{\text{longa}}$ e $C = C_{\text{longa}}$, temos o resultado apresentado na Fig. (4.46).

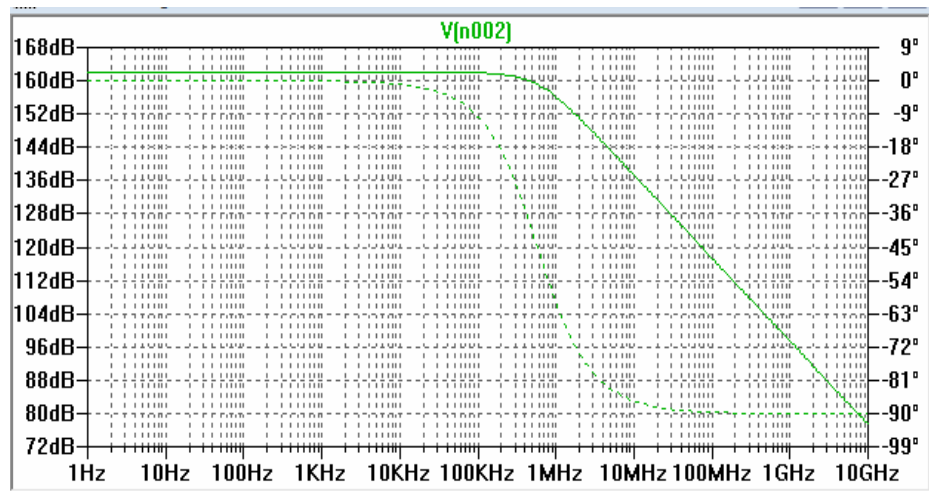


Figura 4.46. Gráfico de Bode da rede SET-WTA-TI com dois neurônios e interconexões longas.

Segundo o gráfico de Bode obtido, a frequência máxima de operação do circuito com interconexões longas é aproximadamente 600 KHz.

Para fazer a análise comparativa comportamental entre a rede SET-WTA-TI com dois neurônios com interconexões ideais, com interconexões curtas e com interconexões longas, apresentamos os resultados obtidos na Tab. (4.4).

Tabela 4.4. Frequência máxima de operação da rede SET-WTA-TI com dois neurônios.

Rede SET-WTA-TI com dois neurônios		
Interconexões Ideais	Interconexões Curtas	Interconexões Longas
8 MHz	7 MHz	600 KHz

Diante dos resultados da Tab. (4.4), podemos concluir que o efeito das interconexões, tanto as curtas quanto as longas, é limitador quanto à frequência máxima de operação do circuito, pois a diminui. Observamos que o efeito das interconexões longas é maior, limitando mais a frequência máxima do que as interconexões curtas, que nesse caso, diminuiu muito pouco a frequência máxima de operação.

4.6.2 Rede SET-WTA-TI com três neurônios

Simulando o circuito da rede SET-WTA-TI com três neurônios e interconexões curtas, mostrado na Fig. (4.47), obtivemos o resultado apresentado na Fig. (4.48).

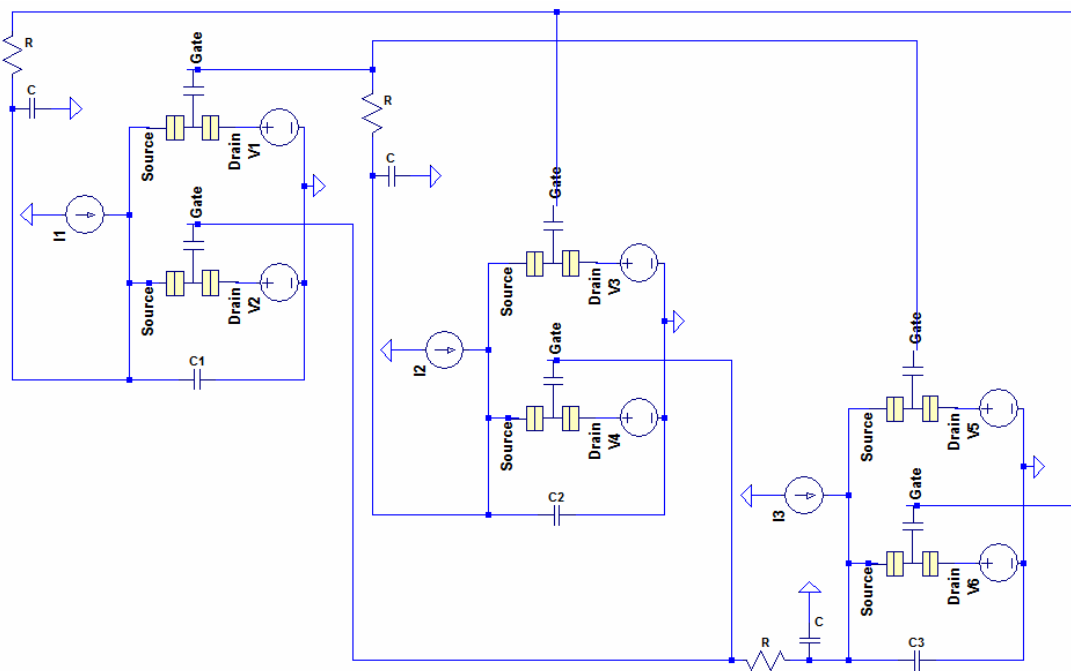


Figura 4.47. Circuito da rede SET-WTA-TI com três neurônios e interconexões não-ideais.

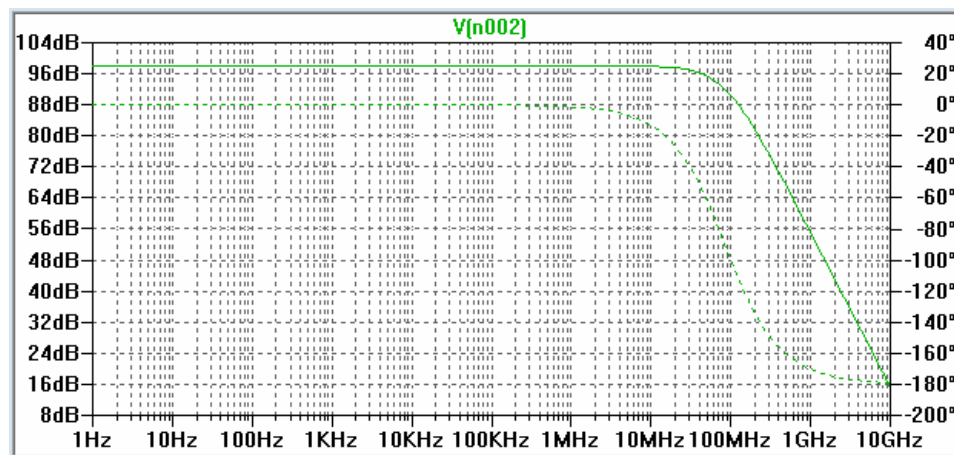


Figura 4.48. Gráfico de Bode da rede SET-WTA-TI com três neurônios e interconexões curtas.

A partir da análise do gráfico de Bode, chegamos a uma frequência máxima de operação do circuito com interconexões curtas de aproximadamente 60 MHz.

O próximo resultado é do mesmo circuito simulado com interconexões longas (Fig 4.47) e está apresentado na Fig. (4.49).

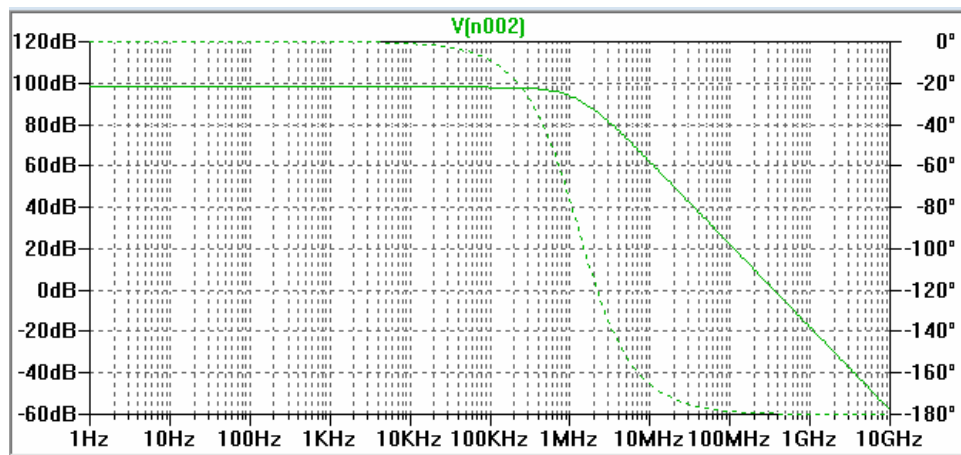


Figura 4.49. Gráfico de Bode da rede SET-WTA-TI com três neurônios e interconexões longas.

Para o circuito da rede SET-WTA-TI com três neurônios e interconexões longas, analisando o gráfico de Bode, encontramos uma frequência máxima de operação do circuito de aproximadamente 800 KHz.

Tabela 4.5. Frequência máxima de operação da rede SET-WTA-TI com três neurônios.

Rede SET-WTA-TI com três neurônios		
Interconexões Ideais	Interconexões Curtas	Interconexões Longas
1,4 GHz	50 MHz	800 KHz

Comparando os comportamentos dos três circuitos da rede SET-WTA-TI com três neurônios mostrados na Tab. (4.5), observamos a influência das interconexões curtas e longas sobre a frequência máxima de operação da rede SET-WTA-TI com três neurônios, causando a sua diminuição. Podemos perceber que para interconexões longas a rede terá menor velocidade, uma vez que é mais limitada quanto a sua frequência máxima de operação. Já as interconexões curtas influenciam menos na velocidade, pois diminuem menos a frequência máxima do circuito.

4.6.3 Rede SET-WTA-TI com quatro neurônios

Seguindo os mesmos procedimentos, determinaremos agora a frequência máxima de operação da rede SET-WTA-TI com quatro neurônios, tanto para interconexões curtas como para interconexões longas. O circuito simulado pode ser observado na Fig. (4.50).

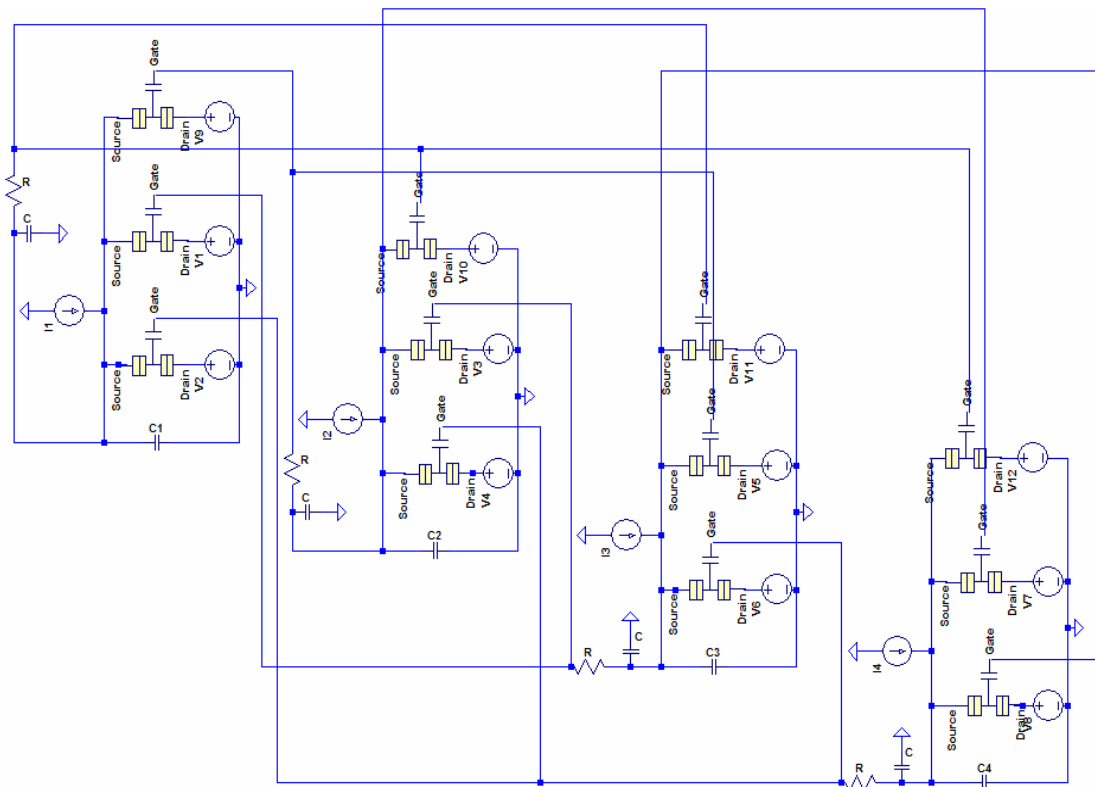


Figura 4.50. Circuito da rede SET-WAT-TI com quatro neurônios e interconexões não-ideais.

Para interconexões curtas, obtivemos o seguinte resultado:

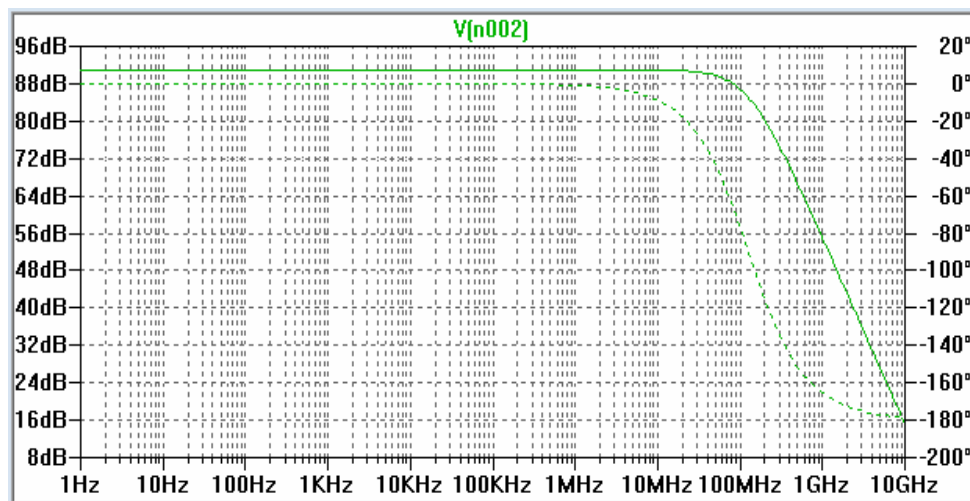


Figura 4.51. Gráfico de Bode da rede SET-WAT-TI com quatro neurônios e interconexões curtas.

Por meio da análise do resultado obtido (Fig. 4.51), chegamos a uma frequência máxima de operação da rede SET-WAT-TI com quatro neurônios e interconexões curtas de aproximadamente 80 MHz.

Para interconexões longas, o resultado obtido está apresentado na Fig. (4.52).

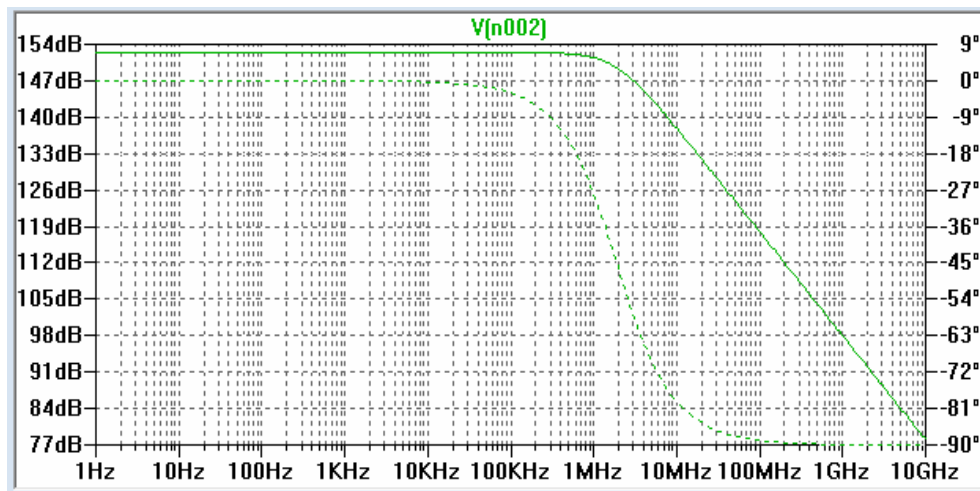


Figura 4.52. Gráfico de Bode da rede SET-WTA-TI com quatro neurônios e interconexões longas.

De acordo com o gráfico de Bode do circuito, a frequência máxima de operação da rede com interconexões longas é aproximadamente 2 MHz.

Tabela 4.6. Frequência máxima de operação da rede SET-WTA-TI com quatro neurônios.

Rede SET-WTA-TI com quatro neurônios		
Interconexões Ideais	Interconexões Curtas	Interconexões Longas
2 GHz	80 MHz	2 MHz

A partir da análise dos resultados apresentados na Tab. (4.6), observamos para a rede SET-WTA-TI com quatro neurônios o mesmo efeito das interconexões observado para as redes anteriores. As interconexões influenciam na frequência máxima de operação da rede e, como o esperado, as interconexões curtas tem menor efeito sobre a frequência máxima, diminuindo-a menos do que as interconexões longas.

4.6.4 Rede SET-WTA-TI com cinco neurônios

O circuito da rede SET-WTA-TI com cinco neurônios e interconexões não-ideais pode ser observado na Fig. (4.53).

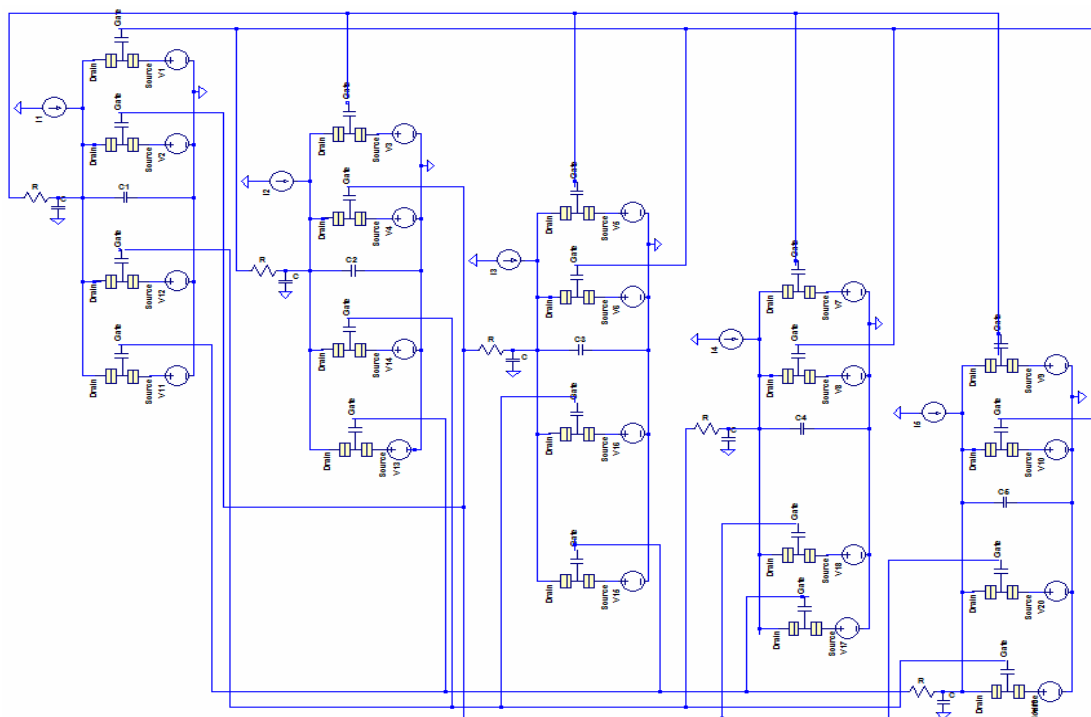


Figura 4.53. Circuito da rede SET-WTA-TI com cinco neurônios e interconexões não-ideais.

O resultado obtido para o circuito simulado com interconexões curtas está apresentado na Fig. (4.54).

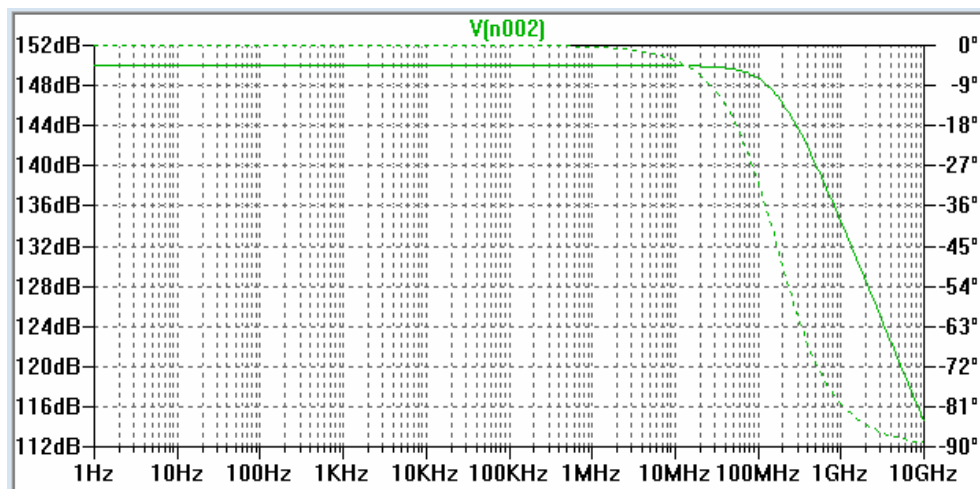


Figura 4.54. Gráfico de Bode da rede SET-WTA-TI com cinco neurônios e interconexões curtas.

Pelo gráfico de Bode, temos a frequência máxima de operação da rede SET-WTA-TI com cinco neurônios e interconexões curtas de aproximadamente 170 MHz.

Agora, simulando a mesma rede com interconexões longas, temos o resultado mostrado na Fig. (4.55).

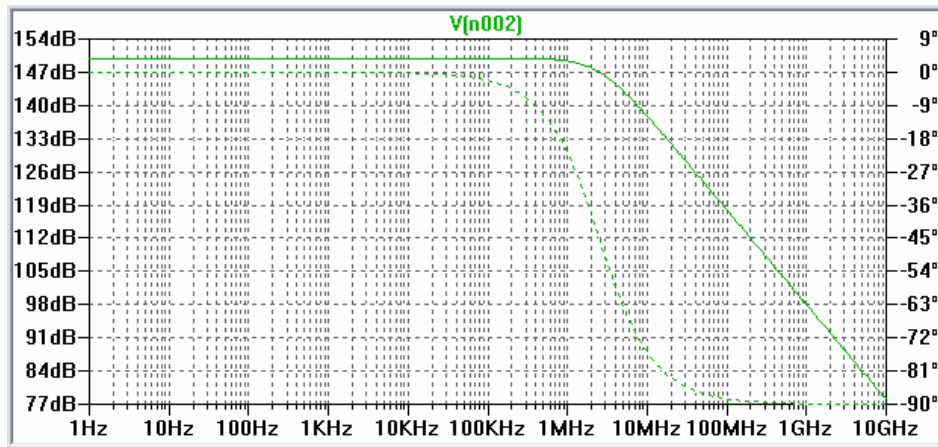


Figura 4.55. Gráfico de Bode da rede SET-WTA-TI com cinco neurônios e interconexões longas.

Segundo o gráfico de Bode obtido, a frequência máxima de operação da rede com interconexões longas é aproximadamente 2,5 MHz.

Os resultados da frequência máxima de operação da rede SET-WTA-TI com cinco neurônios podem ser observados na Tab. (4.7)

Tabela 4.7. Frequência máxima de operação da rede SET-WTA-TI com cinco neurônios.

Rede SET-WTA-TI com cinco neurônios		
Interconexões Ideais	Interconexões Curtas	Interconexões Longas
2,8 GHz	170 MHz	2,5 MHz

Podemos mais uma vez observar o efeito das interconexões no comportamento da rede SET-WTA-TI. Confirmando o que foi visto anteriormente, percebemos uma queda da frequência máxima de operação da rede quando usamos o modelo de interconexão. O efeito é maior para interconexões longas e menor para interconexões curtas.

4.6.5 Rede SET-WTA-IL com quatro neurônios

Terminada a análise das redes SET-WTA-TI, analisaremos as redes SET-WTA-IL agora com interconexões não-ideais, começando pela rede com quatro neurônios.

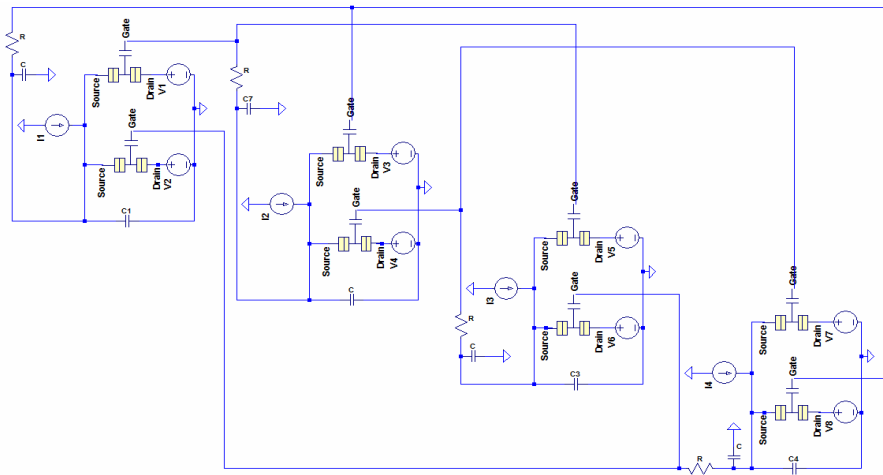


Figura 4.56. Circuito da rede SET-WAT-IL com quatro neurônios e interconexões não-ideais.

Para a simulação da rede com interconexões curtas, obtivemos o seguinte resultado:

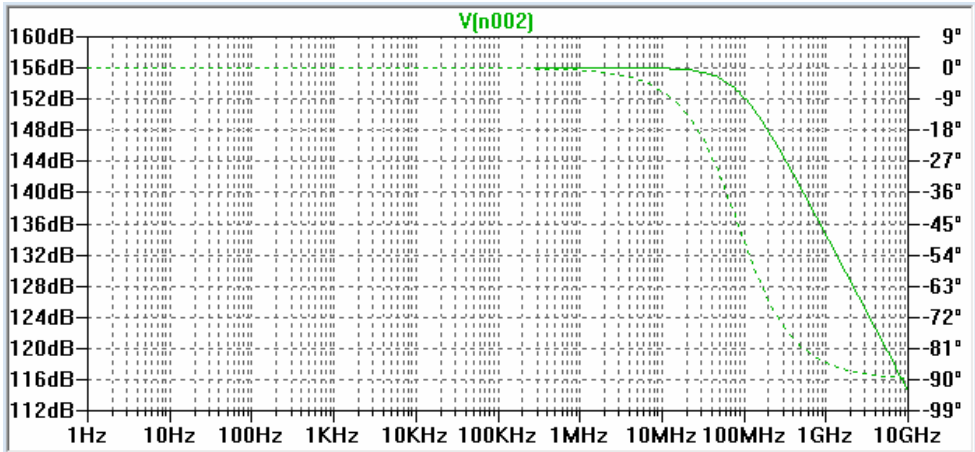


Figura 4.57. Gráfico de Bode da rede SET-WTA-IL com quatro neurônios e interconexões curtas.

Analisando o gráfico de Bode obtido, chegamos a uma frequência máxima de operação da rede SET-WTA-IL com quatro neurônios e interconexões curtas de aproximadamente 90 MHz.

Para a rede simulada com interconexões longas, o resultado pode ser observado na Fig. (4.58).

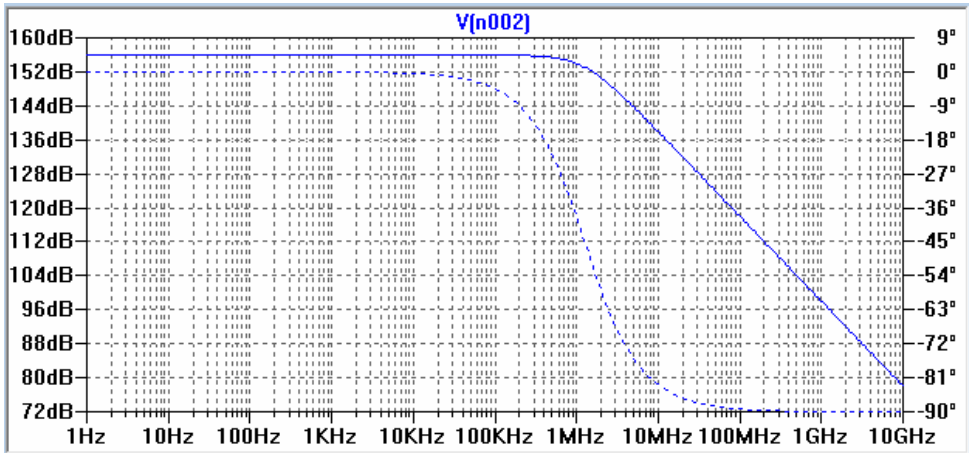


Figura 4.58. Gráfico de Bode da rede SET-WTA-IL com quatro neurônios e interconexões longas.

A frequência máxima de operação da rede com interconexões longas, obtida por meio da análise do gráfico de Bode, é aproximadamente 1,3 MHz.

Tabela 4.8. Frequência máxima de operação da rede SET-WTA-IL com quatro neurônios.

Rede SET-WTA-IL com quatro neurônios		
Interconexões Ideais	Interconexões Curtas	Interconexões Longas
1,4 GHz	90 MHz	1,3 MHz

A partir dos resultados apresentados na Tab. (4.8), podemos observar que o efeito das interconexões sobre o desempenho da rede SET-WTA-IL com quatro neurônios é semelhante ao efeito visto sobre as redes SET-WTA-TI, ou seja, também provoca a diminuição da frequência máxima de operação da

rede, diminuindo sua velocidade. Do mesmo modo, percebemos que as interconexões longas provocam uma maior diminuição da frequência máxima, enquanto que as interconexões curtas influenciam menos, causando uma menor queda da frequência máxima de operação.

4.6.6 Rede SET-WTA-IL com cinco neurônios

A última rede a ser simulada é a rede SET-WTA-IL com cinco neurônios e interconexões não-ideais, essa rede pode ser observada na Fig. (4.59).

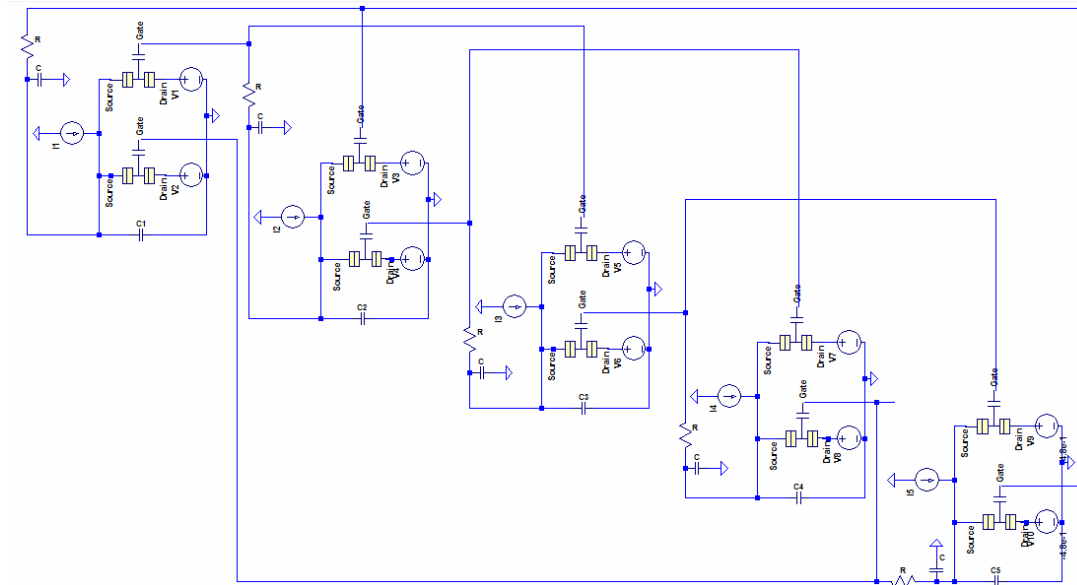


Figura 4.59. Circuito da rede SET-WTA-IL com cinco neurônios e interconexões não-ideais.

A primeira análise a ser feita será a da rede com interconexões curtas. O resultado está apresentado na Fig. (4.60).

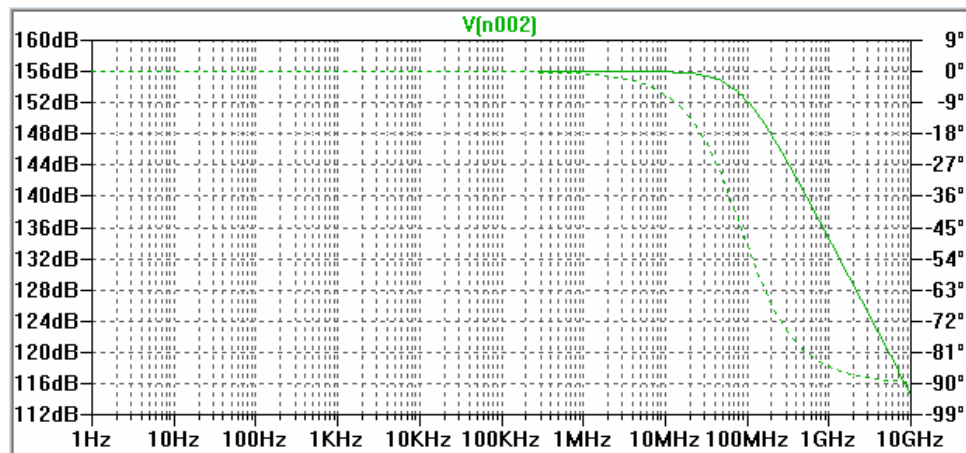


Figura 4.60. Gráfico de Bode da rede SET-WTA-IL com cinco neurônios e interconexões curtas.

Pelo gráfico de Bode, encontramos uma frequência máxima de operação da rede analisada com interconexões curtas de aproximadamente de 90 MHz.

Simulando o circuito para interconexões longas, obtivemos o seguinte resultado.

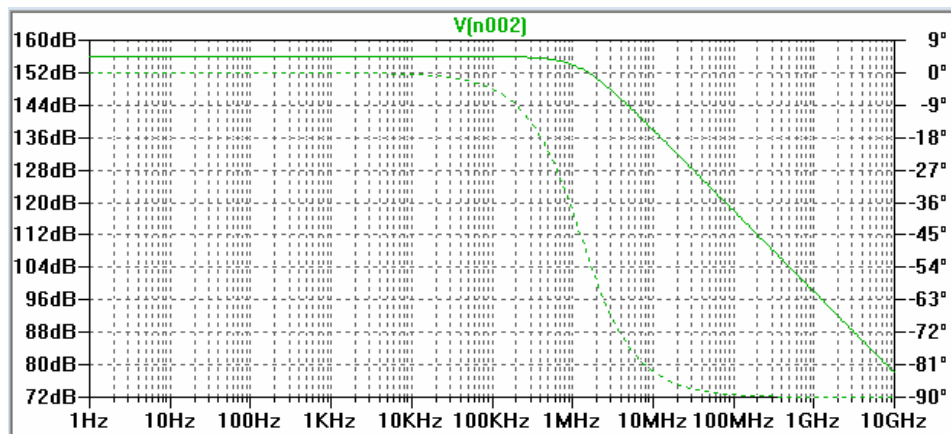


Figura 4.61. Gráfico de Bode da rede SET-WTA-IL com cinco neurônios e interconexões longas.

Analisando o gráfico de Bode, encontramos a frequência máxima de operação da rede SET-WTA-IL, com cinco neurônios e interconexões longas, aproximadamente igual a 1,3 MHz.

Tabela 4.9. Frequência máxima de operação da rede SET-WTA-IL com cinco neurônios.

Rede SET-WTA-IL com cinco neurônios		
Interconexões Ideais	Interconexões Curtas	Interconexões Longas
1,4 GHz	90 MHz	1,3 MHz

Analisando os resultados apresentados na Tab. (4.9), percebemos mais uma vez a influência das interconexões curtas e longas no desempenho da rede SET-WTA-IL, em que as interconexões longas causam maior efeito limitador sobre a frequência máxima de operação da rede e as interconexões curtas causam o mesmo efeito limitador, porém com menor intensidade.

Agora, após finalizarmos a apresentação dos resultados, apresentamos as Tab. (4.10) e (4.11) com o resumo desses resultados obtidos pela análise das redes SET-WTA-TI e redes SET-WTA-IL, para interconexões ideais e para interconexões não-ideais.

Tabela 4.10. Frequência máxima de operação das redes SET-WTA-TI.

Rede SET-WTA-TI			
Número de neurônios	Interconexões Ideais	Interconexões Curtas	Interconexões Longas
2	8 MHz	7 MHz	600 KHz
3	1,4 GHz	50 MHz	800 KHz
4	2 GHz	80 MHz	2 MHz
5	2,8 GHz	170 MHz	2,5 MHz

Analisando os resultados apresentados na Tab. (4.10), notamos uma característica interessante das redes SET-WTA-TI, na medida em que aumentamos o número de neurônios na rede, a sua frequência máxima de operação também é aumentada. Além disso, podemos perceber claramente o efeito das interconexões não-ideais no comportamento da rede, proporcionando a diminuição da sua frequência máxima de operação. Observamos que, de acordo com o esperado, as interconexões curtas causam uma menor diminuição da frequência máxima se comparada ao efeito produzido pelas interconexões longas.

Tabela 4.11. Frequência máxima de operação das redes SET-WTA-IL.

Rede SET-WTA-IL			
Número de neurônios	Interconexões Ideais	Interconexões Curtas	Interconexões Longas
4	1,4 GHz	90 MHz	1,3 MHz
5	1,4 GHz	90 MHz	1,3 MHz

Para as redes SET-WTA-IL analisadas, observamos os mesmos valores de frequência máxima de operação tanto para rede com quatro neurônios quanto para a rede com cinco neurônios. Assim como foi observado para as redes SET-WTA-TI, os efeitos das interconexões curtas e longas são semelhantes, provocando a queda da velocidade de operação da rede. As interconexões longas causaram uma maior queda da velocidade, enquanto as interconexões curtas produziram uma queda menor da frequência de operação da rede.

5 CONCLUSÕES

Seguindo a metodologia adotada e descrita no capítulo 3 deste trabalho, conseguimos alcançar os objetivos definidos no início do mesmo. Visávamos a análise comportamental da rede SET-WTA com interconexões ideais e com interconexões não-ideais para, por meio da comparação desses resultados, realizar a análise dos efeitos do modelo de interconexões, curtas e longas, no desempenho dessa rede.

Como a análise no domínio da frequência não é possível no programa Simon, o primeiro passo realizado de forma satisfatória foi a validação dos resultados obtido no LTSpice, onde seria realizada essa análise de frequência da rede.

Dessa forma, para alcançar os objetivos definidos, passamos pela verificação do comportamento das redes SET-WTA com interconexões ideais que, de fato, foi realizada com sucesso, uma vez que obtivemos o comportamento esperado, a definição da saída vencedora de acordo com o neurônio que recebia a maior corrente no momento. Em seguida, foi possível definir as frequências máximas de operação de cada circuito analisado, por meio da análise do gráfico de Bode desses circuitos. Assim, prosseguimos na análise da rede para interconexões não-ideais, onde analisamos para os casos de interconexões curtas e longas. As simulações foram realizadas com sucesso, de forma a possibilitar a determinação da frequência máxima de operação dos circuitos com interconexões curtas e longas, mais uma vez por meio da análise do gráfico de Bode.

De posse dos resultados da frequência máxima de operação de todos os circuitos simulados, conseguimos verificar com êxito os efeitos das interconexões na velocidade das redes SET-WTA, por meio da análise comparativa do comportamento das redes com interconexões ideais e com interconexões não-ideais. Assim, concluímos que as interconexões influenciaram no desempenho das redes SET-WTA analisadas, diminuindo as suas frequência máximas de operação. Pelo observado, as interconexões curtas influenciaram de forma mais branda, diminuindo menos a frequência máxima, enquanto as interconexões longas tiveram um efeito mais severo, causando uma maior diminuição da frequência máxima de operação das redes.

O comportamento dinâmico das redes SET-WTA se mostrou dependente da arquitetura. A rede SET-WTA-IL apresentou um comportamento dinâmico independente da quantidade de neurônios (Tabela 4.11). Já a rede SET-WTA-TI apresentou uma relação direta entre o número de neurônios da rede e a frequência máxima de operação apesar de requerer muito mais conexões e componentes (vide Tabelas 2.1 e 2.2). Pode-se concluir, a partir dos dados obtidos, que a frequência máxima de operação alcançada pelas redes neurais estudadas depende não só dos valores absolutos de resistência e capacitância do modelo de interconexão, que estão diretamente relacionados ao material empregado para construir fisicamente a interconexão, mas também do modo como estas interconexões não-ideais interagem com o restante do circuito. Ou seja, o desempenho dinâmico da rede dependerá do material utilizado e do tipo de conexão que o circuito necessitar.

Como sugestão para trabalhos futuros, temos:

- Realizar as mesmas análises feitas neste trabalho para a rede de Hamming mono-elétron, com o fim de verificar os efeitos das interconexões no comportamento desta rede. Uma vez que a rede de Hamming é composta por duas camadas, sendo uma delas uma camada WTA;
- Aumentar o número de neurônios da rede SET-WTA para fazer uma análise mais detalhada dos limites de operação.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Carneiro, V. G. A., Guimarães, J. G., Costa, J. C. Interconnection effects on the performance of basic subcircuits with single-electron tunneling devices.
- [2] Goser, K., Pacha, C., Kanstein, A., e Rossman, M. Aspects of systems and circuits for nanoelectronics. *Proceedings of the IEEE*, 85(4):558–573, 1997.
- [3] Grabert, H. e Devoret, M. H., editors. Single Charge Tunneling - Coulomb blockade phenomena in nanostructures, volume 294. NATO ASI series, Series B: Physics, E.U.A., 1991.
- [4] Guimarães, J. G. Arquiteturas de Redes Neurais Nanoeletrônicas para Processadores em Escala Giga ou Tera. *Tese de Doutorado em Engenharia Elétrica*, Brasília, 2005.
- [5] Guimarães, J. G. Nanoeletrônica. Em *8ª SEE – UnB*, 2007
- [6] Snider, G. S., e Williams, R. S., “Nano/CMOS architectures using a field-programmable nanowire interconnect”, *Nanotechnology*, 18(3), 1-11, 2007.
- [7] Srivastava, N., e Banerjee, K., Performance Analysis of Carbon Nanotube Interconnects for VLSI Applications”, *International Conference on Computer-Aided Design IEEE/ACM*, 2005.
- [8] Wasshuber, C., Kosina, H., Selberherr, S. SIMON—a simulator for single-electron tunnel devices and circuits, Em *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 16 (1997) 937–944.

ANEXO

I	Modelos para o ambiente SPICE	51
II	Interconnection effects on the performance of basic subcircuits.....	52

I. Modelos para o ambiente SPICE

Modelo simplificado do transistor SET.

```
.option post
```

```
;.macro SET_2 1 2 3
```

```
.SUBCKT SET_2 1 2 3 PARAMS:
```

```
;.param
```

```
+pi=3.1415926535897932846
```

```
+CF1=60 ;2Co/e
```

```
+CI2=0.2e-9
```

```
+CR1=300e+6
```

```
+CR2=100e+6
```

```
+CVp=0.02
```

```
*V2 5 3 DC CVp
```

```
*V3 7 3 DC '-CVp'
```

```
RG 2 3 100G
```

```
RR1 1 3 R='CR1+CR2*cos(CF1*pi*V(2,3))'
```

```
RR2 1 4 R='CVp/(CI2-2*CVp/(CR1+CR2*cos(CF1*PI*V(2,3))))'
```

```
RR3 1 6 R='CVp/(CI2-2*CVp/(CR1+CR2*cos(CF1*PI*V(2,3))))'
```

```
D1 4 5 DIODE
```

```
D2 7 6 DIODE
```

```
.MODEL DIODE D(N=0.01)
```

```
;.eom
```

```
.ENDS SET_2
```



Interconnection effects on the performance of basic subcircuits with single-electron tunneling devices

V.G.A. Carneiro, J.G. Guimarães^{*}, J.C. da Costa^{*}

Departamento de Engenharia Elétrica, Universidade de Brasília, Campus Universitário, CP 4386, Brasília-DF 70904-970, Brazil

ARTICLE INFO

Article history:

Available online 9 July 2008

PACS:

73.20Dx

71.50+t

71.10+X

71.70Ej

Keywords:

Nanoelectronics

Single-electron transistor

Winner-take-all

Interconnection

Carbon nanotube

ABSTRACT

Interconnection limits seem to be a potential problem to the evolution of the semiconductor industry, especially in the nanoscale. In this work, the electrical performance of basic cells is studied with the help of a simple interconnection model, whose parameters can be changed. Our goal, with this study, is to determine the interconnection's influence upon the circuit behavior and to establish interconnection-related limits for its functionality. An extrapolation to more complex circuit topologies is also discussed. Finally, the implementation possibilities using new interconnection technologies, like carbon nanotubes, are presented.

© 2008 Elsevier B.V. All rights reserved.

1. Introduction

The basic technologies presently adopted by the semiconductor industry for memory and processor fabrication should attain limits imposed by the laws of physics around the year 2010 [1]. Single-electron transistors, like other nanoscale devices, seem to be a promising option for GSI (Giga-scale Integration) or TSI (Tera-scale Integration) implementations in the future.

The development of single-electron circuits, aiming at a GSI/TSI processor, is being carried out [1]. The investigation on these circuits has considered, up to now, the employment of ideal interconnections.

Nevertheless, interconnection limits potentially threaten to decelerate or halt the historical progression of the semiconductor industry [2].

In this work, effects of interconnections in nanoelectronic circuits are evaluated. An equivalent RC circuit model was built based on the material, estimated length and estimated area of the interconnection.

The electrical performance of a single-electron winner-take-all network circuit (SET-WTA) [3] was simulated considering interconnections. Two different simulations were performed using them. One with a typical interconnection length for a single-electron circuit ($L = 100$ nm) and the other with a maximum length ($L = 7.11$ μm) representing a global interconnection. SIMON (Simulation of Nanostructures), a well-known and largely accepted simulator that uses Monte-Carlo method [4].

2. SET-WTA circuit and first simulations

The winner-take-all network circuit, built with single-electron transistors (SET-WTA) [3], is in Fig. 1. Each neuron has a primary current input, which brings the data information to the network, and secondary voltage input units, which come from the neighbour. These secondary connections provide the stimulation or inhibition features.

The negative reinforcement from the winner to its neighbour suppresses its output, increasing the activation of the neuron with a higher primary input current and decreasing the activation of the neuron with a lower primary input current [3].

The first simulations were performed without interconnection concerns. These results can be seen in Fig. 2. As can be observed, the network takes about 40 ns to reach its final values and define its outputs without interconnection concerns.

^{*} Corresponding authors.

E-mail addresses: janaina@ene.unb.br (J.G. Guimarães), camargo@ene.unb.br (J.C. da Costa).

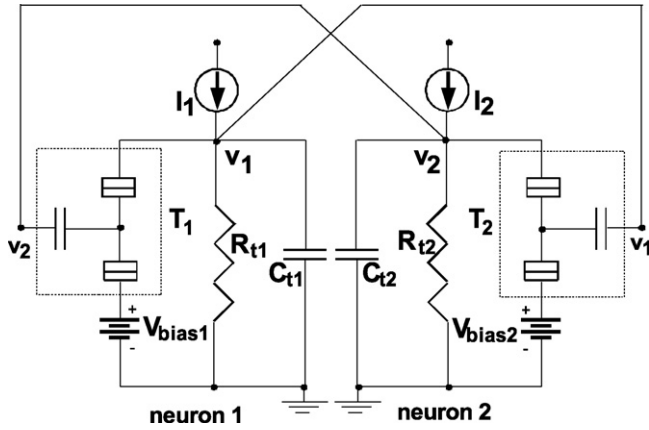


Fig. 1. Two-neuron SET-WTA network with lateral inhibition.

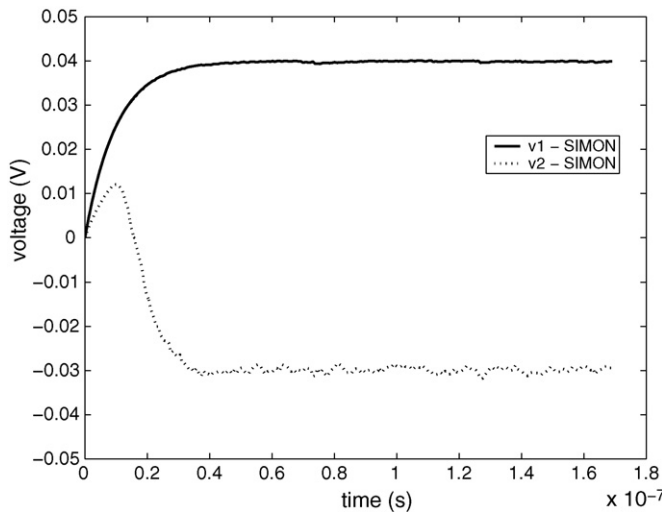


Fig. 2. Outputs v_1 and v_2 of the two-neuron SET-WTA with ideal interconnections for transient simulation in SIMON. The simulation parameters are $I_1 = 4$ nA, $I_2 = 2$ nA, $V_{bias1} = V_{bias2} = -50$ mV, $R_{t1} = R_{t2} = 10$ M Ω , $C_{t1} = C_{t2} = 1$ fF. All tunnel junctions have a 1 M Ω resistance and a 0.1 aF capacitance. Both SETs have a gate capacitance of 1 aF. The operation temperature is 3 K.

3. Interconnection model and results

In a first approximation, we considered the influences of the intrinsic resistivity ρ and the coupling capacitance between

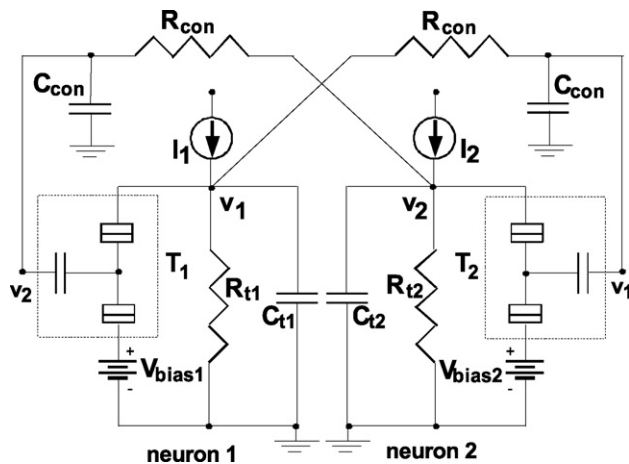


Fig. 3. Two-neuron SET-WTA network with interconnection model.

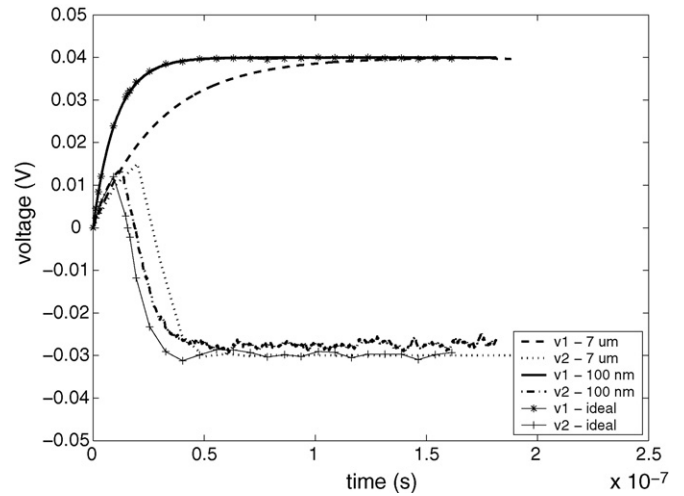


Fig. 4. Outputs v_1 and v_2 of the two-neuron SET-WTA with realistic interconnections for transient simulation in SIMON. The simulation parameters are the same as in Fig. 2.

adjacent wires. Under these considerations, our interconnection model is a simple RC circuit.

Considering that the tunneling resistances inside the SET are very high, the best point to simulate the interconnection influences is between each neuron, especially because in larger WTA networks, the distance between neurons can be larger. So, the entire SET-WTA circuit with interconnection parameters can be modeled like the one in Fig. 3.

From [5], typical values of resistance and capacitance per unit length can be taken for copper (Cu) nanowires with 15 nm of width and a 3 nm thick SiO₂ layer between them.

Also from [5], a maximum nanowire length of 7.11 μ m was assumed, yielding approximately for this configuration a maximum nanowire resistance and capacitance of 2.5 k Ω and 2 fF, respectively.

Besides these typical values for Cu, parameter values for carbon nanotube (CNT) interconnections can be found in literature [6–10]. For the same maximum connection length, it is estimated that $R_{CNT} = 46$ k Ω and $C_{CNT} = 200$ aF.

Using those capacitance and resistance values obtained from the literature, an estimation for a 100 nm interconnect length was calculated.

With these values in mind, the simulation of the circuit of Fig. 3 was performed for two cases. The first one considering a 100 nm interconnect length with the following values for the resistance and capacitance: $R_{con1} = R_{CNT1} \sim 6.45$ k Ω and $C_{con1} = C_{Cu1} = 28$ aF. The second one considering a 7.11 μ m interconnect length with the following values for the resistance and capacitance: $R_{con2} = R_{CNT2} \sim 50$ k Ω and $C_{con2} = C_{Cu2} = 2$ fF. Both results can be seen in Fig. 4.

As can be seen in Fig. 4, for a maximum interconnection length (7.11 μ m) the SET-WTA network takes about 100 ns to reach its final values and define its outputs with interconnection concerns. Otherwise, for a 100 nm interconnect, there are no relevant changes in the simulation results.

4. Conclusion and next studies

The material, length and area of interconnections in single-electron circuits were estimated for developing a simple RC circuit model. A SET-WTA circuit was simulated using this RC model to predict interconnections effects in nanoelectronic circuits.

A well-known single-electron simulator – SIMON – was used. Results showed that long interconnections increased approximately twice the response time of the circuit. This effect is clearly a limit when considering the high speed characteristic of single-electron devices. For overcoming these delaying effects other options, including materials, lengths and areas should be studied and implemented.

Next studies include improvements in simulation and interconnection models, to achieve more accuracy, extrapolation of parameters to achieve interconnection length limits and simulations with association of other basic nanoelectronic subcircuits.

References

- [1] J.C. da Costa, J. Hoekstra, M.J. Goossens, C.J.M. Verhoeven, A.H.M.V. Roermund, J. Analog Integr. Circuits Signal Process. 24 (2000) 59.
- [2] J.A. Davis, R. Venkatesan, A. Kaloyeros, M. Beylansky, S.J. Souri, K. Banerjee, K.C. Saraswat, A. Rahman, R. Reif, J.D. Meindl, Proc. IEEE 89 (2001) 305.
- [3] J.G. Guimarães, H.C. do Carmo, J.C. da Costa, Microelectron. J. 35 (2004) 173.
- [4] C. Wasshuber, H. Kosina, S. Selberherr, IEEE Trans. Comput. Aided Des. Integr. Circuits Syst. 16 (1997) 937.
- [5] G.S. Snider, R.S. Williams, Nanotechnology 18 (2007) 1.
- [6] P.L. McEuen, et al. IEEE Trans. Nanotechnol. 1 (1) (2002) 78.
- [7] P.J. Burke, IEEE Trans. Nanotechnol. 1 (3) (2002) 129.
- [8] S. Datta, Nanotechnology 15 (2004) S433.
- [9] J.-Y. Park, et al. Nano Letters 4 (3) (2004) 517.
- [10] S. Datta, Electronic transport in mesoscopic systems, 1st ed., Cambridge University Press, Cambridge, 1995.