

**TRABALHO DE CONCLUSÃO DE CURSO**

**CÉLULAS PARA UM SISTEMA DE  
COMUNICAÇÃO NANOELETRÔNICO**

**Rafael Andrade Reis de Araújo**

Brasília, dezembro de 2009

**UNIVERSIDADE DE BRASÍLIA**

FACULDADE DE TECNOLOGIA

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

UNIVERSIDADE DE BRASÍLIA

Faculdade de Tecnologia

TRABALHO DE CONCLUSÃO DE CURSO

# CÉLULAS PARA UM SISTEMA DE COMUNICAÇÃO NANOELETRÔNICO

**Rafael Andrade Reis de Araújo**

Relatório submetido como requisito parcial para obtenção

de grau de Engenheiro Eletricista

## **Banca Examinadora**

Profa. Dra. Janaína Golçalves Guimarães, UnB/ ENE  
(Orientador)

Profa. Dra. Artemis Marti Ceschin, UnB/ ENE

Prof. Dr. Alexandre Romariz, UnB/ ENE

---

---

---

## **Dedicatória**

*Dedico este trabalho às pessoas que me incentivaram e me apoiaram para a realização deste sonho: Aos meus pais Hugo e Lucí e familiares por todos os conselhos sensatos e suporte necessário; aos meus amigos e colegas de curso pelo apoio e companheirismo durante os momentos bons e ruins; à minha namorada Cayssa pelo incentivo e por estar sempre ao meu lado. Dedico a todos presentes que contribuíram nessa grande etapa da vida.*

*Rafael Andrade Reis de Araújo*

## **Agradecimentos**

*Agradeço principalmente à prof<sup>a</sup>. Janaína pela orientação, não somente nesse trabalho, mas pelos conselhos e suporte durante grande parte do curso. Seu comprometimento com o seu trabalho é um exemplo a ser seguido. Agradeço também a todos os professores que demonstraram um grande interesse em orientar e ajudar os alunos a se tornarem profissionais melhores, além de serem extremamente competentes na transmissão do conteúdo; Destaco entre eles, por minha experiência pessoal, o Otil Lara, do Instituto de Física, Antônio José Martins Soares, Alexandre Ricardo Soares Romariz, Mauro Moura Severino, Ricardo Zelenovsky, Geovany Araújo Borges e a própria Janaína Gonçalves Guimarães do Departamento de Engenharia Elétrica.*

*Rafael Andrade Reis de Araújo*

---

## RESUMO

O presente texto é resultado da pesquisa baseada em modelagem de dispositivos nanoeletrônicos e validação de circuitos nanoeletrônicos nos softwares SIMON e LTSPICE, para a construção de um sistema de comunicação nanoeletrônico. Após uma introdução teórica acerca de nanoeletrônica, serão apresentados os modelos do transistor mono-elétron para o ambiente SPICE e os circuitos propostos para cada bloco do sistema de comunicação. Serão feitas as análises estática e dinâmica, quando couberem, e a variação dos parâmetros dos circuitos. Em seguida serão feitas ponderações e conclusões sobre os resultados obtidos.

# Sumário

1. INTRODUÇÃO.....	1
1.1. Objetivos .....	2
2. REVISÃO BIBLIOGRÁFICA.....	3
2.1. Nanoeletrônica .....	3
2.2. Ilha .....	3
2.3. Junção-túnel.....	4
2.4. Tunelamento .....	4
2.5. Bloqueio de Coulomb e Carregamento.....	5
2.6. Co-tunelamento.....	6
2.7. Cargas de desvio .....	6
2.8. Transistor monoelétron.....	7
2.9. SIMON .....	8
2.10. LTSPICE .....	8
2.10.1 Modelo A .....	9
2.10.2 Modelo B .....	9
3. METODOLOGIA.....	11
3.1. Modelos.....	11
3.2. Quantizador.....	11
3.3. Modulador .....	12
3.4. Conversor A/D.....	14
4. RESULTADOS E ANÁLISE .....	17
4.1. Modelos.....	17
4.2. Quantizador.....	18
4.3. Modulador .....	22
4.4. Conversor A/D.....	26
5. CONCLUSÕES.....	30
6. REFERÊNCIAS BIBLIOGRÁFICAS.....	31

Apêndice A .....	32
Apêndice A.1 – Modelo B [2] .....	32
Apêndice A.2– Modelo A [3] .....	33

## Lista de Figuras

Figura 1: Sistema de comunicação nanoeletrônico [12].	1
Figura 2 – Esquemático de uma ilha [6].	3
Figura 3 – Níveis de energia na ilha [7]	4
Figura 4 – Junção-túnel [4].	4
Figura 5 – Ilustração do fenômeno de tunelamento [8].	5
Figura 6 – Ilustração do Bloqueio de Coulomb, $V_g$ representa a tensão externa [4].	6
Figura 7 – Exemplificações de co-tunelamento [4].	6
Figura 8 – Esquemático de fabricação de um transistor monoelétron [10].	7
Figura 9 – Transistor monoelétron polarizado.	7
Figura 10 – Característica $I \times V_g$ , do circuito proposta na figura 9 [4].	7
Figura 11 – Tela principal do SIMON.	8
Figura 12 – Tela principal do LTSPICE.	9
Figura 13 – Modelo implementado no LTSPICE.	9
Figura 14 – Circuito equivalente do modelo proposto [2].	10
Figura 15 – Modelo implementado no LTSPICE.	10
Figura 16: Circuito quantizador proposto [12].	11
Figura 17: Quantizador no SIMON.	12
Figura 18: Circuito modulador BPSK [13].	13
Figura 19: (a) Sinal modulante; (b) Portadora; (c) Saída do circuito [13].	13
Figura 20: Esquemático do circuito utilizando o SPICE.	14
Figura 21: Esquemático do circuito conversor A/D. [14].	15
Figura 22: Resultados obtidos pelo autor do artigo. [14]	15
Figura 23: Circuito montado no LTSPICE.	16
Figura 24: $I_{ds} \times V_{ds}$ para os modelos utilizados.	17
Figura 25: Tensão de entrada do circuito	18
Figura 26: Tensão de saída para valor de capacitância de junção e porta igual a 0.01 aF	18
Figura 27: Tensão de saída para valor de capacitância de junção e porta igual a 0.05 aF	19
Figura 28: Tensão de saída para valor de capacitância de junção e porta igual a 0.1 aF	19
Figura 29: Tensão de saída para valor de capacitância de junção e porta igual a 0.15 aF	20

Figura 30: Tensão de saída com variação de carga de desvio de 30% .....	20
Figura 31: Tensão de saída com variação de carga de desvio de 35% .....	21
Figura 32: Tensão de saída com ordem de tunelamento igual a quatro. ....	21
Figura 33: Quantizador implementado com o modelo A.....	22
Figura 34: Sinal modulante do circuito.....	23
Figura 35: Tensão de saída do modulador. ....	23
Figura 36: Sinal modulante do circuito.....	24
Figura 37: Tensão de saída do circuito.....	24
Figura 38: Gráfico de Bode para o circuito modulador. ....	25
Figura 39: Sinal modulante – 300 K.....	26
Figura 40: Tensão de saída – 300 K.....	26
Figura 41: Saídas do conversor A/D, modelo B.....	27
Figura 42: Saídas do conversor A/D, modelo A.....	27
Figura 43: Corrente no transistor monoelétron em função da tensão na porta. ....	28
Figura 44: Corrente no transistor monoelétron em função da tensão na porta, apresentado pelo autor [14]. ....	28
Figura 45: Conversor A/D proposto. [17] .....	29

## **Lista de tabelas**

Tabela 01: Configuração dos parâmetros para temperatura desejada.....	10
Tabela 02: Tabela de conversão A/D. [17].....	29
Tabela 03: Parâmetros do conversor. [17].....	29

# 1. INTRODUÇÃO

Em 1965 o presidente da Intel, Gordon E. Moore fez uma previsão, na qual o poder de processamento dos chips (número de transistores por chip) teria um aumento de 100% a cada período de 18 meses. Esta previsão ficou conhecida como Lei de Moore. De fato, a quantidade de transistores em um único chip cresceu drasticamente com a diminuição das dimensões de um transistor e, no entanto, o desafio foi manter o consumo de energia destes chips na ordem de alguns watts. Como o consumo de um chip depende diretamente do número de elétrons ativos no chip, a solução foi tentar reduzir o número de elétrons ativos em um único transistor, o que se revelou um desafio, pois ao diminuir a quantidade de elétrons em um dispositivo, o mesmo apresenta um comportamento instável, pois flutuações de elétrons ou correntes termiônicas se tornam relativamente grandes. Sendo assim, é preciso utilizar algum método que seja capaz de controlar o fluxo de elétrons discretamente e um dos métodos mais promissores é por meio do entendimento dos efeitos de carregamento em nanoestruturas [1].

A pesquisa na área de nanoeletrônica visa entender todo o comportamento dos elétrons nas nanoestruturas, para que seja possível a integração de dispositivos nanoeletrônicos e que seja atendida uma potencial demanda de circuitos integrados que deverão possuir uma maior densidade de integração. Entre as grandes apostas, está a integração de dispositivos do tipo MOS (*Metal Oxide Semiconductors*) com os transistores monoelétron (*SET – Single Electron Transistor*). A integração dessas duas tecnologias se demonstra promissora, pois suas características se complementam de maneira positiva. O SET possui uma alta densidade de integração e um baixo consumo de potência, porém apresenta uma baixa capacidade de acionamento (*fan-out*), o que pode ser complementado pela alta capacidade de acionamento da tecnologia MOS [3].

Tendo em vista os desafios propostos, a pesquisa consiste na implementação de circuitos que integrem os SETs com os dispositivos convencionais por meio de simulação computacional. Atualmente utilizamos o software SIMON para a simulação dos dispositivos nanoeletrônicos, que é um software consolidado na atual pesquisa na UnB, mas que apresenta diversas limitações para os objetivos pretendidos, entre elas, a incapacidade de integração com dispositivos convencionais como transistores MOS e a incapacidade de análise do comportamento dinâmico dos circuitos. No entanto, o SIMON simula alguns circuitos, e serve como base de comparação para resultados obtidos em outros softwares. O outro software a ser utilizado é o LTSPICE, que é um software com diversas funcionalidades de análise, capacidade para simulação de dispositivos convencionais e que possui o recurso de implementação de modelos para novos componentes, que é o grande atrativo deste software para o que se pretende.

O projeto visa à simulação e validação de blocos de circuitos de um sistema de comunicação nanoeletrônico que opere em temperatura ambiente. Este sistema consiste em um bloco amostrador/quantizador, um bloco conversor analógico-digital e um bloco modulador digital, como mostra a figura abaixo:

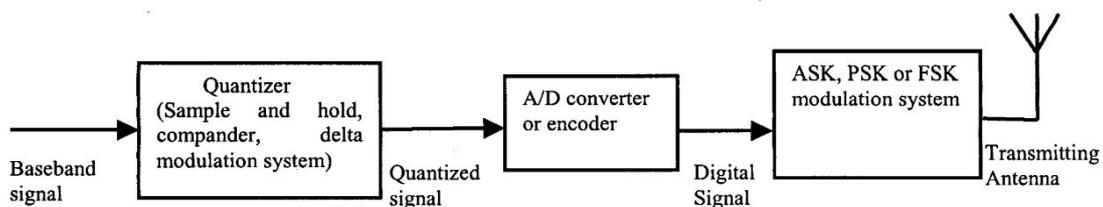


Figura 1: Sistema de comunicação nanoeletrônico [12].

O capítulo 2 apresenta uma revisão bibliográfica envolvendo conceitos importantes relacionados à nanoeletrônica, importantes para o entendimento do trabalho e também apresenta os modelos para o ambiente SPICE.

O capítulo 3 apresenta os circuitos propostos que compõem o sistema de comunicação nanoeletrônico e a metodologia adotada para a execução das simulações dos circuitos.

O capítulo 4 apresenta os resultados e análises.

Finalmente, o capítulo 5 aborda as conclusões obtidas com a execução do trabalho.

## **1.1. Objetivos**

Este trabalho tem como objetivo a validação de circuitos que compõem um sistema de comunicação nanoeletrônico que opere em temperatura ambiente, sendo que esses circuitos podem conter dispositivos convencionais como transistores MOS. Para alcançar esses objetivos iremos utilizar o software SIMON e iremos implementar dois modelos do transistor monoelêtron em ambiente SPICE, sugeridos nos artigos [2] e [3]. A partir daí serão feitas análises estáticas ou dinâmicas, dependendo do ambiente de simulação utilizado.

## 2. REVISÃO BIBLIOGRÁFICA

### 2.1. Nanoeletrônica

Na área de nanoeletrônica, a simples diminuição das dimensões dos dispositivos para a escala nanométrica não faz com que se obtenham as características desejadas para o funcionamento de um circuito. Com a diminuição das dimensões dos dispositivos, alguns efeitos que podiam ser desprezados em uma escala maior passam a ter grande relevância e tornam-se evidentes as propriedades ondulatórias e corpusculares do elétron (Teoria da Dualidade da Matéria). Os comportamentos observados em circuitos nanométricos e características da arquitetura serão abordados abaixo.

### 2.2. Ilha

Trata-se do lugar nos dispositivos nanoeletrônicos, onde o elétron fica confinado, geralmente possuindo dimensões de 10 a 100 nanômetros. A ilha isola-se por meio de duas barreiras de tunelamento, compostas por material isolante onde o elétron precisa vencer um determinado potencial para que possa entrar ou sair da ilha. A principal característica da ilha é que a carga em seu interior varia em  $e$  (carga elementar), indicando a presença de apenas um elétron por vez no seu interior.

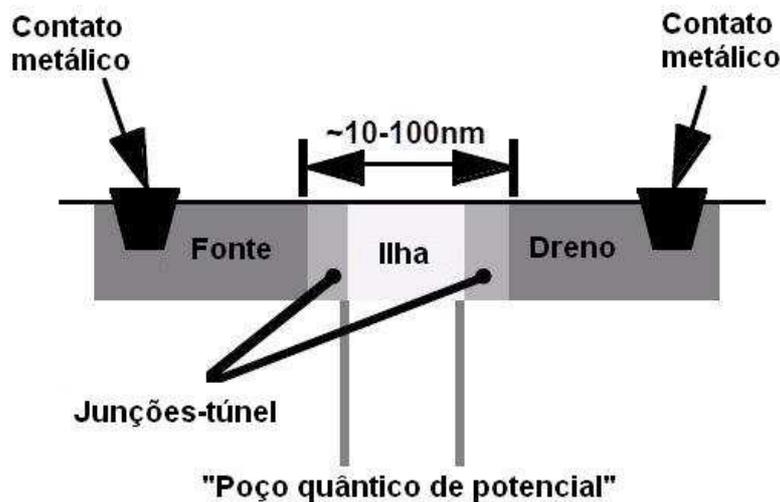


Figura 2 – Esquemático de uma ilha [6]

Ao atravessarem a ilha, os elétrons se depositam no poço quântico, que se encontra entre as barreiras de potencial [4, 6]. Observa-se neste local a presença de níveis de energia quantizados, os quais os elétrons devem possuir para ocupar a ilha, como pode ser visto na figura 3.

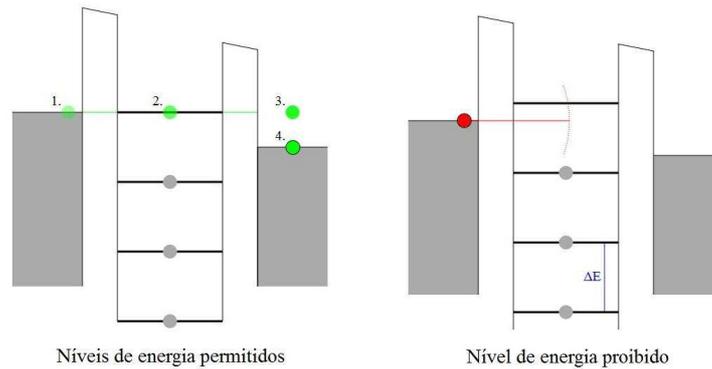


Figura 3 – Níveis de energia na ilha [7]

### 2.3. Junção-túnel

Entre os dispositivos nanoeletrônicos, existe um dispositivo no qual as cargas fluem de maneira discreta. Esse dispositivo é composto por dois eletrodos metálicos separados por um isolante bem fino, o qual os elétrons são capazes de atravessar por meio de tunelamento. Esse dispositivo é conhecido como junção-túnel e é frequentemente utilizado para a formação de uma ilha, compondo as barreiras de tunelamento já citadas.

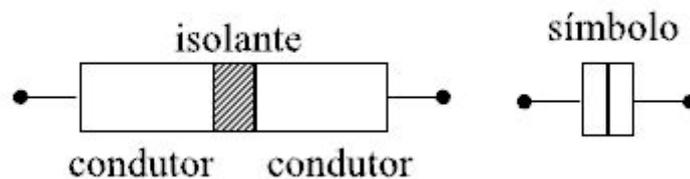


Figura 4 – Junção-túnel [4]

### 2.4. Tunelamento

O fenômeno de tunelamento somente pode ser explicado pela mecânica quântica, pois se trata de um evento onde há uma barreira de energia potencial superior à energia total de uma partícula, onde a mesma consegue transpor essa barreira. Pela mecânica clássica isso resultaria em uma energia cinética negativa, o que seria inviável, porém pela mecânica quântica, o estado quântico das partículas pode ser descrito pela equação de Schrödinger que prevê o comportamento ondulatório das partículas. Segundo a mecânica quântica a partícula continuaria com a mesma energia após o tunelamento, porém sua amplitude quântica diminuiria como pode ser visto na figura 5.

No caso do tunelamento de um elétron, a modelagem teórica mais utilizada é a teoria ortodoxa do tunelamento monoelétrico. Nesta teoria é previsto que as dimensões das ilhas são desprezíveis, o tunelamento ocorre de forma instantânea, a redistribuição de cargas após o tunelamento é instantânea e o espectro de energia em condutores e ilhas é considerado contínuo [4].

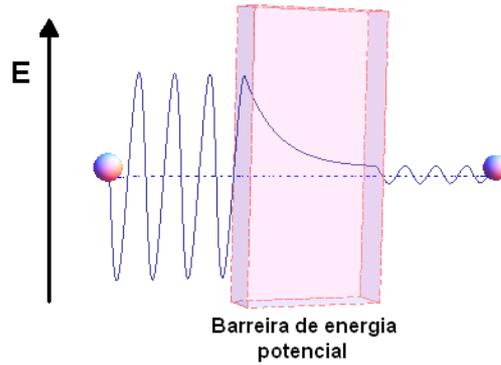


Figura 5 – Ilustração do fenômeno de tunelamento [8].

## 2.5. Bloqueio de Coulomb e Carregamento

O efeito de carregamento é um fenômeno essencial para o funcionamento dos dispositivos nanoeletrônicos. Ele pode ser descrito como a aparição de um potencial consideravelmente alto devido à presença de uma única carga. Isso ocorre, pois nos dispositivos nanoeletrônicos lidamos com capacitâncias muito pequenas da ordem de 1aF. Isso pode ser visto na equação (1).

$$V = \frac{Q}{C} \quad (1)$$

Onde  $V$  representa o potencial em volts[V],  $Q$  representa a carga em coulombs[C] e  $C$ , a capacitância em farads[F].

O efeito de carregamento, nesses dispositivos, é utilizado para controlar a entrada ou saída de elétrons em uma ilha, pois a aparição de um potencial na ilha gera uma força de repulsão que impede a entrada de novos elétrons, a não ser que esse potencial seja diminuído por uma polarização externa. Há duas condições para que o efeito de carregamento possa ser utilizado para o controle de fluxo de elétrons nesses dispositivos:

$$R_T \gg \frac{h}{e^2} \quad (2), \text{ onde } \frac{h}{e^2} \cong 25.8k\Omega$$

$$E_C \gg k_B T \quad (3), \text{ onde } E_C = \frac{e^2}{2C}$$

Onde  $R_T$  é a resistência de uma junção-túnel em ohms [ $\Omega$ ],  $h$  é a constante de Planck,  $e$  é a carga elementar de um elétron em coulombs [C],  $E_C$  é a energia eletrostática,  $k_B$  é a constante Boltzmann e  $T$  é a temperatura em kelvins [K].

Satisfazendo as equações acima, é possível manipular o fluxo de elétrons por meio do Bloqueio de Coulomb. O Bloqueio de Coulomb pode ser observado ao adicionarmos um fonte de polarização externa a uma ilha e, aumentarmos gradualmente essa tensão. Será observado que ocorre a suspensão do fluxo de elétrons até que se atinja uma tensão limiar de valor igual a  $e/C_\Sigma$ , onde  $C_\Sigma$  é o somatório das capacitâncias na ilha. Essa tensão é chamada de tensão de bloqueio de Coulomb ( $V_C$ ) [4, 9].

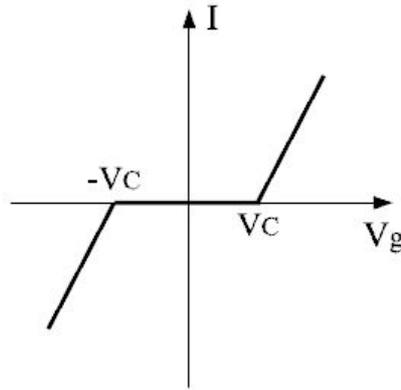


Figura 6 – Ilustração do Bloqueio de Coulomb,  $V_g$  representa a tensão externa [4].

## 2.6. Co-tunelamento

Nos circuitos nanoeletrônicos com mais de uma junção túnel, existe a probabilidade de ocorrer co-tunelamento, que é um fenômeno em que ocorrem tunelamentos simultâneos em junções-túnel distintas, sendo que a ordem de tunelamento pode ser no máximo igual ao número de junções-túnel em um circuito.

O co-tunelamento é considerado fonte de erro para os circuitos nanoeletrônicos, pois nesses circuitos a presença ou ausência de um elétron em um determinado nó, pode comprometer severamente o funcionamento esperado [4, 9].

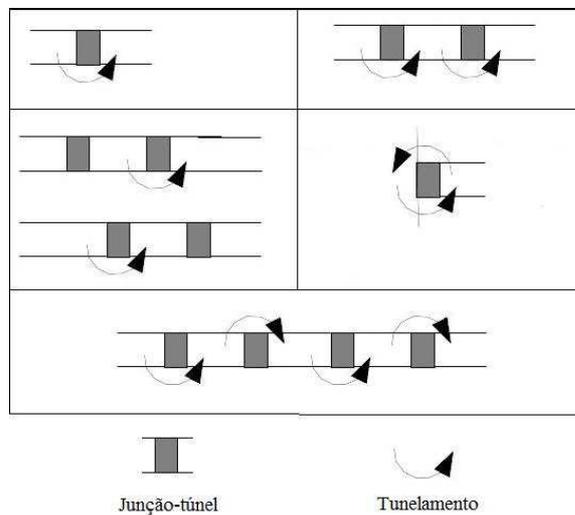


Figura 7 – Exemplificações de co-tunelamento [4].

## 2.7. Cargas de desvio

As cargas de desvios também são fontes de erro para o funcionamento dos circuitos nanoeletrônicos. São cargas indesejáveis presentes no circuito devido a imperfeições na fabricação [4].

## 2.8. Transistor monoelétron

O transistor monoelétron consiste em duas junções-túnel formando a ilha, e uma capacitância  $C_g$  (Capacitância de porta) conectada a ela, na qual é aplicada uma tensão  $V_g$  (Tensão de porta) que irá controlar o potencial na ilha. Dependendo de como é montado o circuito, os contatos ligados às junções-túnel assumem o nome de fonte e dreno.

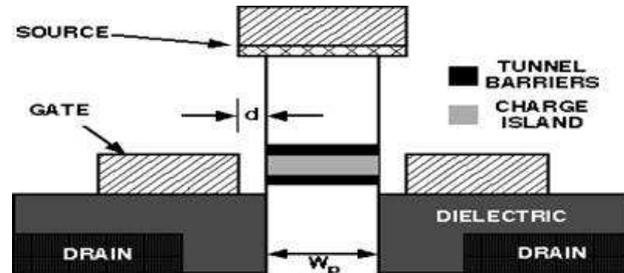


Figura 8 – Esquemático de fabricação de um transistor monoelétron [10].

Se a tensão de polarização  $V_{DS}$  do transistor monoelétron (Figura 9) for mantida constante, é possível variar a tensão de porta e observar as características de corrente em função desta tensão (Figura 10).

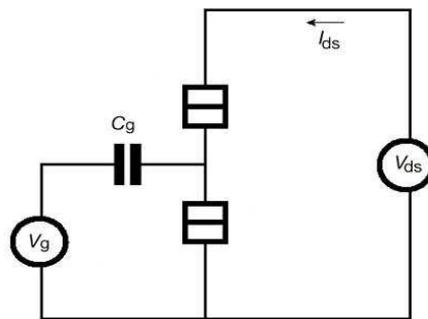


Figura 9 – Transistor monoelétron polarizado.

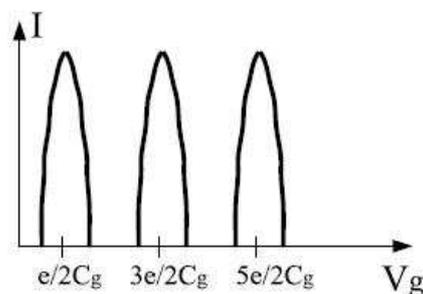


Figura 10 – Característica  $I \times V_g$ , do circuito proposta na figura 9 [4].

Na figura 10, podemos visualizar, mais uma vez, a existência dos níveis quânticos de energia permitidos no interior da ilha, assim como o Bloqueio de Coulomb. Desta forma, só haverá fluxo de elétrons quando a tensão de porta alcançar múltiplos ímpares de  $e/2C_g$ .

## 2.9. SIMON

O simulador mais consolidado nas linhas de pesquisa da UnB, atualmente, é o software SIMON. O SIMON é um simulador de dispositivos e circuitos monoelétron. O software simula a corrente de elétrons em circuitos compostos por junções-túnel, capacitores, resistores, fontes de corrente e tensão ideais. O ambiente também permite a manipulação de parâmetros como temperatura, cargas de desvio, co-tunelamento, número de iterações e ajustes probabilísticos para cálculos utilizando o método probabilístico de Monte Carlo. Infelizmente o SIMON possui várias limitações de simulação como, por exemplo, a impossibilidade de simular dispositivos monoelétron juntamente com dispositivos convencionais como transistores MOS e, também, a impossibilidade de se avaliar o comportamento dinâmico do circuito.

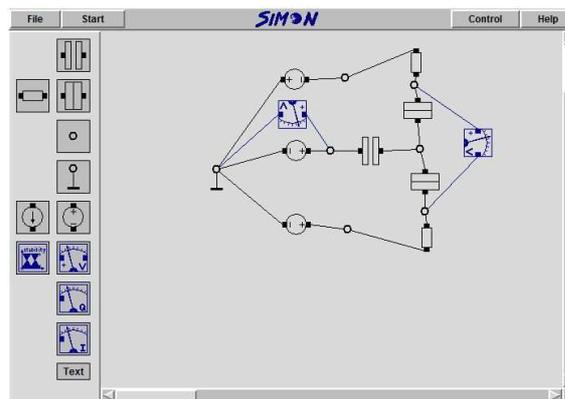


Figura 11 – Tela principal do SIMON.

## 2.10. LTSPICE

O LTSPICE consiste em um simulador de circuitos eletrônicos, orientado à esquemáticos. O software foi baseado no Berkeley SPICE, uma versão antiga de anos atrás, porém apresenta sua estrutura modificada para correção de bugs e melhora de performance. O software é capaz de simular dispositivos de acordo com o padrão industrial, sendo fiel aos seus comportamentos. O LTSPICE possui inúmeros recursos como análise DC, análise AC e análise de transiente, assim como permite a simulação de diversos dispositivos de microeletrônica que estão presentes em suas bibliotecas. Sua principal vantagem, a qual será explorada neste projeto é a possibilidade de elaborar novos esquemáticos baseados em algum modelo eletrônico ou matemático proposto, e incorporar o novo componente à um circuito. Neste projeto serão utilizados dois modelos para o transistor monoelétron, que serão mostrados a seguir [11].

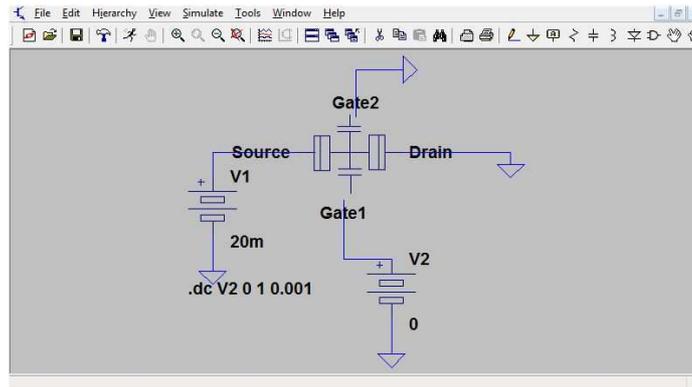


Figura 12 – Tela principal do LTSPICE.

### 2.10.1 Modelo A

O primeiro modelo a ser estudado foi proposto por Lientschnig *et al.*[3] e trata-se de um modelo que utiliza a teoria ortodoxa do tunelamento de um elétron e determina a corrente média que passa pelo monoelétron. O modelo utiliza cálculos probabilísticos utilizando o método de Monte Carlo que dependem da tensão de polarização, da tensão na porta e da temperatura. O autor propõe um modelo em que há duas portas justificando que há diversas aplicações em que a segunda porta pode ser utilizada. Este modelo apresenta modelagens matemáticas complexas, o que determina um longo tempo de simulação. Simulações simples com um único transistor levam em torno de trinta minutos para serem concluídas. Entretanto, a vantagem apresentada por este modelo é a facilidade para ajustar os valores dos parâmetros do circuito. A simulação pode ser feita para quaisquer valores de capacitância de porta, de junção e de resistência-túnel. O código utilizado pelo modelo pode ser visualizado no Apêndice A.2

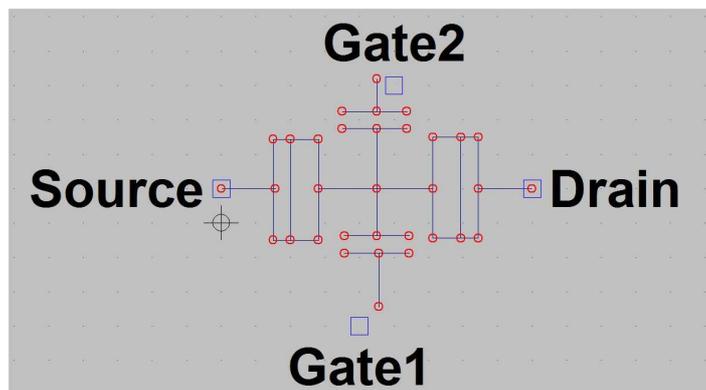


Figura 13 – Modelo implementado no LTSPICE

### 2.10.2 Modelo B

O segundo modelo foi sugerido por Yu *et al.*[2] e trata-se de um modelo compacto para o transistor monoelétron. O autor propõe um modelo por meio de um circuito equivalente que apresenta as mesmas características  $I \times V$  (Corrente versus tensão) que o monoelétron, como pode ser visualizado na figura 14. Este modelo apresenta algumas inconveniências como a

manipulação de parâmetros como temperatura, resistência de junção e capacitância de junção. O código utilizado pelo modelo pode ser visualizado no Apêndice A.1

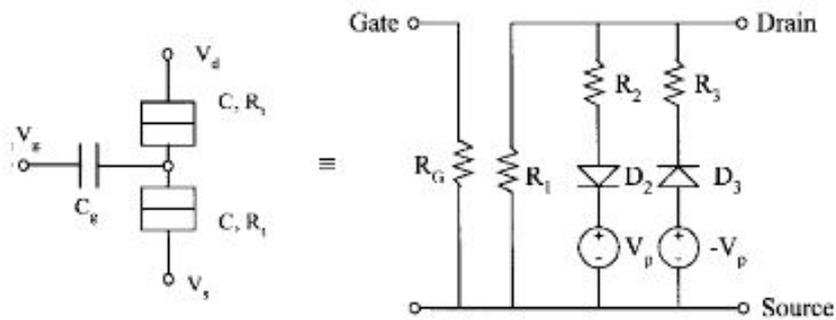


Figura 14 – Circuito equivalente do modelo proposto [2].

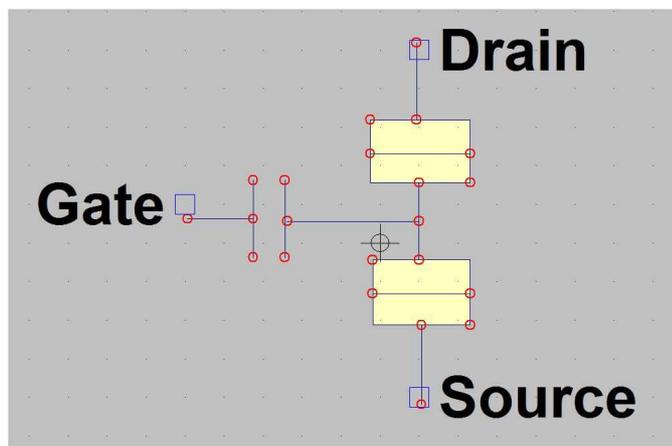


Figura 15 – Modelo implementado no LTSPICE.

O código deste modelo não permite a manipulação direta dos parâmetros. Para variação da temperatura, utilizamos uma tabela proposta no artigo, em que o autor utiliza um valor de resistência-túnel  $R_t = 100 \text{ M}\Omega$ , capacitância de junção  $C_j = 1.6 \text{ aF}$  e capacitância de porta  $C_g = 3.2 \text{ aF}$ .

Tabela 01: Configuração dos parâmetros para temperatura desejada

Temp. / Param.	10 K	30 K	77 K	100 K	300 K
CI2	0.2 n	0.2 n	0.25 n	0.27 n	0.35 n
CR1	1.35 G	300 M	168 M	147.5 M	118 M
CR2	1.15 G	100 M	14 M	4.5 M	0

## 3. METODOLOGIA

Nessa seção iremos abordar os procedimentos e metodologias adotados na realização do projeto. Serão testados circuitos de diversos artigos que apresentam blocos básicos que compõem o sistema de comunicação nanoeletrônico proposto, ou seja, quantizadores, conversores A/D e moduladores (Figura 1). Para a simulação dos circuitos serão utilizados os ambientes de simulação SIMON e LTSPICE, optando pelos melhores resultados e análises. Dependendo do ambiente escolhido para a simulação do circuito, serão feitas as análises de acordo com os recursos do ambiente e quando possível, tentaremos adequar seus parâmetros para validá-los em temperatura ambiente, ou seja, 300 K.

### 3.1. Modelos

Para começar os estudos dos circuitos, primeiro iremos fazer um comparativo dos modelos A e B no LTSPICE com o funcionamento do SIMON. Para isso, em todos os ambientes, utilizaremos um transistor monoelétron com a tensão de porta fixa e iremos analisar as características  $I_{ds} \times V_{ds}$ . O esquemático do circuito pode ser observado na Figura 9.

### 3.2. Quantizador

Mahapatra *et al.*[12] propõe um circuito quantizador construído com apenas dois transistores monoelétron e que não tem necessidade de uma fonte externa, como um *clock*, para determinar a taxa de quantização. Neste circuito, a taxa de quantização pode ser definida pela capacitância de junção e de porta dos transistores, que irá controlar o bloqueio de Coulomb e caracterizar o funcionamento do quantizador.

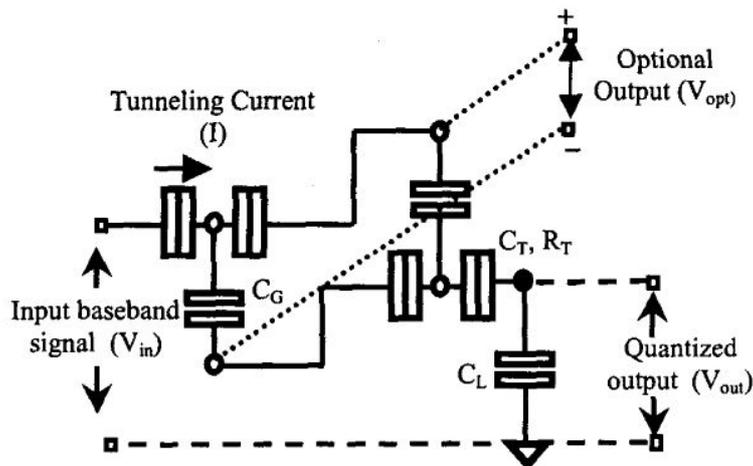


Figura 16: Circuito quantizador proposto [12].

Para simulação do circuito, a primeira iniciativa foi implementá-lo no SIMON, por se tratar de um circuito composto apenas por dois transistores monoelétron e um capacitor de carga.

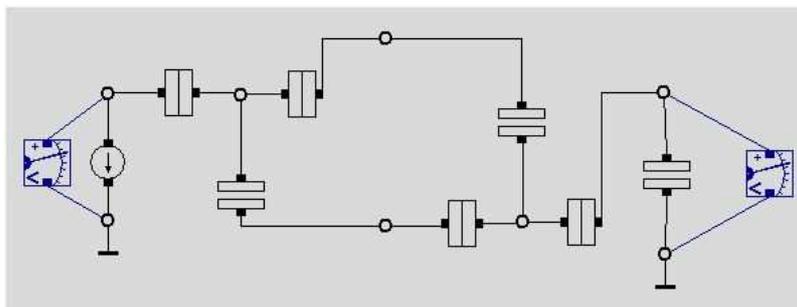


Figura 17: Quantizador no SIMON.

O artigo fornece os parâmetros do circuito para o funcionamento na temperatura de 2 K, mas orienta que a temperatura de funcionamento pode ser aumentada com a diminuição das capacitâncias de porta e de junção.

Para a validação deste circuito, configuramos uma temperatura de 300 K, e variamos os parâmetros até que os resultados fossem satisfatórios e coerentes com os resultados apresentados no artigo. Após encontrar os parâmetros, fizemos uma calibração dos valores das capacitâncias para observar a taxa de quantização, e então, extrair um modelo matemático para a quantidade de níveis de quantização em função da variação do valor nas capacitâncias.

Em seguida foram testadas as influências de imperfeições dos dispositivos no funcionamento do circuito. O SIMON permite simular a presença aleatória de cargas de desvio nos nós do circuito e também permite a simulação de ocorrência de co-tunelamento.

### 3.3. Modulador

O circuito modulador foi proposto por Hwang *et al.*[13] e consiste em um modulador digital de deslocamento de fase BPSK (*Binary phase-shift keying*). Esse sistema de modulação consiste em um deslocamento de fase da portadora de  $180^\circ$  a cada mudança lógica do sinal modulante.

Para implementar o modulador, o autor propõe a utilização de um amplificador simétrico baseado no transistor monoelétron. Nesses amplificadores é possível aplicar duas tensões de polarização e obter um ganho de mesma magnitude, mas com sinais opostos, desta forma podemos polarizar o amplificador com o sinal modulante em que os níveis lógicos serão essas duas tensões de polarização, provocando um deslocamento de fase de  $180^\circ$  na saída.

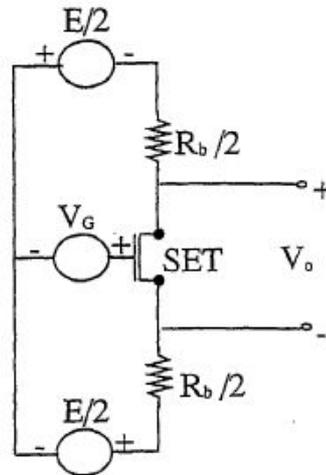


Figura 18: Circuito modulador BPSK [13].

A tensão  $V_G$  ilustrada na figura 18 deve ser composta pelo sinal modulante e pela portadora que são acoplados à porta do transistor monoelétrton por meio de capacitores. Para a simulação do circuito, utilizamos os valores propostos pelo artigo, onde  $E = 80 \text{ mV}$ ,  $R_b = 10 \text{ k}\Omega$  e o sinal modulante possui dois valores:  $e/(4C_G)$  e  $3e/(4C_G)$ . Como escolhemos a capacitância de porta típica de  $1 \text{ aF}$ , o sinal modulante terá os valores de  $40 \text{ mV}$  e  $120 \text{ mV}$ . A temperatura utilizada foi a proposta pelo artigo, de  $77 \text{ K}$ .

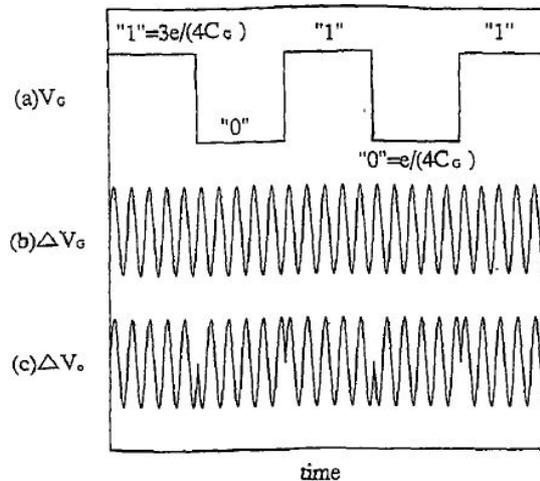


Figura 19: (a) Sinal modulante; (b) Portadora; (c) Saída do circuito [13].

O autor não especifica nenhuma característica da portadora, somente determina que a frequência máxima da portadora seja de  $2 \text{ THz}$ . Serão feitas simulações testando parâmetros como frequência, amplitude e tensão DC da portadora para que seja possível obter o melhor resultado. Em seguida serão feitas análises AC para se observar a resposta em frequência do circuito.

Para a adaptação do circuito para a temperatura de  $300 \text{ K}$ , serão feitos testes aumentando a resistência de junção e diminuindo as capacitâncias para satisfazer a expressão (3). As fontes de tensão também terão seus valores ajustados para manter o mesmo comportamento do fluxo de cargas.

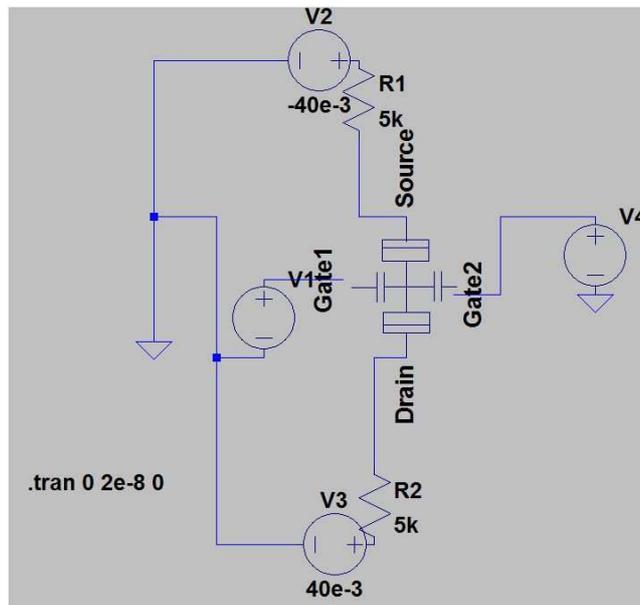


Figura 20:Esquemático do circuito utilizando o SPICE.

### 3.4. Conversor A/D

Para o conversor A/D do sistema, inicialmente adotamos a proposta de Ou *et al.*[14]. Trata-se de um conversor analógico-digital composto por transistores monoelétron e transistores MOS. O circuito é composto por um amostrador, controlado por um sinal externo (*clock*), um divisor de sinal, composto por uma rede de capacitores e as unidades de conversão A/D, compostas por transistores monoelétron, transistores PMOS funcionando como fonte de corrente e transistores NMOS funcionando como carga ativa.

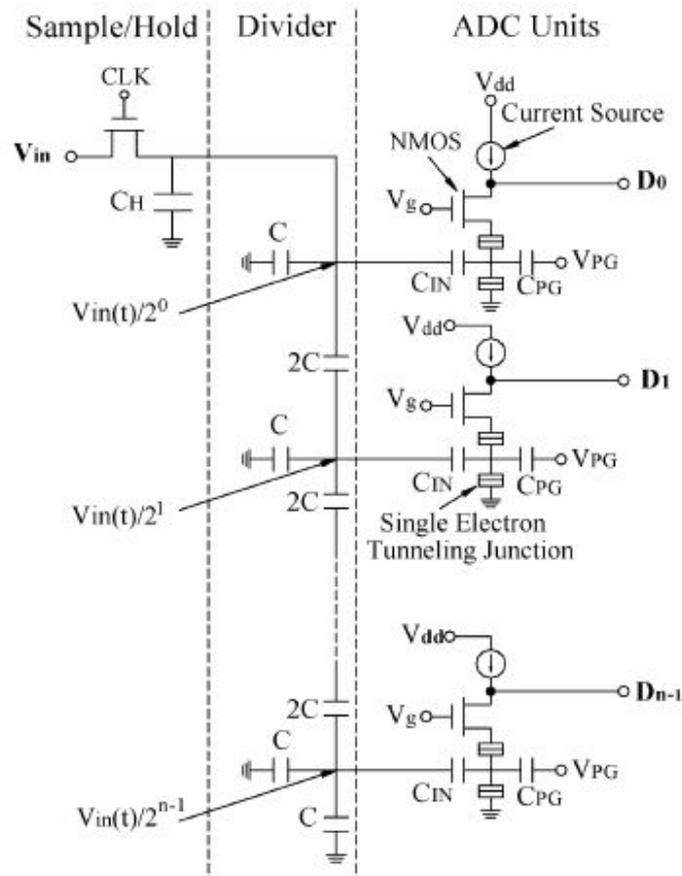


Figura 21: Esquemático do circuito conversor A/D. [14]

Por tratar-se de um circuito com transistores MOS, o ambiente escolhido para as simulações foi LTSPICE. Para a validação deste circuito, tentamos reproduzir os resultados obtidos pelo autor aplicando uma rampa de 2 a 3 volts à temperatura de 300 K.

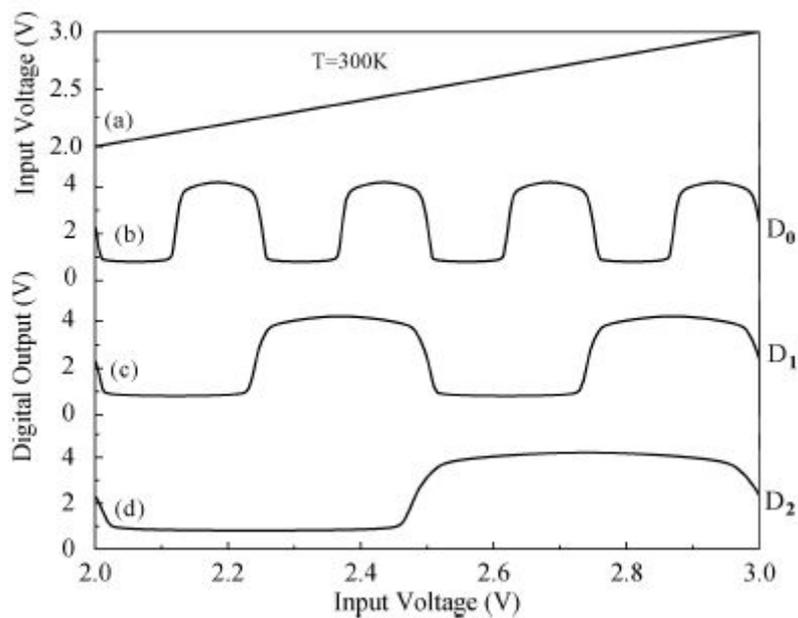


Figura 22: Resultados obtidos pelo autor do artigo. [14]

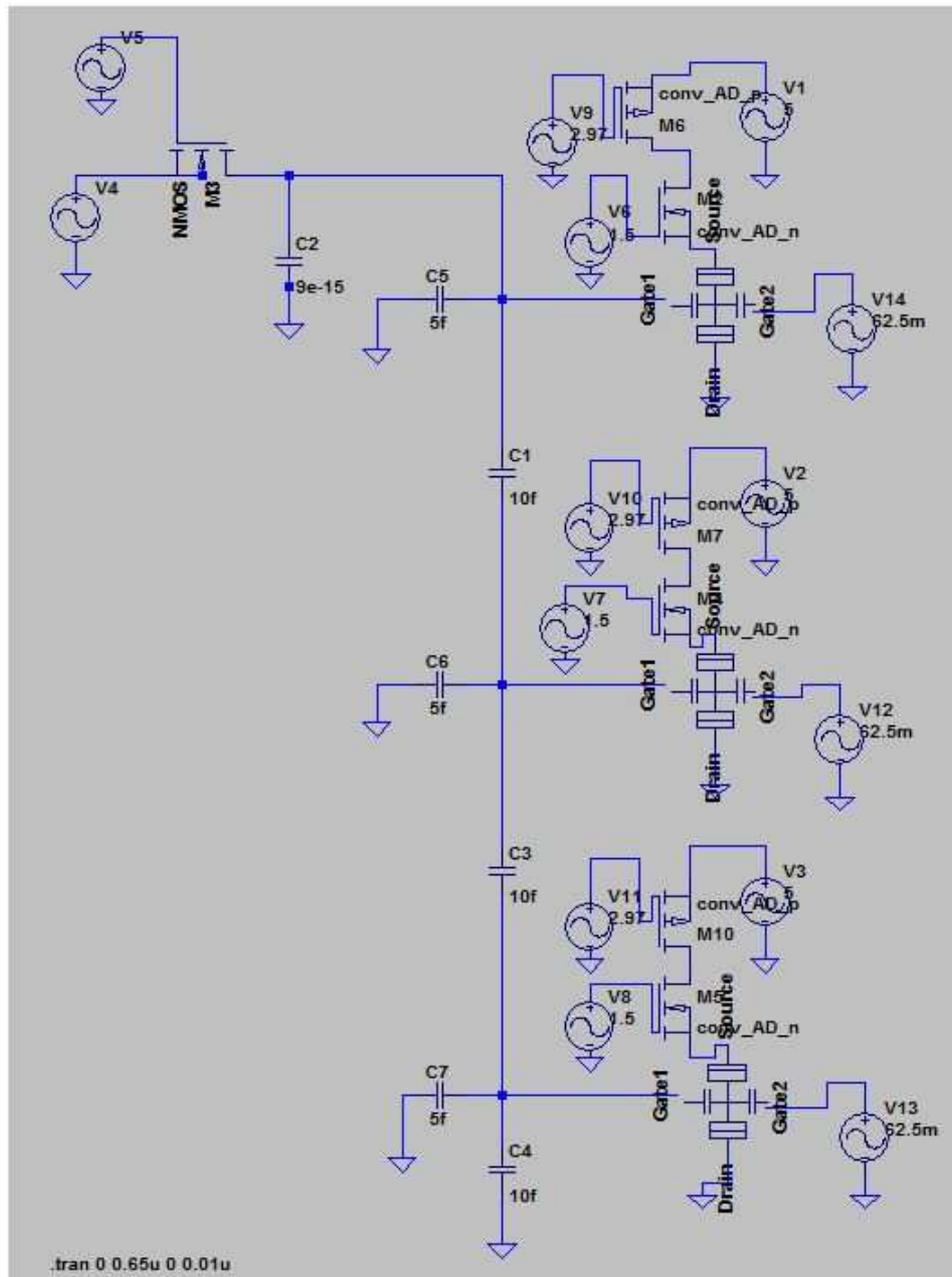


Figura 23: Circuito montado no LTSPICE.

## 4. RESULTADOS E ANÁLISE

Nesta seção serão apresentados os resultados e observações sobre os procedimentos executados descritos no capítulo 3.

### 4.1. Modelos

Para a simulação dos modelos A e B e simulação no SIMON, utilizamos os parâmetros que o autor do artigo [2] propõe para o modelo B, já que não possuímos controle sobre os valores desses parâmetros na implementação do modelo. Os parâmetros utilizados, já citados na seção 2.10.2 são: Resistência-túnel  $R_t = 100 \text{ M}\Omega$ , capacitância de junção  $C_t = 1.6 \text{ aF}$  e capacitância de porta  $C_g = 3.2 \text{ aF}$ . A temperatura escolhida foi 30 K. Para todas as simulações foram utilizadas uma tensão fixa na porta do transistor de valor igual a 50 mV e uma tensão  $V_{ds}$  variando de -40 mV a 40 mV.

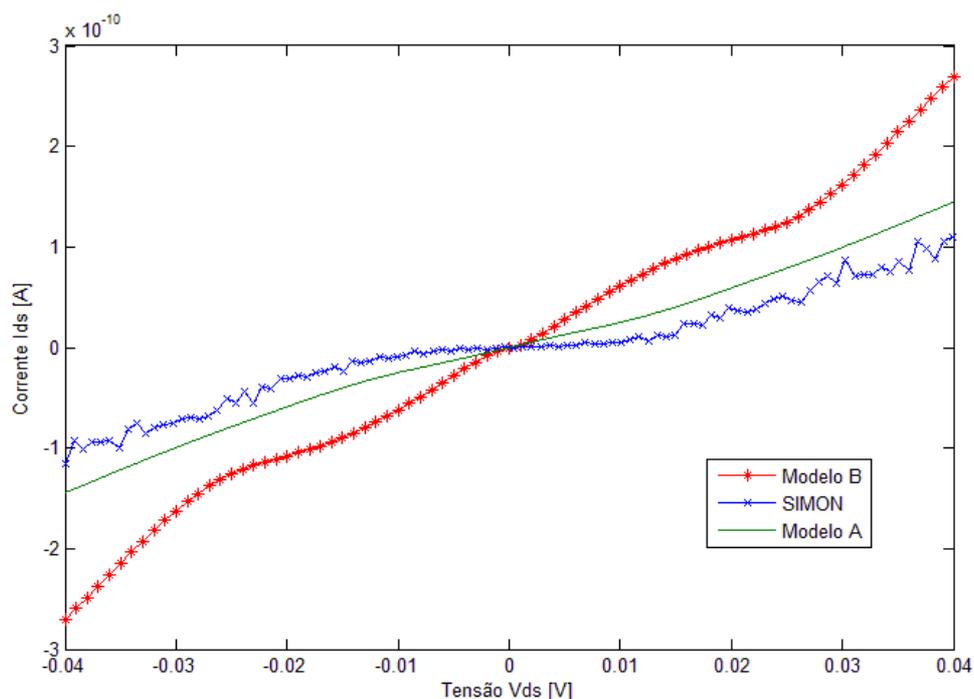


Figura 24:  $I_{ds} \times V_{ds}$  para os modelos utilizados.

Podemos notar pelo gráfico da figura 24 que o modelo A se aproximou bastante dos resultados apresentados pelo SIMON, além de apresentar uma curva mais suave e com pontos mais contínuos, provavelmente por se tratar de uma estimativa média de corrente, como afirma o autor do artigo [3]. O modelo B apresentou resultados mais distantes daqueles apresentados pelo SIMON. Tais resultados podem ser explicados pela falta de um conhecimento mais aprofundado do modelo e pelas limitações para mudanças de parâmetros do transistor.

## 4.2. Quantizador

Após várias simulações do circuito da figura 17, variando os parâmetros do circuito para a temperatura de 300 K, conseguimos resultados satisfatórios com os seguintes parâmetros: Resistência de junção ( $R_T$ ) igual a 100 k $\Omega$ , capacitância de carga ( $C_L$ ) igual a 1 pF e como tensão de entrada uma onda triangular de 0 a 5 V, de frequência igual a 2 kHz (Figura 25).

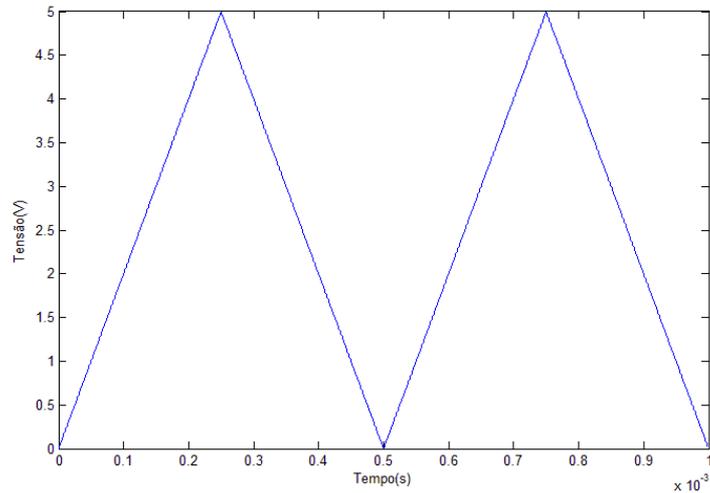


Figura 25: Tensão de entrada do circuito

Fixamos os parâmetros acima e variamos as capacitâncias de junção e de porta dos transistores para observar o número de níveis de quantização. Os resultados para alguns valores estão apresentados nas figuras 26 a 29:

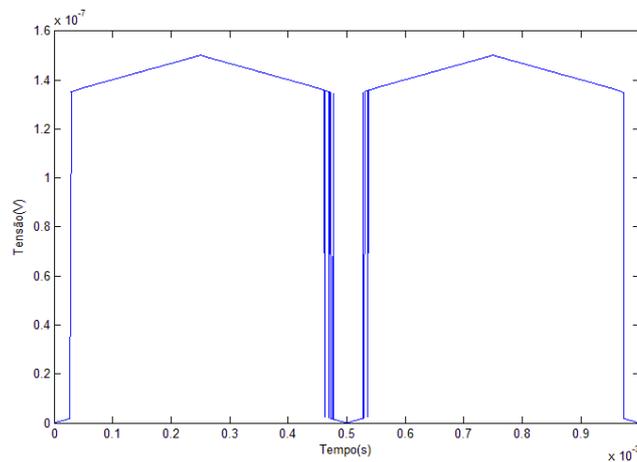


Figura 26: Tensão de saída para valor de capacitância de junção e porta igual a 0.01 aF

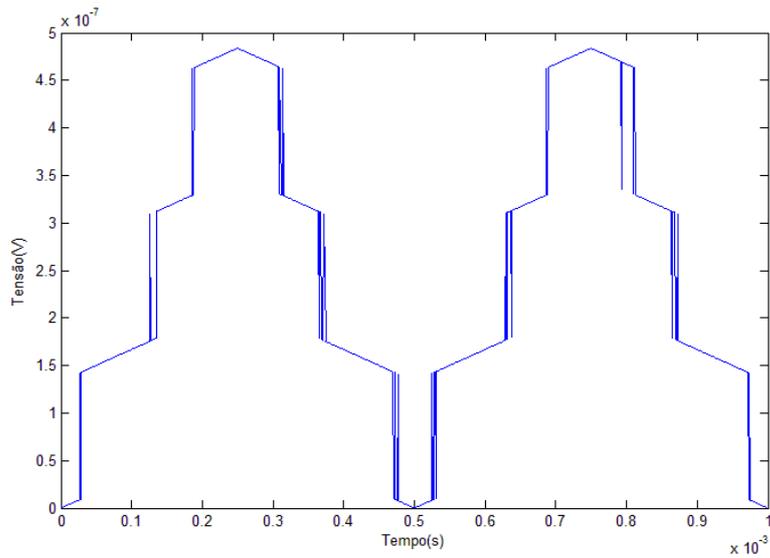


Figura 27: Tensão de saída para valor de capacitância de junção e porta igual a 0.05 aF

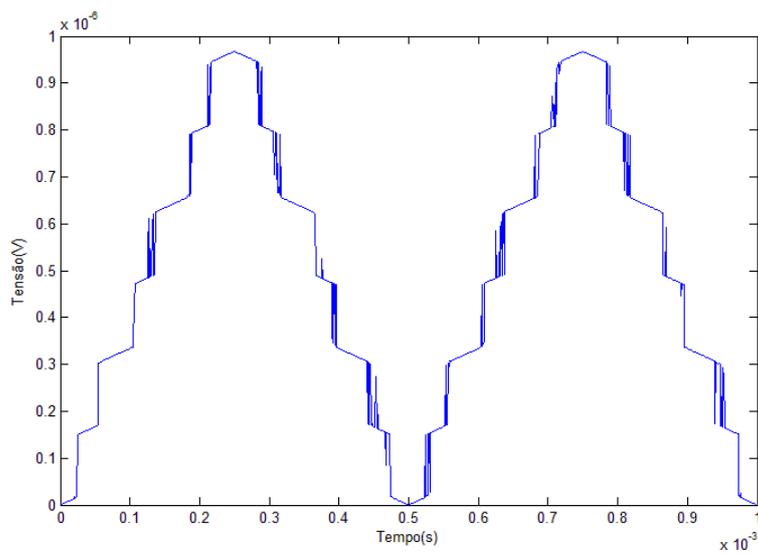


Figura 28: Tensão de saída para valor de capacitância de junção e porta igual a 0.1 aF

Ao aumentarmos mais os valores das capacitâncias, consideramos como um valor limite o valor de 0.1 aF, pois a saída começou a apresentar um comportamento indesejado. Abaixo ilustraremos a saída do circuito (Figura 29) para um valor de capacitância de junção e porta igual a 0.15 aF.

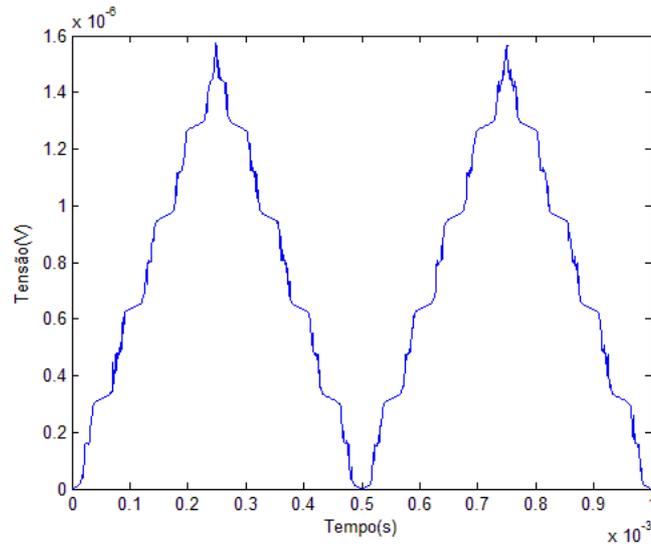


Figura 29: Tensão de saída para valor de capacitância de junção e porta igual a 0.15 aF.

Das figuras 26 a 28, tiramos uma relação matemática para o número de níveis de quantização em função da capacitância de junção e de porta. Essa relação foi obtida por meio de uma regressão linear feita no MATLAB. O número de níveis de quantização são contados no intervalo de meio período da onda triangular, ou seja, em uma subida ou descida da onda.

$$N^{\circ} \text{ de níveis} = 5.9788 \cdot 10^{19} \cdot C + 1.2169 \quad (4)$$

Posteriormente, simulamos a randomização de cargas de desvio nos nós, para avaliar o limite suportado pelo circuito. Para tal experimento, utilizamos o caso em que o valor da capacitância é igual a 0.1 aF, correspondendo à figura 28, e variamos a porcentagem de randomização das cargas de desvio até que o circuito perdesse sua característica de funcionamento. Observamos que a partir de uma variância de 35% nas cargas de desvio (Figura 31), o circuito começou a apresentar resultados insatisfatórios. É preciso ressaltar que, por serem processos aleatórios, o comportamento pode variar consideravelmente de uma simulação para a outra.

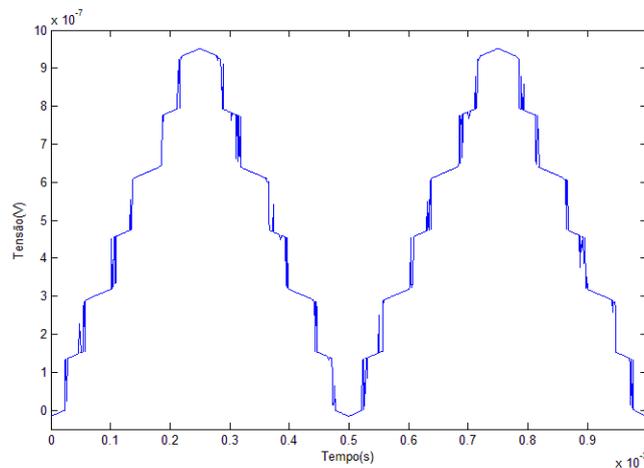


Figura 30: Tensão de saída com variação de carga de desvio de 30%

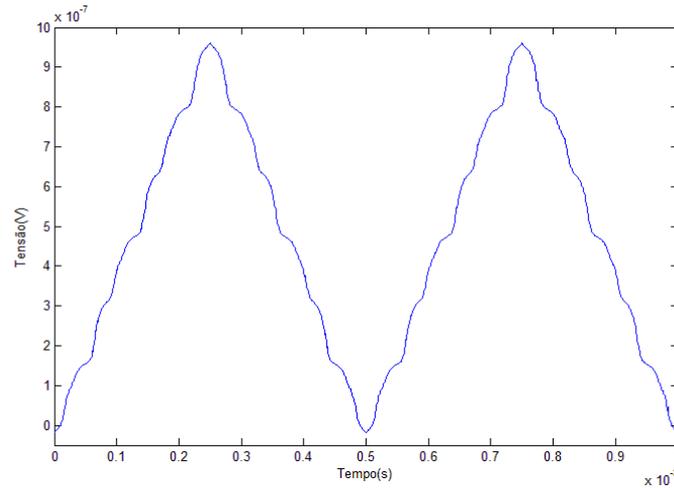


Figura 31: Tensão de saída com variação de carga de desvio de 35%

A seguir foram testados os efeitos de co-tunelamento no funcionamento do circuito. Por se tratar de um circuito de apenas quatro junções-túnel, a maior ordem de tunelamento é igual a quatro. A percentagem de cargas de desvio utilizada foi de 20%.

Ao realizar as simulações, variando a ordem de tunelamento de um a quatro, não foi possível notar alguma alteração perceptível na tensão de saída. A figura 32 ilustra a saída do circuito com ordem de tunelamento igual a quatro. É importante lembrar que, a saída ilustrada na figura 32 parece pior que a ilustrada na figura 30, onde a percentagem de desvio de carga foi de 30%, mas isso ocorre pela natureza aleatória de configuração desse parâmetro, simulando eventuais imperfeições na fabricação.

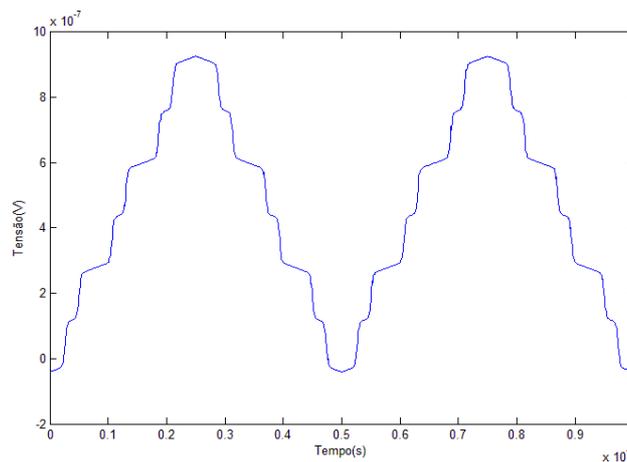


Figura 32: Tensão de saída com ordem de tunelamento igual a quatro.

Ao utilizarmos o modelo A para as simulações, não obtivemos resultados satisfatórios, tivemos que mudar os parâmetros utilizados no SIMON para que fosse apresentado um comportamento semelhante. Os parâmetros utilizados foram: Capacitância de junção  $C_t = 1$  aF, capacitância de porta  $C_g = 1$  aF, Resistência-túnel  $R_t = 1$  G $\Omega$  e temperatura = 4.2 K

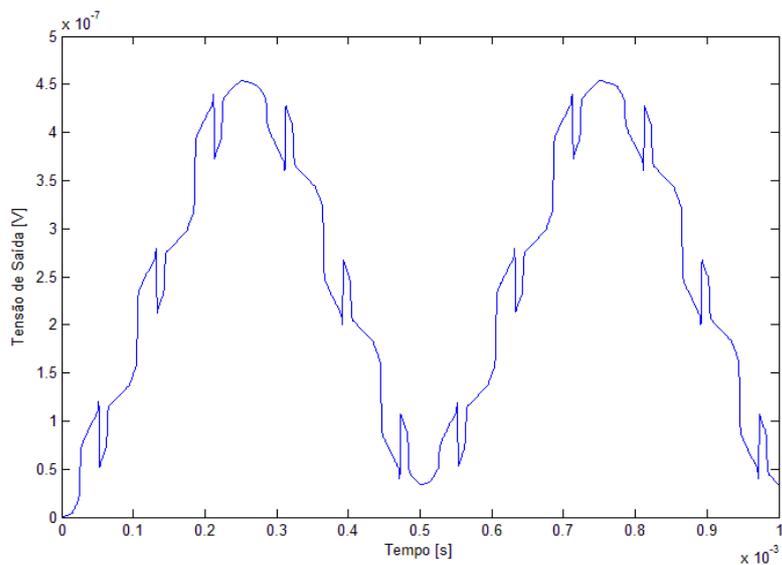


Figura 33: Quantizador implementado com o modelo A.

É importante dar atenção à esse resultado pois pode significar o não funcionamento do circuito na prática. O SIMON apresentou resultados satisfatórios, porém o software não possui recursos para análises dinâmicas, como possui o LTSPICE.

### 4.3. Modulador

Ao simular o circuito no SIMON, não obtivemos resultados muito satisfatórios, pois a tensão de saída se mostrou ruidosa e instável, porém foi possível notar a mudança de fase no sinal quando há a mudança no sinal modulante.

Utilizando o modelo A no LTSPICE, foram obtidos resultados mais compatíveis com os apresentados no artigo. Primeiramente utilizamos uma portadora de frequência de 10 GHz, 1 mV de amplitude e sem valor DC de tensão, obtivemos os seguintes resultados:

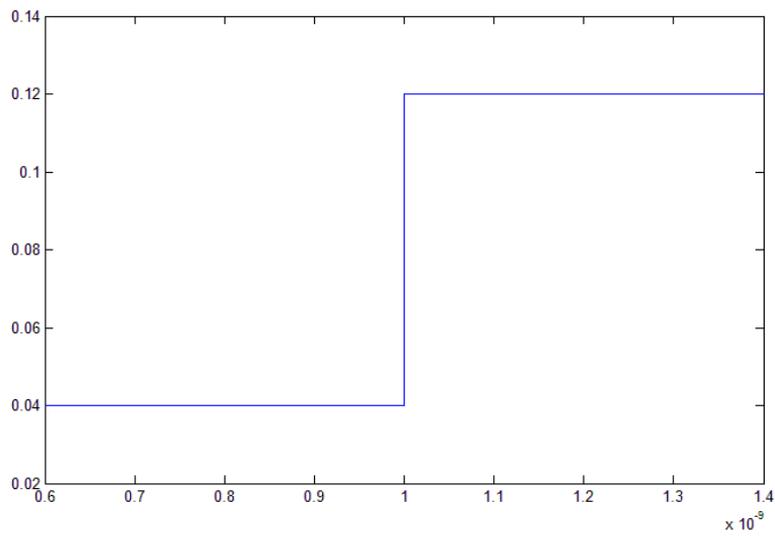


Figura 34: Sinal modulante do circuito.

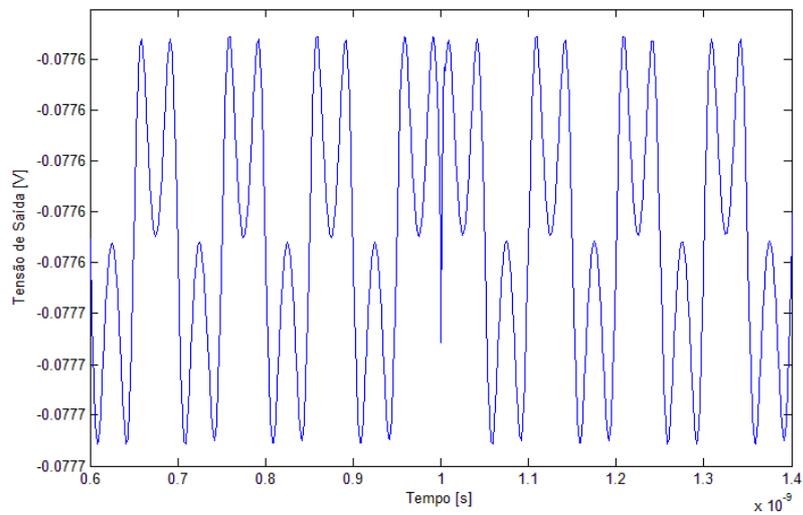


Figura 35: Tensão de saída do modulador.

Os resultados (Figura 35) mostram que há a mudança de fase, porém, o sinal de saída não se apresenta como uma senóide como o esperado. Após várias tentativas, variando os parâmetros da portadora, obtivemos um resultado bem mais satisfatório. Foi utilizada uma portadora de frequência de 10 GHz, 10 mV de amplitude e 80 mV de *offset* DC:

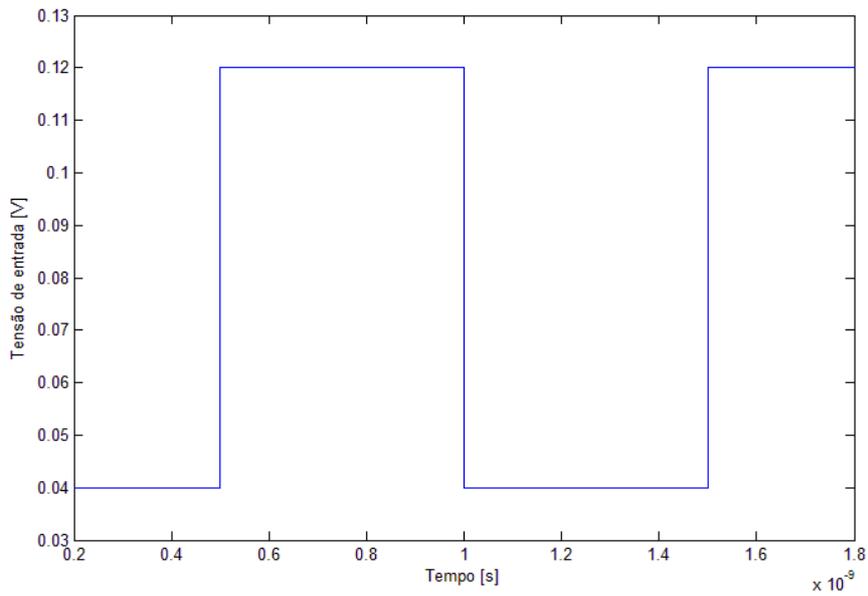


Figura 36: Sinal modulante do circuito.

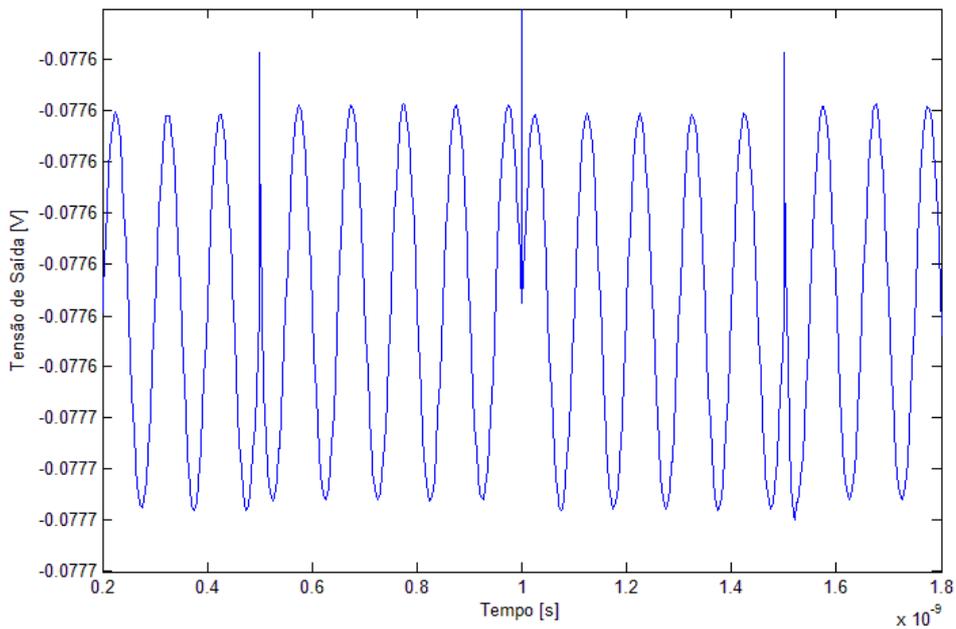


Figura 37: Tensão de saída do circuito.

Desta vez, a saída apresentou um aspecto bem mais razoável (Figura 37) e é possível notar a mudança de fase da senóide na saída a cada mudança de estado lógico do sinal modulante.

Foi feita também uma análise AC do circuito para testar sua resposta em frequência:

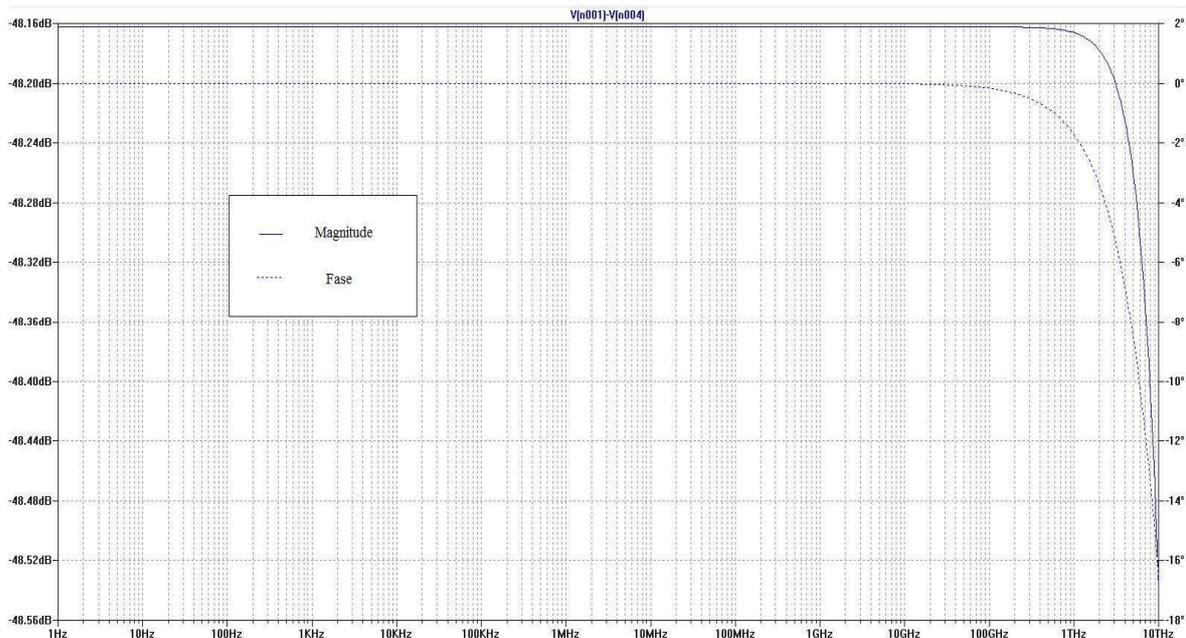


Figura 38: Gráfico de Bode para o circuito modulador.

O gráfico acima (Figura 38) foi obtido com uma temperatura de 300 K. Apresentaremos somente este resultado, pois concluímos que a variação de temperatura não influencia na resposta em frequência do circuito. Podemos ver pelo gráfico que o ganho do circuito começa a sofrer atenuação na frequência de, aproximadamente, 2 THz, que foi justamente a frequência que o autor considerou como sendo máxima para o funcionamento ideal do circuito. Nesta frequência também é possível observar que há um deslocamento de fase de, aproximadamente,  $4^\circ$ .

Para uma temperatura de 300 K, tivemos que ajustar os parâmetros do circuito, até que obtivéssemos uma saída de tensão satisfatória, como já tínhamos feito para a temperatura de 77 K. Utilizamos  $E = 0.8 \text{ V}$ ,  $R_b = 100 \text{ k}\Omega$  (Figura 18), um sinal modulante com níveis de 0.4 V e 1.2 V (Figura 39), portadora com 0.25 V de amplitude, 10 GHz de frequência e 0.8 V de tensão DC. Para o transistor monoelétron foram utilizadas capacitâncias de porta e de junção igual a 0.1 aF e resistências de junção igual a 1 M $\Omega$ .

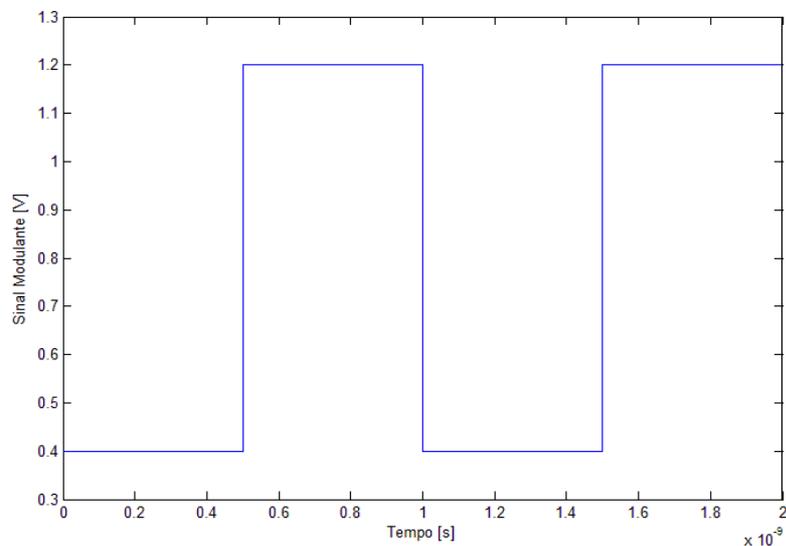


Figura 39: Sinal modulante – 300 K.

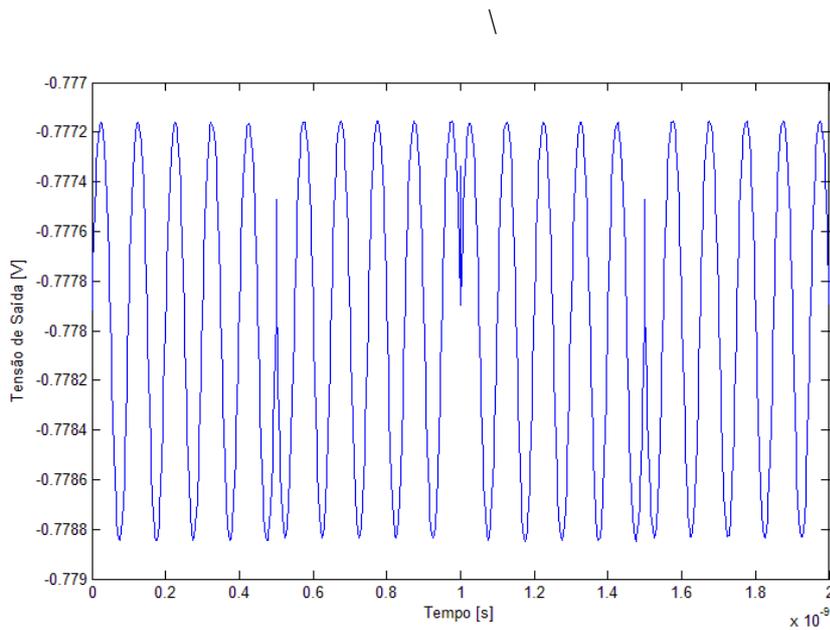


Figura 40: Tensão de saída – 300 K.

É possível perceber que a 300 K obtivemos um resultado ainda melhor que a 77 K, pois a tensão de saída apresentou-se mais estável e com uma amplitude maior (Figura 40).

Foi montado o circuito modulador no SIMON, porém, não foi possível obter resultados satisfatórios, talvez por limitações numéricas do software. Ao analisar a saída do circuito foi possível observar apenas ruído.

#### 4.4. Conversor A/D

Para a simulação do conversor A/D utilizamos, primeiramente, o modelo B, pois o autor fornecia os parâmetros baseado neste modelo. O autor fornece os parâmetros para a seguinte configuração do transistor monoelétron: Capacitância de porta igual a 0.64 aF, capacitância de junção igual 0.16 aF, resistência de junção igual a 1 M $\Omega$  e temperatura igual a 300 K. Os parâmetros para o modelo B são:  $CI2 = 1.1e-7$ ,  $CR1 = 5.7e+6$ ,  $CR2 = 1.8e+6$ ,  $CVp = 0.18$  e  $CF1 = 8$ . (ver apêndice A.1).

Com relação aos parâmetros do circuito (figura 21), utilizamos também os valores utilizados pelo autor:  $V_{dd} = 5$  V e  $C = 5$  fF. Para os transistores MOS, foram criados novos modelos de transistor no LTSPICE que tivessem as mesmas características do artigo:  $W/L_{PMOS} = 0.5/0.9$ , com tensão de porta igual a 2,97 V e corrente de saída igual a 35 nA e  $W/L_{NMOS} = 1.0/5.1$ , com tensão de porta igual a 1.5 V. Para  $C_H$  utilizamos o valor de 9 fF e para o *clock*, uma onda quadrada de frequência igual 50 MHz, para otimizar os resultados. Não foi utilizada a tensão  $V_{PG}$ , pois o modelo B representa um transistor monoelétron de apenas uma porta, porém de acordo com o autor, a utilização dessa tensão serve para deslocar as saídas do circuito em fase, o que não irá afetar a análise do funcionamento do circuito.

Infelizmente os resultados não foram satisfatórios comparados com os resultados do autor, porém é possível observar as características dos bits na saída do circuito:

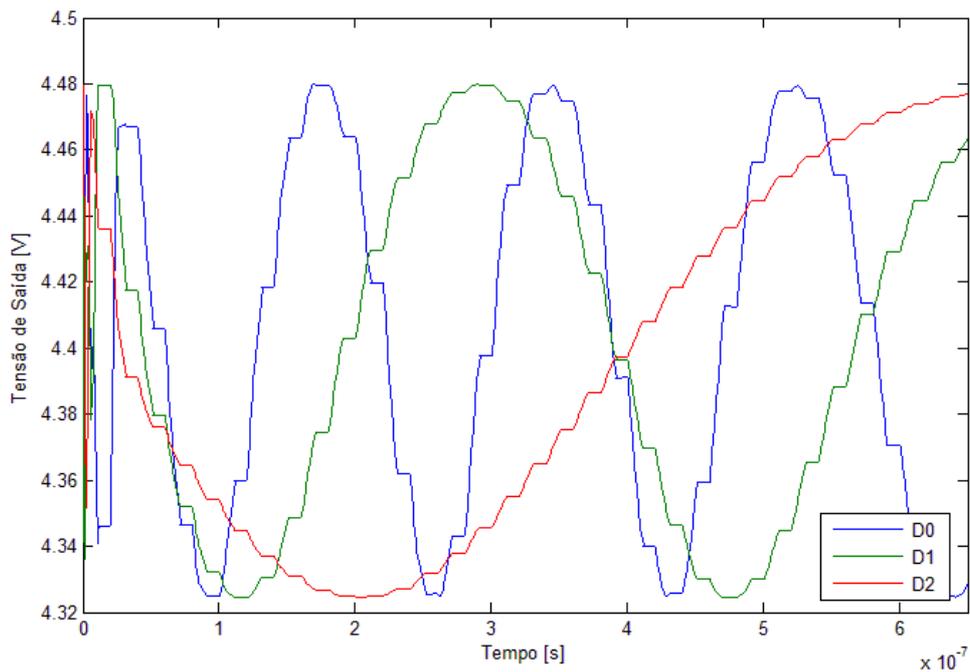


Figura 41: Saídas do conversor A/D, modelo B.

Como não foram resultados muito satisfatórios (Figura 41), foi decidido implementar o conversor com o modelo A. Configuramos todos os parâmetros do modelo de acordo com o proposto pelo autor (Capacitância de porta e de junção, resistência de junção e temperatura) e mantivemos os outros parâmetros do circuito utilizados com o modelo B.

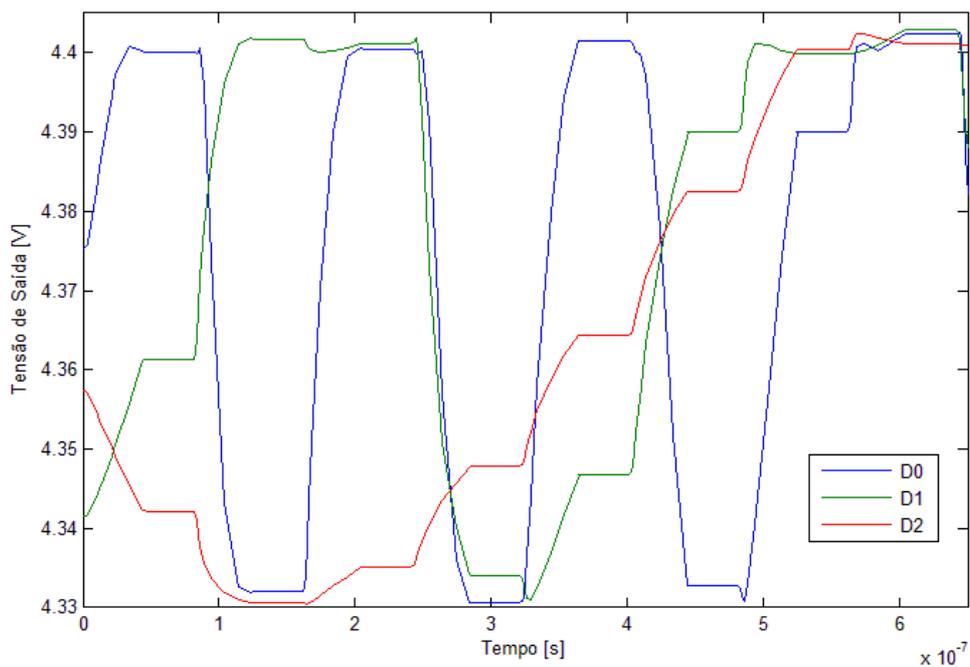


Figura 42: Saídas do conversor A/D, modelo A.

É possível notar, pela figura 42, que as saídas apresentaram um formato “menos senoidal” e, portanto, mais satisfatórias, porém ainda tratam-se de resultados distantes daqueles apresentados pelo autor.

Foi verificado separadamente, que ao submeter um transistor monoelétron com as configurações propostas pelo autor, a uma tensão de porta variando de 2 a 3 V (tensão de entrada proposta pelo autor), observamos a ocorrência de quatro picos de corrente, exatamente a quantidade de vezes que o bit D0 assume o nível lógico “1”. Presume-se que o circuito amostra valores de vale e valores de pico de corrente, e quando a tensão é dividida na rede de capacitores, a quantidade de vales e picos para o intervalo de tensão, também cai pela metade (Como pode ser visto nas saídas D1 e D2). A partir desse raciocínio, uma das possíveis explicações para o mal funcionamento do circuito é o fato de que nos modelos simulados,  $T_{on}$  é diferente de  $T_{off}$  (Figura 43), um pouco diferente do que o autor mostra (Figura 44), e portanto, quando o sinal de entrada é dividido na rede capacitores, o ponto amostrado, pode não cair exatamente em um ponto de corrente máxima, ou um ponto de corrente mínima. Daí temos que o sinal de saída assume vários valores ao invés de apenas dois.

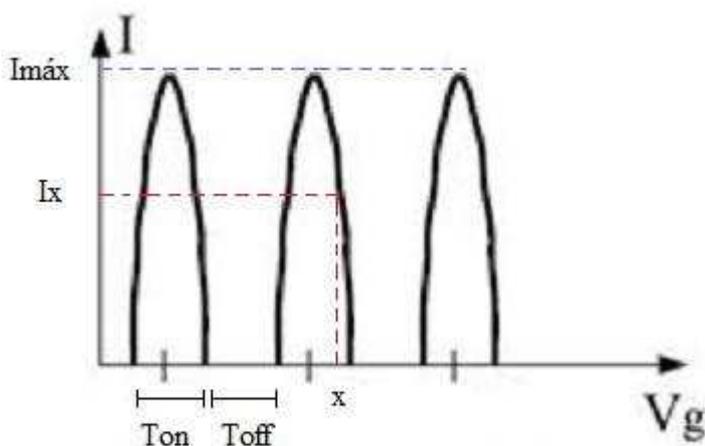


Figura 43: Corrente no transistor monoelétron em função da tensão na porta.

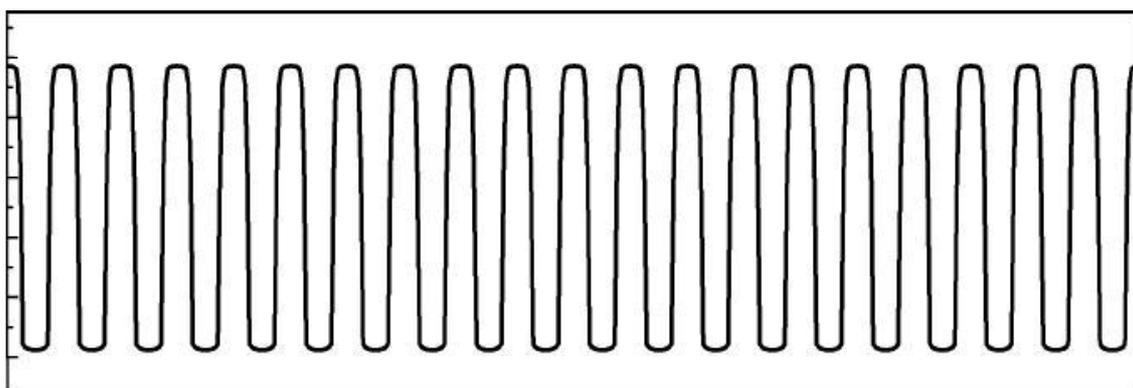


Figura 44: Corrente no transistor monoelétron em função da tensão na porta, apresentado pelo autor [14].

Como não foi possível obter resultados muito satisfatórios para o conversor A/D, sugerimos a utilização do conversor A/D proposto pelos artigos [16, 17].

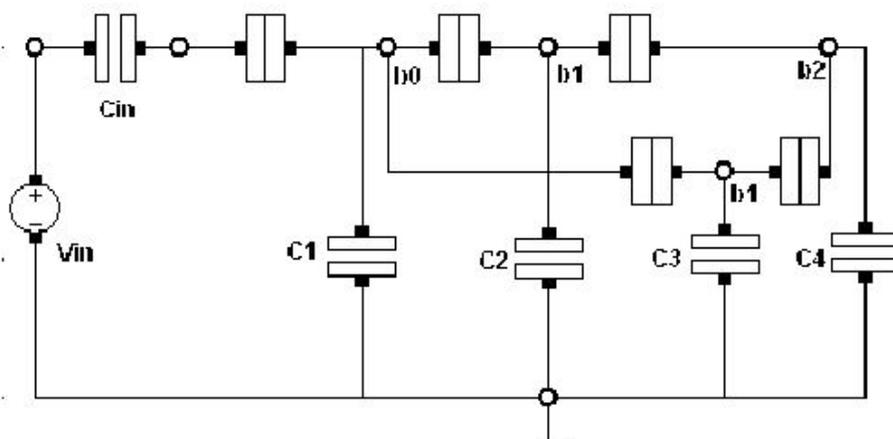


Figura 45: Conversor A/D proposto. [17]

Trata-se de um circuito sem dispositivos do tipo MOS, e que já foi avaliado e testado por membros do laboratório da UnB. Este circuito possui suas saídas onde estão indicados b0, b1 e b2 na figura 44 e essas saídas são medidas em quantidade de carga. Abaixo estão a tabela de conversão e a tabela que contém os parâmetros do circuito.

Tabela 02: Tabela de conversão A/D. [17]

<b>V<sub>in</sub></b>	<b>b2</b>	<b>b1</b>	<b>b0</b>	<b>Número decimal</b>
0.000 - 0.625	0	0	0	0
0.625 - 1.250	0	0	1	1
1.250 - 1.875	0	1	0	2
1.875 - 2.500	0	1	1	3
2.500 - 3.125	1	0	0	4
3.125 - 3.750	1	0	1	5
3.750 - 4.375	1	1	0	6
4.375 - 5.000	1	1	1	7

Tabela 03: Parâmetros do conversor. [17]

<b>C<sub>in</sub></b>	<b>C<sub>1</sub></b>	<b>C<sub>2</sub></b>	<b>C<sub>3</sub></b>	<b>C<sub>4</sub></b>	<b>R<sub>junção</sub></b>	<b>C<sub>junção</sub></b>
0.128 aF	0.5 aF	0.5 aF	0.5 aF	0.5 aF	10 MΩ	1 aF

## 5. CONCLUSÕES

Com a realização deste trabalho, foi possível perceber que a realidade de circuitos nanoeletrônicos encontra-se muito próxima. Apesar de alguns resultados insatisfatórios, é possível vislumbrar a integração de dispositivos nanoeletrônicos com dispositivos convencionais em larga escala de produção em um futuro não muito distante, o que nos estimula a estudar cada vez mais as características e comportamento dos circuitos nanoeletrônicos. Porém, é importante lembrar que o estudo na área de nanoeletrônica ainda não se encontra em um estágio muito maduro, pois por mais que estejam disponíveis diversos artigos sobre circuitos nanoeletrônicos, ainda há muita falta de informação.

Foi possível implementar dois modelos (A e B) do transistor monoelétron no ambiente SPICE, coisa que ainda não tinha sido feita nas linhas de pesquisa da UnB. A implementação desses modelos nos permite utilizar os recursos desse ambiente, entre eles, a integração com dispositivos convencionais e a análise dinâmica dos circuitos. O modelo A, apesar de apresentar um tempo de simulação lento, (em torno de 20 minutos a cada transistor adicionado ao circuito, tempo esse que varia de acordo com a análise e o computador utilizado. O computador utilizado foi um Sony Vaio VGN-FW460J com processador Intel Core 2 Duo 2.0 GHz, com 3 MB L2 cache 1066 MHz e 2x2 GB de memória RAM DDR2) se apresentou como o mais robusto, e o que apresentou os resultados mais próximos dos resultados obtidos no SIMON, software que é específico para simulação de circuitos nanoeletrônicos. O modelo B não apresentou resultados muito satisfatórios, apesar de apresentar um tempo de simulação bem rápido (Resultados instantâneos para análises bem simples). Falta um entendimento melhor do ajuste de seus parâmetros internos (CF1, CI2, CR1,CR2 e CVp) para que possamos adaptá-lo para qualquer temperatura e para quaisquer parâmetros do transistor ( $C_g$ ,  $C_t$  e  $R_t$ ).

Conseguimos implementar o circuito quantizador com sucesso no SIMON, podendo avaliar e modelar suas características, prevendo imperfeições nos métodos de fabricação. Por outro lado ao simular o quantizador no LTSPICE com o modelo A, não conseguimos resultados satisfatórios, talvez por imperfeições do modelo ou pelo fato do LTSPICE apresentar resultados dinâmicos, o que o SIMON não é capaz de fazer. Neste caso, é importante considerar a possibilidade do SIMON não estar apresentando os resultados corretos, devido às suas limitações.

Com relação ao circuito modulador, foi possível conseguir resultados bem satisfatórios utilizando o modelo A para o LTSPICE e por meio de algumas modificações nos parâmetros propostos no artigo [13], conseguimos implementar um modulador digital BPSK nanoeletrônico.

Finalmente, para o conversor A/D, não foi possível conseguir resultados tão satisfatórios como os apresentados pelos autores. O melhor resultado possível foi obtido com a utilização do modelo A, porém como, ainda assim, se apresentou insatisfatório, foi sugerida adaptação de um conversor já estudado antes e que possui seu funcionamento confirmado.

Tendo em vista todas essas considerações, conclui-se que é perfeitamente possível a implementação de um sistema de comunicação nanoeletrônico. Recomenda-se para trabalhos futuros, um estudo mais aprofundado dos circuitos apresentados neste trabalho e o aperfeiçoamento dos modelos implementados, para que seja possível obter simulações cada vez mais confiáveis, algo que não é muito frequente na área de nanoeletrônica.

## 6. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Haroon Ahmed, Kazuo Nakazato. *Single-electron devices*. Em *Microelectronic Engineering* 32 (1996) 297-315.
- [2] Y. S. Yu, S. W. Hwang e D. Ahn. *Macromodeling of single-electron transistors for efficient circuit simulation*. Em *IEEE Trans. Em El. Dev.*, vol. 46, No. 8, pp 1667—1671, 1999.
- [3] Günther Lientschnig, Irek Weymann e Peter Hadley. *Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors*. Em *Jpn. J. Appl. Phys.* Vol 42(2003) pp. 6467-6472
- [4] J.G. Guimarães. *Arquiteturas de Redes Neurais Nanoeletrônicas para Processadores em Escala Giga ou Tera*. Em Tese de Doutorado em Engenharia Elétrica, Brasília, 2005.
- [5] S. M. Goodnick e Jonathan Bird. *Quantum-Effect and Single-Electron Devices*. Em *IEEE Transactions on Nanotechnology*, Vol. 2, No. 4, Dezembro 2003.
- [6] James C. Ellenbogen. *A Brief Overview of Nanoelectronic Devices*. Em 1998 Government Microelectronics Applications Conference.
- [7] [http://commons.wikimedia.org/wiki/Image:Single\\_electron\\_transistor.svg](http://commons.wikimedia.org/wiki/Image:Single_electron_transistor.svg)
- [8] <http://upload.wikimedia.org/wikipedia/en/4/43/Q-tunnel.PNG>
- [9] Grabert, H. e Devoret, M. H., editors. *Single Charge Tunneling – Coulomb blockade phenomena in nanostructures*. Em volume 294. NATO ASI series, Series B: Physics, E.U.A., 1991.
- [10] [http://www.eecs.umich.edu/~pang/s17\\_Single%20Electron%20Transistors%20and%20In%20Plane%20Gated%20Quantum%20Wire%20Transistors\\_files/image004.jpg](http://www.eecs.umich.edu/~pang/s17_Single%20Electron%20Transistors%20and%20In%20Plane%20Gated%20Quantum%20Wire%20Transistors_files/image004.jpg)
- [11] <http://www.linear.com/designtools/software/ltspice.jsp>
- [12] Santanu Mahapatra, Adrian Mihai Ionescu, Kaustav Banerjee e Michel Declercq. *A SET Quantizer Circuit Aiming At Digital Communication System*. Em Swiss Federal Institute of Technology Lausanne (EPFL), CH-1014, Switzerland
- [13] Sung Woo Hwang, Toshitsugu Sakamoto e Kazuo Nakamura. *Single Electron Digital Phase Modulator*. Em *Jpn. J. Appl. Phys.* Vol 34 (1995) pp. 83-84.
- [14] Xiaobin Ou e Nan-Jian Wu. *Analog-Digital and Digital-Analog Converters Using Single-Electron and MOS Transistors*. Em *IEEE Transactions on nanotechnology*, Vol. 4, No 6, Novembro 2005.
- [15] Hiroshi Inokawa, Akira Fujiwara e Yasuo Takahashi. *A Multiple-Valued Logic with Merged Single-Electron and MOS Transistors*. Em NTT Basic Research Laboratories, NTT Corporation.
- [16] Michali E. Kiziroglou, Ioannis Karafyllidis. *Design and Simulation of a nanoelectronic single-electron analog to digital converter*. Em *Microelectronics Journal* 34 (2003) 785-789.
- [17] H. C. do Carmo, J. G. Guimarães, L. M. Nóbrega e J. C. da Costa. *Simulation of Basic Circuits For Implementing a Single-Electron Stochastic Associative Memory*. Em Departamento de Engenharia Elétrica, Universidade de Brasília.

# Apêndice A

## Apêndice A.1 – Modelo B [2]

```
.option post
;.macro SET_2 1 2 3
.SUBCKT SET_2 1 2 3 PARAMS:
;.param

+pi=3.1415926535897932846
+CF1=8 ;2Co/e
+CI2=1.1e-7
+CR1=5.7e+6
+CR2=1.8e+6
+CVp=0.18

V2 5 3 DC 0.18
V3 7 3 DC -0.18
RG 2 3 100G
RR1 1 3 R='CR1+CR2*cos(CF1*pi*V(2,3))'
RR2 1 4 R='CVp/(CI2-2*CVp/(CR1+CR2*cos(CF1*PI*V(2,3))))'
RR3 1 6 R='CVp/(CI2-2*CVp/(CR1+CR2*cos(CF1*PI*V(2,3))))'
D1 4 5 DIODE
D2 7 6 DIODE
.MODEL DIODE D(N=0.01)
;.eom

.ENDS SET_2
```

## Apêndice A.2– Modelo A [3]

- SET SPICE - A SPICE Model of a Single-Electron Transistor
- Copyright © 2001 Peter Hadley and Guenther Lientschnig
- Delft University of Technology, The Netherlands
- Further Information about this program available in the article
- “Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors”, G. Lientschnig, I. Weymanm, and P. Hadley,
- Japanese Journal of Applied Physics, 42, 6467-6472 (2003).
- and at <http://lamp.tu-graz.ac.at/~hadley/set/spice/>

\*

- This program is free software: you can redistribute it and/or modify
- it under the terms of the GNU General Public License as published by
- the Free Software Foundation, either version 3 of the License, or
- any later version.

\*

- This program is distributed in the hope that it will be useful,
- but WITHOUT ANY WARRANTY; without even the implied warranty of
- MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE. See the
- GNU General Public License for more details.

\*

- The GNU General Public License can be found at:
- <http://www.gnu.org/licenses/>

\*

\*\*\*\*\*  
\*single electron transistor

\*connections: source

```
*      | drain
*      | | gate1
*      | | | gate2
*      | | |
```

.SUBCKT SET 1 2 3 4 PARAMS:

+C1=0.16E-18 ; Capacitance of junction 1

+C2=0.16E-18 ; Capacitance of junction 2

+R1=80E3 ; Resistance of junction 1

+R2=80E3 ; Resistance of junction 2

```

+Cg1=0.64E-18          ; Capacitance of gate 1
+Cg2=0.64E-18          ; Capacitance of gate 2
+C0=0                  ; Self Capacitance of the island
+Q0=0                  ; Offset charge in units of e
+TEMP=300              ; Temperature

.PARAM PI=3.1415926535897932 ; Pi constant
.PARAM E=1.60217733E-19    ; Electronic charge
.PARAM KB=1.380658E-23    ; Boltzmann's constant
.PARAM CSUM={C1+C2+Cg1+Cg2+C0} ; The total capacitance of the SET
.PARAM T={TEMP*CSUM*5.3785467E14} ; Normalized temperature, 5.3785467E14 = kB/e^2

.PARAM RN1={R1/(R1+R2)}   ; Normalized resistance of junction 1
.PARAM RN2={R2/(R1+R2)}   ; Normalized resistance of junction 2

.FUNC Q(v1,v2,v3,v4) { (Cg1*v3+Cg2*v4+C1*v1+C2*v2)/E+Q0 } ; Definition of a charge
term in units of e
.FUNC VN(v) { CSUM*v/E } ; The normalized voltage
.FUNC GAMMA(u) { IF(T==0,IF(u<0,-u,0),IF(u==0,T,u/(EXP(u/T)-1))) } ; The rate function
.FUNC ROUND(x) { x-IF(cos(PI*x)>0,arcsin(sin(PI*x))/PI,-arcsin(sin(PI*x))/PI) } ; The round()
function

.FUNC N_OPT(v1,v2,v3,v4) { ROUND(-Q(v1,v2,v3,v4)+(CSUM/E)*(v1*RN2+v2*RN1)) } ; The
most probable charge on the island in units of e

***** the rates for the four tunnel
events*****

.FUNC R1L(n,v1,v2,v3,v4) { GAMMA(0.5 - n - Q(v1,v2,v3,v4) + VN(v1))/RN1}

.FUNC R1R(n,v1,v2,v3,v4) { GAMMA(0.5 + n + Q(v1,v2,v3,v4) - VN(v1))/RN1}

.FUNC R2L(n,v1,v2,v3,v4) { GAMMA(0.5 + n + Q(v1,v2,v3,v4) - VN(v2))/RN2}

.FUNC R2R(n,v1,v2,v3,v4) { GAMMA(0.5 - n - Q(v1,v2,v3,v4) + VN(v2))/RN2}

• determine the relative probabilities; charge state N_OPT is initially assumed to have a
relative probability equal to one

.FUNC PN_1(n,v1,v2,v3,v4) {(R1L(n,v1,v2,v3,v4)+R2R(n,v1,v2,v3,v4))/(R1R(n-
1,v1,v2,v3,v4)+R2L(n-1,v1,v2,v3,v4))}

.FUNC PN_2(n,v1,v2,v3,v4) { PN_1(n,v1,v2,v3,v4)*
+(R1L(n-1,v1,v2,v3,v4)+R2R(n-1,v1,v2,v3,v4))/(R1R(n-2,v1,v2,v3,v4)+R2L(n-2,v1,v2,v3,v4))}

.FUNC PN_3(n,v1,v2,v3,v4) { PN_2(n,v1,v2,v3,v4)*
+(R1L(n-2,v1,v2,v3,v4)+R2R(n-2,v1,v2,v3,v4))/(R1R(n-3,v1,v2,v3,v4)+R2L(n-3,v1,v2,v3,v4))}

.FUNC PN_4(n,v1,v2,v3,v4) { PN_3(n,v1,v2,v3,v4)*

```

```

+(R1L(n-3,v1,v2,v3,v4)+R2R(n-3,v1,v2,v3,v4))/(R1R(n-4,v1,v2,v3,v4)+R2L(n-4,v1,v2,v3,v4))}
.FUNC PN_5(n,v1,v2,v3,v4) { PN_4(n,v1,v2,v3,v4)*
+(R1L(n-4,v1,v2,v3,v4)+R2R(n-4,v1,v2,v3,v4))/(R1R(n-5,v1,v2,v3,v4)+R2L(n-5,v1,v2,v3,v4))}
.FUNC PN1(n,v1,v2,v3,v4)
{(R2L(n,v1,v2,v3,v4)+R1R(n,v1,v2,v3,v4))/(R2R(n+1,v1,v2,v3,v4)+R1L(n+1,v1,v2,v3,v4))}
.FUNC PN2(n,v1,v2,v3,v4) { PN1(n,v1,v2,v3,v4)*
+(R2L(n+1,v1,v2,v3,v4)+R1R(n+1,v1,v2,v3,v4))/(R2R(n+2,v1,v2,v3,v4)+R1L(n+2,v1,v2,v3,v4))}
.FUNC PN3(n,v1,v2,v3,v4) { PN2(n,v1,v2,v3,v4)*
+(R2L(n+2,v1,v2,v3,v4)+R1R(n+2,v1,v2,v3,v4))/(R2R(n+3,v1,v2,v3,v4)+R1L(n+3,v1,v2,v3,v4))}
.FUNC PN4(n,v1,v2,v3,v4) { PN3(n,v1,v2,v3,v4)*
+(R2L(n+3,v1,v2,v3,v4)+R1R(n+3,v1,v2,v3,v4))/(R2R(n+4,v1,v2,v3,v4)+R1L(n+4,v1,v2,v3,v4))}
.FUNC PN5(n,v1,v2,v3,v4) { PN4(n,v1,v2,v3,v4)*
+(R2L(n+4,v1,v2,v3,v4)+R1R(n+4,v1,v2,v3,v4))/(R2R(n+5,v1,v2,v3,v4)+R1L(n+5,v1,v2,v3,v4))}
.FUNC PSUM(n,v1,v2,v3,v4) {
PN_5(n,v1,v2,v3,v4)+PN_4(n,v1,v2,v3,v4)+PN_3(n,v1,v2,v3,v4)+PN_2(n,v1,v2,v3,v4)
++PN_1(n,v1,v2,v3,v4)+1+PN1(n,v1,v2,v3,v4)+PN2(n,v1,v2,v3,v4)+PN3(n,v1,v2,v3,v4)
++PN4(n,v1,v2,v3,v4)+PN5(n,v1,v2,v3,v4) }
***** calculate the current from source to drain *****
.FUNC CUR(n,v1,v2,v3,v4) { PN_5(n,v1,v2,v3,v4)*(R1R(n-5,v1,v2,v3,v4)-R1L(n-5,v1,v2,v3,v4))
++PN_4(n,v1,v2,v3,v4)*(R1R(n-4,v1,v2,v3,v4)-R1L(n-4,v1,v2,v3,v4))
++PN_3(n,v1,v2,v3,v4)*(R1R(n-3,v1,v2,v3,v4)-R1L(n-3,v1,v2,v3,v4))
++PN_2(n,v1,v2,v3,v4)*(R1R(n-2,v1,v2,v3,v4)-R1L(n-2,v1,v2,v3,v4))
++PN_1(n,v1,v2,v3,v4)*(R1R(n-1,v1,v2,v3,v4)-R1L(n-1,v1,v2,v3,v4))
++(R1R(n,v1,v2,v3,v4)-R1L(n,v1,v2,v3,v4))
++PN1(n,v1,v2,v3,v4)*(R1R(n+1,v1,v2,v3,v4)-R1L(n+1,v1,v2,v3,v4))
++PN2(n,v1,v2,v3,v4)*(R1R(n+2,v1,v2,v3,v4)-R1L(n+2,v1,v2,v3,v4))
++PN3(n,v1,v2,v3,v4)*(R1R(n+3,v1,v2,v3,v4)-R1L(n+3,v1,v2,v3,v4))
++PN4(n,v1,v2,v3,v4)*(R1R(n+4,v1,v2,v3,v4)-R1L(n+4,v1,v2,v3,v4))
++PN5(n,v1,v2,v3,v4)*(R1R(n+5,v1,v2,v3,v4)-R1L(n+5,v1,v2,v3,v4)) }
.FUNC CURRENT(n,v1,v2,v3,v4) { E*CUR(n,v1,v2,v3,v4)/(CSUM*PSUM(n,v1,v2,v3,v4)*(R1+R2))
}

```

\*\*\*\*\* calculate the island voltage \*\*\*\*\*

```
.FUNC VOLT(n,v1,v2,v3,v4) { PN_5(n,v1,v2,v3,v4)*(n-5+Q(v1,v2,v3,v4))
```

```
  ++PN_4(n,v1,v2,v3,v4)*(n-4+Q(v1,v2,v3,v4))
```

```
  ++PN_3(n,v1,v2,v3,v4)*(n-3+Q(v1,v2,v3,v4))
```

```
  ++PN_2(n,v1,v2,v3,v4)*(n-2+Q(v1,v2,v3,v4))
```

```
  ++PN_1(n,v1,v2,v3,v4)*(n-1+Q(v1,v2,v3,v4))
```

```
  ++n+Q(v1,v2,v3,v4)
```

```
  ++PN1(n,v1,v2,v3,v4)*(n+1+Q(v1,v2,v3,v4))
```

```
  ++PN2(n,v1,v2,v3,v4)*(n+2+Q(v1,v2,v3,v4))
```

```
  ++PN3(n,v1,v2,v3,v4)*(n+3+Q(v1,v2,v3,v4))
```

```
  ++PN4(n,v1,v2,v3,v4)*(n+4+Q(v1,v2,v3,v4))
```

```
  ++PN5(n,v1,v2,v3,v4)*(n+5+Q(v1,v2,v3,v4)) }
```

```
.FUNC VOLTAGE(n,v1,v2,v3,v4) { (E/CSUM)*VOLT(n,v1,v2,v3,v4)/PSUM(n,v1,v2,v3,v4) }
```

E1 5 0 VALUE={VOLTAGE(N\_OPT(V(1),V(2),V(3),V(4)),V(1),V(2),V(3),V(4))} ; Voltage of the island

G1 1 2 VALUE={CURRENT(N\_OPT(V(1),V(2),V(3),V(4)),V(1),V(2),V(3),V(4))} ; Current from source to drain

CT1 1 5 {C1}

CT2 2 5 {C2}

CGATE1 3 5 {CG1}

CGATE2 4 5 {CG2}

.ENDS SET