



TRABALHO DE GRADUAÇÃO

**PROJETO DE AMPLIFICADOR DE BAIXO RUÍDO EM 900MHZ  
PARA SISTEMA EM CHIP CMOS**

**Tiago da Silva Bonfim**

**Brasília, agosto de 2010**

**UNIVERSIDADE DE BRASÍLIA**

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA  
Faculdade de Tecnologia

## TRABALHO DE GRADUAÇÃO

# PROJETO DE AMPLIFICADOR DE BAIXO RUÍDO EM 900MHZ PARA SISTEMA EM CHIP CMOS

**Tiago da Silva Bonfim**

Relatório submetido como requisito parcial para obtenção  
do grau de Engenheiro Eletricista

### Banca Examinadora

Prof. José Camargo da Costa, ENE/UnB  
*Orientador*

\_\_\_\_\_

Prof. Marcelo Menezes de Carvalho, ENE/UnB  
*Examinador interno*

\_\_\_\_\_

Prof. Paulo Portela de Carvalho, ENE/UnB  
*Examinador interno*

\_\_\_\_\_

Eng. Heider Marcôni Guedes Madureira, ENE/UnB  
*Examinador interno*

\_\_\_\_\_

## **Dedicatória**

*A todos aqueles que de forma direta ou indireta contribuíram para que esse momento se tornasse realidade, muito obrigado.*

*Tiago da Silva Bonfim*

## **Agradecimentos**

*Agradeço aos meus pais, meus heróis, pelo amor e apoio incondicionais. Aos meus irmãos Bruno e Gustavo pelo apoio e pelos momentos de prazer.*

*Ao meu orientador José Camargo da Costa por toda a orientação e por todo o conhecimento compartilhado ao longo do projeto. Gostaria de agradecer ainda todos os professores que me auxiliaram nos últimos anos.*

*Aos amigos, engenheiros e co-orientadores José Edil e Heider; a inteligência, competência e vontade de vocês vão conduzi-los muito além do que imaginam.*

*A todo o pessoal da minha turma de engenharia elétrica, desejo muito sucesso para todos vocês.*

*Agradecimentos especiais à Rebeca, pelo companheirismo demonstrado nesse período de intenso trabalho.*

*Tiago da Silva Bonfim*

*“Se enxerguei mais longe foi porque me apoiei em ombros de gigantes.”*  
Sir. Isaac Newton

---

## RESUMO

Este trabalho apresenta como primeira contribuição uma proposta de amplificador de baixo ruído, realizado em circuito integrado em  $900MHz$  na tecnologia C35B4C3 da AMS, que utiliza uma carga resistiva, dispensando-se assim a utilização de indutores adicionais no projeto.

A segunda contribuição diz respeito às técnicas de *layout* empregadas no projeto. É proposta uma disposição espacial dos elementos constitutivos do LNA que tende a minimizar a figura de ruído do sistema. Além disso, uma capacitância de *by-passing* é adicionada ao *layout* de forma a obter uma maior estabilidade com relação a possíveis flutuações na alimentação do circuito; contudo, sem que grandes complicações sejam introduzidas no projeto.

Os principais parâmetros de projeto e simulação do LNA foram: figura de ruído, ganho de tensão, impedância de entrada, ponto de intersecção de terceira ordem referido à entrada, potência dissipada e estabilidade. Dentre todos esses parâmetros, o único que não foi completamente satisfeito em relação às arquiteturas típicas de LNAs encontradas na literatura foi a figura de ruído<sup>1</sup>; entretanto, sabe-se que a justificativa para esse resultado se encontra associada à natureza ruidosa da carga utilizada.

---

<sup>1</sup>A figura de ruído apresentou um desvio de 38% com relação aos objetivos de projeto.

# SUMÁRIO

<b>1</b>	<b>INTRODUÇÃO</b>	<b>1</b>
1.1	CONTEXTUALIZAÇÃO E DEFINIÇÃO DO PROBLEMA	1
1.2	OBJETIVOS DO PROJETO	1
1.3	APRESENTAÇÃO DO MANUSCRITO	1
<b>2</b>	<b>REVISÃO BIBLIOGRÁFICA</b>	<b>3</b>
2.1	INTRODUÇÃO	3
2.2	FUNDAMENTOS DO RUÍDO	3
2.2.1	RUÍDO TÉRMICO	4
2.2.2	RUÍDO <i>Shot</i>	4
2.2.3	RUÍDO <i>flicker</i>	5
2.2.4	RUÍDO DE GERAÇÃO-RECOMBINAÇÃO	5
2.2.5	FIGURA DE RUÍDO	6
2.3	CARACTERÍSTICAS DE COMPONENTES PASSIVOS INTEGRADOS	6
2.3.1	RESISTORES	7
2.3.2	CAPACITORES	7
2.3.3	INDUTORES	8
2.4	AMPLIFICADORES DE BAIXO RUÍDO (LNA)	12
2.4.1	TOPOLOGIAS AMPLIFICADORAS CONVENIENTES EM PROJETOS DE RF	13
2.4.2	CASAMENTO DE IMPEDÂNCIA	15
2.5	TÉCNICAS DE OTIMIZAÇÃO PARA PROJETO DE LNA	18
2.5.1	TÉCNICA CNM - <i>Classical noise matching</i>	18
2.5.2	TÉCNICA SNIM - <i>Simultaneous noise and input matching</i>	18
2.5.3	TÉCNICA PCNO - <i>Power-constrained noise optimization</i>	20
2.5.4	TÉCNICA PCSNIM - <i>Power-constrained simultaneous noise and input matching</i>	21
2.6	FUNDAMENTOS PARA CARACTERIZAÇÃO DO LNA	22
2.6.1	QUADRIPOLOS	22
2.6.2	CARACTERIZAÇÃO DOS GANHOS DO LNA	23
2.6.3	CARACTERIZAÇÃO DA ESTABILIDADE DO LNA	24
2.6.4	CARACTERIZAÇÃO DO RUÍDO DO LNA	24
<b>3</b>	<b>METODOLOGIA</b>	<b>26</b>
3.1	FLUXO DE PROJETO EM CIRCUITOS INTEGRADOS	26
3.2	METODOLOGIA DE PROJETO DO LNA	27
3.3	PARTICULARIDADES NA METODOLOGIA DE PROJETO DO LNA	28
3.4	CARACTERÍSTICAS DO PROCESSO DE FABRICAÇÃO	28
<b>4</b>	<b>PROJETO</b>	<b>30</b>
4.1	INTRODUÇÃO	30
4.2	ESPECIFICAÇÕES DO TRANSECTOR DE RF	30
4.3	ESPECIFICAÇÕES DO AMPLIFICADOR DE BAIXO RUÍDO	30
4.4	TOPOLOGIA DE CIRCUITO	31
4.5	PROJETO DE OTIMIZAÇÃO PELA TÉCNICA PCSNIM	32
4.6	PROJETO DA REDE DE POLARIZAÇÃO DO LNA	35
4.7	PROJETO DA CARGA DO LNA	38
4.7.1	PROJETO DA CARGA LC	38

4.7.2	PROJETO DA CARGA RESISTIVA .....	40
4.8	COMPARAÇÃO ENTRE OS PROJETOS DE CARGA RESSONANTE LC E R .....	41
4.9	PROJETO DO TESTE .....	43
4.10	CONSIDERAÇÕES SOBRE O <i>layout</i> DO LNA.....	46
<b>5</b>	<b>RESULTADOS E DISCUSSÃO .....</b>	<b>48</b>
5.1	INTRODUÇÃO .....	48
5.2	SIMULAÇÕES MONTE CARLO.....	48
5.3	RESULTADOS OTIMIZADOS PARA O LNA.....	52
<b>6</b>	<b>CONCLUSÃO .....</b>	<b>53</b>
6.1	CONCLUSÕES .....	53
6.1.1	PROPOSTAS PARA TRABALHO FUTUROS.....	53
	<b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>	<b>54</b>
	<b>ANEXOS .....</b>	<b>56</b>
<b>I</b>	<b>SIMULAÇÕES.....</b>	<b>57</b>
I.1	SIMULAÇÕES REALIZADAS .....	57
I.2	SIMULAÇÕES DOS INDUTORES .....	57
I.3	SIMULAÇÕES DO LNA COM CARGA RESSONANTE LC .....	60
I.4	SIMULAÇÕES DO LNA COM CARGA RESISTIVA .....	66
I.5	SIMULAÇÕES <i>pos layout</i> DO LNA COM CARGA R .....	72
<b>II</b>	<b>ESQUEMÁTICOS.....</b>	<b>80</b>
<b>III</b>	<b>LAYOUTS .....</b>	<b>81</b>

# LISTA DE FIGURAS

2.1	Fontes de ruído diversas.....	3
2.2	Efeitos do ruído induzido na porte em dispositivos MOSFETs. ....	5
2.3	Formas típicas de indutores: (a) quadrado, (b) octogonal, (c) circular.....	8
2.4	Acoplamento do indutor com o substrato.....	9
2.5	Modelo para o indutor e o escudo de terra.....	10
2.6	Topologia <i>Gyrator</i> .....	11
2.7	Scaneamento de alta resolução de um <i>chip</i> semi-condutor para inspeção da conectividade dos <i>bondwires</i> . ....	11
2.8	Arquitetura típica de um rádio receptor. ....	12
2.9	Compromisso dos parâmetros de projeto de um LNA.....	12
2.10	Amplificadores MOS de estágio simples. ....	14
2.11	Estabilização por "cascoding". ....	15
2.12	Estabilização por neutralização. ....	16
2.13	Casamento resistivo. ....	16
2.14	Casamento através de realimentação.....	17
2.15	Estágio porta-comum. ....	17
2.16	Degeneração indutiva.....	17
2.17	(a) Esquemático de uma topologia LNA cascode adaptado para aplicação da técnica CNM. (b) Seu circuito equivalente de pequenos sinais. ....	19
2.18	(a) Esquemático de uma topologia LNA cascode adaptado para aplicação da técnica SNIM. (b) Seu circuito equivalente de pequenos sinais. ....	19
2.19	(a) Esquemático de uma topologia LNA cascode adaptado para aplicação da técnica PC-SNIM. (b) Seu circuito equivalente de pequenos sinais. ....	21
2.20	Representação de parâmetros S para uma rede de 2 portas.....	22
2.21	Representação dos coeficientes de reflexão para uma rede de 2 portas.....	23
3.1	Fluxograma ilustrativo da metodologia de projetos de circuitos integrados.....	26
4.1	Amplificador fonte-comum <i>cascode</i> com degeneração indutiva. ....	31
4.2	Polarização do MOSFET utilizando fonte de corrente constante I. ....	36
4.3	Implementação da fonte de corrente constante I utilizando espelho de corrente. ....	37
4.4	Chave do LNA e referência de tensão. ....	37
4.5	Exemplo de filtragem. ....	39
4.6	Sensibilidade do ganho do LNA a variações em sua carga. ....	43
4.7	Esquemático de testes para o LNA. ....	44
4.8	Versão de testes do LNA.....	45
5.1	Simulação Monte Carlo da tensão de saída do LNA. Número de simulações: 300. ....	48
5.2	Simulação Monte Carlo da tensão DC na saída do LNA. Número de simulações: 100. Média = 2,63 V. Desvio padrão = 0,099 V.....	49
5.3	Simulação Monte Carlo da corrente de polarização do LNA. Número de simulações: 100. Média = 1,54 mA. Desvio padrão = 0,23 mA. ....	50
5.4	Simulação Monte Carlo da tensão de polarização do LNA. Número de simulações: 100. Média = 644 mV. Desvio padrão = 60,52 mV. ....	50
5.5	Simulação Monte Carlo da corrente de polarização do <i>enable</i> projetado. Número de simulações: 100. Média = 9,43 $\mu A$ . Desvio padrão = 0,981 $\mu A$ .....	51

I.1	Caracterização do indutor de 2,6 nH.	58
I.2	Caracterização do indutor de 9 nH.	59
I.3	Ganho de tensão para a carga LC.	60
I.4	Figura de ruído para a carga LC.	61
I.5	Fator de estabilidade K para a carga LC.	61
I.6	Ganho de potência para a carga LC.	62
I.7	Ponto de Intersecção de terceira ordem para a carga LC.	62
I.8	Parâmetros de espalhamento S11 e S12 para a carga LC.	63
I.9	Parâmetros de espalhamento S21 e S22 para a carga LC.	64
I.10	Partes real e imaginária da impedância de entrada do LNA para carga LC.	65
I.11	Ganho de tensão para a carga R.	66
I.12	Figura de ruído para a carga R.	67
I.13	Fator de estabilidade K para a carga R.	67
I.14	Ganho de potência para a carga R.	68
I.15	Ponto de Intersecção de terceira ordem para a carga R.	68
I.16	Parâmetros de espalhamento S11 e S12 para a carga R.	69
I.17	Parâmetros de espalhamento S21 e S22 para a carga R.	70
I.18	Partes real e imaginária da impedância de entrada do LNA para carga R.	71
I.19	Ganho de tensão para o LNA <i>pos layout</i> .	72
I.20	Figura de ruído para o LNA <i>pos layout</i> .	73
I.21	Fator de estabilidade K para o LNA <i>pos layout</i> .	73
I.22	Ganho de potência para o LNA <i>pos layout</i> .	74
I.23	Ponto de Intersecção de terceira ordem para o LNA <i>pos layout</i> .	74
I.24	Corrente de polarização para o LNA <i>pos layout</i> .	75
I.25	Parâmetros de espalhamento S11 e S12 <i>pos layout</i> .	76
I.26	Parâmetros de espalhamento S21 e S22 <i>pos layout</i> .	77
I.27	Partes real e imaginária da impedância de entrada do LNA <i>pos layout</i> .	78
I.28	Em Azul: Tensão do sinal de saída. Em vermelho: Tensão do sinal de entrada.	79
II.1	Esquemático completo no LNA em nível elétrico	80
III.1	<i>Layout</i> do LNA enviado para fabricação	82
III.2	<i>Layout</i> do <i>chip</i> enviado para fabricação em 09/07/2010.	83

## LISTA DE TABELAS

4.1	Especificações de projeto para LNA .....	31
4.2	Parâmetros da tecnologia .....	32
4.3	Parâmetros estabelecidos por especificações de projeto .....	32
4.4	Erro envolvido na aproximação desejada .....	33
4.5	Parâmetros teóricos obtidos para otimização do LNA.....	35
4.6	Parâmetros de projeto para a rede de polarização .....	36
4.7	Parâmetros dimensionados para a rede de polarização .....	38
4.8	Resultados simulados para a carga LC .....	40
4.9	Resultados simulados para a carga R .....	41
4.10	Comparação entre os projetos de carga para o LNA .....	41
4.11	Resultados simulados para o descasamento da carga LC .....	42
4.12	Requisitos da instrumentação utilizada na caracterização do LNA .....	44
5.1	Parâmetros obtidos para otimização do LNA após processo iterativo .....	52
5.2	Resultados das simulações <i>pos layout</i> .....	52
5.3	Resultados das simulações <i>pos layout</i> .....	52

# LISTA DE SIMBOLOS

## Símbolos

C	Capacitância	[F]
G	Condutância	[ $\Omega$ ]
$g_m$	Transcondutância de pequenos sinais	[A/V]
$K_i$	Fator de ganho do transistor tipo $i$	[ $A/V^2$ ]
L	Comprimento de canal do transistor	[m]
L	Indutância	[H]
R	Resistência	[ $\Omega$ ]
T	Temperatura absoluta	[K]
$V_{ti}$	Tensão de liminar do transistor tipo $i$	[V]
W	Largura do transistor	[m]
Z	Impedância	[ $\Omega$ ]

## Subscritos

$ex$	externo
$in$	entrada
$out$	saída

## Siglas

ABNT	Associação Brasileira de Normas Técnicas
AMS	<i>Austrian Microsystems</i>
BER	<i>Bit Error Rate</i>
CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
CNM	<i>Classical Noise Matching</i>
DRC	<i>Design Rules Check</i>
IIP3	<i>Input Intercept Point, Third Order</i>
LNA	<i>Low Noise Amplifier</i>
LDCI	Laboratório de Dispositivos e Circuitos Integrados
LVS	<i>Layout Versus Schematic</i>
NF	<i>Noise Figure</i>
PCNO	<i>Power-Constrained Noise Optimization</i>
PCSIM	<i>Power-Constrained Simultaneous Noise and Input Matching</i>
PSS	<i>Periodic Steady State</i>
Q	Fator de Qualidade
RF	Rádio Frequência
rSoC	<i>Reconfigurable System on Chip</i>
SNIM	<i>Simultaneous Noise and Input Matching</i>
SoC	<i>System on Chip</i>
UnB	Universidade de Brasília
VHDL	<i>VHSIC Hardware Description Language</i>

# 1 INTRODUÇÃO

*Este capítulo apresenta o contexto geral em que o presente trabalho se encontra inserido. Além disso, a necessidade e a motivação para a realização do projeto são comentadas aqui. Finalmente, o conteúdo do manuscrito é apresentado.*

## 1.1 CONTEXTUALIZAÇÃO E DEFINIÇÃO DO PROBLEMA

Este trabalho se encontra inserido no contexto de um projeto desenvolvido no Laboratório de Projeto de Circuitos Integrados (LPCI). Inicialmente, o objetivo principal do projeto era desenvolver um SoC<sup>1</sup> completo para controle de irrigação e agricultura de precisão. O SoC deveria ser capaz de coletar, processar e transmitir dados entre suas próprias unidades e uma Estação-base. Observa-se então que, a fim de viabilizar todas essas funcionalidades, o SoC deveria possuir, dentre outras componentes, um bloco transceptor de RF completo.

Devido ao grande volume de conhecimentos que foi adquirido pelo grupo do LPCI, decidiu-se revisar a proposta original do SoC[1] e continuar o projeto, porém adicionando-se outras funcionalidades ao bloco. Nesse momento, falamos de um sistema em *chip* genérico que possa ser aplicado em redes sensoras diversas, o rSoC<sup>2</sup>.

## 1.2 OBJETIVOS DO PROJETO

O objetivo maior deste trabalho é realizar um amplificador de baixo ruído (LNA) que opere entre 915MHz e 927,5MHz, tomando-se como base especificações que serão apresentadas no capítulo 4. Além disso, o presente trabalho é continuidade de trabalhos anteriores desenvolvidos no LPCI [2], e portanto já possuía uma estrutura básica pré-determinada. Esse bloco deverá ser compatível com os demais blocos do rSoC, e sua realização envolverá os seguintes aspectos: projeto elétrico, simulações elétricas, otimização do projeto elétrico quando pertinente, projeto e execução de um *layout* para o circuito projetado e simulações *pos layout*. Levando-se em consideração o extenso prazo para a confecção de um dispositivo realizado em circuitaria integrada, a caracterização elétrica do dispositivo não será realizada no presente trabalho, mas em trabalhos futuros.

Outro objetivo do presente projeto é fornecer uma base de conhecimentos bem fundamentada com a qual futuros trabalhos realizados no LPCI possam contar.

## 1.3 APRESENTAÇÃO DO MANUSCRITO

No capítulo 2, é feita uma breve revisão bibliográfica sobre o tema em estudo. Em seguida, o capítulo 3 descreve a metodologia empregada no desenvolvimento do projeto. O projeto dos blocos constituintes do LNA é feito no capítulo 4, neste ponto também são realizadas comparações entre as possibilidades de projeto. O projeto do *layout* do circuito, as conclusões e propostas para trabalhos futuros são apresentados

---

<sup>1</sup>do inglês *system on chip*

<sup>2</sup>do inglês *reconfigurable system on chip*

no capítulo 5. A maior parte dos gráficos obtidos através de simulações é apresentada nos Anexos.

## 2 REVISÃO BIBLIOGRÁFICA

### 2.1 INTRODUÇÃO

Um capítulo próprio de revisão bibliográfica se faz necessário na medida em que projetos de RF costumam empregar conhecimentos não cobertos nas matérias convencionais da graduação, especialmente nas áreas de materiais e de telecomunicações. Dessa forma, nesse capítulo, o embasamento mínimo necessário para um bom entendimento será provido.

### 2.2 FUNDAMENTOS DO RUÍDO

Em eletrônica, ruído geralmente se refere ao oposto do termo sinal<sup>1</sup> [3]. Portanto ruído pode ser definido como "tudo exceto o sinal desejado". Nesse contexto, existem inúmeras fontes de ruído interferindo com o sinal desejado em sistemas eletrônicos, incluindo: linhas de transmissão, sinais difundidos para transmissão de rádio ou TV, *cross-talk* de sinais, e outras ondas eletromagnéticas, como ilustrado na Fig. 2.1. A maioria deles é classificada como ruído artificial, os quais podem ser reduzidos ou eliminados utilizando-se um bom esquema de blindagem eletrostática.

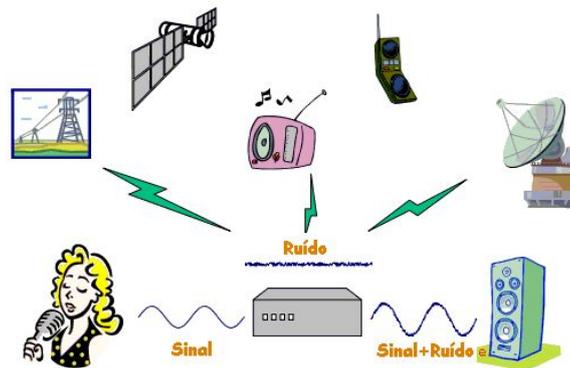


Figura 2.1: Fontes de ruído diversas.

Em contraste, outras fontes de ruído, classificadas como ruído intrínseco, são irreduzíveis através de blindagem, uma vez que eles são inerentes ao sistema ou dispositivo em análise. Essas fontes de ruído intrínseco estabelecem um limite superior no desempenho de dispositivos eletrônicos, e se manifestam como um assobio contínuo em sistemas de áudio, imagens de neve em aparelhos de TV analógicos, ou genericamente na degradação da sensibilidade dos sistemas eletrônicos. O ruído intrínseco é fundamentalmente aleatório, mas pode ser caracterizado estatisticamente.

A teoria microscópica do ruído em nível de materiais é direta e bem estabelecida. Fisicamente, dois tipos de ruído podem ser identificados: térmico e quântico. De qualquer maneira, fenomenologicamente vários tipos de fontes de ruído são observados, como o térmico, *shot*, regeneração-recombinação, e ruído *flicker*<sup>2</sup>.

No projeto de amplificadores de baixo ruído, se faz necessário um bom entendimento das possíveis

<sup>1</sup>O sinal é um objeto que contém e transmite informação. Em contraste, ruído é um obstáculo à transmissão de informação.

<sup>2</sup>Algumas referências se referem a essa fonte de ruído como ruído de tremulação. Nesse material, evitaremos tal tradução.

fontes de ruído a fim de minimizá-las tanto quando possível. Com esta idéia em mente, esta seção se destinará a uma sucinta explicação sobre essas possíveis fontes e métricas relacionadas.

### 2.2.1 Ruído Térmico

O ruído térmico se relaciona à energia cinética das partículas como resultado de sua temperatura. Um elétron excitado termicamente num condutor sofre um movimento aleatório<sup>3</sup> resultando em colisões com a rede do condutor; como resultado, ele produz flutuações nas características do material. Em 1927, Johnson descobriu que o espectro de potência do ruído de um condutor é independente de seu material e da frequência de medição<sup>4</sup>; as propriedades do ruído são determinadas apenas pela sua temperatura absoluta em equilíbrio térmico [4]:

$$\overline{P_n} = kT\Delta f \quad (2.1)$$

Sendo  $\overline{P_n}$  a potência média de ruído<sup>5</sup>,  $k$  a constante de Boltzmann ( $1,38 \cdot 10^{-23} J/K$ ),  $T$  a temperatura absoluta em Kelvins, e  $\Delta f$  é a largura de banda do ruído em hertz. Esse ruído é referido como ruído térmico, e é o ruído mais fundamental e importante presente nos dispositivos eletrônicos.

O ruído térmico dos MOSFETS impõe uma limitação fundamental nos LNAs CMOS [5]. Baseando-se no fato que um MOSFET é um resistor modulado, acoplado capacitivamente à porta, van der Ziel propôs um modelo de ruído térmico para MOSFETs, o qual consiste em corrente de ruído no dreno e corrente de ruído induzida na porta como se segue [3]:

$$\overline{i_d^2} = 4kT\Delta f\gamma g_{d0} \quad (2.2)$$

$$\overline{i_g^2} = 4kT\Delta f\delta g_g \quad (2.3)$$

Em que o parâmetro  $g_g$  é dado por:

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (2.4)$$

Em que  $\gamma$ ,  $\delta$ , e  $g_{d0}$  dependem da operação do dispositivo. Além disso,  $\omega$  é a frequência de operação do dispositivo e  $C_{gs}$  é a capacitância porta-fonte do transistor. A partir da Eq. 2.3, observa-se que a corrente induzida de ruído na porta é composta por ruído térmico que é induzido por flutuações locais no canal via acoplamento capacitivo através do óxido da porta, como ilustrado na Fig. 2.2. O ruído induzido na porta é proporcional a  $f^2$ , devido a dependência do fator  $\omega C$ , enquanto o ruído de dreno é independente da frequência, isto é, branco. Observa-se então que o ruído induzido na porta domina o desempenho dos MOSFETs em altas frequências.

### 2.2.2 Ruído Shot

Esse ruído se deve à natureza quantizada da carga elétrica, mas como essa natureza quantizada se traduz em ruído não é tão direto quanto se possa pensar; contudo, de forma grosseira, parece razoável que o fato da carga elétrica ser decorrente de um feixe discreto implique na existência de pulsos descontínuos toda vez que um elétron salta uma barreira de energia. O ruído *shot* foi descrito primeiramente por Schottky em 1918 como [6]:

<sup>3</sup>Brownian motion na literatura.

<sup>4</sup>Essa afirmativa vale sob determinadas condições e considerações impostas.

<sup>5</sup>Considerando-se uma distribuição Gaussiana para o ruído.

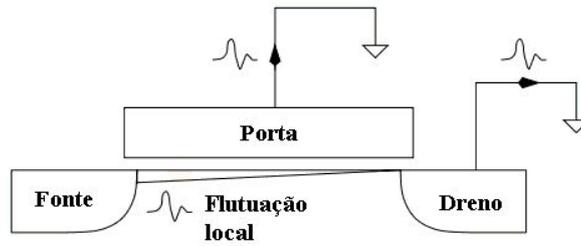


Figura 2.2: Efeitos do ruído induzido na porte em dispositivos MOSFETs.

$$\overline{i_n^2} = 2qI_{DC}\Delta f \quad (2.5)$$

Sendo  $I_{DC}$  a corrente DC fluindo através do dispositivo,  $q$  é a carga elétrica elementar  $1,6 \cdot 10^{-19}$ , e  $\Delta f$  é novamente a largura de banda do ruído em Hertz. Duas condições são necessárias para a ocorrência do ruído *shot*: um fluxo de corrente direta e uma barreira de potencial através da qual portadores possam saltar. Consequentemente, dispositivos lineares não geram ruído *shot*. No caso dos MOSFETs, o ruído *shot* domina a característica de ruído unicamente quando o dispositivo se encontra na região de sublimiar devido ao transporte de portadores nessa região.

### 2.2.3 Ruído flicker

A primeira observação do ruído flicker foi realizada por Johnson [7]. Também conhecido como ruído  $1/f$  uma vez que sua densidade espectral de potência é inversamente proporcional a frequência. O ruído flicker é ubíquo mas nenhum mecanismo universal foi provado como sendo sua causa. Dessa forma, seu modelo contém vários parâmetros empíricos diferentemente do ruído térmico ou do ruído *shot*. Em outras palavras, o ruído flicker pode ser modelado empiricamente, mas não pode ser previsto *a priori*.

O ruído flicker é significativamente maior em MOSFETs do que em outros tipos de dispositivos uma vez que ele se encontra relacionado com fenômenos de superfície [3]. Esse fato pode ser explicado baseando-se no comportamento de captura das cargas provenientes de defeitos e impurezas que são abundantes na superfície do  $Si/SiO_2$ . O modelo típico é dado por:

$$\overline{i_n^2} = \frac{K g_m^2}{f W L C_{ox}^2} \Delta f \quad (2.6)$$

Sendo  $K$  é uma constante específica dos dispositivos,  $g_m$  é a transcondutância,  $W$  é a largura do dispositivo,  $L$  é o comprimento do dispositivo, e  $C_{ox}$  é a capacitância de porta por unidade de área.

### 2.2.4 Ruído de geração-recombinação

O ruído de geração-recombinação é causado por flutuações de densidade de portadores devido à emissão e captura de portadores por armadilhas. Ele se manifesta como uma flutuação resistiva. Uma vez que esse ruído se encontra relacionado aos estados de energia localizados, seu comportamento depende da temperatura, da frequência e das condições de polarização. Em tecnologias modernas de MOSFETs, esse componente é normalmente muito inferior ao ruído flicker e normalmente é desprezado.

## 2.2.5 Figura de ruído

Uma importante métrica do desempenho de ruído de um sistema é um parâmetro conhecido como figura de ruído (NF) ou fator de ruído (F). A utilização deste parâmetro se tornou popular em 1940 quando Friis [8] definiu a figura de ruído de uma rede como a razão entre as relações sinal-ruído em potência da entrada e da saída da rede:

$$F = \frac{(S/N)_{in}}{(S/N)_{out}} \quad (2.7)$$

Sendo a temperatura ambiente deve ser de 290°K por convenção. Consequentemente, a figura de ruído de uma rede é a diminuição ou degradação na relação sinal-ruído na medida em que o sinal atravessa a rede. Um amplificador perfeitamente livre de ruído deveria manter a mesma relação sinal-ruído na entrada e na saída. Por outro lado, um amplificador mais realista adiciona ruído proveniente de suas próprias componentes e degrada a relação sinal-ruído. Portanto, uma baixa figura de ruído significa que pouco ruído é adicionado pela rede. A utilização moderna da figura de ruído é normalmente representada pela quantidade NF, expressa em unidades dB:

$$NF = 10 \log F \quad (2.8)$$

Quando  $n$  blocos são cascateados como ilustrado em 2.8<sup>6</sup>, a figura de ruído do sistema inteiro é dada por [8]:

$$F_{tot} = 1 + (F_1 - 1) + \frac{F_2 - 1}{A_1} + \dots + \frac{F_n - 1}{A_1 \dots A_{n-1}} \quad (2.9)$$

Conhecida como Fórmula de Friis. Sendo  $A_n$  o ganho do  $n$ -ésimo bloco da cadeia. Resultados típicos revelam que os primeiros estágios numa cascata são os mais críticos na performance de ruído uma vez que a equação 2.9 mostra que o ruído adicionado por cada estágio diminui na medida em que o ganho dos estágios anteriores aumenta. Portanto, a figura de ruído de um amplificador de baixo ruído basicamente determina a sensibilidade de todo o receptor<sup>7</sup>. Consequentemente, o LNA deve ser projetado para apresentar a menor NF possível e o maior ganho possível.

## 2.3 CARACTERÍSTICAS DE COMPONENTES PASSIVOS INTEGRADOS

Circuitos de RF podem utilizar vários componentes passivos. Portanto, um projeto bem sucedido depende criticamente do entendimento detalhado das características desses componentes. Uma vez que os processos de integração de circuitos se desenvolveram bastante para satisfazer a demanda da eletrônica digital, ao projetista de RF analógico foram deixadas componentes passivas bastante limitadas. Nesta Tecnologia, por exemplo, indutores maiores do que 10 nH consomem uma grande área em *chip* e apresentam um pobre Q<sup>8</sup> e baixa frequência de auto-ressonância. Capacitores com alto Q e baixos coeficientes térmicos estão disponíveis, mas suas tolerâncias são pobres<sup>9</sup>. Resistores com baixa auto-capacitância e coeficiente térmico são difíceis de realizar. Além disso, nem todos os valores de resistência se encontram disponíveis.

<sup>6</sup>O leitor deve observar que a figura 2.8 apresenta apenas 5 blocos cascateados, e não  $n$ . Contudo, busca-se um efeito de generalidade a partir do exemplo construído.

<sup>7</sup>A sensibilidade de um receptor de RF é definida como o mínimo nível de sinal que o sistema é capaz de detectar com uma relação sinal-ruído aceitável

<sup>8</sup>Tipicamente inferior à 10

<sup>9</sup>e.g., Tipicamente maiores do que 20%

Nesta seção, examinam-se brevemente resistores, capacitores e indutores em circuitos integrados. Esta revisão se faz necessária na medida em que esse conhecimento pode nos ajudar a decidir entre diferentes topologias de circuitos integrados no decorrer do projeto.

### 2.3.1 Resistores

Existem poucas boas opções de resistores nas tecnologias CMOS padrão. Uma possibilidade é utilizar interconexões de polisilício ("poly"), uma vez que ele é mais resistivo do que o metal. Infelizmente sua tolerância é muitas vezes problemática (e.g., 35%), e o seu coeficiente térmico, definido como:

$$TC \equiv \frac{1}{R} \frac{\partial R}{\partial T} \quad (2.10)$$

depende da composição dos resistores e da dopagem do material utilizado. O coeficiente térmico pode variar largamente com os detalhes do processo, e normalmente não pode ser muito bem controlado (e.g., frequentemente apresenta uma tolerância da ordem de 50%).

Resistores provenientes de interconexões de metais não costumam ser utilizados devido à baixa resistividade apresentada por esses materiais. Dessa forma, teríamos uma grande área em *chip* ocupada e uma auto-capacitância resultante elevada.

Finalmente, transistores MOS podem ser utilizados como resistores, até mesmo variáveis. Aplicando-se uma tensão porta-fonte apropriada, um resistor compacto pode ser formado. Uma simples análise de primeira ordem nos levaria ao valor aproximado para essa resistência, lembrando-se que a resistência incremental de um transistor MOS operando na região de triodo é dada por

$$r_{ds} \approx \left[ \mu C_{ox} \frac{W}{L} [(V_{GS} - V_T) - V_{DS}] \right]^{-1} \quad (2.11)$$

Sendo  $C_{ox}$  a capacitância de porta do óxido de silício,  $W$  a largura do transistor,  $L$  o comprimento do transistor,  $V_{GS}$  a tensão porta-fonte do transistor,  $V_T$  a tensão de limiar do transistor, e  $V_{DS}$  a tensão dreno-fonte do transistor. Entretanto, da mesma forma como ocorria com o resistor de *poly*, observamos aqui uma tolerância bastante pobre.

### 2.3.2 Capacitores

Todas as camadas interconectadas podem ser utilizadas para se realizar capacitores tradicionais de placas paralelas. Contudo, as entre camadas de dielétrico costumam ser grossas, precisamente para reduzir os efeitos de capacitâncias parasitárias, tornando a capacitância por unidade de área pequena<sup>10</sup>. Adicionalmente, deve-se levar em consideração a capacitância formada entre qualquer camada de metal e o substrato. Essa capacitância parasita é frequentemente maior do que 10 – 30% do valor total de capacitância pretendida e normalmente se apresenta como um limitante à performance dos dispositivos. Uma fórmula para o valor obtido de capacitância bastante conhecida é apresentada abaixo

$$C \approx \epsilon \frac{A}{H} \quad (2.12)$$

Em que o efeito de frangeamento não é levado em consideração. De fato, essa expressão se apresenta bastante precisa uma vez que as dimensões das placas paralelas sejam muito maiores do que o distanciamento entre elas ( $L \gg H$  e  $W \gg H$ , dado que  $A = LW$ ). Em aplicações de RF em circuitos integrados,

<sup>10</sup>Valores exatos dependem das camadas de material em estudo; entretanto, valores típicos são da ordem de  $5.10^{-5} pF/\mu m^2$

as premissas para a validade de 2.12 podem não se manter. Nesses casos, existem diversas fórmulas encontradas na literatura capazes de fornecer melhores resultados para o cálculo dessas capacitâncias. Uma delas é conhecida como fórmula de Yuan para a capacitância por unidade de comprimento e segue apresentada abaixo, o esforço envolvido em sua derivação pode ser acompanhado em [9].

$$C_{Yuan} \approx \epsilon \left[ \frac{W}{L} + \frac{2\pi}{\ln 1 + (2H/T)(1 + \sqrt{1 + T/H})} - \frac{T}{2H} \right] \quad (2.13)$$

Um modelamento apropriado para capacitâncias (principalmente as parasitárias) é essencial para uma validação apropriada do funcionamento de qualquer circuito. Felizmente, LDCI possui várias ferramentas de simulação que contém bons modelos implementados.

Quando comparada à obtenção de bons resistores e indutores, observa-se que a qualidade dos capacitores em processos de fabricação integrada é bastante elevada. De fato, não é difícil de se obter capacitores com fatores de qualidade superiores à 50, provavelmente devido a simplicidade envolvida em sua obtenção. A tecnologia 0,35  $\mu\text{m}$  da AMS<sup>11</sup> dispõe de capacitores entre camadas de polissilício e, embora seu desempenho seja satisfatório, esses capacitores não são os mais adequados para aplicações em altas frequências uma vez que o polissilício é bastante resistivo, fato que degrada a performance do dispositivo.

### 2.3.3 Indutores

Do ponto de vista de circuitos de RF, a falta de bons indutores é de longe a lacuna mais visível dos processos padrões de fabricação integrada. De forma mais crítica, esses elementos encontram várias aplicações: indutores são amplamente utilizados em circuitos de RF para ressoar com capacitores; indutores são utilizados para possibilitar transformações de impedância; indutores são utilizados para prover acoplamento eletromagnético entre redes distintas. Entretanto, sua utilização é limitada por diversos fatores: alta resistividade dos materiais e baixa resistividade do substrato degradam o fator de qualidade dos indutores; o *layout* necessariamente plano dos indutores exige que grandes áreas em *chip* sejam gastas para se gerar valores significativos de indutância; a grande área exigida aumenta o acoplamento capacitivo entre as camadas de metais utilizadas e o substrato. Esta seção explica algumas maneiras pelas quais indutores podem ser implementados em processos de tecnologia integrada.

Os únicos indutores *on-chip* amplamente utilizados são os indutores planares, exemplos de indutores planares em espiral são ilustrados na Fig. 2.3. Embora os indutores espirais circulares sejam conhecidos por fornecer o maior fator de qualidade, sua geometria não é suportada por todos os processos de geração de *layout* e nem permitida em várias das tecnologias de fabricação.

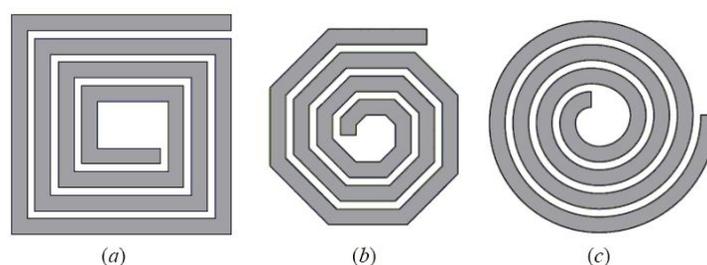


Figura 2.3: Formas típicas de indutores: (a) quadrado, (b) octogonal, (c) circular.

Geralmente, grande parte do indutor é realizada nas camadas de metal mais distantes do substrato

<sup>11</sup>Como será visto em seções posteriores, essa é a tecnologia a ser utilizada no presente trabalho.

disponíveis<sup>12</sup>, e a conexão com o centro da espira<sup>13</sup> é realizada com alguma camada de metal inferior. Desta forma, minimiza-se o acoplamento capacitivo resultante com o substrato.

A indutância de uma espira planar é uma função complicada de sua geometria, e uma estimativa precisa requer a utilização de ferramentas computacionais conhecidas como *field solvers*. De qualquer maneira, uma aproximação grosseira, adequada para cálculos rápidos, é dada por:

$$L \approx \mu_0 n^2 r = 4\pi \cdot 10^{-7} n^2 r \approx 1,2 \cdot 10^{-6} n^2 r \quad (2.14)$$

Sendo  $L$  o valor da indutância em Henries,  $n$  é o número de voltas, e  $r$  é o raio da espira em metros. Essa equação geralmente fornece valores de indutância superestimados, mas comumente um desvio inferior à 30% do valor correto é obtido.

Para se ter uma idéia de como essa estrutura é ineficiente, considere o exemplo de um indutor de  $100 \text{ nH}$ <sup>14</sup>, realizado com uma volta de metal a cada cinco micrometros. Utilizando-se 2.14, obtemos um número de voltas igual a 26, correspondendo a um raio exigido de  $130 \mu\text{m}$ . A área consumida por esse indutor é imensa quando comparada a área de um resistor ou capacitor de valor razoável. Conclui-se então que o número de indutores deve ser restringido ao mínimo possível, de forma a economizar área em *chip*.

Além da área ocupada para se realizar indutores planares, as perdas envolvidas na utilização desses indutores é elevada, e deve ser levada em consideração ao longo do projeto. As perdas são exacerbadas pelo efeito pelicular<sup>15</sup>. Como consequência, observa-se a diminuição da seção transversal do indutor, aumentando-se sua resistência série.

Em adição às perdas resistivas, a capacitância para o substrato é outro problema notável nos indutores espirais. Nas tecnologias com base em silício, o substrato se encontra próximo às camadas de metal (Tipicamente de  $2 - 5 \mu\text{m}$ ) e é bastante condutor, criando-se um capacitor de placas planas paralelas em conjunto com o metal do indutor. Trata-se de uma rede ressonante LC, e a frequência de ressonância dessa combinação representa um limite superior à utilização do indutor. A proximidade com o substrato também degrada a performance do dispositivo, tendo-se em vista o acoplamento energético com o substrato repleto de perdas. A Figura 2.4 ilustra o que foi comentado anteriormente.

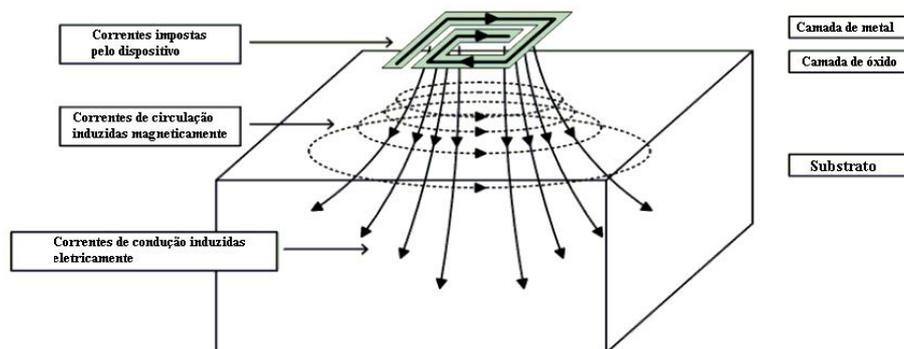


Figura 2.4: Acoplamento do indutor com o substrato.

Um elemento parasita adicional é a capacitância *shunt* do indutor que se origina devido à sobreposição da espira com a camada de metal interna que se conecta ao centro da espira. A Figura 2.5(a) ilustra de forma bem completa um modelo para espirais *on-chip*. Embora o modelo seja simétrico, os indutores não

<sup>12</sup>De fato, uma combinação de várias camadas de metal pode ser empregada de forma a reduzir a resistência série resultante.

<sup>13</sup>Conhecida como *bridge* na literatura técnica.

<sup>14</sup>Esse valor pode ser considerado ínfimo dentro do contexto dos circuitos discretos.

<sup>15</sup>Distribuição de corrente não uniforme em um condutor operando em RF.

são; contudo, o erro nessa aproximação costuma ser desprezível. A formulação desenvolvida para o cálculo das componentes parasitárias restantes pode ser apreciado em [3].

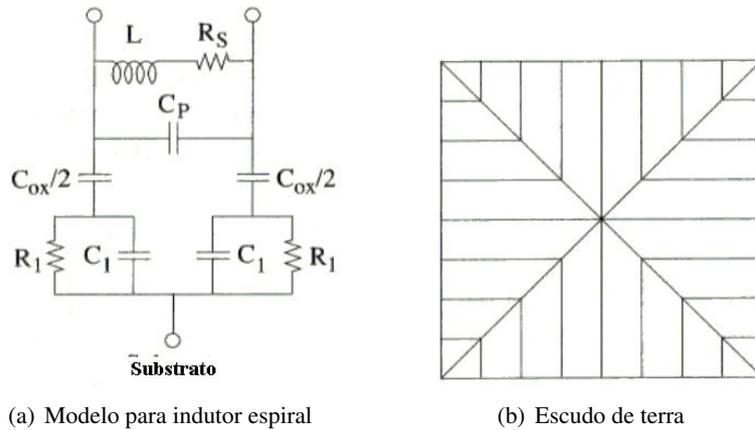


Figura 2.5: Modelo para o indutor e o escudo de terra.

Uma alternativa bastante utilizada para diminuir-se o forte acoplamento capacitivo com o substrato é a inserção de um escudo de terra abaixo do indutor, essa técnica é ilustrada na Fig. 2.5(b). Outra vantagem é que o escudo de terra diminui significativamente o acoplamento de ruído do substrato para o indutor. A penalidade paga nessa técnica é uma redução na frequência de auto-ressonância devido ao aumento da capacitância obtida. Para verificar a veracidade dessa afirmação, basta observar o efeito de se reduzir  $H$  em 2.12 ou 2.13.

Uma segunda abordagem para a obtenção de indutores é a utilização de indutores externos, ou seja, *off-chip*. Nesse contexto, obtemos um aumento no fator de qualidade do indutor resultante e uma menor área ocupada em *chip*; contudo, o preço pago se encontra na maior complexidade envolvida no projeto e na prototipagem da placa de testes do dispositivo.

Um terceiro método disponível para a obtenção de indutores *on-chip* é a utilização de circuitos ativos projetados para apresentar um comportamento tipicamente indutivo numa determinada faixa de frequências. Uma topologia bastante consagrada desta técnica é o *gyrator*, vide Fig. 2.6. Pode-se facilmente mostrar que sua impedância equivalente é dada por

$$Z_{in} = R_L + j\omega R_L R C \quad (2.15)$$

A partir da Equação 2.15, pode-se observar que valores arbitrariamente elevados de indutância são realizáveis a partir deste técnica; contudo, o ruído inserido no sinal por essa arquitetura não é aceitável para a maioria das aplicações.

Um quarto método existente para a realização de indutores consiste na utilização da indutância resultante dos *bondwires*. Nesse ponto, um pouco deve ser comentado sobre o processo de encapsulamento dos CIs. Uma vez que o circuito esteja pronto, seus terminais de acesso elétrico devem ser ligados aos pinos do encapsulamento. Entretanto, devido à enorme discrepância entre as dimensões dos componentes do circuito integrado e dos pinos do encapsulamento, conexões intermediárias devem ser realizadas. Os terminais do circuito integrado são ligados a pontos de acesso conhecidos como *Pads*, que por sua vez são roteados até outros componentes que já se encontram ligados aos pinos do encapsulamento. Esse roteamento é realizado utilizando-se finos fios de excelentes condutores elétricos<sup>16</sup>(conhecidos como *bondwires*). Nesse contexto, pode-se tirar proveito da indutância resultante desses *bondwires*. Entretanto, sabe-se que os val-

<sup>16</sup>Comumente utiliza-se ouro nesse processo.

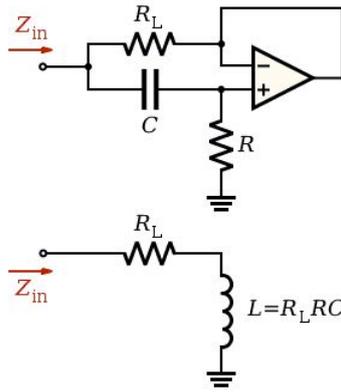


Figura 2.6: Topologia *Gyrator*.

ores de indutância obtidos desta forma são bastante limitados e que sua tolerância é tão elevada que pode chegar a inviabilizar sua utilização. A Figura 2.7 ilustra um pouco do que foi comentado.

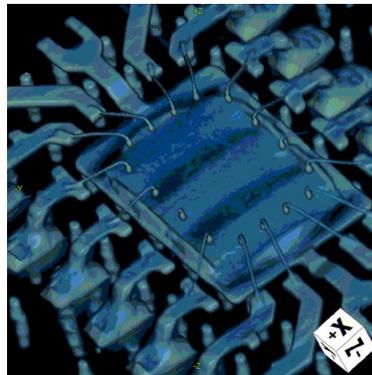


Figura 2.7: Scaneamento de alta resolução de um *chip* semi-condutor para inspeção da conectividade dos *bondwires*.

Negligenciando-se a influência de condutores próximos, o valor da indutância DC de um *bondwire* é dado por [3]:

$$L \approx \left[ \frac{\mu_0 l}{2\pi} \right] \left[ \ln \frac{2l}{r} - 0.75 \right] \approx 2 \cdot 10^{-7} l \left[ \ln \frac{2l}{r} - 0.75 \right] \quad (2.16)$$

Para um *bondwire* padrão de 2 mm de comprimento, a equação 2.16 resulta num valor de indutância igual a 2.0 nH, conduzindo-se a uma regra empírica comumente utilizada de se considerar uma indutância de 1 nH/mm. Essa técnica viabiliza fatores de qualidade tão bons quanto 100, apesar de exigir um cuidado extraordinário na minimização das perdas.

O conhecimento relacionado à teoria de encapsulamentos é muito extenso, de forma que seu resumo poderia consumir um capítulo inteiro. No presente trabalho, limitaremos-nos a fazer alguns comentários quando pertinente, mas sempre citando as referências bibliográficas adequadas.

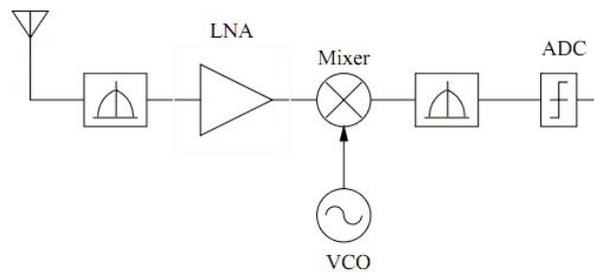


Figura 2.8: Arquitetura típica de um rádio receptor.

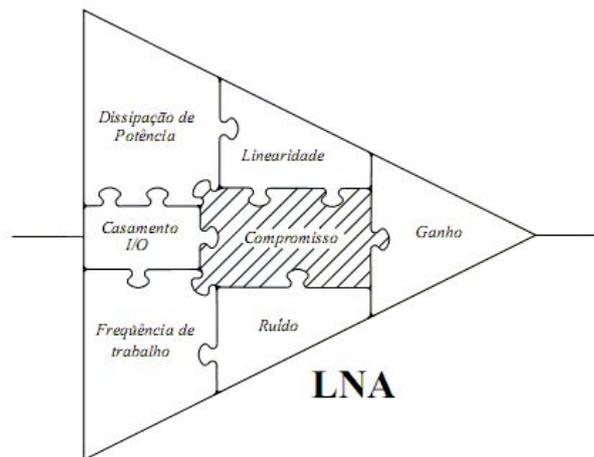


Figura 2.9: Compromisso dos parâmetros de projeto de um LNA.

## 2.4 AMPLIFICADORES DE BAIXO RUÍDO (LNA)

Um dos primeiros blocos encontrados num receptor (vide Fig. 2.8) é o amplificador de baixo ruído (LNA), e sua função é amplificar o sinal de entrada proveniente da antena<sup>17</sup> para o misturador. O projeto do LNA é crítico porque deve fornecer um ganho suficiente aos baixos níveis de potência que chegam à antena receptora, inserindo-se a mínima potência de ruído possível ao sinal de forma que a relação sinal-ruído (SNR) não seja degradada, e deve também ser capaz de sustentar grandes sinais com baixa distorção e baixo consumo de potência. Como o estágio anterior ao LNA é geralmente uma antena<sup>18</sup>, existe a necessidade de casar a impedância de entrada a um valor específico, por exemplo  $50 \Omega$ , para garantir a máxima transferência de potência. Desta forma, o projeto do LNA requer um compromisso entre: ganho suficiente, baixa figura de ruído, casamento na entrada e na saída, alta linearidade e baixo consumo de potência.

Embora o projeto do LNA seja aparentemente simples devido ao baixo número de componentes que o constitui, o alto compromisso entre os parâmetros de uma especificação dificulta o projeto, vide Fig. 2.9. A fim de cumprir o compromisso das especificações desde a etapa de projeto, é necessário que os modelos dos dispositivos considerem: o comportamento DC, o comportamento AC, o comportamento da linearidade, as fontes de ruído; que levem em conta a extração de parâmetros, as variações de temperatura e as tolerâncias de processo [10, 11].

<sup>17</sup>Pode-se ainda encontrar na literatura casos em que um filtro esteja inserido entre a antena e o LNA

<sup>18</sup>Quando existe um filtro entre a antena e o LNA também é necessário casar a entrada do LNA a  $50 \Omega$ , pois um desvio na carga do filtro resulta num pobre desempenho desse filtro. Além disso, o projeto do LNA isolado requer terminações com  $50 \Omega$  devido às impedâncias de entrada dos instrumentos de medida

Uma estratégia consagrada de projeto de LNAs RF CMOS que envolva a otimização do desempenho de ruído, da linearidade, dos casamentos de entrada e saída e que seja capaz de operar com ganho e dissipação de potência especificados não se encontrava disponível na literatura revisada. De forma contrária, um grande número de circuitos de LNAs em RF CMOS tem sido apresentado nos últimos anos, mas poucas metodologias precisas têm sido propostas. Como o LNA pode comprometer seriamente a figura de ruído global do receptor<sup>19</sup>, a maioria dos métodos propostos se encontram baseados na otimização do desempenho de ruído com uma potência pré-definida [12, 13], sendo que todos os demais parâmetros costumam ser adaptados às especificações usando simulações iterativas. Entretanto, essa abordagem se revela ineficiente em alguns casos.<sup>20</sup>

Tendo como base a problemática comentada anteriormente, esta seção se destina ao projeto de amplificadores de baixo ruído. Iniciaremos discutindo as principais topologias amplificadoras convenientes em projetos de RF, suas vantagens e desvantagens. Logo em seguida, discutiremos os projetos de amplificadores visando o casamento de impedâncias e o casamento de ruído. Finalmente, seguiremos para os projetos de otimização mais revisados na literatura.

### 2.4.1 Topologias amplificadoras convenientes em projetos de RF

Uma vez que o amplificador de baixo ruído se encontra casado com a antena receptora e a máxima transferência de potência entre eles ocorra, é mais condizente com nossa aplicação trabalhar com elevados valores de tensão a partir do LNA do que dar continuidade ao seguimento em potência. Dessa forma, estaremos operando com menores dissipações de potência, e poderemos falar mais genericamente em níveis e ganhos de tensão que serão futuramente entregues a blocos com uma alta impedância de entrada (e.g., portas de transistores<sup>21</sup>). Dessa forma, deste ponto em diante, a não ser que uma explícita referência contrária seja realizada, estaremos trabalhando com níveis e ganhos de tensão no LNA.

Tomando-se como base a Seção 2.2, pode-se concluir que apesar de existirem mecanismos para a redução do ruído artificial, o ruído intrínseco continuará integralmente presente nos dispositivos eletrônicos devido a sua natureza física. Além disso, a Equação 2.9 revela que o fator determinante na sensibilidade de um bloco receptor é a potência de ruído inserida pelos primeiros blocos do sistema, comumente um amplificador de baixo ruído. Dessa forma, não é de se estranhar que a filosofia envolvida no projeto desses amplificadores envolva a utilização do menor número de componentes ativos e passivos possíveis.

Seguindo-se a lógica de utilização do menor número de componentes ativos (transistores) possíveis, é realizada uma comparação entre as três topologias existentes de amplificadores MOS de estágio simples: o amplificador fonte comum (FC), o amplificador porta comum (PC) e o amplificador dreno comum (DC). Essas arquiteturas são ilustradas na Figura 2.10.

O amplificador dreno comum é utilizado como estágio de saída em amplificadores com múltiplos estágios, em que sua função é prover o amplificador multiestágio com baixa resistência de saída, de forma a permitir correntes de carga relativamente elevadas sem perda de ganho<sup>22</sup>. Entretanto, o ganho de tensão deste amplificador é sempre inferior à unidade tornando-o claramente inapropriado para uma aplicação como amplificador de tensão.

O amplificador porta comum é utilizado em aplicações que necessitem de uma baixa impedância de entrada. Neste contexto, ele poderia ser utilizado para prover o casamento de impedância do circuito amplificador à antena, além disso, pode-se provar que essa impedância é puramente resistiva [15]. Entretanto, essa impedância de origem essencialmente resistiva provê um casamento de impedância que é pago ao

<sup>19</sup>Rever equação 2.9

<sup>20</sup>e.g., A estimativa do desempenho de linearidade como objetivo direto de projeto é importante para LNAs de faixa larga usados em sistemas *multistandard* e aplicações com grande número de canais, tal como W-CDMA [14].

<sup>21</sup>Mesmo em aplicações de RF, o transistor MOS apresentam uma elevada impedância na porta.

<sup>22</sup>e.g., um *buffer*.

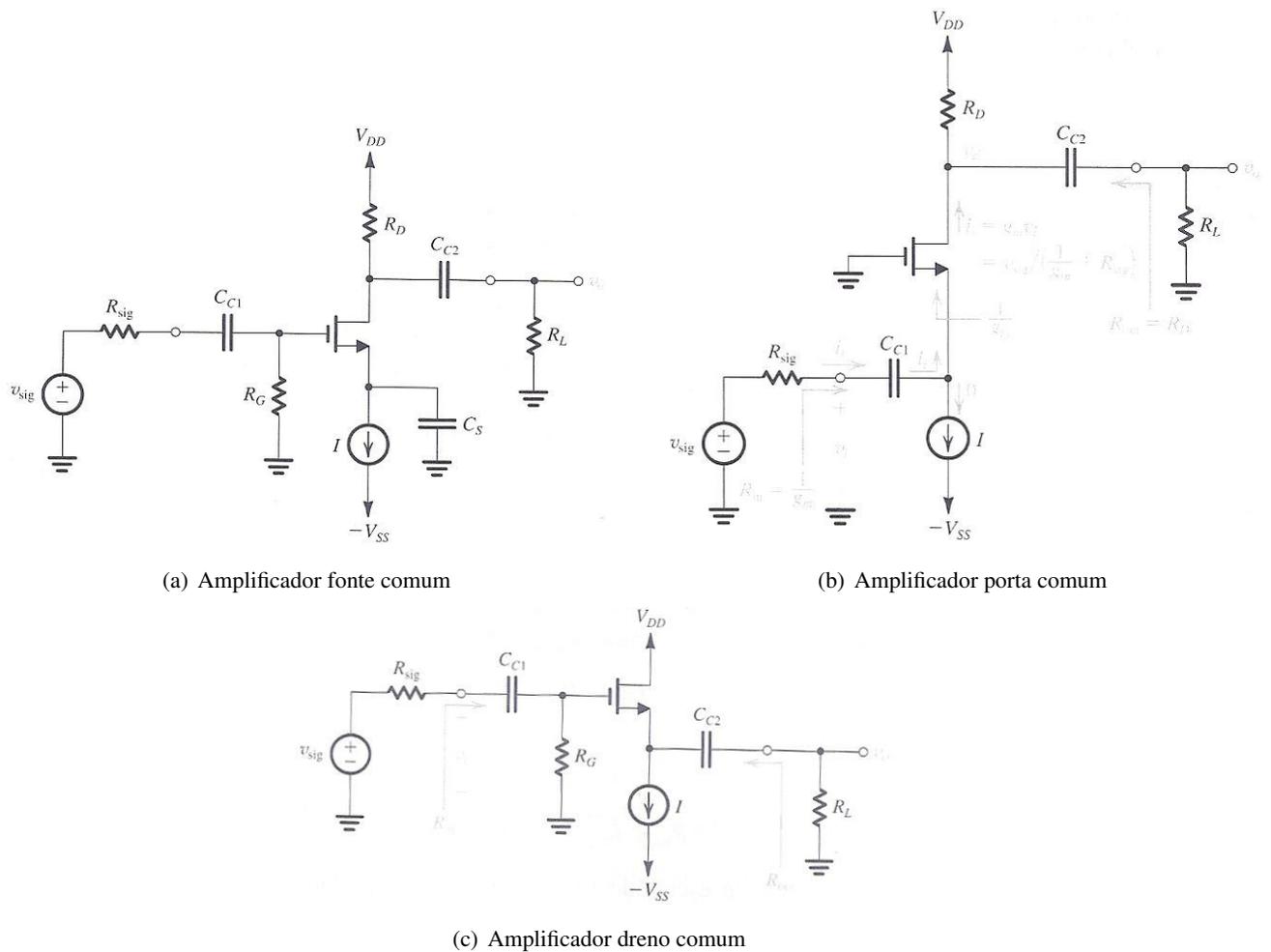


Figura 2.10: Amplificadores MOS de estágio simples.

preço de um aumento significativo do ruído inserido no bloco. Como já foi comentado anteriormente, o objetivo de minimizar a figura de ruído inviabilizaria a utilização desta arquitetura isoladamente.

Enquanto que os amplificadores dreno comum e porta comum se mostraram inapropriados para uma utilização isolada, o amplificador fonte comum se apresenta mais satisfatório nessa aplicação. A justificativa para essa afirmativa reside no seu elevado ganho de tensão, e em sua baixa impedância de entrada de origem puramente capacitiva.

Ainda que o amplificador fonte comum apresente algumas características interessantes para a presente aplicação, ainda existem duas questões que permanecem em aberto: a capacitância parasita entre a porta e o dreno do transistor e a natureza capacitiva da impedância de entrada do amplificador. Dessa forma, nossos objetivos seguintes serão solucionar esses problemas remanescentes.

Primeiramente iremos considerar a capacitância parasita porta-dreno do transistor operando como amplificador fonte comum. Observa-se que devido ao efeito Miller<sup>23</sup> [15], teremos deterioração da resposta em frequência do dispositivo. Além disso, caso a carga do amplificador seja ligada diretamente no dreno do dispositivo, estaremos lidando com um circuito realimentado que poderá ter sua estabilidade seriamente comprometida. A solução para esse problema consiste em sair do paradigma de se utilizar apenas um único transistor no LNA, e considerar uma nova arquitetura, um amplificador de dois estágios: um estágio fonte comum e outro estágio porta comum. A Figura 2.11 ilustra a arquitetura proposta. De fato, essa arquitetura

<sup>23</sup>Consiste no aumento da capacitância parasita porta-dreno por um fator equivalente ao ganho do amplificador.

tura é bastante utilizada em projetos de amplificadores de baixo ruído, e é conhecida como amplificador cascode.

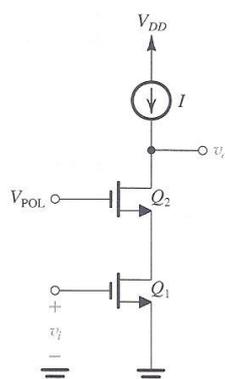


Figura 2.11: Estabilização por "cascoding".

A inserção de um segundo transistor na arquitetura do amplificador pode parecer contrária a metodologia proposta de se utilizar apenas as componentes ativas ou passivas indispensáveis ao funcionamento do dispositivo, de forma a minimizar a figura de ruído do amplificador; entretanto, pode-se mostrar [15] que essa mudança confere ao dispositivo um aumento tanto do ganho quanto da estabilidade, sendo portanto justificada. Uma solução alternativa seria efetuar a eliminação da capacitância parasita porta-dreno por intermédio da utilização de um indutor paralelo, vide Fig. 2.12. Nesse caso,  $L_1$  e  $C_\mu$  entram em ressonância na frequência de interesse. Infelizmente, a utilização de indutores em circuitos integrados não costuma ser a solução ótima<sup>24</sup>. Além disso, essa solução seria válida unicamente na banda de frequências próxima a frequência de ressonância dessa rede LC.

A última questão remanescente na escolha da topologia é ligeiramente mais complexa e será detalhada na seção seguinte.

## 2.4.2 Casamento de impedância

A interface entre a antena e o LNA implica uma questão interessante que divide projetistas analógicos e engenheiros de micro-ondas. Considerando-se o LNA como um amplificador de tensão, poderia se esperar que o valor ideal para sua impedância de entrada fosse infinito. No que se refere ao ruído, poderia se exigir uma rede de transformação de impedâncias precedendo o LNA de forma a se obter a menor figura de ruído (NF) possível. Finalmente, do ponto de vista de sinal, deveria se utilizar o casamento conjugado entre a antena e o LNA. Enquanto que cada uma dessas escolhas possui certos méritos e desvantagens, a última abordagem é dominante nos sistemas atuais, i.e., o LNA é projetado para apresentar uma impedância de entrada resistiva de  $50 \Omega$ . Para ilustrar as dificuldades em se criar uma impedância de entrada de  $50 \Omega$ , algumas arquiteturas serão apresentadas.

Na Figura 2.13, um resistor de  $50 \Omega$  é posicionado em paralelo com a entrada, e a parcela capacitiva da impedância de entrada é cancelada por um indutor externo. De qualquer forma, excessivo ruído é gerado pelo resistor paralelo adicionado<sup>25</sup>. A solução ótima seria obter um circuito com uma impedância de entrada de  $50 \Omega$  sem ter o ruído térmico de um resistor de  $50 \Omega$  adicionado.

Na Figura 2.14, realimentação negativa fornece uma baixa impedância de entrada, podendo-se gerar uma parte real de  $50 \Omega$ . Contudo, existem dois problemas nessa arquitetura. Primeiro, o sinal realimentado pode conter uma quantidade de ruído substancial, portanto aumentando a figura de ruído para níveis

<sup>24</sup>A problemática referente à utilização de indutores foi abordada na seção 2.3.3.

<sup>25</sup>Pode-se mostrar que um limitante inferior de  $3dB$  para a figura de ruído estaria presente nessa situação[16]

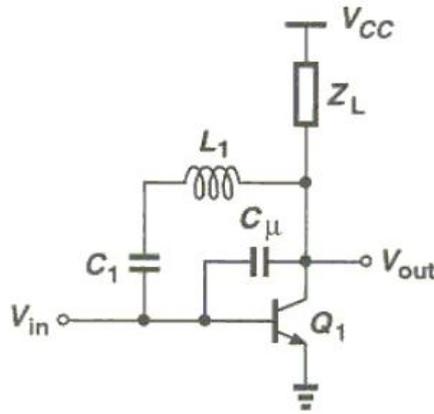


Figura 2.12: Estabilização por neutralização.

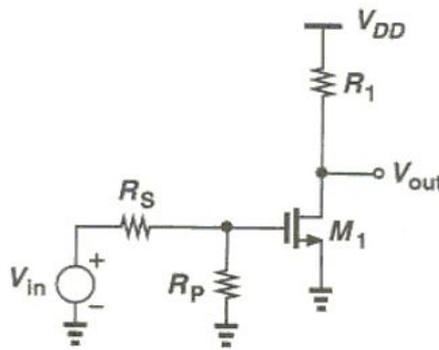


Figura 2.13: Casamento resistivo.

inaceitáveis. Segundo, a teoria de controle nos revela que uma realimentação pode gerar uma mudança de fase total em torno do laço capaz de gerar instabilidade para determinadas impedâncias de fonte e de carga.

A Figura 2.15 revela um estágio porta-comum projetado para exibir uma impedância de entrada de  $50 \Omega$ ; ou seja,  $1/(g_m + g_{mb}) = 50 \Omega$ . E a capacitância de entrada residual pode ser eliminada utilizando-se um indutor externo. A principal desvantagem deste método é que a transcondutância do transistor de entrada não pode ser arbitrária, conseqüentemente impondo determinado limite nos parâmetros de interesse do projeto.

Outro método para se criar uma resistência de entrada de  $50 \Omega$  está ilustrada na Fig. 2.16. Desprezando-se as capacitâncias de porta-dreno e de fonte-corpo, pode-se escrever

$$Z_{in} \approx \frac{g_m L_1}{C_{GS}} + L_1 s + \frac{1}{C_{GS}} \quad (2.17)$$

Conclui-se então que uma escolha apropriada para os valores de  $g_m$ ,  $L_1$  e  $C_{GS}$  resultam em uma parte real de  $50 \Omega$ . Na prática, os últimos dois termos podem não ressonar na frequência de interesse, necessitando-se assim da utilização de componentes *off-chip* na entrada do dispositivo<sup>26</sup>. Contudo, observa-se que o desempenho do dispositivo não sofre deterioração.

<sup>26</sup>e.g., um indutor apropriadamente dimensionado.

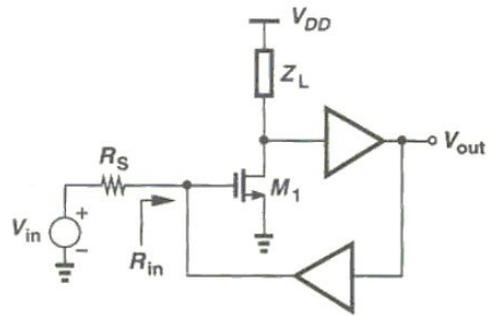


Figura 2.14: Casamento através de realimentação.

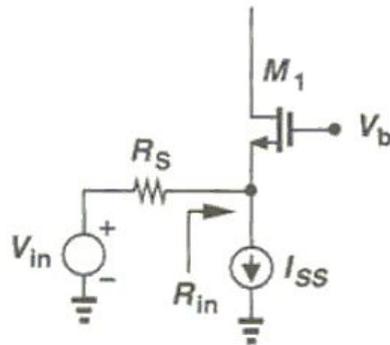


Figura 2.15: Estágio porta-comum.

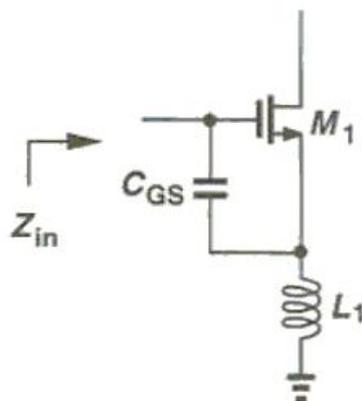


Figura 2.16: Degeração indutiva.

## 2.5 TÉCNICAS DE OTIMIZAÇÃO PARA PROJETO DE LNA

Ao longo da seção anterior, foi escolhida uma topologia favorável à implementação de um amplificador de baixo ruído, rever Fig. 2.11. De fato, essa topologia é amplamente conhecida e utilizada no meio acadêmico para se realizar projetos de LNAs, de forma que ela já foi exaustivamente revisada. Desta forma, não é de se admirar que várias técnicas de otimização tenham sido elaboradas com base nessa arquitetura.

Nesta seção, algumas das técnicas mais conhecidas de otimização serão brevemente comentadas, privilegiando-se ao longo dessa discussão as vantagens e desvantagens de cada técnica. Em certos momentos, a dedução analítica das equações será omitida; contudo, o interesse maior do presente trabalho reside nos resultados proporcionados por essas equações, de forma que suas deduções poderão ser acompanhadas nas referências bibliográficas citadas.

### 2.5.1 Técnica CNM - *Classical noise matching*

A técnica CNM foi reportada em [17]. Nesta técnica, o LNA é projetado para apresentar a mínima figura de ruído possível  $F_{min}$  apresentando-se a impedância de ruído ótima  $Z_{opt}$  ao amplificador, essa impedância é tipicamente implementada através de um circuito de casamento entre a fonte e a entrada do amplificador, vide Fig. 2.17.

Depois de demorado esforço algébrico [3], os parâmetros de ruído para o amplificador cascode ilustrado na Fig. 2.17 podem ser expressos como:

$$R_n^0 = \frac{\gamma}{\alpha} \frac{1}{g_m} \quad (2.18)$$

$$Y_{opt}^0 = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2) - s C_{gs} \left(1 + \alpha |c| \sqrt{\frac{\delta}{5\gamma}}\right)} \quad (2.19)$$

$$F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)} \quad (2.20)$$

Sendo  $R_n^0$  representa a resistência de ruído,  $Y_{opt}^0$  é a admitância ótima de ruído, e  $F_{min}^0$  é o fator de ruído mínimo, respectivamente. Em 2.20 a frequência de corte  $\omega_T$  é igual a  $\frac{g_m}{C_{gs}}$ ,  $\alpha = g_m/g_{d0}$  é unitário e  $\delta$  é constante com valor igual a 4/3 para dispositivos de canal longo [3]. Já  $\gamma$  varia entre 2/3 e 1, dependendo do modo de operação em que se encontra o transistor. Finalmente,  $c$  pode ser previsto teoricamente como  $j.0.395$  e reflete o acoplamento capacitivo entre o canal e as fontes de ruído induzido na porta.

Por intermédio da utilização desta técnica, o LNA pode ser projetado para alcançar uma figura de ruído igual a  $F_{min}$  do transistor, a menor figura de ruído que pode ser obtida para uma dada tecnologia. De qualquer forma, devido ao inerente descasamento entre  $Z_{opt}$  e  $Z_{in}^*$  (onde  $Z_{in}^*$  é o conjugado complexo da impedância de entrada do amplificador), o amplificador pode experimentar um descasamento de ganho significativo em sua entrada. Portanto, a técnica CNM tipicamente requer um forte compromisso entre o ganho e o desempenho de ruído.

### 2.5.2 Técnica SNIM - *Simultaneous noise and input matching*

Técnicas de realimentação são comumente adotadas no projeto de amplificadores de baixo ruído a fim de deslocar a impedância ótima de ruído  $Z_{opt}$  para o ponto desejado. A realimentação série com

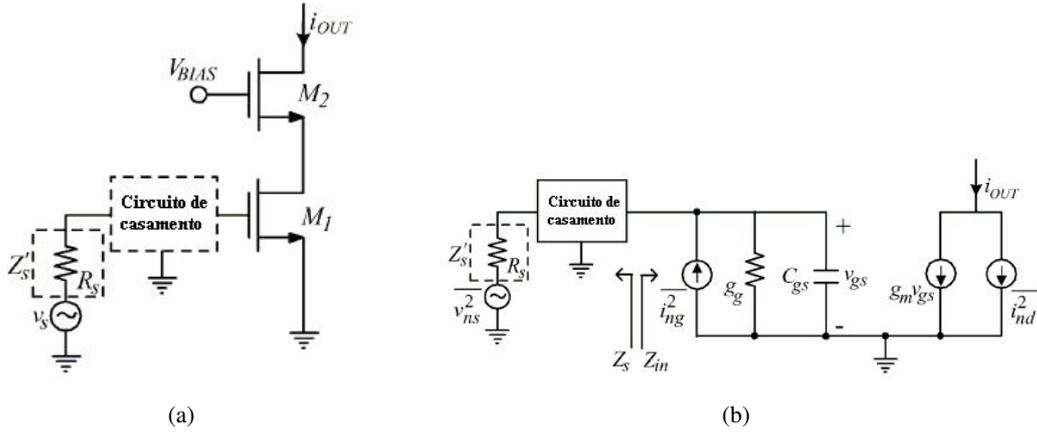


Figura 2.17: (a) Esquemático de uma topologia LNA cascode adaptado para aplicação da técnica CNM. (b) Seu circuito equivalente de pequenos sinais.

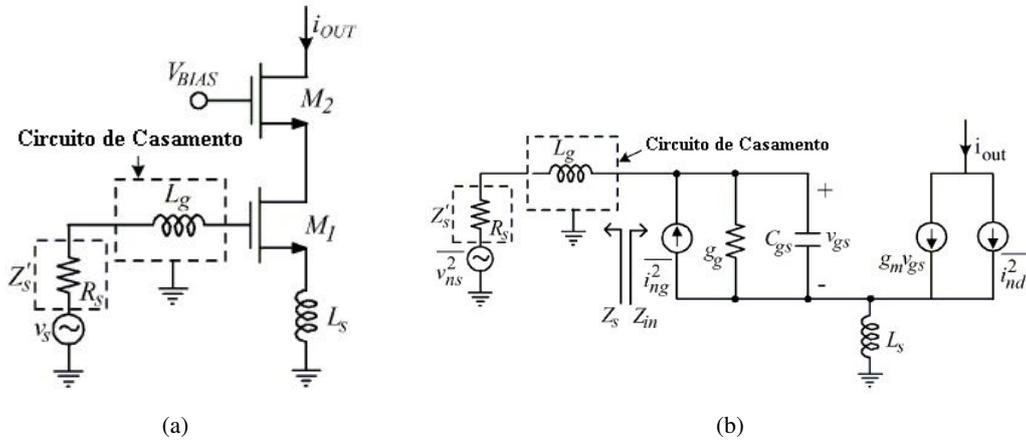


Figura 2.18: (a) Esquemático de uma topologia LNA cascode adaptado para aplicação da técnica SNIM. (b) Seu circuito equivalente de pequenos sinais.

degeneração indutiva de fonte, a qual pode ser aplicada a topologia fonte-comum ou a topologia cascode, é amplamente empregada para aplicações em banda estreita [18].

A Figuras 2.18(a) e (b) mostram o LNA cascode com degeneração indutiva de fonte e seu circuito equivalente de pequenos sinais simplificado. Observa-se que o modelamento do ruído empregado neste modelo foi descrito na seção 2.2.

Nesta topologia, o conjunto de equações que possibilita o casamento simultâneo do ruído e da entrada é apresentado abaixo:

$$Z_{opt} = Z_{opt}^0 - sL_s \quad (2.21)$$

$$F_{min} = F_{min}^0 = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|^2)}. \quad (2.22)$$

$$Z_{in} = sL_s + \frac{1}{sC_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (2.23)$$

Para o circuito apresentado na Figura 2.18 (a), a condição que permite SNIM é

$$Z_{opt} = Z_{in}^* \quad (2.24)$$

Obtemos então o seguinte conjunto de equações:

$$\Re[Z_{opt}] = \Re[Z_s] \quad (2.25)$$

$$\Im[Z_{opt}] = \Im[Z_s] \quad (2.26)$$

$$\Im[Z_{in}] = -\Im[Z_s] \quad (2.27)$$

$$\Re[Z_{in}] = \Re[Z_s] \quad (2.28)$$

A técnica de projeto apresentada acima sugere que, por intermédio da adição de  $L_s$ , em princípio, o SNIM pode ser alcançado por qualquer valor de  $Z_s$  que satisfaça 2.25, 2.26 e 2.28 assumindo-se que 2.21 e 2.22 são válidas. Vários casos, especialmente aqueles em que as dimensões do transistor são grandes, altos níveis de potência são dissipados e a frequência de operação é alta podem ser satisfeitos sem grandes dificuldades, uma vez que 2.21 e 2.22 são válidas. O problema ocorre quando as dimensões do transistor são pequenas (Consequentemente a dissipação de potência é pequena) e o LNA opera em baixas frequências. Nesses casos, 2.22 se torna inválida e  $F_{min}$  aumenta significativamente. Como consequência, a menor figura de ruído obtida nesses casos é superior a  $F_{min}$  do transistor fonte-comum, arruinando-se a idéia principal do SNIM.

### 2.5.3 Técnica PCNO - *Power-constrained noise optimization*

Mesmo com uma quantidade de potência dissipada limitada, a abordagem empregada em 2.5.2 ainda pode ser útil. Para qualquer quantidade de potência dissipada, 2.27 e 2.28 podem ser satisfeitas por intermédio da escolha apropriada do valor de  $L_s$  para uma dada  $C_{gs}$  e com a utilização do circuito de casamento ilustrado em 2.17 (a), o qual é tipicamente implementado utilizando-se uma indutância série  $L_s$ . Pode ser mostrado que, para uma corrente de dreno fixa e enquanto satisfeitas 2.27 e 2.28, existe um tamanho de transistor onde a figura de ruído do amplificador se torna aproximadamente mínima. De [3], esse tamanho ótimo de transistor é dado por

$$W_{OPT} \approx \frac{1}{3\omega C_{OX} R_s Q_{in,OPT}} \quad (2.29)$$

Em que

$$Q_{in,OPT} = |c| \sqrt{\frac{5\gamma}{\delta}} \left[ 1 + \sqrt{1 + \frac{3}{|c^2|} \left( 1 + \frac{\delta}{5\gamma} \right)} \right] \quad (2.30)$$

Em 2.30,  $C_{OX}$  representa a capacitância óxido-porta do MOSFET por unidade de área. A mínima figura de ruído nesse caso  $F_{minP}$  pode ser dada por

$$F_{minP} \approx 1 + 2.4 \frac{\gamma}{\alpha} \left[ \frac{\omega}{\omega_T} \right] \quad (2.31)$$

Como descrito em [3],  $F_{minP}$  é maior do que  $F_{min}$ , a mínima figura de ruído do transistor fonte comum. A razão para  $F_{minP} > F_{min}$  é o descasamento entre  $Z_s$  e  $Z_{opt}$  e/ou os altos valores necessários para  $L_s$ , que conduzem a altas figuras de ruído.

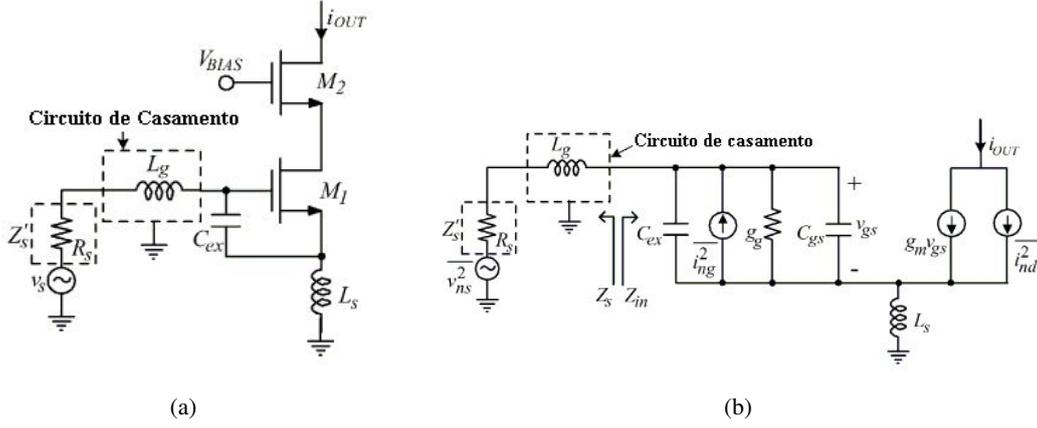


Figura 2.19: (a) Esquemático de uma topologia LNA cascode adaptado para aplicação da técnica PC-SNIM. (b) Seu circuito equivalente de pequenos sinais.

### 2.5.4 Técnica PCSNIM - *Power-constrained simultaneous noise and input matching*

Como descrito nas seções 2.5.2 e 2.5.3, as técnicas SNIM e PCNO não permitem SNIM em implementações de baixa potência. De qualquer forma, a necessidade por implementações de baixa potência para transceptores de rádio é inevitável. A Figura 2.19 ilustra uma topologia de amplificador cascode que pode satisfazer SNIM para baixas potências.

Observe que a diferença entre 2.18 e 2.19 é um capacitor adicional  $C_{ex}$ . Nesse caso, os parâmetros de ruído serão dados por

$$R_n = \frac{\gamma}{\alpha} \frac{1}{g_m} \quad (2.32)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|_2)}} + j \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|_2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s \quad (2.33)$$

$$F_{min} = 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_T} \sqrt{\gamma \delta (1 - |c|_2)} \quad (2.34)$$

Sendo  $C_t = C_{gs} + C_{ex}$ . Como pode ser observado de 2.32 e 2.34, a resistência de ruído  $R_n$  e a mínima figura de ruído  $F_{min}$  não são afetadas pela adição de  $C_{ex}$ . Da Figura 2.19 (b), a impedância de entrada do LNA pode ser expressa por:

$$Z_{in} = sL_s + \frac{1}{sC_t} + \frac{g_m L_s}{C_t} \quad (2.35)$$

Assim como na topologia do LNA ilustrado Figura 2.17 (a), para a SNIM do circuito ilustrado em 2.19 (a), 2.24 deve ser satisfeita, isso significa que as condições 2.25-2.28 devem ser satisfeitas. De 2.33-2.35, 2.25-2.28 podem ser re-expressas como

$$\frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|_2)}}}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|_2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} = \Re[Z_s] \quad (2.36)$$

$$\frac{j\left(\frac{C_t}{C_{gs}} + \alpha|c|\sqrt{\frac{\delta}{5\gamma}}\right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha|c|\sqrt{\frac{\delta}{5\gamma}}\right)^2 \right\}} - sL_s = \Im[Z_s] \quad (2.37)$$

$$sL_s + \frac{1}{sC_t} = -\Im[Z_s] \quad (2.38)$$

$$\frac{g_m L_s}{C_t} = \Re[Z_s] \quad (2.39)$$

Os parâmetros de projeto que devem satisfazer 2.36-2.39 são  $V_{gs}$ ,  $W$  (ou  $C_{gs}$ ),  $L_s$  e  $C_{ex}$ . Contudo, para valores típicos de tecnologias CMOS avançadas, 2.37 é aproximadamente igual à 2.38. Uma vez que existam três equações e 4 parâmetros a determinar, 2.36-2.38 podem ser resolvidas para qualquer valor arbitrário de  $Z_s$  fixando-se o valor desse parâmetro de projeto. Dessa forma, na técnica de projeto de LNA PCSNIM, por intermédio da adição do capacitor  $C_{ex}$ , a SNIM pode ser atingida para qualquer nível de dissipação de potência.

## 2.6 FUNDAMENTOS PARA CARACTERIZAÇÃO DO LNA

O assunto a ser tratado nesta seção será necessário no momento em que a caracterização do LNA for proposta, em capítulos posteriores. Não é intenção do presente trabalho se estender muito nesta teoria, e maiores detalhes poderão ser encontrados na bibliografia citada.

### 2.6.1 Quadripolos

Um diagrama da representação dos parâmetros S para uma rede de duas portas é apresentado na Fig. 2.20 [17, 19].

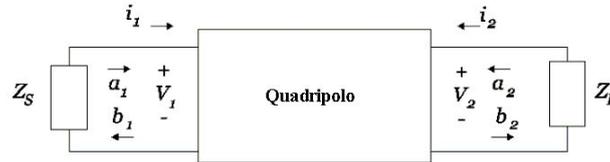


Figura 2.20: Representação de parâmetros S para uma rede de 2 portas.

A idéia básica por trás dessa representação é medir a onda incidente de tensão  $a_i$  entrando no sistema pela porta  $i$ , assim como a correspondente onda de tensão refletida  $b_i$  deixando a porta  $i$ . As ondas incidentes e refletidas normalizadas  $a_i$  e  $b_i$  se encontram relacionadas às tensões e correntes terminais da porta  $i$  pelas seguintes equações:

$$a_i = \frac{v_i + Z_0 i_i}{2\sqrt{Z_0}} \quad (2.40)$$

$$b_i = \frac{v_i - Z_0 i_i}{2\sqrt{Z_0}} \quad (2.41)$$

Onde  $Z_0$  é a impedância de referência<sup>27</sup>. Para a rede apresentada na Figura 2.20, as contribuições provenientes das duas portas podem ser combinadas para formar a equação 2.42 (na forma matricial).

<sup>27</sup> Assumida real na presente análise, e geralmente igual a  $50 \Omega$ .

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (2.42)$$

Onde  $S_{11}$ ,  $S_{12}$ ,  $S_{21}$ ,  $S_{22}$  são os parâmetros de espalhamento medidos entre as portas 1 e 2. Expandindo-se a matriz de espalhamento, as seguintes equações podem ser escritas:

$$S_{11} = \frac{b_1}{a_1} \Big|_{a_2=0} \quad (2.43)$$

$$S_{12} = \frac{b_1}{a_2} \Big|_{a_1=0} \quad (2.44)$$

$$S_{21} = \frac{b_2}{a_1} \Big|_{a_2=0} \quad (2.45)$$

$$S_{22} = \frac{b_2}{a_2} \Big|_{a_1=0} \quad (2.46)$$

## 2.6.2 Caracterização dos ganhos do LNA

Se a rede de duas portas apresentada na Figura 2.21 é considerada, uma série de expressões úteis podem ser definidas em termos dos coeficientes de reflexão e dos parâmetros S da rede.

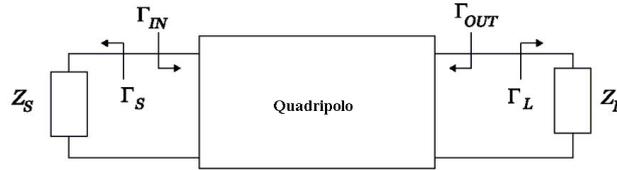


Figura 2.21: Representação dos coeficientes de reflexão para uma rede de 2 portas.

O coeficiente de reflexão é a razão entre a onda de tensão refletida numa porta e a onda de tensão incidente entrando na porta, e é dada pela equação 2.47.

$$\Gamma = \frac{Z - Z_0}{Z + Z_0} \quad (2.47)$$

Além disso, outras expressões úteis são apresentadas abaixo.

$$\Gamma_{IN} = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \quad (2.48)$$

$$\Gamma_{OUT} = S_{22} + \frac{S_{12}S_{21}\Gamma_S}{1 - S_{11}\Gamma_S} \quad (2.49)$$

$$G_A = \frac{1 - |\Gamma_S|^2}{|1 - S_{11}\Gamma_S|^2} |S_{21}|^2 \frac{1}{1 - |\Gamma_{OUT}|^2} \quad (2.50)$$

$$G_P = \frac{1}{1 - |\Gamma_{IN}|^2} |S_{21}|^2 \frac{1 - |\Gamma_L|^2}{|1 - S_{22}\Gamma_L|^2} \quad (2.51)$$

$$A_V = \frac{S_{21}(1 + \Gamma_L)}{(1 - S_{22}\Gamma_L) + S_{11}(1 - S_{22}\Gamma_L) + S_{21}\Gamma_L S_{12}} \quad (2.52)$$

Onde  $G_A$  é o ganho de potência disponível, e ele representa a potência disponibilizada à rede (carga casada) dada a potência disponibilizada pela fonte (descasamento de fonte).  $G_P$  é o ganho de potência, e representa a potência que é entregue à carga (descasamento de carga), e  $A_V$  é o ganho de tensão da rede.

### 2.6.3 Caracterização da estabilidade do LNA

Para uma rede de duas portas ser incondicionalmente estável, as seguintes quatro equações devem ser simultaneamente satisfeitas:

$$|\Gamma_S| < 1 \quad (2.53)$$

$$|\Gamma_L| < 1 \quad (2.54)$$

$$|\Gamma_{IN}| < 1 \quad (2.55)$$

$$|\Gamma_{OUT}| < 1 \quad (2.56)$$

A partir das equações 2.53-2.56, uma métrica que analisa a estabilidade de uma rede de duas portas pode ser obtida. O resultado é o fator de estabilidade de Rollet [20],  $K$ , e a estabilidade incondicional é satisfeita sob as seguintes condições:

$$K > 1 \quad (2.57)$$

$$\Delta < 1 \quad (2.58)$$

Onde

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}|S_{21}} \quad (2.59)$$

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (2.60)$$

### 2.6.4 Caracterização do ruído do LNA

Na seção 2.2.5, definimos o fator de ruído como sendo:

$$F = \frac{(S/N)_{in}}{(S/N)_{out}} \quad (2.61)$$

Através de alguma manipulação algébrica, obtemos:

$$F = \frac{S_i/N_i}{S_o/N_o} = \frac{S_i/KTB_d}{S_iG_d/N_o} = \frac{N_0}{G_dKTB_d} \quad (2.62)$$

Onde:

- $N_0$  é a potência de ruído na saída;

- $K = 1,374 \cdot 10^{-23} \text{ J/K}$  é a constante de Boltzman;
- $T = 290 \text{ K}$  (temperatura ambiente)<sup>28</sup>;
- $B_d$  é a banda de ruído do dispositivo em Hertz;
- $G_d$  é o ganho do dispositivo.

A figura de ruído, equivalente ao logaritmo do fator de ruído é dada por  $NF = 10 \log F$ . Substituindo-se alguns valores e aplicando o logaritmo, obtemos a seguinte expressão:

$$NF = \underbrace{10 \log N_0}_{\text{Ruído na saída}} - \underbrace{10 \log G_d}_{\text{Ganho}} - \underbrace{(-174 \text{ dB} + 10 \log B)}_{\text{Ruído equivalente na entrada na banda B}} \quad (2.63)$$

Por conseguinte, a determinação da figura de ruído do dispositivo pode ser feita a partir do conhecimento da potência do ruído em sua saída, do ganho do dispositivo e da largura de banda do ruído. A largura de banda do ruído pode ser definida fazendo-se a resolução em frequência,  $B$ , do analisador de espectro <sup>29</sup> suficientemente estreita de forma que o analisador determine a banda do sistema.

---

<sup>28</sup> $kT = 3,98 \cdot 10^{-21} \text{ watts/Hz}$ , equivalente a  $-174 \text{ dBm}$  para uma banda de 1 Hz.

<sup>29</sup>Como será visto em capítulos posteriores, o analisador de espectro é um dos equipamentos utilizados na caracterização do LNA

# 3 METODOLOGIA

*Neste capítulo, a metodologia de projeto empregada é brevemente comentada. Inicialmente as diferenças entre projetos analógicos e digitais são salientadas. Logo em seguida, maiores detalhes sobre a metodologia de projeto empregada no LNA são fornecidos. Finalmente, especificações sobre a tecnologia utilizada são comentadas.*

## 3.1 FLUXO DE PROJETO EM CIRCUITOS INTEGRADOS

A metodologia de projetos de circuitos integrados adotada está apresentada na Fig. 3.1 [1].

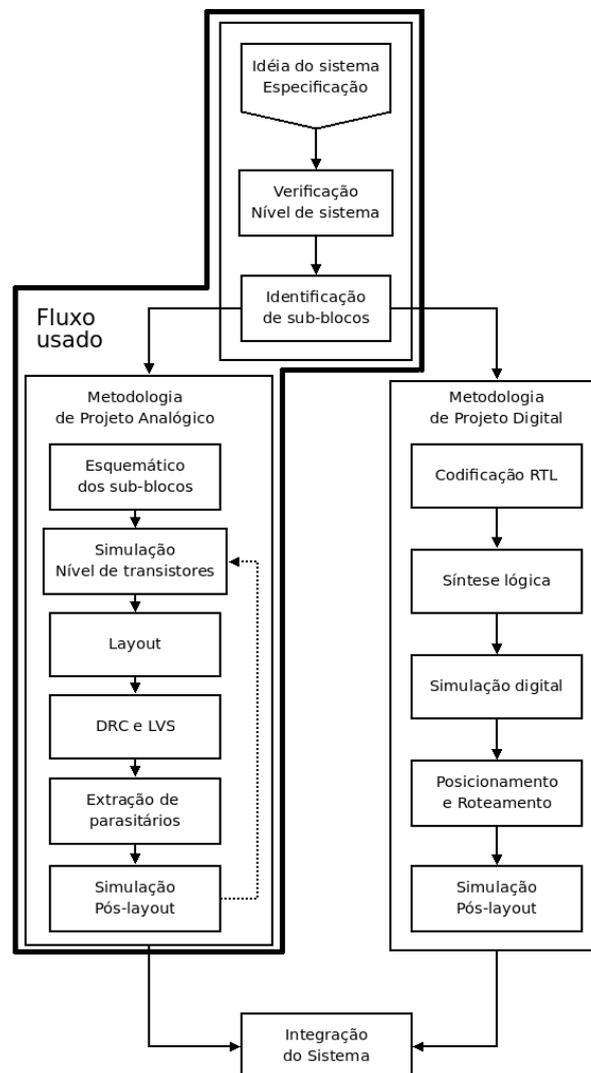


Figura 3.1: Fluxograma ilustrativo da metodologia de projetos de circuitos integrados.

O projeto costuma se iniciar ainda na fase de concepção. Neste ponto são avaliados os objetivos e

as necessidades de projeto. A partir desta etapa, surge um conjunto de especificações que devem ser verificadas por intermédio de simulações comportamentais<sup>1</sup>. Cada um dos blocos constitutivos do projeto é então analisado, e requisitos individuais são propostos. O presente trabalho se concentra na etapa do projeto do bloco amplificador de baixo ruído de RF para o projeto rSoC.

A partir da Figura 3.1, observa-se que existem certas diferenças de um fluxo de projeto analógico para outro digital. Para os blocos analógicos (amplificadores, *mixers* e etc.) segue-se o ramo da esquerda do fluxograma mostrado. Conhecido como *full-custom*, este fluxo de projeto parte da especificação e segue com o projeto elétrico dos blocos e, somente após sua devida validação, pode-se seguir para a implementação física, também conhecida como *layout*. Para blocos digitais (processadores, memórias e etc.), segue-se o ramo da direita do fluxograma apresentado. Conhecido como *standart-cell based*, este fluxo de projeto se inicia com a elaboração descritiva do sistema em linguagens de descrição de *hardware* (VHDL, Verilog, System C, etc.) e progride para a implementação final com o auxílio de ferramentas de síntese lógica e física.

Em geral, as etapas realizadas ao longo do projeto são contempladas com técnicas voltadas para a testabilidade do bloco. Para os blocos digitais, é realizada uma modelagem de falhas e são levantados vetores de teste necessários para a completa caracterização do sistema. Para os circuitos analógicos, são empregadas técnicas de aumento da observabilidade dos circuitos. Em geral, são inseridos pontos de teste do sinal ao longo do circuito. Vale salientar que estas técnicas costumam deteriorar a performance do sistema.

## 3.2 METODOLOGIA DE PROJETO DO LNA

Como comentado na seção anterior, o tipo do fluxo de projeto de circuitos integrados se encontra dependente da natureza digital ou analógica da aplicação. Desta forma, todos os projetos de circuitos analógicos seguem um fluxograma bastante similar. Eventualmente etapas podem ser alteradas devido à especificidade da aplicação; contudo, no presente projeto, o ramo da esquerda ilustrado em 3.1 é bastante representativo, uma vez que todas as etapas foram seguidas.

Na Seção 2.4 ficou bastante óbvio que o funcionamento de toda a cadeia receptora se encontra criticamente relacionado ao devido funcionamento do LNA. Desta maneira, a comunidade científica despendeu tempo e esforço na importante tarefa de garantir e aperfeiçoar o funcionamento desses amplificadores. Na Seção 2.4.1 foram apresentadas topologias clássicas de LNAs e algumas questões pertinentes: minimização de ruído; casamento de impedâncias; necessidade de um alto ganho; baixo consumo de potência. Na Seção 2.5 foram apresentados os métodos de otimização mais conhecidos para projetos de LNAs. Contudo, ao longo desse caminho, não foram feitas considerações referentes aos efeitos de parasitários devido ao encapsulamento do CI. Além disso, é válido observar que ainda restam pelo menos duas questões deixadas em aberto: o projeto do circuito de polarização e o projeto da carga do amplificador.

Tendo-se em mente todas essas considerações, encontram-se listadas abaixo de forma mais clara e objetiva as etapas envolvidas no projeto do LNA.

- Escolha de uma técnica de otimização e dimensionamento dos transistores amplificadores. Os critérios mais relevantes nesse momento são a obtenção da mínima figura de ruído possível e o máximo ganho, ambos considerando-se uma dada potência de projeto.
- Projeto da rede de polarização do amplificador. Este projeto não se encontra fortemente relacionado ao projeto do LNA, pois apenas considerações DC são realizadas; contudo, um bom funcionamento

---

<sup>1</sup>Infelizmente o modelamento em alto nível, e o conjunto de simulações comportamentais referentes ao atual projeto ainda não se encontra publicado.

do LNA se encontra vinculado à robustez apresentada por esta rede.

- Projeto da carga do LNA: Ao longo do projeto, determinadas combinações de cargas foram utilizadas. No presente trabalho, apenas as cargas mais importantes serão comentadas, e um conjunto de simulações pertinente obtido em cada um dos casos será fornecido juntamente com a explicação por trás da escolha da carga mais apropriada.
- Projeto do *layout* do circuito. Essa etapa é especialmente demorada devido ao caráter fortemente iterativo envolvido no processo, cuja finalidade é atingir os objetivos estabelecidos previamente para o desempenho do bloco levando-se em consideração a existência de componentes parasitárias.

### 3.3 PARTICULARIDADES NA METODOLOGIA DE PROJETO DO LNA

Embora o fluxo de projeto apresentado nesta seção seja bastante representativo, existem determinadas particularidades no presente projeto que devem ser levadas em consideração. Primeiramente, os projetos do LNA e do *mixer* foram desenvolvidos paralelamente, de forma que o conhecimento completo acerca da carga do LNA não era tido *a priori*. Desta maneira, a abordagem empregada na realização das simulações do LNA foi a de simular o seu funcionamento para uma carga variável pensada com base nos resultados esperados para o *mixer*. Infelizmente, observa-se que essa abordagem, embora útil na presente situação, dificilmente apresentaria resultados ótimos para o conjunto LNA+*mixer*. Finalmente, os passos intermediários de otimização realizados ao longo do projeto do LNA não serão apresentados no presente trabalho; em contraste, serão apresentados os resultados de simulação em nível elétrico, e por último os resultados *pos layout* já otimizados.

### 3.4 CARACTERÍSTICAS DO PROCESSO DE FABRICAÇÃO

O transceptor de RF vai ser inteiramente fabricado de acordo com as possibilidades da tecnologia C35B4C3 da *Austria Microsystems* (AMS). Este é um processo de fabricação analógica CMOS, e suas principais características seguem listadas abaixo.

- Substrato com dopagem tipo P;
- Mínimo comprimento de canal:  $0.35 \mu m$ ;
- Número de máscaras: 20;
- Número de camadas de metal: 4;
- Número de camadas de polissilício: 2;
- *Diffusion pitch*:  $0.9 \mu m$ ;
- Resistividade do *poly* altamente resistivo:  $1.2 k\Omega/\#$ ;
- Atraso dos Flip-Flops:  $0.8 ns$ ;
- Corrente de saturação N/PMOS:  $520/240 \mu A/\mu m$ ;
- Precisão das capacitâncias de *poly1/poly2*:  $0.9 fF/\mu m^2$ ;
- Voltagem de operação:  $2.5-3.6 V$ ;

O processo C35B4C3 é apropriado para a realização de circuitos com frequências de poucos  $GHz$ . Contudo, existem processos de fabricação mais apropriados para o projeto de circuitos de rádio frequência. Essa observação pode ser rapidamente confirmada observando-se as componentes utilizadas no projeto. Inicialmente, observamos que a tecnologia empregada no presente trabalho faz uso de capacitores realizados com camadas de polissilício, mas o *poly* é conhecido por ser altamente resistivo. Além disso, o polissilício se encontra próximo ao substrato, de forma que inevitavelmente ocorrerá forte acoplamento capacitivo com o mesmo. Ambos os problemas poderiam ser diminuídos se os capacitores fossem implementados em camadas de metal. Indutores planares teriam seus fatores de qualidade elevados caso fossem realizados com uma camada de metal mais grossa ao invés de se utilizar múltiplas camadas de metal para se obter um efeito similar: a diminuição da resistência série.

Finalmente observa-se que o fator de ganho médio dos transistores tipo N é superior ao dos transistores tipo P. Essa constatação revela que para uma mesma aplicação seria necessário utilizar-se transistores tipo N com uma menor razão de aspecto ( $W/L$ ), de forma que a dissipação de potência e a quantidade de ruído inserido seriam menores. A explicação para essa diferença reside na diferença de mobilidade entre os portadores do tipo N e P. Além disso, o tipo do substrato empregado no processo de fabricação também pode ser utilizado como explicação, pois para se realizar um transistor do tipo P em um substrato que também é dopado com portadores do mesmo tipo, é necessária a implantação de uma ilha N no local onde esse transistor será implementado. Apesar desse fato parecer problemático, ele possibilita a eliminação do efeito de corpo em transistores do tipo P sempre que desejado, enquanto que o mesmo não é verdadeiro para transistores tipo N<sup>2</sup>. No presente trabalho, transistores tipo N serão empregados sempre que possível, devido ao seu maior fator de ganho.

---

<sup>2</sup>A eliminação do efeito de corpo não pode ser realizada em transistores do tipo N porque o seu corpo coincide com o substrato, e este se encontra ligado ao terra do circuito. No caso de transistores tipo P, o corpo do transistor pode ser ligado em sua fonte, eliminando-se assim o efeito de corpo [16, 3, 10, 15]

## 4 PROJETO

### 4.1 INTRODUÇÃO

Neste capítulo é apresentado o projeto do amplificador de baixo ruído. Procedendo de acordo com a metodologia descrita na Seção 3.2, esse processo se iniciará com a apresentação da lista de especificações existente para o receptor do sistema. Em seguida, parâmetros típicos de LNAs serão listados com a finalidade de levantar uma lista de especificações própria para o LNA. Uma vez concluída esta etapa, o dimensionamento dos transistores amplificadores, da rede de polarização e da carga do bloco será realizado. Por último, o *layout* final para fabricação do circuito será apresentado.

### 4.2 ESPECIFICAÇÕES DO TRANSECTOR DE RF

Seguem listadas abaixo as especificações atuais para o transceptor de RF do rSoC.

- Frequência de operação: 915 *MHz* a 927,5 *MHz*;
- Número de canais: 1;
- Taxa de transmissão: 50 *kbps* em cada canal com codificação Manchester;
- Modulação: FSK binário;
- Potência de saída do PA: ajustável de  $-10$  *dBm* a  $+10$  *dBm*;
- Consumo no modo TX: máximo de 40 *mW*;
- Consumo no modo RX: máximo de 30 *mW*;
- Sensibilidade:  $-90$  *dBm* para BER de  $10^{-3}$  ;
- Comunicação Half-Duplex;
- Os sinais devem ser preferencialmente *single-ended*;
- Tensão de alimentação: 3,3 *V*;
- Tecnologia C35B4C3 da AMS.

### 4.3 ESPECIFICAÇÕES DO AMPLIFICADOR DE BAIXO RUÍDO

Em geral, as especificações de projeto para amplificadores de baixo ruído encontradas na literatura não são completamente convergentes. Desta maneira, levantar um conjunto de especificações torna-se uma tarefa não-trivial<sup>1</sup>. Contudo, espera-se que determinados parâmetros possam ser previstos. Desta forma, seguem apresentadas na Tabela 4.1 algumas especificações fundamentais para amplificadores de baixo ruído.

---

<sup>1</sup>O projeto de um LNA pode variar com a natureza do receptor utilizado na aplicação.

Tabela 4.1: Especificações de projeto para LNA

Métrica	Valor Aceitável
NF	3 dB
IIP3	-10 dBm
Ganho	15 dB
Impedância de entrada	50 Ω
Fator de estabilidade	> 1
Potência dissipada	5 mW

#### 4.4 TOPOLOGIA DE CIRCUITO

A topologia escolhida para o projeto do LNA é a de um amplificador fonte-comum *cascode* com degeneração indutiva, vide Fig. 4.1. Além disso, como pôde ser observado na Seção 2.5, a melhor técnica de otimização é, pelo menos em teoria, a PCSNIM, de forma que ela será utilizada.

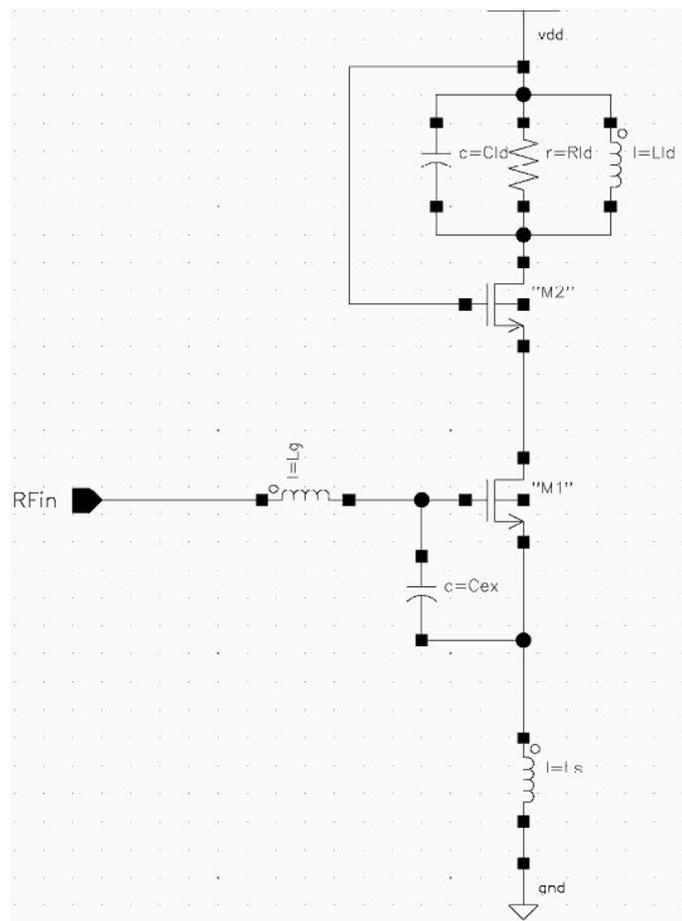


Figura 4.1: Amplificador fonte-comum *cascode* com degeneração indutiva.

Tabela 4.2: Parâmetros da tecnologia

Parâmetro	Valor Típico	Unidade
$K_n$	170	$\mu A/V^2$
$K_p$	58	$\mu A/V^2$
$V_{tn}$	0,6	V
$V_{tp}$	0,7	V
$C_{ox}$	4,54	$fF/\mu m^2$
$L_{ACT0,35}$	0,29	$\mu m$
$\alpha$	0,85	—
$\delta$	4/3	—
$\gamma$	2/3	—
$c$	0,395j	—

Tabela 4.3: Parâmetros estabelecidos por especificações de projeto

Parâmetro	Valor	Unidade
$\omega$	$5.78.10^9$	$rad/s$
$R_s$	50	$\Omega$
$V_{dd}$	3,3	V
$P_D$	5	$mW$

#### 4.5 PROJETO DE OTIMIZAÇÃO PELA TÉCNICA PCSNIM

Para que se possa realizar a otimização do LNA seguindo-se a técnica PCSNIM, faremos uso das Equações 2.36-2.39. Por conveniência, essas equações seguem re-escritas abaixo.

$$\frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} = \Re[Z_s] \quad (4.1)$$

$$\frac{j \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left( \frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - sL_s = \Im[Z_s] \quad (4.2)$$

$$sL_s + \frac{1}{sC_t} = -\Im[Z_s] \quad (4.3)$$

$$\frac{gmL_s}{C_t} = \Re[Z_s] \quad (4.4)$$

Observando-se as equações listadas acima, fica claro que alguns parâmetros a respeito da tecnologia precisam ser conhecidos. Esses parâmetros seguem listados na Tabela 4.2.

Além disso, necessita-se ainda do conhecimento de outros parâmetros de projeto, que embora não sejam fixados pela tecnologia, também se encontram pré-estabelecidos devido às especificações do projeto. Esses parâmetros seguem listados na Tabela 4.3.

Para proceder com os cálculos, o valor de  $L_g$  é considerado como sendo a parte imaginária da impedância da fonte  $Z_s$ . De forma que  $\Im[Z_s] = sL_g$ . Substituímos então os valores tabelados, ver Tabelas 4.2 e 4.3, e obtemos o seguinte conjunto de equações:

$$\frac{0,5852}{C_{gs} \left\{ 0,342 + \left( \frac{C_t}{C_{gs}} + 0,212 \right)^2 \right\}} = 2,89 \cdot 10^{11} \quad (4.5)$$

$$\frac{\left( \frac{C_t}{C_{gs}} + 0,212 \right)}{C_{gs} \left\{ 0,342 + \left( \frac{C_t}{C_{gs} + 0,212} \right)^2 \right\}} = 33,408 \cdot 10^{18} (L_s + L_g) \quad (4.6)$$

$$L_s + L_g = \frac{29,933 \cdot 10^{-21}}{C_t} \quad (4.7)$$

$$\frac{g_m L_s}{C_t} = 50 \quad (4.8)$$

É sabido que existem técnicas numéricas para resolução de sistemas de equações não-lineares. Entretanto, nesse caso, é mais interessante investigar a viabilidade da seguinte aproximação [21]:

$$\frac{\left( \frac{C_t}{C_{gs}} + 0,212 \right)}{0,342 + \left( \frac{C_t}{C_{gs}} + 0,212 \right)^2} \approx \frac{C_{gs}}{C_t} \quad (4.9)$$

Desta forma, a equação 4.6 se torna idêntica à 4.7, e poderemos então desprezar uma delas. A Tabela 4.4 ilustra o erro envolvido nessa aproximação.

Tabela 4.4: Erro envolvido na aproximação desejada

Valor da razão $\frac{C_t}{C_{gs}}$	Valor do Erro cometido
1	33,07 %
2	15,49 %
3	9,59 %
4	6,82 %
5	5,26 %

Como pode ser observado a partir da Tabela 4.4, é possível tornar o erro envolvido nessa aproximação tão pequeno quanto desejado. Entretanto, valores exacerbados da razão  $\frac{C_t}{C_{gs}}$  tornariam  $C_{ex}$  muito grande, uma vez que  $C_t \approx C_{ex} + C_{gs}$ . Além disso, embora não tenha sido investigado no presente trabalho, sabe-se que o ganho do amplificador é uma função lentamente decrescente da variável  $C_{ex}$  [21]. Uma vez que um alto ganho é desejável no LNA, vamos adotar  $\frac{C_t}{C_{gs}} = 2$ , essa escolha é claramente arbitrária<sup>2</sup>. Neste caso, o conjunto de equações 4.5-4.8 se torna:

$$C_t = 1,427 \cdot 10^{-6} \sqrt{C_{gs}} \quad (4.10)$$

$$L_g + L_s = \frac{29,93 \cdot 10^{-21}}{C_t} \quad (4.11)$$

<sup>2</sup>De fato, procura-se obter um valor de compromisso entre o erro obtido na aproximação e a redução do ganho do dispositivo.

$$\frac{g_m L_s}{C_t} = 50 \quad (4.12)$$

Observa-se que o conjunto de equações obtido através da aproximação realizada é muito mais simples do que as equações 4.5-4.8. Neste momento, algumas análises são necessárias. Primeiramente da Tabela 4.3, temos que  $P_D = 5 \text{ mW}$  e  $V_{dd} = 3,3 \text{ V}$ , de forma que teremos  $I_D = 1,51 \text{ mA}^3$ . Em seguida, é apresentada abaixo uma expressão para o cálculo da transcondutância de um transistor operando na região de saturação.

$$g_m = \sqrt{2K_n I_D \left(\frac{W}{L}\right)} \quad (4.13)$$

Lembrando-se que estamos utilizando transistores tipo N, rever seção 3.4, substituímos os seguintes valores:  $K_n = 170 \mu\text{A}/\text{V}^2$ ,  $I_D = 1,5 \text{ mA}$  e  $L = 0,35 \mu\text{m}$ . Obtendo-se:

$$g_m = 1,207\sqrt{W} \quad (4.14)$$

Contudo, a obtenção de uma expressão que relacione as variáveis em análise e a largura do canal ainda se faz necessária. De [3], temos a seguinte expressão:

$$C_{gc} = C_{ox} W L_{ACT0,35} \quad (4.15)$$

Onde  $C_{gc}$  é a capacitância porta-canal,  $C_{ox}$  é a capacitância parasita porta-canal por unidade de área da porta e  $L_{ACT0,35}$  é o comprimento de canal ativo para a tecnologia considerando-se  $L = 0,35 \mu\text{m}$ . Substituímos esses valores em 4.15, e obtemos a expressão<sup>4</sup>:

$$C_{gs} = 1,31 \cdot 10^{-9} W \quad (4.16)$$

Substituindo-se a equação 4.16 em 4.10, obtém-se:

$$C_t = 51,65 \cdot 10^{-12} \sqrt{W} \quad (4.17)$$

Substituindo-se então 4.17 e 4.14 na equação 4.12 obtemos finalmente que:

$$L_s = 2,14 \text{ nH} \quad (4.18)$$

Lembrando-se da aproximação realizada  $C_t = 2C_{gs}$ , a equação 4.10 fornece então que

$$C_{gs} = C_{ex} = 509,08 \text{ fF} \quad (4.19)$$

$$C_t = 1,018 \text{ pF} \quad (4.20)$$

Os demais parâmetros são obtidos através de sucessivas substituições e, devido à simplicidade do processo, esses cálculos não serão apresentados explicitamente. Ao invés disso, os parâmetros de interesse seguem diretamente listados na Tab. 4.5.

<sup>3</sup>Nesse cálculo utilizou-se a suposição de que os transistores amplificadores irão consumir praticamente toda a potência disponibilizada ao LNA. Como veremos posteriormente, essa consideração é verdadeira.

<sup>4</sup>Neste ponto, é feita a seguinte consideração:  $C_{gc} \approx C_{gs}$

Tabela 4.5: Parâmetros teóricos obtidos para otimização do LNA

Parâmetro	Valor	Unidade
$C_{ex}$	509,08	$fF$
$g_m$	23,836	$mA/V$
$W_1$	390	$\mu m$
$W_2$	195	$\mu m$
$L_s$	2,14	$nH$
$L_g$	27,26	$nH$

A largura do transistor porta-comum é comumente tomada como sendo igual a largura do transistor fonte-comum para a devida neutralização do efeito Miller; contudo, devido as grandes dimensões aqui obtidas, faremos com que sua largura seja igual a metade da largura do transistor fonte-comum.

Finalmente, optou-se pela utilização de um indutor externo ao *chip* para o indutor de porta, possibilitando-se assim a correção dos efeitos de encapsulamento posteriormente inseridos no sistema. Além disso, o fator de qualidade de indutores planares desta ordem de grandeza é baixo ao ponto de inviabilizar sua utilização<sup>5</sup>.

## 4.6 PROJETO DA REDE DE POLARIZAÇÃO DO LNA

Os capítulos anteriores de projeto do LNA não levaram em consideração a questão de gerar tensões ou correntes de polarização apropriadas. Nesta seção, esse importante tópico é finalmente estudado, focando-se em algumas maneiras de se gerar tensões e correntes de referência que são relativamente independentes da tensão de alimentação ou da temperatura de operação do circuito.

Uma das melhores formas de polarizar um amplificador MOSFET é aquela que utiliza uma fonte de corrente constante. A Figura 4.2 mostra esse tipo de arranjo aplicado para um MOSFET discreto. Onde os elementos que se encontram ligados aos terminais do transistor são meramente ilustrativos.

Um circuito extremamente simples que implementa a fonte de corrente constante  $I$  está ilustrado na Figura 4.3. Neste caso, pode-se mostrar que

$$I = I_{D2} = \frac{1}{2} K_n \left( \frac{W}{L} \right)_2 (V_{GS} - V_t)^2 \quad (4.21)$$

$$I = I_{REF} = \frac{(W/L)_2}{(W/L)_1} \quad (4.22)$$

Em que desprezamos a modulação do comprimento do canal. Observa-se que  $I$  está relacionado com  $I_{REF}$  pela razão entre as razões de aspecto de  $Q_1$  e  $Q_2$ .

No início do projeto, ficou convencionado que todos os blocos do receptor seriam alimentados por uma rede de polarização comum, constituída por espelhos de corrente. De fato, o LNA não foi uma exceção e, dessa forma, uma corrente de polarização  $I = 10 \mu A$  altamente estável se encontrava disponível. Entretanto, necessitamos de uma tensão de referência para polarizar o transistor fonte-comum do LNA. Além disso, outra especificação do projeto era que todos os blocos pudessem ser desligados independentemente. Considerando-se essas idéias, foi projetada uma arquitetura para satisfazer ambas as condições. Essa arquitetura se encontra ilustrada na Fig. 4.4

<sup>5</sup>A caracterização dos indutores utilizados no projeto pode ser vista no anexo I.2.

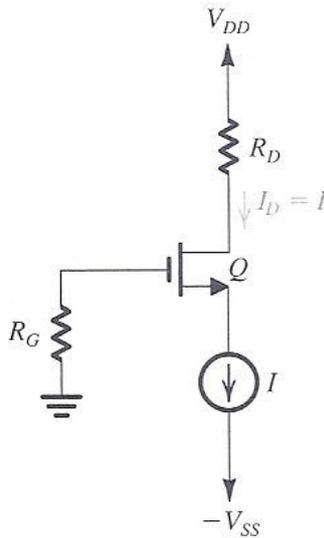


Figura 4.2: Polarização do MOSFET utilizando fonte de corrente constante  $I$ .

A Figura 4.4 ilustra um circuito constituído basicamente por dois transistores. O primeiro transistor deverá operar como uma chave, de forma que ele seja capaz de chavear a corrente entregue ao segundo transistor. Em seguida, o segundo transistor opera como um conversor  $I - V$ , convertendo sua corrente de dreno numa tensão de referência  $V_{pol}$ . Quanto ao funcionamento do circuito, espera-se que a chave opere na região de triodo ou na região de corte, dependendo do valor de tensão aplicado em sua porta<sup>6</sup>, enquanto que o segundo transistor é forçado a operar sempre na região de saturação, devido ao curto-circuito porta-fonte existente em seus terminais. Os parâmetros utilizados no projeto desse circuito seguem resumidos na Tab. 4.6.

Tabela 4.6: Parâmetros de projeto para a rede de polarização

Parâmetro	Valor	Unidade
$I_D$	10	$\mu A$
$V_{pol}$	714	$mV$
$V_{g1}$	3,3	$V$
$V_{d1}$	1,6	$V$

Onde a escolha da tensão  $V_{d1}$  não foi arbitrária. De fato, pode-se mostrar que o fator que mais contribui para a não idealidade de uma referência de tensão ou de corrente é a carga que se encontra ligada em seu terminal e, conseqüentemente, o valor da tensão em sua saída. Dessa forma, o valor dimensionado para  $V_{d1}$  foi de  $1,6 V$ , isto é, aproximadamente  $V_{DD}/2$ .

Além disso, o equacionamento matemático de primeira ordem para o dimensionamento das componentes envolvidas segue apresentado abaixo:

$$I_D = K_n \left( \frac{W}{L} \right)_1 \left[ (v_{DD} - v_{pol} - v_{tn})(v_{d1} - v_{pol}) - \frac{(v_d - v_{pol})^2}{2} \right] \quad (4.23)$$

$$I_D = \frac{1}{2} K_n \left( \frac{W}{L} \right)_2 (v_{pol} - v_{tn})^2 \quad (4.24)$$

<sup>6</sup>Essa tensão de porta tem um funcionamento análogo a um sinal de *enable*.

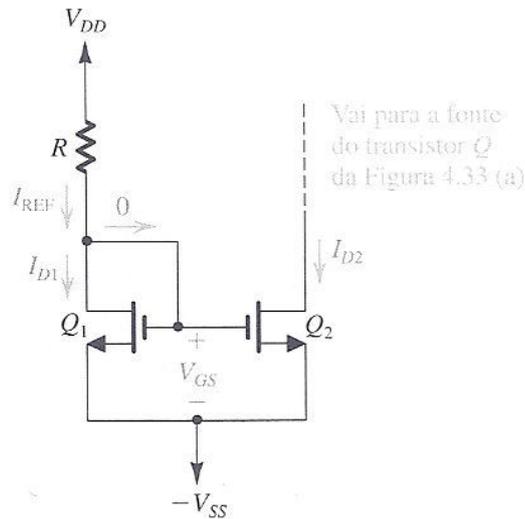


Figura 4.3: Implementação da fonte de corrente constante I utilizando espelho de corrente.

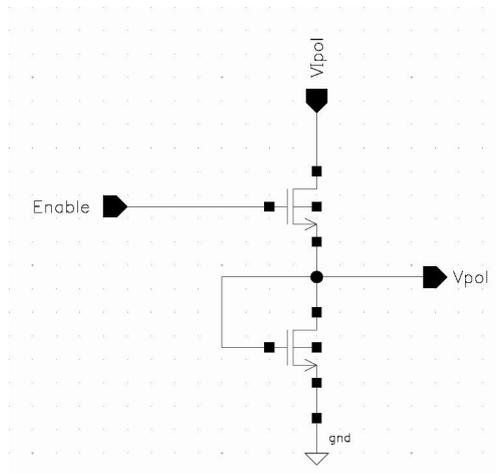


Figura 4.4: Chave do LNA e referência de tensão.

A partir das equações 4.23,4.24 e dos dados listados na Tab. 4.6, torna-se uma tarefa bastante simples dimensionar os elementos do circuito. Dessa forma, os parâmetros já dimensionados seguem apresentados na Tab. 4.7.

A potência consumida pela rede de polarização é dada por:

$$P_{pol} = V_{d1}I_D = 10^{-5}1,6 = 0,016 \text{ mW}. \quad (4.25)$$

Esse valor de potência representa apenas 0,32% da potência total dimensionada para o LNA, de forma que parece bastante razoável desprezar esse valor de potência em análises posteriores com o objetivo de simplificar os cálculos.

Vale a pena salientar que nenhum projeto de polarização foi explicitamente realizado para o transistor porta-comum da configuração *cascode* devido às condições de operação bastante soltas deste transistor. Dessa forma, sua porta foi arbitrariamente ligada no terminal correspondente ao  $V_{DD}$  do circuito.

Tabela 4.7: Parâmetros dimensionados para a rede de polarização

Parâmetro Teórico	Valor	Unidade
$(W/L)_1$	0,0658	–
$(W/L)_2$	3,16	–

## 4.7 PROJETO DA CARGA DO LNA

Ao longo das seções anteriores, nada foi mencionado à respeito da carga que seria ligada ao nó de saída do LNA. De fato, esse tópico foi deixado para as seções finais a fim de que esse dimensionamento fosse realizado apenas após a consolidação do projeto. Procedendo-se desta forma, uma otimização iterativa da carga se torna possível, levando-se em conta não apenas aspectos analíticos, como realizado no restante do projeto, mas também aspectos simulacionais.

A partir de uma análise criteriosa das Seções 2.4.1 e 2.5.4, fica claro que nenhuma restrição é feita com relação a carga do LNA, de forma que duas possibilidades de carga bastante distintas serão apresentadas e discutidas nesta seção, são elas: a carga LC e a carga puramente resistiva.

### 4.7.1 Projeto da carga LC

Como foi previamente detalhado na Seção 2.5.4, o casamento de impedância do LNA foi realizado com base em componentes reativos (i.e., transistores, indutores e capacitores), de forma que esse casamento está indissociavelmente relacionado à frequência de operação do bloco. Desta forma, o funcionamento do LNA pode ser dito sintonizado à frequência de projeto, neste caso 921,25 MHz. Em aplicações banda-estreita essa característica é bastante desejável, pois fornece uma rejeição inicial a sinais localizados fora da banda de operação do receptor e facilita o processo de filtragem nos estágios posteriores. Além disso, da teoria de comunicações, é sabido que a potência de ruído na entrada do bloco receptor é dada por:

$$P_n = \frac{1}{2\pi} \int_{-\infty}^{\infty} S_n(\omega) d\omega \quad (4.26)$$

Contudo, após se adicionar um amplificador com um comportamento passa-faixa<sup>7</sup> na entrada da cadeia receptora, a potência do ruído na saída desse amplificador pode ser expressa por:

$$P_n = \frac{1}{\pi} \int_{-\infty}^{\infty} S_n(\omega) |H(\omega)|^2 d\omega \quad (4.27)$$

Em que  $H(\omega)$  é a função de transferência do bloco em análise e  $S_n(\omega)$  é a densidade espectral de potência do ruído. A partir da equação 4.27, pode-se inferir que se a resposta do filtro atenuar componentes de frequência não pertencentes à banda do sinal desejado, observaremos uma diminuição da potência de ruído presente no sinal. A Figura 4.5 ilustra o que foi comentado.

Em princípio, a carga do LNA será constituída por um conjunto de *mixers*, os quais podem ser modelados como cargas capacitivas<sup>8</sup>. Surge então a possibilidade de utilizarmos uma carga indutiva no LNA, criando-se assim uma rede ressonante LC<sup>9</sup>. Essa carga adicionaria uma série de características desejáveis ao LNA: maior seletividade, alto ganho, nenhum ruído inserido no sinal, nenhuma queda de tensão na

<sup>7</sup>De fato essa identidade é verdadeira para qualquer sistema linear.

<sup>8</sup>Desprezando-se a possibilidade de degeneração nos transistores de entrada dos *mixers*

<sup>9</sup>De fato, devido a não idealidade principalmente dos indutores, estaremos trabalhando com uma rede ressonante RLC.

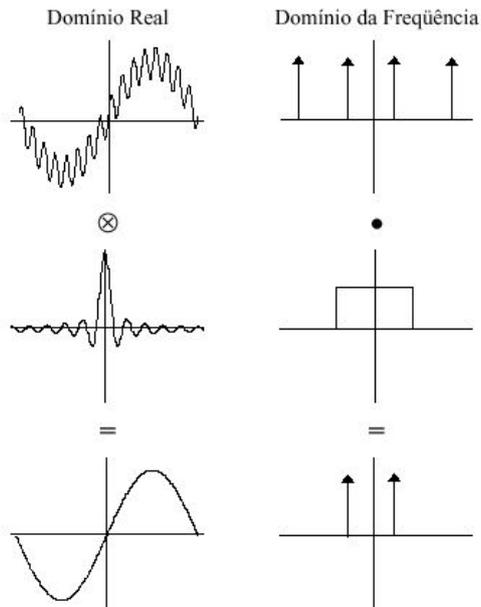


Figura 4.5: Exemplo de filtragem.

carga<sup>10</sup>. Infelizmente essas características refletem uma rede ressonante LC ideal, mas a possibilidade de se utilizar componentes que se aproximem da idealidade é remota. Desta forma, quando levado em consideração o comportamento real das componentes utilizadas, rever seção 2.3, alguns problemas podem surgir: inserção de ruído no sinal, comportamento não linear, deterioração da estabilidade do bloco. Além disso, a utilização de mais indutores tende a onerar severamente a área em *chip*.

Feitas estas considerações, seguiremos para o projeto e posteriormente para as simulações dessa carga. Da teoria elementar de circuitos, sabe-se que a frequência de ressonância de uma carga LC é dada por:

$$\omega^2 = \frac{1}{LC} \quad (4.28)$$

Infelizmente o valor da carga capacitiva que representaria o *mixer* apropriadamente é desconhecido, ao menos *a priori*. Poder-se-ia partir para expressões analíticas a fim de se estimar o valor de  $C_t$ , de forma análoga ao que foi feito durante o projeto dos transistores amplificados do LNA na seção 4.5; contudo, essa forma de proceder se revela bastante trabalhosa. Uma alternativa é recorrer à otimização do valor de indutância da carga de forma iterativa, utilizando-se ferramentas de simulação. Seguindo-se esta metodologia, o processo de determinação do indutor de carga se torna bastante simples, de forma que não entraremos em maiores detalhes no presente trabalho acerca desses métodos.

Uma vez realizadas as simulações, obtemos um valor de indutância de carga igual a  $42,22 \text{ nH}$ . Finalmente, utilizando-se 4.28, pode-se estimar o valor da capacitância de carga como sendo:

$$C_t = \frac{1}{(2\pi 921,25 \cdot 10^6)^2 \cdot 42,22 \cdot 10^{-9}} = 706,91 \text{ fF} \quad (4.29)$$

Uma vez que a capacitância do *mixer* se relaciona com a largura do canal do transistor de entrada para um dado comprimento do mesmo, pode-se questionar se o valor de capacitância obtido em 4.29 não é muito grande. Contudo, após rápida reflexão, nota-se que essa capacitância reflete uma série de fatores:

<sup>10</sup>Essa característica se revela mais desejável em aplicações *low voltage*.

capacitância do *mixer*, capacitância parasita do indutor de carga, capacitância de dreno do transistor portacomum do LNA. Uma vez finalizado o projeto do indutor de carga, as simulações pertinentes são realizadas e os resultados obtidos são listados na Tab. 4.8. O conjunto de simulações é razoavelmente extenso, e por esta razão é apresentado no anexo I.3.

Tabela 4.8: Resultados simulados para a carga LC

Métrica	Valor Obtido
Ganho de tensão	35 dB
Máximo ganho de potência	29 dB
Figura de ruído	0,55 dB
IIP3	6,62 dBm
Impedância de entrada	$51,9 + 1,8j \Omega$
Fator de estabilidade	1,5
Potência dissipada	4,94 mW

#### 4.7.2 Projeto da carga resistiva

Embora os resultados provenientes da utilização de uma carga ressonante LC sejam impressionantes, vide Tab. 4.8, existem certas complicações na sua utilização. Primeiramente, observa-se que o valor da indutância de carga dimensionado encontra-se otimizado para uma rede onde  $C_L = 706,9 \text{ fF}$ ; contudo, esse valor de capacitância é apenas uma estimativa da capacitância de carga do LNA. Além disso, seguindo-se um projeto de carga LC, o LNA apresentaria um funcionamento satisfatório apenas quando o *mixer* empregado no projeto do receptor estivesse conectado em seu nó de saída, diminuindo-se sua portabilidade. Finalmente, teríamos a inclusão de outro indutor no projeto do LNA, mas as análises presentes na Seção 2.3.3 sugerem o estudo de soluções alternativas sempre que possível.

Feitas essas considerações, esta seção se destina ao estudo de desempenho de uma carga puramente resistiva no projeto do LNA. Uma carga R apresenta uma série de desvantagens à performance do bloco: não há seletividade; queda de tensão entre o terminal de alimentação e o dreno do primeiro transistor amplificador; inserção de ruído no sinal; diminuição do ganho. Por outro lado, existem alguns ganhos inerentes a utilização desta carga: aumento da estabilidade do bloco; aumento da linearidade, menor área ocupada em *chip*. Além disso, como foi apresentado na Seção 2.3.1, o emprego de resistores em circuitos integrados é muito menos problemático do que o de indutores.

Feitas essas considerações, seguiremos para o dimensionamento do valor ótimo de resistência de carga do LNA. O valor dessa resistência exerce influência sobre uma série de figuras de mérito do bloco: A corrente de polarização dos transistores amplificadores e, conseqüentemente, a potência consumida; a linearidade apresentada pelo LNA, a excursão de saída do sinal. De forma que, devido a essa grande confluência de parâmetros, uma abordagem semelhante à adotada na seção passada será empregada, isto é, uma otimização iterativa.

Uma vez realizadas as simulações, obtemos um valor de resistência de carga igual a  $430 \Omega$ , as simulações pertinentes são realizadas e os resultados obtidos são listados na Tab. 4.9. O conjunto de simulações é razoavelmente extenso, e por esta razão é apresentado no anexo I.4.

Tabela 4.9: Resultados simulados para a carga R

Métrica	Valor Obtido
Ganho de tensão	22,1 dB
Máximo ganho de potência	12,5 dB
Figura de ruído	1,8 dB
IIP3	20,29 dBm
Impedância de entrada	49,1 - 0,15 j $\Omega$
Fator de estabilidade	50
Potência dissipada	4,93 mW

#### 4.8 COMPARAÇÃO ENTRE OS PROJETOS DE CARGA RESSONANTE LC E R

Finalizados os projetos de carga para o LNA, somos capazes de verificar qual dos dois métodos gera um circuito de melhor desempenho dentro dos propósitos do nosso transceptor. Para facilitar as comparações, os resultados obtidos para os dois projetos de carga são apresentados abaixo juntamente com os requisitos iniciais do LNA.

A partir dos dados apresentados na Tabela 4.10, observa-se que ambos os projetos de carga satisfazem as condições pretendidas inicialmente para as figuras de mérito do LNA. Entretanto, por se tratar da primeira versão do projeto do receptor, somos levados a buscar uma solução ótima no sentido de robustez e, uma vez que ela se mostre funcional, estaríamos aptos a buscar formas de aperfeiçoar o desempenho do LNA num contexto mais geral. Como foi apresentado na Seção 4.7.1, variações na carga do LNA são especialmente prejudiciais no caso da carga LC. Infelizmente essas variações são decorrentes de diversos fatores: variações de processos na fabricação do LNA ou do *mixer*; possíveis alterações de carga do LNA, parasitários presentes nos circuitos que não foram incluídos em simulações. Desta forma, simulações de descasamento de carga são realizadas e os resultados são apresentados na Tab. 4.11.

Os resultados apresentados na Tabela 4.11 refletem a sensibilidade do ganho ao descasamento da carga do LNA, vide Fig. 4.6. De fato, esse resultado pode parecer surpreendente; contudo, após rápida reflexão, encontramos os fatores responsáveis pela sua aparição: conforme a carga do LNA varia, a frequência de ressonância da rede LC é alterada e, dessa forma, a impedância vista na frequência de operação do bloco diminui significativamente; a variação da corrente de dreno dos transistores diminui a transcondutância de pequenos sinais dos mesmos, isto é,  $g_m$ . Observamos então que ambos os fatores responsáveis pelo ganho dos transistores amplificadores são diminuídos simultaneamente. Em contraste, a utilização de uma carga R apresenta uma sensibilidade de ganho apreciavelmente menor, pois a variação do valor dimensionado para

Tabela 4.10: Comparação entre os projetos de carga para o LNA

Métrica	Valor Aceitável	Carga LC	Carga R
Ganho de tensão	15 dB	35 dB	22,1 dB
Máximo ganho de potência	–	29 dB	12,5 dB
Figura de ruído	3 dB	0,55 dB	1,8 dB
IP3	-10 dBm	6,62 dBm	20,29 dBm
Impedância de entrada	50 $\Omega$	51,9 + 1,8 j $\Omega$	49,1 - 0,15 j $\Omega$
Fator de estabilidade	> 1	1,5	50
Potência dissipada	5 mW	4,94 mW	4,93 mW

Tabela 4.11: Resultados simulados para o descasamento da carga LC

Valor de Carga [%]	Ganho de tensão [dB]	frequência de ressonância da carga [MHz]
20	9,03	2060,0
40	10,23	1456,6
50	11,15	1302,8
60	12,09	1189,3
70	13,35	1101,1
80	15,16	1030,0
100	35,10	921,2
120	15,06	840,9
130	13,21	807,9
140	11,95	778,6
150	11,11	752,2
160	10,23	728,3
180	9,07	686,6

a resistência de carga é responsável por uma diminuição do valor de carga e um correspondente aumento da corrente de dreno dos transistores, de forma que o produto  $g_m R_D$  não varie abruptamente, ou vice-versa, contudo uma diminuição simultânea desses parâmetros não é observada.

As análises apresentadas nesta seção sugerem que o projeto da carga resistiva seja utilizado. De fato, resolvemos por segurança optar por esse projeto. Finalmente vale a pena salientar que o fator de estabilidade para o projeto da carga resistiva é 33 vezes superior ao mesmo no caso da carga ressonante LC, isto é, podemos esperar um circuito mais robusto nesse sentido também.

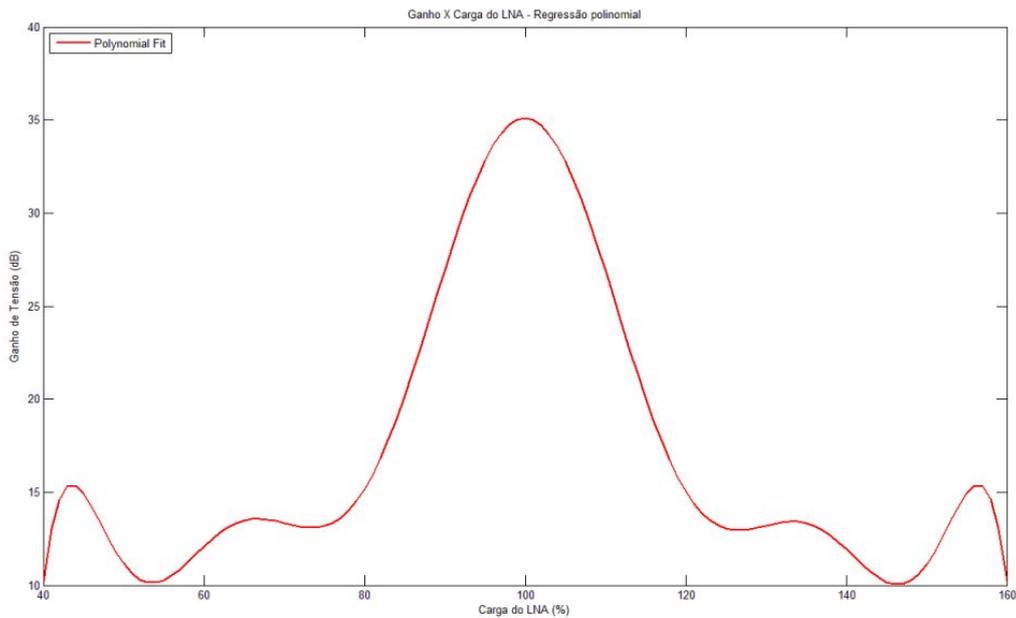


Figura 4.6: Sensibilidade do ganho do LNA a variações em sua carga.

## 4.9 PROJETO DO TESTE

Como foi comentado na Seção 3.1, é comum a inserção de pontos de teste em circuitos analógicos de forma a aumentar sua testabilidade. Contudo, como foi comentado na Seção 2.3.3, a fim de possibilitar a aquisição de sinais em circuitos integrados, devemos adicionar *pads* aos nós de saída do circuito devido às grandes discrepâncias existentes entre as dimensões de um circuito integrado e a instrumentação de testes. Um *pad* é comumente modelado por intermédio de uma capacitância, mas o valor dessa capacitância é estimado em  $1,4 pF$ , isto é, o valor de capacitância do *pad* é mais que o dobro do valor total de capacitância de carga para o qual o LNA foi projetado. Além disso, parte desse valor total de capacitância é devido à capacitância parasita de canal do transistor amplificador, a qual continuará presente no circuito mesmo que ele esteja funcionando em aberto. Logo, pode-se concluir que a utilização de pontos de teste intermediários no projeto do LNA tendem a deteriorar significativamente seu desempenho.

A partir dos dados referentes ao desempenho do LNA provenientes da Tab. 4.10, é possível de se observar que o desempenho do LNA é superior aos requisitos de projeto; contudo, ainda estamos tratando com simulações em nível elétrico, de forma que as simulações *pos layout* tendem a deteriorar ainda mais a performance do circuito. A solução adotada para esse problema foi o envio de uma segunda versão do LNA no mesmo *chip*, mas com o propósito unicamente de viabilizar sua caracterização.

O circuito foi projetado para ser testado usando a estação *CASCADE* [22] RF1 com ponteiros de RF. Por isso, na Figura 4.8, observa-se que o circuito isolado para testes possui uma série de *pads* de terra em todos os lados. Devido à disponibilidade de recursos do LPCI, uma sugestão de instrumentos que podem ser utilizados para a caracterização do LNA segue listada abaixo.

- Estação *cascade* RF;
- Analisador de espectro Rohde-Schwarz FSL;
- Sintetizador de frequências;

Tabela 4.12: Requisitos da instrumentação utilizada na caracterização do LNA

Componente	Métrica	Valor mínimo
Sintetizador de frequências	Frequência do sinal gerado	2,77 GHz
Sintetizador de frequências	Potência do sinal gerado	-90 dBm
Analizador de espectro	Frequência de operação	2,77 GHz
Analizador de espectro	Potência do sinal analisado	-77,5 dBm
Sintetizador e Analisador	Impedância de entrada	50 Ω

- Fonte de tensão Agilent E3647A.

A metodologia a ser empregada na obtenção das figuras de mérito do LNA é originária de [19], e ela foi introduzida no presente trabalho de forma tão sucinta quanto possível na seção 2.6. Neste ponto do projeto, sabemos que o LNA pode ser caracterizado satisfatoriamente com base no levantamento de certos parâmetros: parâmetros S; coeficientes de reflexão, etc. Desta forma, os dados para sua caracterização serão obtidos a partir de medições realizadas, como ilustrado no esquemático da Fig. 4.7.

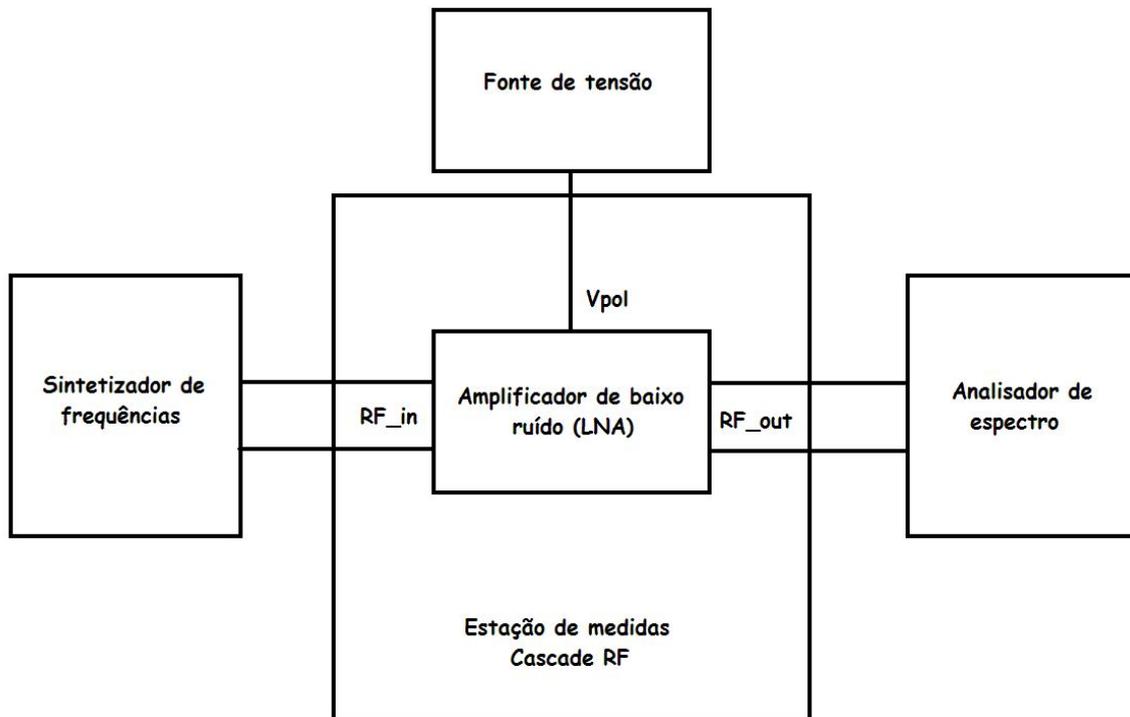


Figura 4.7: Esquemático de testes para o LNA.

A Figura 4.7 apresenta de forma bastante genérica um possível esquema de medições para o LNA, onde as exigências para os equipamentos utilizados seguem listadas na Tab. 4.12<sup>11</sup>.

<sup>11</sup>Num contexto de RF, esses requisitos não são difíceis de serem satisfeitos.

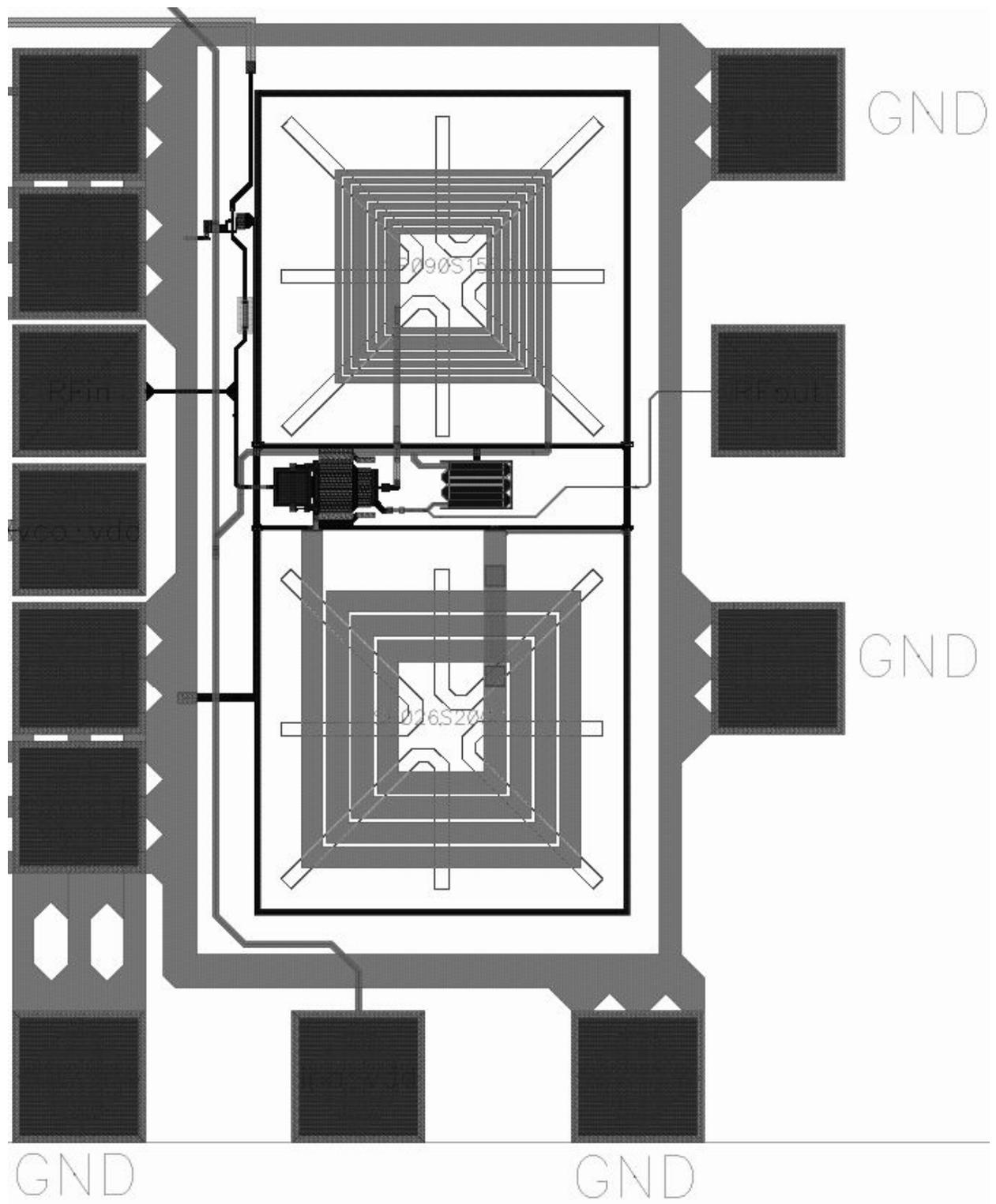


Figura 4.8: Versão de testes do LNA.

## 4.10 CONSIDERAÇÕES SOBRE O LAYOUT DO LNA

O *layout* é uma das etapas mais importantes no projeto de um circuito integrado. De fato, é o *layout* do circuito que conduz ao conjunto de máscaras que será fabricado. Desta maneira, um *layout* mal feito poderia inviabilizar a utilização do LNA na cadeia receptora, devido a uma série de fatores: erros presentes na representação de determinados componentes elétricos; erros de roteamento existentes nas ligações entre as componentes elétricas; desvios significativos na operação do dispositivo devido a existência de parasitários. Felizmente existem simuladores providos de funções<sup>12</sup> cuja finalidade é garantir que o *layout* projetado represente de forma apropriada o circuito desejado.

Ao longo do projeto do *layout* do LNA, certos cuidados foram tomados, e alguns deles seguem listados abaixo:

- Evitou-se a sobreposição de trilhas de forma a reduzir o *cross-talk*;
- Realização de trilhas paralelas simétricas sempre que possível;
- Nenhuma componente posicionada a menos de  $10\ \mu\text{m}$  dos indutores devido aos campos envolvidos em seu funcionamento;
- Uma blindagem eletrostática<sup>13</sup> em volta dos indutores;
- As trilhas dreno-fonte dos transistores amplificadores foram dimensionadas para suportar  $2\ \text{mA}$ , isto é, dois desvios padrão além da média da corrente esperada, vide Figura 5.3;
- Maior queda de tensão em resistências parasitárias de trilhas:  $10\ \text{mV}$ ;
- Maior capacitância parasitária decorrente do roteamento:  $2,56\ \text{fF}$ ;
- Curvas de trilhas sempre realizadas em ângulos de  $45^\circ$ ;
- Transistores amplificadores divididos em transistores paralelos, seguindo-se de simulações até que fossem obtidos números ótimos de *gates* para cada um deles;
- A disposição geométrica dos elementos seguiu um esquema de simetria radial, tendo os indutores como centróide;
- Os valores de comprimento e largura do canal dos transistores que compõem a rede de polarização do LNA foram ambos aumentados, de forma a minimizar os erros decorrentes da variação de processos na fabricação;
- Foi adicionado um indutor de  $9\ \text{nH}$  entre o  $V_{DD}$  e suas conexões portadoras de sinal com a finalidade de evitar o vazamento de RF;
- Ambos os indutores empregados são espirais planares, e sua caracterização segue apresenta no anexo I.2.
- Foi realizada uma capacitância de *by-passing*<sup>14</sup>. Seu valor foi estimado como sendo da ordem de  $1\ \text{pF}$  utilizando-se o equacionamento apresentado na Seção 2; entretanto, uma análise detalhada de desempenho para essa capacitância não foi realizada no presente trabalho.

---

<sup>12</sup>DRCs, LVSSs, extratores de parasitários e etc.

<sup>13</sup>Conhecida como *Death wall* na literatura técnica.

<sup>14</sup>i.e., uma capacitância entre a alimentação e o terra do circuito com a finalidade de reduzir possíveis oscilações de alimentação da rede.

O projeto de um *layout* é de caráter altamente iterativo e, ao longo desse processo, mudanças nos valores de determinados parâmetros do bloco são realizadas, isto é, ocorre um ajuste fino de forma que os valores simulados se encontrem o mais próximo possível dos valores pretendidos. No presente trabalho, os passos intermediários na obtenção do conjunto de parâmetros finais do LNA serão omitidos; contudo, alguns dos cuidados tomados ao longo do projeto do *layout* foram apresentados na presente seção e refletem parte do aprendizado adquirido e necessário para uma abordagem bem sucedida.

# 5 RESULTADOS E DISCUSSÃO

## 5.1 INTRODUÇÃO

O capítulo 4 tratou do dimensionamento das componentes dos diversos blocos do amplificador: os transistores amplificadores; o bloco de polarização; as possíveis cargas para o LNA. Uma vez finalizado o dimensionamento de todo o LNA, e da realização das devidas simulações em nível elétrico, seguimos para as últimas etapas do projeto: simulações em nível elétrico de Monte Carlo [23] e a elaboração do layout do circuito. Logo em seguida, o presente trabalho é concluído e sugestões para trabalhos futuros serão realizadas.

## 5.2 SIMULAÇÕES MONTE CARLO

Uma vez finalizado o projeto elétrico do LNA, simulações de natureza estatística são realizadas com a finalidade de simular as inerentes variações de processo durante a fabricação do circuito integrado. A variação dos parâmetros é realizada de forma decorrelacionada<sup>1</sup>, e esperamos obter um dispositivo funcional mesmo levando-se em consideração essas variações. Essa é uma forma de garantia da robustez do circuito. A Figura 5.1 ilustra uma dessas simulações.

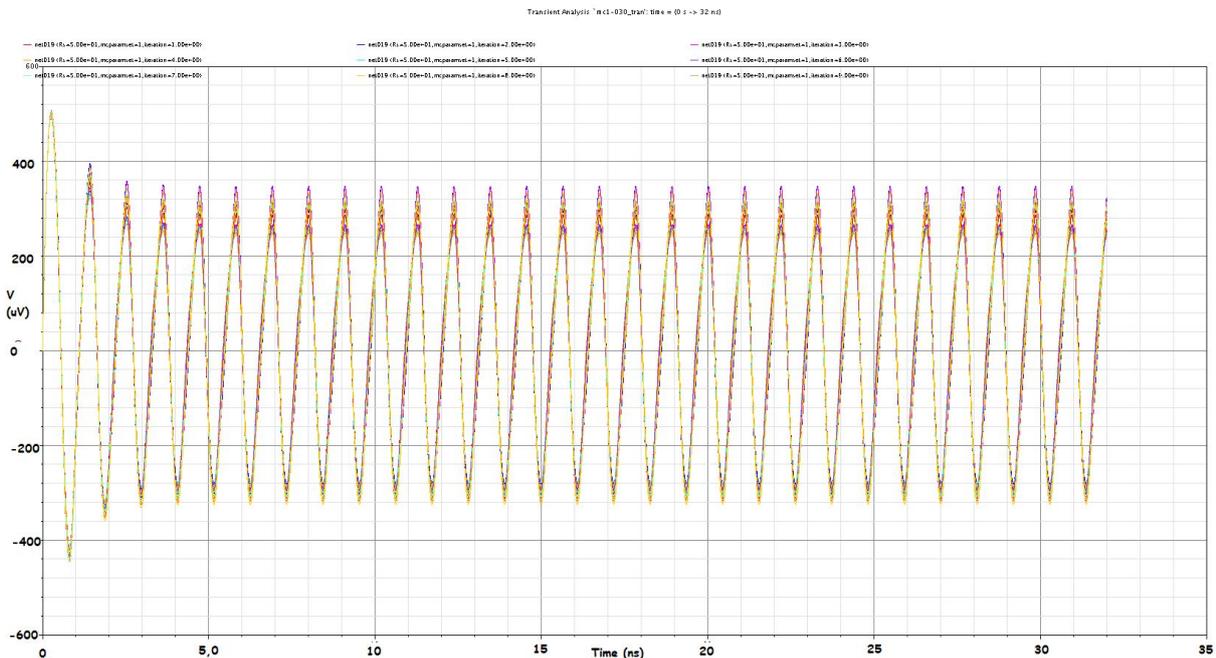


Figura 5.1: Simulação Monte Carlo da tensão de saída do LNA. Número de simulações: 300.

Para efeito meramente comparativo, a tensão foi observada num ponto do circuito posterior a um capacitor ideal, de forma que não fossem observadas variações no nível DC do sinal. Como pode ser observado na Figura 5.1, a resposta do LNA é bastante similar em todas as simulações.

<sup>1</sup>Simulações de natureza pessimista, uma vez que um bom projeto de *layout* pode fazer com que essas variações sejam correlacionadas. Simulações de pior caso são ditas "*corner simulations*".

Uma vez que a carga selecionada para o LNA foi a resistiva, o valor de tensão na saída do LNA será diferente de  $V_{DD}$ , de forma que há a possibilidade de acoplamento direto entre o LNA e o *mixer*. Em oposição, se a tensão de saída do LNA estivesse próxima ao valor de  $V_{DD}$ , não seria possível polarizar apropriadamente o transistor do *mixer* que recebe o sinal de saída do LNA, uma vez que a condição  $V_{gd} < V_{t0}$ <sup>2</sup> implicaria em valores de tensão superiores a  $V_{DD}$  no dreno desse transistor. De fato, para que o acoplamento direto seja realizado, precisamos garantir que os valores de tensão DC na saída do LNA variem pouco em torno de uma média, vide Fig. 5.2.

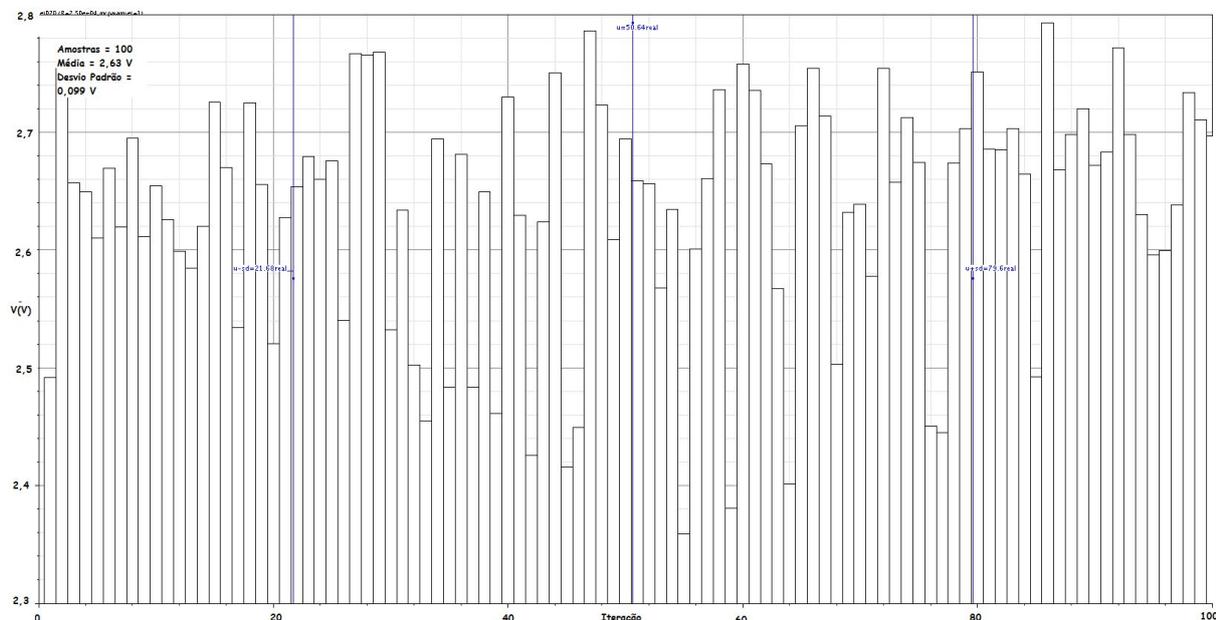


Figura 5.2: Simulação Monte Carlo da tensão DC na saída do LNA. Número de simulações: 100. Média = 2,63 V. Desvio padrão = 0,099 V.

A Figura 5.2 revela que o valor dessa tensão é bastante estável, possibilitando o acoplamento direto LNA-*mixer*. Além disso, deve-se levar em consideração que o projeto de um *layout* requer o conhecimento prévio dos valores de corrente que circularão em cada uma de suas trilhas, isto é, existe uma densidade de corrente máxima suportada por cada uma das trilhas<sup>3</sup> de metal; contudo, esses valores de corrente não são determinísticos, dessa forma uma simulação Monte Carlo para a corrente de polarização dos transistores amplificadores é realizada e apresentada na Fig. 5.3.

Para concluir essa etapa de simulações, uma simulação Monte Carlo é realizada para verificar a flutuação do valor de tensão DC aplicado na porta do transistor amplificador fonte-comum do LNA, e outra é realizada para provar a estabilidade da fonte de corrente disponibilizada no projeto, ver Seção 4.6. Os resultados obtidos são apresentados nas Figuras 5.4-5.5.

Os resultados obtidos nesta seção são animadores, e revelam uma arquitetura bastante robusta. Desta forma, seguiremos para a última etapa do projeto: os resultados finais obtidos após a otimização do *layout* do circuito.

<sup>2</sup>Condição para a operação na região de saturação para transistores NMOS.

<sup>3</sup>Esse valor de densidade máxima suportada depende do metal empregado.

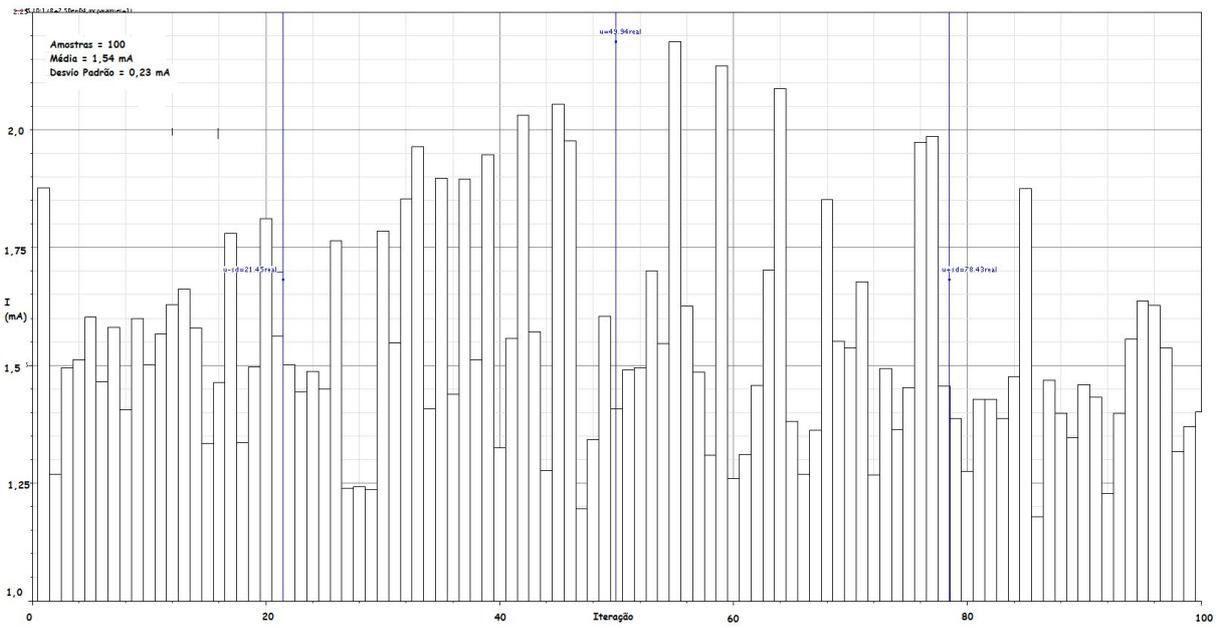


Figura 5.3: Simulação Monte Carlo da corrente de polarização do LNA. Número de simulações: 100. Média = 1,54 mA. Desvio padrão = 0,23 mA.

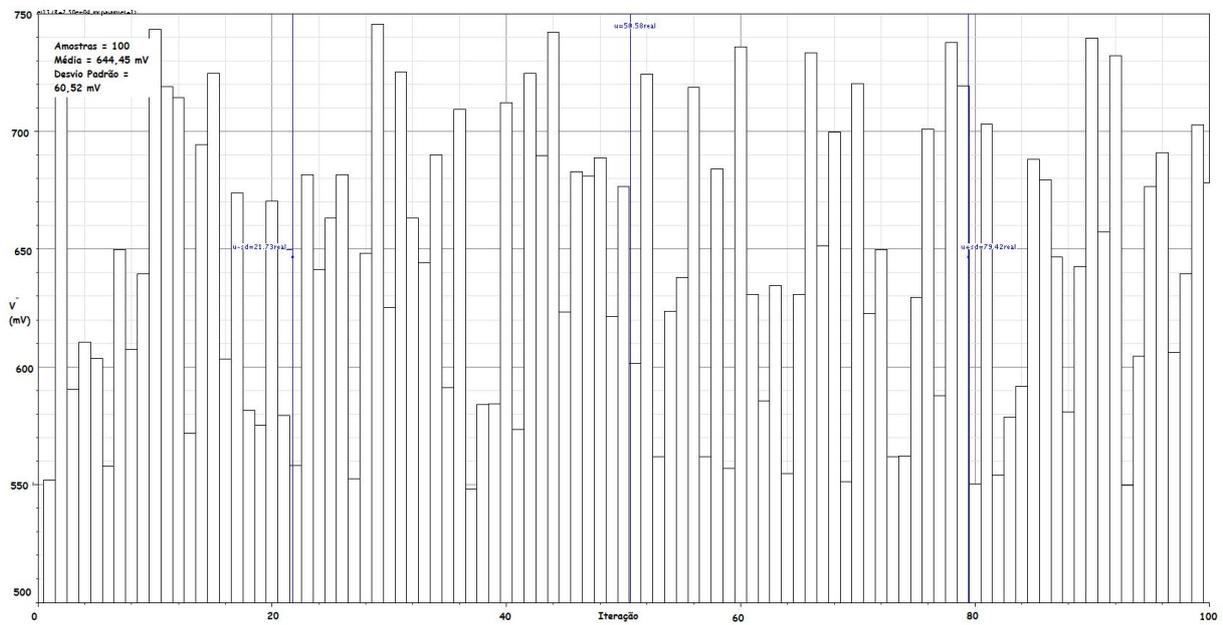


Figura 5.4: Simulação Monte Carlo da tensão de polarização do LNA. Número de simulações: 100. Média = 644 mV. Desvio padrão = 60,52 mV.

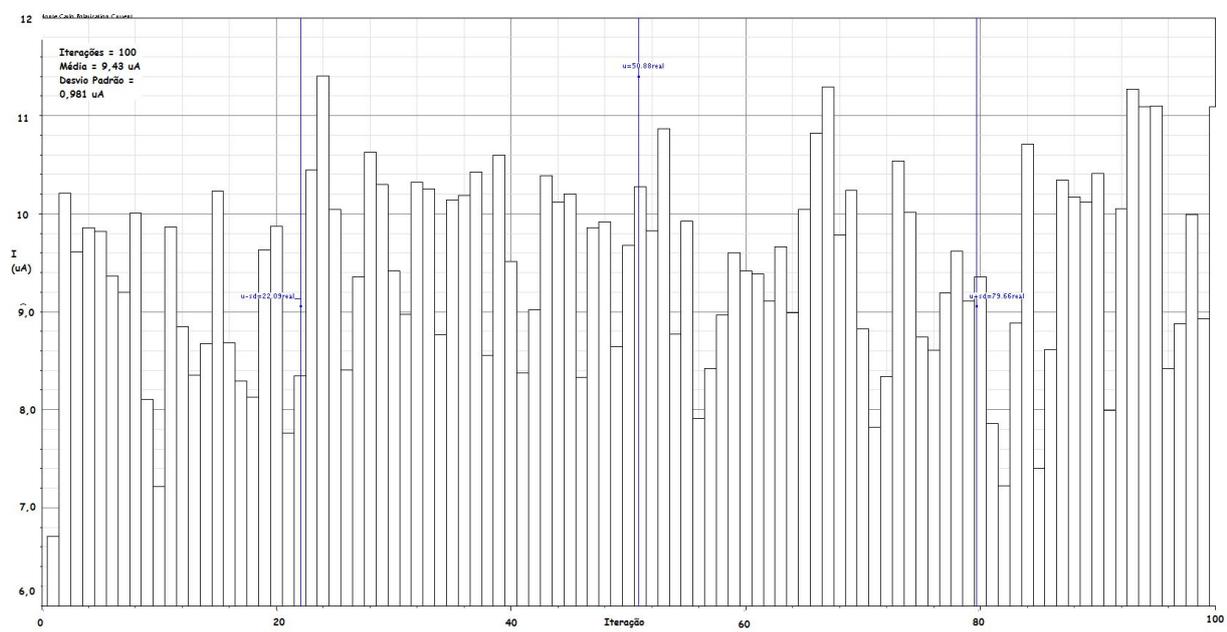


Figura 5.5: Simulação Monte Carlo da corrente de polarização do *enable* projetado. Número de simulações: 100. Média =  $9,43 \mu A$ . Desvio padrão =  $0,981 \mu A$ .

### 5.3 RESULTADOS OTIMIZADOS PARA O LNA

Após uma série de iterações, obtemos uma nova lista de parâmetros para o LNA, e eles seguem apresentados na Tab. 5.1.

Tabela 5.1: Parâmetros obtidos para otimização do LNA após processo iterativo

Parâmetro	Valor	Unidade
$C_{ex}$	509,08	$fF$
$W1$	550	$\mu m$
$W2$	175	$\mu m$
$L_s$	2,16	$nH$
$L_g$	22	$nH$

As simulações pertinentes são realizadas e os resultados obtidos são listados na Tab. 5.3. O conjunto de simulações é razoavelmente extenso, e por esta razão é apresentado no anexo I.5.

Tabela 5.2: Resultados das simulações *pos layout*

Métrica	Valor Pretendido	Valor Obtido
Ganho de tensão	15 $dB$	19 $dB$
Máximo ganho de potência	–	7,9 $dB$
Figura de ruído	3 $dB$	4,4 $dB$
IIP3	–10 $dBm$	8,93 $dBm$
Impedância de entrada	50 $\Omega$	44 – 40 $j \Omega$
Fator de estabilidade	> 1	22,4
Potência dissipada	5 $mW$	4,92 $mW$
Área em <i>chip</i>	-	0,2 $mm^2$

A partir da Tabela 5.3, pode-se concluir que, com exceção da figura de ruído, todos os parâmetros pretendidos de desempenho para o LNA foram superados, e a justificativa para a elevada figura de ruído obtida se encontra na natureza ruidosa da carga empregada, ou seja, do resistor; contudo, essa desvantagem já era esperada desde o projeto. Finalmente, a tabela 5.3 realiza uma comparação entre os resultados obtidos no presente projeto e em outros projetos de LNAs bastante citados na literatura técnica.

Tabela 5.3: Resultados das simulações *pos layout*

Autor	NF [dB]	Ganho [dB]	IP3 [dBm]	Power [mW]
Tiago B.	4,4	19	8,93	4,92
Chang <i>et al</i>	6	14	<i>na</i>	7
Karanicolas <i>et al</i>	2,2	15,6	12,4	20
Sheng <i>et al</i>	7,5	11	<i>na</i>	36
Rofougaran <i>et al</i>	3,5	22	<i>na</i>	27
Meyer <i>et al</i>	5,7	7,8	23,9	115
Cioffi	2,2	19,6	6	10

# 6 CONCLUSÃO

## 6.1 CONCLUSÕES

Neste trabalho foi realizado um amplificador de baixo ruído (LNA) que opera entre  $915\text{MHz}$  e  $927,5\text{MHz}$ . Os resultados obtidos por intermédio de simulações validam o projeto e revelam que os objetivos do projeto foram parcialmente alcançados, pois, com exceção da figura de ruído, as demais figuras de mérito do LNA se apresentaram satisfatórias frente a lista de especificações apresentada. A investigação realizada permite inferir que a explicação para o desvio observado na figura de ruído se encontra associado à natureza ruidosa da carga utilizada.

Quando comparado a outros projetos encontrados na literatura técnica, observa-se que os pontos fortes do LNA projetado são: o baixo consumo de potência, a utilização de poucos indutores, a possibilidade de utilização de outras cargas que não sejam a carga projetada sem que se observe grande deterioração do seu desempenho e a alta linearidade. Por outro lado, o projeto apresenta algumas limitações, dentre elas: uma alta figura de ruído e um baixo ganho de potência.

### 6.1.1 Propostas para trabalho futuros

Seguem apresentadas abaixo uma série de tarefas relacionadas ao presente projeto que podem levar à validação dos resultados aqui previstos ou à melhoria de desempenho dos blocos projetados.

- Envio para fabricação e caracterização do LNA;
- Estudo de alternativas para a geração de indutores com melhor fator de qualidade e sua consequente utilização<sup>1</sup>;
- Uma modelagem do encapsulamento utilizado para que medidas contrárias aos efeitos decorrentes de parasitários inerentes ao seu uso possam ser adotadas;
- Estudo de alternativas para os *pads* analógicos utilizados na entrada do LNA<sup>2</sup>, de forma a substituí-los por *pads* próprios para circuitos de radiofrequência.
- Estudo mais criterioso sobre a efetividade da capacitância de *by-passing* adicionada no *layout* do circuito.

---

<sup>1</sup>A partir do anexo I.2 fica evidente que o fator de qualidade dos indutores utilizados é bastante ruim.

<sup>2</sup>No caso do circuito enviado para a caracterização, *pads* também são utilizados em sua saída.

## REFERÊNCIAS BIBLIOGRÁFICAS

- [1] MEDEIROS, J. Revisão e Aperfeiçoamento do Módulo de Saída de um transceptor de RF a 900MHz em SoC CMOS. 2007.
- [2] SOARES, V. Projeto de módulos de RF para sistema em chip CMOS. 2008.
- [3] LEE, T. *The design of CMOS radio-frequency integrated circuits*. [S.l.]: Cambridge Univ Pr, 2004.
- [4] JOHNSON, J. Thermal agitation of electricity in conductors. *Physical Review*, APS, v. 32, n. 1, p. 97–109, 1928.
- [5] SHAEFFER, D.; LEE, T. A 1.5-V, 1.5-GHz CMOS low noise amplifier. *IEEE Journal of Solid-State Circuits*, v. 32, n. 5, p. 745–759, 1997.
- [6] SCHOTTKY, W. On spontaneous current fluctuations in different electrical conductors. *Ann. Phys.(Leipzig)*, v. 57, p. 541–567, 1918.
- [7] JOHNSON, J. The Schottky effect in low frequency circuits. *Physical review*, APS, v. 26, n. 1, p. 71–85, 1925.
- [8] FRIIS, H. Noise figures of radio receivers. *Proceedings of the IRE*, v. 32, n. 7, p. 419–422, 1944.
- [9] YUAN, C.; TRICK, T. A simple formula for the estimation of the capacitance of two-dimensional interconnects in VLSI circuits. *IEEE Electron Device Letters*, v. 3, n. 12, p. 391–393, 1982.
- [10] RAZAVI, B. CMOS technology characterization for analog and RF design. *IEEE Journal of Solid-State Circuits*, v. 34, n. 3, 1999.
- [11] TSIVIDIS, Y.; SUYAMA, K. MOSFET modeling for analog circuit CAD: Problems and prospects. *IEEE Journal of Solid-State Circuits*, v. 29, n. 3, 1994.
- [12] LEROUX, P.; JANSSENS, J.; STEYAERT, M. a 0.8-dB NF ESD-protected 9-mw CMOS LNA operating at 1.23 GHz. *IEEE Journal of Solid-State Circuits*, v. 37, n. 6, p. 761, 2002.
- [13] ANDREANI, P.; SJ  
"OLAND, H. Noise optimization of an inductively degenerated CMOS low noise amplifier. *IEEE Transactions on Circuits and Systems III: Analog and Digital Signal Processing*, v. 48, n. 9, p. 835, 2001.
- [14] ZHAN, J.; TAYLOR, S.; INTEL, H. A 5GHz resistive-feedback CMOS LNA for low-cost multi-standard applications. In: *IEEE International Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers*. [S.l.: s.n.], 2006. p. 721–730.
- [15] SEDRA, A.; SMITH, K. *Microelectronic circuits*. [S.l.]: Oxford University Press, USA, 1998.
- [16] RAZAVI, B.; BEHZAD, R. *RF microelectronics*. [S.l.]: Prentice Hall PTR Upper Saddle River, NJ, 1998. 182–185 p.
- [17] HAUS, H. et al. Representation of noise in linear twoports. *Proceedings of the IRE*, v. 48, n. 1, p. 69–74, 1960.
- [18] HO, Y. et al. 3 V low noise amplifier implemented using a 0.8  $\mu\text{m}$  CMOS process with three metal layers for 900 MHz operation. *Electronics Letters*, v. 32, p. 1191, 1996.

- [19] BRYANT, G. Principles of microwave measurements. In: INSTITUTION OF ELECTRICAL ENGINEERS. [S.l.], 1993.
- [20] GONZALEZ, G. Microwave transistor amplifiers: Analysis and design. *PRENTICE-HALL, INC., ENGLEWOOD CLIFFS, NJ 07632, USA, 1984, 245*, 1984.
- [21] NGUYEN, T. et al. CMOS low-noise amplifier design optimization techniques. *IEEE Transactions on Microwave Theory and Techniques*, v. 52, n. 5, p. 1433–1442, 2004.
- [22] CASCADE. <http://www.cmicro.com>.
- [23] ROBERT, C.; CASELLA, G. *Monte Carlo statistical methods*. [S.l.]: Springer Verlag, 2004.
- [24] SPECTRE, R. V. Simulator, 2006 Cadence Design Systems. Inc., <http://www.cadence.com>.
- [25] NOTE, C. A. LNA Design Using Spectre RF. Inc., <http://www.cadence.com>, Sempتمبر,2004.



# I. SIMULAÇÕES

## I.1 SIMULAÇÕES REALIZADAS

O ambiente de simulação utilizado foi o *virtuoso* da CADENCE, e o simulador utilizado no presente trabalho foi o spectre RF. Uma breve descrição da natureza das simulações realizadas segue apresentada abaixo.

- *Periodic steady-state analysis* (PSS): análise de grandes sinais que computa diretamente a resposta em regime permanente do circuito com uma simulação que é independente das constantes de tempo do circuito. Dois pré-supostos se aplicam numa análise PSS: periodicidade e linearidade. Após uma simulação PSS, o circuito é linearizado em torno de um ponto de operação periódico (variante no tempo) com efeitos de conversão de frequência incluídos.
- *Small-signal analysis* (AC,SP, XF, Noise e STB): Linearizam o circuito em torno do ponto DC ou ponto de operação invariante no tempo e o analisam em torno desse ponto. São precisas para pequenas excursões em torno do ponto DC.

Maiores detalhes sobre o ambiente de simulação podem ser encontrados em [24].

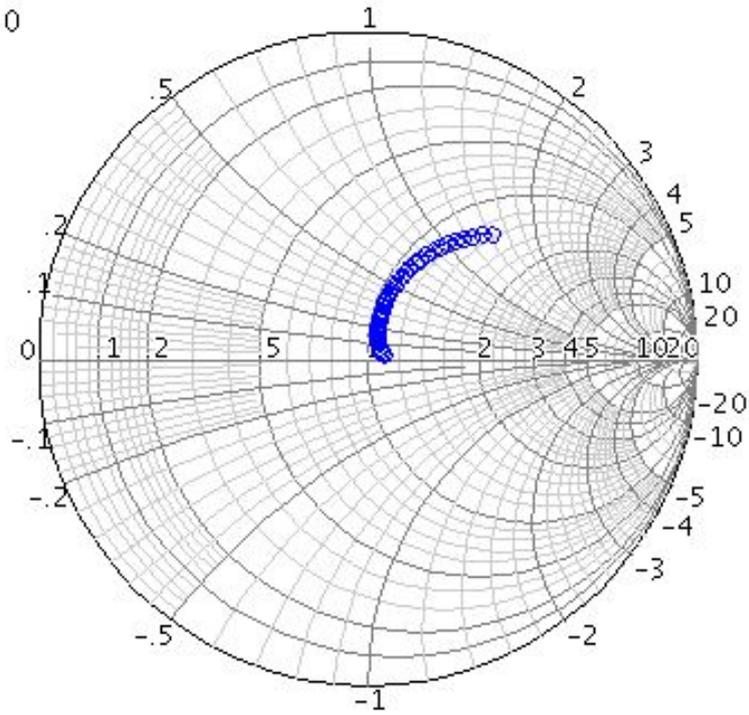
## I.2 SIMULAÇÕES DOS INDUTORES

Condições de simulação:

- Portas de  $50 \Omega$  são ligadas aos terminais dos indutores;
- As demais conexões são referenciadas ao Terra.

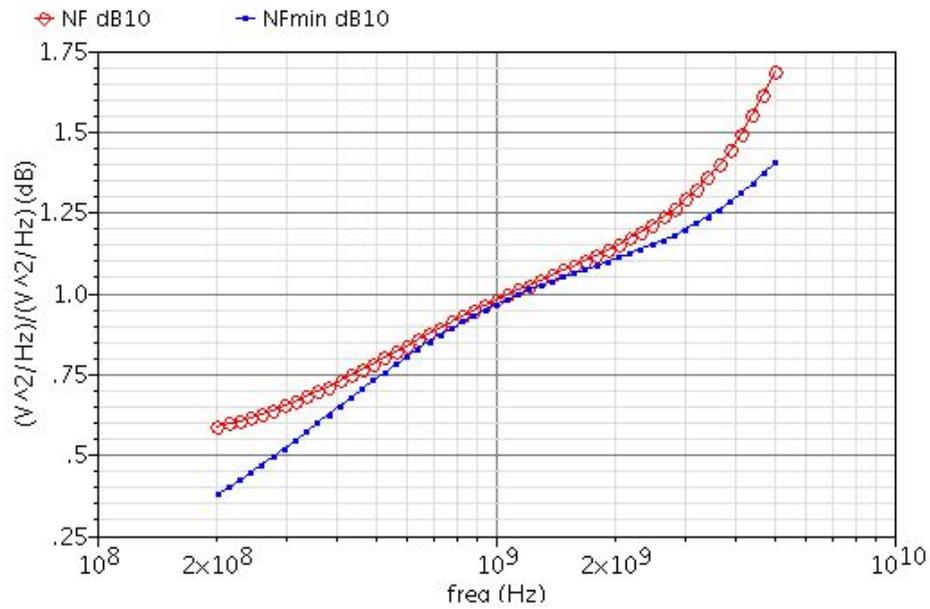
### S-Parameter Response

◆ S11  
rho = 1.0



(a) Impedância do indutor vista na carta de Smith

### S-Parameter Response

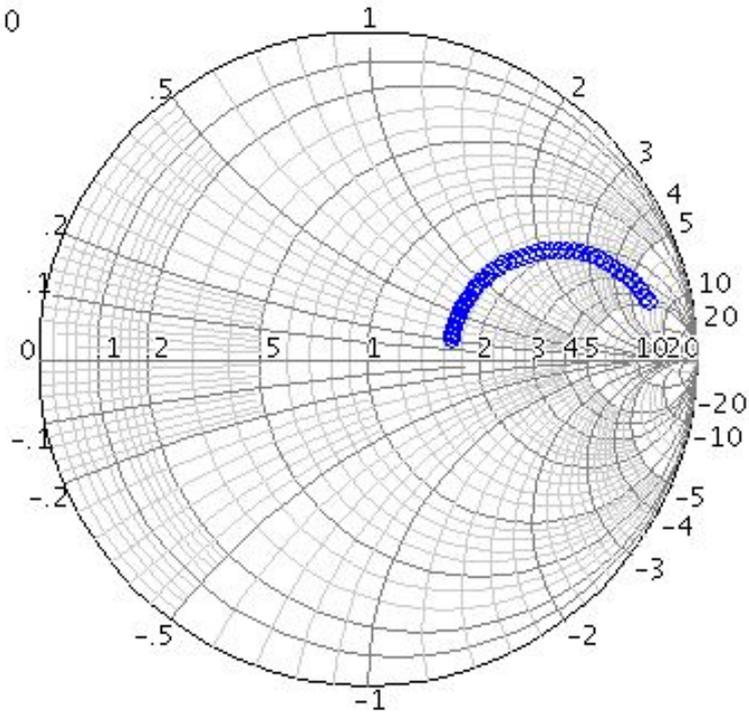


(b) Figura de ruído do indutor

Figura I.1: Caracterização do indutor de 2,6 nH.

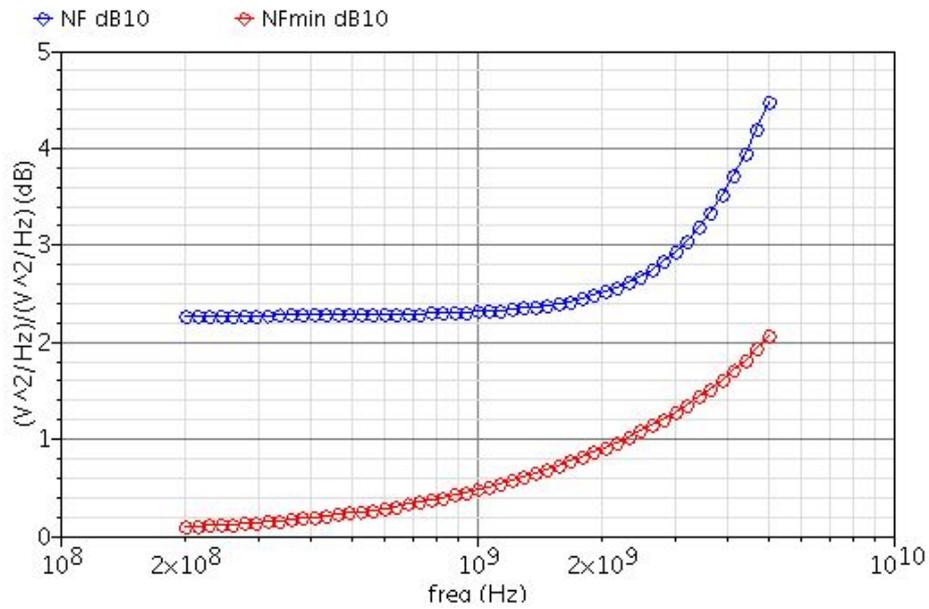
### S-Parameter Response

◆ S11  
rho = 1.0



(a) Impedância do indutor vista na carta de Smith

### S-Parameter Response



(b) Figura de ruído do indutor

Figura I.2: Caracterização do indutor de  $9\text{ nH}$ .

### I.3 SIMULAÇÕES DO LNA COM CARGA RESSONANTE LC

Condições de simulação:

- Uma porta de impedância  $50 \Omega$  é ligada à entrada do LNA;
- As potências de entrada e de saída estão sempre referenciadas à impedância da porta que recebe o sinal, ou seja,  $50 \Omega$ ;
- Para as simulações de ganho de tensão, a saída do LNA é ligada a uma porta de impedância  $10M \Omega$ . Esse valor é utilizado para não provocar carregamento do circuito;
- Nas demais simulações, a saída do LNA é ligada a uma porta de impedância  $25k \Omega$ .

Maiores detalhes sobre os procedimentos necessários à execução destas simulações podem ser encontrados em [25].

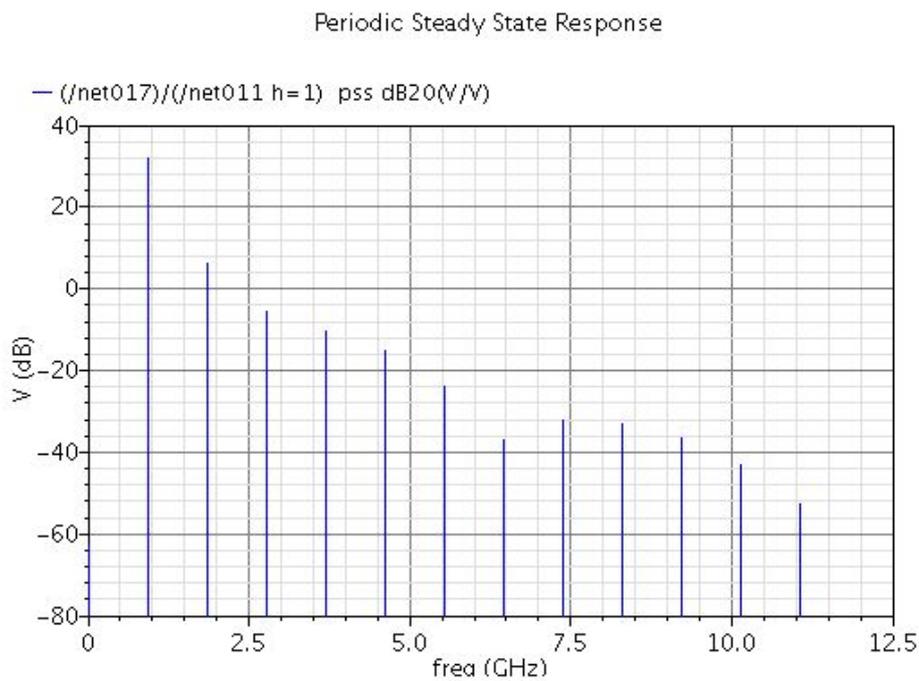


Figura I.3: Ganho de tensão para a carga LC.

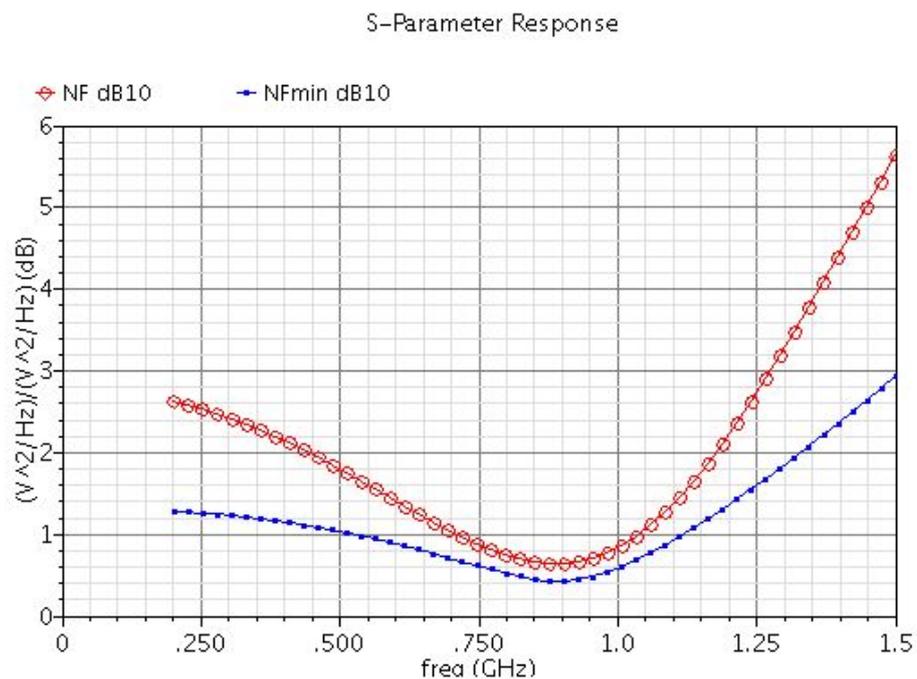


Figura I.4: Figura de ruído para a carga LC.

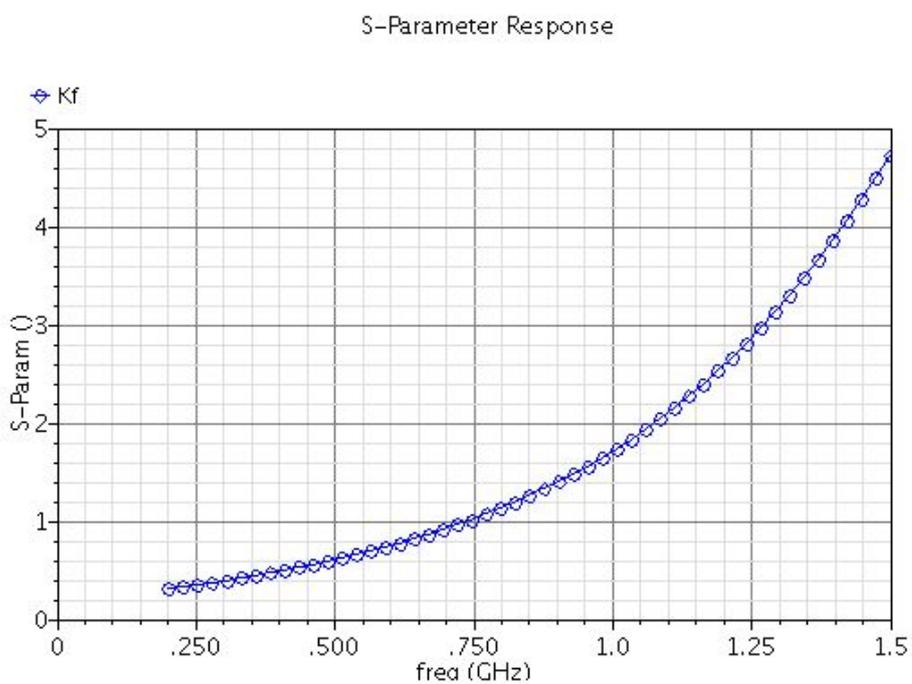


Figura I.5: Fator de estabilidade K para a carga LC.

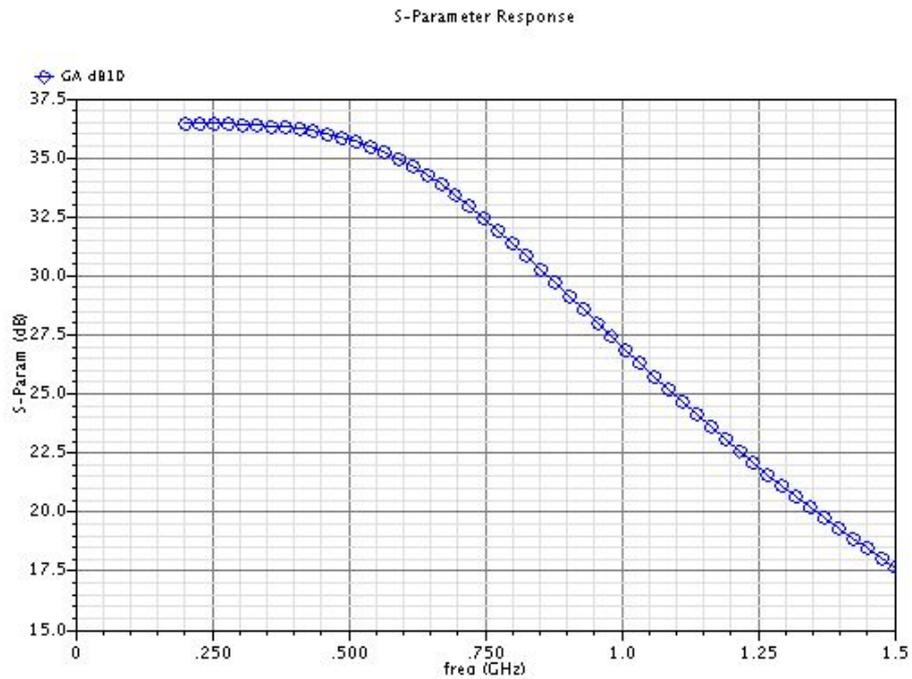


Figura I.6: Ganho de potência para a carga LC.

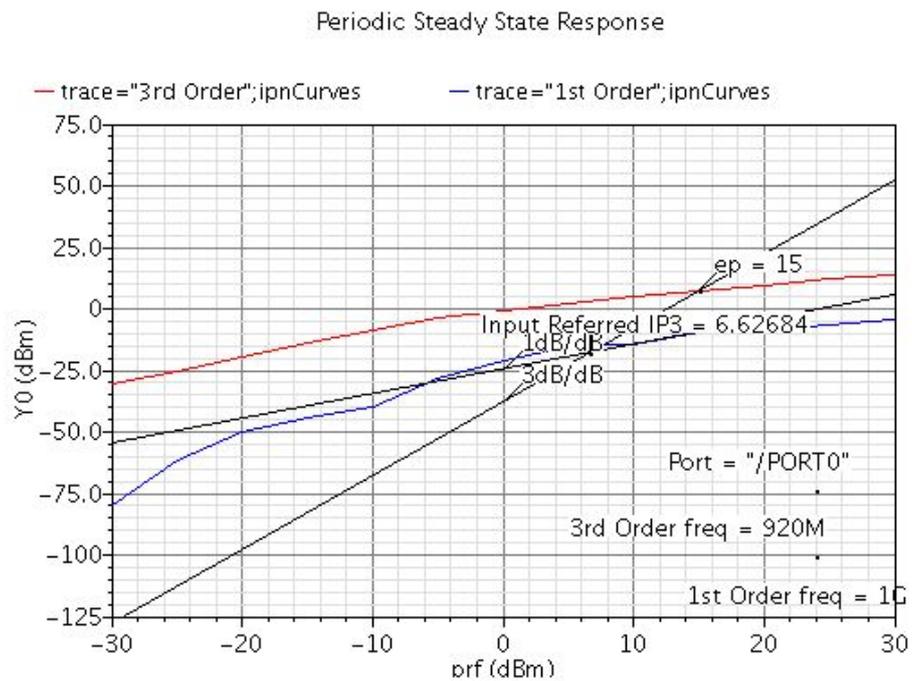
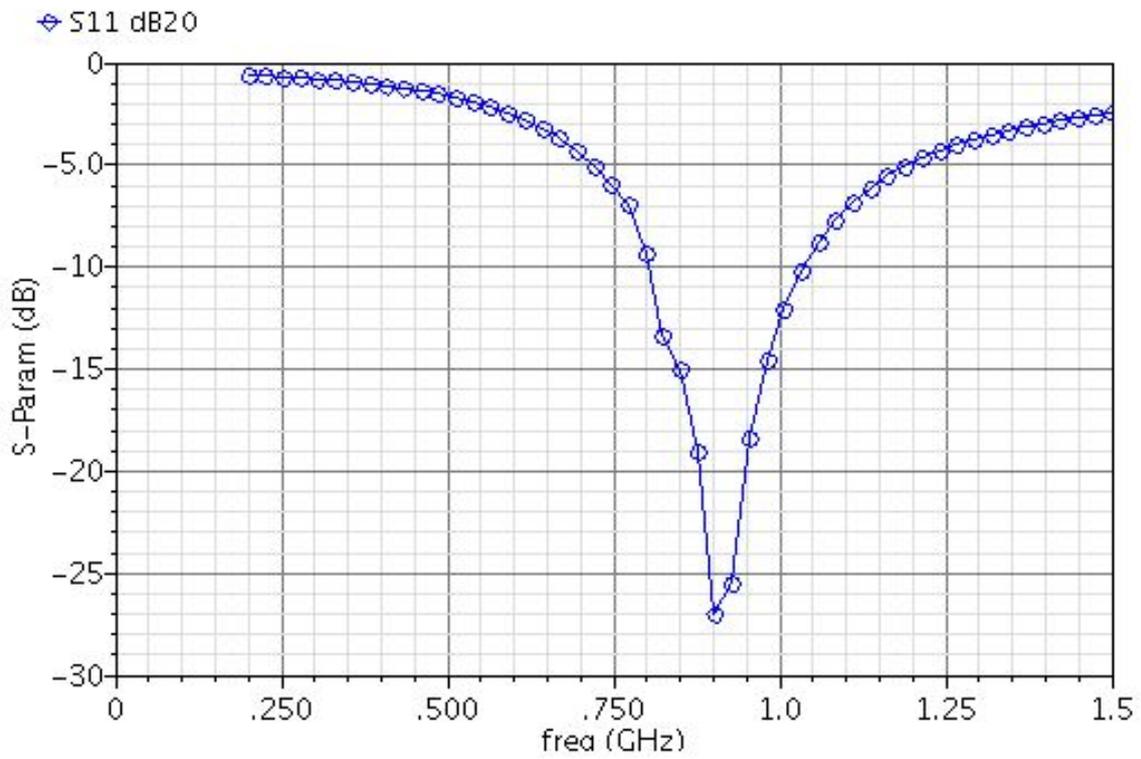


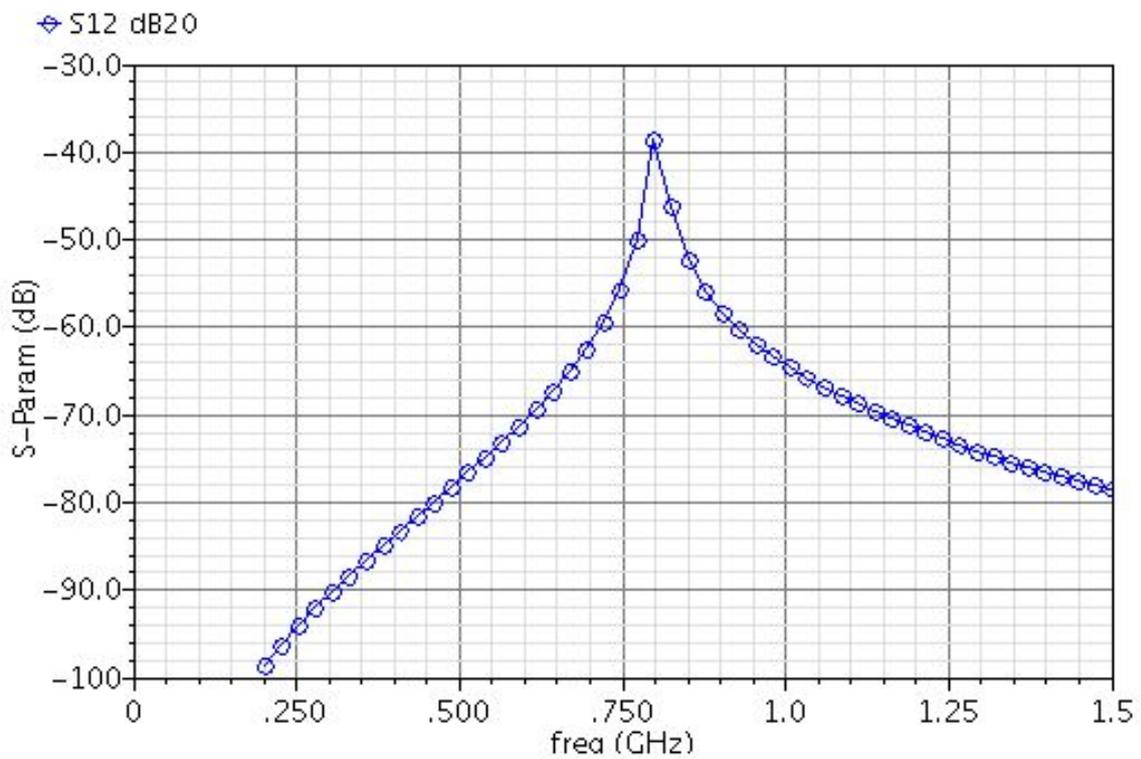
Figura I.7: Ponto de Intersecção de terceira ordem para a carga LC.

### S-Parameter Response



(a) Parâmetro S11 para carga LC

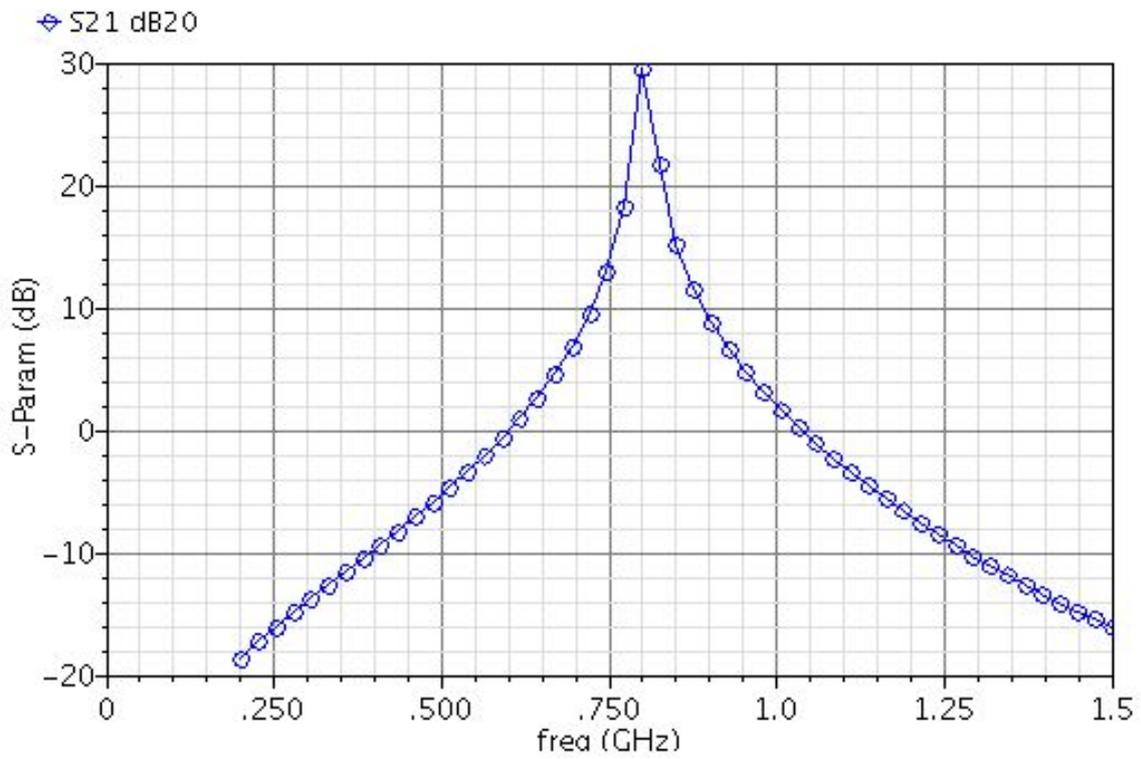
### S-Parameter Response



(b) Parâmetro S12 para carga LC

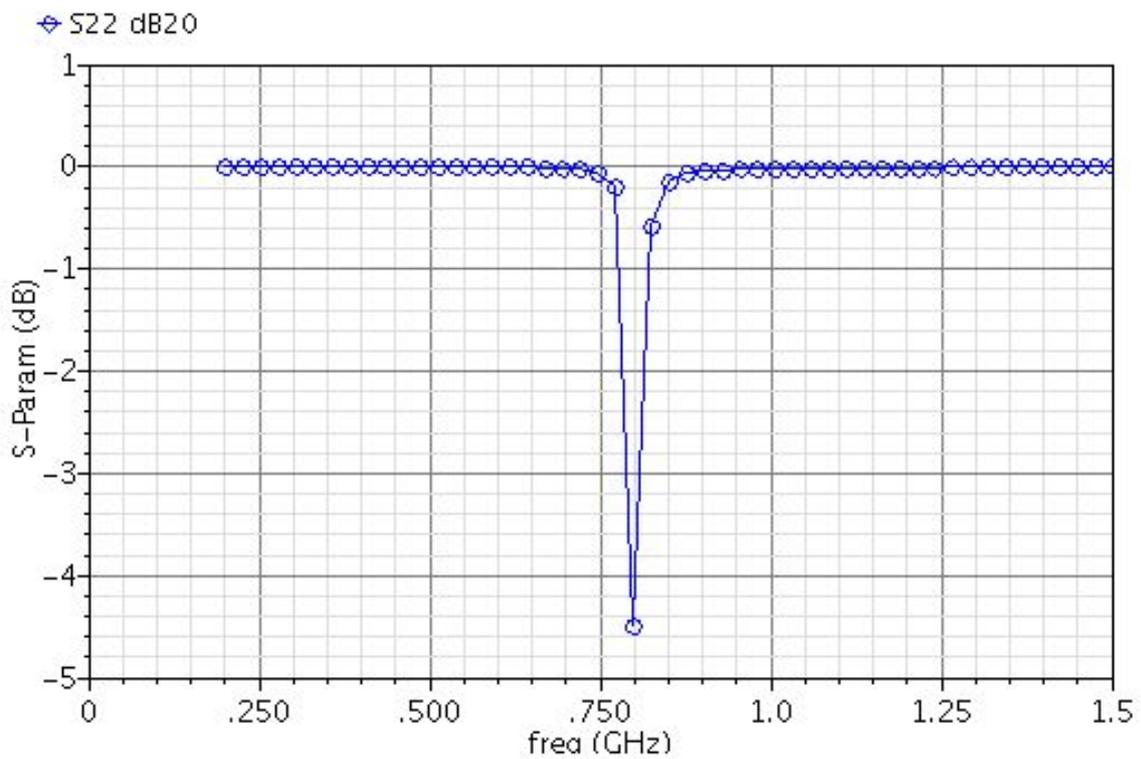
Figura I.8: Parâmetros de espalhamento S11 e S12 para a carga LC.

### S-Parameter Response



(a) Parâmetro S21 para carga LC

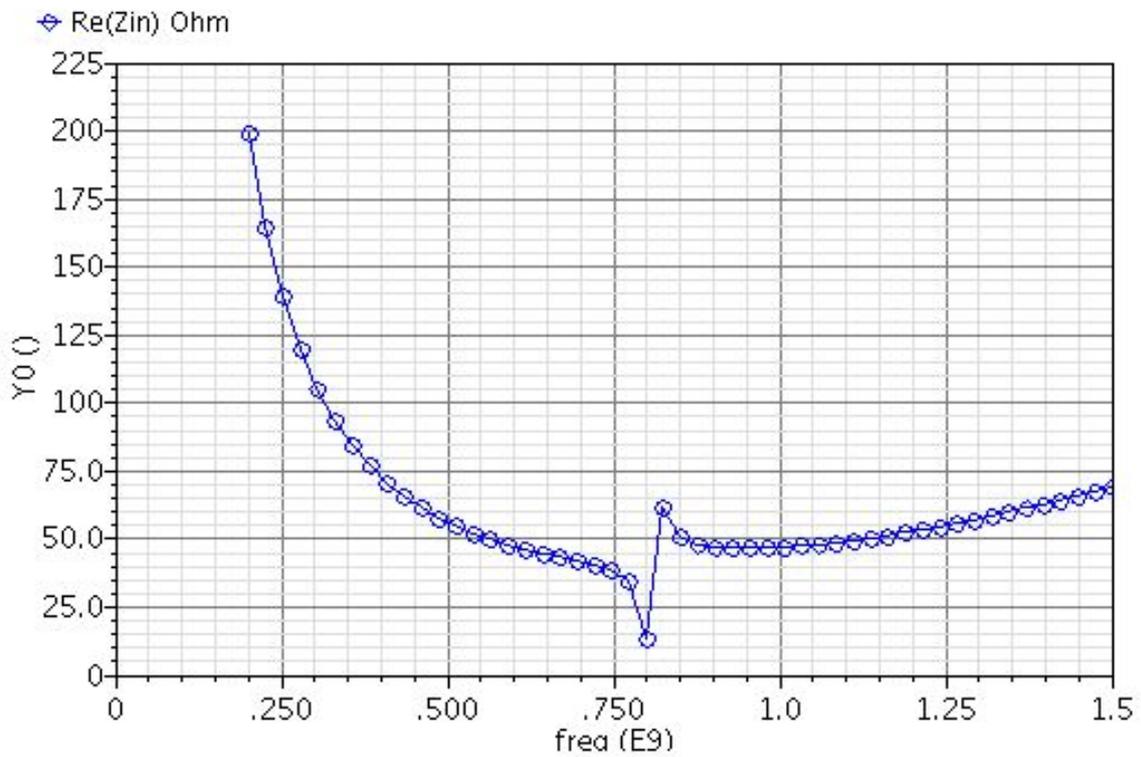
### S-Parameter Response



(b) Parâmetro S22 para carga LC

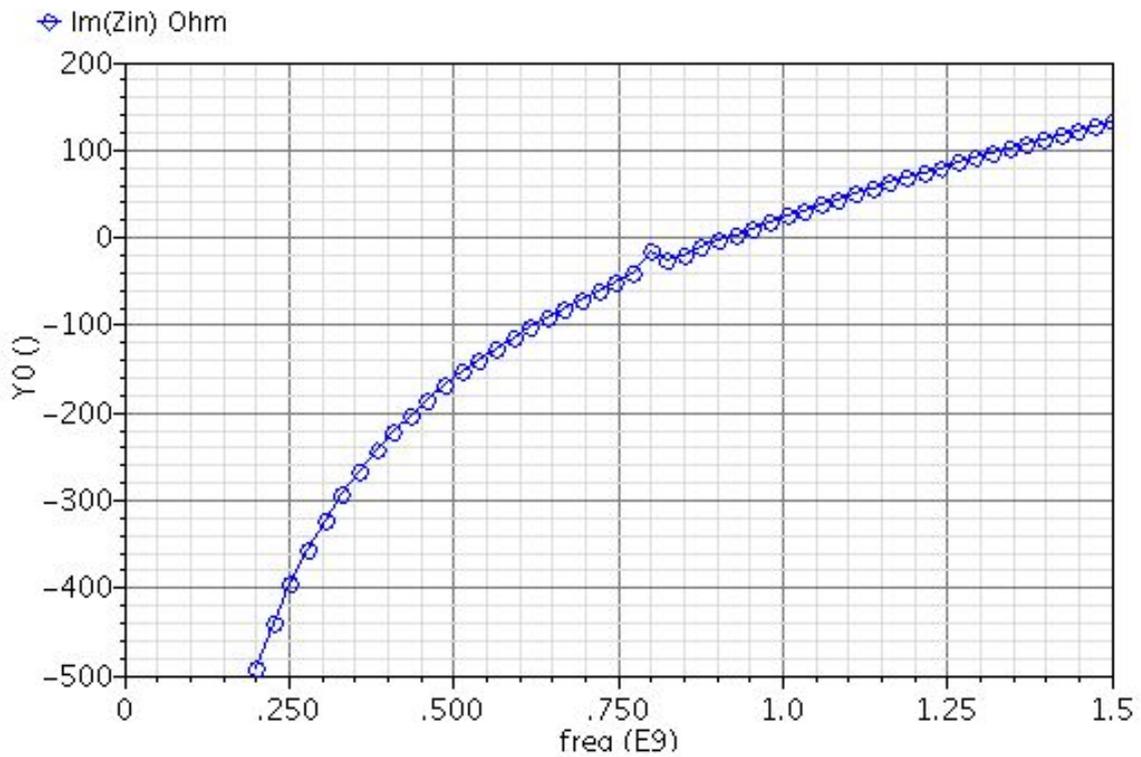
Figura I.9: Parâmetros de espalhamento S21 e S22 para a carga LC.

### S-Parameter Response



(a) Parte Real da impedância de entrada para carga LC

### S-Parameter Response



(b) Parte Imaginária da impedância de entrada para carga LC

Figura I.10: Partes real e imaginária da impedância de entrada do LNA para carga LC.

## I.4 SIMULAÇÕES DO LNA COM CARGA RESISTIVA

Condições de simulação:

- Uma porta de impedância  $50 \Omega$  é ligada à entrada do LNA;
- As potências de entrada e de saída estão sempre referenciadas à impedância da porta que recebe o sinal, ou seja,  $50 \Omega$ ;
- Para as simulações de ganho de tensão, a saída do LNA é ligada a uma porta de impedância  $10M \Omega$ . Esse valor é utilizado para não provocar carregamento do circuito;
- Nas demais simulações, a saída do LNA é ligada a uma porta de impedância  $25k \Omega$ .

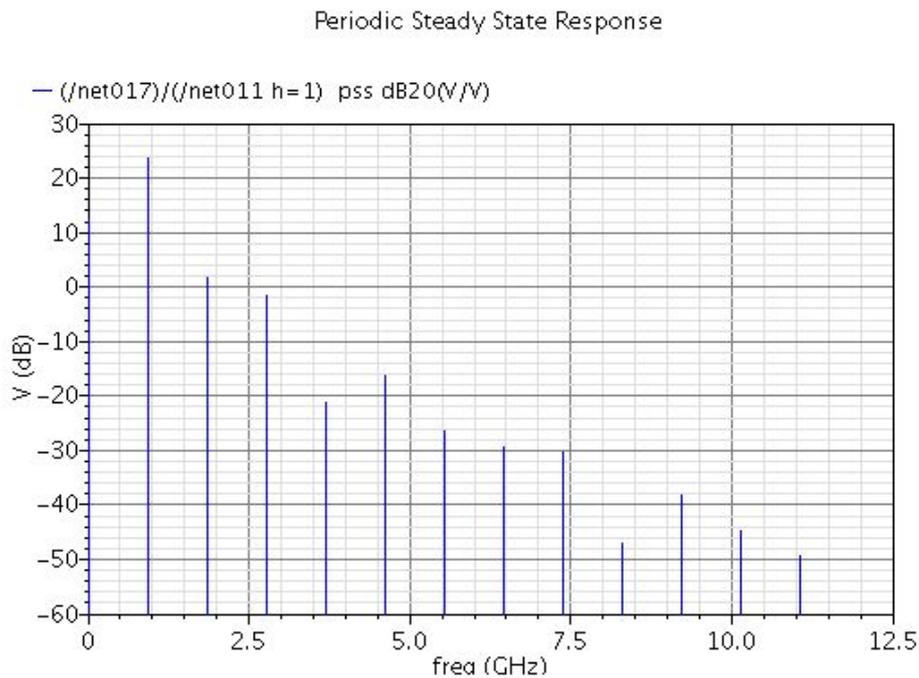


Figura I.11: Ganho de tensão para a carga R.

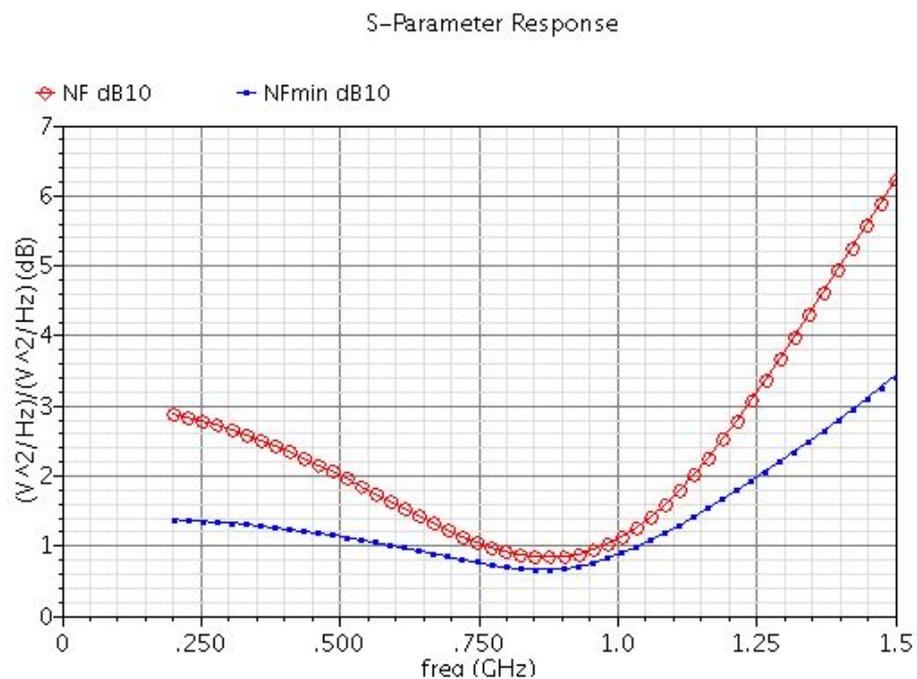


Figura I.12: Figura de ruído para a carga R.

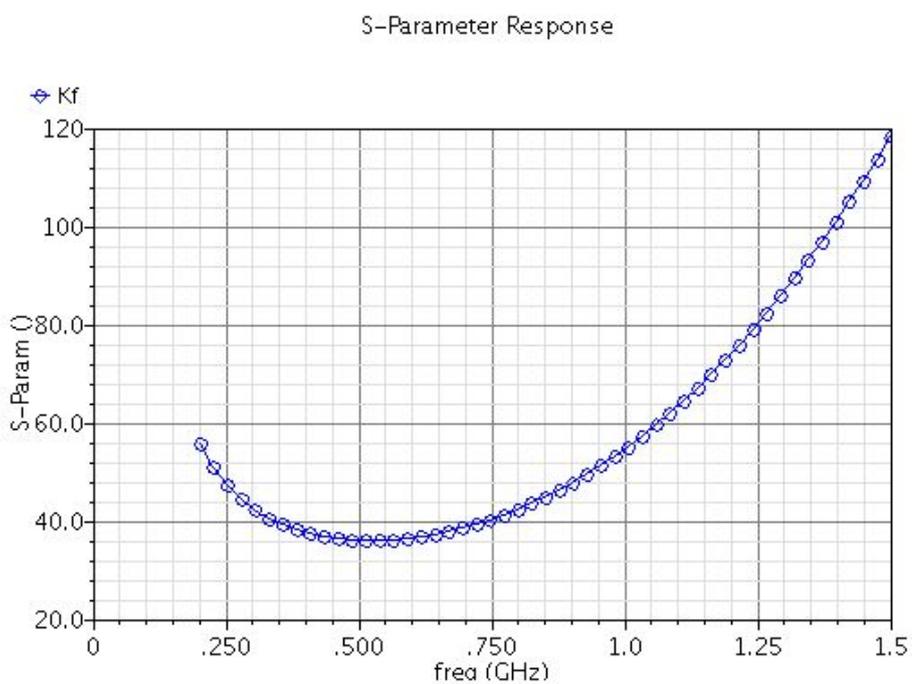


Figura I.13: Fator de estabilidade K para a carga R.

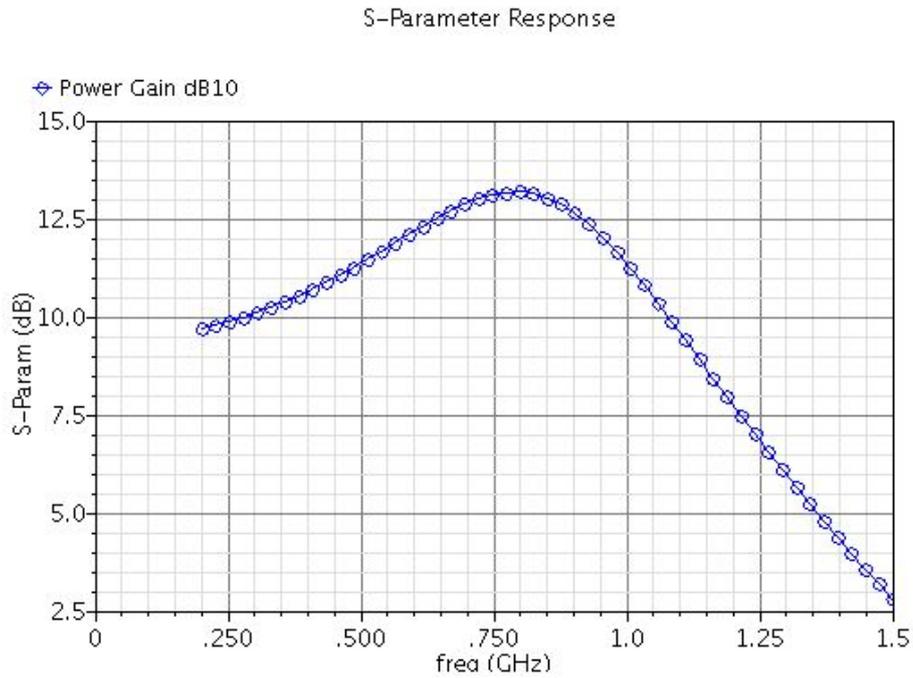


Figura I.14: Ganho de potência para a carga R.

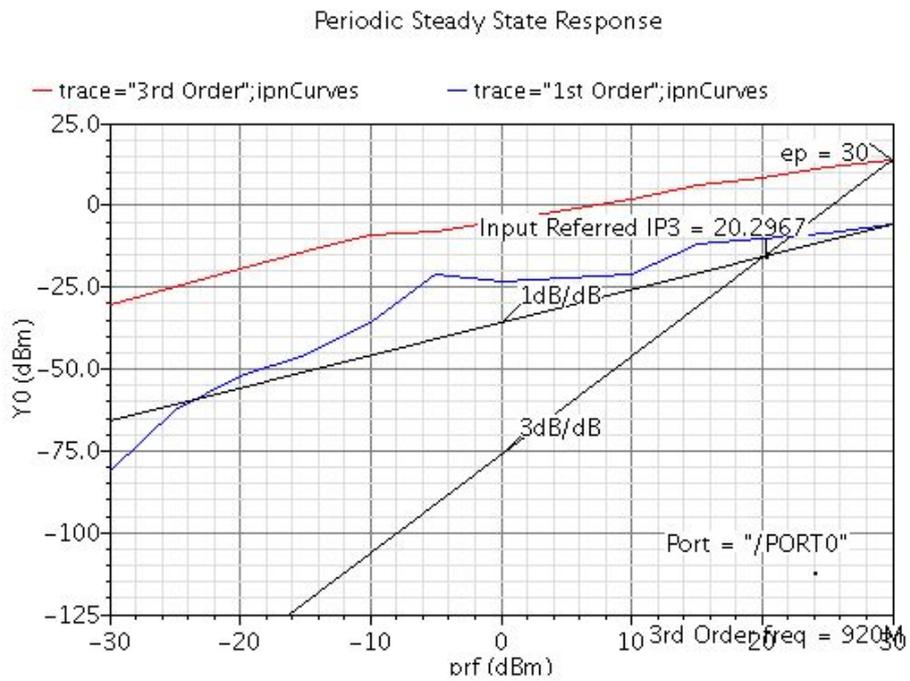
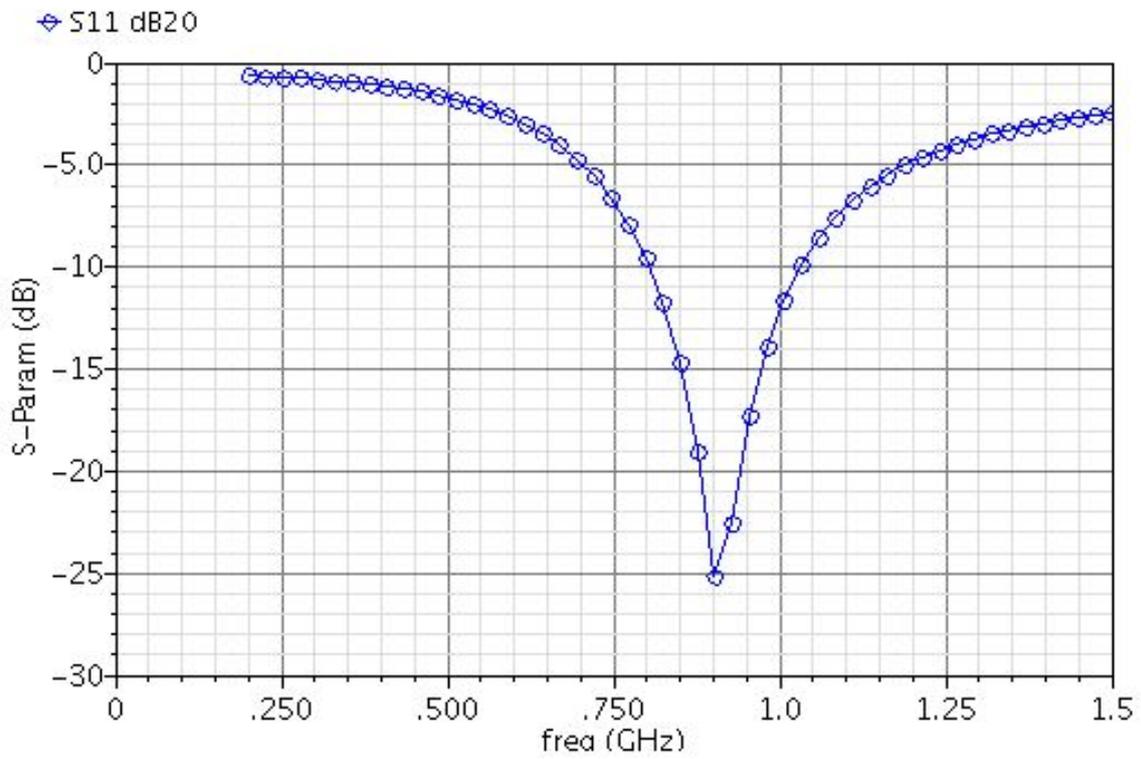


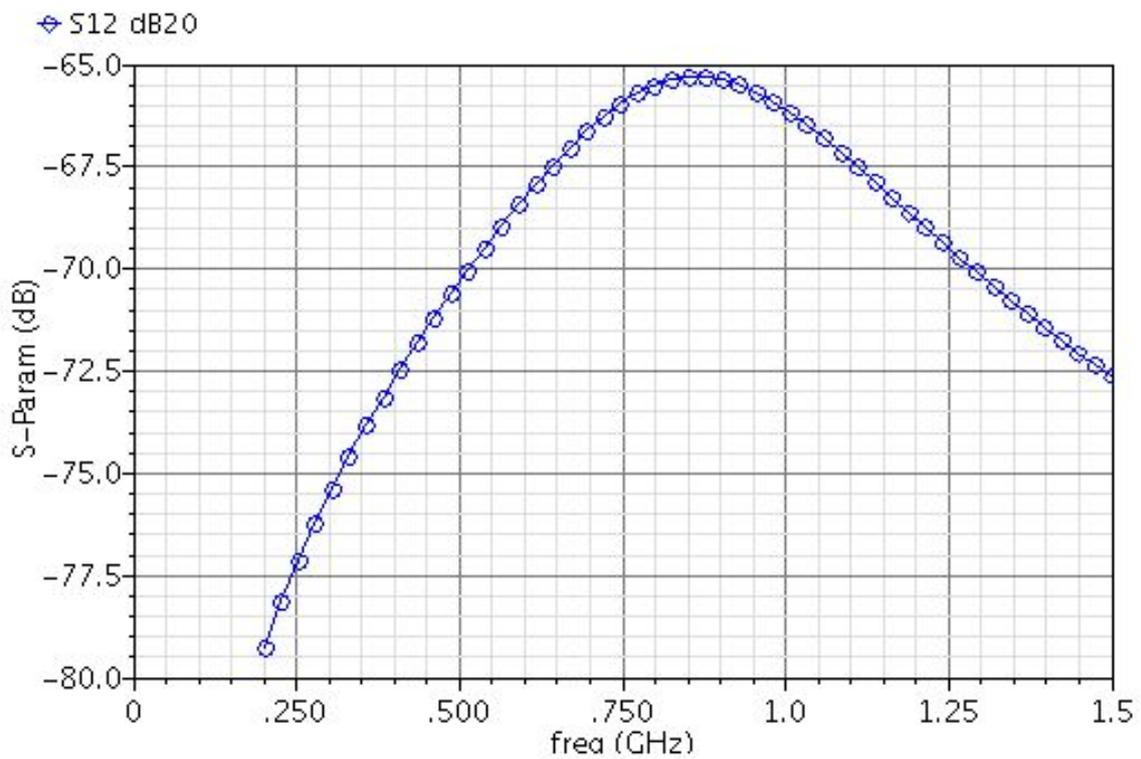
Figura I.15: Ponto de Intersecção de terceira ordem para a carga R.

### S-Parameter Response



(a) Parâmetro S11 para carga R

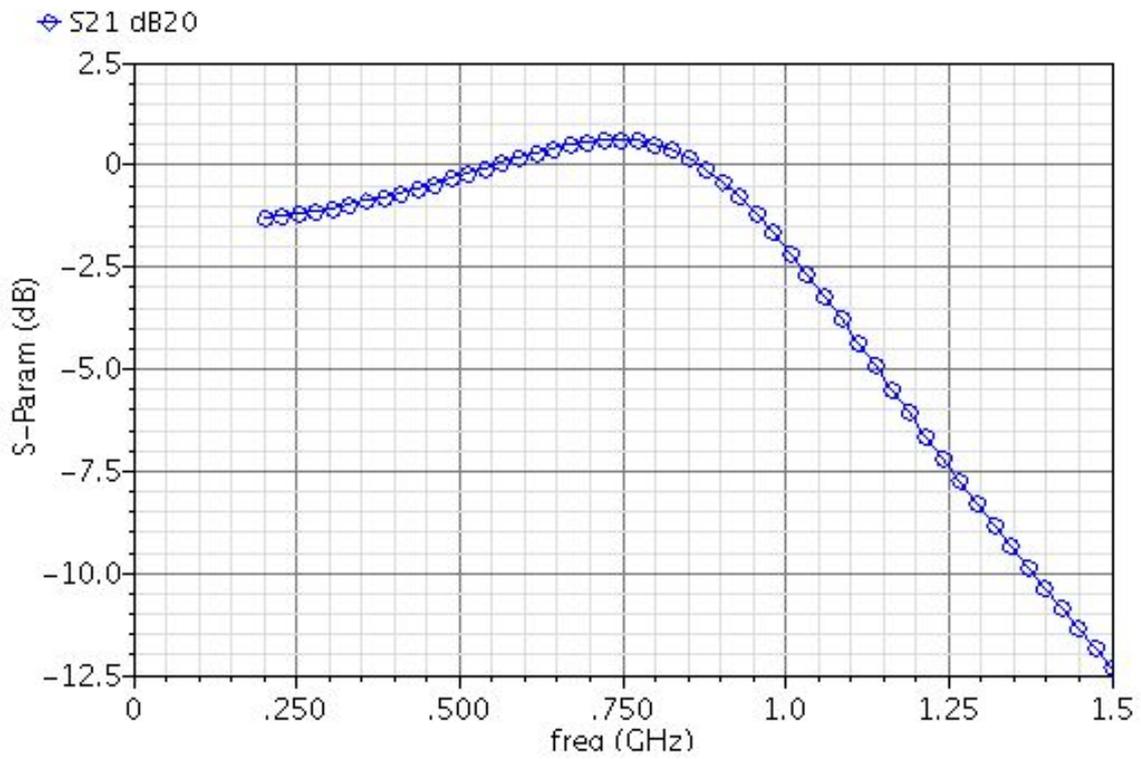
### S-Parameter Response



(b) Parâmetro S12 para carga R

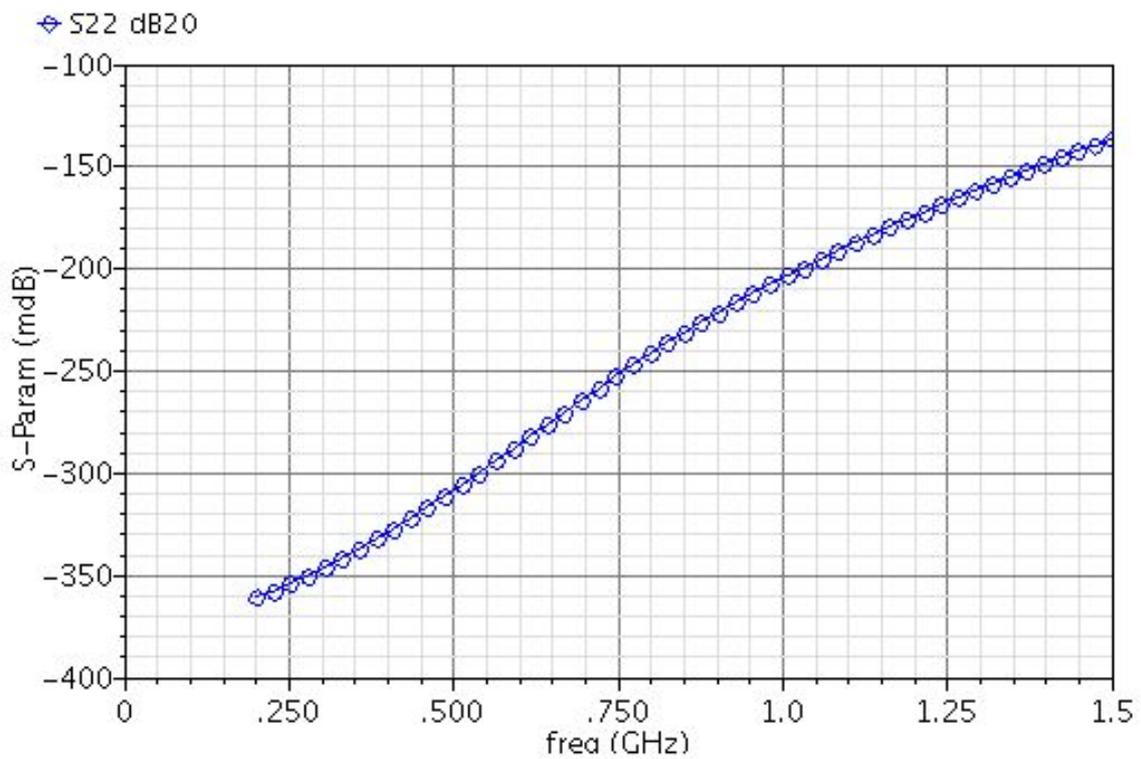
Figura I.16: Parâmetros de espalhamento S11 e S12 para a carga R.

### S-Parameter Response



(a) Parâmetro S21 para carga R

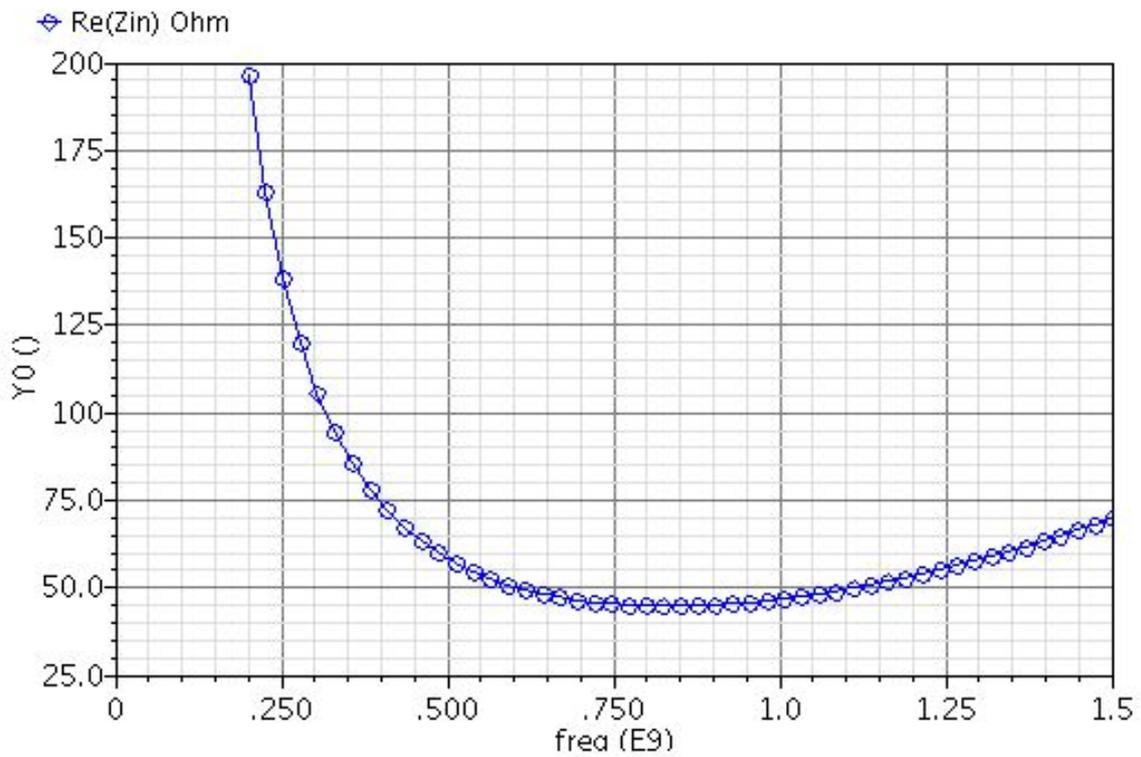
### S-Parameter Response



(b) Parâmetro S22 para carga R

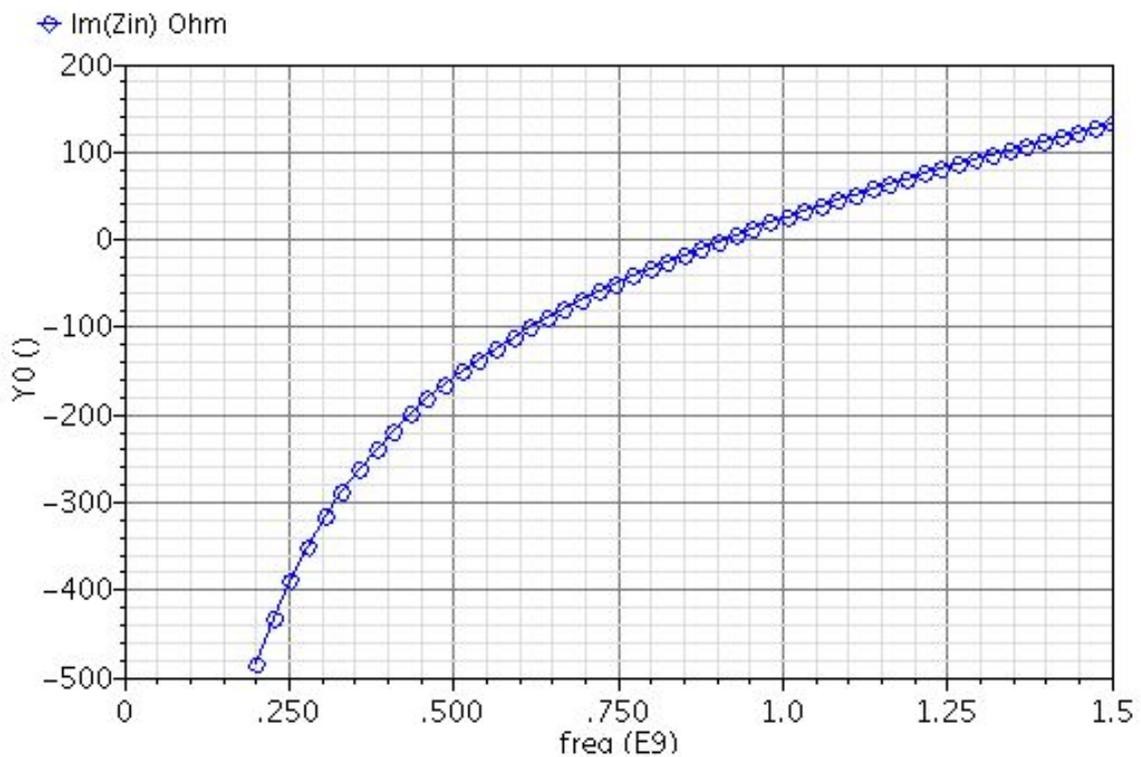
Figura I.17: Parâmetros de espalhamento S21 e S22 para a carga R.

### S-Parameter Response



(a) Parte Real da impedância de entrada para carga R

### S-Parameter Response



(b) Parte Imaginária da impedância de entrada para carga R

Figura I.18: Partes real e imaginária da impedância de entrada do LNA para carga R.

## I.5 SIMULAÇÕES *POS LAYOUT* DO LNA COM CARGA R

Condições de simulação:

- Uma porta de impedância  $50\ \Omega$  é ligada à entrada do LNA;
- As potências de entrada e de saída estão sempre referenciadas à impedância da porta que recebe o sinal, ou seja,  $50\ \Omega$ ;
- Para as simulações de ganho de tensão, a saída do LNA é ligada a uma porta de impedância  $10M\ \Omega$ . Esse valor é utilizado para não provocar carregamento do circuito;
- Nas demais simulações, a saída do LNA é ligada a uma porta de impedância  $25k\ \Omega$ .

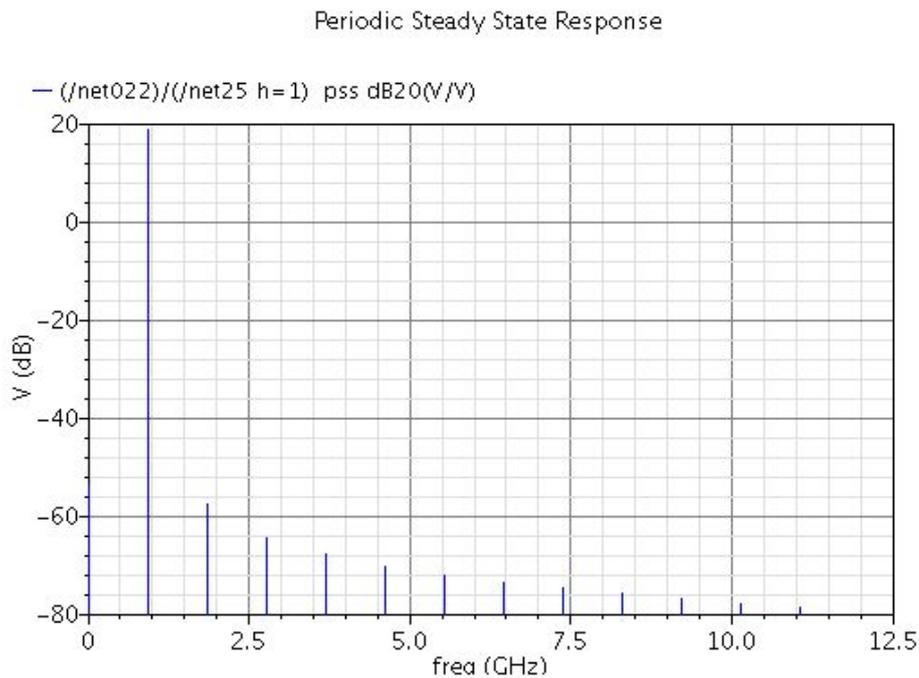


Figura I.19: Ganho de tensão para o LNA *pos layout*.

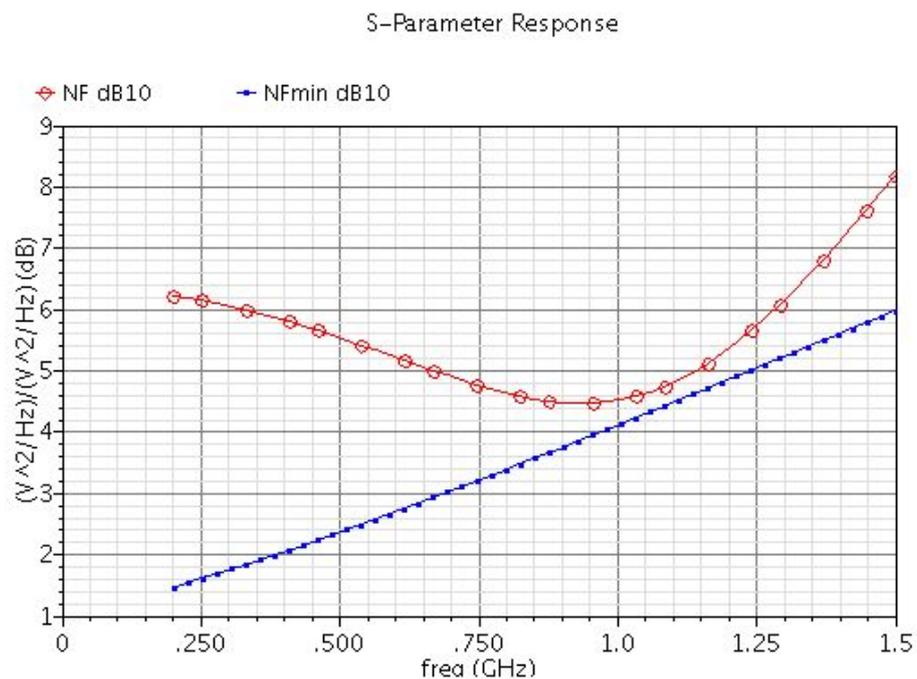


Figura I.20: Figura de ruído para o LNA *pos layout*.

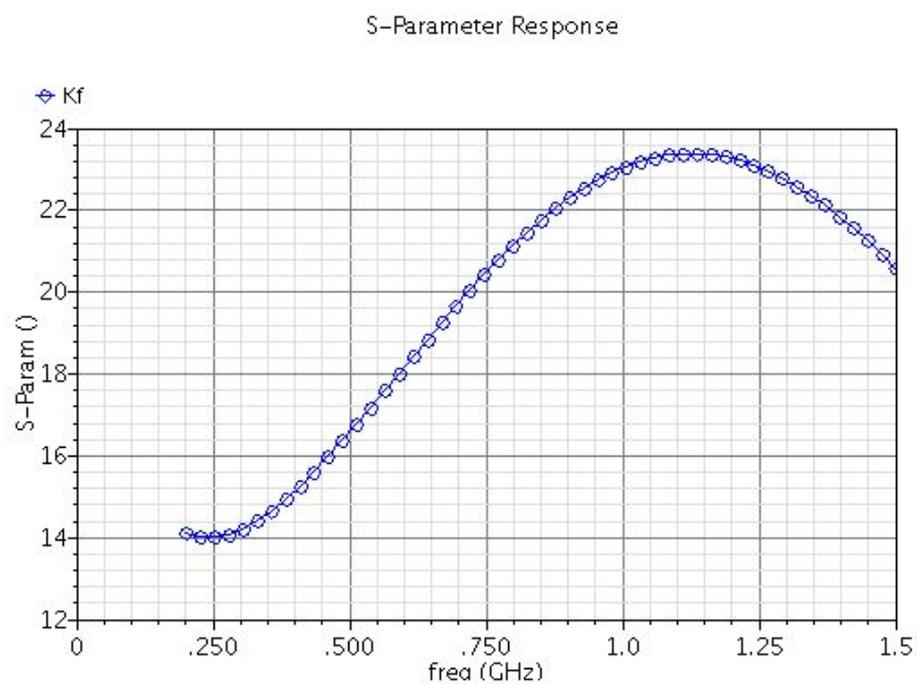


Figura I.21: Fator de estabilidade K para o LNA *pos layout*.

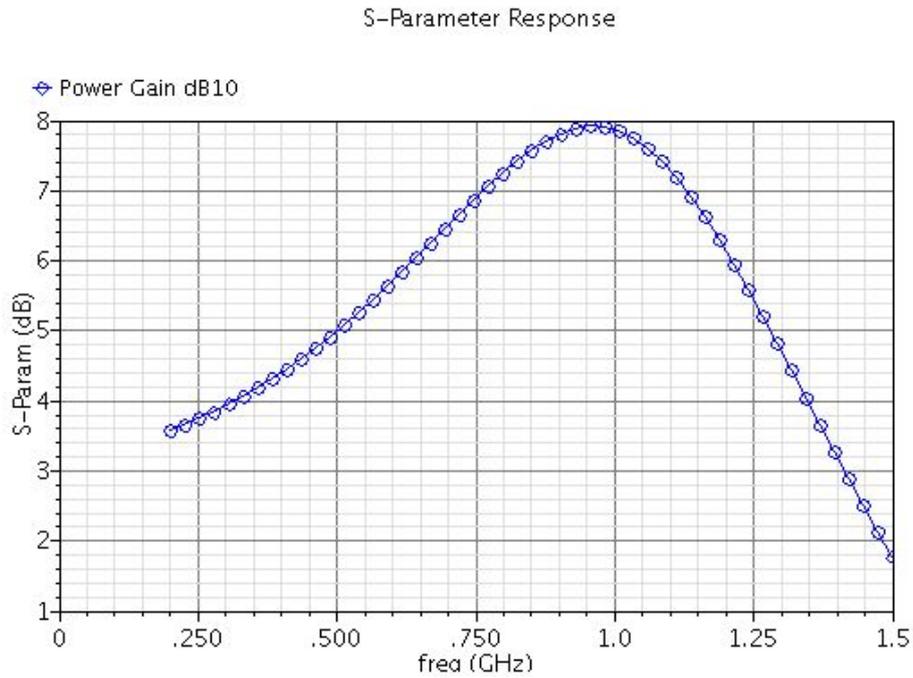


Figura I.22: Ganho de potência para o LNA *pos layout*.

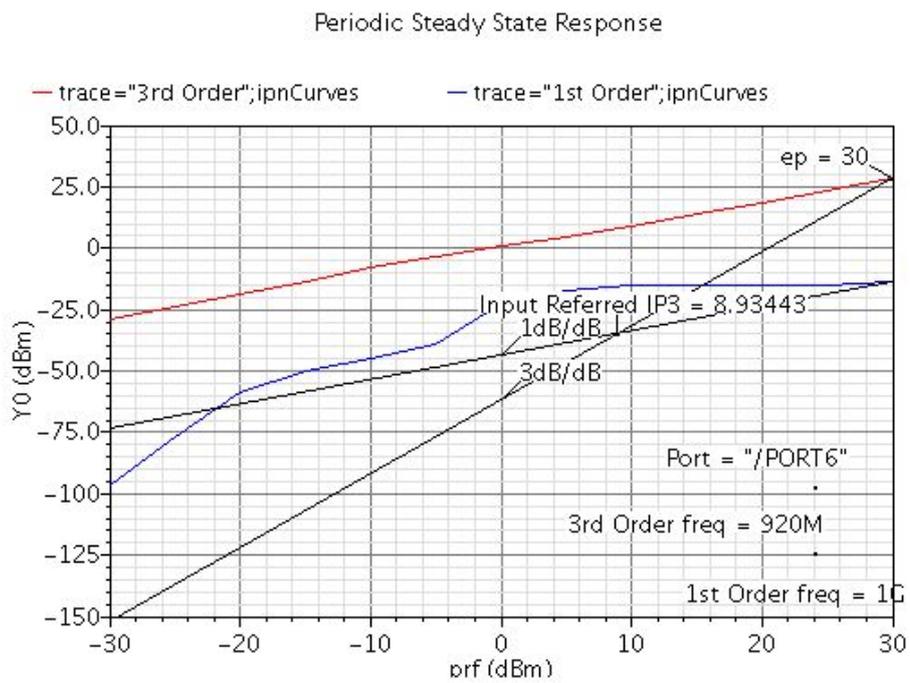


Figura I.23: Ponto de Intersecção de terceira ordem para o LNA *pos layout*.

Transient Analysis `tran`: time = (0 s -> 32 ns)

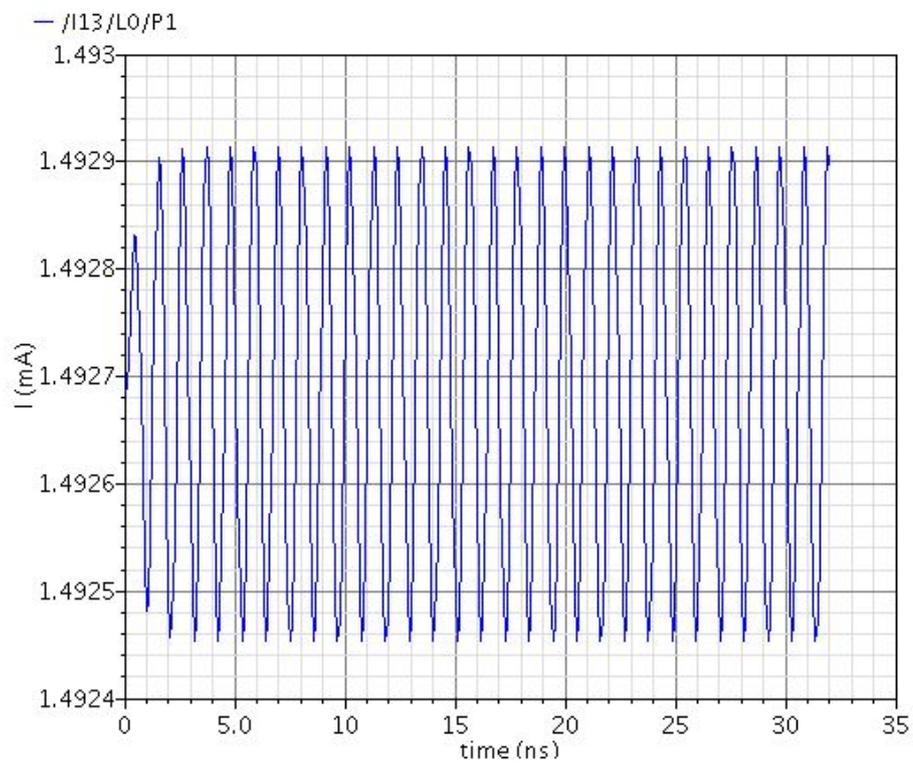
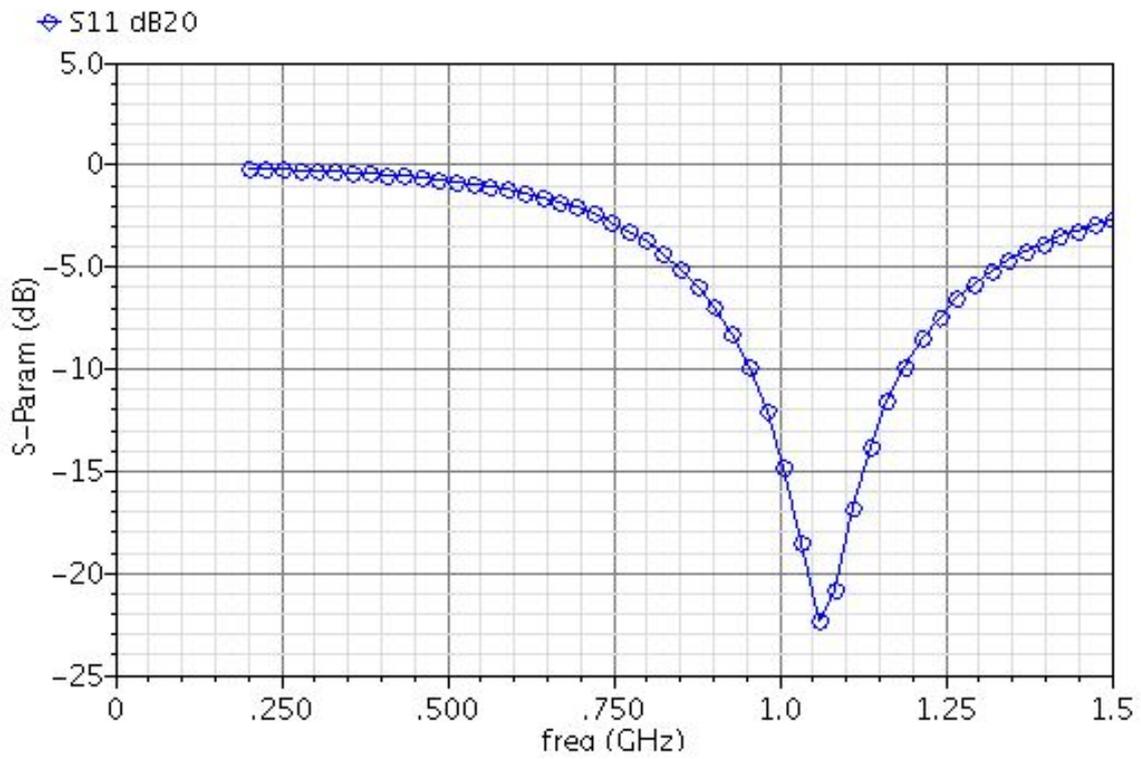


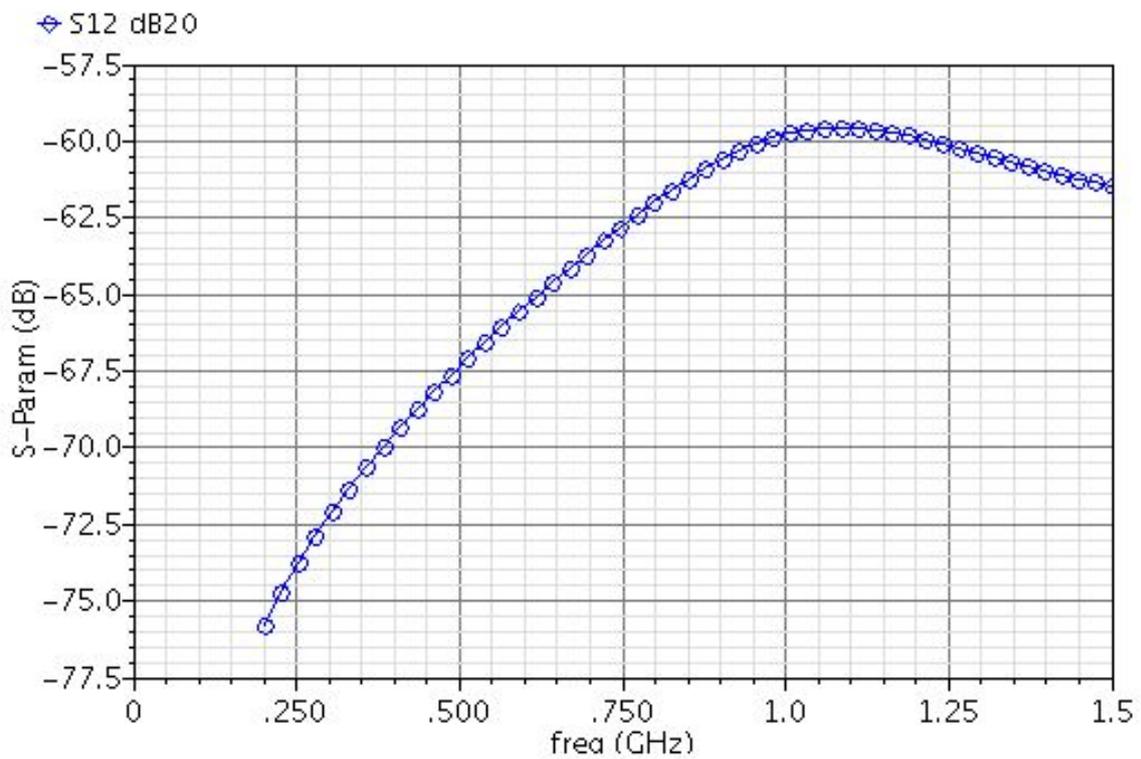
Figura I.24: Corrente de polarização para o LNA *pos layout*.

### S-Parameter Response



(a) Parâmetro S11 para carga R

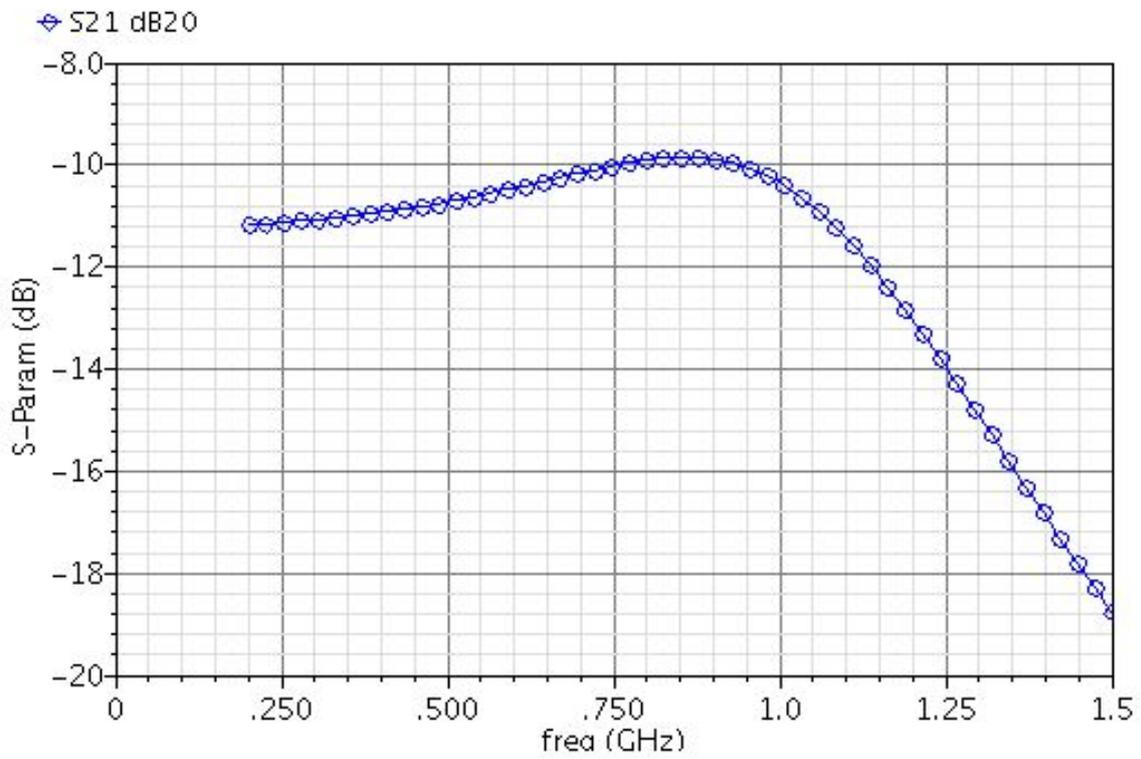
### S-Parameter Response



(b) Parâmetro S12 para carga R

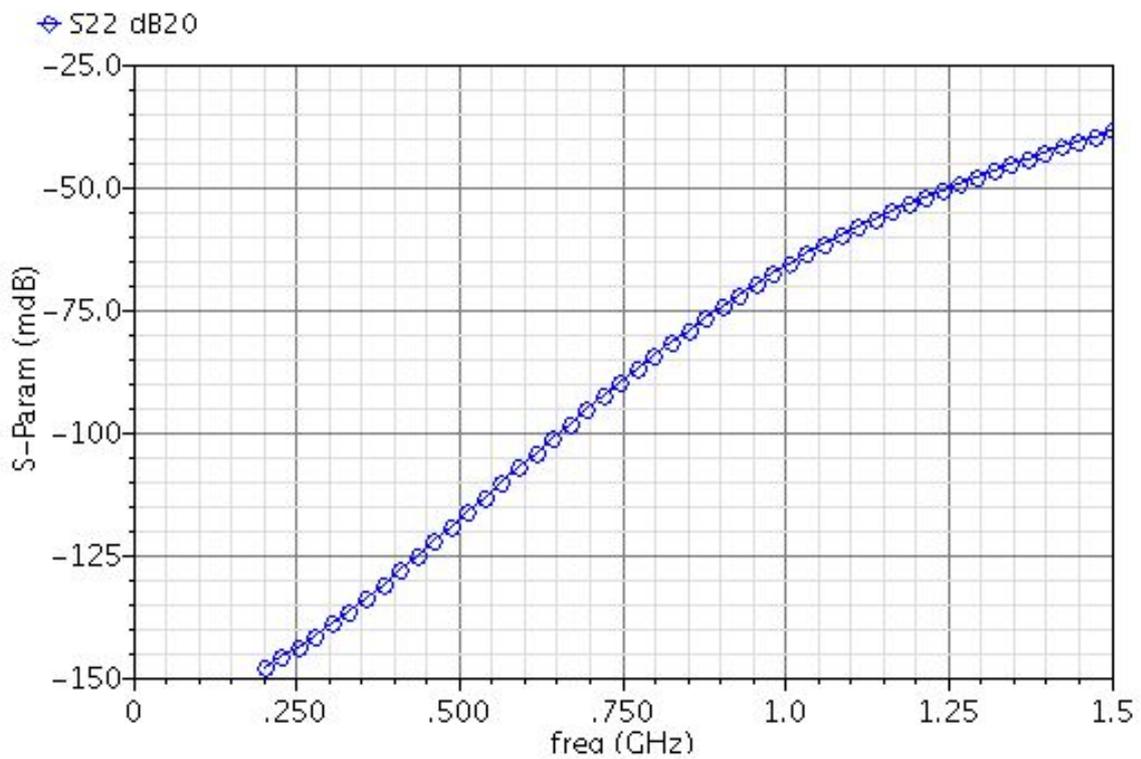
Figura I.25: Parâmetros de espalhamento S11 e S12 *pos layout*.

### S-Parameter Response



(a) Parâmetro S21 para carga R

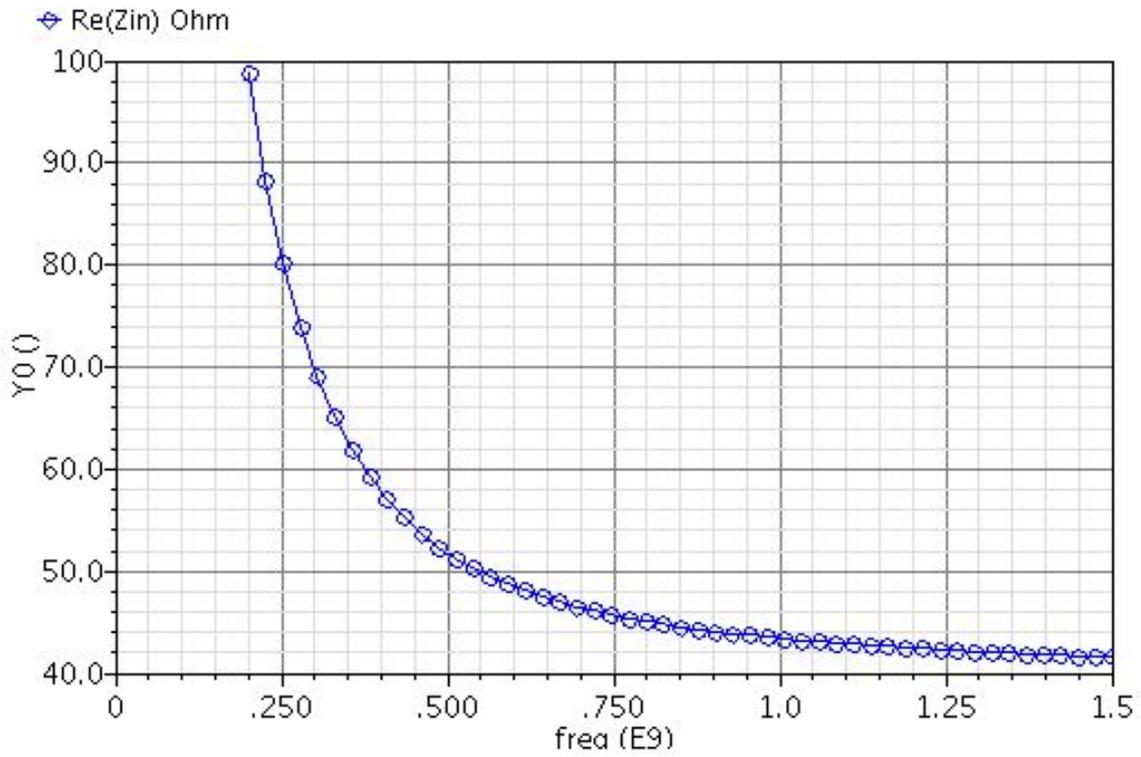
### S-Parameter Response



(b) Parâmetro S22 para carga R

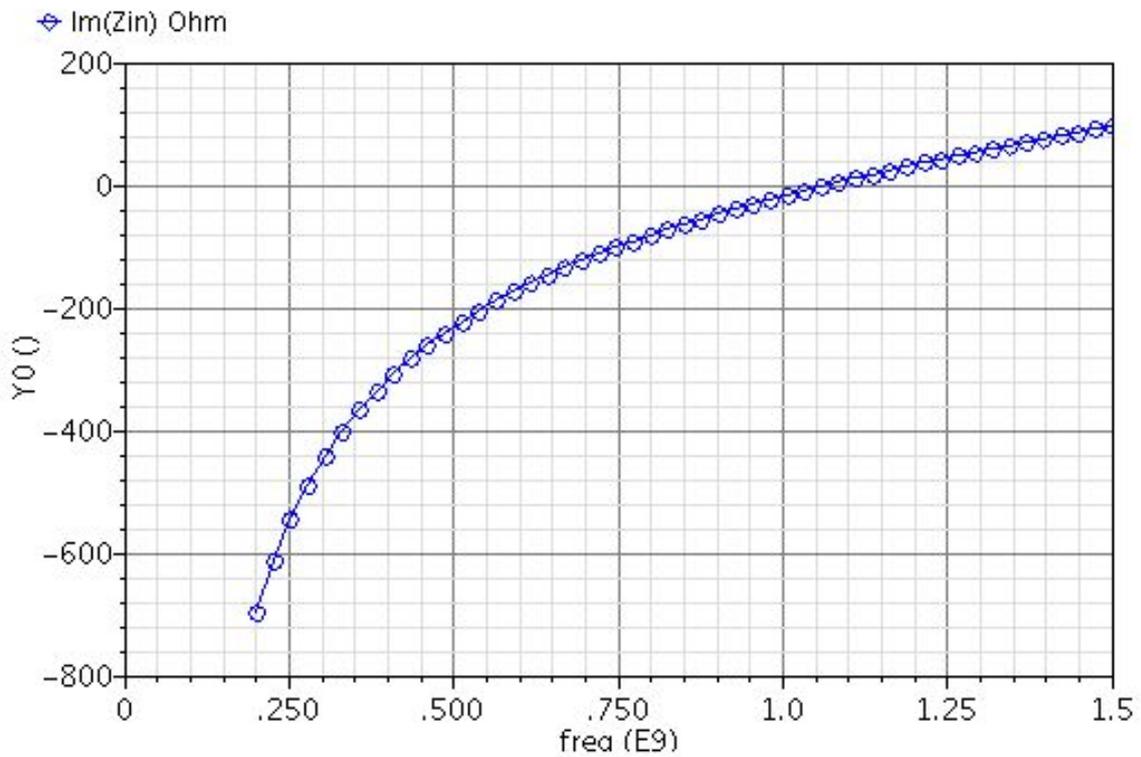
Figura I.26: Parâmetros de espalhamento S21 e S22 *pos layout*.

### S-Parameter Response



(a) Parte Real da impedância de entrada para carga R

### S-Parameter Response



(b) Parte Imaginária da impedância de entrada para carga R

Figura I.27: Partes real e imaginária da impedância de entrada do LNA *pos layout*.

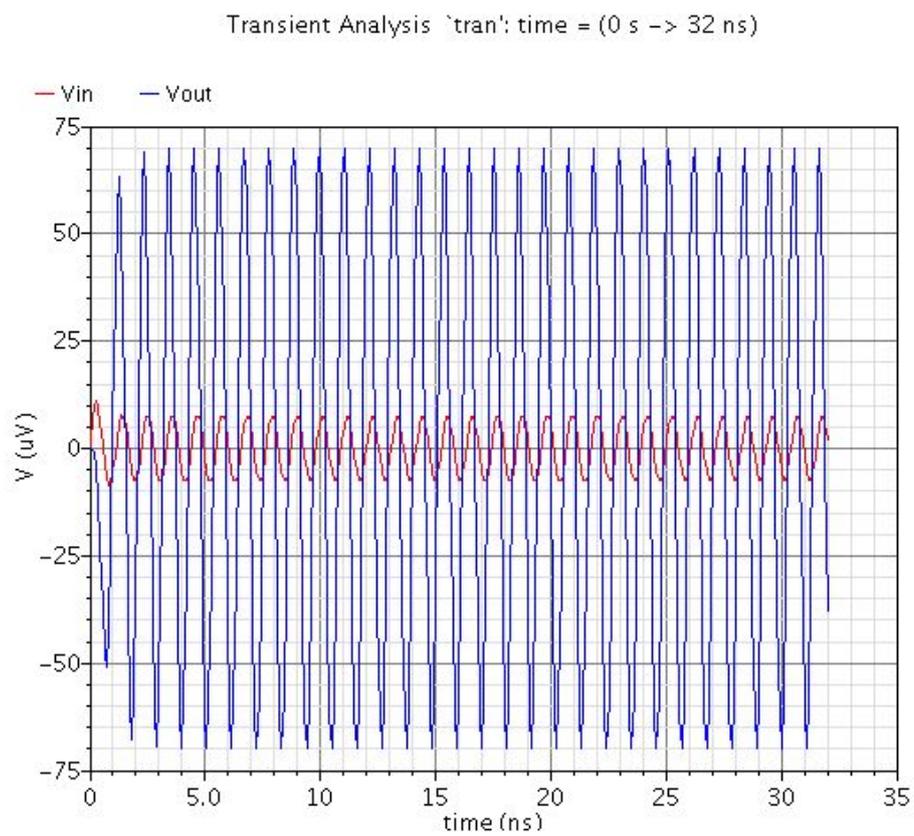


Figura I.28: Em Azul: Tensão do sinal de saída. Em vermelho: Tensão do sinal de entrada.

## II. ESQUEMÁTICOS

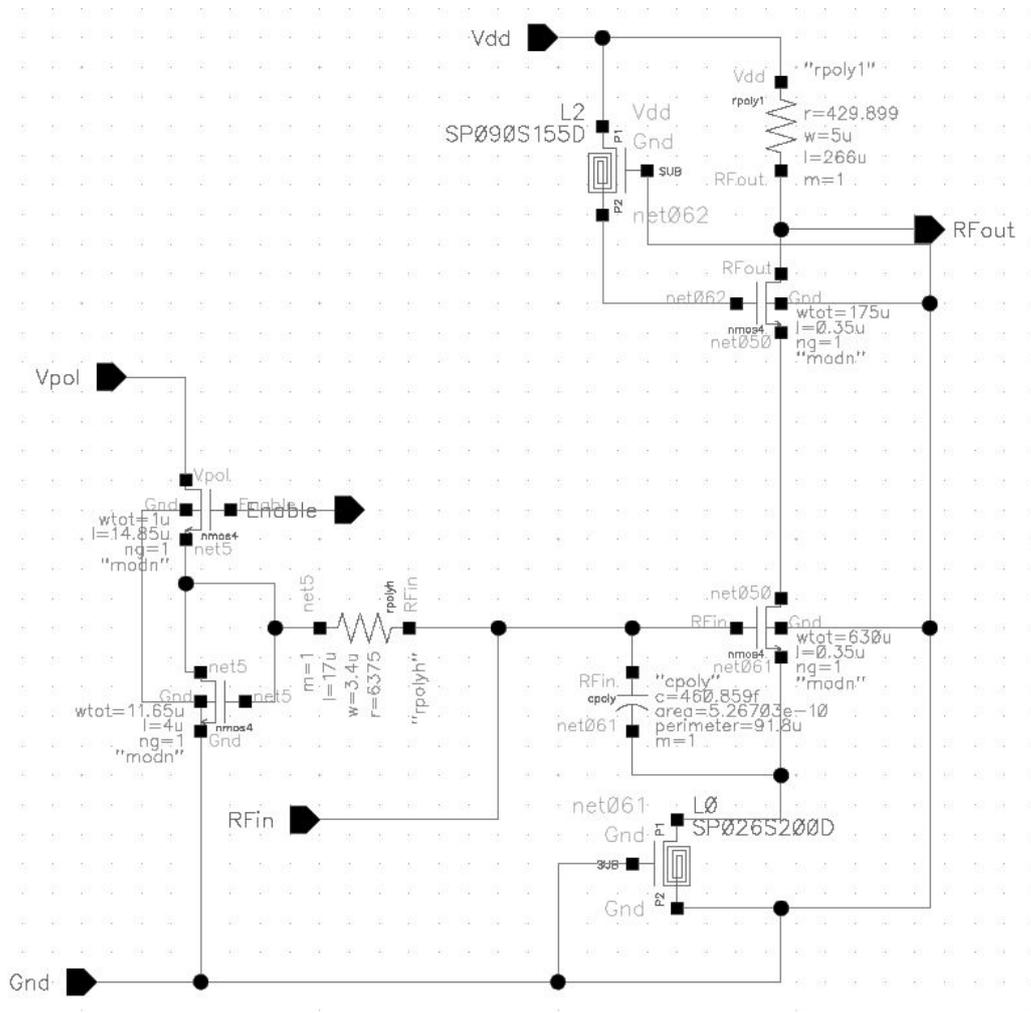


Figura II.1: Esquemático completo no LNA em nível elétrico

### **III. LAYOUTS**

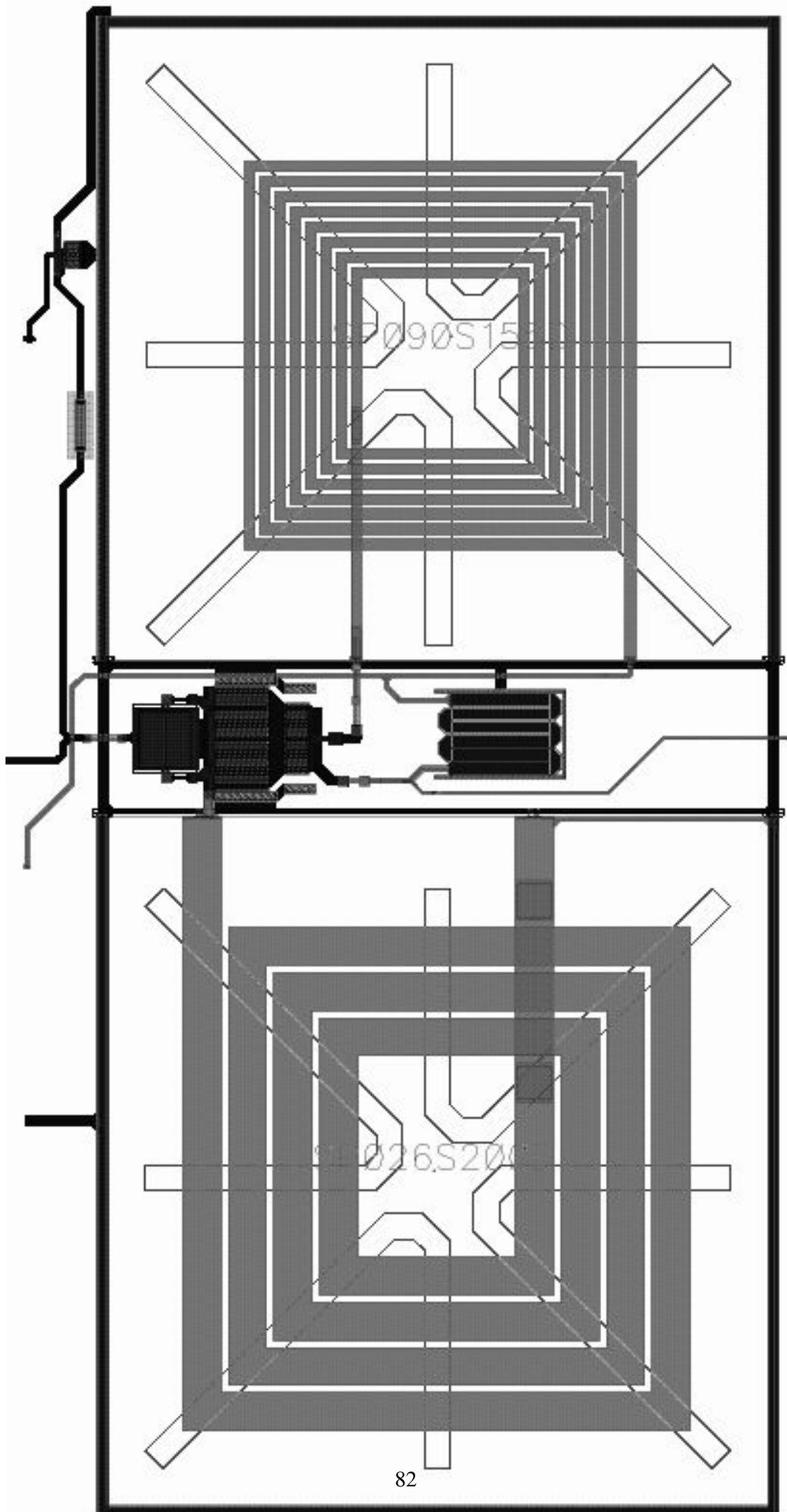


Figura III.1: *Layout* do LNA enviado para fabricação

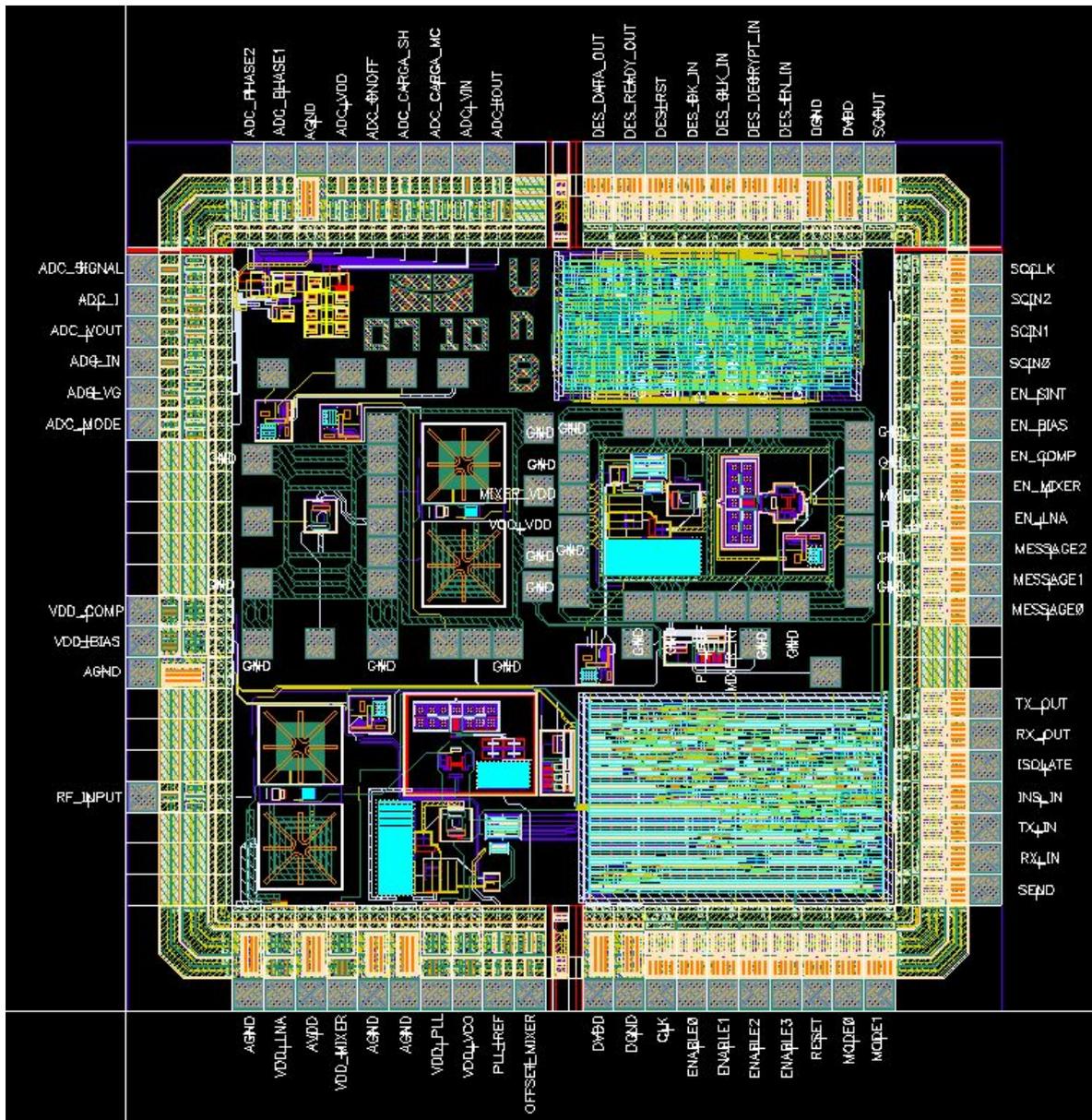


Figura III.2: Layout do chip enviado para fabricação em 09/07/2010.