

# **TRABALHO DE CONCLUSÃO DE CURSO**

## **ESTUDO COMPARATIVO DE CÉLULAS DIGITAIS NANOELETRÔNICAS**

**Lorena Melo Silva**

**Brasília, dezembro de 2008**

**UNIVERSIDADE DE BRASÍLIA**

**FACULDADE DE TECNOLOGIA**

**DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

UNIVERSIDADE DE BRASÍLIA

Faculdade de Tecnologia

TRABALHO DE CONCLUSÃO DE CURSO

# **ESTUDO COMPARATIVO DE CÉLULAS DIGITAIS NANOELETRÔNICAS**

**Lorena Melo Silva**

Relatório submetido como requisito parcial para obtenção

de grau de Engenheiro Eletricista

## **Banca Examinadora**

Profa. Dra. Janaína Golçalves Guimarães, UnB/ ENE  
(Orientador)

Prof. Dr. José Camargo da Costa, UnB/ ENE

Prof. Dr. Alexandre Romariz, UnB/ ENE

---

---

---

## **Dedicatória**

*Dedico este trabalho àqueles que mais me ajudaram nessa jornada em busca do conhecimento: minha mãe e meu pai, Ione e Izaías, por servirem sempre de modelo e por me incentivarem sem hesitar; às minhas irmãs Daniele e Natália, por me agüentarem mesmo nas épocas mais difíceis; ao meu namorado, Diego, por estar sempre ao meu lado e às minhas queridas amigas Larissa, Michele, Monique e Renata pelo companheirismo e apoio mútuos para que pudéssemos chegar ao fim. Agradeço a chance de ter todos ao meu lado!*

*Lorena Melo Silva*

## **Agradecimentos**

*Agradeço à prof<sup>a</sup>. Janaína pela orientação nesse trabalho, proporcionando acesso aos trabalhos inspiradores que resultaram nesse projeto. Agradeço também ao pessoal do LDCI - UnB (Laboratório de Dispositivos e Circuitos Integrados) pela infra-estrutura que utilizei durante as pesquisas e no qual iniciei meus trabalhos como aluna de Iniciação Científica. Por fim, agradeço aos professores do curso de Engenharia Elétrica e ao Departamento de Engenharia Elétrica, sem os quais não poderia concluir o curso.*

*Lorena Melo Silva*

---

## RESUMO

O presente texto é resultado de pesquisa baseada em células digitais nanoeletrônicas que implementam funções lógicas. Após uma breve introdução teórica, as arquiteturas escolhidas por meio de pesquisa bibliográfica terão o desempenho analisado por simulações, que terão parâmetros físicos construtivos alterados e analisados. Por fim, serão apresentadas e analisadas sugestões de arquiteturas para multiplexadores 2x1 construídos com as células lógicas nanoeletrônicas propostas no trabalho.

# Sumário

1. Introdução .....	1
2. Objetivos .....	2
3. REVISÃO BIBLIOGRÁFICA.....	3
3.1. Ilha .....	3
3.2. Efeitos Quânticos.....	3
3.2.1. Quantização dos níveis de energia [14].....	3
3.2.2. Tunelamento .....	4
3.2.3. Efeito de carregamento e Bloqueio de Coulomb.....	5
3.2.4. Co-tunelamento .....	6
3.2.5. Cargas de desvio.....	6
3.3. Transistor monoelétron (SET) .....	6
4. METODOLOGIA .....	8
4.1 Desenvolvimento.....	8
4.2 Simulações .....	8
4.3 SIMON [4] .....	9
5. CARACTERIZAÇÃO ELÉTRICA DAS ARQUITETURAS ESTUDADAS .....	11
5.1 Introdução .....	11
5.2 Inversor e NÃO-E 1 .....	12
5.2.1. NÃO-E 2.....	15
5.2.2. NÃO-E 3.....	18
5.2.3. NÃO-E 4.....	20
5.3. Investigação da robustez elétrica dos circuitos.....	22
5.3.1. Dependência com a temperatura.....	22
5.3.2. Cargas de desvio.....	25
5.3.3. Ordem de co-tunelamento .....	25
5.3.4. Fan-out.....	26
5.3.5. Área do dispositivo e Consumo.....	26

5.3.6. Resumo dos resultados .....	28
6. INTEGRAÇÃO DAS ARQUITETURAS .....	29
6.1. Introdução .....	29
6.2. Multiplexadores .....	29
6.3. Multiplexadores utilizando arquiteturas monoelétron .....	30
6.3.1. Metodologia.....	30
6.3.2. MUX 1.....	31
6.3.3. MUX 2.....	31
6.3.4. MUX 3.....	33
6.3.5. MUX 4.....	34
7. Conclusão .....	37
Referências Bibliográficas .....	38
Apêndice A.1 – Multiplexador baseado em NÃO-E 1 .....	39
Apêndice A.2 – Multiplexador baseado em NÃO-E 2.....	40
Apêndice A.3 – Multiplexador baseado em NÃO-E 3.....	41
Apêndice A.4 – Multiplexador baseado em NÃO-E 4.....	42

## Lista de Figuras

Figura 1 - Fluxo de elétrons em uma ilha; eletrodo A para B .....	3
Figura 2 - Níveis permitidos dentro da ilha [5] .....	4
Figura 3: Bloqueio de Coulomb .....	5
Figura 4: Tipos de co-tunelamento [14] .....	6
Figura 5: Transistor mono-élétron [14] .....	7
Figura 6: Característica tensão versus corrente do SET [14] .....	7
Figura 7: Telas do SIMON .....	10
Figura 8: Inversor básico .....	12
Figura 9: Simulação do inversor com $T=0K$ .....	13
Figura 10: Arquitetura de NÃO-E 1 .....	14
Figura 11: (a) Sinal de entrada e (b) Sinal de saída de NÃO-E 1 com $T=0K$ .....	15
Figura 12: Arquitetura de NÃO-E 2 .....	16
Figura 13: Simulação de NÃO-E 2 com $T=0K$ .....	17
Figura 14: Arquitetura de NÃO-E 3 .....	18
Figura 15: Arquitetura de NÃO-E 4 .....	20
Figura 16: Dependência com a temperatura de NÃO-E 2 – 0K a 300K .....	23
Figura 17: Dependência com a temperatura NÃO-E 3 – 0K a 50K .....	23
Figura 18: Dependência de NÃO-E 4 com a temperatura – 0K a 50K .....	24
Figura 19: Multiplexador com n entradas e b bits [13] .....	29
Figura 20: Teorema de DeMorgan[13] .....	30
Figura 21: (a) Entrada e saída da primeira célula, $D0=1$ e (b) Entrada e saída da segunda célula do MUX 2, $D1=0$ .....	32
Figura 22: Entradas e saída MUX 2 .....	32
Figura 23: (a) Entrada e saída da primeira célula e (b) entrada e saída da segunda célula do MUX 3 .....	33
Figura 24: Entradas e saída MUX 3 .....	34
Figura 25: Entrada e saída da primeira célula e (b) entrada e saída da segunda célula do MUX 4 .....	35



Figura 26: Entradas e saída MUX 4 .....	35
---	----

## Lista de tabelas

Tabela 1: Tabela-verdade das funções NÃO-E e NÃO-OU .....	11
Tabela 2: Parâmetros de simulação para NÃO-E 1 .....	13
Tabela 3: Parâmetros de simulação para NÃO-E 2.....	16
Tabela 4: Parâmetros de simulação para NÃO-E 3.....	19
Tabela 5: Parâmetros de simulação de NÃO-E 4.....	21
Tabela 6: Resumo das temperaturas alcançadas.....	24
Tabela 7: Cargas de desvio máximas suportadas pelos circuitos .....	25
Tabela 8: Ordem de co-tunelamento máxima suportada pelas portas lógicas.....	25
Tabela 9: Fan-out para as portas lógicas .....	26
Tabela 10: Área de várias portas básicas construídas com transistores NMOS e PMOS de nanotubos com comprimento de canal efetivo de 40nm [12].....	27
Tabela 11: Comparativo de áreas .....	27
Tabela 12: Comparação de consumo .....	27
Tabela 13: Resumo dos resultados .....	28
Tabela 14: Tabela-verdade para multiplexador 2x1 .....	30
Tabela 15: Parâmetros para o último estágio MUX 2 .....	31
Tabela 16: Parâmetros para o último estágio MUX 3 .....	34

# 1. Introdução

O desenvolvimento de dispositivos eletrônicos é limitado pelo compromisso entre integração em ultra-larga escala e limites físicos dos componentes. Desde o início da fabricação de dispositivos, há previsões sobre os passos e dimensões tomadas pelos mesmos; a mais importante é a Lei de Moore, que indica uma duplicação do número de componentes em um circuito integrado a cada 18 meses. Porém, como essa duplicação implica em uma miniaturização constante dos componentes, chega-se ao compromisso citado anteriormente. Estima-se que em breve o problema de interconexões será relevante para a tecnologia CMOS, pois a densidade de conexões aumenta exponencialmente com o número de componentes em um chip. Além disso, a diminuição constante da tensão de polarização pode causar uma falta de confiabilidade no sinal resultante [1].

É nesse ponto que a tecnologia de construção em escala nanométrica torna-se relevante. A miniaturização extrema das dimensões dos dispositivos eletrônicos torna possível o trânsito de apenas um elétron e não um feixe deles compondo uma corrente, como descrito na física clássica. Desse modo, temos leis diferentes descrevendo a condução eletrônica, vindas da física quântica que explica fenômenos que ocorrem em nível subatômico e nas quais o elétron é uma carga discreta, com possibilidade de condução em determinadas condições.

Enquanto no início da década de 1980 um processador tinha aproximadamente 20 milhões de transistores em seu circuito integrado, com um comprimento de porta de 100nm, hoje é possível ter até 75 milhões de transistores no mesmo processador. Assim estima-se que em breve o comprimento de porta, principal limitador do dispositivo, alcance o tamanho limite de 20nm, para o qual ainda não há tecnologia de fabricação disponível [2].

Desse modo, a fabricação de dispositivos em escala nanométrica tornou-se uma alternativa interessante para circuitos integrados em escala GIGA ( $10^9$ ) e até mesmo TERA ( $10^{12}$ ), respeitando as projeções dos roadmaps da ITRS (International Technology Roadmap for Semiconductors) com relação a tamanho e consumo [3]. Para que esse objetivo seja alcançado, porém, é necessário o pleno entendimento dos fenômenos que regem a nanoeletrônica, além do estudo de arquiteturas possíveis para a implementação dos mesmos.

Os estudos em nanoeletrônica existentes são focados no meio acadêmico, pois o desenvolvimento em escala comercial depende de pesquisas exaustivas para que se chegue a bons resultados. Essa característica, porém, faz com que os resultados sejam apresentados separadamente, sem que haja uma prévia comparação entre os mesmos. Este trabalho toma como base diferentes arquiteturas apresentadas em pesquisas acadêmicas para a realização de análises de desempenho possíveis para circuitos nanoeletrônicos, extremamente importantes para a criação de arquiteturas realizáveis fisicamente. Assim, será possível tecer uma análise sobre quais das células lógicas apresentadas apresentam características mais favoráveis à realização prática.

A célula digital escolhida para as análises realizadas é a que implementa a função NÃO-E. Além de simples, é um bloco básico possível para todas as funções lógicas [13], a exemplo do multiplexador apresentado no capítulo 6. Apesar dos pontos positivos à sua implementação, esse bloco lógico não foi suficientemente estudado e desenvolvido sob a ótica da nanoeletrônica, e por isso foi escolhido como ponto de partida deste trabalho.

Nas análises são utilizadas técnicas básicas de projetos de circuitos e simulações no programa SIMON (SIMulation Of Nanostructures) [4], ferramenta já conhecida na área e apresentada no capítulo 4. Esse programa calcula a probabilidade de ocorrer eventos de tunelamento utilizando o método de Monte Carlo e é o mais difundido nas práticas em nanoeletrônica, apesar de ainda ter limitações de funcionamento. Os dados serão organizados apropriadamente e apresentados ao longo do texto.

## **2. Objetivos**

Este trabalho tem como objetivo comparar o desempenho de arquiteturas de células digitais nanoeletrônicas que implementam a função lógica NÃO-E e, com base nisso, testar configurações dessas células integradas como multiplexadores, dispositivos que implementam a função de “chave digital”. Por fim, serão feitas análises comparativas entre as arquiteturas.

O capítulo 1 apresenta uma revisão bibliográfica envolvendo conceitos importantes para o entendimento do trabalho relacionados à nanoeletrônica.

O capítulo 2 apresenta as arquiteturas escolhidas e seus parâmetros construtivos, além das análises da influência de parâmetros como temperatura, cargas de desvio, ordem de co-tunelamento, fan-out, área e consumo no funcionamento das portas lógicas.

O capítulo 3 apresenta uma breve introdução teórica sobre multiplexadores e os resultados obtidos das simulações de multiplexadores implementados com as portas lógicas apresentadas no capítulo 5.

### 3. REVISÃO BIBLIOGRÁFICA

As leis que comandam a condução em dispositivos de escala nanométrica emergem da física quântica; desse modo, é necessária a compreensão de novos conceitos relacionados ao movimento do elétron como partícula em níveis de energia definidos.

Muitos dos fenômenos físicos, químicos, biológicos, mecânicos, etc., mudam repentinamente quando certas dimensões são ultrapassadas. Assim, a física quântica surgiu no começo do século XX para preencher lacunas deixadas pela física clássica na explicação de alguns fenômenos. Surge então a Teoria da Dualidade da Matéria, na qual todo objeto é partícula e onda, mas os dois comportamentos não podem ser observados simultaneamente.

Em níveis nanométricos, observamos esse comportamento nos elétrons. A distribuição de níveis de energia obedece à já citada equação de onda de Schrödinger, portanto ao ocupar esses níveis o elétron também se comporta como onda. Já ao realizar o tunelamento, fenômeno descrito nas próximas seções, ele se comporta como partícula ao ser discretizado.

#### 3.1. Ilha

É o lugar em que os elétrons ficam confinados. Normalmente apresenta dimensões entre 5 e 100nm, e é localizada entre duas paredes finas de isolante, que criam uma barreira de potencial de energia que impede o livre movimento dos elétrons pelo caminho. A condição para que os elétrons vençam essa barreira é que tenham energia maior que a da barreira de potencial [14].

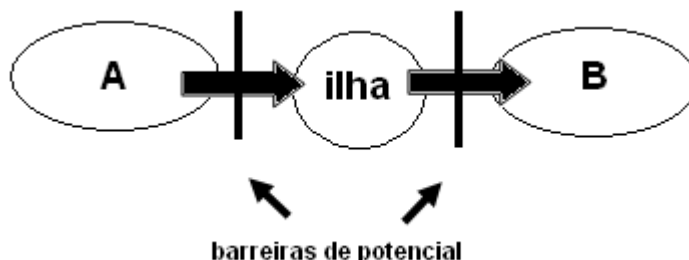


Figura 1 - Fluxo de elétrons em uma ilha; eletrodo A para B

#### 3.2. Efeitos Quânticos

##### 3.2.1. Quantização dos níveis de energia [14]

Se os elétrons precisam atravessar a ilha, eles apenas o fazem se tiverem energia suficiente para ocupar um dos níveis permitidos dentro do poço quântico, que é a região entre barreiras de potencial. Isso se deve à discretização da energia observada nessa região, já que apenas alguns estados específicos satisfazem a equação de onda de Schrödinger, criando assim níveis nos quais a energia do elétron é menor que das paredes. Desse modo, é desejável que existam muitos níveis de energia permitidos dos dois lados da ilha para que haja grande probabilidade de elétrons em movimento atravessarem a barreira.

### 3.2.2. Tunelamento

É o transporte de partículas através de uma região em que a energia total de uma partícula pontual clássica é menor que a energia potencial da barreira, ou seja, uma região que normalmente seria proibida. Ocorre quando a barreira de potencial é fina o suficiente para que o elétron a atravesse sem fonte de energia externa, condicionado à existência de estados desocupados do outro lado da barreira.

Na física clássica, a partícula seria totalmente refletida ao encontrar a barreira de potencial; na teoria eletromagnética, porém, as condições para a solução da equação de onda fazem com que uma parte da onda seja refletida, enquanto outra atravessa a barreira. Isso ilustra o já citado princípio da dualidade da matéria.

O modelo mais comumente utilizado para o tunelamento é a chamada Teoria Ortodoxa do Tunelamento Mono-elétron, proposta por Averin e Likharev em 1987. Suas características são apresentadas a seguir:

- Modelo de dimensão zero: dimensões da ilha desprezíveis;
- Instantaneidade do evento de tunelamento;
- Redistribuição instantânea das cargas após o tunelamento;
- Quantização da energia dos elétrons é ignorada dentro dos condutores.

Os conceitos citados acima são base da operação de dispositivos monoelétron. Quando é aplicada uma tensão de polarização na ilha, ocorre uma indução de elétrons livres na banda de condução do eletrodo de fonte tentando se mover através da ilha e chegar ao eletrodo de dreno. Isso só é possível se houver tunelamento pelas barreiras da ilha. A figura 2 ilustra os níveis permitidos em uma barreira.

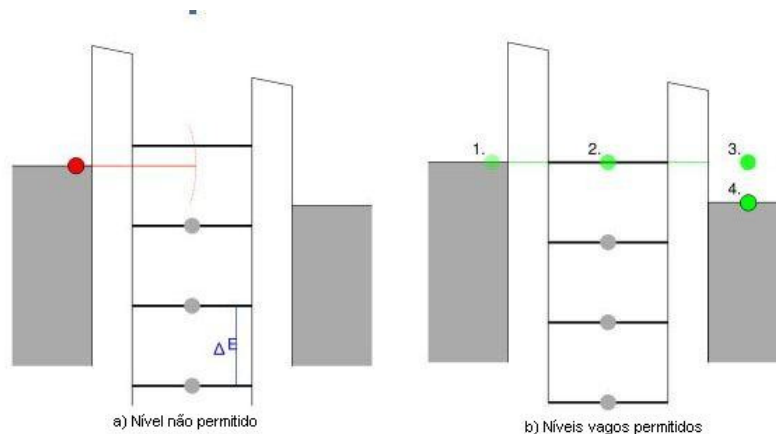


Figura 2 - Níveis permitidos dentro da ilha [5]

Como é possível observar, além da condição de existir níveis de energia vagos dentro da ilha é necessário que haja também estados desocupados com mesma energia no lado de dreno.

Com base nos processos citados acima, vemos que a capacidade de ajustar os níveis de energia dos estados quânticos no poço de potencial da ilha com relação aos níveis de fonte e dreno é importante para a operação de dispositivos nanoeletrônicos, uma vez que ajusta a probabilidade de ocorrência de tunelamento com o aumento ou diminuição da energia dos elétrons em movimento na ilha.

Quando a tensão de polarização aplicada à ilha aumenta, a energia de todos os níveis de energia do poço quântico é diminuída em relação à energia dos elétrons da região de fonte. Quando essa tensão é suficiente para baixar a energia de um estado vago de modo que fique no

intervalo de valores das energias da banda de condução da fonte, diz-se que o poço está em ressonância ou ligado e a corrente flui para a ilha e, conseqüentemente, para o dreno. Se a tensão não é suficiente, diz-se que o dispositivo está desligado e não flui corrente. Esse movimento caracteriza um dispositivo de tunelamento ressonante.

Exemplos de dispositivos de tunelamento são o diodo a tunelamento ressonante (RTD) [2, 15] e o transistor monoelétron (SET-*single electron transistor*) [2]; o que os diferencia são os métodos de criação do poço de energia e o modo de aplicação da tensão de polarização.

### 3.2.3. Efeito de carregamento e Bloqueio de Coulomb

São efeitos fundamentais em dispositivos monoelétron, e sua explicação está na teoria eletrostática.

O efeito de carregamento, ou seja, o surgimento de um potencial na ilha devido à presença de cargas no condutor, pode ser manipulado de modo a controlar o movimento de elétrons pela junção por meio de uma tensão externa, que aumenta ou diminui a energia da barreira de potencial enfrentada pelos elétrons. Há duas condições para assegurar que o transporte de cargas na ilha é controlado pelos efeitos de carregamento [2]:

$$R_T > 25,8 \text{ k}\Omega \quad (1)$$

$$E_c \gg k_B T \quad (2)$$

A primeira equação aponta o valor da resistência de junção a partir do qual a natureza de partícula do elétron predomina sobre a natureza ondulatória. A resistência de tunelamento  $R_T$  é o valor de resistência medido quando uma tensão  $V$  é aplicada à junção. A segunda equação diz que a energia eletrostática  $E_c$  deve ser muito maior que a energia térmica da temperatura de operação para garantir que a condução não sofre efeitos das flutuações térmicas. Nesse caso,  $k_B$  é a constante de Boltzmann, cujo valor será apresentado nos desenvolvimentos matemáticos.

O Bloqueio de Coulomb é uma consequência do efeito de carregamento, e ocorre quando um elétron efetivamente entra na ilha. Considerando-se numa esfera metálica inicialmente descarregada, sabemos que há elétrons no material, porém eles estão em equilíbrio com as cargas positivas do núcleo atômico, o que acarreta uma carga inicial nula. Quando um elétron é aproximado à esfera, a carga imagem gerada no material causa uma pequena força de atração, que carrega a esfera. Esse carregamento gera um pequeno campo elétrico na esfera orientado de modo a repelir aproximações de outros elétrons. Se fizermos a esfera com 1nm de raio, o campo elétrico superficial resultante é expressivo, no valor de 14V/cm. À essa repulsão eletrostática se dá o nome de Bloqueio de Coulomb, pois um elétron bloqueia o movimento dos outros, como pode ser observado na figura 3.

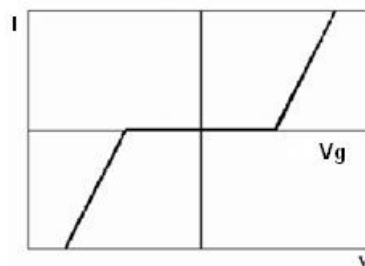


Figura 3: Bloqueio de Coulomb

A característica tensão versus corrente mostrada na figura acima indica o bloqueio de Coulomb em um circuito monoelétron simples com uma ilha. Se considerarmos que há um elétron na ilha, o próximo elétron só será capaz de entrar atingindo um valor limiar de tensão de polarização  $V_g$ , a partir do qual adquire energia maior que a do elétron já presente na ilha e ocupa outro nível vazio, gerando fluxo de corrente na região. Essa suspensão no fluxo de elétrons é o bloqueio de Coulomb, e a tensão de limiar é conhecida como tensão de bloqueio de Coulomb.

### 3.2.4. Co-tunelamento

Quando um circuito apresenta mais de uma junção túnel, é possível que ocorra tunelamentos simultâneos em junções distintas. Esse fenômeno é denominado co-tunelamento, e em um sistema com  $N$  junções-túnel, a máxima ordem do co-tunelamento é  $N$  [14]. A figura 4 ilustra as possíveis direções de tunelamento em um dispositivo com diversas junções.

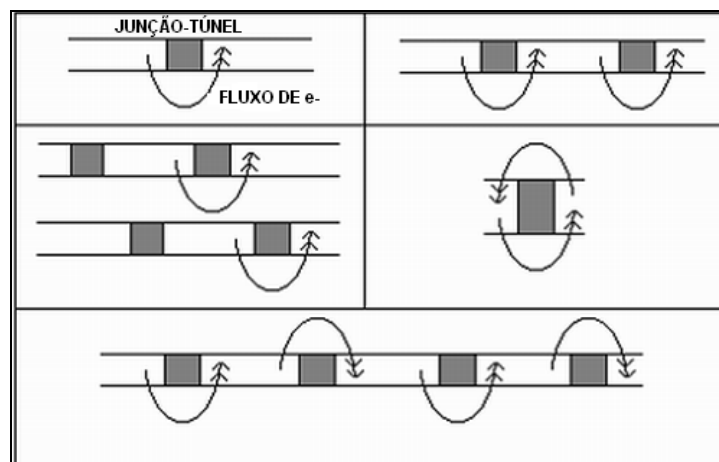


Figura 4: Tipos de co-tunelamento [14]

O co-tunelamento é uma fonte de erros em circuitos nanoeletrônicos, uma vez que a base desses dispositivos é a detecção da presença ou ausência de um número muito limitado de elétrons e a falta de confiabilidade na direção e intensidade do fluxo dessas partículas gera incertezas na operação.

### 3.2.5. Cargas de desvio

Esse fenômeno dos circuitos mono-elétron ocorre quando há polarização considerável da ilha por partículas condutoras indesejáveis resultantes do processo de fabricação, que influenciam o bloqueio de Coulomb na região e, consequentemente, a operação do dispositivo.

São também conhecidas como *cargas de background* ou *cargas de offset*, e são impurezas inseridas durante o processo de fabricação, normalmente íons que se juntam aos elétrons causando ação eletrostática [14].

## 3.3. Transistor monoelétron (SET)

O transistor mono-elétron (*single electron transistor*) é um dispositivo composto por uma ilha formada entre duas junções-túnel em série. A energia eletrostática é controlada pelo ajuste da tensão de porta  $V_g$  conectada à capacitância de porta  $C_g$ , como ilustrado na figura 5.



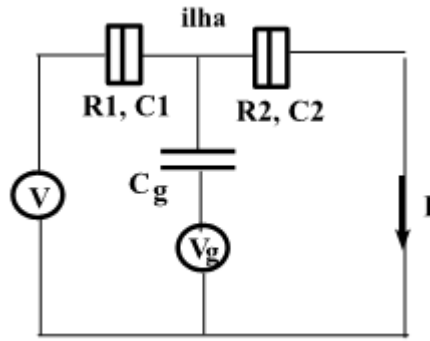


Figura 5: Transistor mono-elétron [14]

Além dos parâmetros descritos acima, há também as resistências de junção ( $R_1$  e  $R_2$ ) e as capacitâncias de junção ( $C_1$  e  $C_2$ ). A corrente  $I$  é resultante do carregamento da ilha por uma das junções, e pelo descarregamento da mesma pela junção subsequente. A característica de tensão versus corrente desse dispositivo apresenta o fenômeno das oscilações de Coulomb, como visto na figura 6, e é obtida quando, além da tensão de porta há uma tensão de polarização  $V$  aplicada ao circuito.

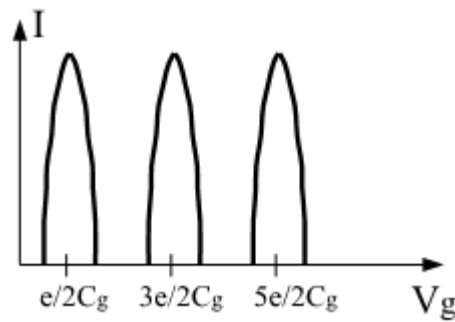


Figura 6: Característica tensão versus corrente do SET [14]

O ajuste da tensão  $V_g$  a partir de zero faz com que a probabilidade de ocorrência de um evento na ilha aumente, pois há um acúmulo maior de cargas na região de acordo com a relação  $Q=CV$ , na qual  $Q$  é a carga [coulomb],  $C$  é a capacitância [faraday] e  $V$  é a tensão [volts]. Quando  $V_g=e/2C$ , ou seja, quando a carga induzida próxima à ilha for equivalente à metade da carga de um elétron, a probabilidade de ocorrer um tunelamento é máxima, carregando a ilha e deixando a mesma em bloqueio. Desse modo, o fluxo de corrente deixa de existir assim que o elétron tunela para fora da ilha e nada ocorre até que a tensão de controle atinja  $V_g=3(e/2C)$ , quando ocorre o próximo evento. Assim, podemos dizer que o transistor está 'ligado' no momento em que ocorre o tunelamento, e que está 'desligado' quando entra em bloqueio [14].

## 4. METODOLOGIA

### 4.1 Desenvolvimento

Esse trabalho será desenvolvido com base em simulações de estruturas propostas em artigos científicos. Nesse capítulo serão feitas algumas considerações importantes sobre o procedimento e os pressupostos adotados nas simulações e análises, de forma a facilitar o entendimento dos tópicos e uma possível reprodução dos resultados aqui obtidos.

É preciso ressaltar neste tópico que o objetivo deste trabalho é testar o funcionamento das estruturas escolhidas. Muitas vezes, durante o texto explicativo, a matemática envolvida no projeto não é desenvolvida detalhadamente pois no próprio artigo escolhido, que tem caráter resumido, esse desenvolvimento é curto. Desse modo, o questionamento matemático do projeto, apesar de importante na verificação de falhas, fica como sugestão para próximos trabalhos.

### 4.2 Simulações

Há dois procedimentos de simulação descritos nesse trabalho: a simulação de blocos simples de portas lógicas monoelétrons, e a integração desses blocos na construção de um dispositivo maior, o multiplexador. Ainda dentro desses tópicos, o objetivo principal é testar o funcionamento desses blocos sob condições mais realistas com respeito à temperatura e outros fenômenos locais que normalmente afetam os dispositivos.

As simulações de desempenho apresentadas no capítulo 5 avaliam os seguintes parâmetros:

- Dependência com a temperatura de funcionamento;
- Influência de cargas de desvio próximas às ilhas;
- Ordem de co-tunelamento;
- Fan-out;
- Área das células lógicas;
- Consumo de potência.

Cada um dos parâmetros acima será simulado partindo da condição ideal, aqui definida como:

- Temperatura ambiente na qual o circuito trabalha: 0K;
- Não há cargas de desvio no circuito;
- Não há co-tunelamento nas ilhas;
- Há apenas uma entrada sendo alimentada pelo nó de saída.

A simulação em situação ideal atesta se o circuito funciona conforme o esperado, já que não é possível obter melhores condições de funcionamento para o mesmo que a temperaturas baixíssimas e sem quaisquer fatores de influência.

A segunda etapa das simulações compreende os testes de robustez dos circuitos e as análises de área e consumo, que juntos caracterizam o desempenho das estruturas. Será avaliado um parâmetro por simulação, separadamente. Sendo o objetivo deste trabalho realizar simulações com condições de funcionamento realistas, os resultados esperados e que são ponto de partida das simulações são:

- Temperatura ambiente 300K;
- Pouca variação com o máximo de cargas de desvio;
- Maior ordem de co-tunelamento;
- Maior número de entradas alimentadas sem prejuízo na amplitude do sinal.

Partindo dos valores citados acima, as simulações serão realizadas e seus resultados analisados. Caso a saída do circuito não responda apropriadamente aos valores esperados, esses serão diminuídos até que se obtenha um resultado correto ou, pelo menos, próximo ao esperado. Desse modo, os gráficos e tabelas apresentados ao longo do texto serão os de melhor resultado nas simulações após análise da autora.

No capítulo 6 serão feitas simulações de blocos multiplexadores utilizando as portas lógicas estudadas no capítulo 5.

Os passos seguidos serão similares aos tomados no capítulo 5, pois as análises são basicamente as mesmas. A diferença está no foco da análise feita: aqui, o objetivo é caracterizar o funcionamento das células como um sistema integrado, visto que a caracterização individual já foi feita.

Inicialmente será feita uma análise da forma de saída do sistema, com relação aos níveis lógicos esperados na saída para a função NÃO-E e de multiplexação. Se o circuito efetuar a seleção de entradas, será feita a análise de robustez do circuito aos parâmetros citados, utilizando os mesmos procedimentos.

Todas as simulações apresentam resultados em volts [V] e são feitas ao longo de um período de tempo, sem unidades por definição do programa utilizado. As simulações são executadas com o SIMON (SIMulation Of Nanoestructures), programa consolidado e muito utilizado nos estudos em nanoeletrônica. Suas características e uma breve explicação de seu funcionamento serão citadas a seguir.

### **4.3 SIMON [4]**

O SIMON é um simulador de dispositivos e circuitos monoelétron baseado no método Monte Carlo, que permite simulações transientes e estacionárias de circuitos compostos por junções-túnel, capacitores, resistências e fontes de tensão de diversos tipos, possibilitando a visualização do fluxo de elétrons na rede [4]. Além disso, possui interface gráfica que facilita o projeto de circuitos monoelétron, e apresenta a possibilidade de especificação de parâmetros como temperatura de simulação, quantidade de cargas de desvio, ordem de co-tunelamento, etc. Alguns desses parâmetros podem ser visualizados na figura 7.

O simulador permite arrastar componentes para a tela e ajustar seus parâmetros com o botão direito do mouse. Os resultados das simulações são visualizados na forma de gráficos, e também podem ser acessados pelos documentos de texto gerados para cada medidor posicionado no circuito.

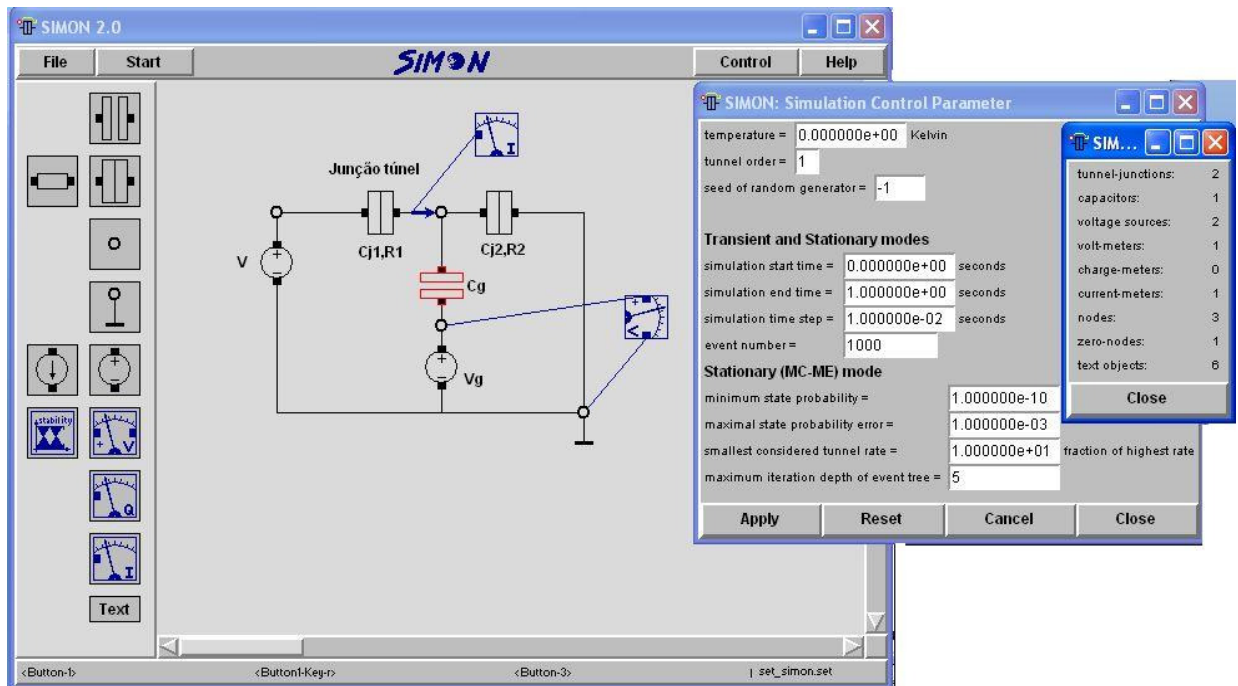


Figura 7: Telas do SIMON

O método de Monte Carlo é uma abordagem em simulações de circuitos monoelétron que identifica todos os possíveis eventos de tunelamento, calcula suas probabilidades e escolhe um dos possíveis eventos de forma aleatória, de acordo com sua probabilidade. Esse processo é feito várias vezes para simular o transporte de eletros através da rede. Os tunelamentos são considerados independentes e distribuídos exponencialmente.

Apesar de seus muitos atributos favoráveis, esse método não é eficiente na simulação de efeitos de co-tunelamento. Esse evento, muito raro e de difícil resolução pelo método de Monte Carlo, gera longas simulações e muitas vezes é limitado pelo número de componentes no circuito, o que ocorreu muitas vezes este trabalho.

## 5. CARACTERIZAÇÃO ELÉTRICA DAS ARQUITETURAS ESTUDADAS

### 5.1 Introdução

Inicialmente, uma investigação bibliográfica sobre as arquiteturas de circuitos de portas NÃO-E baseadas em transistores mono-elétron foi feita.

As arquiteturas estudadas neste trabalho foram baseadas em artigos científicos de pesquisadores tradicionais na área de nanoeletrônica, e serão nomeados para facilitar a identificação:

- NÃO-E 1: arquitetura estudada em [6];
- NÃO-E 2: arquitetura estudada em [7];
- NÃO-E 3: arquitetura estudada em [8];
- NÃO-E 4: arquitetura estudada em [9].

Todos os circuitos aqui apresentados como portas NÃO-E também podem ser utilizados como portas NÃO-OU, bastando para isso realizar mudanças nos parâmetros adequados do circuito, que serão citados nos tópicos apropriados.

O nível de entrada/saída lógico '1' é assumido como a ausência de um elétron ( $Q=1.6 \times 10^{-19} \text{C}$ ) na ilha, enquanto o nível lógico '0' é a presença de um elétron ( $Q=-1.6 \times 10^{-19} \text{C}$ ) na ilha. A tabela-verdade mostrada na tabela 1 para duas variáveis foi utilizada em todas as simulações.

Tabela 1: Tabela-verdade das funções NÃO-E e NÃO-OU

A	B	NÃO-E	NÃO-OU
0	0	1	1
0	1	1	0
1	0	1	0
1	1	0	0

As análises de desempenho pertinentes aos circuitos nanoeletrônicos dizem respeito principalmente à influência de fenômenos de condução que ocorrem nas proximidades das ilhas e que são responsáveis por flutuações nas correntes e tensões de operação do circuito. As condições ideais de funcionamento dos circuitos nanoeletrônicos são:

- Temperatura de 0K, na qual garante-se que a condução é feita um elétron por vez eliminando as correntes de deriva térmicas;
- Em apenas um sentido da ilha e em uma ilha por vez (sem co-tunelamento);
- Sem cargas de desvio.

Fica claro que essas condições não são realmente implementáveis com as tecnologias atuais. Torna-se então essencial a simulação dos dispositivos com situações mais realistas para uma análise de resultados apropriada.

A construção de dispositivos em escala nanométrica muitas vezes é feita por analogia a arquiteturas implementadas em tecnologia MOS. A analogia é testada e, caso apresente resultados coerentes com sua aplicação, é adotada; caso contrário, parte-se para novos projetos.

A primeira parte deste capítulo apresentará as arquiteturas escolhidas e os resultados das simulações em condições ideais, cuja metodologia utilizada foi explicada no capítulo anterior, para análise das formas de saída e comparação com a tabela-verdade da função NÃO-E.

## 5.2 Inversor e NÃO-E 1

A primeira arquitetura foi proposta em [6], e tem como característica a implementação com muitas junções-túnel, diferentemente de outras propostas. Além disso, essa porta utiliza-se de um bloco básico simples, o inversor, que é mostrado abaixo.

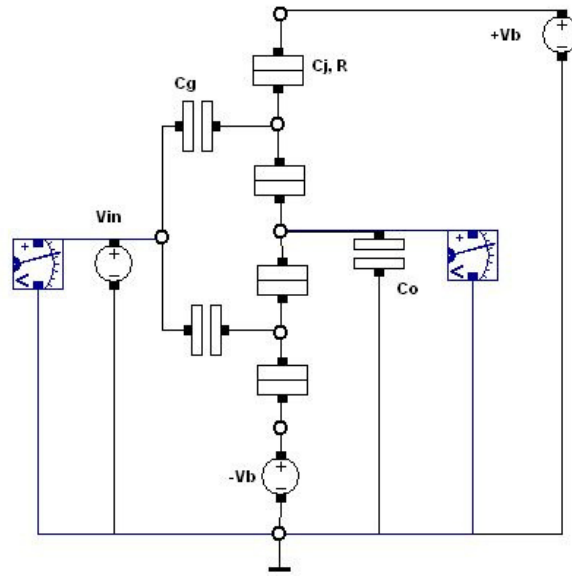


Figura 8: Inversor básico

Os parâmetros de simulação para esse circuito foram escolhidos com base na teoria nanoeletrônica, assumindo algumas condições e equações presentes na referência.

Inicialmente, deve-se garantir que o processo de condução predominante no sistema será o tunelamento; para tanto, a energia eletrostática deve ser maior que a energia térmica, que é diretamente proporcional à temperatura ambiente na qual o circuito opera. Isso pode ser feito por meio do ajuste dos valores das capacitâncias.

$$\frac{e^2}{2C} > k_B T \quad (3)$$

$$C < \frac{e^2}{2k_B T} \quad (4)$$

Onde  $k_b$  é a Constante de Boltzman ( $1.381 \times 10^{-23}$  J/K),  $e$  é a carga elementar do elétron ( $1.6 \times 10^{-19}$  C) e  $T$  é a temperatura ambiente, em Kelvin. A equação (4) mostra o valor mínimo das capacitâncias do circuito, podendo as mesmas assumir valores diferenciados desde que maiores que esse limite.

Essas fórmulas nos fornecem o valor máximo para as capacitâncias do circuito. Para o funcionamento satisfatório, o modelo proposto utiliza:

$$C_j < C_g/3 \quad (5)$$

Onde  $C_j$  é a capacitância de junção e  $C_g$  a capacitância de porta.

A resistência da junção deve ser maior que a resistência de tunelamento,  $R_T=25,9 \text{ k}\Omega$ , para que o elétron tenha comportamento de partícula e possa tunelar através das barreiras de potencial.

Sabendo que  $Q=CV$ , devemos encontrar o valor da tensão de entrada de modo a permitir a passagem de apenas  $1e^-$  utilizando a carga do elétron,  $e=1,6 \times 10^{-19} \text{ C}$ . Nesse modelo específico, o autor utiliza  $V_{\text{BIAS}}=V_{\text{IN}}$ , de acordo com a fórmula

$$V_{\text{bias}} = \frac{e}{2(C_j + C_0)} \quad (6)$$

O processo descrito acima gera os seguintes parâmetros para simulação no SIMON:

Tabela 2: Parâmetros de simulação para NÃO-E 1

Parâmetro	Valor
Capacitância de Junção ( $C_j$ )	$3 \times 10^{-20} \text{ F}$
Capacitância de Gate ( $C_g$ )	$9 \times 10^{-20} \text{ F}$
Tensão de Polarização ( $V_{\text{BIAS}}$ )	$\pm 0.67 \text{ V}$
Tensão de entrada ( $V_{\text{IN}}$ )	$\pm 0.67 \text{ V}$
Capacitância de Saída ( $C_0$ )	$3 \text{ aF}$
Resistência de Junção ( $R$ )	$0.1 \text{ M}\Omega$

O sinal de saída é a tensão no capacitor  $C_0$ . Para assumirmos que o valor dessa capacitância não influencia a condução do sistema, o valor utilizado deve ser maior que o valor das capacitâncias e porta e junção do inversor :

$$C_0 \gg C \quad (7)$$

No caso do projeto, esse valor foi fixado em uma ordem de grandeza 100 vezes maior que as outras capacitâncias do circuito por escolha do autor.

A simulação desse bloco foi satisfatória para as condições ideais listadas no capítulo 4. O circuito apresentou resultados satisfatórios, inclusive com ganho de tensão quando a tensão de entrada é ajustada em  $V_{\text{in}}=0.16 \text{ V}$ . Os resultados são apresentados na figura 8.

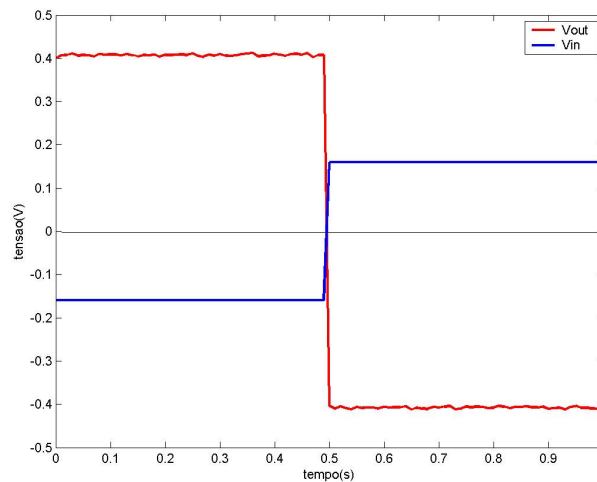


Figura 9: Simulação do inversor com  $T=0 \text{ K}$

O bloco inversor foi testado para assegurar que a configuração de porta NÃO-E, composta por vários desses blocos básicos, não apresentasse erros referentes ao projeto. O circuito da porta NÃO-E é mostrado abaixo, na qual foram utilizados os mesmos parâmetros de simulação citados na tabela 1, pois essa metodologia foi utilizada no artigo escolhido.

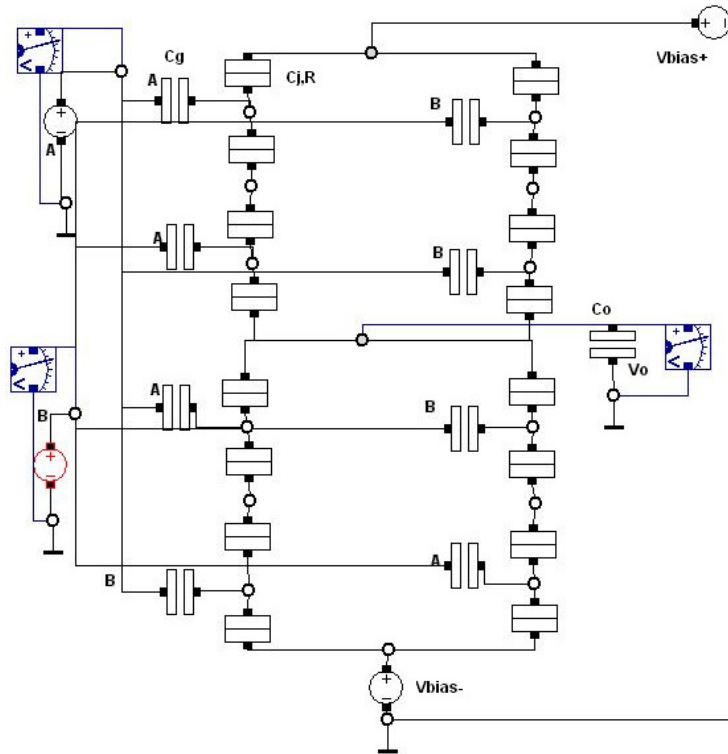
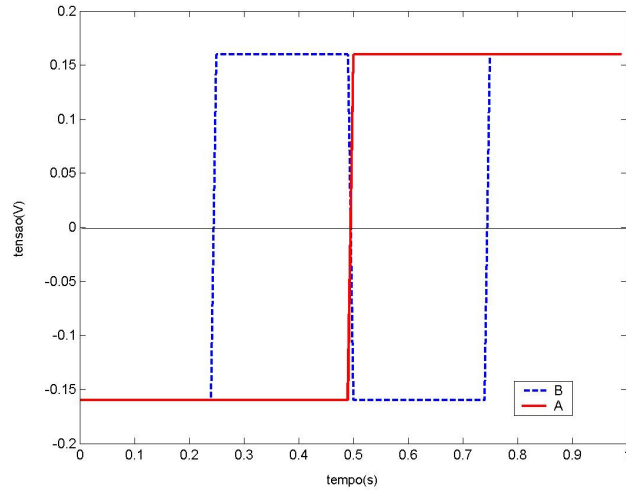


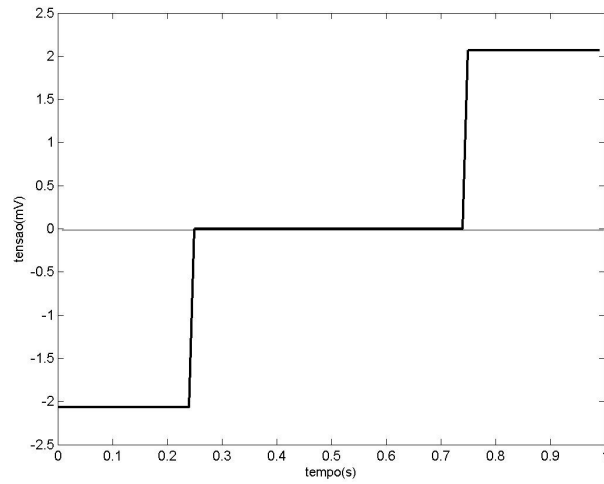
Figura 10: Arquitetura de NÃO-E 1

A reprodução da simulação da arquitetura acima não mostrou resultados satisfatórios, apesar de várias tentativas de ajuste de tensão de entrada e polarização ou valores das capacitâncias. O primeiro problema observado é que esse circuito é muito sensível a qualquer mudança de parâmetro, o que o faz ter uma linha tênue entre o funcionamento e o desligamento. Além disso, quando apresenta pelo menos níveis definidos, mesmo que não corresponda aos valores esperados, o valor da tensão de saída é extremamente baixo, o que dificulta sua utilização em circuitos. Assim, ainda que o artigo no qual a arquitetura foi apresentada mostre resultados que confirmam seu funcionamento com uma porta NÃO-E, não foi possível reproduzir os mesmos neste trabalho. Os resultados obtidos no SIMON são ilustrados na figura 10.





(a)



(b)

Figura 11: (a) Sinal de entrada e (b) Sinal de saída de NÃO-E 1 com  $T=0K$

### 5.2.1. NÃO-E 2

O circuito apresentado a seguir foi retirado da referÃncia [7] e Ã mais simples, com poucas junÃões e capacitÃncias, o que implica em uma menor Ãrea ocupada. AlÃm disso, apresenta possibilidade de ajuste fino do nÃvel de saÃda por meio da capacitÃncia de controle adicionada ao nÃ central do circuito.

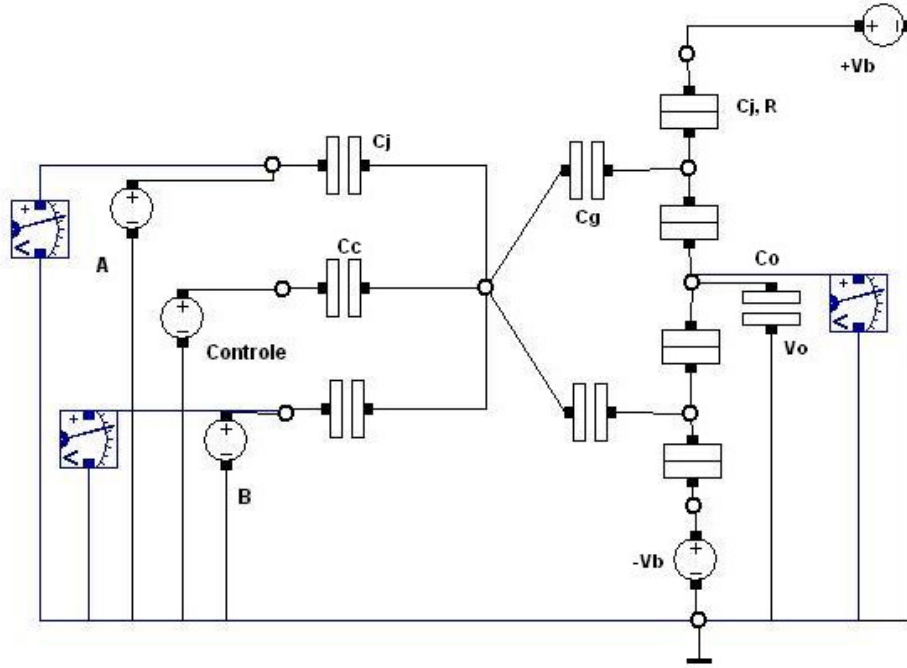


Figura 12: Arquitetura de NAO-E 2

O projeto segue as mesmas especificações dadas nas eq. (1) e (2):

$$C < \frac{e^2}{2k_B T} \cong 3,08 aF \quad (8)$$

A diferença deste projeto com relação ao apresentado anteriormente é principalmente o método para o cálculo das tensões de polarização e entrada [7]. A tensão de polarização deve ser distribuída de acordo com a capacitância equivalente vista pela fonte, para balancear as cargas distribuídas nos nós do circuito:

$$V_b = \frac{e}{C_g + 2C_j} \cong 55 mV \quad (9)$$

Esse valor de polarização foi aumentado em 10 vezes, para proporcionar um sinal de saída com maior amplitude.

Se escolhermos  $C_j = 3 \times 10^{-20}$  F,  $C_g = 6 \times 10^{-20}$  F, podemos encontrar o valor mínimo do sinal de entrada de modo a limitar o valor de carga na ilha a 1 elétron:

$$V_{in} = \frac{e}{C} = \frac{1,6 \times 10^{-19}}{6 \times 10^{-20}} \cong 2,67 V \quad (7)$$

Os parâmetros resultantes deste projeto são listados na tabela abaixo.

Tabela 3: Parâmetros de simulação para NAO-E 2

Parâmetro	Valor
Capacitância de Junção ( $C_j$ )	$3 \times 10^{-20}$ F
Capacitância de Gate ( $C_g$ )	$9 \times 10^{-20}$ F
Capacitância de Entrada ( $C_{in}$ )	$3 \times 10^{-20}$ F
Capacitância de Controle ( $C_c$ )	$3 \times 10^{-20}$ F
Tensão de Polarização ( $V_{BIAS}$ )	$\pm 0.55$ V

Tensão de entrada ( $V_{IN}$ )	$\pm 5V$
Tensão de Controle	$-5V$
Capacitância de Saída ( $C_0$ )	30aF
Resistência de Junção (R)	1M $\Omega$

Pode-se observar que os valores efetivamente utilizados diferem dos calculados, mas sempre respeitando os valores mínimos por eles indicados. Isso ocorre pois, após a obtenção dos valores e simulação iniciais, foram feitas tentativas de aprimorar o resultado obtido variando-se os parâmetros. O efeito da tensão de entrada muito maior que a calculada previamente é apenas na quantidade de carga que o nó poderá ter quando ocorrer um evento de tunelamento. Assim, para os ajustes nas estruturas os cálculos apontam os limites mínimos, e não fixos.

O sinal de controle, no caso uma tensão constante no nó de entrada do circuito, favorece o tunelamento pois causa um acúmulo de carga no nó de entrada. A influência do sinal de entrada nesse processo é o aumento ou diminuição da tensão no nó, alterando assim a probabilidade de tunelamento nas ilhas. Caso o sinal de controle fosse positivo, o funcionamento passaria a ser o de uma porta NÃO-OU.

As simulações foram realizadas em condições ideais ( $T=0K$ , sem co-tunelamento, sem cargas de offset).

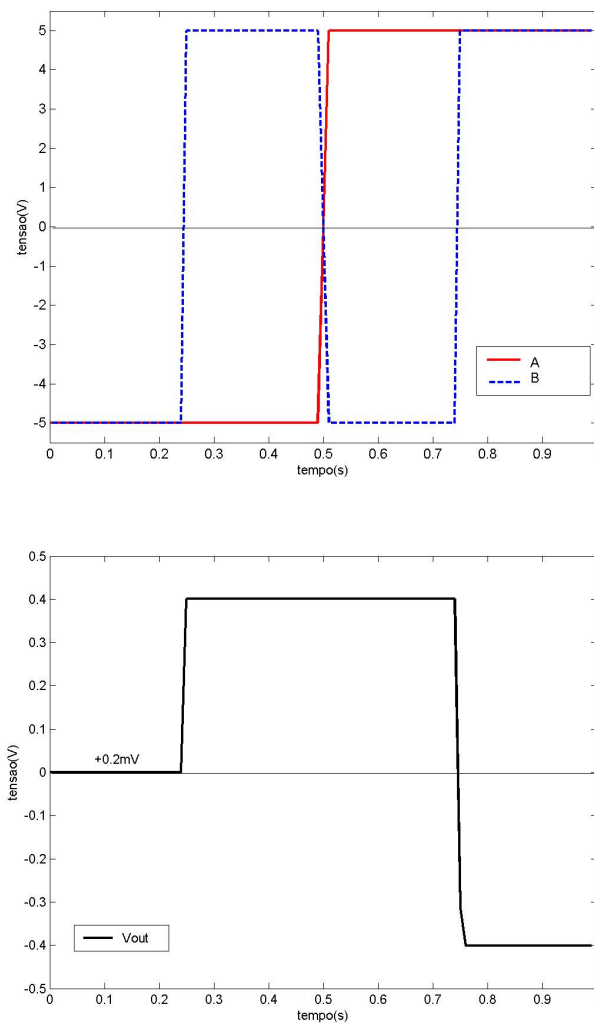


Figura 13: Simulação de NÃO-E 2 com  $T=0K$

A interpretação dos resultados dessa simulação exige uma breve explicação. Nota-se claramente a diferença de tensão entre níveis lógicos que deveriam ser iguais a '1', ou seja, há um elétron passando pela ilha. O primeiro nível apresenta uma saída igual a 6.5mV e esse valor, para um circuito em escala nanométrica, é suficiente para afirmarmos que o funcionamento ocorreu de acordo com o esperado. Portanto, para esse circuito consideramos satisfatório qualquer valor de tensão acima de zero como o nível lógico '1', enquanto valores negativos de tensão representam o nível lógico '0', o que não inutiliza o resultado obtido.

### 5.2.2. NÃO-E 3

Em tecnologia CMOS temos muitas arquiteturas funcionais e completamente caracterizadas de portas lógicas simples e circuitos complexos. Por isso seria extremamente vantajoso desenvolver circuitos monoelétron análogos aos CMOS existentes, tanto por questões de referência quanto de uma futura integração.

Há, no entanto, diferenças cruciais que impediam essa analogia: a primeira delas é o fenômeno de condução de cada uma das tecnologias, que são completamente diferentes. A tecnologia CMOS tem condução contínua através do canal, enquanto um dispositivo monoelétron é baseado na condução discretizada, 1 elétron por vez.

A arquitetura seguinte foi retirada da referência [8] e apresenta como grande diferencial justamente o fato de ser análoga à CMOS em estrutura, e funciona como NÃO-OU/NÃO-E dependendo da posição relativa da polarização e dos blocos de transistores análogos aos tipo-n e tipo-p CMOS.

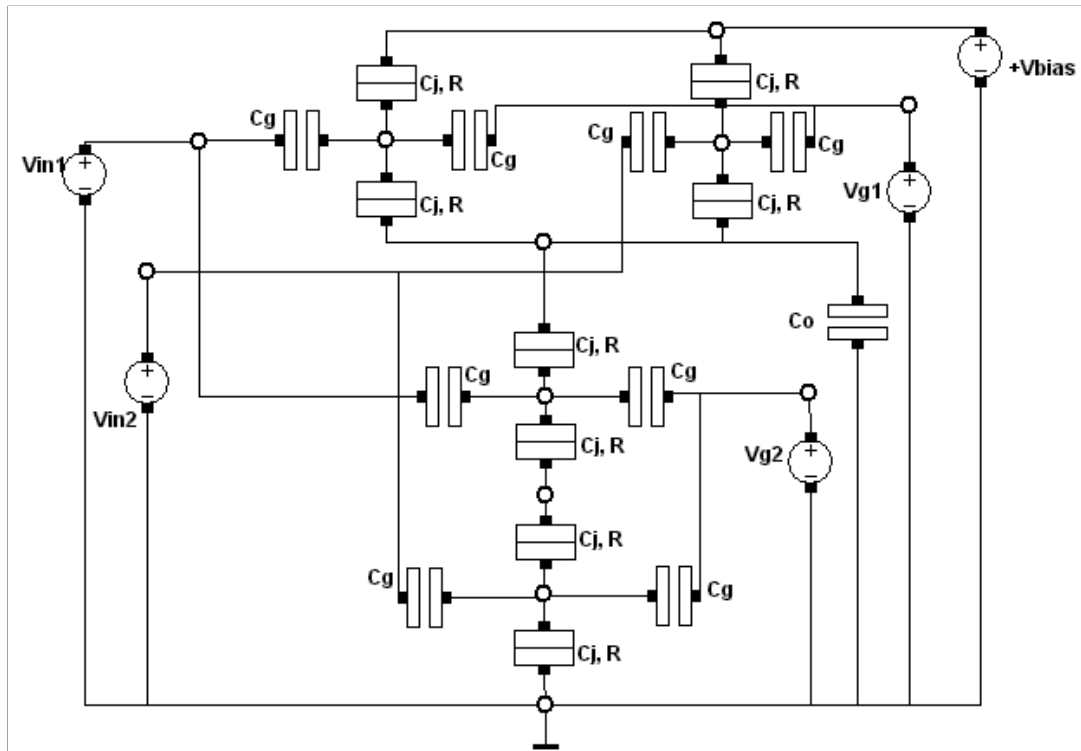


Figura 14: Arquitetura de NÃO-E 3

O objetivo da analogia é obter transistores SET funcionando de modo análogo ao tipo-n MOS (bloco superior) e ao tipo-p (bloco inferior), ou seja, enquanto um bloco tem eventos de tunelamento ocorrendo, o outro está em bloqueio. Sabemos, no entanto, que a quantidade de carga presente em um nó depois do evento é controlada pela tensão aplicada às capacitâncias de porta. Desse modo, é assumido que uma tensão  $V_g = 0.1V$  aplicada a um dos capacitores de

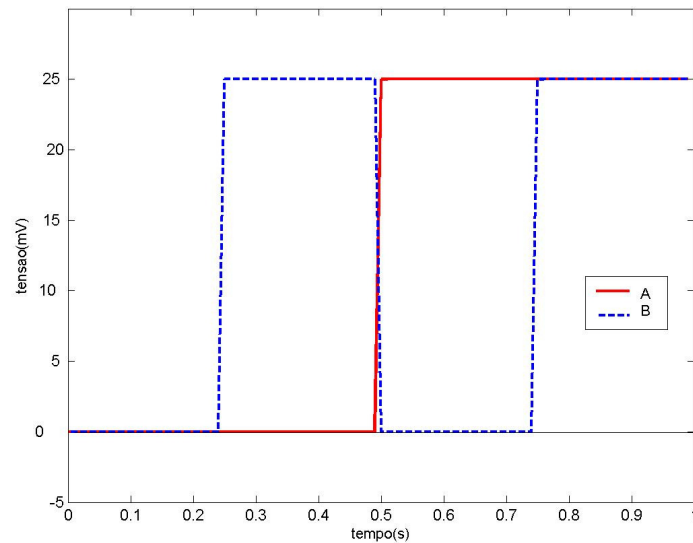
porta proporciona uma operação análoga ao NMOS, enquanto com  $V_g=0.3V$  o SET opera como PMOS.

Utilizando as mesmas equações e condições citadas nas estruturas anteriores no cálculo das capacitâncias, tensões de entrada e de polarização (nesse caso, não simétrica), temos os seguintes parâmetros:

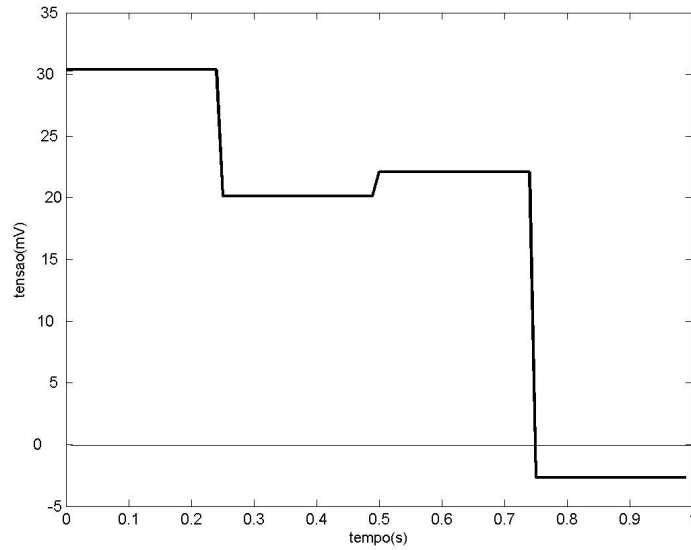
Tabela 4: Parâmetros de simulação para NÃO-E 3

Parâmetro	Valor
Capacitância de Junção ( $C_j$ )	1aF
Capacitância de Gate ( $C_g$ )	1aF
Tensão de Polarização ( $V_{BIAS}$ )	15mV
Tensão de entrada ( $V_{IN}$ )	25mV
Capacitância de Saída ( $C_0$ )	$10^{-21}F$
Resistência de Junção ( $R$ )	1G $\Omega$
Tensão de Gate 1 ( $V_{g1}$ )	0.1V
Tensão de Gate 2 ( $V_{g2}$ )	0.3V

As simulações iniciais foram feitas com condições ideais de temperatura, co-tunelamento e cargas de offset. Os resultados obtidos foram satisfatórios; há pequena diferença entre intervalos de mesmo nível lógico, mas é possível diferenciar claramente os níveis '1' e '0'.



(a)



(b)

Figura 15: (a) Sinais de entrada e (b) Sinal de saída de NAO-E 3 com  $T=0K$

Os resultados mostrados acima mostram que a porta lógica funciona adequadamente e, comparando com os resultados das arquiteturas anteriores, apresenta um desempenho satisfatório. Observa-se, pela primeira vez, ganho de tensão de saída no primeiro estágio, enquanto as arquiteturas anteriores atenuam muito o sinal na saída. Além disso, ainda há uma pequena diferença entre os níveis lógicos '1', porém é menos acentuada do que a presente na arquitetura 2, e permite seu uso sem grandes prejuízos ao sinal de saída.

### 5.2.3. NAO-E 4

O próximo circuito apresentado foi retirado da referência [9] e é simples, e também utiliza o bloco básico do inversor. Nesse caso específico, o bloco é apresentado também como um *buffer* que realiza o isolamento entrada/saída e garante o chaveamento entre os níveis lógicos '1' e '0'.

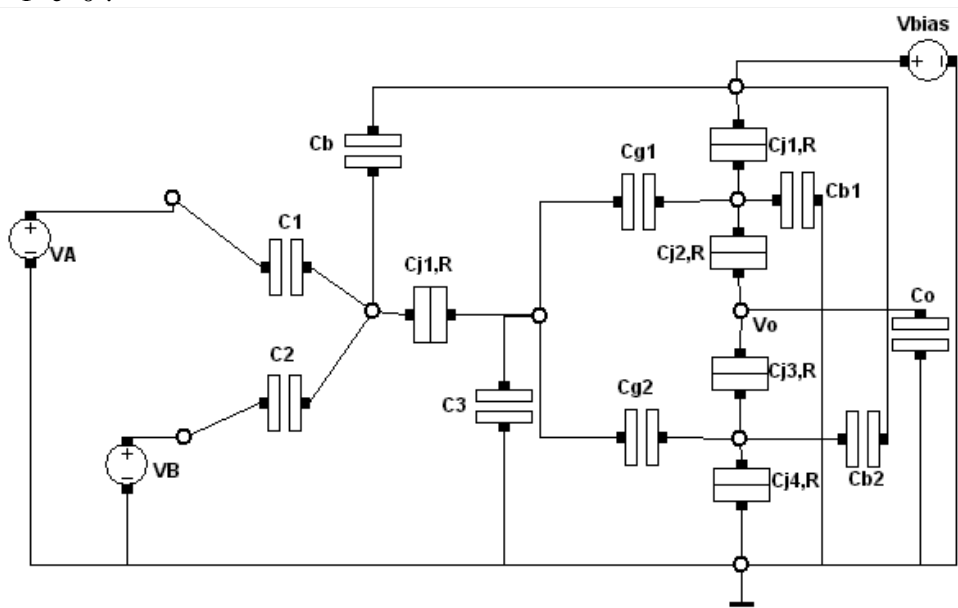


Figura 15: Arquitetura de NAO-E 4

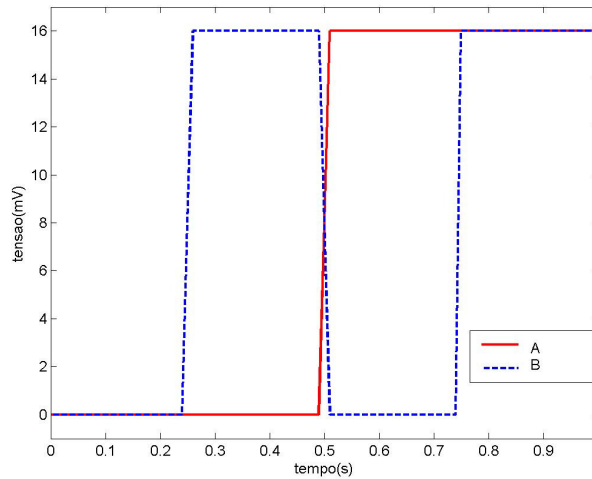
Para a obtenção dos parâmetros de simulação, o autor utiliza fórmulas baseadas em teorias de circuitos tradicionais [9], com algumas considerações como a tensão crítica para condução na ilha. Os parâmetros utilizados são:

Tabela 5: Parâmetros de simulação de NÃO-E 4

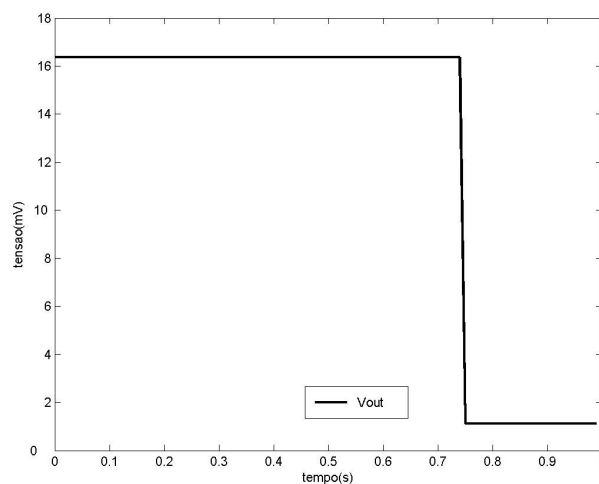
Parâmetro	Valor
Capacitância de Junção ( $C_{j1,j4}$ )	0.1aF
Capacitância de Junção ( $C_{j2,j3}$ )	0.5aF
Capacitância de Gate ( $C_{g1}$ )	0.5aF
Capacitância de Gate ( $C_{g2}$ )	0.5aF
Capacitância de Gate ( $C_{b1}$ )	2.4aF
Capacitância de Gate ( $C_{b2}$ )	2.75aF
Capacitância de Controle ( $C_b$ )	5aF
Capacitância de entrada ( $C_1$ )	0.5aF
Capacitância de entrada ( $C_2$ )	0.5aF
Capacitância Intermediária ( $C_3$ )	9aF
Capacitância de Saída ( $C_o$ )	9.5aF
Tensão de Polarização ( $V_{bias}$ )	25mV
Tensão de entrada ( $V_{A,B}$ )	16mV
Resistência de Junção ( $R_j$ )	100k $\Omega$

Essa arquitetura também pode ser utilizada como uma porta lógica NÃO-OU, bastando para isso a mudança do valor da capacitância de controle  $C_b$  para 5.4aF [9].

As simulações iniciais foram realizadas em condições ideais, e são mostradas abaixo:



(a)



(b)

Figura 17: (a) Sinal de entrada e (b) Sinal de saída de NÃO-E 4 com  $T=0K$

Os resultados apresentados nessa configuração, como pode ser observado nas Figura 17a e b, apresentam níveis lógicos bem definidos. Além disso, como o autor ressaltou, essa configuração é mais estável quando em contato com outros componentes em uma rede, e essa característica será extremamente importante nas simulações que serão apresentadas nos próximos capítulos.

### 5.3. Investigação da robustez elétrica dos circuitos

Para validar o funcionamento dos circuitos, foram feitas análises de desempenho elétrico. Características como dependência com a temperatura, influência de cargas de desvio, ordem de co-tunelamento e fan-out foram testadas e seus resultados aqui apresentados.

#### 5.3.1. Dependência com a temperatura

Circuitos nano-eletrônicos devem ter como princípio de condução predominante o tunelamento, como dito anteriormente. Por isso, as simulações de saída apresentadas foram feitas em condições ideais, no zero absoluto.

O aumento da temperatura influencia muito no funcionamento do circuito, uma vez que a energia térmica, responsável pela condução por deriva térmica, aumenta diretamente com a temperatura.

Para tornar-se uma tecnologia com implementação possível, é necessário fabricar circuitos que funcionem adequadamente à temperatura ambiente ( $\sim 300K$ ), ou pelo menos a temperaturas possíveis de se obter com técnicas de resfriamento e ventilação conhecidas. Por isso essa análise é importante para o desenvolvimento da tecnologia.

Os resultados mostrados foram obtidos alterando a temperatura de simulação para 300K; caso o circuito não funcione, a temperatura é diminuída até apresentar resultados satisfatórios. A arquitetura NÃO-E 1 será excluída dessas análises devido a falta de resultados satisfatórios apresentada anteriormente. Os demais detalhes das simulação estão no capítulo 4, Metodologia.

Os resultados das simulações para NÃO-E 2 são apresentados na figura 17:



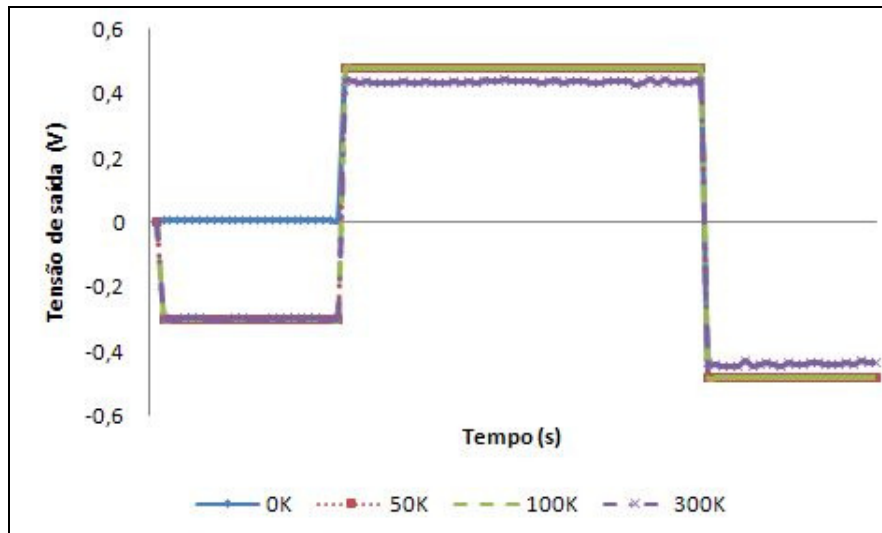


Figura 16: Dependência com a temperatura de NÃO-E 2 – 0K a 300K

É possível observar uma boa robustez em relação à mudança de temperatura, pois não há presença de ruído nos resultados de simulação. Além disso, não há diferença significativa entre as saídas correspondentes às temperaturas acima de 0K, o que indica que o nível de temperatura não tem tanta influência no funcionamento quando este está fora das condições ideais de temperatura.

Apesar disso, houve uma grande alteração no primeiro estágio do nível ‘1’, que já apresentava pouca diferença em relação aos subseqüentes, correspondentes às combinações de entrada 1-0 e 0-1. Ao sair de T=0K, o nível lógico que deveria ser alto tem valores negativos de tensão de saída. Portanto, a consideração de que, para essa arquitetura, o nível lógico ‘1’ seria representado por valores de tensão positivos não é mais válida e, desse modo, não é resistente a mudanças de temperatura de qualquer nível.

A próxima arquitetura a ser testada é a NÃO-E 3.

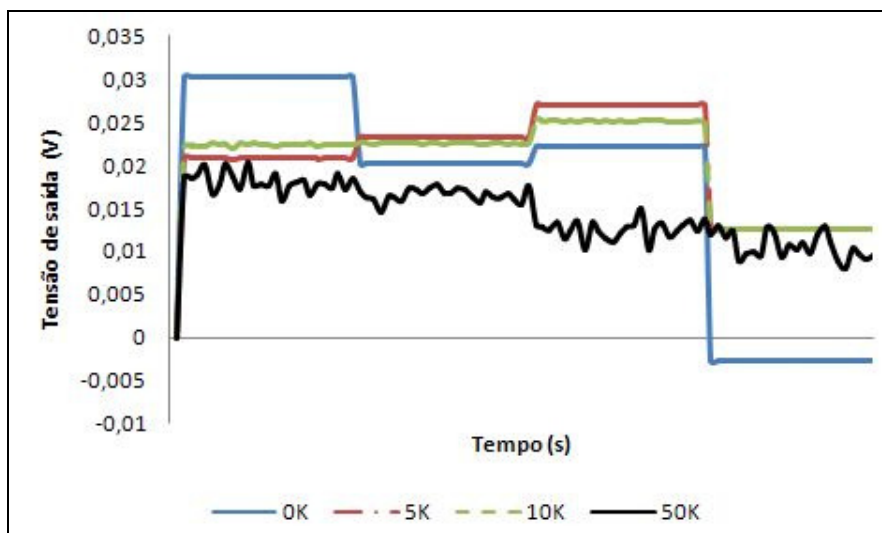


Figura 17: Dependência com a temperatura NÃO-E 3 – 0K a 50K

Diferentemente do circuito anterior, essa arquitetura não suportou mudanças na temperatura de funcionamento. O aumento de 5K já alterou drasticamente a diferença entre os níveis lógicos; o mesmo acontece com 10K. Apesar da diminuição da diferença, ainda podemos

considerar a porta operacional a essas temperaturas, já que a tensão de saída tem uma amplitude de aproximadamente 10 mV. Porém, em termos práticos, isso significa alterações na saída com temperaturas de -263°C, temperatura atingida hoje apenas em experimentos de laboratório com condições controladas, não práticas. Com  $T=50K$  (-223°C), o ruído térmico já predomina no circuito e não há funcionamento.

Assim, essa arquitetura não apresenta robustez à mudança de temperatura suficiente para funcionamento à temperatura ambiente, precisando ser aprimorada para tal condição.

A porta lógica NÃO-E 4 teve ótimo funcionamento em condições ideais, e representa uma boa chance de utilização prática por sua simplicidade e boa definição nos níveis de saída. O resultado da simulação com variação de temperatura é mostrado na figura 19.

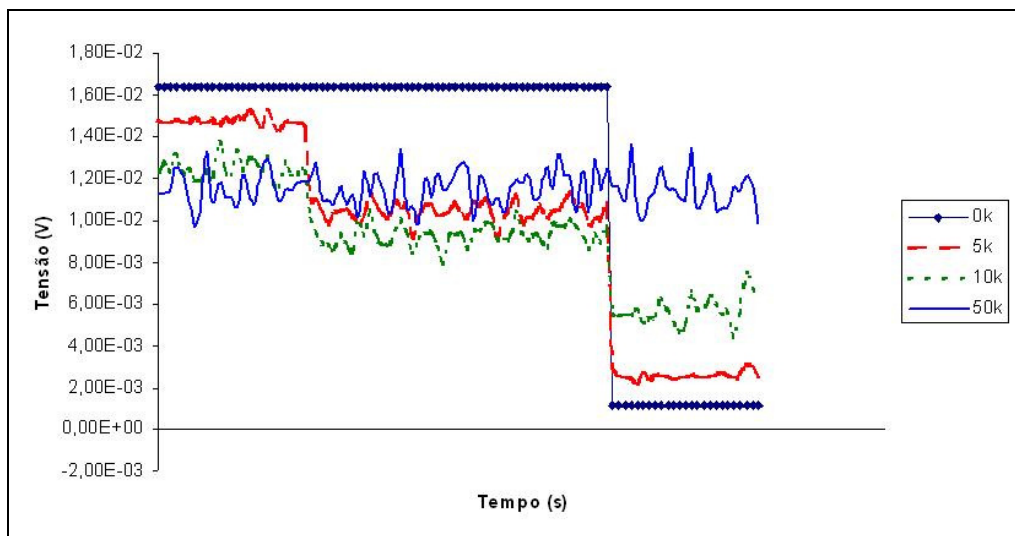


Figura 18: Dependência de NÃO-E 4 com a temperatura – 0K a 50K

Apesar do bom funcionamento em 0K, essa arquitetura mostrou pouca robustez à mudança de temperatura, principalmente por ter seus parâmetros calculados e intimamente relacionados com a temperatura ideal. Por meio da figura 19, pode-se perceber que o sinal de saída já tem sua forma comprometida quando a temperatura aumenta em 5K. Caso seja possível garantir o funcionamento do sistema com a diferença entre os níveis vista acima para 5 e 10K, a arquitetura é válida. Porém, vale lembrar que mesmo esse aumento de temperatura absoluta ainda representa uma temperatura muito baixa em termos práticos. Já com  $T=50K$ , o circuito não funciona e tem sua forma de saída apresentando ruído térmico.

A tabela abaixo apresenta o resultado geral das simulações realizadas neste tópico.

Tabela 6: Resumo das temperaturas alcançadas

Porta Lógica	$T_{max}$
NÃO-E 1	-
NÃO-E 2	-
NÃO-E 3	10K
NÃO-E 4	10K

### 5.3.2. Cargas de desvio

O próximo parâmetro a ser testado é a influência de cargas de desvio no funcionamento do circuito. Cargas parasitas situadas próximas à ilha introduzidas no processo de fabricação do dispositivo causam flutuação de cargas no evento de tunelamento, podendo assim afetar todo o dispositivo, uma vez que a transmissão de cargas deve ser estritamente controlada.

Nessa simulação, o programa gera uma porcentagem da carga elementar distribuída de forma aleatória próxima às ilhas do circuito. Quanto maior for a porcentagem de cargas de desvio que o circuito suportar, menor será a probabilidade de haver flutuações na saída devido a essa mudança. Uma tabela com os resultados obtidos é apresentada abaixo.

Tabela 7: Cargas de desvio máximas suportadas pelos circuitos

Porta Lógica	% Cargas de desvio (%e)
NÃO-E 1	-
NÃO-E 2	10
NÃO-E 3	20
NÃO-E 4	10

A avaliação de quais níveis de cargas de desvio os circuitos suportam, bem como para os próximos tópicos de robustez, foi feita graficamente com os resultados das simulações; observou-se para quais valores o sinal de saída ainda poderia ser considerado válido. Os gráficos foram omitidos deste tópico por questão de praticidade.

Analisando a tabela acima, vemos que as arquiteturas propostas não são muito resistentes à cargas de desvio; porém, assume-se que esse tipo de erro de fabricação atingirá menos de 10% das amostras [11] e, ainda assim, com uma baixa quantidade de cargas. Desse modo, há alguma segurança ao afirmarmos que as porcentagens acima são suficientes para uma análise inicial.

### 5.3.3. Ordem de co-tunelamento

Como dito no capítulo anterior, o fenômeno de condução de circuitos nanoeletrônicos é diferente do que ocorre na conhecida tecnologia CMOS. Nessa, há sentidos definidos de condução de acordo com a composição do dispositivo (dopagem tipo-p ou tipo-n); no caso de dispositivos nanoeletrônicos, não há sentidos proibidos, há a probabilidade de ocorrência de um evento, o que é controlado apenas pela tensão na ilha e pelas condições de bloqueio em que a mesma se encontra. Assim, podemos ter, em um dispositivo, tunelamentos ocorrendo em vários sentidos, e em várias ilhas ao mesmo tempo. Esse efeito é indesejável, uma vez que o fluxo controlado de poucos elétrons, essencial em nanoeletrônica, é alterado significativamente se eventos ocorrerem em ilhas indevidas.

Para efeito de observação, a máxima ordem de co-tunelamento para um dispositivo com N junções-túnel é N, pois a situação extrema que encontramos é quando ocorrem tunelamentos simultâneos em todas as junções do circuito. A tabela abaixo ilustra os resultados obtidos.

Tabela 8: Ordem de co-tunelamento máxima suportada pelas portas lógicas

Porta lógica	N ° de ilhas	Ordem de co-tun. máx
NÃO-E 1	-	-
NÃO-E 2	4	4
NÃO-E 3	8	3
NÃO-E 4	5	3

### 5.3.4. Fan-out

Essa é uma característica importante em circuitos, principalmente quando o ponto de análise é a capacidade de integração do dispositivo. Fan-out é a capacidade que a saída de um circuito tem de alimentar múltiplas entradas sem degradar o sinal, de tal forma que possa ser considerado funcional. Como o intuito de desenvolver circuitos nanoeletrônicos é a fabricação de processadores e esse é um componente central em todas as aplicações, torna-se necessário que ele seja capaz de distribuir o resultado de seu funcionamento a diversos blocos de forma eficaz.

A simulação desse quesito é simples, pois se acrescentam capacitâncias de saída, representando cargas, para analisar a divisão de corrente entre os dispositivos. Espera-se então que os estágios mais avançados, representados neste trabalho por capacitâncias, recebam sinais de entrada cada vez menores proporcionalmente ao número de dispositivos.

Para decidir se o resultado é satisfatório, é necessário definir uma amplitude mínima do sinal que alimenta cada uma das entradas, de forma a se considerar a corrente entregue é suficiente para a operação nos níveis lógicos. Normalmente, esse nível é definido por circuito, pois alguns deles necessitam de mais corrente de entrada que outros. Neste trabalho, aceitaremos uma diminuição do sinal de saída em 50% como aceitável para a operação satisfatória das entradas alimentadas. Na tabela 9, é medida a amplitude do sinal de saída com relação ao número de capacitâncias conectadas ao nó.

Tabela 9: Fan-out para as portas lógicas

Porta lógica	Nº de saídas	$\Delta V$ (max-min)
NÃO-E 1	-	-
NÃO-E 2	15	0,8V
NÃO-E 3	2	28mV
NÃO-E 4	3	8mV

O resultado mostra que as arquiteturas não possuem fan-out tão elevado quanto a tecnologia CMOS, cujo exemplo é a família de circuitos integrados 74HC00, que tem fan-out de 20 saídas [13]. Dentro dessa análise, a arquitetura NÃO-E 2 mostrou-se mais promissora, pois suportou um maior número de entradas preservando a amplitude do sinal. É importante observar que a arquitetura NÃO-E 4 suporta mais entradas conectadas, porém a corrente distribuída pelas conexões diminui muito e cabe a discussão feita anteriormente sobre o que é um nível funcional para esses circuitos.

### 5.3.5. Área do dispositivo e Consumo

A grande vantagem de circuitos baseados em SETs é a quantidade de dispositivos contidos em um circuito integrado. Isso só é possível devido à pequena área ocupada pelo SET e à baixa potência demandada pelo mesmo, já que a corrente é composta por um único elétron ou uma pequena quantidade deles.

A análise de área já mostra que a tecnologia é promissora. Muitas técnicas de fabricação estão sendo desenvolvidas a cada dia para que seja possível obter as dimensões necessárias para a operação do dispositivo. Artigos recentes apontam a fabricação de um SET com diâmetro de ilha de 8nm [10]. Como descrito no capítulo anterior, a dimensão preponderante no dispositivo é a ilha, já que as barreiras de isolante são muito finas para se obter os valores de capacitância de junção, bem como o material condutor entre elas. Assim, considerando um esquema de ilha circular, a área ocupada por um SET seria de aproximadamente 50nm<sup>2</sup>.

Já tecnologias CMOS modernas, na tentativa de superar os limites dimensionais alcançados depois de anos de avanços contínuos, têm desenvolvido transistores de comprimento efetivo de canal de aproximadamente 40nm [12].

Tabela 10: Área de várias portas básicas construídas com transistores NMOS e PMOS de nanotubos com comprimento de canal efetivo de 40nm [12]

Porta	Área (nm <sup>2</sup> )
INVERSORA	7 400
NÃO-E 2 entradas	14 800
NÃO-E 3 entradas	19 000
NÃO-OU 2 entradas	14 800
NÃO-OU 3 entradas	19 000
OU-EXCLUSIVO 2 entradas	24 000
Somador Completo	110 000

Utilizando os dados apresentados acima, podemos fazer um comparativo com as portas lógicas descritas nas seções anteriores, baseadas no número de ilhas que elas possuem.

Tabela 11: Comparativo de áreas

Porta Lógica	Nº Ilhas	Área (nm <sup>2</sup> )	Similar CMOS (nm <sup>2</sup> )
NÃO-E 1	8	400	<b>14800</b>
NÃO-E 2	3	150	
NÃO-E 3	4	200	
NÃO-E 4	4	200	

É importante lembrar que a dimensão dos dispositivos monoelétrons está sendo subestimada, uma vez que não foram levados em conta aspectos como contatos no tamanho do dispositivo, quesito esse dos mais importantes no desenvolvimento, pois a dimensão dos contatos e seus efeitos no circuito podem ser decisivos na implementação. Ainda assim, espera-se que o tamanho não aumente tanto a ponto de ser comparável ao da tecnologia CMOS.

A análise de consumo para os circuitos estudados exige um pouco mais de cuidado, já que a característica corrente *versus* tensão do transistor mono-elétron é diferente. Por se tratar do movimento de poucos elétrons e em momentos definidos, sabemos por analogia que a potência consumida é baixa. Desse modo, faremos a análise pelo máximo da corrente exigida das fontes de polarização, pois este será o caso extremo de consumo do dispositivo.

Tabela 12: Comparação de consumo

Porta	Tensão	Corrente máxima	Potência total	Potência por SET	GSI (10 <sup>9</sup> )	TSI (10 <sup>12</sup> )
NÃO-E 2	1,1V	1,12e-16A	123,2aW	61,6aW	61,6nW	61,6μW
NÃO-E 3	15mV	3,20e-17A	0,48aW	0,12aW	0,12nW	0,12 μW
NÃO-E 4	25mV	1,60e-17A	0,4aW	0,2aW	0,2nW	0,2 μW

O consumo de cada célula é muito pequeno; no caso de um circuito em escala Giga (10<sup>9</sup> dispositivos), o consumo total máximo para a porta NÃO-E 2 seria de aproximadamente 61,6nW, muito abaixo do consumo de circuitos utilizados hoje. É importante observar que o consumo foi estimado para cada SET contido no circuito, pois para as aproximações GSI e TSI, consideramos o número de transistores no circuito, uma vez que essa é a unidade básica.

### 5.3.6. Resumo dos resultados

A tabela a seguir reúne os dados obtidos nos estudos desse capítulo.

Tabela 13: Resumo dos resultados

	Temperatura (K)	Cargas de desvio ( <i>%e</i> )	Co-tunelamento (% ilhas)	Fan-out	Área (nm <sup>2</sup> )	Consumo (W)
NÃO-E 1	-	-	-	-	400	-
NÃO-E 2	-	10	100	15	150	123,2x10 <sup>-18</sup>
NÃO-E 3	10	20	37,5	2	200	0,48 x10 <sup>-18</sup>
NÃO-E 4	10	10	60	3	200	0,4 x10 <sup>-18</sup>

## 6. INTEGRAÇÃO DAS ARQUITETURAS

### 6.1. Introdução

O capítulo anterior mostrou o desempenho das arquiteturas estudadas em vários aspectos importantes na análise de integração de circuitos em dispositivos. Foi possível perceber que cada um dos circuitos apresentados tem características bem distintas, o que sugere resultados diferentes quando integrados.

O presente capítulo tem por objetivo simular circuitos lógicos simples a partir das arquiteturas apresentadas, e possibilitar futuras construções em nanotecnologia.

### 6.2. Multiplexadores

O primeiro circuito a ser simulado é o multiplexador. Apesar de ser simples, é um dos circuitos lógicos mais utilizados em dispositivos por sua capacidade seletora, pois dados específicos podem ser chaveados de fontes múltiplas para um único destino.

Um multiplexador é uma chave digital [13], que associa dados de  $n$  fontes às saídas correspondentes. Cada uma das  $n$  fontes de dados é composta por  $b$  bits, assim como a saída. Em multiplexadores normalmente comercializados, temos  $n=1,2,4,8$  ou  $16$  e  $b=1,2$  ou  $4$ . Há  $s$  entradas que selecionam uma das  $n$  fontes, com a relação

$$s = \lceil \log_2 n \rceil \quad (8)$$

É importante ressaltar que, diferentemente de uma chave mecânica, a informação em um multiplexador é unidirecional: é transmitida apenas das entradas para as saídas.

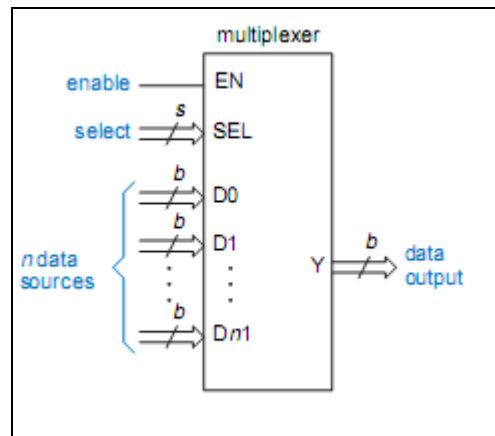


Figura 19: Multiplexador com  $n$  entradas e  $b$  bits [13]

A função em lógica booleana de um multiplexador  $2 \times 1$  (duas entradas  $Dn$  para uma saída  $Y$ ), que será utilizada neste trabalho, é

$$Y = \overline{S}.D0 + S.D1 \quad (9)$$

A expressão acima mostra uma implementação com portas lógicas OU e E, além de uma entrada invertida. Para utilizar as portas propostas no capítulo anterior, é preciso que isso

seja convertido em um modelo com portas NÃO-E. Assim, faremos uso do Teorema de DeMorgan [13], que diz que uma porta lógica E de  $n$  entradas cuja saída é invertida é equivalente a uma porta OU de  $n$  entradas que são invertidas. A figura seguinte mostra os circuitos equivalentes segundo a relação descrita acima.

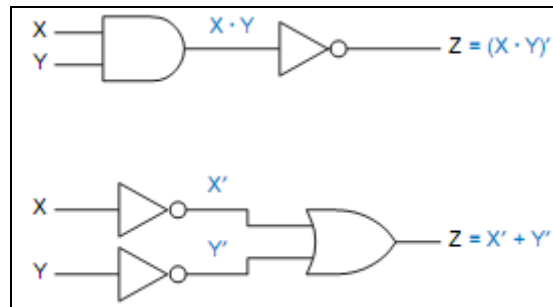


Figura 20: Teorema de DeMorgan[13]

O teorema acima pode ser igualmente descrito para a porta OU. Generalizando o teorema podemos aplicá-lo para uma função lógica arbitrária  $F$ , e definiremos valor complementar como o oposto de seu original para cada combinação de entrada possível. Dada uma expressão lógica de  $n$  variáveis, seu complemento pode ser obtido trocando '+' por '.' e complementando todas as variáveis. A expressão para esse teorema é mostrada a seguir.

$$\overline{[F(D0, D1, \dots, Dn, +, \cdot)]} = F(\overline{D0}, \overline{D1}, \dots, \overline{Dn}, \cdot, +) \quad (10)$$

Aplicando o teorema acima à equação (9), teremos a implementação com portas NÃO-E.

$$Y = \overline{\overline{S} \cdot D0 \cdot \overline{S} \cdot D1} \quad (11)$$

## 6.3. Multiplexadores utilizando arquiteturas monoelétron

### 6.3.1. Metodologia

A partir das características simuladas e dos resultados das simulações dos blocos multiplexadores, será possível definir quais das configurações tem melhores chances de ser integradas a circuitos mais complexos. Uma explicação mais detalhada encontra-se no capítulo 4.

Conforme a equação 11, as entradas que serão chaveadas (entradas de sinal) são  $D0$  e  $D1$ ;  $S$  é o sinal de chaveamento (entrada seletora). Para não utilizarmos o bloco do inversor nas simulações, garantiremos por meio de alimentações diferentes que o sinal de seleção  $S$  estará com valores complementares nas duas portas NÃO-E. A tabela 14 mostra a tabela-verdade correspondente a essa equação.

Tabela 14: Tabela-verdade para multiplexador 2x1

S	Y
0	D0
1	D1



Inicialmente será feita uma análise da forma de saída do sistema, com relação aos níveis lógicos esperados na saída para a função NÃO-E. Se este resultado for positivo, será feita a análise de robustez do circuito aos parâmetros citados no capítulo 2. Para melhor organização do trabalho os esquemáticos dos circuitos desse capítulo serão mostrados no Apêndice A, e todos os gráficos aqui presentes ilustram valores de tensão exibidos em volts [V].

### 6.3.2. MUX 1

O multiplexador baseado na porta lógica NÃO-E 1 (vide figura 2.3) não apresentou funcionamento satisfatório. Esse resultado já era esperado, uma vez que, mesmo de forma isolada, essa célula não forneceu os níveis de saída característicos de sua função, mesmo após tentativas sucessivas de ajustes nos parâmetros do circuito.

### 6.3.3. MUX 2

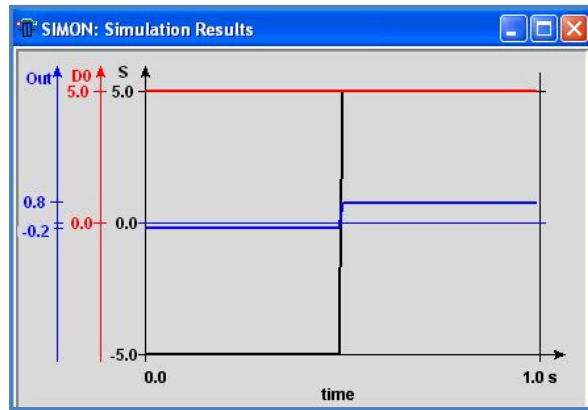
A arquitetura denominada NÃO-E 2 (vide figura 2.5) apresentava resultados persistentes e boa robustez quando analisada isoladamente. Além disso, seu leiaute mais simples sugeria uma facilidade de interconexão, uma vez que há uma menor quantidade de parâmetros passíveis de ajuste.

Antes de analisar o funcionamento do mux, é preciso ver se os blocos componentes estão funcionando conforme o esperado. As figuras 3.3. (a) e (b) mostram claramente que isso não está acontecendo. Analisando conforme a tabela verdade da função NÃO-E, vemos que os níveis de saída resultantes das combinações 1-1, 0-1 e 1-0 estão invertidos, ou seja, os resultados esperados seriam, respectivamente, 0, 1 e 1. Apenas a combinação 0-0 está correta, e apesar dos gráficos representarem portas diferentes, os resultados são iguais quando são feitas mudanças nas combinações das portas.

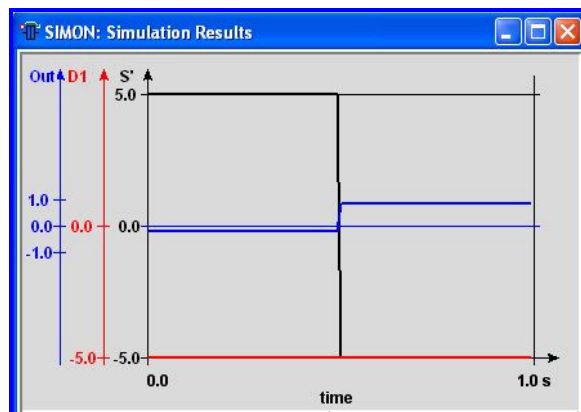
Inicialmente foi realizado um ajuste nas capacitâncias de entrada da terceira porta, que recebe os sinais de saída das duas primeiras, como mostrado no Apêndice A.2. O objetivo é manter constante a relação  $Q=CV$ , já que há grande atenuação das saídas nos estágios anteriores. Essa queda é mostrada na figuras 22 (a) e (b). A tabela abaixo mostra os novos valores para a terceira célula.

Tabela 15: Parâmetros para o último estágio MUX 2

Parâmetro	Valor
Capacitância de Junção ( $C_{j3}$ )	$3 \times 10^{-20} \text{ F}$
Capacitância de Gate ( $C_{g3}$ )	$6 \times 10^{-20} \text{ F}$
Capacitância de Entrada ( $C_{in3}$ )	$30 \times 10^{-20} \text{ F}$
Tensão de Polarização ( $V_{BIAS}$ )	$\pm 0.55 \text{ V}$
Tensão de entrada ( $V_{IN}$ )	$V_{Out1} \text{ e } 2$
Tensão de Controle	$-0.5 \text{ V}$
Resistência de Junção ( $R_3$ )	$1 \text{ M}\Omega$



(a)



(b)

Figura 21: (a) Entrada e saída da primeira célula,  $D0=1$  e (b) Entrada e saída da segunda célula do MUX 2,  $D1=0$

O ajuste da capacitância de entrada aumentou os níveis da saída do multiplexador, mas não foi suficiente para ajustar os níveis nos valores corretos. A figura 23 ilustra essa situação. Conforme a tabela verdade, se  $S=0$ , a saída deveria ser  $D0=1$ ; quando  $S=1$ , a saída deve ser  $D1=0$ . Pelo gráfico, e sabendo que o sinal de controle é mostrado mais claramente na figura 3.3.(a), apenas a primeira situação está correta.



Figura 22: Entradas e saída MUX 2

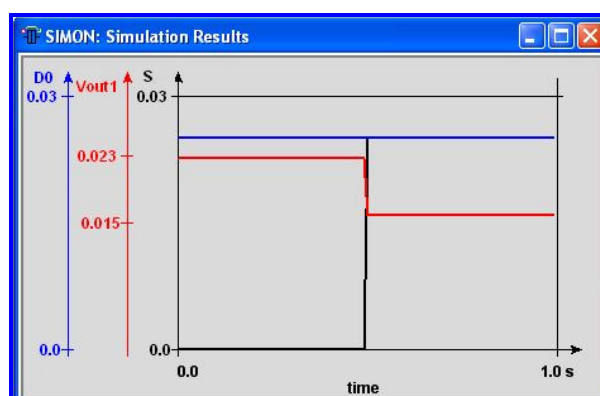
Além dessa tentativa, foram feitos ajustes na tensão de polarização, nos valores de capacitância de junção e no sinal de controle, todos sem sucesso, levando a entender que o ajuste de parâmetros para a integração das partes deve ser feito de forma dedicada, em um estudo mais aprofundado para essa arquitetura específica.

Como esse dispositivo não mostrou bons resultados nas análises básicas de resposta, a análise de robustez do sistema não foi realizada, pois não há resultados ideais para comparação.

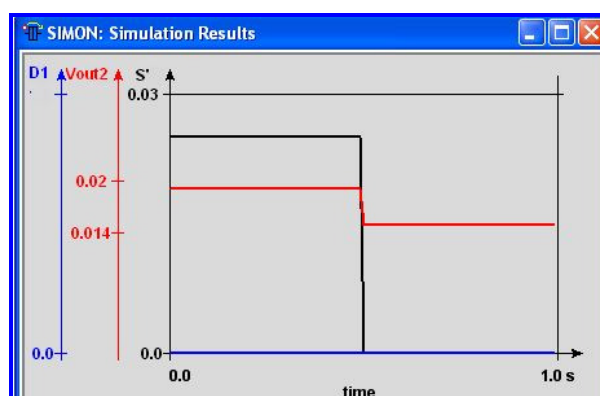
### 6.3.4. MUX 3

O multiplexador baseado na arquitetura NÃO-E 3 (vide figura 2.7) apresenta uma complexidade muito maior se comparado às outras portas apresentadas. Como explicado no capítulo 2, esse leiaute é uma tentativa de desenvolver um circuito análogo à tecnologia CMOS, na qual percebemos blocos superiores análogos a transistores NMOS e inferiores análogos a transistores PMOS. O esquemático é mostrado no Apêndice A.3.

Da mesma forma que o ocorrido na arquitetura anterior, os blocos componentes serão testados.



(a)



(b)

Figura 23: (a) Entrada e saída da primeira célula e (b) entrada e saída da segunda célula do MUX 3

Para analisar os resultados, devemos considerar que a diferença entre níveis deve estar em torno de 50% do máximo, ou seja, valores acima de  $V=150\text{mV}$  serão considerados nível lógico alto, enquanto abaixo disso será o nível lógico baixo, uma vez que a polarização desse circuito não é simétrica.

Utilizando-se da análise acima e observando as figuras 24 (a) e (b), é possível concluir que os níveis estão de acordo com o esperado para a porta NÃO-E. Novamente, temos uma queda significativa nos níveis de saída, o que implica em ajustes no estágio de saída do multiplexador. Para compensar a queda no próximo estágio, os valores das capacitâncias de gate foram dobrados. Como consequência, os valores das tensões de gate foram diminuídos pela metade (sempre utilizando  $Q=CV$ ). Nessa arquitetura a capacitância de saída não é opcional, pois ela influencia diretamente o balanço de cargas do circuito, já que está conectada ao nó

central. Assim, seu valor foi diminuído com relação ao listado no capítulo 2 para se obter um melhor funcionamento conjunto.

Tabela 16: Parâmetros para o último estágio MUX 3

Parâmetro	Valor
Capacitância de Junção ( $C_j$ )	1aF
Capacitância de Porta ( $C_g$ )	2aF
Tensão de Polarização ( $V_{BIAS}$ )	15mV
Tensão de entrada ( $V_{IN}$ )	$V_{out}$ 1 e 2
Capacitância de Saída ( $C_0$ )	$10^{-18}F$
Resistência de Junção ( $R$ )	1G $\Omega$
Tensão de Gate 1 ( $V_{g1}$ )	0.05V
Tensão de Gate 2 ( $V_{g2}$ )	0.15V



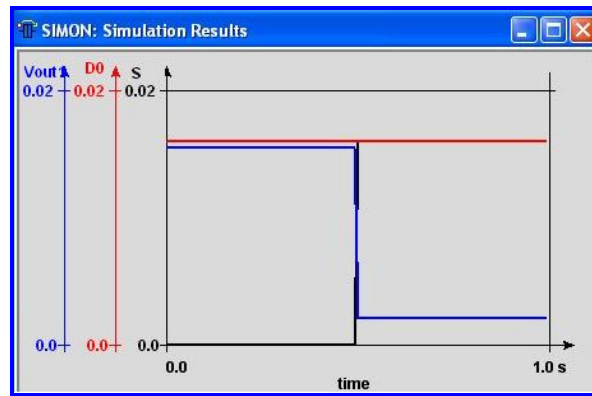
Figura 24: Entradas e saída MUX 3

A figura 25 indica que, mesmo integrada, a célula NÃO-E 3 manteve sua funcionalidade, pois se  $S=0$ , a saída é  $D0=1$ ; se  $S=1$ , a saída é  $D0=0$ . Mais uma vez, cabe a observação do ajuste dos níveis. Provavelmente um estudo aprofundado chegará a ajustes mais adequados para níveis lógicos bem definidos.

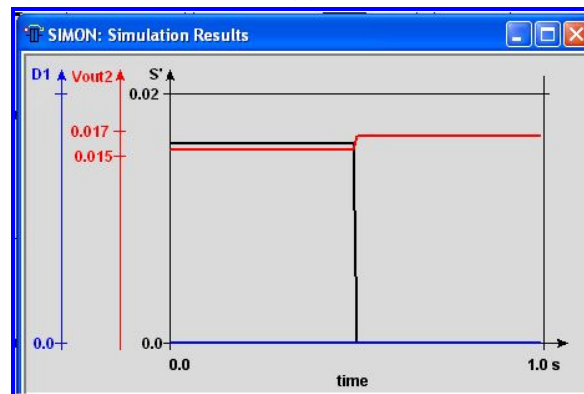
Quanto às análises de robustez feitas no sistema, esse não apresentou nenhuma tolerância a qualquer mudança nos parâmetros ideais, perdendo completamente sua funcionalidade.

### 6.3.5. MUX 4

A arquitetura da porta lógica NÃO-E 4 (vide figura 2.9) apresentou ótimos resultados na caracterização do capítulo 2, e o esquemático do multiplexador é mostrado no Apêndice A.4. Porém, quando integrada como um multiplexador, os resultados não foram os esperados para um multiplexador. Os gráficos resultantes das simulações são mostrados nas figuras 26 (a) e (b) e 27.



(a)



(b)

Figura 25: Entrada e saída da primeira célula e (b) entrada e saída da segunda célula do MUX 4

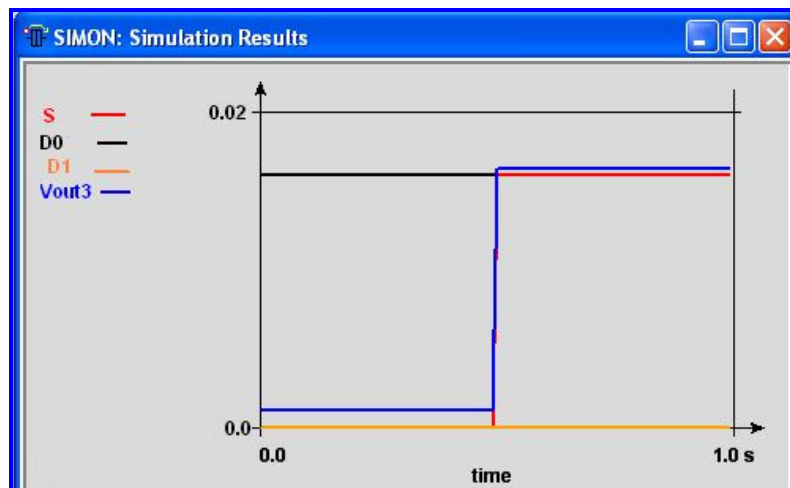


Figura 26: Entradas e saída MUX 4

Observando os níveis de saída dos estágios intermediários nas figuras 26 (a) e (b) é possível ver que eles funcionam perfeitamente, conforme a tabela-verdade da função NÃO-E. Porém, o estágio final, mostrado na figura 27, não consegue processar os sinais de entrada de forma a obter os resultados esperados. Dois fatores podem estar envolvidos nessa mudança de comportamento: primeiro, a saída dos estágios iniciais tem um valor de tensão reduzido, o que provoca uma mudança de ponto de operação no circuito, já que a distribuição de cargas nos nós do circuito também é alterada. Além disso, a conexão das portas pode influenciar o balanço de

cargas do circuito, fazendo com que a quantidade de carga armazenada nas ilhas seja diferente da que o circuito precisa para funcionar corretamente.

Essa arquitetura tem características básicas diferentes das outras. O projeto apresentado detalhadamente em [9] obtém os parâmetros por meio de projetos comuns de circuitos, utilizando as leis de nó e de malhas e, desse modo, têm relação de proporcionalidade entre si; por isso o ajuste pontual de valores não é suficiente para que o circuito entre no ponto de funcionamento correto. Assim, mesmo com muitas tentativas, não foi possível obter resultados coerentes no terceiro estágio.

## 7. Conclusão

Arquiteturas de portas lógicas que utilizem nanoeletrônica não são triviais, apesar de serem blocos básicos de processadores na tecnologia CMOS. Assim, um estudo comparativo com algumas dessas células é importante para desenvolver conceitos sobre o que será funcional ou não quando houver possibilidade de implementação. O avanço da tecnologia proporciona uma complexidade cada vez maior nos circuitos, e a análise de seu funcionamento também adquire essa complexidade.

O grande desafio da nanotecnologia é controlar de forma eficiente os fenômenos de condução baseados na física quântica. O fato de controlar pequenas porções de carga ao invés do fluxo de corrente implica em uma grande sensibilidade do circuito aos parâmetros adotados: por menor que seja a mudança de valores de capacitância (principal componente dos circuitos), tensão de polarização, temperatura, entre outros fatores, essa será percebida e acarretará mudanças em relação ao esperado. Além disso, a integração de portas lógicas em um sistema mais complexo, como o caso do multiplexador aqui mostrado, altera significativamente o balanço de cargas nos nós das células, uma vez que o nível de tensão não é o principal parâmetro de análise, mas sim frações de elétrons armazenados em ilhas.

O capítulo 5 traça uma análise de desempenho de cada uma das arquiteturas propostas, envolvendo fatores como temperatura de operação, cargas de desvio, co-tunelamento, fanout, área e consumo, que influenciam muito o ponto de operação do circuito. Foi possível observar particularidades de cada uma das portas e, à exceção da arquitetura NÃO-E 1, todas funcionaram satisfatoriamente. Vale a pena ressaltar que, dentre as análises, aparentemente a de temperatura e fanout não foram muito animadoras, já que todas suportaram um valor baixíssimo de temperatura (10K) e poucas saídas conectadas. Porém, esses são dois pontos críticos no desenvolvimento da nanotecnologia:

- Para circuitos que trabalham com 1 elétron, ou pouco mais, qualquer valor de carga  $e$ , conseqüentemente, de energia acima disso representa ruído térmico. Desse modo a condução térmica é fator decisivo no desempenho do circuito, uma vez que qualquer variação na temperatura de operação aumenta esse fator de risco, fazendo com que a condução por deriva térmica altere o fluxo de cargas nas ilhas e retire os transistores monoelétron do bloqueio em momentos inoportunos;
- A interconexão de blocos de circuito altera as cargas presentes no mesmo, uma vez que não há isolamento de estágios, como o obtido na tecnologia MOS por meio de projetos com altos valores de impedância entre os mesmos. Assim, ainda é difícil quantificar os fenômenos que ocorrem quando blocos são interconectados.

No capítulo 6, as portas foram utilizadas para construir blocos de multiplexadores 2x1, simples mas de utilização extensa em circuitos dos mais diversos tipos. Os parâmetros e a metodologia seguidos nessa parte do trabalho foram os mesmos do capítulo 2, porém os resultados foram diferentes. A configuração MUX 3 apresentou bom resultado, representando uma possibilidade de integração futura. Devido à característica de interconexão explicada no parágrafo anterior, as configurações MUX 2 e MUX 4 não apresentaram valores coerentes no estágio de saída, enquanto MUX 1 não funcionou.

Este trabalho cumpriu os objetivos propostos, pois a comparação entre as arquiteturas gerou um panorama de características não encontradas em artigos científicos. Vale salientar, porém, que a abordagem adotada visa comparação do funcionamento das diversas células, e desse modo não foi possível desenvolver matematicamente, de forma concentrada, cada uma das células propostas. Analisando os resultados apresentados, é possível perceber as arquiteturas têm possibilidade de implementação muito claras se aprimoradas. Por isso, um novo passo proposto seria o trabalho de pesquisa focado em cada célula, ou mesmo de outras células não listadas nesse trabalho, para obter resultados conclusivos.

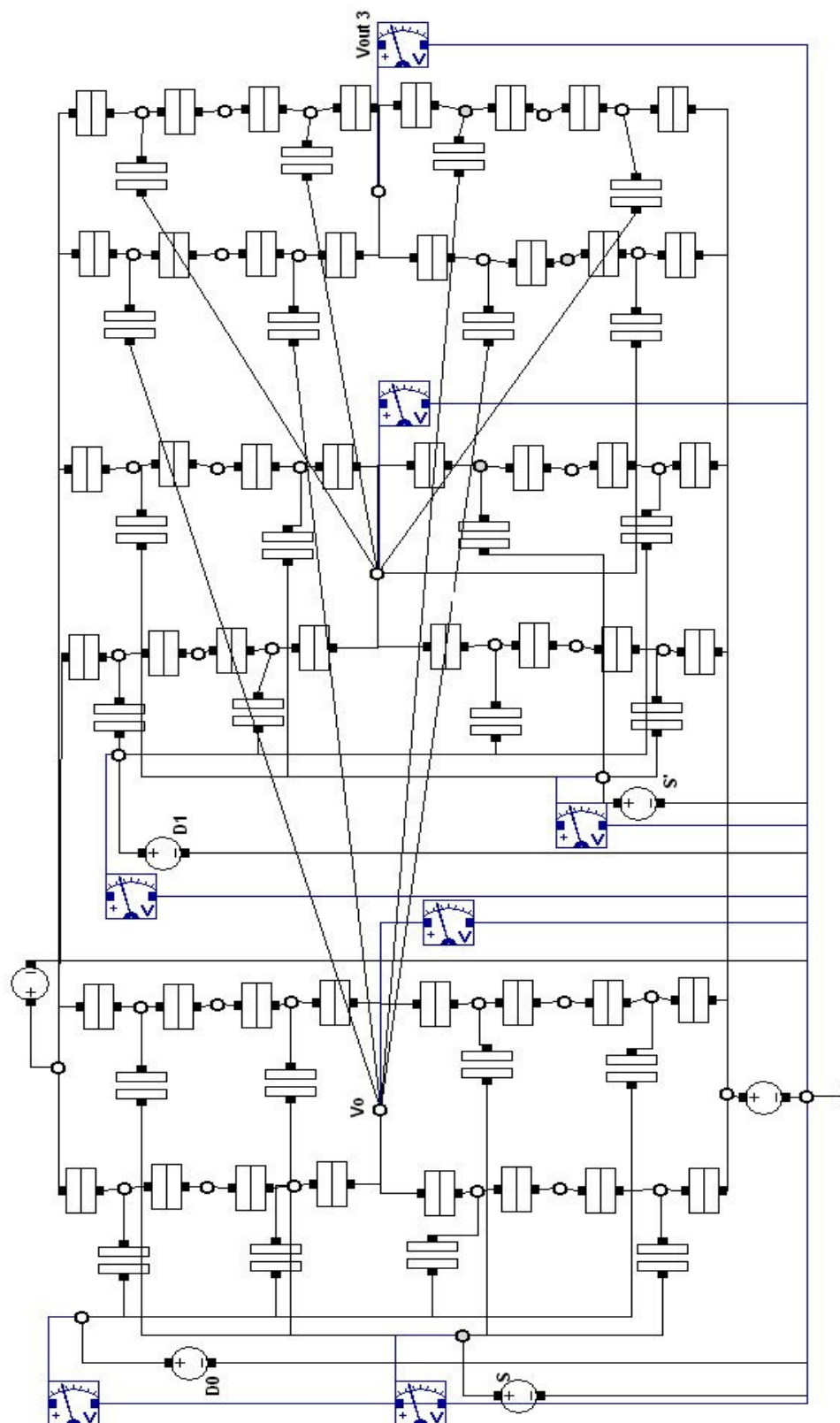
## Referências Bibliográficas

- [1] K.F. Goser, C. Pacha, A. Kanstein, M.L. Rossman. Aspects of Systems and Circuits for Nanoelectronics. Em *Proceedings of IEEE*, 85:558-573, 1997.
- [2] J.G.Guimarães. Nanoeletrônica. Em *8ª SEE – UnB*, 2007
- [3] <http://www.itrs.net>
- [4] C. Wasshuber, H. Kosina, S. Selberherr, SIMON—a simulator for single-electron tunnel devices and circuits, Em *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 16 (1997) 937–944.
- [5] [http://commons.wikimedia.org/wiki/Image:Single\\_electron\\_transistor.svg](http://commons.wikimedia.org/wiki/Image:Single_electron_transistor.svg)
- [6] R.H. Chen, A.N. Korotkov, K.K. Likharev. Single Electron Transistor Logic. Em *Appl. Phys. Lett.*, 68: 1954-1956, 1996.
- [7] K. Goser, C. Pacha. System and Circuit Aspects of Nanoelectronics. Em *Proceedings of the 32nd European Solid-State Circuits Conference*, 18-29,1998
- [8] A. Venkataratnam, A.K. Goel. CMOS Architectures for NOR & NAND Logic Gates Using Single Electron Transistors. Em *Technical Proceedings of the 2005 NSTI Nanotechnology Conference and Trade Show*, 3:176-179, 2005.
- [9] C. Lageweg, S. Cotofana, S. Vassaliadis. Static Buffered SET Logic Gates. Em *Proceedings of the 2nd IEEE Conference on Nanotechnology*, 491-494, 2002.
- [10] P.S.K. Karre, P.L. Bergstrom, G. Mallick, S.P. Karna. Room temperature operational single electron fabricated by focused ion beam deposition. Em *J. Appl. Phys.*, 102: 024316-1 – 024316-4, 2007.
- [11] K. K. Likharev. Single-electron devices and their applications. Em *Proceedings of the IEEE*, 87 (4) 606-632, 1999.
- [12] A. Bindal, A. Nares, P. Yuan, K.K. Nguyen, S. Hamedi-Hagh. The Design of Dual Work Function CMOS Transistors and Circuits Using Silicon Nanowire Technology. Em *IEEE Trans. On Nanotechnology*, 6: 291-302, 2007.
- [13] Wakerly, J.F. *Digital Design Principles and Practices*. Prentice Hall, 3<sup>rd</sup> edition, 2000.
- [14] J.G. Guimarães. Arquiteturas de Redes Neurais Nanoeletrônicas para Processadores em Escala Giga ou Tera. *Tese de Doutorado em Engenharia Elétrica*, Brasília, 2005.
- [15] M.C. Bandeira, J.G. Guimarães, J.A. Durães, L.M. Silva, A.M. Ceschin, M.J.A.Sales, J.C. Costa. Modeling Negative Differential Resistance (NDR) Devices using Radial Basis Function Neural Networks. Em *ECS Transactions – SBMicro 2007*, 9(1): 363-371, 2007.

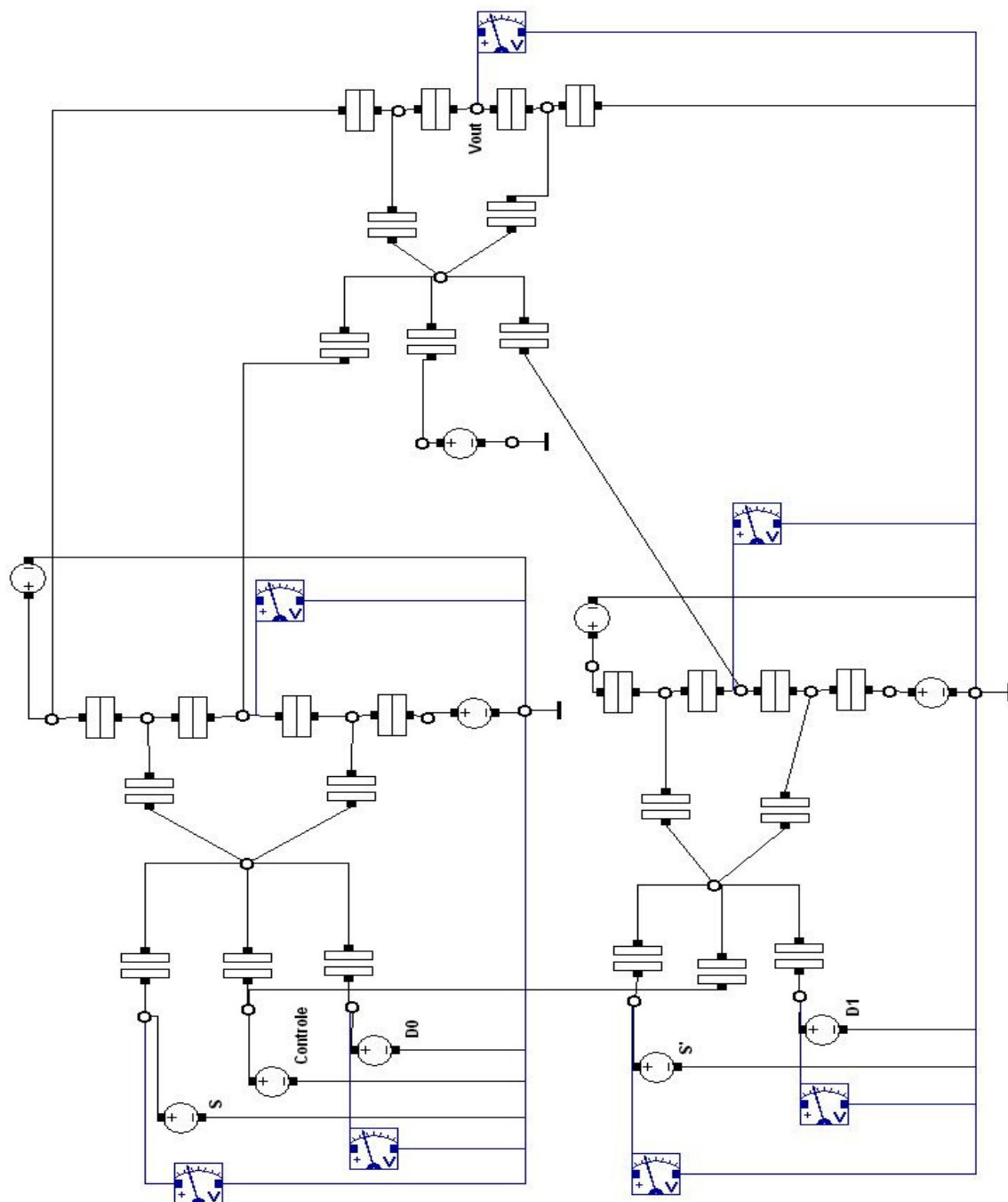


## Apêndice A

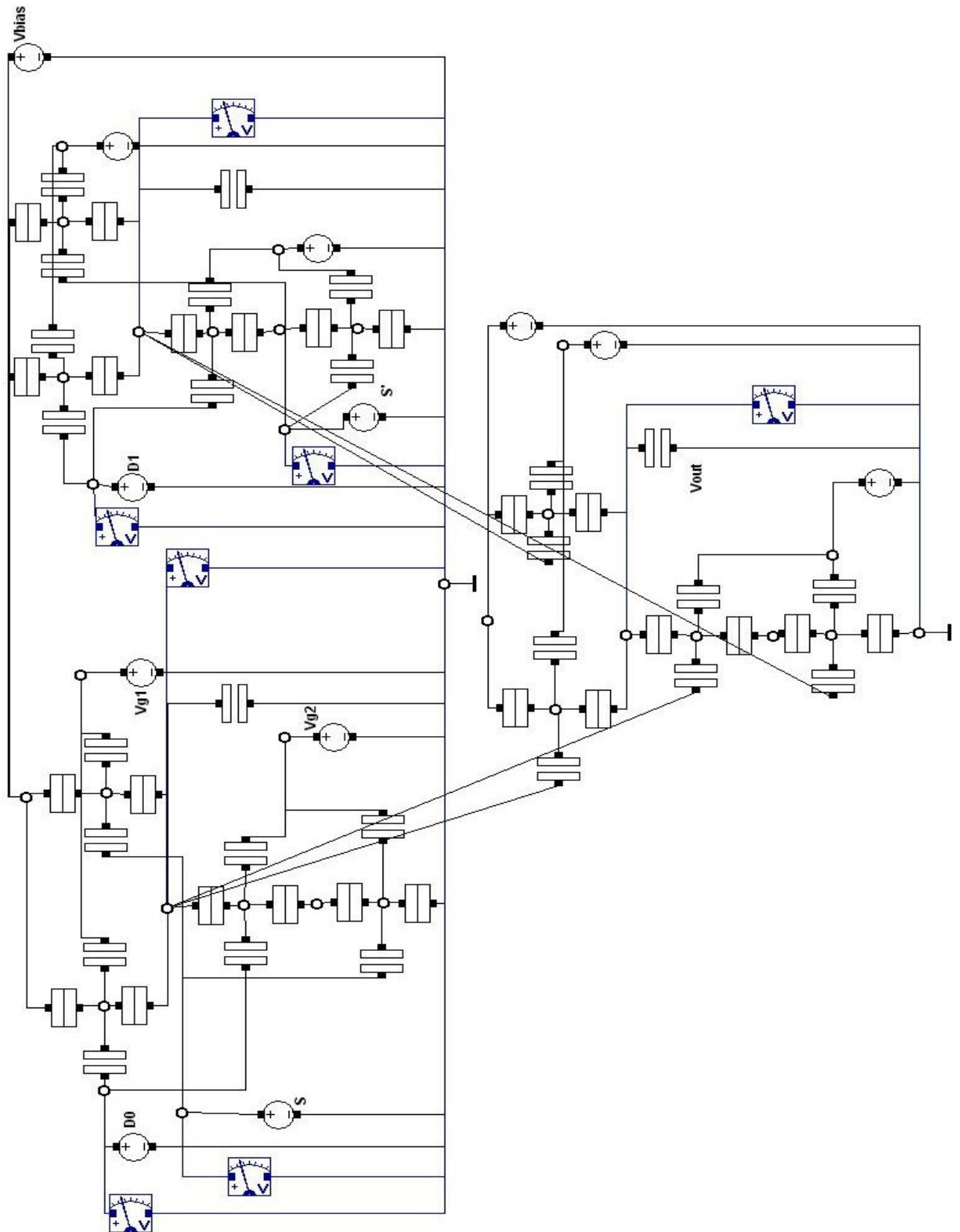
### Apêndice A.1 – Multiplexador baseado em NÃO-E 1



## Apêndice A.2 – Multiplexador baseado em NÃO-E 2



### Apêndice A.3 – Multiplexador baseado em NÃO-E 3



## Apêndice A.4 – Multiplexador baseado em NÃO-E 4

