

TRABALHO DE CONCLUSÃO DE CURSO

PROPOSTA DE UMA METODOLOGIA DE PROJETO PARA UMA PORTA LÓGICA NÃO – E NANOELETRÔNICA

Rayane de Oliveira

Brasília, agosto de 2009

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

DEPARTAMENTO DE ENGENHARIA ELÉTRICA

TRABALHO DE CONCLUSÃO DE CURSO

PROPOSTA DE UMA METODOLOGIA DE PROJETO PARA UMA PORTA LÓGICA NÃO – E NANOELETRÔNICA

Rayane de Oliveira

Relatório submetido como requisito parcial para obtenção
de grau de Engenheiro Eletricista

Banca Examinadora

Profa. Dra. Janaína Golçalves Guimarães, _____
UnB/ ENE (Orientador)

Prof. Dr. Alexandre Romariz, UnB/ ENE _____

Prof. Dr. Artemis Marti Ceschin _____

Sumário

Introdução.....	1
Objetivos.....	3
1. REVISÃO BIBLIOGRÁFICA.....	4
1.1. Junção Túnel.....	4
1.2. Ilha.....	4
1.3. Efeitos Quânticos	5
1.3.1. Tunelamento.....	5
1.3.2. Efeito de carregamento e Bloqueio Coulomb.....	6
1.3.3. Co-tunelamento.....	7
1.3.4. Cargas de desvio	8
1.4. Transistor mono-elétron (SET)	8
1.5 Porta Não – E Mono-elétron.....	8
1.5.1. MUX Mono-elétron.....	11
2. METODOLOGIA.....	14
2.1 Estudo do comportamento da porta NÃO-E.....	14
2.2. Ajuste de Temperatura de operação.....	14
2.3. Simulação do multiplexador baseado em portas NÃO-E.....	15
2.4. Desenvolvimento da metodologia de projeto do circuito da porta Não- E Mono Elétron.....	15
3. RESULTADOS OBTIDOS.....	16
3.1. Resultados do estudo do comportamento da porta Não-E.....	16
3.1.1 Temperatura de operação.....	16
3.1.2 Carga de Desvio.....	18
3.1.3 Co – Tunelamento.....	19
3.2 Ajustes.....	20
3.2.1 Temperatura de operação.....	20
3.2.2 Carga de Desvio.....	23
3.2.3 Co – Tunelamento.....	24
3.3 MUX mono elétron.....	25
3.4 Metodologia de projeto.....	27
3.4.1 Projeto da Porta Não – E.....	27
4. DISCUSSÃO DOS RESULTADOS.....	33
5. CONCLUSÃO.....	35
Referências Bibliográficas.....	36
APÊNDICE A.....	38
Apêndice A.1 – Simulação do ajuste de Temperatura 10.2 K.....	38
Apêndice A.2 – Simulação da Carga de Desvio para $-0.06 \leq CD \leq 0.06$	38
Apêndice A.3 - Simulações do transistor isolado; Transistor mono-elétron análogo ao NMOS.....	39
Apêndice A.4 - Simulações do transistor isolado; Transistor análogo ao Nmos, tensão de entrada V_{in}	39
Apêndice A.5 - Simulações do transistor isolado; Transistor análogo ao Nmos, Carga na ilha do Transistor.....	39
Apêndice A.6 - Simulações do transistor isolado; Transistor análogo ao PMOS.....	40
Apêndice A.7 - Simulações do transistor isolado; Transistor análogo ao PMOS, tensão de entrada V_{in}	40
Apêndice A.8 - Simulações do transistor isolado; Transistor análogo ao PMOS, Carga na ilha do transistor.....	41

INTRODUÇÃO

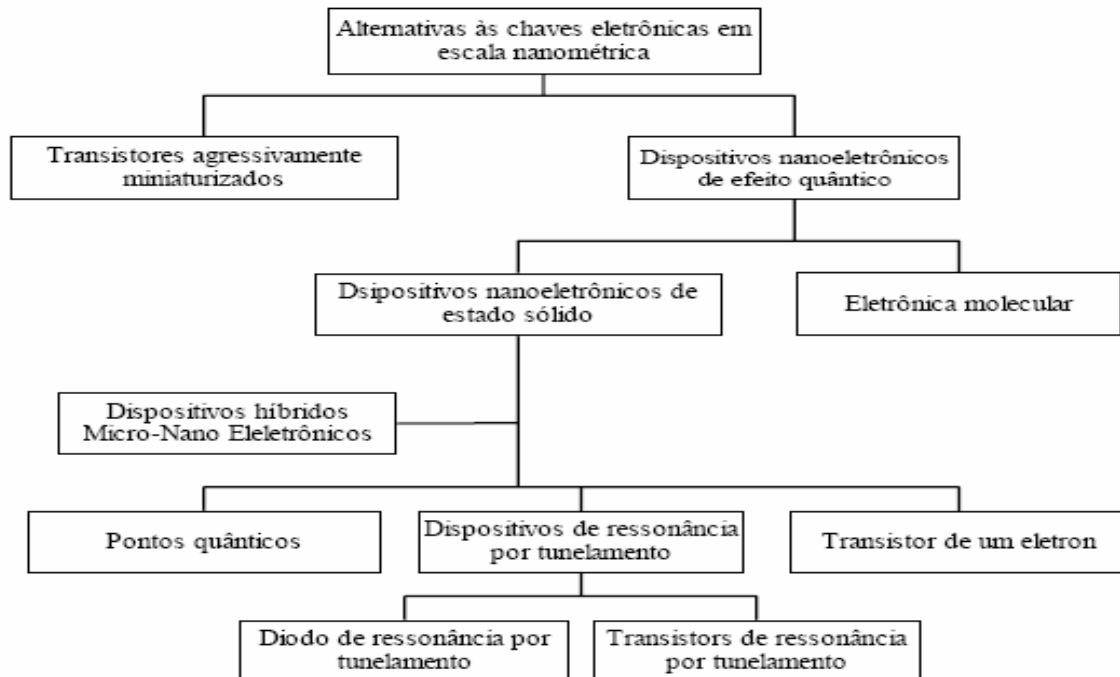
*"Para navegar contra
a corrente são necessárias
condições raras:
espírito de aventura, coragem,
perseverança e paixão."
(Cidade Negra)*

A tecnologia atualmente empregada em larga escala para dispositivos eletrônicos é a tecnologia MOS. Ao longo dos anos, a indústria semicondutora aprimorou seus dispositivos tornando-os mais rápidos e com dimensões cada vez menores. Em 1965, Gordon Moore fez algumas previsões sobre avanços tecnológicos que o mundo presenciaria nos anos seguintes, estas previsões receberam o nome de Lei de Moore. Aqui não será discutida a lei em si, mas sim a consequência gerada por ela: a cada 18 meses a capacidade de processamento dos processadores dobra. Isso seria decorrência da diminuição das dimensões características do transistor.

Infelizmente essa diminuição dos transistores não é eterna. Ela apresenta limitações. A mais relevante delas é a limitação entre a integração em ultra larga escala (ULSI - o CI contém entre um milhão e um bilhão de transistores não chegando a este último valor) e a miniaturização dos componentes (diminuição das dimensões características do transistor). A tecnologia MOS está chegando ao limite desta integração, daqui a alguns anos provavelmente não conseguirá manter o compromisso desses dois fatores, ou seja, não conseguirá manter a operação desejada de seus transistores se eles forem tão pequenos, não será capaz de prover os aumentos esperados de performance. Em consequência dessa limitação, a evolução tecnológica terá de tomar novos rumos para ser capaz de sustentar a taxa de crescimento no futuro.

É neste contexto que a Nanoeletrônica está inserida, por sua capacidade extraordinária de produzir dispositivos de miniaturização extrema. A nanoeletrônica situa-se num campo em que não se está mais atrelado a física clássica, o enfoque agora é a física quântica devido à escala nanométrica e a discretização do elétron. Ela pode ser o grande salto do futuro, é uma alternativa interessante para circuitos integrados em escala GIGA (o CI contém entre 1 bilhão e 1 trilhão de transistores não alcançando este último valor) e até mesmo TERA (O CI contém entre 1 trilhão e 1 quadrilhão de transistores não chegando a este último valor).

A figura abaixo mostra um esquemático das opções objeto de estudo atualmente em nanoeletrônica com possibilidade de um dia substituírem os dispositivos eletrônicos atuais [15].



Este trabalho está inserido no campo das pesquisas acadêmicas sobre o assunto. A célula digital analisada é a que implementa a função lógica Não – E. É um bloco básico simples utilizado para muitas funções complexas como o multiplexador também apresentado neste trabalho. As simulações foram feitas utilizando o programa SIMON (Simulation of Nanostructures)[16], ferramenta já conhecida nessa área. Esse programa calcula a probabilidade de ocorrer eventos de tunelamento utilizando o método de Monte Carlo e é o programa mais difundido nas práticas nanoeletrônicas.

Em um trabalho anterior [2] uma comparação entre 4 arquiteturas distintas de portas NÃO – E mono-elétron foi desenvolvida. Um estudo comparativo do comportamento dessas portas considerando temperatura, cargas de desvio e co-tunelamento foi feito por simulação. Além disso, analisou-se a possibilidade de se interconectar várias portas NÃO-E implementando um circuito multiplexador mono-elétron 2x1. Os resultados obtidos apontaram que uma das portas NÃO-E apresentou melhor desempenho que as demais considerando as variáveis analisadas. Entretanto, a temperatura de operação máxima alcançada por essa porta sem perda de funcionalidade ainda está bem abaixo da temperatura ambiente de operação. Um dos grandes problemas apresentados por dispositivos nanoeletrônicos é sua temperatura de operação. Geralmente estes circuitos apresentam temperaturas de operação próximas de zero Kelvin o que impossibilita sua viabilização. Então trabalhos acadêmicos são desenvolvidos com o objetivo de melhorar as características de operação destes circuitos para que um dia eles possam ser implementados. Este trabalho está inserido neste contexto.

OBJETIVO

Dispositivos nanoeletrônicos muitas vezes funcionam apenas em condições ideais ou bem próximas disso. A célula digital que implementa a função lógica Não - E [2], objeto de estudo deste trabalho, é um destes dispositivos. Esta célula digital foi retirada de trabalho anterior [2]. Este trabalho fez uma comparação entre 4 diferentes arquiteturas que implementam a função lógica Não – E e concluiu que uma delas apresentava melhores condições de funcionamento. Esta célula, a de melhor performance, é a utilizada neste trabalho.

O objetivo central deste trabalho é modificar as condições de operação desta célula digital. Mais especificamente, elevar sua temperatura de operação modificando assim o padrão de funcionamento. Como já foi dito na introdução deste trabalho, a temperatura de operação de circuitos nanoeletrônicos é um fator limitante para sua fabricação. Por isso, este trabalho tem por objetivo elevar a temperatura de operação deste dispositivo para dar mais um passo rumo à fabricação em larga escala.

Este trabalho também apresenta um multiplexador que tem por unidade básica a célula digital Não – E [2]. Este dispositivo também opera em condições bem próximas da ideal. O trabalho também objetiva a elevação da temperatura desta arquitetura. Visando os mesmos motivos da célula digital Não – E.

Uma metodologia de projeto foi desenvolvida para oferecer um guia dos processos feitos para alcançar os dois primeiros objetivos.

O capítulo 1 apresenta uma revisão bibliográfica envolvendo conceitos importantes para o entendimento do trabalho relacionados à nanoeletrônica.

O capítulo 2 apresenta a metodologia utilizada para estudo da célula e elevação da temperatura.

O capítulo 3 apresenta os resultados obtidos ao aplicar a metodologia sugerida em 2.

O capítulo 4 apresenta a discussão dos resultados obtidos no capítulo 3.

1.REVISÃO BIBLIOGRÁFICA

A nanotecnologia tem como objetivo criar novos materiais e desenvolver novos produtos e processos baseados na crescente capacidade da tecnologia moderna de manipular partículas tão pequenas quanto átomos e moléculas. A nanoeletrônica encaixa-se neste perfil a medida que tenta criar dispositivos em escala nanométrica (0.1 a 100 nm). Para isto ela tenta fazer uma transição entre os conhecidos transistores para novos dispositivos e arquiteturas .

Para compreensão deste processo é necessário o conhecimento de alguns conceitos apresentados abaixo.

1.1 Junção Túnel

A junção túnel consiste em dois metais separados por um isolante extremamente fino assim como mostra a figura 1.1. Nesta figura também encontramos o símbolo de representação da junção túnel.

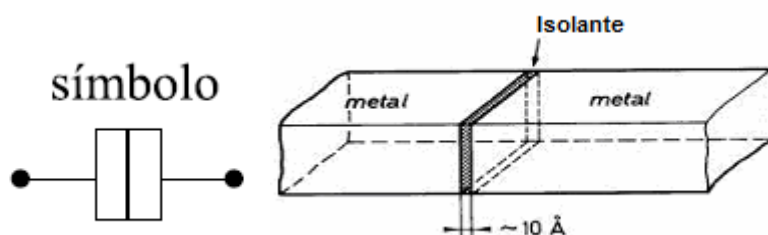


Figura 1.1 : Junção Túnel

O mecanismo de transporte na junção é o tunelamento. Este mecanismo será especificado no decorrer deste trabalho.

1.2 Ilha

Quando duas junções túnel são colocadas em série, como mostra a figura 1.2, uma região designada por ilha será formada. A ilha é o local que está cercada por isolantes por todos os lados, está entre as duas finas paredes de isolante. Ele cria uma barreira de potencial impedindo que os elétrons fluam livremente de um lado para o outro. A ilha é, portanto, o local onde os elétrons ficam confinados, tem entre 5 e 100 nm de dimensões, essa faixa de dimensões é a que garante a quantização dos níveis de energia. Este fenômeno é de fundamental importância para se trabalhar com o transistor mono elétron.



Figura 1.2 : Duas junções túnel em série.

A extensão do confinamento dos elétrons na ilha define três categorias básicas de dispositivos nanoeletrônicos [4]:

- **Quantum Dots (QD's - Pontos Quânticos)** - o confinamento de elétrons na ilha possui zero grau de liberdade, nenhum terminal está conectado a ilha. Sendo mais específico, pontos quânticos são dispositivos com junções túnel em todas as três dimensões da ilha, daí possuir zero grau de liberdade, pois se tem um poço de potencial na qual há o confinamento do elétron em excesso. Esse elétron determina o estado do sistema e quando esses pontos estão arranjados em células é possível projetar circuitos lógicos eficientes.

- **Ressonant Tunnelling Devices (RTD's - Dispositivo de Tunelamento Ressonante)** – o confinamento de elétrons na ilha é feito com um ou dois graus de liberdade, a ilha pode possuir dois terminais. Neste caso os estados quânticos da ilha podem ser ajustados em relação às bandas de energia do dreno e da fonte. As barreiras criam um poço de potencial ao redor da ilha e normalmente impedem que as cargas fluam pelo dispositivo. Este dispositivo está ilustrado na figura 1.3.

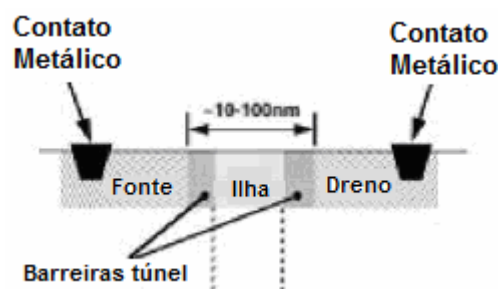


Figura 1.3: Diodo de tunelamento ressonante com dois terminais.

- **Single-electron Tunnelling (SET's- Tunelamento Mono elétron)** – o confinamento de elétrons na ilha possui três graus de liberdade, a ilha está conectada a três terminais. Para estes dispositivos tem-se a intenção de conseguir controlar o movimento e a posição de um único ou um pequeno grupo de elétrons no dispositivo. Há três terminais de conexão, dois nas saídas das junções túnel (extremidades da ilha) e um conectado a ilha, ou seja, entre as junções. Este dispositivo é melhor explicado no item 1.4 deste trabalho.

A composição, forma e tamanho da ilha fornecem diferentes tipos de dispositivos nanoeletrônicos com propriedades distintas.

1.3 Efeitos Quânticos

1.3.1 Tunelamento

O tunelamento consiste no transporte de partículas através de uma região em que a energia total de uma partícula pontual clássica é menor que a energia potencial da barreira. Esta idéia está ilustrada na figura 1.4.

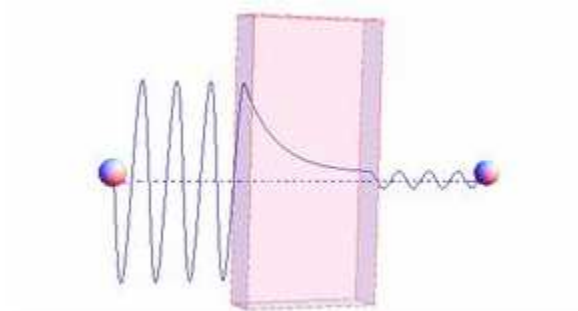


Figura 1.4 : Tunelamento mecânico quântico através de uma barreira

A passagem do elétron ocorre quando a barreira de potencial é pequena e estreita o suficiente para que o elétron atravesse sem fonte de energia externa, e quando há níveis permitidos desocupados do outro lado da barreira.

Em 1985, Averin e Likharev formularam uma teoria ortodoxa do tunelamento mono-elétron, que descrevia, quantitativamente, efeitos de carregamento importantes como o bloqueio de Coulomb. Esta teoria afirma que:

- i. O modelo proposto possui dimensões zero: as dimensões das ilhas são negligenciáveis;
- ii. O evento de tunelamento é instantâneo: o tempo de tunelamento, que é o tempo gasto pelo elétron para atravessar a barreira, é da ordem de 10^{-14} s;
- iii. A redistribuição das cargas após o tunelamento também é instantânea;
- iv. O espectro de energia em condutores e ilhas é considerado contínuo: a quantização da energia do elétron é ignorada dentro dos condutores.

Apesar das limitações, a teoria ortodoxa apresenta resultados compatíveis com todos os dados experimentais de sistemas com condutores metálicos [5]. Entretanto, alguns experimentos indicaram algumas características que não são levadas em consideração pela teoria ortodoxa, que não considera efeitos como o co-tunelamento.

1.3.2 Efeito de carregamento e Bloqueio Coulomb

Considere um sistema com duas junções túnel em série. Quando elétrons estão prestes a entrar em um material condutor de dimensões muito pequenas isolado eletrostaticamente ocorre um fenômeno chamado efeito de carregamento [6,7]. Se esse material condutor for uma ilha ou igualmente pequeno, o potencial eletrostático aumenta consideravelmente mesmo que apenas um elétron entre nessa ilha. Por exemplo, para uma ilha de dimensões nanométricas, com uma capacitância equivalente C de 2 aF o aumento no potencial será de e/C que, considerando $e = 1,6 \times 10^{-19}$ C, resulta em 80 mV. Esse valor é superior ao ruído térmico em temperatura ambiente que é de 25,9 mV [8]. A repulsão de Coulomb evitará que outros elétrons entrem na ilha, a menos que o potencial dela seja intencionalmente diminuído por uma fonte de tensão de polarização externa.

O Bloqueio de Coulomb, que é um efeito de carregamento, só será observado de forma considerável quando a energia eletrostática do sistema for maior que a energia térmica. Considerando E_k a energia eletrostática e E_t a energia térmica, pode-se considerar que :

$$E_k = \frac{e^2}{2C} \quad (\text{eq. 1.1})$$

$$E_t = k_B T \quad (\text{eq. 1.2})$$

E a seguinte condição como será vista mais a frente neste trabalho deve ser satisfeita:

$$\frac{e^2}{2C} > k_B T \quad (\text{eq. 1.3})$$

Quando há suspensão do fluxo de elétrons, ou seja, quando um elétron bloqueia o movimento de outros, como mostrado na figura, ocorre o Bloqueio de Coulomb. Isso ocorre até certo valor de tensão. Quando uma tensão é aplicada ao circuito, quedas de tensão ocorreram na capacitância de porta e na junção, como ilustrado na Figura 1.5 (b).

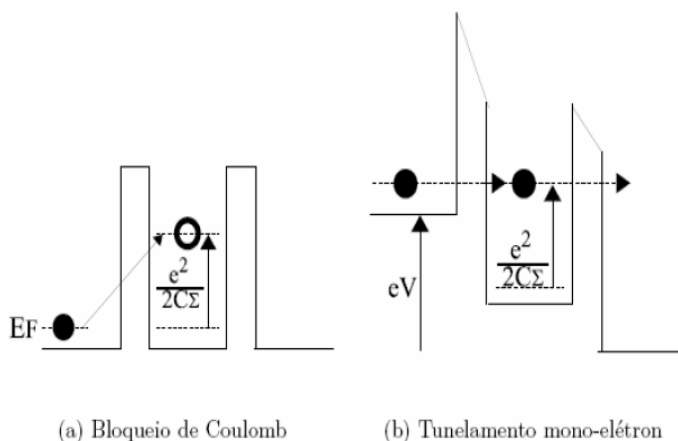


Figura 1.5 : Diagrama de energia

1.3.3 Co-Tunelamento

O co-tunelamento consiste no tunelamento de mais de um elétron através de barreiras túnel distintas ao mesmo tempo. Geralmente, um circuito com N junções-túnel apresentará um co-tunelamento até de ordem N. A figura 1.4 apresenta os tipos de co-tunelamento possíveis.

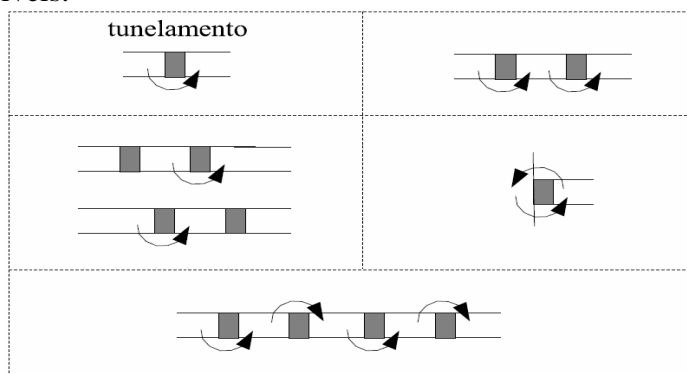


Figura 1.6 : Tipos de Co-tunelamento

Para dispositivos mono-elétron esta é uma grande fonte de erros. Principalmente em dispositivos lógicos que se apóiam na presença e na ausência de um único ou pequeno número de elétrons.

1.3.4 Cargas de Desvio

As cargas de desvio são outro fator limitante para transistores mono-elétron. Uma impureza ionizada, em nosso caso considerada como uma carga de desvio, pode ser suficiente para tirar o transistor do bloqueio de Coulomb. Esta impureza geralmente é inserida no dispositivo por defeitos de fabricação. Normalmente são íons que polarizam a carga da ilha.

1.4 Transistor Mono-Elétron

O transistor mono-elétron é um dispositivo que por meio do tunelamento controlado de elétrons, possibilita o controle do fluxo de carga entre seus terminais, elétron a elétron [10,11]. Como o tunelamento é um processo discreto, a carga elétrica que flui através das junções túnel o faz em múltiplos de e , a carga de um único elétron.

O transistor mono-elétron pode ser construído colocando duas junções túnel em série. As duas junções criarão uma ilha, onde os elétrons só poderão entrar tunelando através de um dos isolantes. Esse dispositivo tem três terminais, como o transistor de efeito de campo: os terminais de saída de cada junção e o terminal de porta, que é acoplado capacitivamente a ilha entre as duas junções, como mostrado na Figura 1.7.

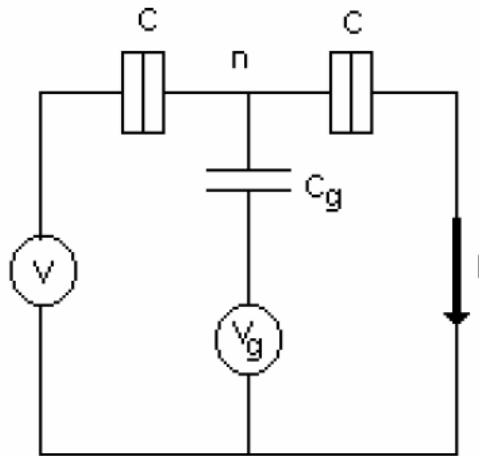
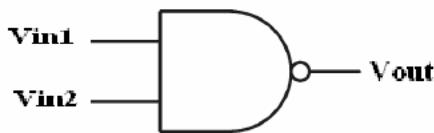


Figura 1.7 : Transistor Mono- Elétron

1.5 Porta Não – E Mono-elétron

Em qualquer sistema digital, a unidade básica construtiva é um elemento denominado porta lógica, por isso sua grande importância. A tabela verdade da porta Não – E está listada na figura 1.8.



(a) Símbolo Gráfico de uma porta Não-E

V_{in1}	V_{in2}	V_{out}
0	0	1
0	1	1
1	0	1
1	1	0

(b) Tabela verdade de uma porta Não-E de 2 entradas

Figura 1.8 : Porta Não – E

Esta arquitetura é análoga à arquitetura CMOS em estrutura, e funciona como uma porta Não – OU/ Não – E dependendo dos valores das tensões de polarização e os blocos de transistores análogos aos tipo-n e tipo-p CMOS. Então, o trabalho anterior [2]

fez uma analogia para obter transistores mono-elétron funcionando de modo análogo ao tipo-n MOS e ao tipo-p MOS, ou seja, enquanto um bloco tem eventos de tunelamento ocorrendo, o outro está em bloqueio. Sabemos, no entanto que a quantidade de carga presente em um nó após um evento é controlada pela tensão aplicada as capacitâncias de porta. Assim assumiu-se que uma tensão $V_{g1} = 0.1 \text{ V}$ aplicada a um dos capacitores de porta proporciona uma operação análoga ao transistor NMOS, enquanto que uma tensão $V_{g2} = 0.3 \text{ V}$ proporciona uma operação análoga ao transistor PMOS. Estes valores foram retirados de trabalho anterior [1] e o autor diz que foram encontrados empiricamente.

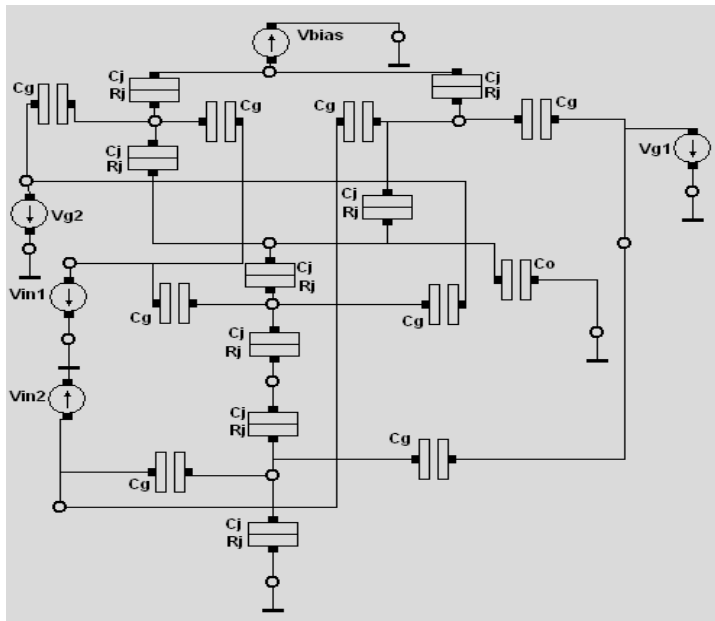


Figura 1.9 : Circuito da porta Não – E feito no simulador SIMON.

Os parâmetros de circuito utilizados [2] na construção da arquitetura da porta Não – E acima estão listados na tabela 1.

Os transistores mono-elétron utilizados neste trabalho possuem dois terminais de porta. Ao forçarmos uma tensão constante positiva de certo valor em um dos terminais favorecemos o tunelamento. Quanto maior o valor de tensão constante aplicado, menor será o valor de tensão necessário no outro terminal de porta para que ocorra o tunelamento. Este comportamento pode ser notado observando o circuito, de acordo com a situação descrita, o outro terminal estará sempre conectado às tensões de entrada (V_{in1} e V_{in2}). Existem duas situações para os transistores:

- 1) O transistor mono-elétron que funciona de modo análogo ao transistor NMOS, com $V_{g1} = 0,1\text{V}$, estará em uma situação de quase limiar de condução. Basta que o outro terminal tenha um valor positivo pequeno de tensão para que seja favorecido o tunelamento para ilha.
- 2) O transistor que funciona de modo análogo ao transistor PMOS estará em situação inversa. A tensão de $0,3\text{V}$ fará com que esteja no bloqueio de Coulomb, com dois elétrons na ilha. Dependendo do valor de tensão do outro terminal é possível retirar um dos elétrons da ilha por tunelamento.

As simulações que ratificam estas duas situações que ocorrem com o circuito estudado estão anexadas no Apêndice deste trabalho.

TABELA 1: Parâmetros da Porta Não – E Original [2]

Parâmetro	Valor
Capacitância de Junção (C_j)	1aF
Capacitância de Gate (C_g)	1aF
Tensão de Polarização (V_{BIAS})	15mV
Tensão de entrada (V_{IN})	25mV
Capacitância de Saída (C_0)	$10^{-21}F$
Resistência de Junção (R_j)	$1G\Omega$
Tensão de Gate 1 (V_{g1})	0.1V
Tensão de Gate 2 (V_{g2})	0.3V

O movimento de um simples elétron lida com uma pequena quantidade de elétrons em excesso na ilha, mudando sua distribuição de acordo com o tempo. As cargas em um dispositivo mono-elétron são transportadas de um modo quantizado em vez de contínuo. Operações complementares desses dispositivos podem ser ativadas pelo controle de cargas na ilha. A carga na ilha está relacionada à capacitância da ilha, capacitância da porta e tensão aplicada à porta [1]. Com o objetivo de obter a tensão de polarização da porta e assim complementar a operação do transistor, oscilações de corrente são observadas para $V_{cc} = 15 \text{ mV}$, $C_j = C_g = 10^{-18} \text{ F}$, $C_0 = 10^{-19} \text{ F}$ e $R_j = 10^9 \Omega$. A tensão de polarização na porta é 0.1 V para o transistor operando como NMOS e 0.3 V para o transistor operando como PMOS, como já foi explicado. Estes valores são baseados em simulação [1]. A forma de onda desta arquitetura está esboçada na figura 1.10, este é o comportamento da porta Não-E esperado, pois como podemos ver segue rigorosamente a tabela verdade. Uma consideração importante é que como se pode observar na legenda V_{in1} está em verde e V_{in2} está em vermelho, a saída V_{out} está em preto. As entradas seguem a ordem da tabela verdade expressa abaixo, a cada 200 ms uma nova entrada pode ser considerada mesmo que o valor seja o mesmo da anterior.

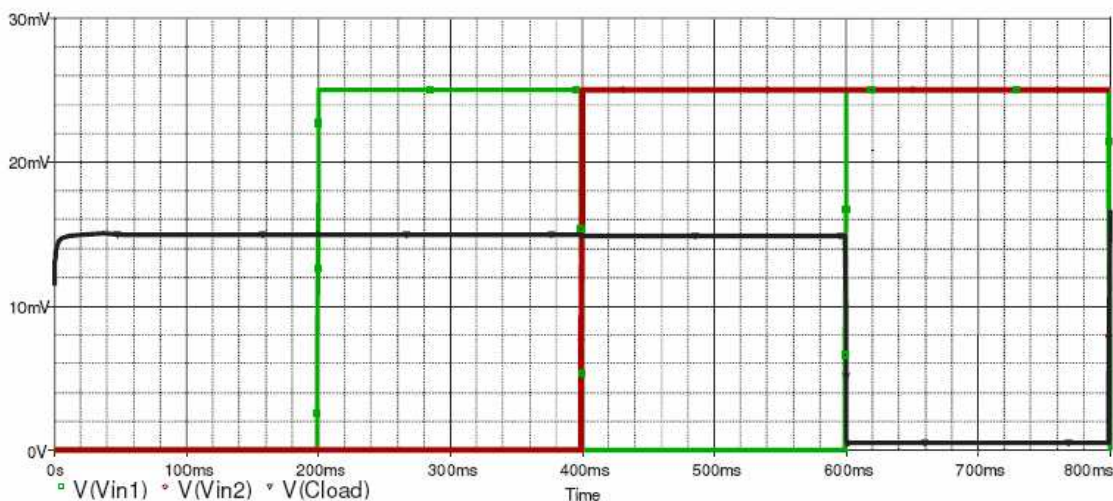


Figura 1.10: Forma de onda da porta Não – E para a temperatura de 4.2K usando Spice, $C_0 = 10^{-19} \text{ F}$. Utilizada como base para o comportamento da Porta Não – E deste trabalho.

1.5.1 MUX Mono-Elétron

Um multiplexador é uma chave digital, que associa dados de n fontes às saídas correspondentes. Cada uma das n fontes de dados é composta por b bits, assim como a saída. Em multiplexadores normalmente comercializados, temos $n = 1,2,4,8$ ou 16 e $b = 1,2$ ou 4 . Existem s entradas que selecionam uma das n fontes, com a relação :

$$s = \lceil \log_2 n \rceil \quad (\text{eq. 1.4})$$

Abaixo temos a figura de um multiplexador,

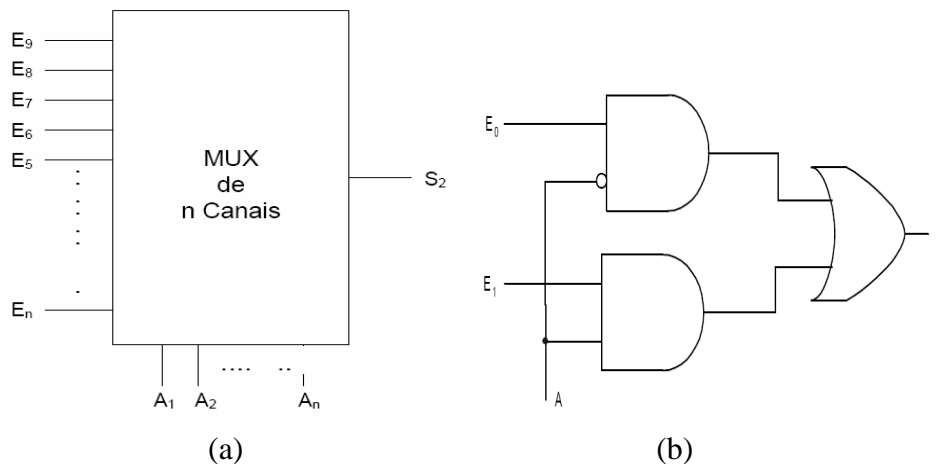


Figura 1.11: (a) Multiplexador Com n entradas genérico. (b) Multiplexador com 2 entradas e 1 saída.

A expressão Booleana para o multiplexador mostrado na figura 1.10 (a) é

$$S = \overline{A} \cdot E_0 + A \cdot E_1 \quad (\text{eq. 1.5})$$

Esta expressão mostra uma implementação com portas lógicas OU e E, além de uma entrada invertida, como pode ser observado na figura. Para manter a linha proposta neste trabalho é necessário que o modelo seja implementado com portas Não-E. Isso foi feito com o auxílio do Teorema de DeMorgan [14], que diz que uma porta lógica E de n entradas cuja saída é invertida é equivalente a uma porta OU de n entradas que são invertidas. O resultado obtido aplicando-se o teorema foi a expressão para a implementação feita com portas Não-E:

$$S = \overline{\overline{\overline{A}} \cdot \overline{E_0}} \cdot \overline{\overline{A} \cdot \overline{E_1}} \quad (\text{eq. 1.6})$$

O circuito feito com portas Não – E pode ser observado na figura abaixo:

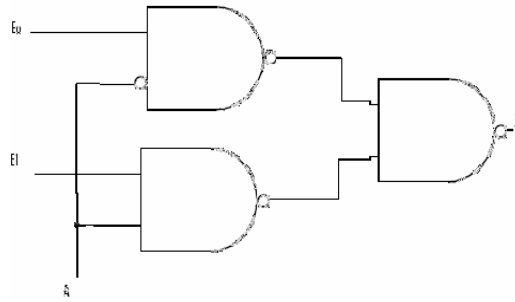


Figura 1.12: Mux feito com portas Não – E.

Então considerando as portas Não – E feitas com transistores mono elétron e arranjando elas na configuração acima temos como resultado a figura 1.13 que expressa o multiplexador feito com portas Não – E Mono elétron.

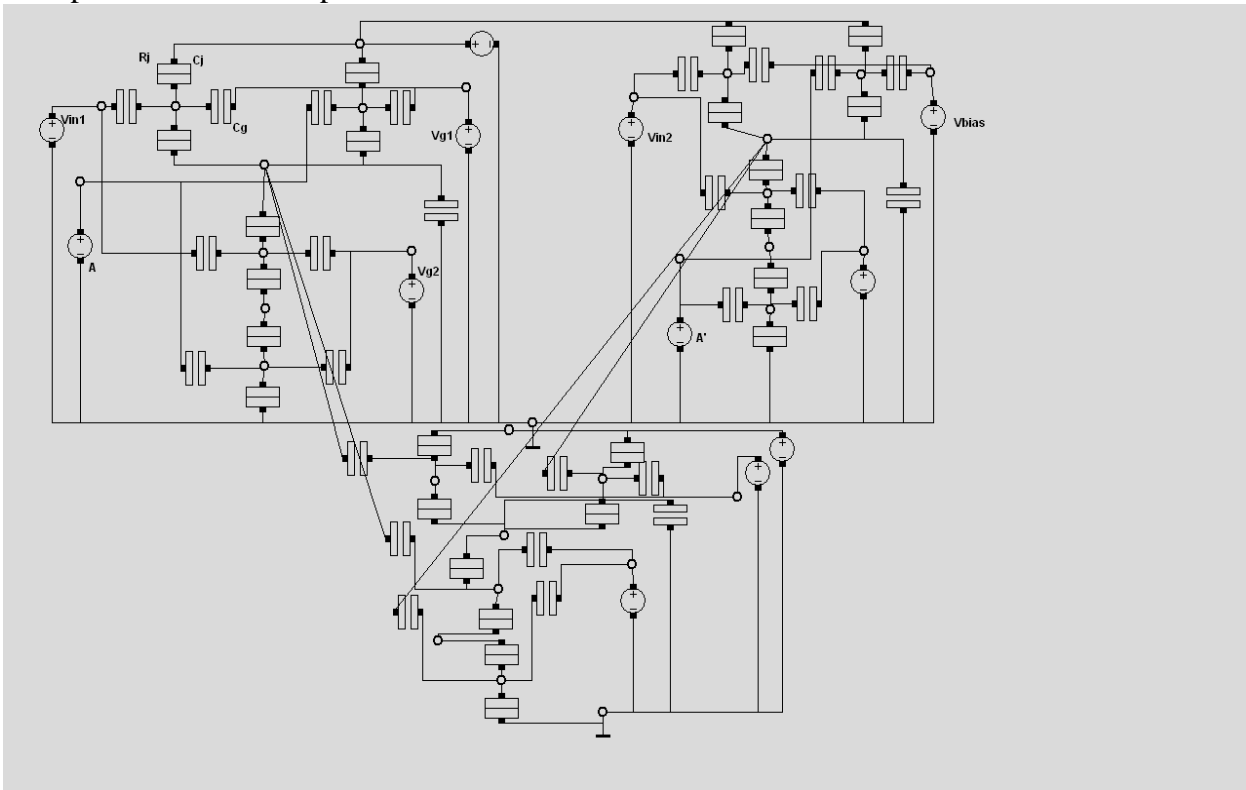


Figura 1.13: Multiplexador feito com portas Não – E Mono elétron no simulador SIMON.

Portanto este circuito também é uma tentativa de desenvolver um circuito análogo à tecnologia CMOS. Nessa arquitetura a capacitância de saída é de extrema importância, pois ela influencia diretamente o balanço de cargas do circuito, já que está conectada ao nó central. O valor desta capacitância foi diminuído em relação a porta Não – E para se obter um melhor funcionamento do conjunto[2]. Os parâmetros utilizados para montagem do multiplexador mostrado na figura 1.12 estão na Tabela 2 [2].

TABELA 2: Parâmetros do Mux Original [2]

Parâmetro	Valor
Capacitância de Junção (C_j)	1aF
Capacitância de Porta (C_g)	2aF
Tensão de Polarização (V_{BIAS})	15mV
Tensão de entrada (V_{IN})	1 e 2
Capacitância de Saída (C_0)	10^{-18} F
Resistência de Junção (R)	1G Ω
Tensão de Gate 1 (V_{g1})	0.05V
Tensão de Gate 2 (V_{g2})	0.15V

O resultado da simulação utilizando os parâmetros acima [2] está expresso na figura 1.14 [2] abaixo. A figura indica que mesmo integrada, a célula Não – E manteve sua funcionalidade [2]. De acordo com o sinal de seleção A apresentamos os valores utilizados para a realização da simulação abaixo. $E0 = 1$ e $E1 = 0$, considerando a figura nota-se se $A = 0$, a saída S é igual a $E0$ que neste caso é 1, se $A = 1$ a saída é $E1$ que neste caso é 0.

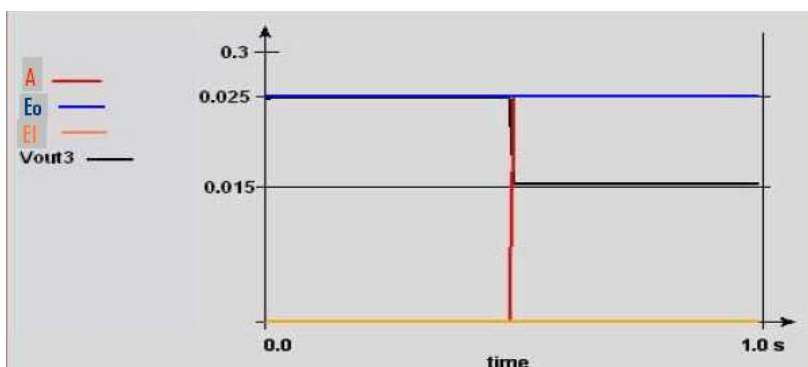


Figura 1.14 : Simulação do Mux em [2] feito no SIMON.

2. METODOLOGIA

O procedimento adotado para desenvolver o estudo proposto neste trabalho está descrito a seguir.

2.1 Estudo do comportamento da porta NÃO-E

Primeiramente um estudo do comportamento do circuito NÃO-E foi feito. Analisaremos esse circuito em três aspectos:

- a) Co-tunelamento (COT)
- b) Carga de Desvio (CD)
- c) Temperatura (T)

Esta análise tem o objetivo de conhecer os limiares de funcionamento deste circuito e suas limitações.

O seguinte procedimento foi adotado para fazer as simulações:

- i) As simulações foram feitas inicialmente nas condições propostas no artigo [2], ou seja, $T = 4.2K$, $CD = 0$ e $COT = 0$.
- ii) A temperatura de simulação foi aumentada gradualmente até alcançar a temperatura máxima suportada pelo circuito.
- iii) Adotando o valor de temperatura da máxima do item anterior, cargas de desvio foram acrescentadas gradualmente até alcançar o valor máximo suportado pelo circuito sem perda de funcionalidade.
- iv) Adotando os valores máximos de T e CD obtidos nos itens 2 e 3 o co-tunelamento foi introduzido ao circuito e aumentado até alcançar o valor máximo suportado.

2.2. Ajuste de Temperatura

Esta etapa do trabalho consiste em modificar o circuito para elevar sua temperatura de operação. A porta Não – E por ser uma unidade básica se torna uma estrutura que se tem um interesse muito grande na elevação de sua temperatura de operação. É um desafio muito grande elevar a temperatura de estruturas nanoeletrônicas devido ao compromisso entre elevação de temperatura e condições de operação adequadas. Este compromisso restringe as modificações possíveis. Os parâmetros deste circuito a serem modificados para chegar a este objetivo são:

- a) Capacitância de porta (gate)
- b) Capacitância de junção
- c) Tensões de polarização
- d) Tensões de entrada

Todas as modificações e ajustes feitos no circuito foram baseadas nas relações entre as capacitâncias de porta e junção fornecidas pelo circuito original [1] e pela equação $Q = CV$. Após a etapa de alcançar a temperatura máxima segue-se um plano similar ao adotado no estudo do comportamento. Analisa-se o circuito em três aspectos nesta ordem:

- i) Temperatura (T)
- ii) Carga de Desvio (CD)
- iii) Co-tunelamento (COT)

2.3. Simulação do multiplexador baseado em portas NÃO-E

Esta parte do projeto consiste em melhorar as condições de funcionamento do multiplexador desenvolvido em trabalho anterior [2]. Este aprimoramento é um dos objetivos centrais deste trabalho. O objetivo é elevar a temperatura de operação. Quer-se esta elevação de temperatura porque este é uma inovação para o estudo da nanoeletrônica mais especificamente uma inovação no estudo desta arquitetura. Se conseguirmos elevar a temperatura de operação para a temperatura ambiente este circuito pode se tornar viável para fabricação, se não for possível, mas mesmo assim conseguirmos elevar esta temperatura alguns Kelvins já será um passo importante para este estudo.

A idéia utilizada nesta parte foi conectar as arquiteturas básicas (célula digital Não – E) que funcionaram a temperatura máxima e verificar se esta propriedade era mantida em circuitos mais complexos.

2.4. Desenvolvimento da metodologia de projeto do circuito da porta Não- E Mono Elétron.

A partir dos resultados obtidos do estudo do comportamento e do ajuste da temperatura de operação foi possível propor uma metodologia de projeto para a porta NÃO-E estudada. A metodologia foi gerada a partir da observação e preservação das relações obtidas entre os valores das capacitâncias de porta e de junção, como desenvolvido em trabalhos anteriores [9] e na relação $Q=CV$. Geralmente, a preservação das relações resulta na preservação do comportamento desejado do circuito.

Outro fator determinante que será utilizado na proposta de uma metodologia é a condição de que a energia eletrostática do sistema deve ser maior que a energia térmica (eq. 1.3), para garantir o tunelamento como mecanismo de transporte predominante. A inequação fornecida por essa condição proporciona a obtenção de relações matemáticas entre as capacitâncias, cargas e temperatura de operação do circuito.

3. RESULTADOS OBTIDOS

Este capítulo retrata os resultados obtidos ao se aplicar a metodologia proposta no capítulo 2.

3.1. Resultados do estudo do comportamento da porta Não-E.

3.1.1 Temperatura

O primeiro resultado a ser apresentado é o da simulação para as diferentes faixas de temperatura. O primeiro valor utilizado foi o sugerido em [1], $T = 4.2K$. Em todas as simulações são utilizados os intervalos expressos na Tabela 2, que são:

00 01 10 11 e para esta informação ser mais completa a cada 1s as entradas mudam. Isto está melhor especificado na tabela 3.

TABELA 3 : Intervalos de Tempo e respectivas entradas.

Tempo	Vin1	Vin2
0s a 0.99s	0	0
1s a 1.99s	0	1
2s a 2.99s	1	0
3s a 4s	1	1

Como pode ser notado na figura 3.1.

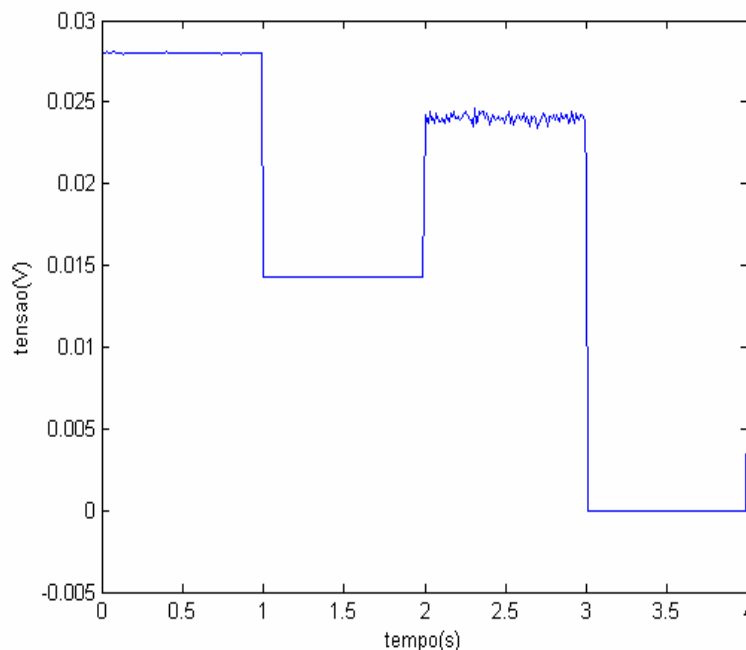


Figura 3.1: Simulação da Porta Não – E a Temperatura de 4.2K

Considera-se que quando a tensão de saída é maior que zero, ou seja, $V_{out} > 0$ tem-se nível lógico '1' e quando temos $V_{out} \leq 0$, o nível lógico '0' é obtido. A mesma consideração foi feita em trabalhos anteriores[4] que abordam circuitos digitais. Esta consideração é adotada pra todas as simulações feitas neste trabalho.

As próximas figuras fazem referência aos aumentos graduais de 2 em 2 Kelvin. Mantendo as entradas como especificadas acima.

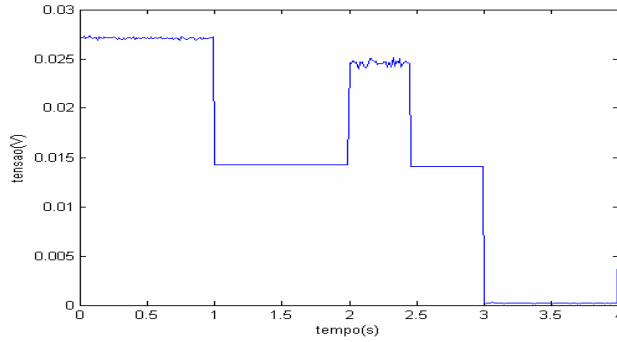


Figura 3.2: Simulação da Porta Não – E a Temperatura de 6.2 K

Na saída com a temperatura de 6.2 K podemos observar uma pequena modificação em relação à saída original. Esta modificação não compromete o funcionamento da porta Não-E. Portanto esta é uma temperatura de operação viável para o circuito original.

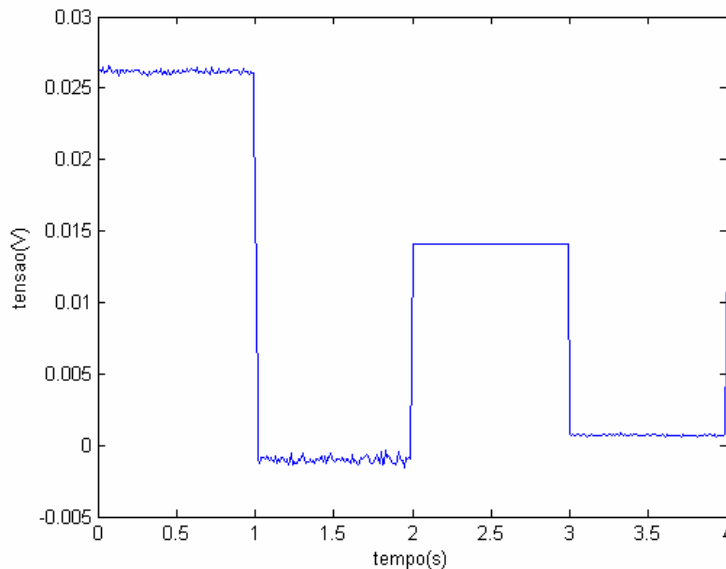


Figura 3.3 : Simulação da Porta Não – E a Temperatura de 8.2 K

Na saída da temperatura de 8.2K pode ser observada uma mudança mais significativa em relação à saída original. Esta mudança compromete o circuito não podendo mais ser considerado uma porta Não-E. Entretanto foi feita a última simulação para cumprir com o que foi definido na metodologia de trabalho. Esta está mostrada no Apêndice A.1. Esta próxima simulação tem o intuito de encontrar o valor limite da temperatura para o qual o circuito ainda se comporta como uma porta Não-E. Este refinamento é importante para que as simulações de CD e COT possam ser feitas com a maior temperatura possível. O valor encontrado para temperatura foi de 6.36 K. A simulação está expressa abaixo.

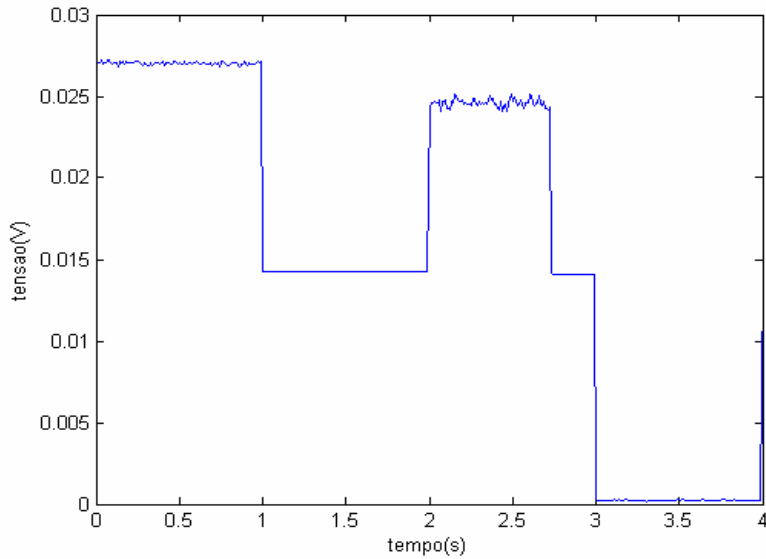


Figura 3.4: Simulação da Porta Não – E a Máxima Temperatura encontrada de 6.36K

A próxima simulação feita foi a de carga de desvio considerando a maior temperatura possível, ou seja, 6.36 K.

3.1.2 Carga de Desvio

Como explicado na metodologia as cargas de desvio foram aumentadas gradualmente até o máximo valor suportado pelo circuito. A primeira simulação mostrada na figura 3.5 faz referência a carga de desvio no valor de $-0.02e \leq CD \leq 0.02e$.

O SIMON fornece a possibilidade de acrescentar cargas de desvio a partir de determinado valor ajustado pelo usuário. As simulações foram feitas considerando os valores expressos na tabela 4, em que e é a carga elementar $1.6 \times 10^{-19} \text{ C}$:

TABELA 4: Faixas adotadas para cargas de desvio

$-0.02e \leq CD \leq 0.02e$	$-0.04e \leq CD \leq 0.04e$	$-0.06e \leq CD \leq 0.06e$
-----------------------------	-----------------------------	-----------------------------

As simulações estão representadas nas figuras 3.5 , 3.6, 3.7.

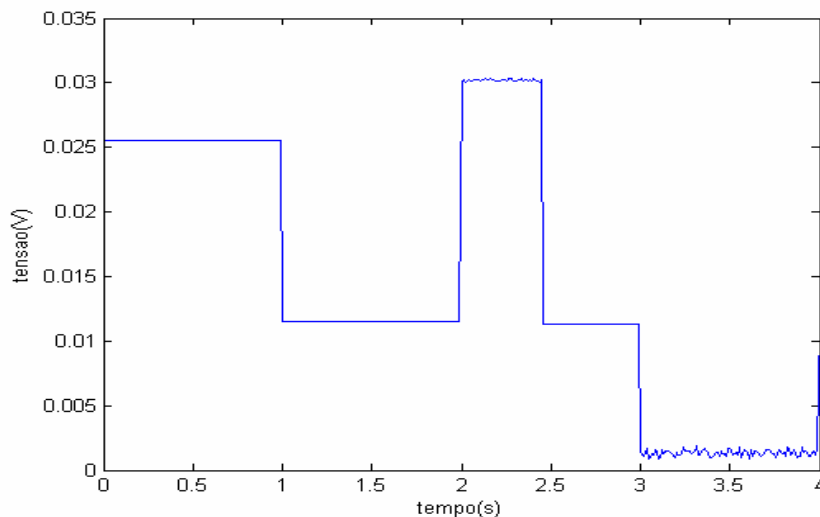


Figura 3.5: Simulação da Porta Não – E com uma Carga de desvio de $-0.02e \leq CD \leq 0.02e$

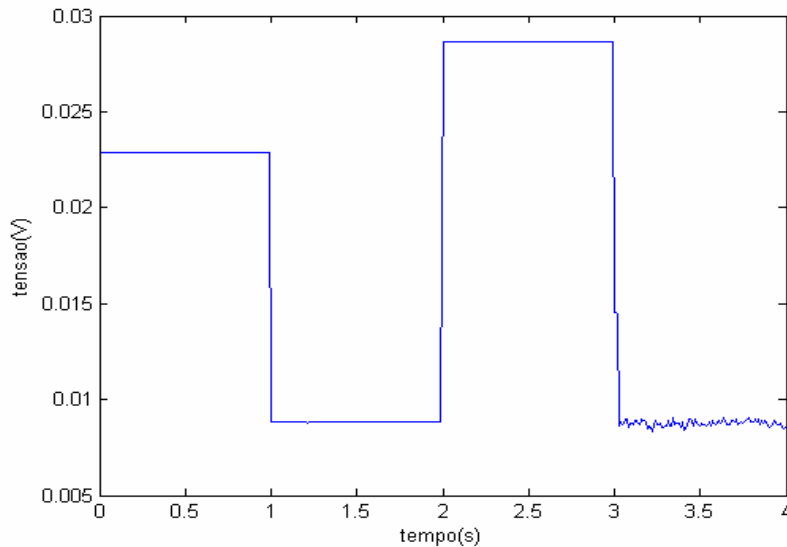


Figura 3.6: Simulação da Porta Não – E com uma Carga de desvio de $-0.04e \leq CD \leq 0.04e$

A última simulação assim como a anterior mostra que o circuito não funciona para a faixa de carga de desvio de $-0.06e \leq CD \leq 0.06e$ está figura está no Apêndice A.2. Da mesma forma feita para a temperatura, pode ser encontrada a maior carga de desvio possível para o sistema para assim poder simular o co-tunelamento como sugerido na metodologia. O valor encontrado foi 0.028. E a simulação deste está na figura 3.7.

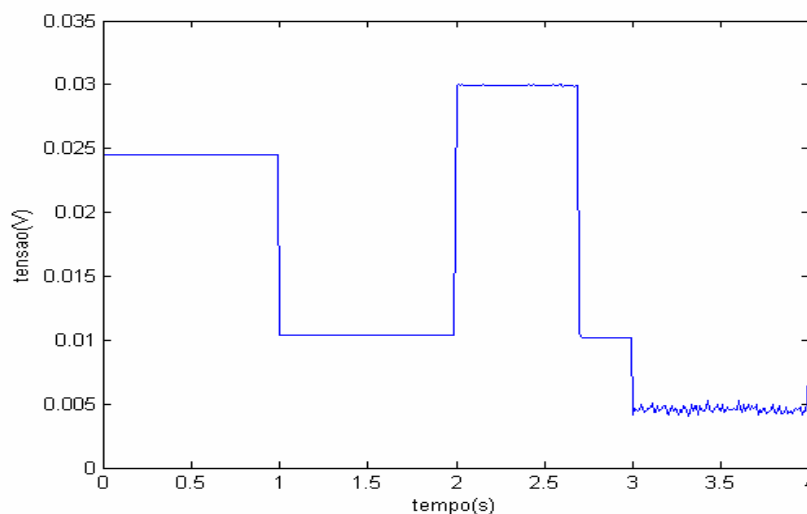


Figura 3.7 : Simulação da Porta Não – E para a Máxima carga de Desvio encontrada de $-0.028 \leq CD \leq 0.028$

3.1.3 Co – Tunelamento

A simulação a ser analisada agora é a do co-tunelamento. A ordem de tunelamento original é 1. A representação deste tunelamento para a máxima temperatura e a máxima carga de desvio está na figura 3.7 acima. Nesta etapa a ordem de co-tunelamento foi elevada gradualmente para alcançarmos o valor máximo. A figura 3.8 retrata a ordem de co-tunelamento igual a 2.

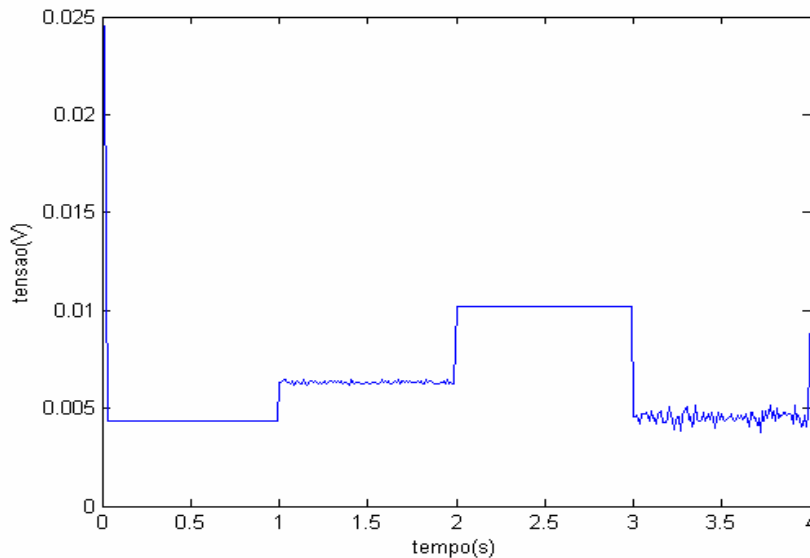


Figura 3.8: Simulação da Porta Não – E para uma Ordem de co-tunelamento igual a 2.

Com esta imagem já podemos concluir que para a ordem de co-tunelamento igual a 2 o sistema já não opera mais como uma porta Não-E. Então a máxima ordem de co-tunelamento possível é 1. Uma consideração importante é que ao aumentar a ordem de co-tunelamento foi observado que os tempos de simulação aumentam. As ordens de tunelamento e os respectivos tempos de simulação estão listados abaixo em uma tabela.

TABELA 5: Ordem de Co-tunelamento usada nas simulações

Ordem de Co-tunelamento	Tempo de simulação
1	3 seg
2	10 seg

3.2 Ajuste de Temperatura.

Com o objetivo de elevar a temperatura de operação para o mais próximo possível da temperatura ambiente mantendo o comportamento esperado da porta Não – E (figura 1.9 e tabela 2) foram feitas algumas modificações nos parâmetros do circuito. Os parâmetros a serem modificados estão expressos no item 2.2 deste trabalho. De acordo com a equação 1.3 que diz que Energia Eletrostática deve ser maior que Energia Térmica e com isso cria uma relação entre capacitância e temperatura a seguinte modificação foi feita: redução das capacitâncias de porta e elevação das tensões de entrada ao mesmo tempo por um fator de 100, ou seja divisão do valor das capacitâncias por 100 e multiplicação dos valores das tensões por 100.

3.2.1 Temperatura

A simulação abaixo foi feita para a temperatura de 273K. O resultado desta configuração está na figura abaixo. Vale lembrar que todas as simulações deste item obedecem as entradas citadas na Tabela 3.

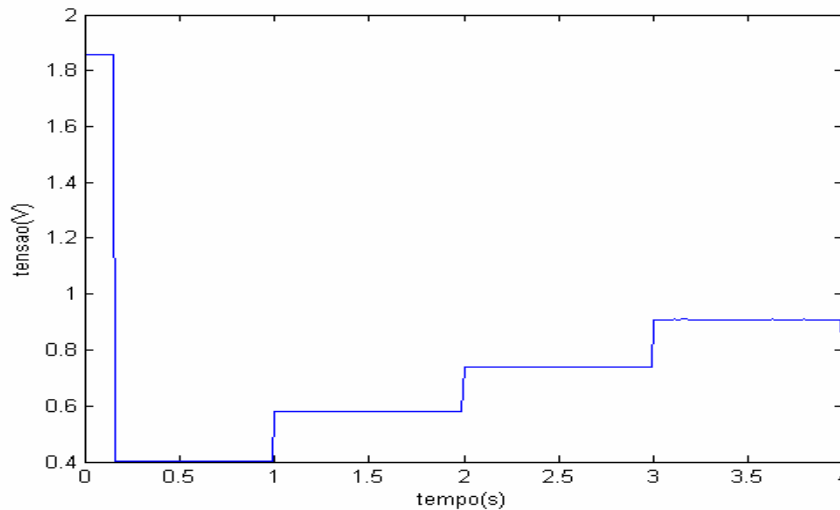


Figura 3.9: Simulação da Porta Não – E para realizar o Ajuste de temperatura, a temperatura utilizada é 273 K.

A saída apresenta claramente que o circuito não tem o comportamento esperado para uma porta Não-E (figura 1.9 e tabela 2), ou seja, as modificações de parâmetros implantadas para esta simulação não são uma escolha viável já que o circuito não opera como o desejado. A tabela 6 expressa as tensões de entrada utilizadas para estas simulações, simulações com fator multiplicativo de 100.

TABELA 6: Valores das tensões de entrada

Tensões de Entrada	Valores
Alta	2.0
Baixa	-0.05

Como visto na figura 3.9 não há uma caracterização de uma porta Não-E. Várias outras modificações foram feitas, mas nenhuma de relevância para o avanço deste trabalho, todas elas estão contidas no Apêndice A. Abaixo estão as modificações que efetivamente elevaram a temperatura do circuito conservando as condições de operação de uma porta Não-E. No decorrer das diversas simulações feitas foi percebido que a saída sofria um deslocamento para cima em relação ao nível zero, ou seja, todos os valores de saída de nível lógico alto ou baixo estavam em patamares superiores aos desejados (ilustrado na figura 1.9). Para reduzir este deslocamento da saída em relação ao nível '0' foi adicionada uma fonte de tensão ao final da porta Não-E, como ilustrado na figura. A esta fonte foi atribuído o valor negativo. A nova tensão tem valor de -0.15V. A tensão de polarização V_{bias} tem o valor de 0.1 V.

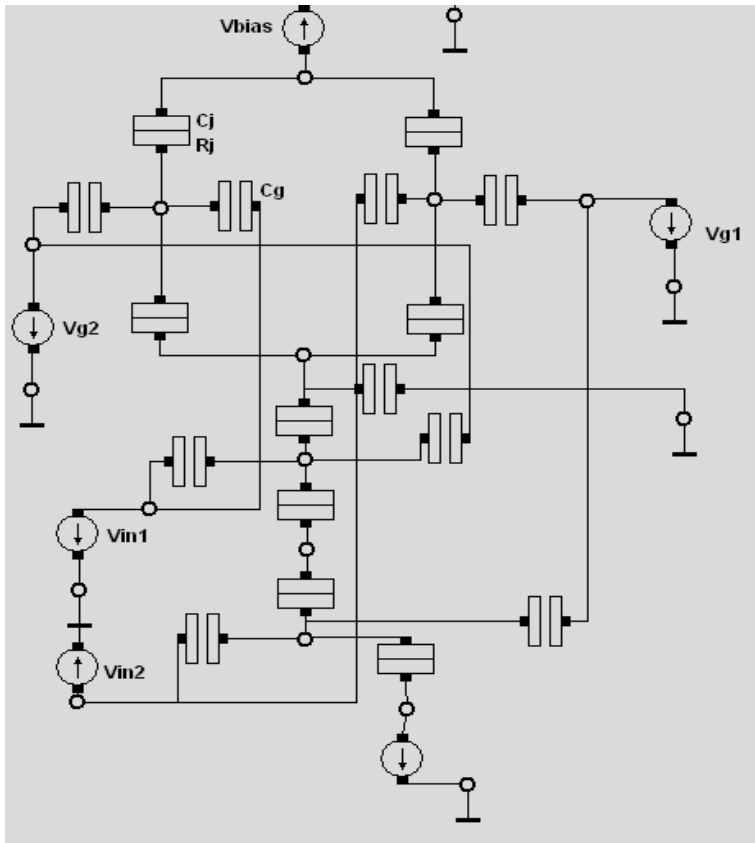


Figura 3.10: Circuito da Porta Não – E com Acréscimo de fonte de Tensão, circuito retirado do SIMON.

Para dimensionar um circuito que opere em temperaturas maiores utilizou-se como referencia a relação $E_{\text{eletrostática}} > E_{\text{Térmica}}$. Que é expressa em forma de equação:

$$\frac{e^2}{2C} > K_B T \quad (\text{eq. 3.1})$$

Manipulando esta equação chegamos a :

$$C < \frac{e^2}{2K_B T} \quad (\text{eq. 3.2})$$

Através dessa relação pode-se concluir que, para este trabalho, reduzindo o valor da capacitância consegue-se uma temperatura de operação maior, ou seja, a capacitância possui relação inversamente proporcional com a temperatura. Isto está demonstrado mais detalhadamente no item 3.3 deste trabalho. Portanto, reduziu-se todo o sistema por um fator de 10. Os valores das capacitâncias e tensões de entrada da configuração original foram divididos por 10. Além disso, baseando-se na relação $Q = CV$, onde $Q = e$, todas as tensões foram multiplicadas por 10. Com esses novos valores, mostrados na Tabela 6, o circuito foi novamente simulado aumentando-se a temperatura gradualmente até o valor máximo. O resultado obtido para $T=150 \text{ K}$ está mostrado na figura 3.11.

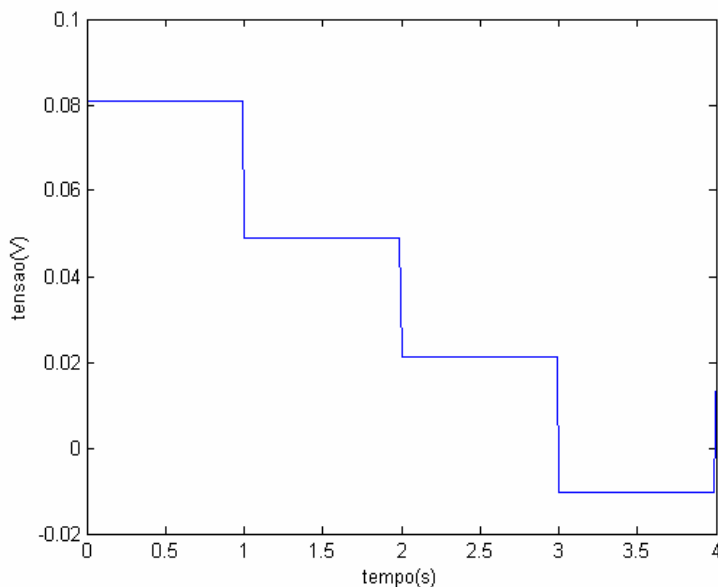


Figura 3.11 : Simulação da porta Não – E para a temperatura de 150K

A simulação apresentada acima foi a melhor obtida dentre todas as simuladas. Ela apresenta o comportamento desejado para uma porta Não –E, ou seja, similar a figura 1.9 e a tabela 2. Apesar de não apresentar as três primeiras saídas das entradas correspondentes niveladas assim como apresenta a figura 1.9, estas saídas apresentam nível lógico 1 como desejado. E a ultima saída apresenta nível lógico zero como desejado. Os valores utilizados estão dispostos na tabela abaixo.

TABELA 7: Valores da porta Não – E ajustados

Tipo	Valores
Capacitância de porta (Cg)	0,1 aF
Capacitância de junção (Cj)	0,1 aF
Resistência (Rj)	100 MΩ
Tensão de polarização NMOS (Vg2)	1 V
Tensão de polarização PMOS (Vg1)	3 V
Tensão de entrada	0.25 V

Baseado em um trabalho anterior [1] no fator de multiplicação utilizado e em simulações no Simon foi encontrada a tensão de polarização da porta de 1.0 V para o Transistor Mono elétron que estiver operando como NMOS e 3.0 V para o transistor que estiver operando como PMOS, que está melhor especificada no item 1.5 para a Porta Não – E original e para a porta que operou a 150K foi apenas multiplicada por 10.

3.2.2 Carga de Desvio

Aplicou-se nesta etapa o mesmo raciocínio aplicado na metodologia do estudo do comportamento da porta Não – E. Após encontrar a máxima temperatura, utiliza-se este valor para encontrar a máxima carga de desvio para o circuito ajustado.

O valor da primeira simulação é o valor encontrado no estudo do comportamento da porta Não – E. O valor encontrado e utilizado nesta simulação é $-0.028 \leq CD \leq 0.028$, e a simulação está representada na figura abaixo.

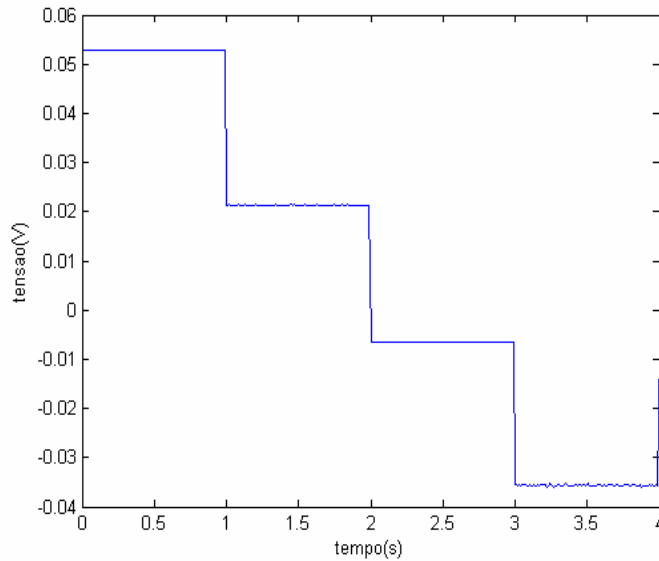


Figura 3.12: Simulação da porta Não – E para a máxima temperatura de 150K e carga de desvio de $-0.028 \leq CD \leq 0.028$

Como pode ser observado na figura, esta faixa de cargas de desvio apresenta saída que não configura uma porta Não – E(Tabela 2). Ela apresenta dois níveis lógicos iguais a zero, o que constitui um erro já que para a porta Não – E apenas o último nível deve ser zero. A figura 3.13 mostra o resultado da simulação para a máxima carga de desvio encontrada para esta configuração, após refinamento de valores. A faixa de valores máxima é $-0.022 \leq CD \leq 0.022$. Este valor será analisado no capítulo 4.

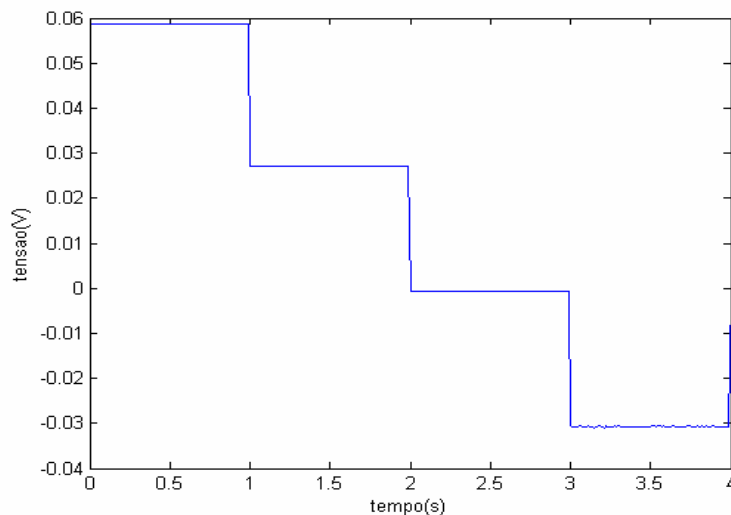


Figura 3.13: Simulação da Porta Não – E para máxima temperatura de 150K e Máxima carga de desvio encontrada de $-0.022 \leq CD \leq 0.022$

3.2.3 Co - Tunelamento

Agora com a máxima carga de desvio faremos uma simulação para encontrar o máximo co-tunelamento possível, assim como a metodologia proposta para o estudo do

comportamento. A simulação abaixo expressa a saída para uma ordem de co-tunelamento igual a 2.

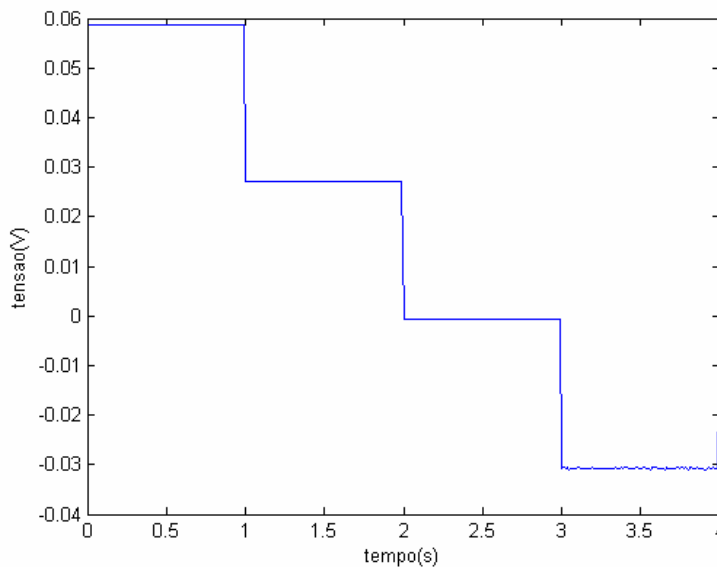


Figura 3.14: Saída do circuito da porta Não - E para simulações que tem a máxima temperatura de 150 K, máxima carga de desvio de $-0.022 \leq CD \leq 0.022$ cuja ordem de co-tunelamento é igual a 2,3,4 ou 5.

Para este circuito a ordem de co-tunelamento foi simulada até 5. É provável que o circuito aceitasse uma ordem de co-tunelamento maior entretanto o tempo de simulação não era viável a partir deste ponto. Todas as simulações até ordem 5 apresentaram a saída mostrada na figura 3.14, ou seja, de acordo com o comportamento da porta Não – E. Este resultado será analisado no capítulo 4.

3.3 MUX Mono Elétron

A simulação apresentada neste tópico é a do multiplexador. A temperatura implementada no circuito original é de 4.2 K [1]. A contribuição desejada para esta parte do trabalho é a elevação da temperatura de operação para pelo menos 150 K, valor obtido na porta Não-E, que é o circuito base para este multiplexador mono-elétron. Os valores foram encontrados baseando-se na relação entre energia eletrostática e energia térmica (eq. 1.3) e a relação $Q=CV$. Os parâmetros deste sistema estão listados na tabela 9.

A Figura 3.15 expressa a operação do MUX original [2]. Esta figura representa apenas a saída, uma forma melhor de visualizar com entradas e saídas esta expressa na figura 1.13. A simulação feita para esta etapa considera apenas um padrão de entrada. E este é:

$E0=1$, que vale 2.5 V
 $E1=0$, que vale 0 V

Este padrão de entrada é utilizado para sermos capazes de realizar uma comparação do MUX ajustado com o original de forma satisfatória. Antes de apresentar as imagens tem-se uma tabela que expressa as saídas desejadas e em conjunto com a figura 1.13 expressa o comportamento esperado para o MUX. As saídas são mostradas nas figuras 3.15 e 3.16:

TABELA 11: Tabela verdade do MUX

	A	E0	E1	S
$t < 0,5$	0	0	1	1
$t > 0,5$	1	0	1	0

A figura 3.15 ratifica a tabela acima, pois ela é a saída do MUX original [2] que apresenta funcionamento padrão para este trabalho. O sinal de seleção A e as entradas foram suprimidas nas figuras abaixo para que a comparação fosse feita de forma mais fácil.

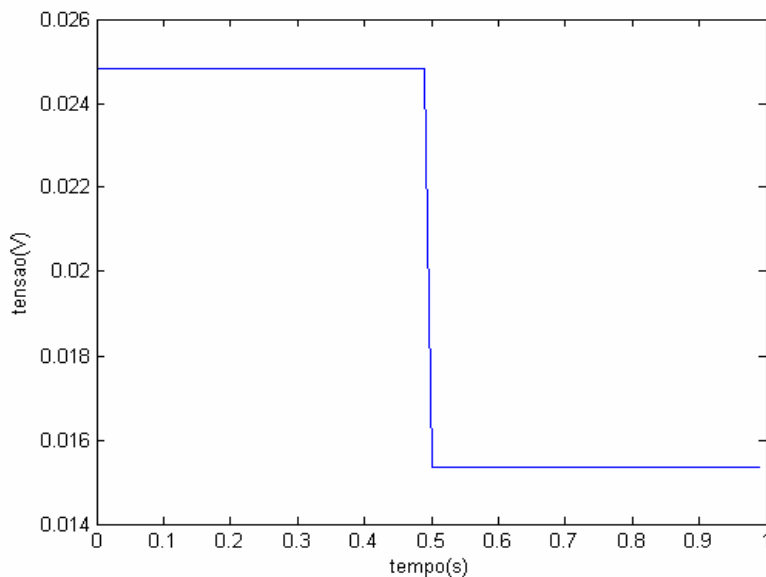


Figura 3.15: Saída da arquitetura do MUX mono elétron do trabalho original [2]

Fazendo referência a tabela 10 que traz os valores dos parâmetros do MUX após serem ajustados, foi-se capaz de fazer a simulação abaixo considerando os mesmos valores de entrada que foram utilizados para o MUX original [2]. $E0 = 1$ e $E1 = 0$, considerando a o circuito original deveríamos notar que para $A = 0$, a saída S é igual a $E0 = 1$, se $A = 1$ a saída é $E1 = 0$. Entretanto isto não foi observado para este circuito.

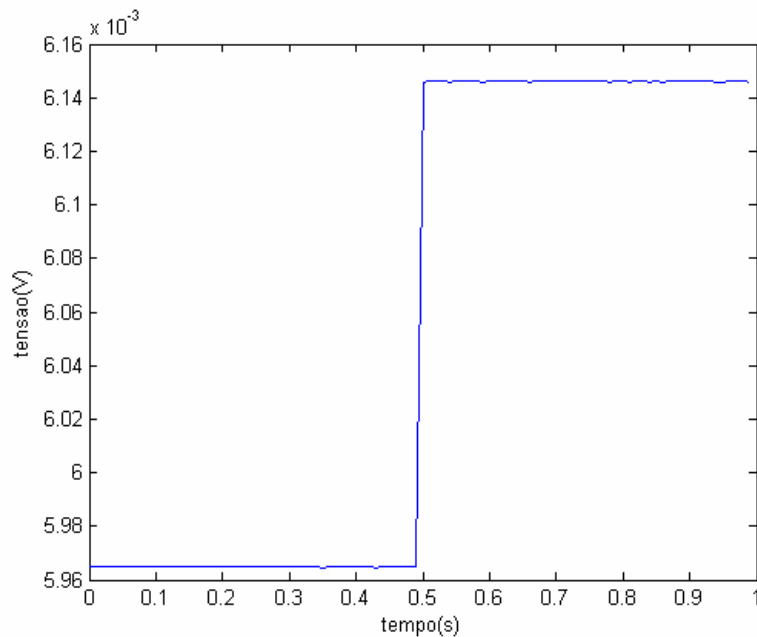


Figura 3.16:Saída da arquitetura do MUX após ajustes feitos.

A figura 3.15 revela que o MUX não opera satisfatoriamente na temperatura proposta. Ele apresenta saída invertida. Isto significa que os parâmetros encontrados com a metodologia aplicada não são capazes de fazer o circuito operar como o Multiplexador desejado. Este resultado será analisado no capítulo 4.

3.4 Metodologia de projeto

3.4.1 Projeto da porta NÃO – E.

O dispositivo desenvolvido neste trabalho é a porta Não - E de duas entradas. O objetivo desta parte do projeto é apresentar uma metodologia a ser desenvolvida para o projeto deste circuito a partir de uma especificação.

O funcionamento em temperatura ambiente seria uma grande conquista para a nanoeletrônica mas para chegar a este ponto assim como as grandes evoluções tecnológicas gasta-se tempo e dinheiro em pesquisas. Entretanto este seria um grande passo, mas para chegarmos a grandes conquistas precisamos iniciar com passos menores primeiro. Considerando este pensamento o ajuste de temperatura para 150K é uma contribuição relevante para esta área da tecnologia. A metodologia aqui discutida para o projeto da Porta Não – E foi feita após os ajustes serem feitos. Então primeiro realizou-se as modificações no circuito para elevar sua temperatura de operação e depois criou-se a metodologia para auxiliar em modificações similares.

Foram utilizadas como base as relações obtidas entre as capacitâncias da tabela 9.

A Figura 3.10 mostra a Porta Não – E mono elétron de duas entradas, implementada neste trabalho. Abaixo estão as etapas para montagem da metodologia.

Primeiro identifica-se a razão entre a capacitância da porta e a capacitância da junção (C_j/C_g). Esta segue a expressão:

$$C_j = 1 \times C_g \text{ (eq. 3.3)}$$

O circuito foi simulado diversas vezes variando a temperatura de operação para análise da dependência com a temperatura e para encontrar a máxima temperatura de operação. Para este circuito de acordo com as relações $E_{\text{eletrostática}} > E_{\text{Térmica}}$ e $Q = CV$ foram obtidos os valores expressos na tabela 9. Com base nas relações entre os valores de capacitância e tensões da tabela 9 foi possível desenvolver uma metodologia de projeto para o circuito. Como especificação foram escolhidos os valores da tensão de entrada e temperatura de operação. Para mostrar a metodologia será utilizado como modelo o circuito que funciona a 150 K.

Especificação:

1º) Tensões de entrada e temperatura de Operação

TABELA 12 : Especificação de tensão de entrada e temperatura de operação

Vent ₁ (V)	0,25
Temperatura (K)	150

2º) Cálculo da faixa de capacitância

Esta etapa consiste em relacionar as faixas de capacitância realizáveis para este circuito para diferentes temperaturas. Como já visto anteriormente, para que este circuito seja operacional ele deve obedecer:

$E_{\text{eletrostática}} > E_{\text{Térmica}}$,

Logo

$$\frac{e^2}{2C} > K_B T \quad (\text{eq. 3.4})$$

$$C < \frac{e^2}{2K_B T} \quad (\text{eq. 3.5})$$

Como já demonstrado anteriormente. C é a faixa de capacitâncias, e é a carga elementar, T é a temperatura em que o circuito irá operar e K_B é a constante de Boltzmann. Para os valores do circuito a 150K, a capacitância deve atender a condição:

$$C < 6,18 \text{ aF}$$

3º) Relação entre a tensão de entrada e a capacitância

O princípio fundamental das relações que estamos trabalhando é

$$Q = C \cdot V_{\text{ent}} \quad (\text{eq. 3.6})$$

Considerando então os valores da simulação utilizada temos :

$$Q = e = 1,6 \times 10^{-19}$$

$$V_{\text{ent}} = 0,25 \text{ V}$$

$$C_{\text{ent}} = 1,0 \times 10^{-19}$$

Temos então:

$$\frac{e}{6,4} = C_{\text{ent}} V_{\text{ent}} \quad (\text{eq. 3.7})$$

$$C_{ent} = \frac{1}{6,4} \frac{e}{V_{ent}} \quad (\text{eq. 3.8})$$

Para o circuito em questão temos que:

$$C_j = C_{ent} = C_{load} = C_g \quad (\text{eq. 3.9})$$

4º) Relação entre a Tensão de Polarização da circuito que opera como PMOS e a Capacitância de Entrada

$$Q = V_p \times C_{ent} \quad (\text{eq. 3.10})$$

Com os devidos cálculos e sabendo que $V_p = 3V$, chegamos a seguinte relação:

$$1,875e = V_p \times C_{ent} \quad (\text{eq. 3.11})$$

$$V_p = 1,875 \frac{e}{C_{ent}} \quad (\text{eq. 3.12})$$

5º) Relação entre a tensão de polarização do circuito que opera como NMOS e a Capacitância de Entrada

$$Q = V_n \times C_{ent} \quad (\text{eq. 3.13})$$

Sabendo que $V_n = 1V$, temos :

$$0,625e = V_n \times C_{ent} \quad (\text{eq. 3.14})$$

$$V_n = 0,625 \frac{e}{C_{ent}} \quad (\text{eq. 3.15})$$

6º) Tolerância

Da relação $Q=CV$ podemos encontrar a tolerância do circuito. Sabe-se que para o circuito continuar operando no bloqueio de Coulomb a CV deve estar na seguinte faixa de valores :

$$\frac{-e}{2} < C_{ent} V_{ent} < \frac{e}{2} \quad (\text{eq. 3.16})$$

$$\frac{-e}{2V_{ent}} < C_{ent} < \frac{e}{2V_{ent}} \quad (\text{eq. 3.17})$$

O diagrama abaixo mostra a metodologia desenvolvida:

Dados V_{ent} e T, temos:

$$i) C < \frac{e^2}{2K_B T}$$

$$ii) C_{ent} = \frac{1}{6,4} \frac{e}{V_{ent}}$$

$$iii) V_p = 1,875 \frac{e}{C_{ent}}$$

$$iv) V_n = 0,625 \frac{e}{C_{ent}}$$

$$v) \frac{-e}{2V_{ent}} < C_{ent} < \frac{e}{2V_{ent}}$$

Após a apresentação desta metodologia apresentam-se dois exemplos para verificação da validade da metodologia.

EXEMPLO 1

Especificação:

- $V_{ent} = 0,1 \text{ V}$

Temp. = 1 mK

Seguindo a metodologia acima os seguintes valores foram encontrados :

TABELA 13: Resultados encontrados para os cálculos do exemplo 1

$C_j = C_g =$ $C_{load} =$ C_{ent}	$2,5 \times 10^{-19}$
V_p	3 V
V_n	1 V

Este exemplo foi simulado no Simon e o resultado está registrado no circuito abaixo. A partir disto confirmamos o funcionamento adequado do circuito.

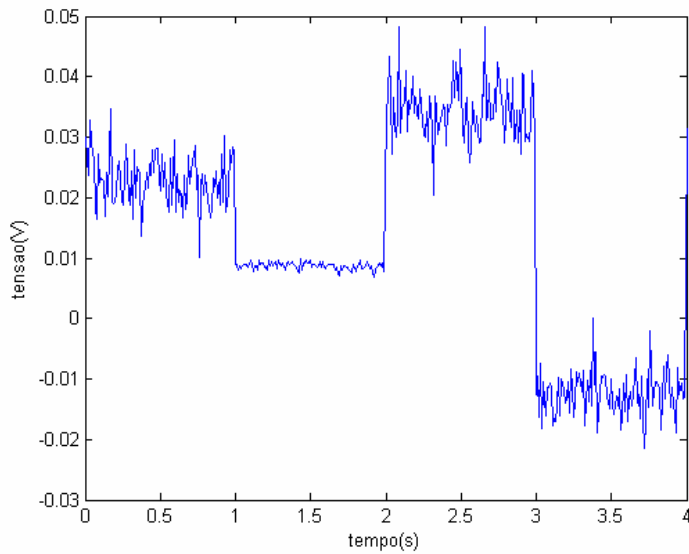


Figura 3.12: Saída para simulação feita com as especificações do Exemplo 1

EXEMPLO 2

- $V_{ent} = 1 \text{ V}$

Temp. = 300 K

Seguindo a metodologia encontramos:

TABELA 15: Resultados encontrados para os cálculos do exemplo 3.

$C_j = C_g =$	$0,25 \times 10^{-19}$
$C_{load} =$	
C_{ent}	
V_p	3 V
V_n	1 V

A imagem gerada no MATLAB referente a simulação deste exemplo é :

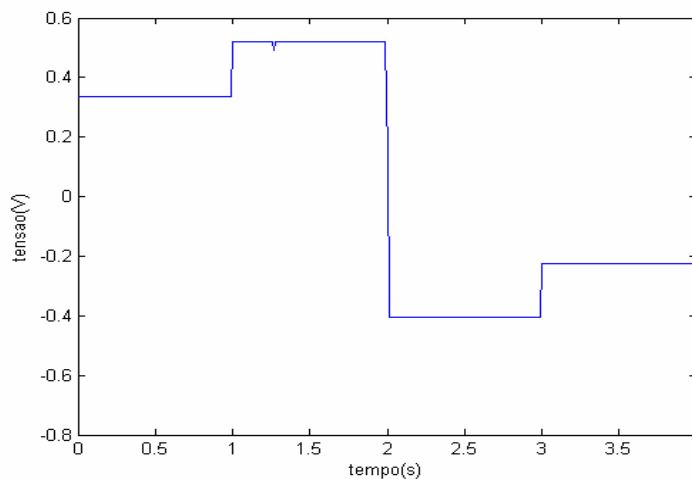


Figura 3.13: Saída para simulação feita com as especificações do Exemplo 2

Com esta imagem comprovamos que o sistema não funciona acima de 150 K. Apresentando uma distorção na saída já que o último nível deve apresentar nível lógico '0'.

4. DISCUSSÃO DOS RESULTADOS

4.1 Estudo do comportamento da Porta Não – E

4.1.1 Temperatura

Foi observado nesta etapa do projeto que o circuito apresentou uma temperatura de operação de 6.36K que foi maior que a apresentada no artigo de origem, 4.2 K [1]. Este fato pode ocorrer por alguns motivos, acredita-se que o mais relevante seja o fato de o simulador utilizado no trabalho anterior seja o Spice e o simulador utilizado neste trabalho seja o SIMON. Por serem simuladores distintos esta diferença observada é plausível.

4.1.2 Carga de Desvio

A conclusão tirada dos resultados obtidos através das simulações é que o circuito não pode ser considerado como um circuito robusto. Considera-se isto pois algumas referências admitem cargas de desvio resultantes da fabricação em torno de 10%e, e acima deste valor atribuem a característica de robustos para os circuito. Este circuito apresenta valores em torno de 2.8%e o que é bem abaixo do considerado.

4.1.3 Co - Tunelamento

Este circuito não admite co-tunelamento, já que sua ordem de co-tunelamento é no máximo 1. Este fato constitui um problema, quando se trata de interconexões. Por não permitir mais de um tunelamento por vez, esta porta lógica não permite que seja conectada a várias outras, pois o sistema não funcionaria.

4.2 Ajuste de Temperatura

4.2.1 Temperatura

Diminuindo os valores das capacitâncias obtêm-se como resultado a elevação da temperatura pela relação da eq.1.3 e $Q=CV$. Como o circuito do trabalho anterior [2] opera como uma porta Não – E satisfatoriamente as relações existentes neste dispositivo foram mantidas, apenas os valores foram alterados, elevados ou reduzidos dependendo do parâmetro. Seguindo esta linha de raciocínio este trabalho conseguiu elevar a temperatura de operação da porta Não – E para 150 K. A porta apresentou resultado satisfatório a esta temperatura.

4.2.2 Carga de Desvio

Os resultados obtidos nesta seção foram abaixo do esperado. O mínimo que desejava-se era uma carga de desvio no valor do obtido no estudo do comportamento de 2.8%e. Entretanto o valor obtido foi de 2.2%e. Este valor mostra que o sistema a 150K é não robusto assim como o original com uma tolerância menor a cargas de desvio que este.

4.2.3 Co – Tunelamento

A simulação com relação ao co-tunelamento revelou uma característica muito interessante deste circuito. Foi simulado até a ordem de co-tunelamento 5 e até este valor a saída do circuito é a mesma apresentada para a ordem de co-tunelamento 1. Isto mostra que a porta Não – E a 150K deste trabalho é bem tolerante ao co-tunelamento. Esta característica é importante quando se trata de interconexões, várias portas poderão ser interconectadas e funcionarão sem apresentar a limitação do circuito original.

No estudo do comportamento da célula digital operando a 150K percebe-se que as cargas de desvio diminuem e a ordem de co-tunelamento que o circuito suporta aumenta. Esta situação ocorre porque ao elevar a temperatura reduz-se as capacitâncias do circuito. A modificação deste parâmetro eleva a barreira de potencial que o elétron deve transpor para entrar e sair da ilha, a elevação da barreira faz o circuito ficar mais sensível a cargas de desvio. Entretanto torna o circuito mais robusto quanto ao co-tunelamento por apresentar uma barreira de potencial maior.

4.3 Mux Mono Elétron

O procedimento adotado nesta etapa não surtiu o efeito desejado. Ao conectar a porta Não – E que funciona a 150K, percebe-se que o sistema não opera satisfatoriamente. Isto pode ter ocorrido devido a baixa tolerância a cargas de desvio apresentada pela porta Não – E.

4.4 Metodologia de Projeto

A metodologia de projeto desenvolvida neste trabalho a partir das modificações implementadas na porta Não – E mostrou-se eficaz. Os seis passos adotados no item 3.4.1 a partir de uma especificação de projeto cobrem todos os limiares necessários para que o tunelamento possa ocorrer, para que as capacitâncias e tensões mantenham a relação desejada, e para que a tolerância do circuito seja aceitável.

5. CONCLUSÃO

Este trabalho teve por objetivo elevar a temperatura de operação de uma porta Não – E desenvolvida em trabalho anterior [2]. E aplicar a mesma metodologia para um multiplexador também com o objetivo de elevação da temperatura.

A nanotecnologia permite que pequenas mudanças em parâmetros como capacitância, tensão de polarização, temperatura, entre outros surtam grande efeito para uma modificação considerável da saída. O grande desafio é conseguir modificar estes parâmetros para que eles forneçam as condições de operação desejáveis. Para o multiplexador, esta tarefa é um pouco mais árdua, pois a integração de portas lógicas como é o caso altera significativamente o balanço de cargas nos nós das células.

O Capítulo 2 traça uma metodologia de projeto a ser seguida. Expressa uma análise de desempenho da arquitetura proposta [2]. Esta análise objetiva avaliar os seguintes parâmetros: temperatura de operação, cargas de desvio e co-tunelamento. Os resultados desta análise estão relatados no Capítulo 3, com ela conseguimos encontrar os pontos máximos de operação para os quesitos acima, considerando a arquitetura original. A conclusão tirada nos resultados deste tópico é que o circuito é pouco vulnerável a mudanças significativas em seus parâmetros originais. Poucas variações puderam ser feitas, grandes mudanças provocaram grandes ruídos e estes prejudicavam o circuito de tal forma que descaracterizavam uma porta Não – E. Especificando cada um dos parâmetros:

- Temperatura de operação: a temperatura inicial é de 4.2 K a máxima temperatura alcançada foi de 6.36 K, ou seja, um aumento de 2.16 K. Realmente este não é um aumento nada significativo. Esta arquitetura permitiu pouca flexibilidade em relação ao aumento de temperatura.

- Carga de desvio: a máxima carga de desvio alcançada foi de $0.028e$, ou seja, $2.8\%e$. Um valor razoável seria em torno de 10%, logo temos um valor bem abaixo desse patamar.

- Co-tunelamento: O circuito não permitiu uma ordem maior que 1.

O ajuste de temperatura tem seu roteiro expresso no Capítulo 2. Os resultados e análises estão no Capítulo 3. Esta etapa do trabalho visou elevar a temperatura de operação da porta Não – E. Esta etapa empírica conseguiu chegar a resultados bem satisfatórios. Ainda não foi possível colocar esta arquitetura em funcionamento a temperatura ambiente mas chegamos a 150 K. Isto corresponde a um aumento de quase 146 K em relação à arquitetura original. A figura 3.11 expressa que o excelente funcionamento a esta temperatura.

O Capítulo 2 ainda aborda o desenvolvimento da metodologia de projeto e o ajuste de temperatura para o multiplexador. A etapa de desenvolvimento da metodologia foi importante para organizar todas as informações obtidas neste estudo. O resultado das simulações do Mux está expresso no Capítulo 3. Baseando-se em uma metodologia similar a adotada para a porta Não – E, já que esta é a unidade básica do Mux, não foi possível elevar a temperatura de operação do Mux para 150 K.

Este trabalho cumpriu com os objetivos propostos, pois a elevação da temperatura de operação destas arquiteturas é mais um passo para que no futuro elas tenham uma aplicação concreta. Por isso, uma nova etapa proposta seria o trabalho de tentar elevar essas temperatura à temperatura ambiente para que essas arquiteturas se tornem verdadeiramente aplicáveis.

REFERÊNCIA BIBLIOGRÁFICAS

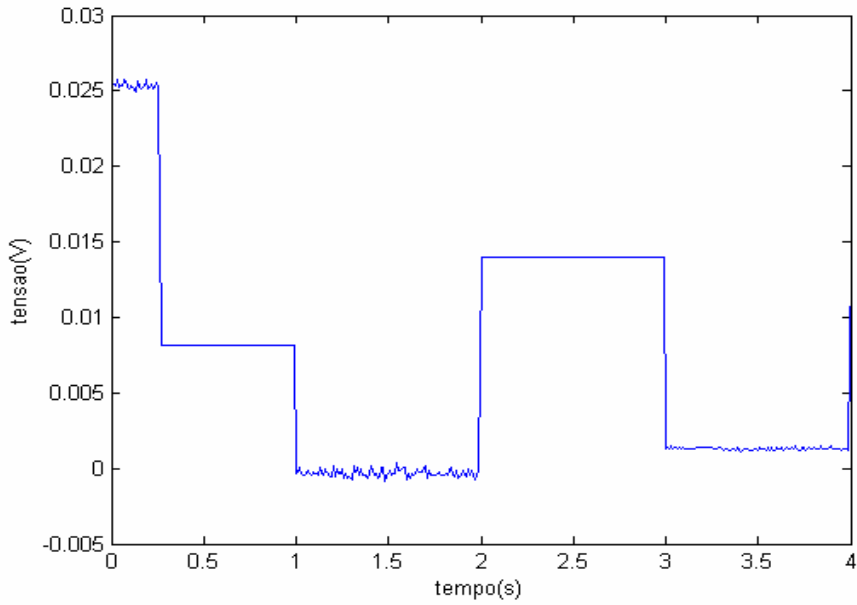
- [1] VENKATARATNAM, A. and GOEL, A.K., *CMOS architectures for NOR & nand logic Gates using single electron transistor*, em Technical Proceedings of the 2005 NSTI Nanotechnology Conference and Trade Show, 3:176-179, 2005.
- [2] SILVA, Lorena M., *ESTUDO COMPARATIVO DE CÉLULAS DIGITAIS NANOELETRÔNICAS*, Trabalho de Conclusão de Curso, Departamento de Engenharia Elétrica, Universidade de Brasília(2008).
- [3] DEVEROT, Michel H., ESTEVE, Danel & URBINA, Cristian, *Single-electron transfer in metallic nanostructures*, 2004.
- [4] CARMO, Helen C., *Desenvolvimento de uma memória associativa estocástica utilizando transistores mono elétron*, Dissertação(Mestrado em Engenharia Elétrica) – Universidade de Brasília UNB, 2006.
- [5] LIKHAREV, K. K. Single-electron devices and their applications. Em *Proceedings of the IEEE*, 87(4):606-632, 1999.
- [6] GEERLINGS, L. J. e MOOIJ, J. E. Charging effects and turnstile clocking of single electrons in small tunnel junctions. *Granular Nanoelectronics*, pages 393–411, 1991.
- [7] FULTON, T. A. e DOLAN, G. D. Observation of single-electron charging effects in small tunnel junctions. Em *Physics Review Letters*, 59:109–112, 1987.
- [8] ONO, Y., FUJIWARA, A., NISHIGUCHI, K., INOKAWA, H., e TAKAHASHI, Y. Manipulation and detection of single electrons for future information processing. *Journal of Applied Physics*, 97(031101):1–9, 2005.
- [9] GUIMARÃES, J.G. Arquiteturas de Redes Neurais Nanoeletrônicas para Processadores em Escala Giga ou Tera. *Tese de Doutorado em Engenharia Elétrica*, Universidade de Brasília, 2005.
- [10] CHEN, R., KOROTKOV, A., LIKHAREV, K. Single-electron transistor logic. *Applied Physics Letters*, 68(14):1954-1956, 1996.
- [11] LIKHAREV, K. Single-electron transistors electrostatic analogs of the DC SQUIDS. *IEEE Transactions on Magnetics*, 23:1142-1145, 1987.
- [12] GRABERT, H. e DEVORET, M. H., editors. *Single Charge Tunnelling – Coulomb blockade phenomena in nanostructures*, volume 294. NATO ASI series, Series B : Physics, E.U.A, 1991.
- [13] VERBRUGH, S. *Development of a Single-Electron Turnstile as a Current Standard* Tese de Doutorado, Delft University of Technology, Delft, Holanda, 1995.
- [14] WAKERLY, J.F. *Digital Design Principles and Practices*, Prentice Hall, 3rd edition, 2000.

[15] <http://www.rjrconsultores.com.br/nano/wm.pdf> acessado em (20/06/2009).

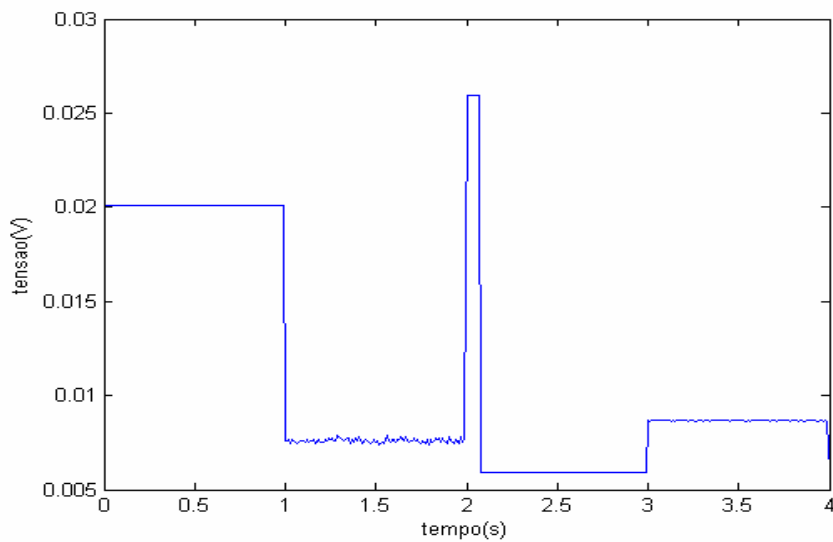
[16] WASSHUBER, C., KOSINA, H., SELBERHERR, S., SIMON—a simulator for single-electron tunnel devices and circuits, Em *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems* 16, p.937–944, 1997.

APÊNDICE A

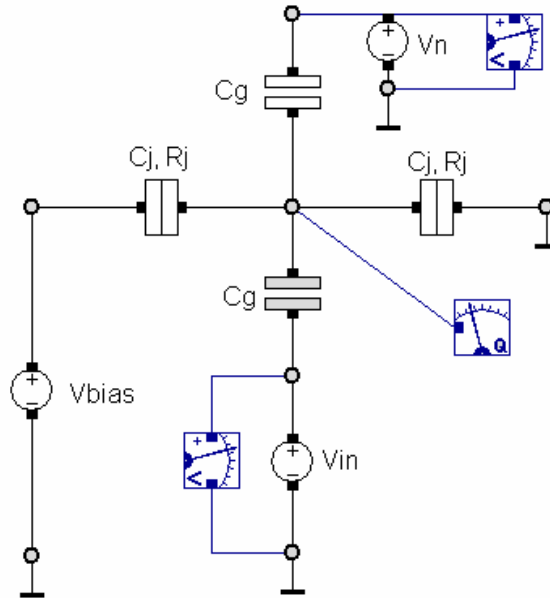
Apêndice A.1 – Simulação do ajuste de Temperatura 10.2 K



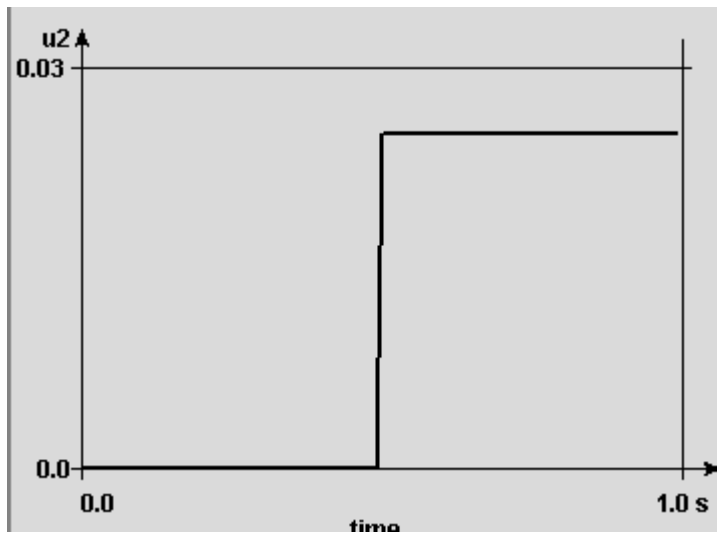
Apêndice A.2 – Simulação da Carga de Desvio para $-0.06 \leq CD \leq 0.06$



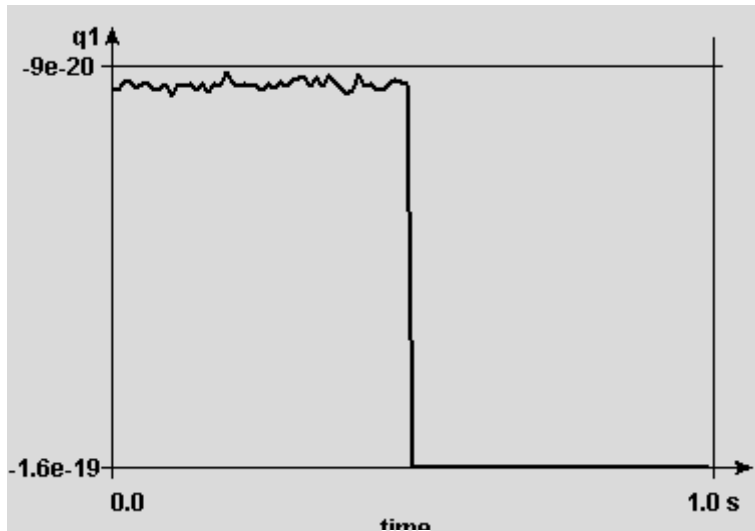
Apêndice A.3 - Simulações do transistor isolado; Transistor mono-elétron análogo ao NMOS:



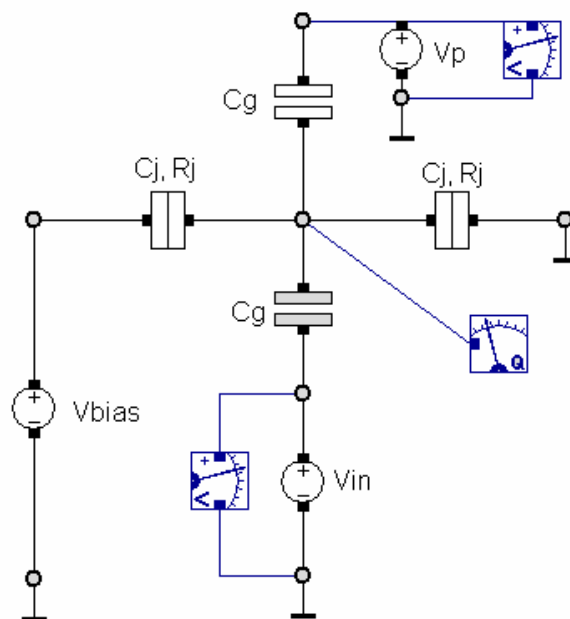
Apêndice A.4 - Simulações do transistor isolado; Transistor análogo ao Nmos, tensão de entrada Vin



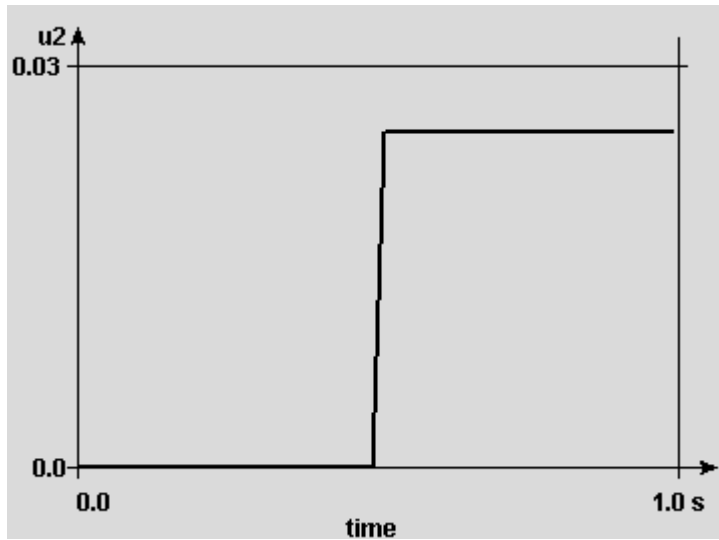
Apêndice A.5 - Simulações do transistor isolado; Transistor análogo ao Nmos, Carga na ilha do Transistor.



Apêndice A.6 - Simulações do transistor isolado; Transistor análogo ao PMOS



Apêndice A.7 - Simulações do transistor isolado; Transistor análogo ao PMOS, tensão de entrada Vin



Apêndice A.8 - Simulações do transistor isolado; Transistor análogo ao PMOS, Carga na ilha do transistor

