

TRABALHO DE CONCLUSÃO DE CURSO

**PROJETO DE UM COMPARADOR DE BITS EM
CÉLULAS QCA**

Diego Daniel Santos de Lima

Brasília, 19 de Julho de 2012

UNIVERSIDADE DE BRASÍLIA

Faculdade de Tecnologia

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE CONCLUSÃO DE CURSO

PROJETO DE UM COMPARADOR DE BITS EM CÉLULAS QCA

Diego Daniel Santos de Lima

Relatório submetido como requisito parcial para obtenção
do grau de Engenheiro Eletricista

Banca Examinadora

Profa. Dra. Janaina Gonçalves Guimarães,
UnB/ ENE (Orientadora)

Prof. Dr. rer. nat. Stefan Michael Blawid,
UnB/ ENE (Examinador Interno)

Mestre em Sistemas Eletrônicos de Automação
Marília de Oliveira Telles, (Examinador Externo)

DEDICATÓRIA

*A Deus;
aos meu pais e meus irmãos;
à minha amada esposa Priscila
e à minha querida filha Emanuele.*

AGRADECIMENTOS

Agradeço em primeiro lugar a Deus, que é a razão de tudo que faço e sou. Agradeço aos meus pais por todo amor e dedicação. Agradeço a minha esposa Priscila por ser uma mulher sábia e auxiliadora. Agradeço a todos meus amigos, igreja, trabalho, faculdade. Agradeço ainda aos meus amigos e pastores Everaldo e Patrícia. Por fim e não menos importantes, agradeço a todos meus professores por todo empenho e ensino. Em especial, a professora Janaina, que me auxiliou nesta última caminhada para finalizar o curso de graduação em Engenharia Elétrica.

RESUMO

O presente trabalho apresenta o projeto, desenvolvimento do *layout*, simulação e análise de um circuito comparador de bits baseado em tecnologia QCA. Foram utilizadas portas lógicas digitais encontradas na literatura para a implementação e simulação do circuito através do software QCADesigner. Algumas comparações de desempenho com base em outras tecnologias serão apresentadas.

SUMÁRIO

1	Introdução.....	7
2	Revisão Bibliográfica	9
2.1	NANOELETRÔNICA.....	9
2.2	PONTOS QUÂNTICOS – QD	9
2.2.1	VETORES DE CÉLULAS QUÂNTICAS (QCA).....	10
2.2.2	Fios Quânticos	11
2.2.3	Portas Lógicas	12
2.2.4	Multicamadas.....	13
2.2.5	<i>Clock</i> em QCA	15
2.3	QCADESIGNER.....	16
2.3.1	Multicamadas no Qcadesigner	17
2.3.2	Funções e Propriedades das Células	18
2.3.3	<i>Bus Layout</i>	18
2.3.4	Simulação QCADesigner	19
2.4	COMPARADOR DE MAGNITUDE	20
3	Metodologia	21
3.1	INTRODUÇÃO.....	21
3.2	PROJETO LÓGICO.....	21
3.3	PROJETO QCA	22
3.4	SIMULAÇÃO E VALIDAÇÃO	22
3.5	MÓDULOS COMPARADORES EM CASCATA	23
4	Resultados e Análise	24
4.1	PROJETO LÓGICO.....	24
4.2	PROJETO QCA	25
4.3	SIMULAÇÃO DO COMPARADOR DE DOIS BITS.....	27
4.4	MÓDULOS COMPARADORES EM CASCATA	28
4.5	SIMULAÇÃO DO COMPARADOR EM CASCATA.....	29
4.6	CARACTERÍSTICAS DO PROJETO CONCLUÍDO	31
5	Conclusão.....	33
	Referências Bibliográficas.....	34
	Apêndice A.....	36

LISTA DE FIGURAS

Figura 1 - Evolução dos processadores Intel sob a perspectiva da Lei de Moore.....	7
Figura 2 - Vetor de Células Quânticas (QCA).....	10
Figura 3 - (a)representação nível lógico 1 (b)representação do nível lógico 0.....	10
Figura 4 - Transmissão de estados pelas células: (a) configuração estável; (b) a célula 1 muda de estado resultando em uma configuração instável e (c) a célula 1 força a célula 2 a assumir o mesmo valor e retornar à configuração estável....	11
Figura 5 - Fio quântico implementado por uma linha de células.....	11
Figura 6 - Porta inversora QCA.....	12
Figura 7 - (a) Porta de decisão da maioria. (b) Tabela verdade.....	13
Figura 8 - Cruzamento co-planar.....	13
Figura 9 - Cruzamento de fios por multicamadas.....	14
Figura 10 - Convenção de cruzamento de células.....	14
Figura 11 - (a) As quatro fases do <i>Clock</i> , (b) Potencial nas quatro fases do <i>Clock</i>	15
Figura 12 - Tela do QCA com porta de maioria.....	17
Figura 13 - Ambiente de gerenciamento das camadas.....	17
Figura 14 - Ambiente de gerenciamento de funções/propriedades da célula.....	18
Figura 15 - <i>Bus Layout</i>	19
Figura 16 - Circuito comparador de magnitude de dois bits.....	20
Figura 17 - Comparador de seis bits.....	20
Figura 18 - Parâmetros utilizados na Simulação <i>Bistable Approximation</i>	23
Figura 19 - Mapas de Karnaugh do circuito comparador de dois bits.....	24
Figura 20 - Circuito lógico do comparador de dois bits.....	25
Figura 21 - Módulo QCA comparador de dois.....	26
Figura 22 - Simulação do comparador de dois bits com “Cma”, “Cme” e “Cig” em 001...27	
Figura 23 - Simulação do comparador de dois bits com “Cma”, “Cme” e “Cig” em 010...28	
Figura 24 - Simulação do comparador de dois bits com “Cma”, “Cme” e “Cig” em 100...28	

Figura 25 - Comparador de seis bits.....	29
Figura 26 - Simulação do comparador de seis bits com “Cma”, “Cme” e “Cig” em 001..	30
Figura 27 - Simulação do comparador de seis bits com “Cma”, “Cme” e “Cig” em 010...	30
Figura 28 - Simulação do comparador de seis bits com “Cma”, “Cme” e “Cig” em 100...	31
Figura 29 - Estrutura potencial de um poço quântico.....	36
Figura 30 - Característica do Bloqueio de Coulomb.....	37
Figura 31 - Junção-túnel.....	37

LISTA DE TABELAS

Tabela 1 - Tabela verdade do circuito comparador de dois bits.....	22
--	----

1 INTRODUÇÃO

A eletrônica vive um constante e acelerado processo de evolução. Para que tal processo ocorra, é necessário que os circuitos integrados tenham maiores capacidades de processamento e armazenamento. Essa demanda exige uma evolução da tecnologia de dispositivos, tornando-os mais densos e velozes [1].

Na década de 60, Gordon E. Moore declarou que o número de transistores por circuito integrado cresceria exponencialmente e dobraria a cada 18 meses, como mostra a figura 1. Sua declaração tornou-se realidade e foi denominada de Lei de Moore [2].

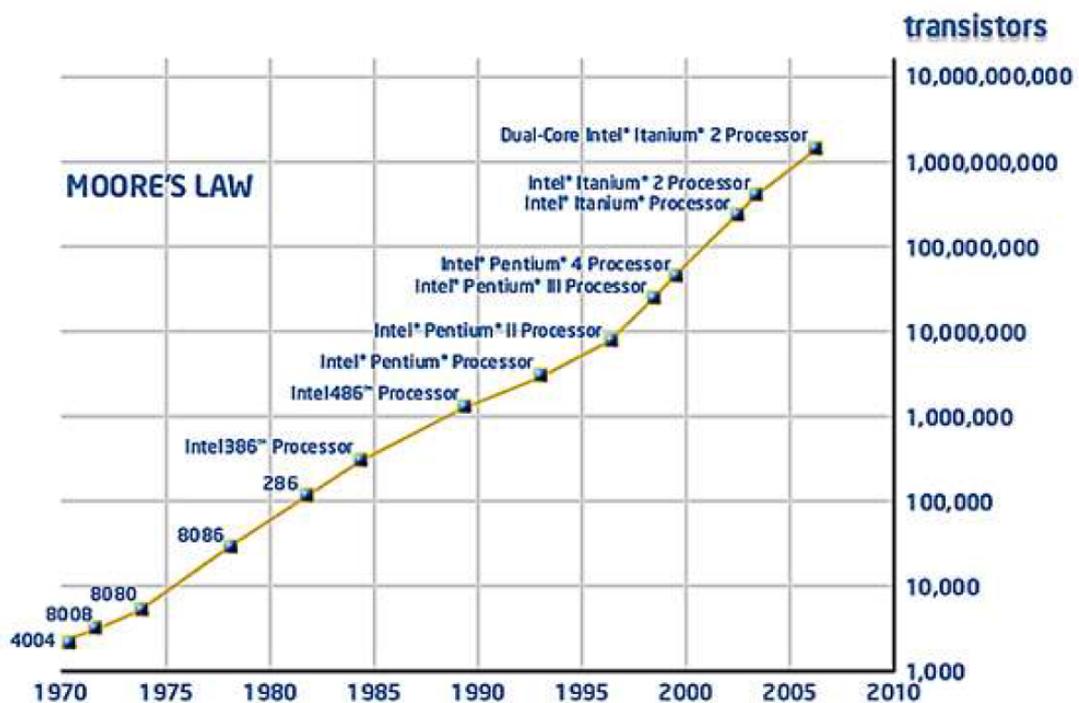


Figura 1—Evolução dos processadores Intel sob a perspectiva da Lei de Moore [1]

Atualmente, vem surgindo a necessidade de novas tecnologias que atendam às demandas de densidade e velocidade. Dentre as novas tecnologias que estão sendo propostas, alguns dispositivos em escala nanométrica são considerados como possíveis soluções para a implementação de circuitos integrados no futuro. Entre esses dispositivos vem sendo difundido o uso de

pontos quânticos acoplados para a construção de autômatos celulares (QCA – *Quantum-dot Cellular Automata*) como uma solução válida para o problema [1].

O QCA é uma tecnologia emergente atraente que tira proveito dos efeitos quânticos, que se tornam mais evidentes na escala nanométricas. Trabalhos anteriores mostram que o QCA tem vários novos recursos que não estão disponíveis nos circuitos baseados em FET. Embora o custo do projeto seja diferente para a tecnologia FET, vários estudos bem sucedidos tem motivado a investigação sobre a realização da tecnologia QCA [14].

Inserido no contexto apresentado, o objetivo deste trabalho é desenvolver o *layout* e simular um comparador de palavras de 2 bits baseado em células QCA. Posteriormente, esse comparador será utilizado para implementar um comparador de palavras de 6 bits.

Em resumo, o capítulo 2 faz uma apresentação geral dos conceitos envolvidos no projeto. No capítulo 3 é apresentada a metodologia utilizada no projeto do circuito e por fim, no capítulo 4 são apresentadas as simulações e as análises dos circuitos do projetos.

2 REVISÃO BIBLIOGRÁFICA

2.1 NANOELETRÔNICA

A Nanotecnologia é o campo de estudo multidisciplinar que atua numa escala atômica e molecular. A palavra “nano” vem do grego “anão” e quando utilizado antes de uma unidade de medida faz referência a um bilionésimo dessa unidade, ou seja 10^{-9} . A Nanotecnologia, a partir das moléculas e átomos, cria estruturas maiores com novas propriedades e funções [15].

A Nanoeletrônica relaciona-se ao estudo dos dispositivos em escala nanométrica com propriedades eletrônicas, tais como transistores, portas lógicas, e outros. Existe grande interesse nas propriedades nanoeletrônicas dos materiais, objetivando o uso em sistemas de comunicação, computação, armazenamento e controle [15].

Dentre os dispositivos nanoeletrônicos que estão sendo prospectados podemos citar computação quântica, autômatos celulares com pontos quânticos, nanotubos de carbono, transistores moleculares, diodos de tunelamento ressonante, *single-electron transistor*, *spin transistor* e sistemas biológicos [3].

A tecnologia de Autômatos Celulares com Pontos Quânticos (*Quantum-dots Cellular Automata* - QCA) foi proposta em 1994 como uma alternativa à tecnologia CMOS-VLSI. Diferentemente dos computadores tradicionais, que utilizam como codificação de informação o fluxo de corrente elétrica, a tecnologia QCA codifica a informação através do estado de polarização das células [3].

2.2 PONTOS QUÂNTICOS – QD [16]

Pontos quânticos são dispositivos com barreiras de potencial nas três dimensões e funcionam como uma caixa onde é possível confinar um elétron. A existência ou não de um elétron em seu interior determinará o estado do sistema onde se implementa um conjunto de pontos quânticos. Alguns conceitos utilizados para explicar o funcionamento detalhado dos pontos quânticos estão no Apêndice A.

2.2.1 VETORES DE CÉLULAS QUÂNTICAS (QCA) [15]

O vetor de células quânticas ou QCA (*quantum cellular automata*) é formado por quatro pontos quânticos dispostos como mostrado na figura 2.

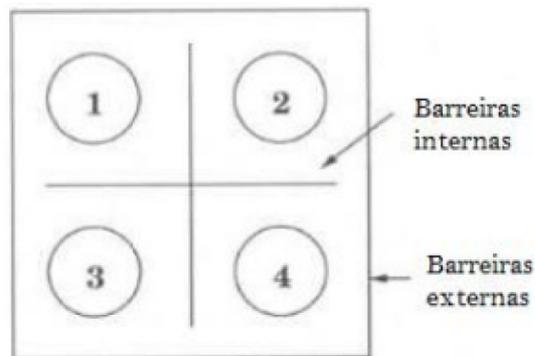


Figura 2 – Vetor de Células Quânticas (QCA) [15]

Os pontos quânticos estão separados por barreiras internas e externas. As barreiras externas são muito maiores que as barreiras internas, de forma que os elétrons que se encontram confinados na célula não consigam sair, mas possam assumir qualquer das quatro posições. Ao se colocar dois elétrons no interior da célula, devido à repulsão eletrônica, eles assumirão um estado de equilíbrio. Isto é, ficarão em uma das diagonais, visto ser a maior distância possível em um quadrado. Sendo assim, a célula poderá ser polarizada em dois estados. Portanto podemos classificá-los em valores binários (0 ou 1), conforme a figura 3.

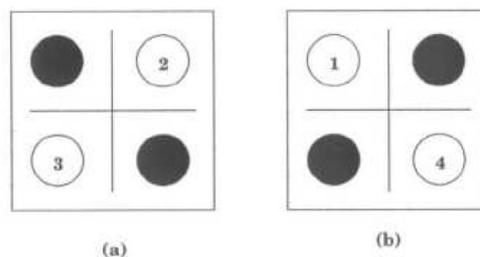


Figura 3 - (a) representação nível lógico 1 e (b) representação do nível lógico 0 [15]

Uma propriedade importante da tecnologia QCA, deve-se à influência que uma célula pode exercer sobre outra célula colocada em sua vizinhança. Ou seja,

ao se mudar a polarização de uma célula, devido às forças repulsivas entre os elétrons, a segunda célula mudará seu estado devido à interação com a primeira célula. A figura 4 exemplifica tal propriedade.

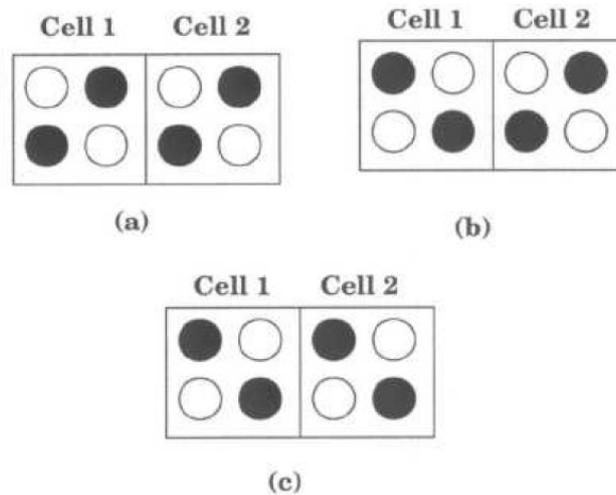


Figura 4 - Transmissão de estados pelas células: (a) configuração estável; (b) a célula 1 muda de estado resultando em uma configuração instável e (c) a célula 1 força a célula 2 a assumir o mesmo valor e retornar à configuração estável [15].

Considerando a propriedade de interação entre os vetores de células quânticas, pode-se projetar circuitos digitais. Alguns serão apresentados a seguir.

2.2.2 FIOS QUÂNTICOS [15]

Um fio quântico pode ser implementado pela disposição de uma série de células conforme a figura 5.

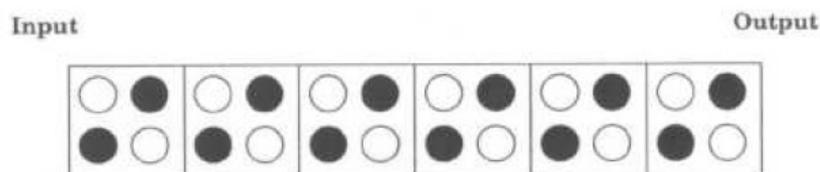


Figura 5 - Fio quântico implementado por uma linha de células [16]

Ao se polarizar a célula de uma extremidade do fio, as células seguintes assumirão a mesma polarização, fazendo com que a informação seja transmitida até a outra extremidade. É importante observar que a transmissão dos sinais não é feita por meio de corrente elétrica, mas pela interação eletrostática entre as células.

2.2.3 PORTAS LÓGICAS [3]

A porta inversora é projetada conforme a configuração das células na figura 6. Assim, ao colocarmos determinada polarização na entrada, na saída teremos a polarização oposta.

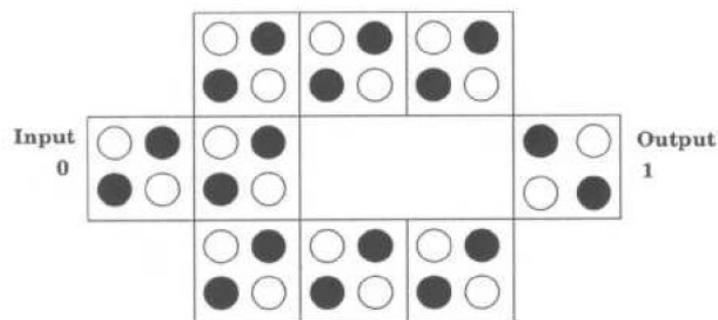


Figura 6 – Porta inversora QCA [15]

As portas lógicas AND e OR podem ser implementadas utilizando a porta de maioria. Sua expressão Booleana é dada por $F(A,B,C) = AB + AC + BC$. A configuração de tal porta está demonstrada na figura 7.

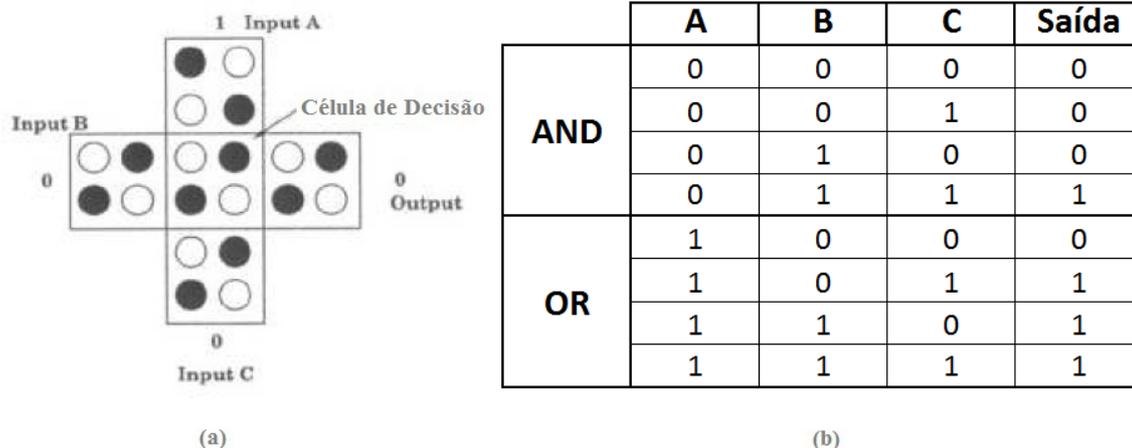


Figura 7 – (a) Porta de decisão da maioria [16]. (b) Tabela verdade

A porta de maioria é formada por três entradas e uma saída. A célula de saída será polarizada conforme a polarização da maioria das outras células. A partir da porta de maioria podemos obter os circuitos AND e OR. Quando fixamos uma das entradas em 0, obtemos a porta AND. Caso fixemos uma das entradas em 1, surge a porta OR.

2.2.4 MULTICAMADAS

Durante o projeto de circuitos, surge a necessidade de cruzar fios de transmissão. Esse cruzamento pode ocorrer de duas formas: co-planar ou usando multicamadas. Para fazer o cruzamento co-planar é necessário o uso de dois tipos de células (regular e rotação) [4], conforme a figura 8.

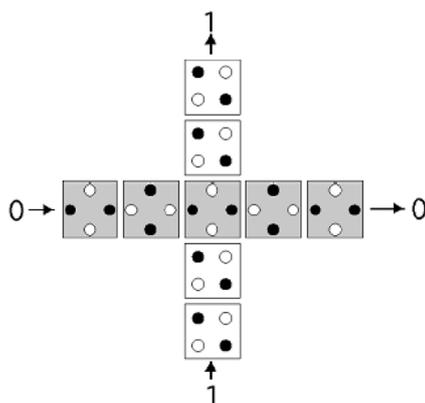


Figura 8 - Cruzamento co-planar [4]

Em circuitos mais complexos, ao se usar o cruzamento co-planar, pode ocorrer a perda do sinal transmitido. A implementação física do cruzamento co-planar é mais complexa que no cruzamento multicamadas, exigindo mais precisão na rotação das células, isto dos pontos quânticos de uma célula. Portanto tem sido mais utilizado o cruzamento em multicamada com empilhamento de quatro células [5].

A cada camada, a célula imediatamente acima troca de polarização por repulsão eletrostática, de forma que ao voltar para a camada principal o sinal permanece com a polarização inicial [5]. A figura 9 esboça o cruzamento por multicamadas.

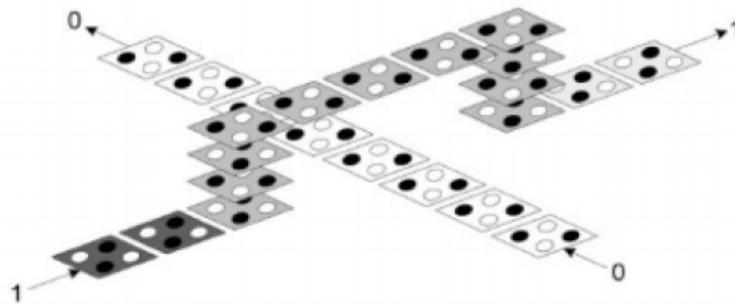


Figura 9 - Cruzamento de fios por multicamadas [5]

Conforme a figura 10, as células que fazem a transição entre as camadas são representadas por círculos. As células que transmitem o sinal em camadas diferentes da principal são representadas por um X.

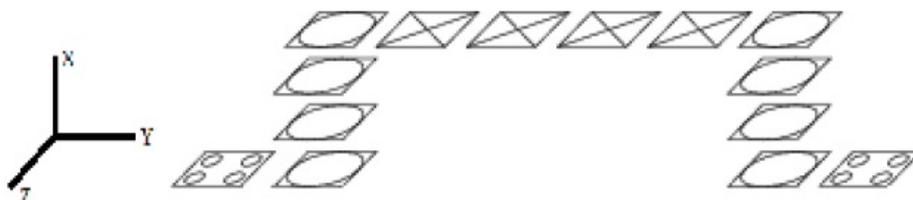


Figura 10 - Convenção de cruzamento de células [6]

2.2.5 CLOCK EM QCA [3]

Na tecnologia CMOS o *clock* opera em duas fases, alto e baixo, funcionando apenas como um sinal que controla o tempo em que as informações serão transferidas. Nos circuitos QCA, o *clock* possui quatro fases de operação (figura 11) e é utilizado para sincronizar as informações que chegam a uma porta lógica, como também para definir o sentido de fluxo do sinal. O *clock* do QCA controla as barreiras de tunelamento dentro da célula, determinando quando uma célula poderá ser polarizada.

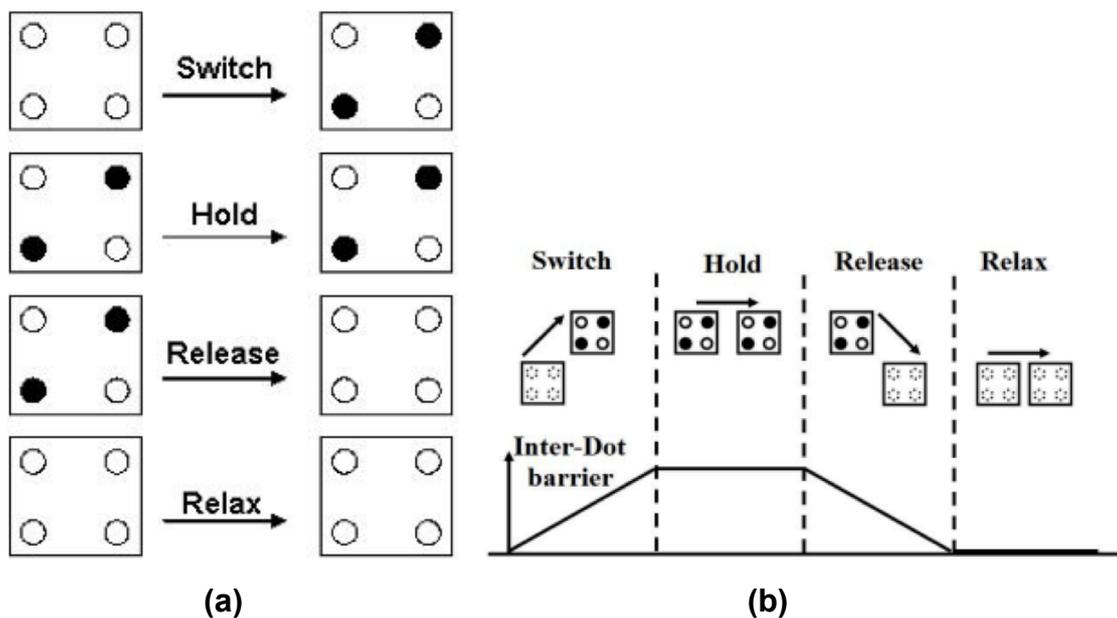


Figura 11 – (a) As quatro fases do *Clock* [3], (b) Potencial nas quatro fases do *Clock* [5]

As fases do *clock* estão defasadas em 90° . O nome da primeira fase é *switch*. Nesta fase as barreiras de tunelamento começam em nível baixo e vão aumentando progressivamente até que a célula fique polarizada de acordo com as interações com as células em sua vizinhança. Na segunda fase, chamada de *hold*, as barreiras continuam em nível alto e a célula permanece polarizada servindo como referência para a célula seguinte que se encontra na fase de *clock* anterior. Na fase seguinte, *release*, as barreiras são baixadas e a célula é despolarizada. Durante a última fase, *relax*, as barreiras continuam em nível baixo e a célula permanece despolarizada.

2.3 QCADESIGNER

O auxílio de simuladores em projetos de circuitos é imprescindível e se torna ainda mais necessário em se tratando de tecnologias de difícil implementação física, como no caso a tecnologia QCA.

Alguns simuladores foram desenvolvidos para a tecnologia QCA. Dentre eles, o AQUINAS e o Q-BERT, ambos desenvolvidos no Departamento de Engenharia Elétrica da Universidade de Notre Dame, Estados Unidos. O QCADesigner é outro simulador desenvolvido na Universidade de Colúmbia, Canadá, por pesquisadores da Universidade de Calgary, Canadá, juntamente com pesquisadores da Universidade de Notre Dame [3]. Por ser o único simulador disponível ao público, o QCADesigner foi o simulador utilizado no presente projeto. A versão utilizada foi a 2.0.3 do ano 2005.

O QCADesigner possui várias funções de simulação, desde aquelas baseadas na lógica digital até aquelas relacionadas à mecânica quântica. Possui uma interface amigável e várias funções relacionadas a construção dos circuitos. O simulador só permite o desenvolvimento dos circuitos por meio da interface gráfica, tornando o trabalho do usuário cansativo [6].

A figura 12 mostra a tela principal do QCADesigner com uma porta de maioria como exemplo. Na lateral esquerda encontra-se uma barra com as funções para montar os circuitos. Dentre as funções, estão as de seleção de célula, rotação, *array*, cópia, e outras.

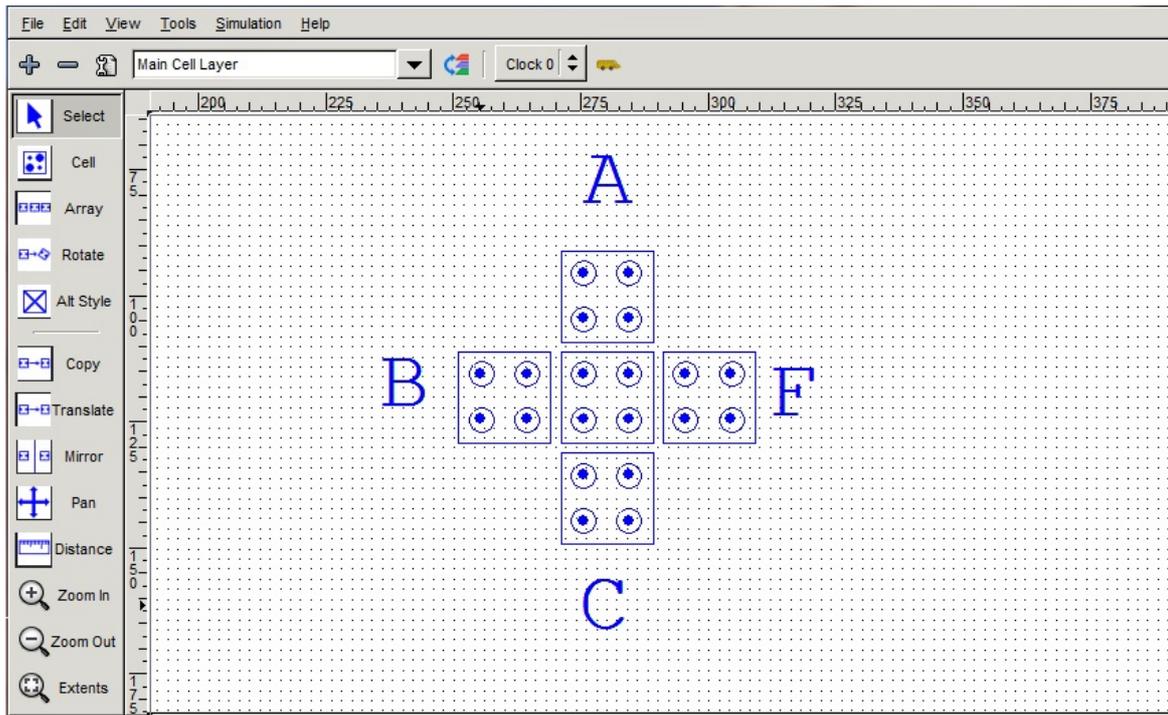


Figura 12 - Tela do QCA Designer com porta de maioria

2.3.1 MULTICAMADAS NO QCADESIGNER

Na barra superior, conforme a figura 13, pode-se gerir as camadas do circuito, permitindo habilitá-las ou desabilitá-las para visualização e edição das células.

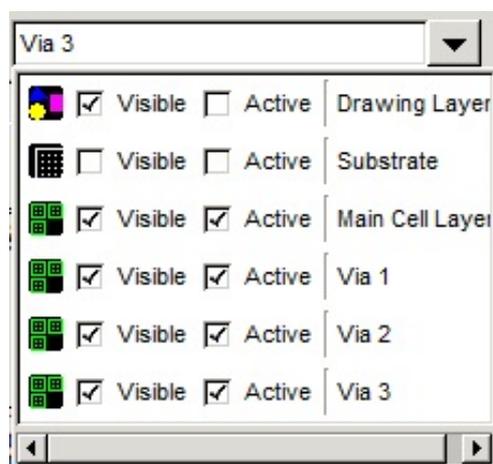


Figura 13 – Ambiente de gerenciamento das camadas

2.3.2 FUNÇÕES E PROPRIEDADES DAS CÉLULAS

Na barra superior, também temos a opção de selecionar o *clock* das células selecionadas ou que serão inseridas no circuito. A figura 14 mostra o ambiente acessado com *click* duplo em qualquer célula que se deseje alterar seus parâmetros. Este ambiente permite selecionar o tipo de célula (normal, polarização fixa, entrada ou saída) e alterar seu *clock*.

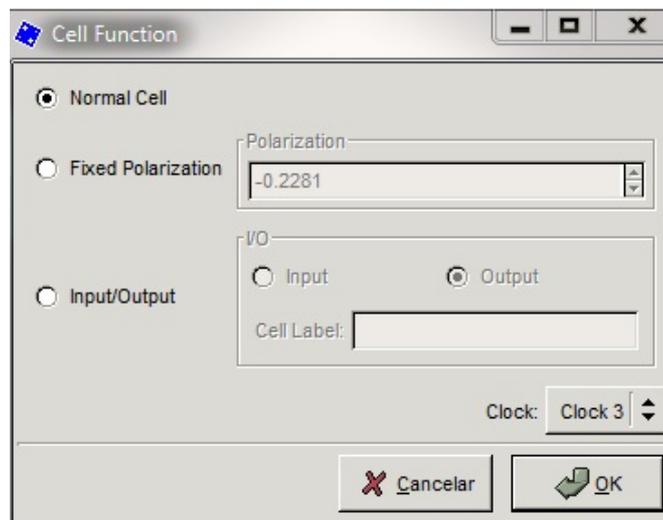


Figura 14 - Ambiente de gerenciamento de funções/propriedades da célula

2.3.3 BUS LAYOUT

Uma funcionalidade bastante útil na simulação de circuitos com várias entradas e saídas é o *Bus Layout*. Tal funcionalidade permite o usuário agrupar as entradas e saídas com o objetivo de facilitar a análise dos resultados obtidos nas simulações. A figura 15 mostra o ambiente de gerenciamento das entradas e saídas do circuito.

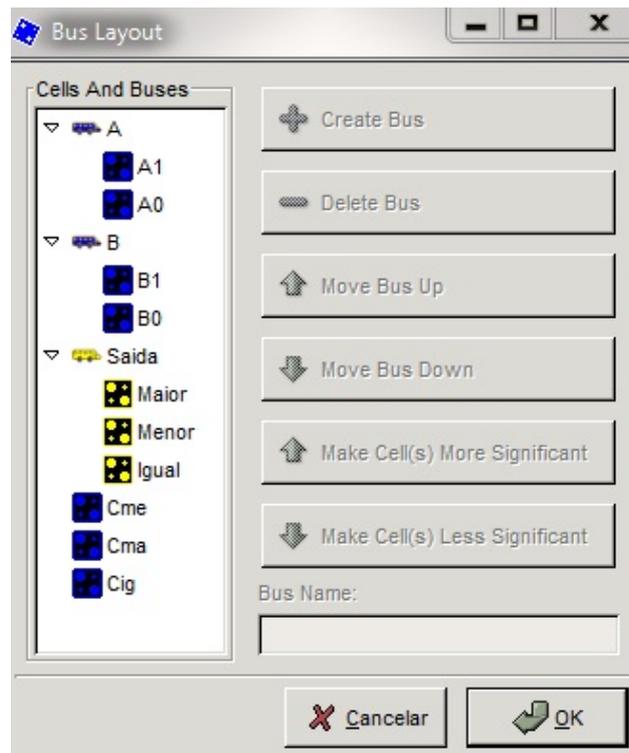


Figura 15 – Bus Layout

2.3.4 SIMULAÇÃO QCADESIGNER

O QCA Designer disponibiliza dois tipos de simulação: *Bistable Approximation* e *Coherence Vector*. Cada simulação permite configurar uma série de parâmetros. A simulação *Bistable Approximation* utiliza uma função de transferência mais simplificada, sendo recomendado para verificações lógicas de um circuito. A *Coherence Vector* utiliza uma função de transferência mais complexa com parâmetros como temperatura e material de implementação, requerendo bem mais recursos computacionais.

O QCA Designer permite a opção de gerenciar as amostras a serem utilizadas nas simulações. Disponibiliza as opções *Exhaustive Verification* e *Vector Table*. A primeira opção simula utilizando todas as possíveis combinações das entradas. A segunda opção simula o circuito utilizando apenas as combinações pré-configuradas.

2.4 COMPARADOR DE MAGNITUDE

Um comparador de "n" bits é um sistema lógico combinacional que tem como entradas dois vetores de "n" bits representando dois números inteiros positivos. O sistema gera uma saída para indicar a relação entre suas magnitudes, se menor, igual ou maior (ver figura 16). Para facilitar a implementação de redes de comparadores, o circuito possui entradas adicionais para receber as saídas de outro comparador (ver figura 17) [7][8].

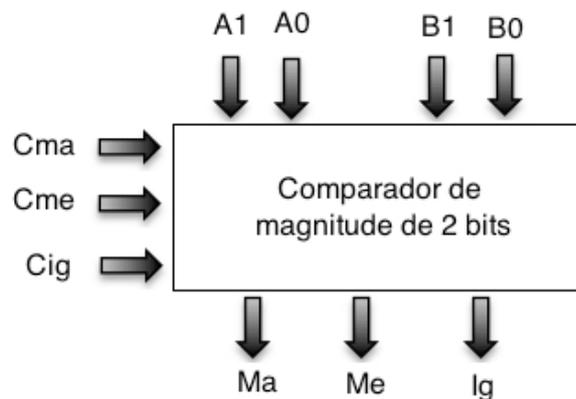


Figura 16 – Circuito comparador de magnitude de dois bits

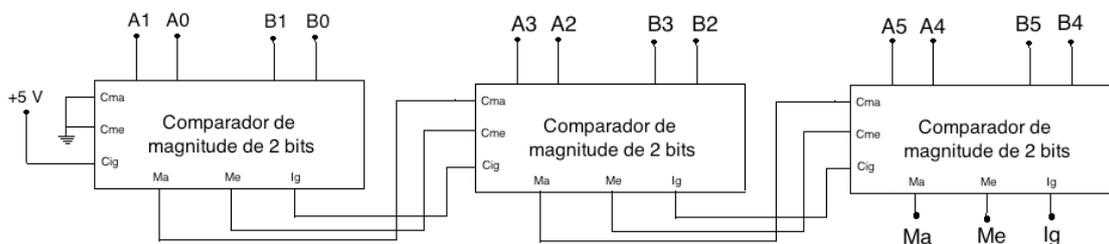


Figura 17 – Comparador de seis bits

O circuito comparador foi escolhido como foco deste trabalho por ser completamente combinacional, simplificando o desenvolvimento em tecnologia QCA, uma vez que o conceito de *clock* muda para essa tecnologia. Os comparadores digitais são largamente utilizados associados a conversores A/D e unidades lógicas e aritméticas (ULA). Tais circuitos já foram desenvolvidos em trabalhos anteriores [18] [19]. Portanto, o interesse em desenvolver o comparador está na possibilidade de implementar circuitos mais complexos usando os módulos estudados em cada trabalho.

3 METODOLOGIA

3.1 INTRODUÇÃO

A fim de alcançar os objetivos propostos pelo presente trabalho, foi feito inicialmente o projeto lógico do circuito comparador de dois bits e posteriormente sua simulação no *software* CIRCUIT MAKER. Em seguida, implementou-se o módulo comparador de dois bits no *software* QCADesigner. Após as simulações de validação, foi feita a implementação em cascata de três módulos comparadores, de forma que o circuito possa comparar palavras de seis bits.

Segue o detalhamento das etapas necessárias no desenvolvimento do projeto.

3.2 PROJETO LÓGICO

Para o projeto lógico considerou-se os conceitos apresentados no capítulo 2, onde o circuito comparador possui dois vetores de entrada com dois bits cada. Possui um vetor com três bits de saída e um vetor de entrada de três bits para implementação em cascata. Foi feita uma tabela verdade (tabela 1) para então utilizar a ferramenta de auxílio à minimização de funções booleanas, mapa de Karnaugh.

Para o projeto lógico, foi considerado que as entradas para implementação em cascata, "Cma", "Cme" e "Cig", só poderão estar ativas, ou seja, no nível lógico 1, uma de cada vez. Portanto, só assumirão os valores: 001, 010 e 100. Assim, conforme a tabela 1, as entradas Cma, Cme e Cig somente serão consideradas quando os vetores de entrada forem iguais.

A partir das equações obtidas dos mapas de Karnaugh, montou-se o circuito lógico do comparador de dois bits e sua posterior simulação no *software* CIRCUIT MAKER. Para facilitar a implementação do circuito na tecnologia QCA, foram utilizadas apenas portas AND, OR e Inversora.

Tabela 1 – Tabela verdade do circuito comparador de dois bits

ENTRADAS				SAIDAS		
A1	A0	B1	B0	Ma	Me	Ig
0	0	0	0	Cma	Cme	Cig
0	0	0	1	1	0	0
0	0	1	0	1	0	0
0	0	1	1	1	0	0
0	1	0	0	0	1	0
0	1	0	1	Cma	Cme	Cig
0	1	1	0	1	0	0
0	1	1	1	1	0	0
1	0	0	0	0	1	0
1	0	0	1	0	1	0
1	0	1	0	Cma	Cme	Cig
1	0	1	1	1	0	0
1	1	0	0	0	1	0
1	1	0	1	0	1	0
1	1	1	0	0	1	0
1	1	1	1	Cma	Cme	Cig

3.3 PROJETO QCA

Após a simulação do projeto lógico no CIRCUIT MAKER, iniciou-se o projeto do circuito QCA utilizando o *software* QCADesigner. Assim com base no conhecimento das configurações das possíveis portas lógicas na tecnologia QCA, bem como os conceitos sobre o *clock* nessa tecnologia, montou-se um circuito similar ao implementado anteriormente no CIRCUIT MAKER.

3.4 SIMULAÇÃO E VALIDAÇÃO

As simulações e validações foram feitas usando o tipo de simulação *Bistable Approximation* do QCADesigner. A figura 18 mostra os parâmetros utilizados na simulação.

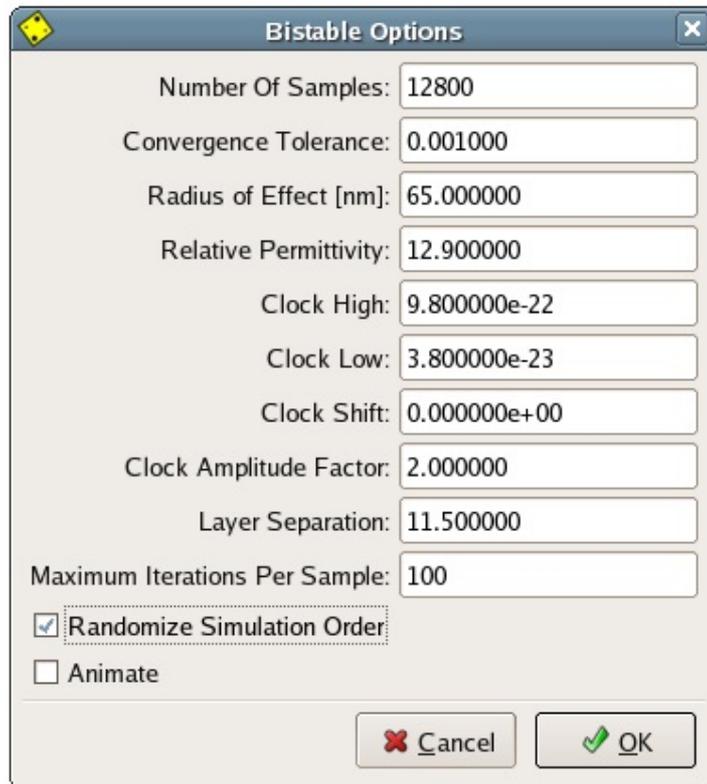


Figura 18 – Parâmetros utilizados na Simulação *Bistable Approximation*

3.5 MÓDULOS COMPARADORES EM CASCATA

Tendo o módulo comparador de dois bits montado e simulado, o circuito em cascata foi montado ligando as saídas de um módulo nas entradas “Cma”, “Cme” e “Cig” de outro modulo comparador, conforme a figura 17, já apresentada. Foram utilizados três módulos de forma que o circuito possa comparar palavras de seis bits.

4 RESULTADOS E ANÁLISE

4.1 PROJETO LÓGICO

A partir da tabela verdade (tabela 1) foram obtidas as equações do projeto lógico do circuito. Na escolha dos termos das equações, observou-se que os termos da equação da saída “Ig” podem ser utilizados na saída “Ma” e “Me”, de forma a minimizar o número de portas lógicas, conforme a figura 19.

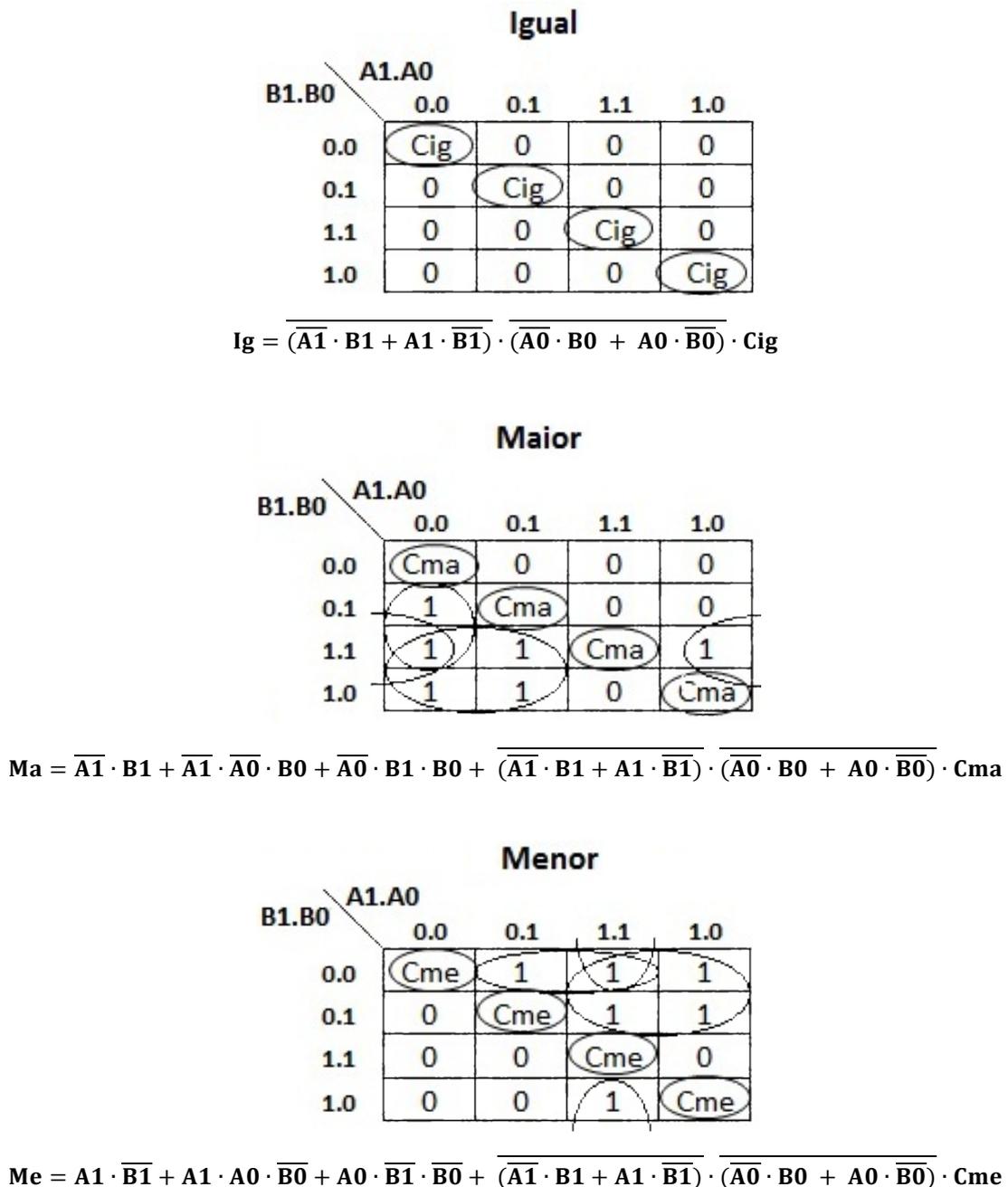


Figura 19 – Mapas de Karnaugh do circuito comparador de dois bits

De posse das equações, foi feito um esboço do circuito lógico do comparador de dois bits, conforme a figura 20.

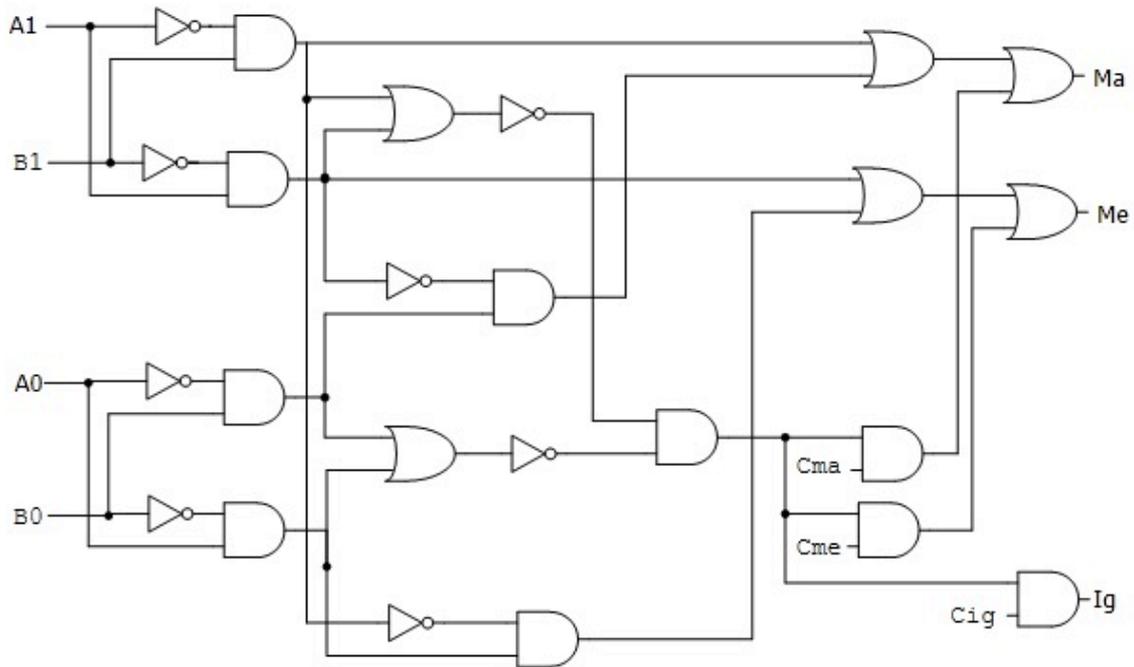


Figura 20 – Circuito lógico do comparador de dois bits

A validação do projeto lógico foi feita por meio do *software* CIRCUIT MAKER. Foram utilizadas as vinte e quatro combinações das entradas, de acordo com a tabela 1. Para a construção do módulo comparador de dois bits foram necessárias dez portas AND, seis portas OR e oito portas Inversoras.

4.2 PROJETO QCA

A primeira montagem do módulo comparador de dois bits no QCADesigner utilizou menos ciclos de *clocks*, de forma que algumas zonas de *clock* ficaram razoavelmente grandes. Nessa configuração o circuito não funcionou como o esperado, fazendo com que os sinais nesses percursos sofressem alterações. Isso se deu ao fato de a probabilidade de perda do sinal aumentar proporcionalmente ao tamanho das linhas de transmissão. Quando existem muitas células na mesma zona de *clock*, ocorre o aumento da probabilidade de

todas as células não conseguirem ser polarizadas devidamente até a próxima mudança do *clock* [9].

Tais falhas foram identificadas inserindo células de saída no meio do circuito para validação dos valores. Os problemas foram solucionados aumentando o número de ciclos de *clock* nos percursos, diminuindo assim o tamanho das zonas de *clock*. Observou-se que para este circuito as zonas de *clock* com até quatorze células não ocorriam falhas, assim buscou-se não ultrapassar esse número de células por zona de *clock*.

A configuração final do circuito utilizou 553 células e ficou com 4,25 ciclos de *clock*, de forma que para se visualizar a saída de uma entrada, deve-se observar a saída após cinco períodos do *clock* 1, representado pela cor rosa na figura 21. Tal figura mostra o circuito simulado no *software* QCADesigner.

As células com polarização fixa em 1 e -1 representam as células nos dois níveis lógicos, 0 e 1. As diferentes cores das células representam as quatro fases do *clock* em que as células operam. Assim, as células com cores iguais, estão na mesma zona de *clock*.

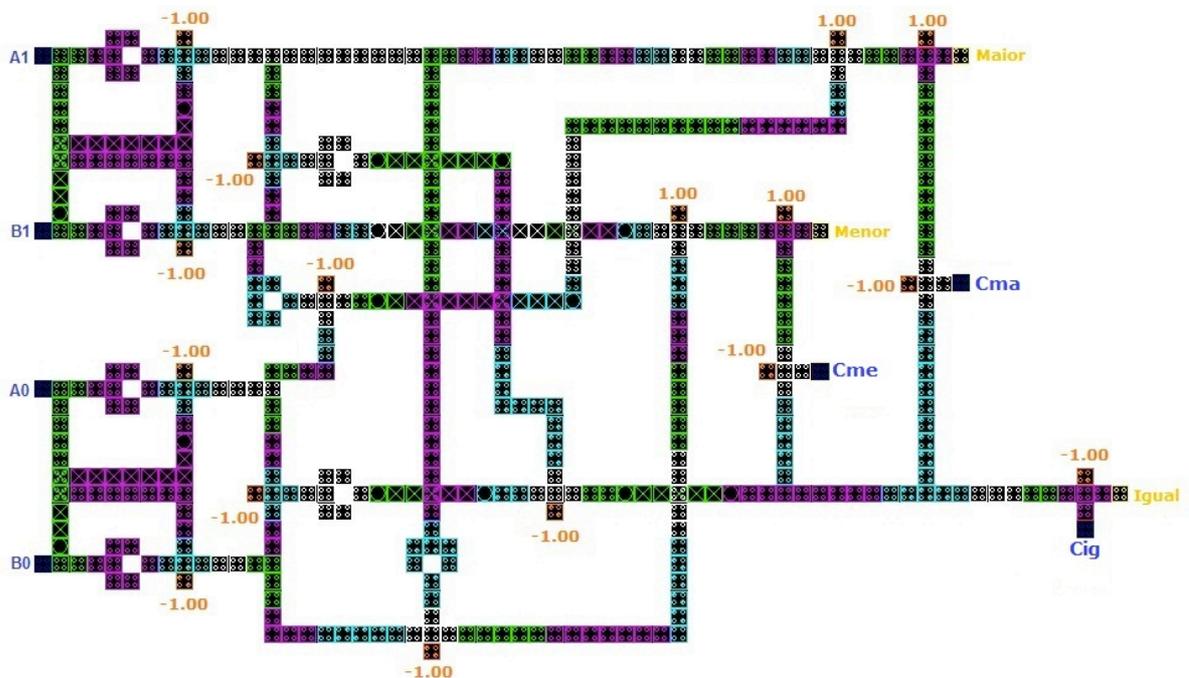


Figura 21 – Módulo QCA comparador de dois

4.3 SIMULAÇÃO DO COMPARADOR DE DOIS BITS

As simulações do módulo comparador de dois bits foram realizadas em três momentos. Para cada simulação, as entradas “Cma”, “Cme” e “Cig”, foram fixadas em uma das três combinações: 001, 010 ou 100. Se duas palavras comparadas forem iguais, a saída deverá replicar as entradas “Cma”, “Cme” e “Cig”.

Nas simulações, a “Saída” é formada pelo agrupamento das saídas na seguinte ordem: “Maior”, “Menor” e “Igual”. Assim como as entrada “A” e “B” são formadas pelo agrupamento das entradas na ordem “A1A0” e “B1B0”. As figuras 22, 23 e 24 (simulações do comparador de dois bits), foram editadas para retirar o atraso devido aos *clocks*, de forma que as saídas foram colocadas exatamente abaixo das entradas correspondentes.

O *Software* QCADesigner representa as palavra binárias de tal forma que oculta os zeros a esquerda do 1. Assim 001 é igual a 1 e 010 é igual a 01. Seguem os resultados das simulações:



Figura 22 – Simulação do comparador de dois bits com “Cma”, “Cme” e “Cig” em 001

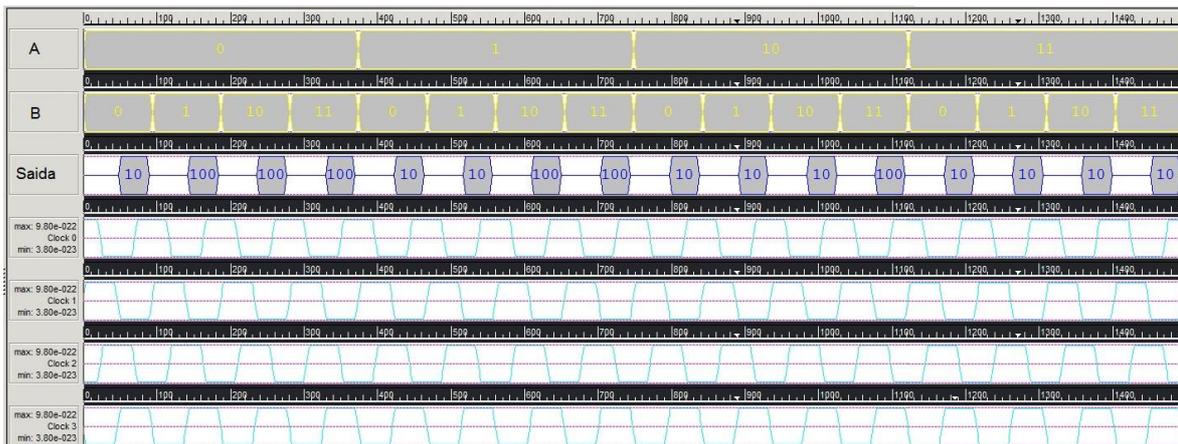


Figura 23 – Simulação do comparador de dois bits com “Cma”, “Cme” e “Cig” em 010

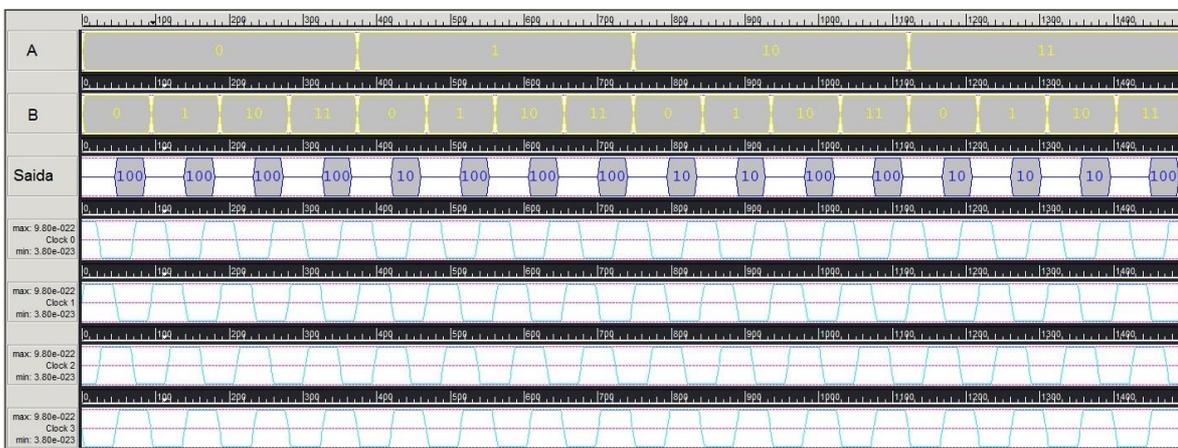


Figura 24 – Simulação do comparador de dois bits com “Cma”, “Cme” e “Cig” em 100

4.4 MÓDULOS COMPARADORES EM CASCATA

O sistema comparador de seis bits foi projetado usando três módulos comparadores de dois bits ligados em cascata. A configuração final do sistema utilizou 2.089 células e 8,25 ciclos de *clock*, de forma que para se visualizar a saída de uma entrada, deve-se observar a saída após nove períodos do *clock* 1, representado pela cor rosa no circuito QCA. A figura 25 mostra a configuração do sistema no QCA Designer para posterior simulação.

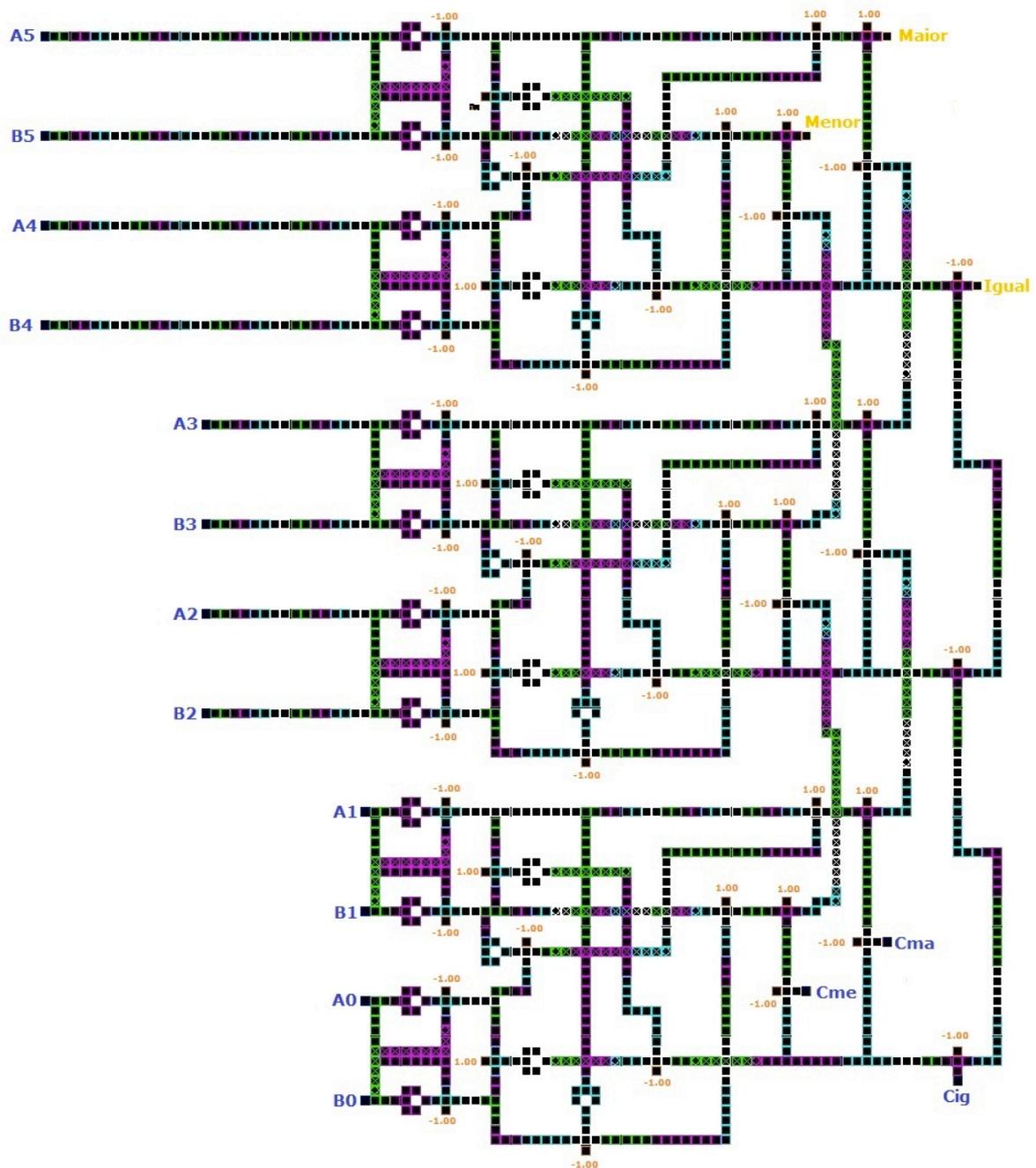


Figura 25 – Comparador de seis bits.

4.5 SIMULAÇÃO DO COMPARADOR EM CASCATA

Em tempo de simulação e validação, verificou-se que quando o circuito era implementado em cascata, as simulações não apresentavam os valores esperados. Constatou-se que tais inconsistências eram causadas pelo aumento do número de entradas do sistema. Em pesquisa a um grupo de discussão sobre o QCADesigner [17], obtivemos uma solução para o problema. O número de

amostras de simulação deveria ser igual a $2^n \times 2000$. Onde “n” é o numero de entradas do sistema.

Para a simulação do circuito em cascata foi necessário alterar o parâmetro referente ao número de amostras para o valor de 8.192.000 amostras. Os resultados das simulações para o circuito em cascata ficaram muito grandes para serem mostradas no texto deste trabalho. Portanto seguem apenas partes das simulações feitas:

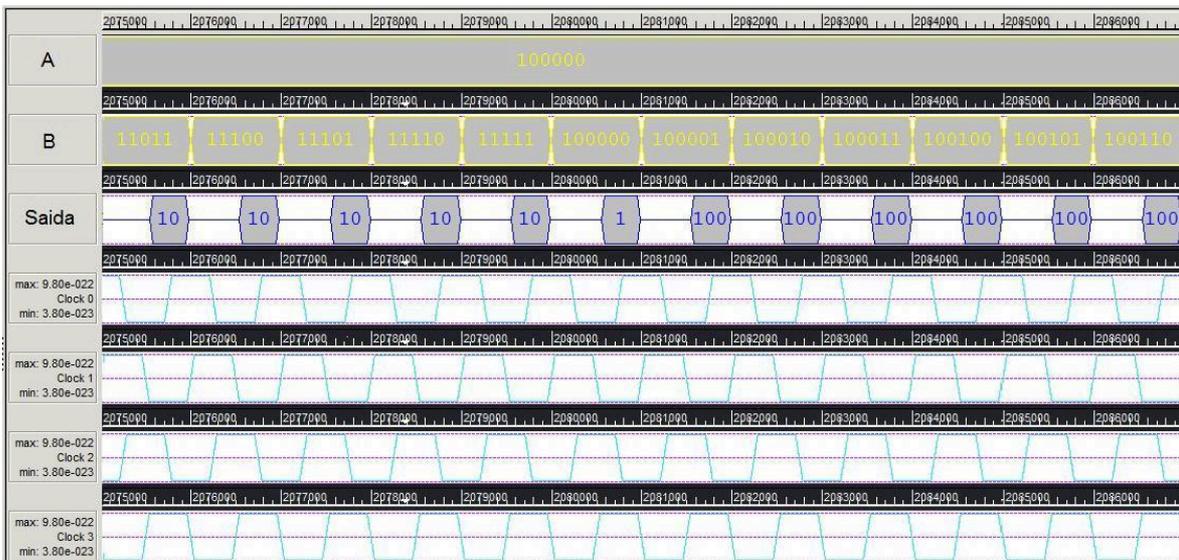


Figura 26 – Simulação do comparador de seis bits com “Cma”, “Cme“ e “Cig” em 001

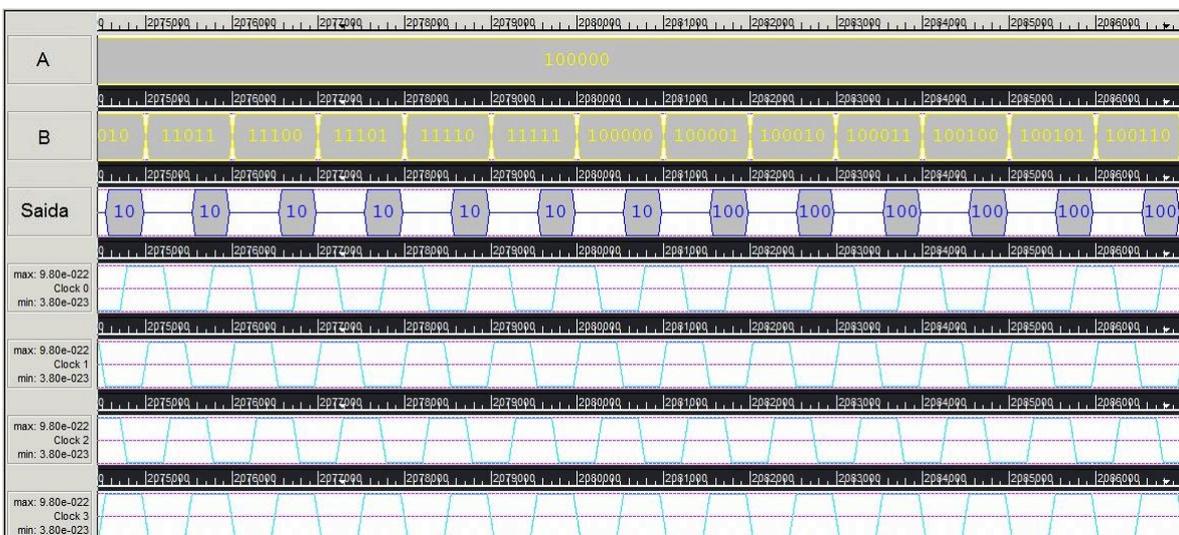


Figura 27 – Simulação do comparador de seis bits com “Cma”, “Cme“ e “Cig” em 010

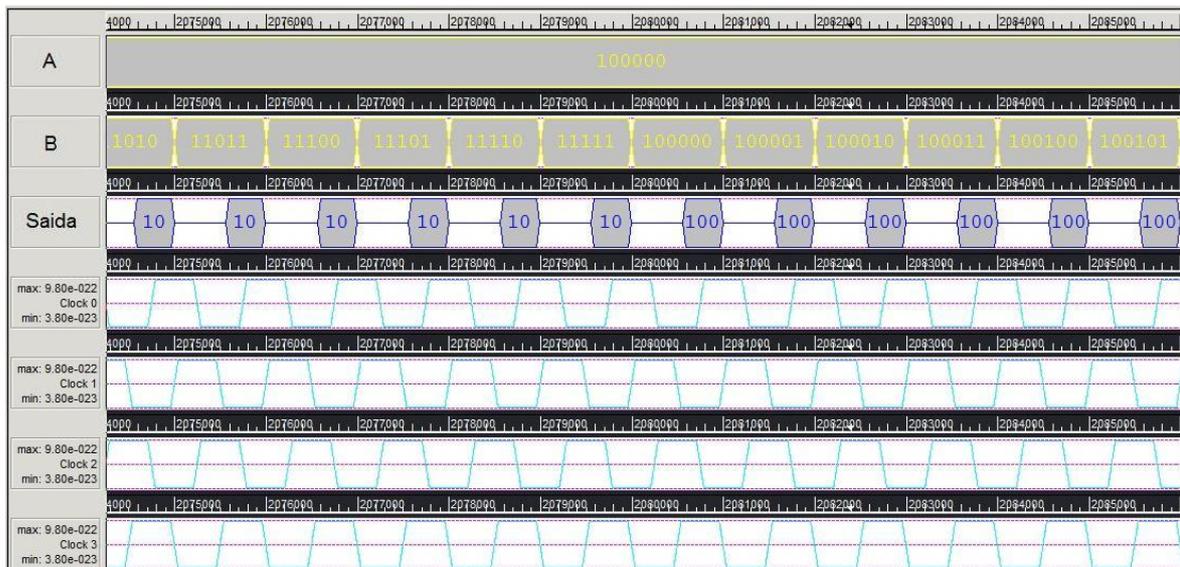


Figura 28 – Simulação do comparador de seis bits com “Cma”, “Cme” e “Cig” em 100

4.6 CARACTERÍSTICAS DO PROJETO CONCLUÍDO

Considerando que cada célula possui área de 18 nm x 18nm, o módulo do circuito comparador de dois bits em QCA terá uma área de aproximadamente 0,18 μm^2 . A área do comparador na tecnologia CMOS é cerca de 0,41 μm^2 se implementado em tecnologia de comprimento de canal de 40nm [10]. Sendo assim, a área do comparador de 2 bits na tecnologia QCA ocupa menos da metade da área do comparador CMOS.

Com relação à dissipação de energia, o circuito QCA apresenta um valor baixíssimo de dissipação. Numa frequência de operação de 10 GHz, uma célula QCA dissipa uma potência de aproximadamente 0,1 nW, enquanto que um transistor CMOS com 30 nm de canal dissipa 10 μW [11]. Para o circuito QCA comparador de dois bits projetado na figura 24, a potência dissipada é 55,3 nW, que é bem menor que a potência dissipada por um transistor CMOS.

As referências bibliográficas pesquisadas para este trabalho não definem especificamente a frequência de operação possível e atrasos de propagação reais, mas pode ser analisada como um parâmetro importante em trabalhos futuros [5].

A temperatura de operação do circuito QCA varia com o tamanho da célula QCA. Quanto menor a célula QCA, maior será sua temperatura de operação.

Com a diminuição do tamanho da célula a energia eletrostática (q^2/C) cresce, facilitando a operação na temperatura ambiente, porém a energia cinética aumenta. Desta forma, as temperaturas de operação estão em torno de 70 mK. Para operar na temperatura ambiente, as células devem ter suas dimensões reduzidas para que os poços tenham aproximadamente 2 nm. Porém os processos de fabricação ainda não são adequados para produzir em massa células QCA de dimensões suficientemente pequenas para operar à temperatura ambiente [12][13].

5 CONCLUSÃO

O objetivo deste trabalho era projetar, desenvolver o *layout* e simular um comparador de palavras binárias baseado em células QCA. Após o projeto e validação do circuito lógico, foi feita a montagem do circuito QCA. Considerou-se a bibliografia existente sobre as propriedades das células QCA e as seus possíveis arranjos para formarem as portas lógicas necessárias.

A montagem do arranjo das células foi relativamente simples, porém a implementação exigiu bastante atenção nas definições dos *clocks*, visto sua importância para o adequado funcionamento do circuito.

As simulações foram bem trabalhosas, visto que levavam bastante tempo para realização. Ocorreram maiores dificuldades na realização da simulação do comparador de seis bits. Após várias tentativas, descobriu-se a necessidade de ajustes nos parâmetros da simulação, devido o aumento do número de entradas do circuito.

Trabalhos futuros podem estudar a influência de outros fatores que não foram abordados neste trabalho, como temperatura e materiais para implementação. Estes parâmetros podem ser configurados nas simulações. Outros trabalhos podem abordar a análise do comportamento dinâmico do circuito, bem como utilizar outros *softwares* simuladores de QCA, como o AQUINAS e o Q-BERT.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Stella, M. F., “*Dinâmica de Células de Pontos Quânticos Acopladas*”, Dissertação de Mestrado em Engenharia Elétrica, Departamento de Engenharia Elétrica, Universidade de Brasília, 2007.
- [2] Guimarães, J. G., “*Nanoeletrônica*”, 8ª Semana de Engenharia Elétrica, Departamento de Engenharia Elétrica, Universidade de Brasília, 2007.
- [3] Neto V., Paranaíba O., “*Simulação e Síntese Automática de Circuitos de Autômatos Celulares com Pontos Quânticos Através de Técnicas Inteligentes*” Dissertação (mestrado) – Pontifícia Universidade Católica do Rio de Janeiro, Departamento de Engenharia Elétrica, 2006.
- [4] Guimarães, J. G., “*Tópicos em Engenharia: Nanoeletrônica*”, Disciplina de Graduação e Pós-Graduação, Departamento de Engenharia Elétrica, Universidade de Brasília, 2011.
- [5] M. Taghizadeh, e M. Askari, “*Logic Circuit Design in Nano-Scale using Quantum-Dot Cellular Automata*”, European Journal of Scientific Research, VOL.48, NO.3, (2011).
- [6] <http://www.mina.ubc.ca/qcadesigner>, acessado no dia 05/07/2012.
- [7] Neal S. Widmer, Ronald J. Tocci, “*Sistemas Digitais - Princípios e Aplicações*”, 10ª Ed. 2007, PRENTICE HALL.
- [8] Milos Ercegovac, Tomas Lang e Jaime H. Moreno, “*Introdução aos Sistemas Digitais*”, 1a Ed, Bookman.
- [9] Choi M., Park N., “*Locally Synchronous, Globally Asynchronous Design for Quantum-Dot Cellular Automata (LSGA QCA)*”, Proceedings of 2005 5th IEEE Conference on Nanotechnology, Nagoya, Japan, Julho 2005.
- [10] Bindal A., Naresh A., Yuan P., Nguyen K. K., Hamedi-Hagh S., “*The Design of Dual Work Function CMOS Transistors and Circuits Using Silicon Nanowire Technology*”, IEEE TRANSACTIONS ON NANOTECHNOLOGY, VOL. 6, NO. 3, Maio 2007.
- [11] Timler, J., Lent, C. S., “*Power Gain and Dissipation in Quantum-Dot Cellular Automata*”, Journal of Applied Physics, 91, 823;doi: 10.1063/1.1421217, Published by the American Institute of Physics, 2002.
- [12] M. Momenzadeh, J. Huang, F. Lombardi, “*Design and Test of Digital Circuits by Quantum-Dot Cellular Automata*”, 1 edition (November 1, 2007), Artech House Publishers.

- [13] Amlani I., Orlov A. O., Toth G., Bernstein G. H., Lent C. S., Snider G. L., "Digital Logic Gate Using Quantum-Dot Cellular Automata", www.sciencemag.org, SCIENCE VOL 284 9 APRIL 1999.
- [14] Walus K., Mazur M., Schulhof G., Jullien G. A., "Simple 4-Bit Processor Based On Quantum-Dot Cellular Automata (QCA)", ATIPS Laboratory, University of Calgary, Calgary, Canadá, Proceedings of the 16th International Conference on Application-Specific Systems, Architecture and Processors, 2005 IEEE.
- [15] Raja T., Agrawal V. D., Bushnell M. L., "A Tutorial on the Emerging Nanotechnology Devices", Proceedings of the 17th International Conference on VLSI Design (VLSID'04), 2004 IEEE.
- [16] P. D. Tougaw, e C. S. Lent, "Logical Devices Implemented Using Quantum Cellular Automata", Journal of Applied Physics, VOL.75, NO.3, fevereiro (1994).
- [17] http://groups.yahoo.com/group/qca_design/ acessado no dia 22/05/2012.
- [18] Fagundes C. D., "Unidade Lógica e Aritmética Baseada em Transistores Mono-Elétron", Trabalho de Conclusão de Curso, Departamento de Engenharia Elétrica, Universidade de Brasília, 2011.
- [19] Bernardes W. H. J., Cronemberger A. T., "Conversor A/D Implementado em Tecnologia Nanoeletrônica", Trabalho de Conclusão de Curso, Departamento de Engenharia Elétrica, Universidade de Brasília, 2011.

ILHAS [15]

A ilha é a região definida entre duas paredes bem finas de um material, normalmente um isolante. Sua dimensão varia de 5 a 100nm e nela pode-se confinar elétrons que assumem determinados níveis de energia, como mostra a figura 29. As paredes criam barreiras de potencial de energia, impedindo o livre movimento de elétrons através da ilha. Em determinadas condições, elétrons poderão atravessar as barreiras por um processo denominado tunelamento.

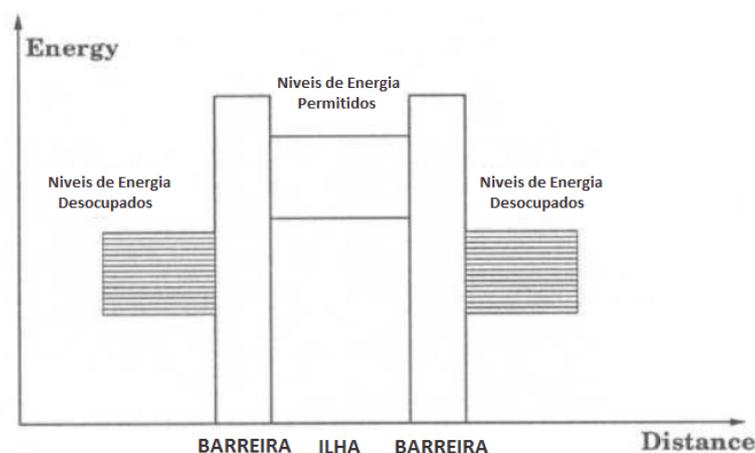


Figura 29 - Estrutura potencial de um poço quântico [15]

QUANTIZAÇÃO DOS NIVEIS DE ENERGIA [15]

Diferentemente dos transistores MOS, onde um elétron pode assumir qualquer nível de energia no canal contínuo, nos dispositivos nanoeletrônicos a energia é quantizada nas regiões do poço. Os elétrons somente podem ocupar os estados que satisfazem a equação de onda de Schroedinger. Quanto maior o numero de níveis de energia de um poço, maior a probabilidade de um elétron ser confinado no poço quântico.

TUNELAMENTO [15]

O tunelamento ocorre quando um elétron atravessa uma barreira de potencial cuja energia é maior que sua própria energia. Para que isso ocorra é necessário que a barreira de potencial seja suficientemente fina e que haja um estado vago com nível de energia igual ao do elétron do outro lado da barreira.

Pode-se aplicar uma tensão de polarização no dispositivo para baixar a energia de um estado desocupado e forçar a condição para ocorrer o tunelamento. Neste diz-se que o poço quântico está em ressonância. Os pontos quânticos, alvo deste trabalho, baseiam-se no tunelamento ressonante.

BLOQUEIO DE COULOMB [15]

O bloqueio de Coulomb se dá quando não há um nível de energia quantizado livre para que o elétron o ocupe. Após um elétron entrar em uma ilha, outro elétron somente conseguirá tunelar para dentro da ilha se possuir energia suficiente para ocupar o próximo nível vazio. Assim deverá atingir um valor limiar de tensão de polarização. Tal tensão é chamada de Tensão de Bloqueio de Coulomb (“ V_C ”). A característica IV resultante do Bloqueio de Coulomb é mostrada na Figura 30. “ V_{DS} ” é a tensão aplicada aos terminais da ilha e I_{DS} é a corrente resultante da passagem do elétron.

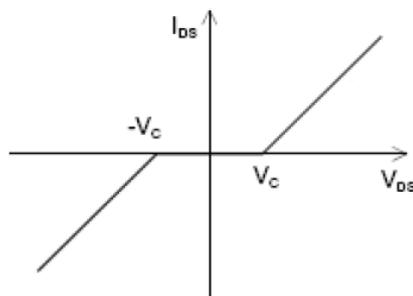


Figura 30 – Característica do Bloqueio de Coulomb [15]

JUNÇÃO-TÚNEL [15]

A junção-túnel (figura 31) é formada por dois eletrodos de metal separados por um isolante extremamente fino, a ponto dos elétrons o atravessaram por tunelamento de forma discreta.

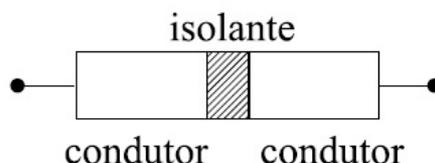


Figura 31 – Junção-túnel [15]