

TRABALHO DE CONCLUSÃO DE CURSO

COMPARAÇÃO DE DESEMPENHO ENTRE
ARQUITETURAS DE DISTRIBUIÇÃO DE
CLOCK BASEADAS EM INTERCONEXÕES DE
COBRE E DE NANOTUBO DE CARBONO

Lucas Rossi Ramirez

Brasília, Julho de 2014

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE CONCLUSÃO DE CURSO

COMPARAÇÃO DE DESEMPENHO ENTRE
ARQUITETURAS DE DISTRIBUIÇÃO DE
CLOCK BASEADAS EM INTERCONEXÕES DE
COBRE E DE NANOTUBO DE CARBONO

Lucas Rossi Ramirez

*Relatório submetido ao Departamento de Engenharia
Elétrica como requisito parcial para obtenção
do grau de Engenheiro Eletricista*

Banca Examinadora

Profa. Janaína Gonçalves Guimarães, _____
ENE/UnB
Orientador

Prof. Stefan Michael Blawid, ENE/UnB _____
Examinador interno

Profa. Artemis Marti Ceschin, ENE/UnB _____
Examinador interno

FICHA CATALOGRÁFICA

RAMIREZ, LUCAS ROSSI

Comparação de Desempenho entre Arquiteturas de Distribuição de *Clock* Baseadas em Interconexões de Cobre e de Nanotubo de Carbono [Distrito Federal] 2016.

xiii, 40 p., 210 x 297 mm (ENE/FT/UnB, Bacharel, Engenharia Elétrica, 2014)).

Monografia de Trabalho de Conclusão de Curso - Universidade de Brasília. Faculdade de Tecnologia.

Departamento de Engenharia Elétrica

1.Nanoeletrônica 2.Interconexão
3.Nanotubo de Carbono 4.*Clock*

I. ENE/FT/UnB

REFERÊNCIA BIBLIOGRÁFICA

RAMIREZ, L.R. (2014). Comparação de Desempenho entre Arquiteturas de Distribuição de *Clock* Baseadas em Interconexões de Cobre e de Nanotubo de Carbono. Monografia de Trabalho de Conclusão de Curso.

Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 40 p.

CESSÃO DE DIREITOS

NOME DO AUTOR: Lucas Rossi Ramirez TÍTULO DA MONOGRAFIA: Comparação de Desempenho entre Arquiteturas de Distribuição de *Clock* Baseadas em Interconexões de Cobre e de Nanotubo de Carbono. GRAU / ANO: Bacharel em Engenharia Elétrica / 2014

É concedida à Universidade de Brasília a permissão para reproduzir cópias desta monografia de Projeto Final e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. O autor reserva outros direitos de publicação e nenhuma parte desta monografia de Projeto Final pode ser reproduzida sem a autorização por escrito do autor.

Lucas Rossi Ramirez

SQS 402 bloco A apartamento 307, Asa Sul

70236-010 Brasília - DF - Brasil

lrossiramirez@gmail.com

RESUMO

Nesta monografia será realizado o estudo sobre o desempenho de arquiteturas de distribuição de *clock* de alta velocidade baseadas em interconexões de nanotubos de carbono e de cobre. As arquiteturas de distribuição estudadas serão: *H-tree*, *X-Tree* e *Mesh Tree*. Dessa forma, os modelos de circuitos do SWCNT bundle (*single-walled carbon nanotube bundle*) e do cobre serão apresentados e o estudo comparativo do desempenho destes materiais será realizado, considerando diferentes comprimentos das interconexões. Além disso, o efeito destas interconexões será analisado com *buffers* em seus terminais, também para diferentes dimensões. Com este propósito, as interconexões e os circuitos serão simulados usando o *software* LTSPICE.

SUMÁRIO

1	INTRODUÇÃO	1
1.1	OBJETIVOS	2
1.2	ORGANIZAÇÃO	2
2	FUNDAMENTAÇÃO TEÓRICA	3
2.1	INTERCONEXÕES	3
2.1.1	LIMITAÇÕES DO COBRE EM RELAÇÃO AO CNT	3
2.1.2	CARACTERÍSTICAS DO SWCNT <i>bundle</i>	3
2.1.3	MODELOS DE INTERCONEXÃO	5
2.1.4	<i>Buffers</i> INVERSORES CMOS 16NM E 45NM	12
2.1.5	ARQUITETURAS DE DISTRIBUIÇÃO DE <i>clock</i>	13
2.1.6	ARQUITETURA <i>H-Tree</i>	13
2.1.7	ARQUITETURA <i>X-Tree</i>	14
2.1.8	ARQUITETURA <i>Mesh</i>	15
2.2	MEDIDAS DE DESEMPENHO	16
2.2.1	LTSPICE	16
2.2.2	ATRASSO	16
2.2.3	DISSIPACÃO DE POTÊNCIA	17
2.2.4	PRODUTO ATRASSO-POTÊNCIA	18
3	DESENVOLVIMENTO	19
3.1	INTRODUÇÃO	19
3.2	ETAPAS E ESTRATÉGIAS ADOTADAS	19
3.3	MODELAGEM DOS REGISTROS E INTERCONEXÕES	19
3.3.1	REGISTRADORES	20
3.3.2	INTERCONEXÕES	20
3.4	SIMULAÇÕES PRELIMINARES	21
3.4.1	REGISTRADORES	21
3.4.2	INTERCONEXÕES	21
3.5	SIMULAÇÕES DAS ARQUITETURAS DE DISTRIBUIÇÃO DE <i>clock</i>	21
3.5.1	ARQUITETURA <i>H-Tree</i>	22
3.5.2	ARQUITETURA <i>X-Tree</i>	22
3.5.3	ARQUITETURA <i>Mesh</i>	22

3.6	COMPARAÇÃO E ARRANJO DE DADOS	23
4	RESULTADOS	25
4.1	SIMULAÇÕES PRELIMINARES.....	25
4.1.1	REGISTRADORES	25
4.1.2	INTERCONEXÃO SIMPLES.....	27
4.2	ARQUITETURAS DE DISTRIBUIÇÃO DE <i>clock</i>	27
4.2.1	ARQUITETURA <i>H-Tree</i>	28
4.2.2	ARQUITETURA <i>X-Tree</i>	30
4.2.3	ARQUITETURA <i>Mesh</i>	32
5	CONCLUSÕES	35
	REFERÊNCIAS BIBLIOGRÁFICAS	36
	ANEXOS.....	39

LISTA DE FIGURAS

2.1	Estrutura de uma lâmina de grafeno (esquerda), do SWCNT (centro) e do MWCNT (direita) [1].	4
2.2	Disposição de SWCNT na formação de um SWCNT <i>bundle</i> .	4
2.3	Estrutura do (a) <i>armchair</i> , (b) <i>zig-zag</i> e (c) <i>quiral</i> [2].	5
2.4	Modelo de interconexão do SWCNT isolado.	8
2.5	Disposição de CNTs em um SWCNT <i>bundle</i> (a) e distância existente entre CNTs adjacentes em um <i>bundle</i> (b).	9
2.6	Modelo de interconexão de cobre, π com 3 segmentos	12
2.7	Esquemático e tabela verdade de uma porta inversora.	13
2.8	Arquitetura <i>H-Tree</i> de 4 níveis.	14
2.9	Arquitetura <i>X-Tree</i> de 3 níveis.	15
2.10	Arquitetura <i>Mesh Tree</i> de 4 níveis.	16
2.11	Definição de atraso (<i>delay</i>) entre entrada e saída.	17
3.1	Esquemático dos circuitos CMOS utilizados como registros.	20
3.2	Fluxograma da metodologia aplicada neste trabalho.	24
4.1	Entrada e saída do primeiro ciclo da fonte nos registros de 16nm e 45nm com detalhe ampliado.	26
4.2	Atraso (s) das interconexões simples de BCNT <i>versus</i> a dimensão $50nm \leq l \leq 250\mu m$.	28
4.3	Atraso \times Potência <i>versus</i> ' l ' da estrutura <i>H-Tree</i> .	30
4.4	Atraso \times Potência <i>versus</i> ' l ' da estrutura <i>X-Tree</i> .	32
4.5	Atraso \times Potência <i>versus</i> ' l ' da estrutura <i>Mesh</i> .	33
1	(a) Exemplo do circuito <i>H-Tree</i> simulado ($l_{BCNT} = 1\mu m$), (b) resposta obtida de todas as saídas do circuito em questão.	39
2	(a) Exemplo do circuito <i>X-Tree</i> simulado ($l_{BCNT} = 1\mu m$), (b) resposta obtida de todas as saídas do circuito em questão.	39
3	Momento de aferição da P_{mx} em uma interconexão de BCNT de $1\mu m$.	40
4	(a) Exemplo do circuito <i>Mesh</i> simulado ($l_{Cu} = 1\mu m$), (b) resposta obtida de todas as saídas do circuito em questão.	40
5	(a) Circuito <i>H-Tree</i> de 4 níveis em escala milimétrica, (b) Circuito aplicado de uma arquitetura <i>H-Tree</i> .	41
6	Arquitetura <i>Mesh</i> com 4 níveis.	42

LISTA DE TABELAS

4.1	Desempenho comparativo entre os registradores de 16nm e 45nm.	26
4.2	Desempenho comparativo entre as interconexões de cobre e de BCNT.....	27
4.3	Atraso entre entrada e saída de um terminal da arquitetura <i>H-Tree</i>	29
4.4	Potências dissipadas pela arquitetura <i>H-Tree</i>	29
4.5	Atraso entre entrada e saída de um terminal da arquitetura <i>X-Tree</i>	31
4.6	Potências dissipadas pela arquitetura <i>X-Tree</i>	31
4.7	Atraso entre entrada e saída de um terminal da arquitetura <i>Mesh</i>	32
4.8	Potências dissipadas pela arquitetura <i>Mesh</i>	33

LISTA DE SÍMBOLOS E NOMENCLATURAS

CNT - Carbon nanotube;

Cu - Cobre;

ITRS - International Technology Roadmap for Semiconductors;

LTSPICE - Linear Technology SPICE simulator;

MWCNT - Multi-walled carbon nanotube;

SPICE - Simulated Program with Integrated Circuits Emphasis;

SWCNT - Single-walled carbon nanotube;

CMOS - Complementary Metal-Oxide-Semiconductor;

GSI - Giga Scale Integration;

TSI - Tera Scale Integration;

Capítulo 1

Introdução

Como previsto por Gordon Moore, em sua conhecida Lei de Moore, sobre o comportamento de evolução dos circuitos integrados, a quantidade de transistores dobra a cada um ano e meio para uma mesma área e para um mesmo custo de fabricação. Esse ritmo de evolução, que leva a miniaturização crescente dos componentes eletrônicos existentes, deu origem à nanoeletrônica. O comportamento quântico dos materiais utilizados na microeletrônica, anteriormente desprezados, agora são desafios a serem transpostos pela nanoeletrônica, que tende a manter o avanço na miniaturização de circuitos integrados em geral [3].

Dentre estes desafios, a utilização de novos materiais com comportamento mais robusto e menos resistivo é uma medida necessária para construção de interconexões mais eficientes, uma vez que estas distribuem os sinais de dados e alimentam cada transistor dentro de um circuito integrado. Em busca da melhora na resposta de interconexões em relação à frequência de operação, à alta resistividade de alguns materiais e à dificuldade de controlar a dimensão em escala nanométrica, que a nanoeletrônica estuda novas alternativas também neste tópico.

A gradativa necessidade de aumentar o desempenho e a integração das tecnologias implica que, em alguns casos, os materiais mais utilizados possam chegar em seu limite fundamental de desempenho. Sendo assim, materiais e estruturas novas são estudados para suprir esta demanda crescente prevista por Moore [4].

A velocidade de processamento é um fator expoente dentro de um circuito integrado. Essa velocidade em sistemas síncronos é assegurada por um sistema de distribuição de *clock*, que sincroniza o tráfego de dados. Contudo, a miniaturização das interconexões vai de encontro à necessidade de rapidez, uma vez que fatores como *skew* e *crossstalk* são diretamente afetados pela velocidade de operação e pelas limitações físicas das interconexões. Sendo assim, alternativas como novas arquiteturas de distribuição de *clock*, utilização de materiais como nanotubo de carbono (CNT) para construção de tais interconexões, utilização de interconexões óticas, dentre outros materiais eficientes, estão sempre sob alvo de pesquisas e estudos [5].

Segundo o ITRS, nanotubos de carbono são considerados soluções eficientes para superar as limitações como atraso, dissipação de potência e resistência à eletromigração presente nos materiais difundidos no mercado [6].

1.1 Objetivos

O objetivo deste trabalho é comparar o desempenho entre a utilização de interconexões de nanotubo de carbono e de interconexões de cobre, mais especificamente a de interconexões de cobre e de SWCNT *bundle* (*Single-walled carbon nanotube*), que é composta por diversos nanotubos de carbono dispostos em paralelo.

Com finalidade de comparar o cobre (Cu) com o SWCNT *bundle*, utilizaremos diversas estruturas de distribuição de clock presentes no mercado de dispositivos síncronos como *H-Tree*, *X-Tree*, e *Mesh Tree* como meio deste estudo para alcançar a conclusão se o SWCNT *bundle* deve substituir o cobre em arquiteturas de distribuição de *clock*, construídas com diferentes comprimentos de interconexões, em circuitos de alta frequência de operação.

1.2 Organização

No capítulo 2 são apresentados os conceitos fundamentais necessários à compreensão deste trabalho. Serão abordados conceitos referentes às interconexões de nanotubos de carbono e cobre, às arquiteturas de distribuição de *clock* em circuitos síncronos como *H-Tree*, *X-Tree* e *Mesh Tree*.

A metodologia utilizada para alcançar o objetivo deste trabalho está descrita no capítulo 3, que explica todas as etapas seguidas nas análises de desempenho entre os materiais estudados e entre as estruturas em questão.

No quarto capítulo serão expostos os resultados e análises das simulações das arquiteturas *H-Tree*, *X-Tree* e *Mesh* construídas em cobre e em SWCNT *bundle* assim como dos registros utilizados.

O capítulo 5 expõe as conclusões desta monografia e as recomendações para futuros trabalhos.

Capítulo 2

Fundamentação Teórica

Serão expostos neste capítulo os conceitos fundamentais necessários para o desenvolvimento deste estudo.

2.1 Interconexões

2.1.1 Limitações do cobre em relação ao CNT

Primeiramente, uma interconexão de CNT, de acordo com o ITRS (*International Technology Roadmap for Semiconductors*) suporta densidades de corrente elétrica na ordem de $10^{10} A/cm^2$, característica esta que os torna ótimos aliados de circuitos de dimensão reduzida e de consumo de potência controlado, um dos maiores problemas relacionados à miniaturização dos circuitos integrados [6]. Uma interconexão de cobre, por sua vez, suporta densidades inferiores a $10^7 A/cm^2$ [1]. Esse fator despertou o interesse dos pesquisadores no CNT desde sua descoberta em 1991 por Iijima, pois além da maior densidade de corrente suportada quando se compara ao cobre, amplamente utilizado no mercado, o CNT apresentava ainda um caminho médio livre superior, o que resulta em um transporte eletrônico balístico um tanto quanto superior, pois a resistividade do CNT manteve-se menor quando comparado com uma interconexão similar de Cu [1, 7].

2.1.2 Características do SWCNT *bundle*

Para o entendimento do SWCNT *bundle*, alvo deste estudo, é necessária uma breve introdução nas características do CNT e posteriormente do SWCNT.

O SWCNT *bundle*, ou BCNT (*single-walled carbon nanotube bundle*) é formado por um conjunto de lâminas de grafeno enroladas individuais e paralelas, ao contrário da MWCNT (*multi-walled carbon nanotube*) que caracteriza-se por ser um conjunto de lâminas enroladas concetricamente, formando uma multicamada como é mostrado na Figura 2.1 [2].

O MWCNT é menos favorável para interconexões, pois seu caminho médio livre permite um transporte balístico inferior ao SWCNT, isso ocorre devido à maior resistividade do MWCNT para

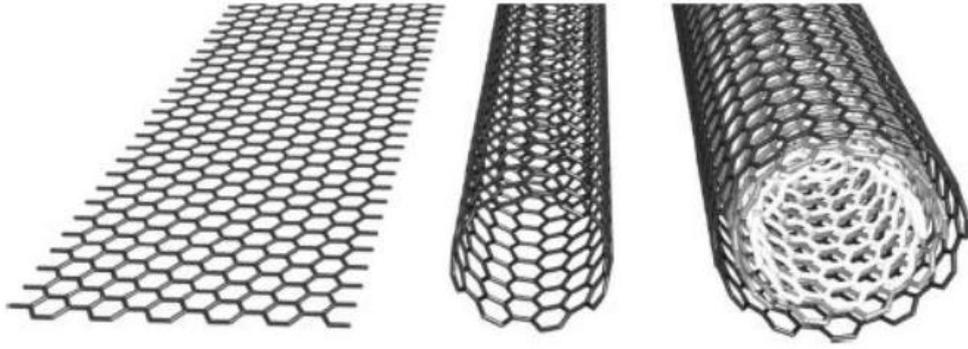


Figura 2.1: Estrutura de uma lâmina de grafeno (esquerda), do SWCNT (centro) e do MWCNT (direita) [1].

mesmas dimensões do material [1].

O surgimento do SWCNT *bundle* ou BCNT veio com a descoberta de que a disposição em pacotes dos SWCNTs tinham valores de resistência equivalentes menores, sendo assim considerado um BCNT o empacotamento de SWCNTs como pode ser visualizado na Figura 2.2.

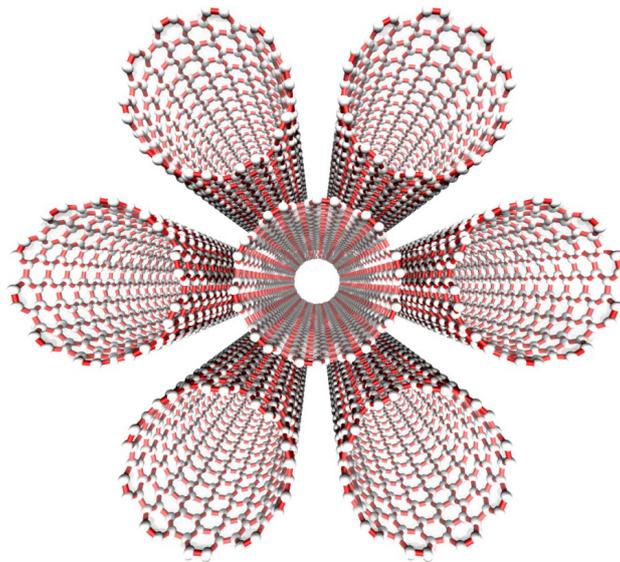


Figura 2.2: Disposição de SWCNT na formação de um SWCNT *bundle*.

Existem algumas configurações estruturais do SWCNT que o definem como estrutura metálica ou estrutura semicondutora. Essa característica provém do ângulo quiral e dos índices quirais (m,n) , obedecendo a regra de que se a diferença entre os índices for múltiplo de 3, então o nanotubo será metálico, caso contrário ele será semicondutor.

Quando m ou n é igual a zero, a estrutura é chamada de *zig-zag*, podendo ser metálica ou semicondutora. Quando $m = n$, a estrutura é denominada *armchair*, sendo sempre metálica. Nos casos restantes, a estrutura fica conhecida como *quiral* e também pode ser uma estrutura metálica ou semicondutora [2].

A Figura 2.3 representa as estruturas sob uma vista superior e por um corte perspectivo.

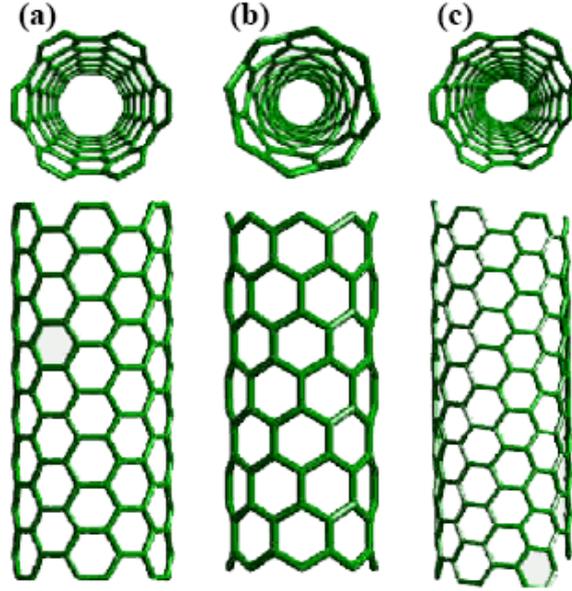


Figura 2.3: Estrutura do (a) *armchair*, (b) *zig-zag* e (c) *quiral* [2].

2.1.3 Modelos de interconexão

Modelos equivalentes às interconexões a serem comparadas, que levam em consideração características como resistência, indutância e capacitância para diferentes comprimentos de interconexão são essenciais para comparação futura entre o desempenho de interconexões de cobre e de BCNT por meio de simulação computacional.

2.1.3.1 Interconexão SWCNT simples

Para o entendimento da interconexão BCNT a ser estudada, é necessário domínio de uma estrutura mais simples que dá origem ao SWCNT *bundle*, que é o SWCNT.

Uma interconexão de SWCNT possui em suma três resistências, uma resistência de contato (R_c), uma resistência quântica (R_q) e uma resistência de espalhamento (R_s) [8]. A única destas resistências que varia de acordo com o comprimento da interconexão de nanotubo é a resistência de espalhamento, uma vez que ambas as resistências quântica e de contato mantêm um valor fixo.

Uma vez que o comprimento da interconexão de SWCNT é menor ou igual ao caminho médio livre ($l_{CNT} \leq \lambda_{CNT}$), que é caracteristicamente $1\mu m$, considera-se que o transporte de elétrons é exclusivamente balístico, sendo assim, a resistência equivalente da interconexão independe do comprimento desta.

Por outro lado, quando l_{CNT} é menor ou igual ao caminho médio livre ($\lambda_{CNT} = 1\mu m$), surge a resistência de espalhamento, que varia de acordo com o comprimento do SWCNT [1, 7].

Podemos resumir a resistência equivalente de uma interconexão de SWCNT como na equação 2.1, uma vez que l_{CNT} é o comprimento do SWCNT.

$$R_{CNT} = \begin{cases} R_c + R_q & ; \text{se: } l_{CNT} \leq \lambda_{CNT} \\ R_c + R_q + R_s & ; \text{se: } l_{CNT} > \lambda_{CNT} \end{cases} \quad (2.1)$$

Temos como definição para resistência quântica e resistência de espalhamento as equações em 2.2. Uma vez que e é a carga elementar de um elétron e h é a constante de Plank. Neste modelo, temos a resistência quântica segmentada em duas porções, igualmente distribuídas entre o contato de entrada e o de saída [1, 7, 9].

$$R_q = \frac{h}{4e^2} = 6,45k\Omega$$

$$R_s = \frac{h}{4e^2} \frac{l_{CNT}}{\lambda_{CNT}}$$

(2.2)

A resistência de contato pode variar em módulo de centenas de ohms a valores próximos de $100k\Omega$, de acordo com o diâmetro da interconexão de nanotubo de carbono [1].

Quanto à parte indutiva do modelo de SWCNT, podemos dividi-la em duas parcelas: a indutância magnética (L_M) e a indutância cinética (L_K) [1]; sendo esta regulada pela equação da energia cinética armazenada em um canal condutor do nanotubo de carbono de indutância efetiva [7]; já aquela é calculada sob a condição de que o nanotubo de carbono é um fio de espessura ínfima, sendo sua espessura d e posicionado a uma distância y do aterramento.

Sendo assim, ambas indutâncias, (L_M) e (L_K) são calculadas pelas equações em 2.3.

$$L_M = \frac{\mu}{2\pi} \ln\left(\frac{y}{d}\right)$$

$$L_K = \frac{h}{2e^2\nu_F}$$

(2.3)

Para fins de melhor entendimento do modelo SWCNT *bundle*, que é o utilizado no estudo comparativo deste trabalho, é importante que esteja claro as especificidades adotadas como referências.

Portanto, tomando $d = 1nm$ (diâmetro de cada SWCNT componente do *bundle*) e $y = 1\mu m$ (comprimento da interconexão), $L_M = 1,4pH/\mu m$ [7, 10]; tendo ν_F como a velocidade de Fermi ($8 \times 10^5 m/s$ para o CNT) e como indutância cinética $L_K = 16nH/\mu m$ [1, 7, 9]; levando em consideração que cada CNT tenha quatro canais condutores em paralelo não interagentes entre si e que a indutância cinética efetiva é definida por $L_K/4$ [1, 7]. É satisfatória a aproximação da indutância total da interconexão de SWCNT a $L_{CNT} = 4nH/\mu m$.

Como característica restante do modelo de interconexão de SWCNT, temos a capacitância que também é subdividida em duas parcelas, a capacitância eletrostática (C_E) e a capacitância quântica (C_Q) [1, 7]. Essas capacitâncias são descritas pelas equações em 2.4.

$$C_E = \frac{2\pi\epsilon}{\ln\left(\frac{y}{d}\right)}$$

$$C_Q = \frac{2e^2}{h\nu_F}$$

(2.4)

Considerando que o nanotubo de carbono é um fio de diâmetro $d = 1nm$ e a distância $y = 1\mu m$, temos que $C_E = 30aF/\mu m$. A capacitância quântica refere-se ao carregamento de energia quântica da interconexão, quando passiva por corrente. Sendo assim, $C_Q = 100aF/\mu m$ [1, 7].

Ainda considerando que o nanotubo possui quatro canais condutores paralelos não interagentes, a capacitância equivalente do nanotubo é expressada na equação 2.5.

$$(2.5) \quad C_{CNT} = \frac{C_E \cdot 4C_Q}{C_E + 4C_Q}$$

Tendo descrito as características de resistência, indutância e capacitância do modelo de SWCNT, podemos simulá-la a partir do esquemático da Figura 2.4.

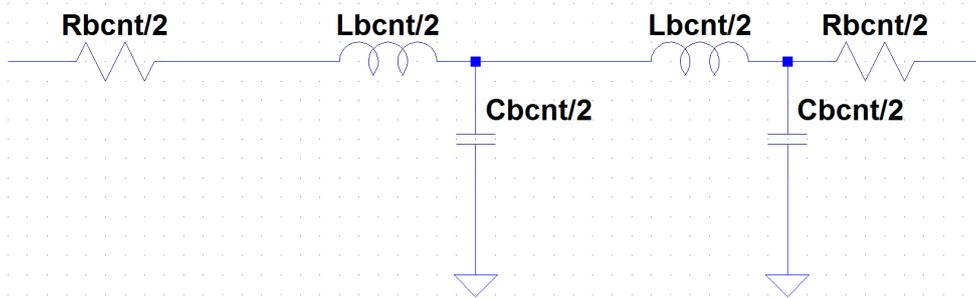


Figura 2.4: Modelo de interconexão do SWCNT isolado.

2.1.3.2 Interconexão SWCNT *bundle* (BCNT)

A interconexão SWCNT *bundle* é um dos alvos comparativos em desempenho deste trabalho, assim como a interconexão de cobre.

Esta interconexão é composta por diversos SWCNTs em paralelos, construídos de forma íntegra. Neste trabalho assumimos que todos os SWCNTs componentes de cada SWCNT *bundle* são idênticos e com o mesmo potencial [11]. Tomamos d como o diâmetro transversal de cada SWCNT componente e que x é a distância entre os centros de nanotubos vizinhos. Tendo isto como definição, podemos dizer que se $x = d$ temos um empacotamento denso e uma vez que $x > d$ temos um empacotamento esparsos [1, 7, 10, 12].

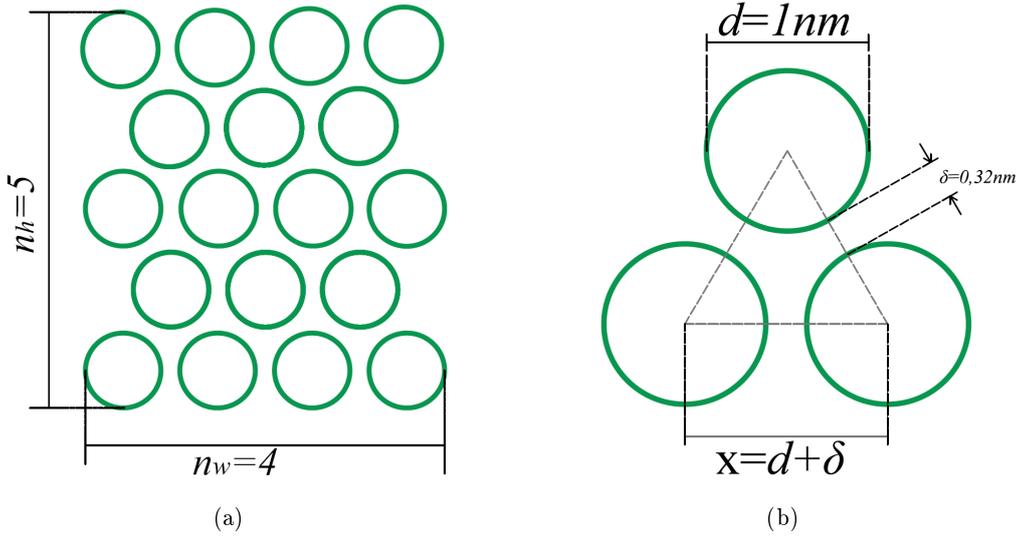


Figura 2.5: Disposição de CNTs em um SWCNT *bundle* (a) e distância existente entre CNTs adjacentes em um *bundle* (b).

Devido à força de Van der Waals existente em um caso real da interconexão, temos ao menos uma distância de $0,32nm$ entre cada SWCNT do *bundle* [1], como exprimido na Figura 2.5.

Neste trabalho, optamos por testar a tecnologia que utiliza $22nm$ como largura da interconexão de SWCNT *bundle*, prevista pelo ITRS para o ano de 2016 [6].

Após esta escolha, podemos deduzir a quantidade de SWCNTs presentes no modelo a ser estudado a partir das equações em 2.6, onde w é a espessura e t é a altura da interconexão [1]. Tendo como resultado n_W (número de SWCNTs ao longo da largura do empacotamento *bundle*) e n_H (número de SWCNTs ao longo da altura do empacotamento *bundle*) [1, 7].

$$n_{CNT} = \begin{cases} n_W n_H - \frac{n_H}{2} & ; \text{se: } n_H \text{par} \\ n_W n_H - \frac{n_H - 1}{2} & ; \text{se: } n_H \text{mpar} \end{cases}$$

$$n_W = \left\lceil \frac{w - d}{x} \right\rceil ; n_H = \left\lceil \frac{t - d}{\left(\frac{\sqrt{3}}{2}\right)x} \right\rceil + 1$$

(2.6)

Sendo assim, podemos aproximar a quantidade de nanotubos de carbono a 600 para esta tecnologia de $22nm$ escolhida.

Tendo isto como preceito, podemos descrever as características como resistência, indutância e capacitância do modelo.

Tanto as resistências, quanto as indutâncias e capacitâncias de cada SWCNT estão conectadas em paralelo dentro de cada empacotamento de SWCNT *bundle* (BCNT). Portanto podemos calcular a resistência equivalente e a indutância equivalente do modelo como demonstrado nas equações em 2.6.

$$\begin{aligned}
 R_{bundle} &= \frac{R_{CNT}}{n_{CNT}} \\
 L_{bundle} &= \frac{L_{CNT}}{n_{CNT}}
 \end{aligned}
 \tag{2.7}$$

Por considerar que a construção da interconexão foi perfeita, cada SWCNT constituinte da interconexão está equipotencial à outro do mesmo *bundle*, portanto podemos assumir que cada SWCNT carrega uma corrente independente e que a interação é fraca entre eles [1].

Tomamos neste trabalho a resistência de contato de cada SWCNT como sendo igual a zero, ou seja, adotamos um contato entre o nanotubo e o registro como sendo ideal.

A capacitância do SWCNT *bundle* é um paralelo entre a capacitância quântica (C_Q) dos SWCNTs em série com a capacitância eletrostática (C_E) das mesmas [1, 7].

Sendo assim, calculamos as capacitâncias pelas equações em 2.8 respectivamente, onde C_{En} representa a capacitância entre placas paralelas de SWCNTs em relação às adjacentes próximas e C_{Ef} às afastadas. Estas equações decorrem na equação 2.9 que por sua vez descreve a capacitância equivalente do modelo a ser estudado (C_{bundle}).

$$\begin{aligned}
 C_Q^{bundle} &= C_Q^{CNT} \cdot n_{CNT} \\
 C_E^{bundle} &= 2C_{En} + \frac{n_W - 2}{2}C_{Ef} + \frac{3(n_H - 2)}{5}C_{En}
 \end{aligned}
 \tag{2.8}$$

$$C_{bundle} = \frac{C_E^{bundle} \cdot C_Q^{bundle}}{C_E^{bundle} + C_Q^{bundle}} \quad (2.9)$$

Para tecnologia de 22nm e uma constante dielétrica igual a 2, a capacitância total do BCNT é de aproximadamente $135aF/\mu m$ nesta tecnologia de 22nm [1].

É conhecido que para dimensões similares os valores de resistência equivalente do SWCNT *bundle* (BCNT) são menores que os do SWCNT isolado, o que garante performances comparáveis às interconexões de tecnologia atual em cobre [1, 7, 9, 13, 10, 12, 8], bastante superiores à do SWCNT simples.

2.1.3.3 Modelo de interconexão de cobre(Cu)

O modelo de interconexão de cobre utilizado neste estudo é descrito por meio das propriedades resistência, capacitância e indutância [7]. A resistência é calculada a partir da equação 2.10.

$$R_{Cu} = \frac{\rho \cdot l}{w \cdot t} \quad (2.10)$$

Onde l é o comprimento do condutor de cobre, w é a largura (diâmetro), t é a altura e ρ é a resistividade. Na escala alvo, nanométrica, a resistividade do cobre é diferenciada por fenômenos de espalhamento superficial e de contorno [9, 14]. De acordo com H. Li [15], o valor de resistividade do cobre na tecnologia alvo, 22nm, para interconexões locais ($\leq 1\mu m$) é dado por $4,666\mu\Omega/cm$. Entretanto, para diâmetros muito pequenos, a resistividade chega a $5,8\mu\Omega/cm$ [16]. Será utilizado este valor para modelar a interconexão de cobre na tecnologia de 22nm, ao encontro dos requerimentos do ITRS [6].

A indutância para escala nanométrica de interconexão de cobre é dividida também em duas parcelas, desta vez própria (L) e mútua (M), são descritas pelas equações em 2.11.

$$L = \frac{\mu \cdot l}{2\pi} \left[\ln \left(\frac{2l}{w+t} \right) + \frac{1}{2} + \frac{0,22(w+t)}{l} \right]$$

$$M = \frac{\mu \cdot l}{2\pi} \left[\ln \left(\frac{2l}{s} \right) - 1 + \frac{s}{l} \right]$$

(2.11)

Sendo t a altura do fio, μ é a permeabilidade e s é o espaçamento entre os fios [17, 18, 19, 20]. Tendo esses parâmetros definidos, a indutância equivalente da interconexão (L_{Cu}) é a soma entre as indutâncias própria e mútua ($L_{Cu} = L + M$).

Segundo Srivastava et. al. [1] para a tecnologia de 22nm e uma constante dielétrica igual a 2, a capacitância total do cobre (Cu) é aproximadamente $150aF/\mu m$. Esse valor é considerado, pois assim como no SWCNT *bundle*, a estrutura de superfície é o contribuinte majoritário para a capacitância eletrostática do cobre.

Será utilizado o modelo π de interconexão de cobre com três segmentos para diferentes comprimentos, assim como utilizado em trabalhos anteriores [21, 20] e como sugerido por K-H. Koo [22]. Este modelo mostrado na Figura 2.6 fornece erro menor que 3%.

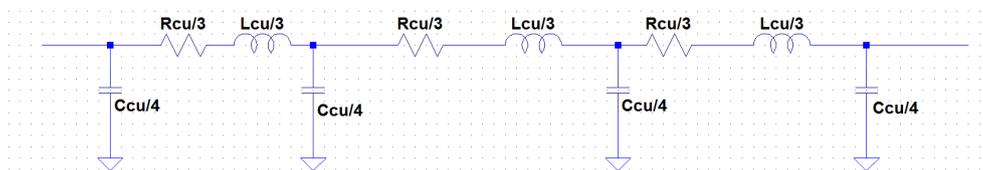


Figura 2.6: Modelo de interconexão de cobre, π com 3 segmentos

2.1.4 *Buffers* inversores CMOS 16nm e 45nm

Com a finalidade de simular um circuito de distribuição de *clock* de circuitos de alta frequência, serão utilizados *buffers* inversores modelados a partir de tecnologias em 16nm e 45nm como sendo os registradores do circuito final.

O *buffer* inversor é a porta *NOT*, um elemento básico em projetos de circuitos digitais. Esta inverte o sinal de entrada de valor lógico baixo - 0 - em um sinal de saída de valor lógico alto - 1 -, e vice-versa. Em outras palavras, a porta *NOT* efetua a negação lógica. O símbolo do inversor, juntamente com sua tabela verdade, está ilustrado na Figura 2.7.

Os modelos dos inversores CMOS foram obtidos por meio do *site*, <http://ptm.asu.edu/> [23], *Predictive Technology Model* (PTM). Trata-se de um *website* que fornece modelos precisos e personalizáveis de transistores e que são compatíveis com simuladores de circuitos do tipo SPICE. Foram, então, escolhidos modelos de alta performance de 16nm, e 45nm.

2.1.5 Arquiteturas de distribuição de *clock*

Em sistemas digitais síncronos, o sinal de *clock* é utilizado como referência de tempo à mudança de dados do sistema [24]. A distribuição de *clock* ganha importância primordial em circuitos digitais integrados de alta velocidade, ainda mais quando se pretende utilizar escalas nanométricas.

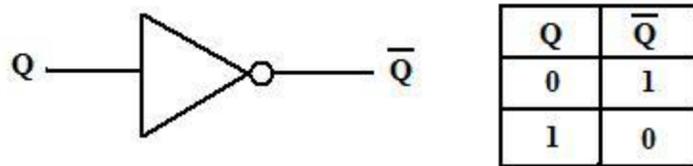


Figura 2.7: Esquemático e tabela verdade de uma porta inversora.

Desafios como o *clock skew* que ocorre em registradores de distâncias distintas da fonte [25] e ao alto consumo de potência pelo condutor, uma vez que o circuito é ininterruptamente ativo e trabalha em cada vez mais elevadas frequências.

Sendo assim, o sinal de *clock* deve chegar aos registradores ao mesmo tempo, para que todos os dados sejam processados de maneira sincronizada para que novos dados tomem lugar nos registradores de destino, da mesma maneira que não pode haver atraso relevante perante a frequência de funcionamento do circuito.

Com a intenção de minimizar o *skew*, definido pela diferença de tempo da chegada do sinal de *clock* entre dois registros sequencialmente adjacentes [5], e a dissipação de potência, diversos modelos são propostos, serão comparados três destes modelos de arquiteturas de distribuição de clock, sendo elas a *H-Tree*, a *X-Tree* e por fim a *Mesh*.

Vale lembrar que circuitos mistos destas diferentes arquiteturas são utilizados em diversos casos, uma vez que grande parte deles não fornecem apenas um tipo de produto e não possuem apenas um tipo de registro, sendo projetados cautelosamente para obtenção de um sistema mais robusto e eficiente. Tais circuitos são comumente produzidos em cobre, entretanto existem indícios, que serão explícitos neste trabalho, que o BCNT possui diversas características que determinam um *skew* e uma dissipação mais eficiente quando comparado ao cobre.

Neste trabalho será comparada eficiência entre as arquiteturas construídas em cobre e entre as arquiteturas construídas em BCNT.

2.1.6 Arquitetura *H-Tree*

Na arquitetura *H-Tree*, parte-se do princípio da simetria de distribuição, ou seja, considerando uma construção perfeita, onde os caminhos sejam idênticos e as distâncias entre os registros e a fonte é a mesma, o processamento destes será exatamente simultâneo.

Nesta arquitetura, podemos ter diversos níveis de distribuição, de maneira que a fonte esteja exatamente conectada ao centro do primeiro ramo de interconexão, ou seja, no centro do maior 'H'. Este 'H' tem em suas quatro arestas, mais quatro outros 'H' e assim consecutivamente, de maneira que o número de registros $N = 2^{\nu+1}$ onde ν é o nível de profundidade da distribuição.

Na Figura 2.8 fica bem exemplificada a profundidade de níveis de um sistema *H-Tree* de até quatro níveis, que é o que será estudado com um total de 32 registros terminais.

Os valores definidos como estudo neste trabalho (l) estão definidos na Figura 2.8 como sendo o menor ramo de interconexão do circuito estudado.

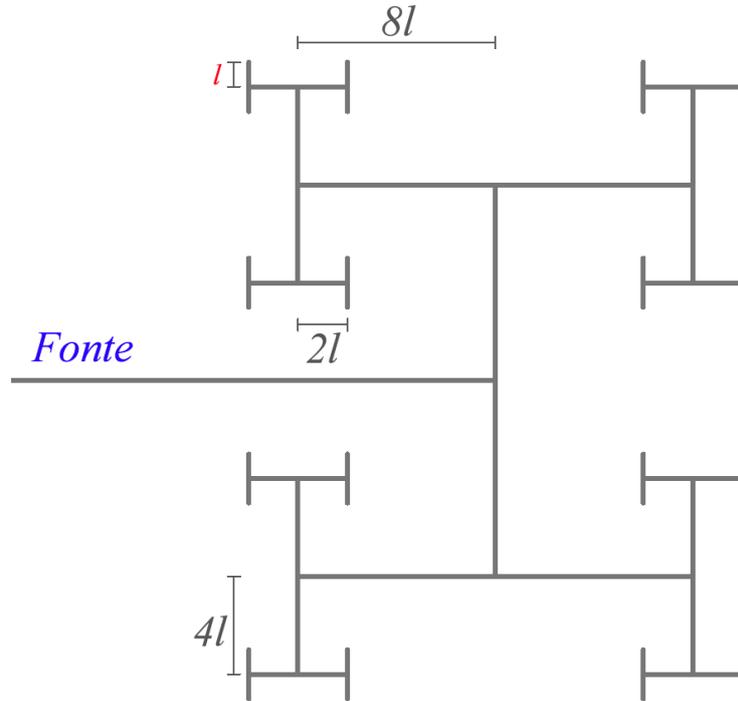


Figura 2.8: Arquitetura *H-Tree* de 4 níveis.

2.1.7 Arquitetura *X-Tree*

Assim como na *H-Tree*, a arquitetura *X-Tree* compartilha o princípio da simetria de distribuição, com a mesma finalidade de manter o *skew* invariável entre todos os registros terminais.

A maior diferença desta distribuição é sua maior distribuição de registros por níveis da arquitetura, uma vez que a *X-Tree* entrega $N = 4^\nu$ registros para ν níveis de distribuição.

Na figura 2.9 fica bem exemplificada a profundidade de níveis de um sistema *X-Tree* de até três níveis, que será estudado com um total de 64 registros terminais.

Os valores definidos como estudo neste trabalho (l) estão definidos na Figura 2.9 como sendo o menor ramo de interconexão do circuito estudado.

2.1.8 Arquitetura *Mesh*

Esta arquitetura distingue-se bastante das outras duas apresentadas, uma vez que utiliza o recurso de *buffers* para manter o *clock* síncrono de nível em nível.

Tal recurso utiliza técnicas de compensação que minimizam a variação de impedâncias de contato e cargas capacitivas entre os caminhos da própria distribuição do *clock* [5]. A adição de mais um componente no sistema aumenta o atraso, por outro lado aumenta a robustez do sistema,

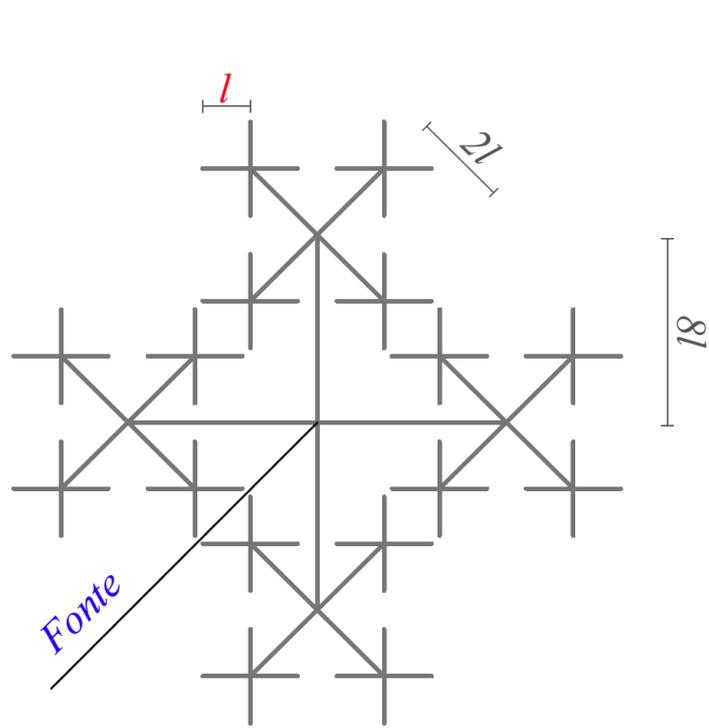


Figura 2.9: Arquitetura *X-Tree* de 3 níveis.

dando assim opção ao projetista que necessita de robustez a velocidade. Outra linha atuante de pesquisa futura é na automação destes *layouts* de *clock meshes*, onde tanto a camada física quanto a temporal do circuito é analisada, juntamente com a mesclagem de diversas arquiteturas já estudadas.

A estrutura *Mesh Tree* possui $N = 2\nu - 1$ onde N é o número de registros possíveis e ν é a quantidade de níveis disponíveis no circuito.

Na figura 2.10 fica bem exemplificada a profundidade de níveis de um sistema *Mesh tree* de até quatro níveis, que é o que será estudado com um total de 8 registros terminais.

Os valores definidos como estudo neste trabalho (l) estão definidos na Figura 2.10 como sendo o menor ramo de interconexão do circuito estudado.

Essa estrutura, para circuitos *Mesh* de muitos níveis, está sujeita à *crosstalk*, característico em circuitos que em paralelo com outro semelhante geram interferência em sua resposta, alterando valores de resistência, indutância e capacitância equivalentes. Esse efeito ocorre principalmente em circuitos de escala nanométrica quando funcionando em altas frequências de chaveamento [26, 27].

Vale frisar que este estudo não tem como objetivo comparar as arquiteturas de distribuição entre si, mas sim a de comparar a eficiência entre interconexões de cobre e interconexões de BCNT dispostas em arquiteturas distintas de distribuição de *clock*.

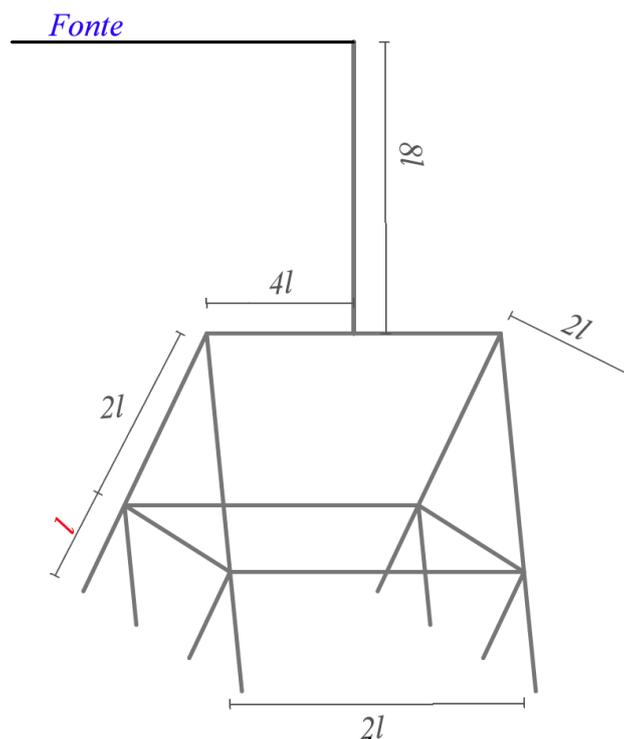


Figura 2.10: Arquitetura *Mesh Tree* de 4 níveis.

2.2 Medidas de desempenho

2.2.1 LTSPICE

O *software* LTSPICE é um simulador SPICE de alto desempenho, orientado a esquemáticos, e visualizador de forma de onda com modelos para facilitar a simulação de circuitos eletrônicos. O LTSPICE possui várias possibilidades de simulação, como análise transiente, análise AC e análise DC. Permite, ainda, a simulação de vários dispositivos disponíveis na sua biblioteca. Além disso, este *software* possibilita a elaboração de um novo esquemático, por meio de modelo matemático ou eletrônico proposto. O novo componente poderá ser utilizado no circuito, como foi feito neste trabalho com prévia confirmação de resposta satisfatória descrita na metodologia.

2.2.2 Atraso

O atraso na propagação do sinal (t_d), ou *delay*, é definido como sendo a variação entre o tempo de entrada e o tempo de saída de um circuito, neste trabalho utilizamos este parâmetro, que é resultado de carregamento/descarregamento da capacitância de carga, somado com o chaveamento de transistores componentes de um circuito sob análise [23]. No caso deste trabalho, definiremos o atraso entre entrada (fonte) e diversos pontos de saída dentro dos circuitos a serem expostos na metodologia.

Em alguns casos pode-se confundir *skew* com *delay*, entretanto são conceitos ligeiramente diferentes, uma vez que o *skew* é a diferença entre o tempo de resposta de diferentes saídas, já o *delay*

é um termo geral para atraso, geralmente atrelado entre entrada e saída de um circuito e é obtido pela diferença entre o tempo medido a 50% da transição entre os sinais de entrada e saída como mostra a Figura 2.11.

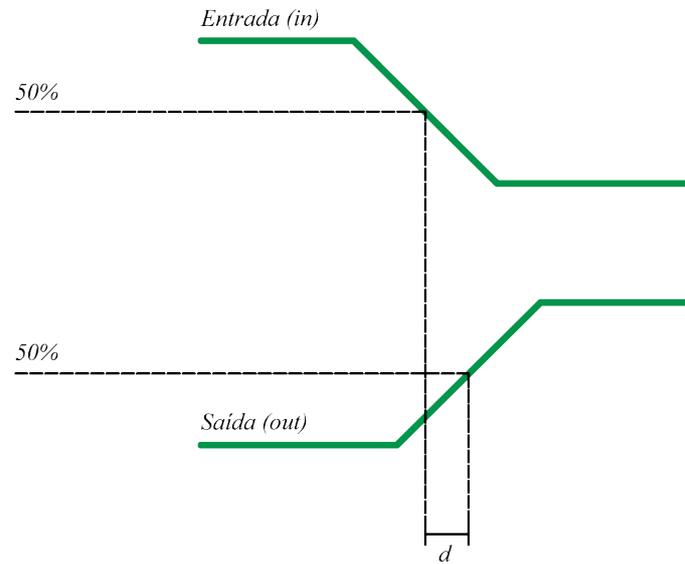


Figura 2.11: Definição de atraso (*delay*) entre entrada e saída.

2.2.3 Dissipação de potência

A dissipação de potência, assim como o tempo de atraso é uma medida de desempenho muito importante quando analisados em circuitos integrados de alta escala de frequência (*Giga-Scale Integration* - GSI e *Tera-Scaled Integration* - TSI).

A dissipação de potência P_{total} é composta por duas parcelas: potência estática e potência dinâmica. A potência estática é dada por $P_E = V_{DD} \cdot I$ e ocorre independente de chaveamento no circuito. Entretanto a potência dinâmica leva em consideração a capacitância de carga, expressa por $P_D = f \cdot V_{DD}^2 \cdot C$, sendo V_{DD} a tensão entre os terminais analisados, f a frequência de operação do circuito e C a capacitância de carga do circuito [28].

Portanto temos como potência total dissipada a soma destas duas parcelas $P_{total} = P_E + P_D$.

2.2.4 Produto atraso-potência

O produto atraso-potência (*delay power product* - DP), assim como sugere o nome, é definido por $DP = P_D \cdot t_d$, e serve como medida de desempenho em circuitos integrados, uma vez que um fator interfere na eficácia do outro, uma vez que diminuimos a dissipação de potência, a capacidade de uma porta fornecer corrente diminui, induzindo um maior tempo de carga/descarga da capacitância, o que vai de encontro ao atraso na propagação.

Portanto é um ótimo quesito a ser analisado, pois torna a conclusão a respeito da eficácia de

um sistema mais simples.

Capítulo 3

Desenvolvimento

3.1 Introdução

Os circuitos de distribuição de *clock* em sistemas miniaturizados acabam por se deparar com limitações impostas pela dimensão do próprio circuito e de seus componentes, como a frequência de atuação e a dissipação de potência. A frequência de atuação máxima, ou velocidade máxima de um circuito de distribuição de *clock* é limitada pelo *slew rate* ou *delay* (atraso) entre a fonte e o registrador [29, 30, 28]. Sendo assim, com a finalidade de comparar o desempenho entre interconexões de cobre e interconexões de SWCNT *bundle*, quando utilizadas para construção de arquiteturas de distribuição de *clock*, iremos simular paralelamente o desempenho em atraso e dissipação de potência de tais materiais em estruturas simples e em três arquiteturas de distribuição de clock: *H-Tree*, *X-Tree* e *Mesh*. Essas análises serão feitas em simulações no ambiente LTSPICE.

3.2 Etapas e estratégias adotadas

Com o objetivo de analisar o desempenho entre interconexões de BCNT e cobre quando aplicados em arquiteturas de distribuição de *clock* em circuitos de alta velocidade, inicialmente, foram escolhidas as interconexões de 100nm, 500nm e 1 μ m como interconexões locais; 10 μ m e 100 μ m como interconexões intermediárias [10, 9]. Tais valores foram escolhidos de maneira que abrangessem as dimensões aproximadas de circuitos reais. Esses valores serão tratados no decorrer desta dissertação como '*l*', que representa a parcela mínima de interconexão nos circuitos de distribuição estudados.

3.3 Modelagem dos registros e interconexões

Como explícito na seção 2.1 deste trabalho, foram modeladas interconexões para os valores de *l* escolhidos, assim como um modelo já existente e utilizado em outros trabalhos de porta lógica CMOS inversora com tecnologias 16nm e 45nm [21, 20].

3.3.1 Registradores

Os registradores foram substituídos por *buffers* inversores baseados em modelos existentes de projetados a partir de tecnologia de 16nm e 45nm. As dimensões para estes componentes foram arbitradas desta maneira, pois para fins comparativos, a tecnologia de 16nm está prevista para um futuro próximo tendo em contrapartida a de 45nm que é uma tecnologia utilizada atualmente em alguns processadores do mercado.

A escolha da utilização de portas inversoras foi feita com o objetivo principal de adicionar o elemento chaveador do sistema, contudo sem que este afetasse tanto no atraso e na dissipação de potência do circuito como um todo, uma vez que os fatores a serem analisados comparativamente são as interconexões de diferentes dimensões entre o cobre e o BCNT. Primeiramente simulamos os circuitos CMOS das inversoras de maneira individualizada, com o objetivo de validar a resposta destes modelos como satisfatória para inserção no restante das simulações. A Figura 3.1 representa os circuitos simulados.

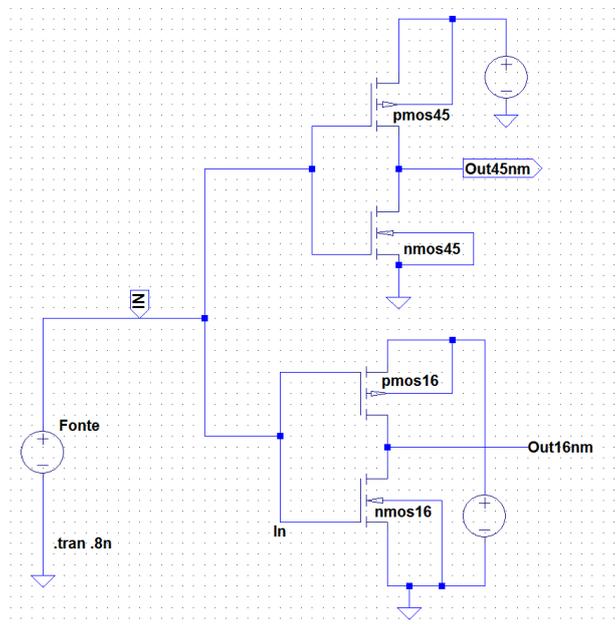


Figura 3.1: Esquemático dos circuitos CMOS utilizados como registros.

Utilizando os valores de $V_{dd} = 0,7V$ e $V_{dd} = 1V$ para as inversoras de 16nm e 45nm respectivamente, como sugerido por Fonseca [20] foram obtidos os resultados da Figura 4.1, que confirmaram a confiabilidade do modelo que permitiram utilizá-lo no restante das simulações como substituição do registrador.

3.3.2 Interconexões

As interconexões foram implementadas no LTSPICE como sugerido na seção 2.1 deste trabalho.

Os valores das resistências indutâncias e capacitâncias foram devidamente calculados, fornecendo cinco modelos utilizados para cada um dos materiais estudados a partir das Figura 2.4 e

Figura 2.6.

3.4 Simulações preliminares

Tendo os modelos de registros e interconexões que foram utilizados nas simulações, foi simulado individualmente cada um dos componentes, com objetivo de levantar o atraso entre entrada e resposta de cada um deles e também foi simulada a arquitetura montada a partir de tais modelos com o mesmo objetivo de analisar o atraso entre entrada e resposta de cada circuito. A dissipação de potência desses circuitos também foi analisada componente a componente utilizando as ferramentas de análise de potência do LTSPICE, que indicam tanto a potência dinâmica (P_D) quanto a potência estática (P_E) dissipada no intervalo de tempo simulado.

3.4.1 Registradores

Foi realizada uma simulação utilizando uma fonte de acionamento rápido com $1V$ de amplitude que atinge tal valor em $50ps$ partindo do $0V$ e período de $1ns$ durante um período de $800ps$ como entrada do circuito.

O atraso foi analisado na metade do tempo de subida da entrada, em $25ps$. Foi definido o atraso como sendo $d = t_{out} - t_{in}$, onde o $t_{in} = 25ps$ e t_{out} é dado pelo tempo em que a saída atinge $0,5V$.

A mesma análise foi feita para a porta lógica inversora de $45nm$.

3.4.2 Interconexões

Foi realizado, de maneira análoga à simulação dos registros, uma simulação com cada interconexão de tamanho ' l ' pré definido na seção 3.2, sendo que como a interconexão se comporta como apenas um condutor, ou seja, não altera a resposta de maneira expressiva, o atraso foi analisado no tempo de subida da resposta, também no ponto onde a mesma atinge o valor de $0,5V$.

O circuito modelo das interconexões de BCNT (SWCNT *bundle*) é apresentado na Figura 2.4.

O circuito modelo π de três segmentos da interconexão de cobre (Cu) é apresentado na Figura 2.6.

3.5 Simulações das arquiteturas de distribuição de *clock*

Da mesma maneira que foram simulados os componentes individuais (registradores e interconexões) simulamos as arquiteturas completas de uma *H-Tree*, uma *X-Tree* e uma *Mesh* para cada valor de ' l ' tanto de SWCNT *bundle* (BCNT) como de Cobre (Cu).

Dos trinta circuitos distintos, foram obtidos o atraso em relação ao ponto em que a resposta e a entrada atingem $0,5V$. Foi obtida também a potência de cada componente constituinte de cada uma

das arquiteturas, tanto o maior valor de potência atingido P_{Mx} (obtido no momento de transição de subida da fonte), quanto o valor médio de potência consumida obtido a partir da lei $P = V \cdot I$ integrado de $t = 0$ a $t = t_{final}$, onde $t_{final} = 800ps$ para interconexões locais e $t_{final} = 800ns$ para interconexões intermediárias. Em todas as arquiteturas foram analisadas quatro saídas, após quatro registros distintos, de maneira que os resultados, por terem aproximação fentométrica, foi escolhida uma das saídas para representar as outras de comportamento igual.

3.5.1 Arquitetura *H-Tree*

A estrutura *H-Tree* simulada foi construída em quatro níveis, utilizou-se estruturas com BCNT e com Cu, para cada valor de ' l ' ($10nm$, $100nm$, $1\mu m$, $10\mu m$ e $100\mu m$). Onde ' l ' é o tamanho do menor ramo dentro da estrutura e que cada ramo subsequente tem $2l$ como dimensão, como demonstrado na Figura 2.8, sendo assim o maior ramo da árvore tem $4l$ de comprimento.

Destas simulações foram obtidos atraso entre fonte e resposta; extraiu-se também a dissipação de potência do circuito, analisando cada um dos componentes de um mesmo ramo e multiplicando pelo valor correspondente de componentes. Foi percebido que os valores de resposta entre componentes simétricos em relação ao tronco fundamental da árvore tinham valores idênticos, o que permitiu tal aproximação.

3.5.2 Arquitetura *X-Tree*

A estrutura *X-Tree* simulada foi construída em três níveis, assim como no caso anterior para todas as dimensões de ' l ' tanto para construção em cobre quanto em BCNT. A arquitetura *X-Tree* tem como ' l ' o menor ramo da estrutura, sendo que os ramos subsequentes tem $2l$ e assim consecutivamente, sendo que para uma árvore de três níveis temos $4l$ como sendo o maior ramo demonstrado na Figura 2.9.

Também foram extraídos atraso entre fonte e resposta, assim como a dissipação de potência, da mesma maneira como a aferida na *H-Tree*.

3.5.3 Arquitetura *Mesh*

A estrutura *Mesh* por sua vez, é um tanto distinta em relação às outras duas estudadas, entretanto, nada nos impede de manter os procedimentos adotados para análise de atraso e dissipação de potência, uma vez que apenas a disposição dos componentes se encontram de forma distinta.

Utilizamos neste estudo uma estrutura *Mesh* de quatro níveis, o que significa que a menor interconexão possui ' l ' e a maior interconexão possui $4'l$, seguindo as mesmas definições adotadas em 3.5.1 e 3.5.2.

A aferição de atraso e potência foi executada para cada dimensão de ' l ' e para cada material escolhido. A disposição dos componentes foram simulados a partir da disposição explícita na Figura 2.10.

3.6 Comparação e arranjo de dados

Por fim, a partir dos dados obtidos, foram realizadas comparações entre o desempenho das estruturas e componentes modelados a partir do cobre (Cu) e do SWCNT *bundle*, levando em consideração para análise e tomada de conclusões, os resultados obtidos para as interconexões simples respectivas às dimensões de $l = 10nm, 100nm, 1\mu m, 10\mu m$ e $100\mu m$.

A Figura 3.2 representa o fluxograma de etapas descritas na seção 3 de uma maneira macro e de simples síntese.

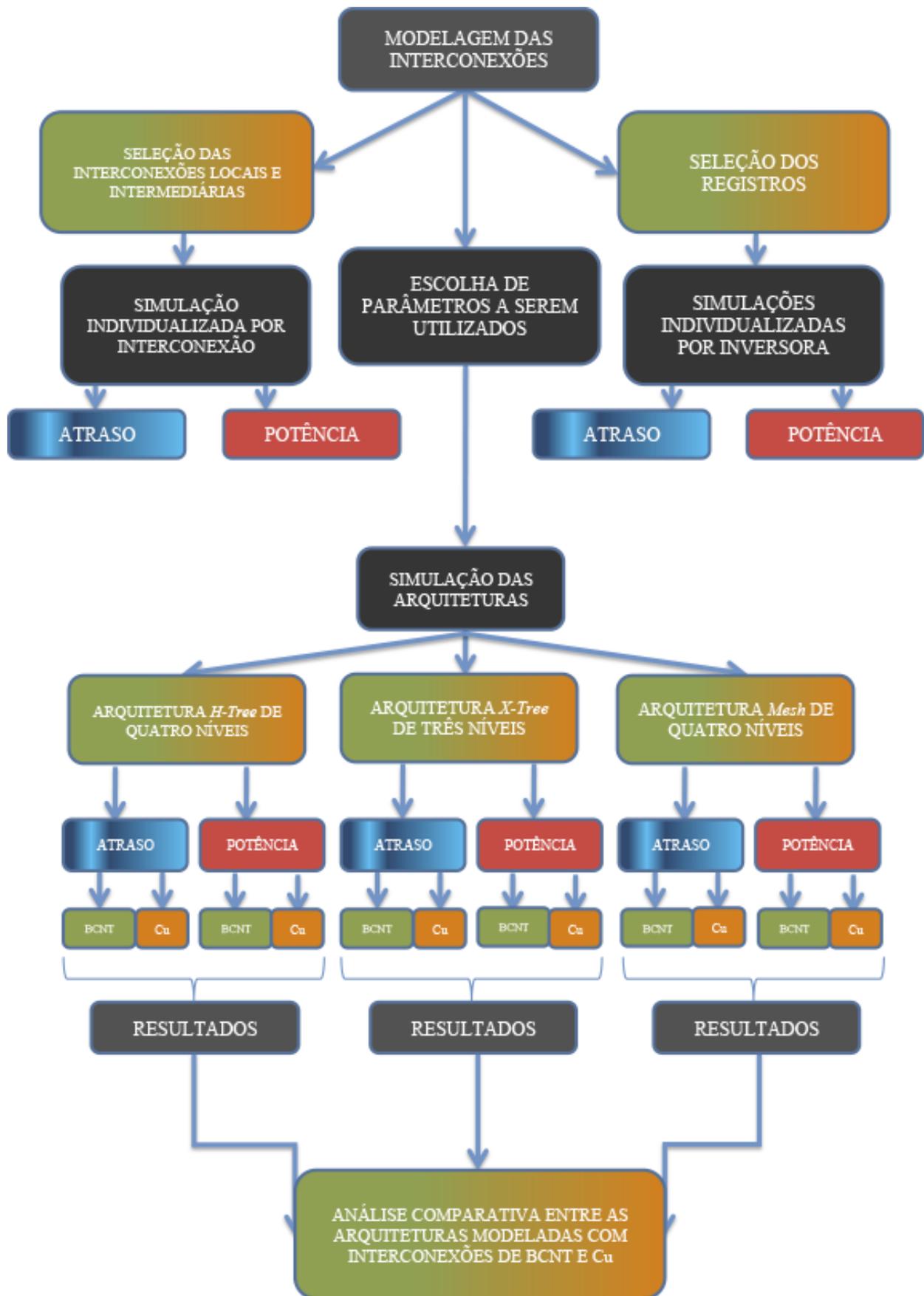


Figura 3.2: Fluxograma da metodologia aplicada neste trabalho.

Capítulo 4

Resultados

Neste capítulo, serão apresentados os resultados obtidos a partir da metodologia explicitada no capítulo 3 referentes às análises comparativas entre o desempenho de interconexões de SWCNT *bundle* e interconexões de cobre, assim como o desempenho desses materiais quando dispostos em estruturas de distribuição de *clock* como a *H-Tree*, *X-Tree* e *Mesh*. A partir dos resultados obtidos, a análise de desempenho entre os materiais, quanto à dissipação de potência e quanto ao atraso entre entrada e resposta do circuito, será apresentada.

4.1 Simulações preliminares

Nesta seção serão expostos os resultados da simulação das portas inversoras isoladas de $16nm$ e $45nm$, utilizadas para substituir os registros das arquiteturas que serão analisadas na seção seguinte, e das interconexões individualmente separadas, tanto de BCNT quanto de cobre, para as dimensões de comprimento: $100nm$, $500nm$, $1\mu m$, $10\mu m$ e $100\mu m$.

4.1.1 Registradores

Antes de analisar o desempenho entre os componentes inversores, foi realizada a validação do modelo escolhido como registro, ou seja, as portas lógicas inversoras modeladas nas tecnologias de $16nm$ e $45nm$.

As respostas obtidas a partir das simulações de entrada e saída do circuito podem ser analisadas na Figura 4.1 com detalhe na ampliação.

A resposta apresentada pelas portas inversoras foram satisfatórias, uma vez que seu resultado foi condizente com a sua tabela verdade e seu comportamento transitório também foi apresentado como o esperado.

A partir desta mesma simulação foram comparados os quesitos dissipação de potência e atraso entre estes dois registradores para uma frequência de operação de 2 GHz . Pode-se concluir que houve uma expressiva superioridade em desempenho de sua estrutura de $16nm$, como pode ser



Figura 4.1: Entrada e saída do primeiro ciclo da fonte nos registros de 16nm e 45nm com detalhe ampliado.

Tabela 4.1: Desempenho comparativo entre os registradores de 16nm e 45nm.

Registro	P_{mx} (W)	P_{med} (W)	P_{total} (W)	Atraso (W)
16nm	$4,44 \cdot 10^{-7}$	$2,24 \cdot 10^{-9}$	$4,46 \cdot 10^{-7}$	$1,01 \cdot 10^{-11}$
45nm	$3,98 \cdot 10^{-6}$	$2,74 \cdot 10^{-8}$	$4,00 \cdot 10^{-6}$	$1,71 \cdot 10^{-11}$
$\Delta = P_{45nm} - P_{16nm}$	$3,53 \cdot 10^{-6}$	$2,52 \cdot 10^{-8}$	$3,55 \cdot 10^{-6}$	
$\Delta = d_{45nm} - d_{16nm}$				$6,94 \cdot 10^{-12}$

entendido da tabela 4.1

É definida como mais rápida a porta inversora modelada em 16nm, uma vez que a diferença entre o atraso expressado pela inversora de 45nm e a inversora de 16nm ($\Delta = d_{45nm} - d_{16nm}$) é igual a 6,94ps, ou seja, sua resposta atinge o valor de 0,5V cerca de 1,69 vezes mais rápido que o registro de 45nm. Quando somadas as duas parcelas de potência P_{mx} e P_{med} , temos que a porta lógica inversora de 16nm dissipa aproximadamente 8,98 vezes menos potência que a porta de 45nm como conclui-se da tabela 4.1, lembrando que tais resultados referem-se ao intervalo de tempo escolhido para simulação (800ps) e ao pico de dissipação atingido pela resposta da inversora.

Sendo assim, a inversora de 16nm tem seu desempenho confirmado como superior à inversora de tecnologia atual.

4.1.2 Interconexão simples

Nesta subseção, a análise entre as interconexões isoladas de SWCNT *bundle* (BCNT) e cobre (Cu) será realizada. Tanto as interconexões locais, em que $l \leq 1\mu m$, quanto as interconexões intermediárias, em que $1\mu m < l \leq 500\mu m$, escolhidas previamente, onde 'l' é o comprimento da interconexão [10, 9]. Os parâmetros obtidos como atraso e potência dissipada a uma frequência de 2 GHz estão explícitos na tabela 4.2.

Tabela 4.2: Desempenho comparativo entre as interconexões de cobre e de BCNT.

l	$\frac{PCu_{med}}{P_{BCNT_{med}}}$	$\frac{PCu_{mx}}{P_{BCNT_{mx}}}$	$\frac{d_{Cu}}{d_{BCNT}}$
(100nm)	4,38	2,23	3,42
(500nm)	8,51	2,22	15,36
(1 μm)	3,16	9,27	19,70
(10 μm)	1,47	2,21	12,00
(100 μm)	1,71	1,08	11,50

Conclui-se dos dados da tabela 4.2, que para as dimensões escolhidas, o BCNT tem um atraso menor quando comparado com o cobre, entretanto, percebemos que a medida que a interconexão passa de local para intermediária, a relação $\frac{d_{Cu}}{d_{BCNT}}$ diminui consideravelmente, contudo, ainda temos uma superioridade de ao menos onze vezes mais rapidez nas estruturas construídas em BCNT para o maior comprimento estudado (100 μm).

Por meio do fator $\frac{PCu_{mx}}{P_{BCNT_{mx}}}$, podemos afirmar que o BCNT dissipa consideravelmente menos potência, o que nos permite concluir que para um sistema de distribuição de *clock*, que funciona a alta frequência e ininterruptamente, a aplicação de BCNT é uma otimização quando comparado com um sistema semelhante em cobre.

Foi realizada também uma análise de atraso para as dimensões de interconexões com uma abrangência maior, para que ficasse de fácil entendimento, o comportamento do atraso em relação à dimensão da interconexão. A Figura 4.2 exprime a resposta do BCNT para interconexões variantes de 50nm à 250 μm .

Pode-se concluir, de maneira adicional aos objetivos deste trabalho, que o atraso cresce de maneira exponencial, à medida que a dimensão aumenta, sendo que para interconexões próximas de 250 μm , limitamos a frequência de operação de um circuito com apenas uma interconexão (caso hipotético) a cerca de 5THz.

4.2 Arquiteturas de distribuição de *clock*

Nesta seção, serão expostos os resultados e análises das simulações realizadas em todas as arquiteturas citadas na metodologia. Para tais simulações, foram utilizadas fontes de frequências 0,5ns para $l \leq 1\mu m$ e 500ns para $l > 1\mu m$, uma vez que para as dimensões de 10 μm e 100 μm ,

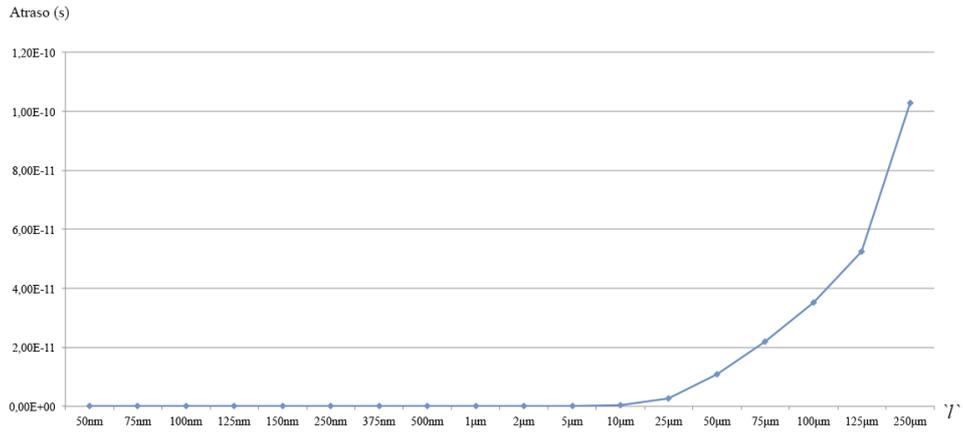


Figura 4.2: Atraso (s) das interconexões simples de BCNT *versus* a dimensão $50nm \leq l \leq 250\mu m$.

na grande maioria das simulações, não respondiam perfeitamente ao ataque da fonte de menor frequência, devido ao atraso mais expressivo de tais interconexões. Foi percebido também, que a influência das inversoras utilizadas como registros, era independente da estrutura analisada, tanto o atraso adicionado à resposta, quanto a dissipação de potência percebida, sendo estes exatamente iguais em todas as simulações, como expressado na Tabela 4.1.

Sabendo deste comportamento das inversoras, foi realizada simulação somente com as interconexões de 16nm, uma vez que o resultado alvo, comparação entre as estrutura o cobre e o SWCNT *bundle*, não é afetado pelos diferentes tipos de registros. Entretanto, é possível calcular qual seria a diferença em dissipação de potência e em atraso, simplesmente substituindo a parcela atribuída à inversora de 16nm pela característica da inversora de 45nm.

4.2.1 Arquitetura *H-Tree*

Nesta subseção foi simulada a estrutura *H-Tree* de quatro níveis com *buffers* inversores MOS de 16nm no fim de cada ramo da arquitetura, com o objetivo de simular também o efeito do registro nos parâmetros como dissipação de potência e atraso do circuito da Figura 2.8 como um todo.

Como explicado em 3.5.1, 'l' foi utilizado como menor ramo.

4.2.1.1 Atraso

O atraso obtido nesta simulação, é expresso na Tabela 4.3, para todos os valores de l estudados. O parâmetro $\frac{d_{Cu}}{d_{BCNT}}$ foi utilizado para melhor comparação entre os dois materiais analisados, fornecendo uma análise quantitativa imediata ao desempenho dos materiais quanto ao atraso.

Tabela 4.3: Atraso entre entrada e saída de um terminal da arquitetura *H-Tree*.

l	d_{BCNT}	d_{Cu}	$\frac{d_{Cu}}{d_{BCNT}}$
(100nm)	$1,02 \cdot 10^{-11}$	$1,02 \cdot 10^{-11}$	1,010
(500nm)	$1,02 \cdot 10^{-11}$	$1,23 \cdot 10^{-11}$	1,200
(1 μ m)	$1,04 \cdot 10^{-11}$	$1,87 \cdot 10^{-11}$	1,800
(10 μ m)	$5,15 \cdot 10^{-11}$	$6,90 \cdot 10^{-10}$	13,40
(100 μ m)	$3,13 \cdot 10^{-9}$	$5,63 \cdot 10^{-8}$	18,00

Foi observado que para interconexões locais, o desempenho do BCNT é equiparável ao desempenho do cobre na construção das interconexões, entretanto para valores de $l > 1\mu$ m, o BCNT mostra-se bastante superior, chegando a ser dezoito vezes mais rápido para dimensão de $l = 100\mu$ m. Apesar do comportamento semelhante de crescimento exponencial entre os materiais, é perceptível que o coeficiente de crescimento do atraso do BCNT é menor quando comparado ao cobre.

4.2.1.2 Dissipação de potência

Na análise de dissipação de potência, foi aferida potência média (P_{med}) e potência máxima (P_{mx}) atingida no período de 800ps para interconexões locais e de 800ns para interconexões intermediárias, como explicado na seção 3.5.

A Tabela 4.4 expressa as somas de potências média e máxima dos circuitos (P_{total}) *H-Tree* para os cinco ' l ' diferentes.

Tabela 4.4: Potências dissipadas pela arquitetura *H-Tree*.

l	P_{mx}^{BCNT}	P_{med}^{BCNT}	P_{mx}^{Cu}	P_{med}^{Cu}	$\frac{P_{total}^{Cu}}{P_{total}^{BCNT}}$
(100nm)	$2,81 \cdot 10^{-5}$	$7,71 \cdot 10^{-9}$	$6,24 \cdot 10^{-5}$	$1,55 \cdot 10^{-8}$	2,22
(500nm)	$1,30 \cdot 10^{-4}$	$9,13 \cdot 10^{-8}$	$2,90 \cdot 10^{-4}$	$1,56 \cdot 10^{-6}$	2,25
(1 μ m)	$2,81 \cdot 10^{-04}$	$2,31 \cdot 10^{-7}$	$6,29 \cdot 10^{-4}$	$1,04 \cdot 10^{-5}$	2,27
(10 μ m)	$2,81 \cdot 10^{-07}$	$8,78 \cdot 10^{-8}$	$6,24 \cdot 10^{-7}$	$1,96 \cdot 10^{-7}$	2,22
(100 μ m)	$2,81 \cdot 10^{-6}$	$8,92 \cdot 10^{-7}$	$6,23 \cdot 10^{-6}$	$2,44 \cdot 10^{-6}$	2,34

Nesta tabela também está explícito o fator $\frac{Cu}{BCNT}$ que representa a proporção de dissipação de potência entre ambos os materiais. Pode-se concluir deste parâmetro que o desempenho do cobre em relação ao BCNT varia entre 2,22 e 2,34 vezes pior neste quesito, mas não aumenta de forma

expressiva, assim como o atraso, para estas dimensões ' l ' de interconexões estudadas.

4.2.1.3 Parâmetro atraso \times potência

Este parâmetro também nos ajuda a visualizar as vantagens de um material a outro, portanto pode-se perceber da Figura 4.3 que o BCNT é bastante superior ao cobre, na medida em que aumentamos o tamanho do menor ramo, tendo em vista que o atraso contribui mais significativamente em relação à potência dissipada, pois como é concluído na subseção anterior, o cobre mantém sua dissipação de potência de maneira proporcional à dissipação do BCNT.

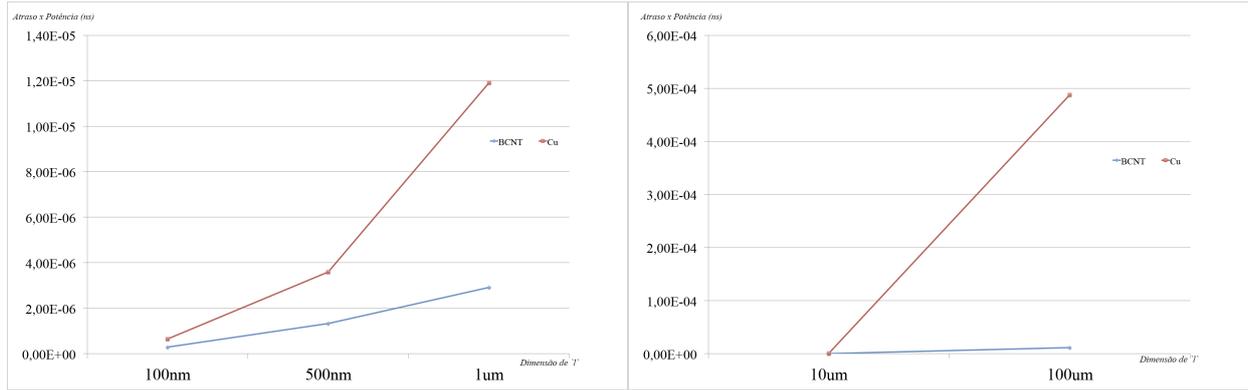


Figura 4.3: Atraso \times Potência versus ' l ' da estrutura H -Tree.

4.2.2 Arquitetura X -Tree

De maneira análoga à subseção 4.2.1, analisamos atraso e dissipação de potência da arquitetura X -Tree de quatro níveis a partir do circuito demonstrado na Figura 2.9. Utilizando as mesmas características de entrada e registros. Analisamos as saídas e aferimos as potências dissipadas por cada componente do circuito.

4.2.2.1 Atraso

O atraso obtido nesta simulação é expresso na Tabela 4.5, para todos os valores de ' l ' estudados. O parâmetro $\frac{d_l^{BCNT}}{d_l^{Cu}}$ foi utilizado para melhor comparação entre os dois materiais analisados, fornecendo uma análise quantitativa imediata ao desempenho dos materiais quanto ao atraso.

Como já era previsto, devido aos resultados obtidos na análise da estrutura H -Tree, o atraso relativo entre a arquitetura de cobre e a arquitetura de BCNT ($\frac{d_l^{Cu}}{d_l^{BCNT}}$) aumenta de acordo com o tamanho da interconexão base (l), desta vez chegando a 1,83 vezes pior para o cobre para $l = 100\mu m$, quando mais uma vez para as interconexões locais, não passa de 2,13 vezes mais atrasado.

Tabela 4.5: Atraso entre entrada e saída de um terminal da arquitetura *X-Tree*.

l	d_{BCNT}	d_{Cu}	$\frac{d_{Cu}}{d_{BCNT}}$
(100nm)	$1,02 \cdot 10^{-11}$	$1,03 \cdot 10^{-11}$	1,01
(500nm)	$1,03 \cdot 10^{-11}$	$1,34 \cdot 10^{-11}$	1,29
(1 μ m)	$1,05 \cdot 10^{-11}$	$2,23 \cdot 10^{-11}$	2,13
(10 μ m)	$8,98 \cdot 10^{-11}$	$8,89 \cdot 10^{-10}$	9,90
(100 μ m)	$4,51 \cdot 10^{-9}$	$8,25 \cdot 10^{-8}$	18,30

4.2.2.2 Dissipação de Potência

Analogamente, os intervalos da análise de potência são os mesmos utilizados na subseção 4.1.2.2, sendo assim, os resultados obtidos também de maneira similar estão expressos na Tabela 4.6, que expressa as somas de potências média (P_{med}) e potência máxima (P_{mx}) dos circuitos (P_{total}), para os cinco ' l ' diferentes na estrutura *X-Tree*.

Tabela 4.6: Potências dissipadas pela arquitetura *X-Tree*.

l	P_{mx}^{BCNT}	P_{med}^{BCNT}	P_{mx}^{Cu}	P_{med}^{Cu}	$\frac{P_{total}^{Cu}}{P_{total}^{BCNT}}$
(100nm)	$6,05 \cdot 10^{-5}$	$1,90 \cdot 10^{-8}$	$1,34 \cdot 10^{-4}$	$7,69 \cdot 10^{-8}$	2,22
(500nm)	$3,02 \cdot 10^{-4}$	$2,02 \cdot 10^{-7}$	$6,75 \cdot 10^{-4}$	$4,49 \cdot 10^{-6}$	2,24
(1 μ m)	$6,05 \cdot 10^{-4}$	$6,51 \cdot 10^{-7}$	$1,32 \cdot 10^{-3}$	$2,99 \cdot 10^{-5}$	2,23
(10 μ m)	$6,05 \cdot 10^{-07}$	$1,89 \cdot 10^{-7}$	$1,34 \cdot 10^{-6}$	$4,22 \cdot 10^{-7}$	2,22
(100 μ m)	$6,05 \cdot 10^{-6}$	$1,93 \cdot 10^{-6}$	$1,33 \cdot 10^{-5}$	$5,50 \cdot 10^{-6}$	2,35

Da Tabela 4.6 conclui-se que a estrutura *X-Tree* influencia de maneira similar à estrutura *H-Tree* quando comparamos a dissipação de potência do sistema, uma vez que os resultados comparativos $\frac{Cu}{BCNT}$ são valores muito próximos, valores que por sua vez são aproximadamente duas vezes superiores a favor do SWCNT *bundle* no quesito consumo de energia.

4.2.2.3 Parâmetro atraso \times potência

Para este parâmetro, obteve-se uma curva bastante similar à curva obtida no mesmo para a *H-Tree*, entretanto com valores absolutos díspares, uma vez que na estrutura *X-Tree* existe uma quantidade maior de interconexões, ou seja, o caminho entre a fonte e o registro é maior.

Permite-se concluir do produto atraso \times potência, que o BCNT é superior ao cobre mantendo a proporcionalidade de que quanto maior o ' l ' maior relação de superioridade do SWCNT *bundle*, como observado na Figura 4.4.

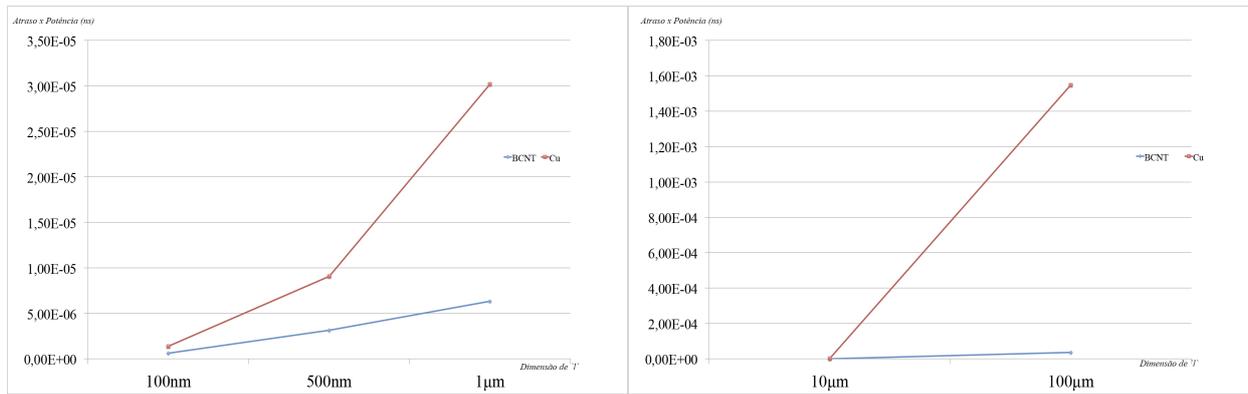


Figura 4.4: Atraso×Potência versus 'l' da estrutura *X-Tree*.

4.2.3 Arquitetura *Mesh*

Nesta subseção, apresentamos os resultados das simulações da arquitetura *Mesh* de três níveis de acordo com o esquemático apresentado na Figura 2.10. Assim como nas outras estruturas estudadas, foram utilizadas inversoras MOS como registros e aferidos potência dissipada e atraso entre fonte e resposta do circuito, pós-registro.

4.2.3.1 Atraso

Analogamente às arquiteturas anteriores estudadas neste trabalho, o atraso foi tomado como sendo a diferença entre a entrada do circuito (*in*) e a resposta do mesmo (*out*).

Os resultados obtidos a partir desta análise de atraso estão explícitos na Tabela 4.7 abaixo, na qual percebe-se que os valores de atraso relativos ao BCNT são bastante inferiores aos valores relativos ao cobre. Percebe-se também que assim como nas outras estruturas, a medida que a dimensão da estrutura como um todo é aumentada, a disparidade de eficiência quanto ao atraso do BCNT ao cobre aumenta, chegando neste caso a 18,3 vezes mais rápido para $l = 100\mu m$.

Tabela 4.7: Atraso entre entrada e saída de um terminal da arquitetura *Mesh*.

l	d_{BCNT}	d_{Cu}	$\frac{d_{Cu}}{d_{BCNT}}$
(100nm)	$1,03 \cdot 10^{-11}$	$1,06 \cdot 10^{-11}$	1,03
(500nm)	$1,07 \cdot 10^{-11}$	$1,94 \cdot 10^{-11}$	1,82
(1µm)	$1,12 \cdot 10^{-11}$	$4,42 \cdot 10^{-11}$	3,96
(10µm)	$1,94 \cdot 10^{-10}$	$2,69 \cdot 10^{-9}$	13,90
(100µm)	$1,42 \cdot 10^{-8}$	$2,59 \cdot 10^{-7}$	18,30

Apesar de existir um paralelismo entre as interconexões neste arranjo, o comportamento de $\frac{d_{Cu}}{d_{BCNT}}$ é bastante similar às outras arquiteturas seriais, entretanto ele atinge valores maiores que dez vezes para interconexões $l = 10\mu m$, uma vez que este fator atinge tais valores apenas para $l = 100\mu m$ em outras arquiteturas .

4.2.3.2 Dissipação de potência

A dissipação de potência nesta arquitetura ocorre de maneira similar aos outros modelos, uma vez que os ramos interconectivos mais próximos da entrada (fonte) dissipam mais potência do que as interconexões menores (mais próximas ao registro). A Tabela 4.8 apresenta os parâmetros de potência dissipada, assim como o parâmetro $\frac{P_{Cu}}{P_{BCNT}}$, que representa comparativamente o desempenho do cobre (Cu) em relação ao BCNT, deixando aquele, mais uma vez, abaixo deste que apresenta um desempenho de aproximadamente metade do consumo de energia.

Tabela 4.8: Potências dissipadas pela arquitetura *Mesh*.

l	P_{mx}^{BCNT}	P_{med}^{BCNT}	P_{mx}^{Cu}	P_{med}^{Cu}	$\frac{P_{total}^{Cu}}{P_{total}^{BCNT}}$
(100nm)	$2,16 \cdot 10^{-5}$	$1,02 \cdot 10^{-8}$	$4,80 \cdot 10^{-5}$	$1,07 \cdot 10^{-7}$	2,23
(500nm)	$1,05 \cdot 10^{-4}$	$1,52 \cdot 10^{-7}$	$2,39 \cdot 10^{-4}$	$4,16 \cdot 10^{-6}$	2,31
(1 μ m)	$2,15 \cdot 10^{-4}$	$6,04 \cdot 10^{-7}$	$3,71 \cdot 10^{-4}$	$1,84 \cdot 10^{-5}$	1,80
(10 μ m)	$2,16 \cdot 10^{-7}$	$6,75 \cdot 10^{-8}$	$4,80 \cdot 10^{-7}$	$1,52 \cdot 10^{-7}$	2,23
(100 μ m)	$2,16 \cdot 10^{-6}$	$7,05 \cdot 10^{-7}$	$3,73 \cdot 10^{-6}$	$1,77 \cdot 10^{-6}$	1,92

4.2.3.3 Parâmetro atraso \times potência

O fator atraso \times potência neste caso é tão expressivo quanto nas outras arquiteturas, uma vez que seu comportamento é similar. Entretanto possui módulo diferente devido à quantidade de ramos e ao tamanho final de cada caminho percorrido pela corrente até chegar ao registro, como é percebido da Figura 4.5 abaixo:

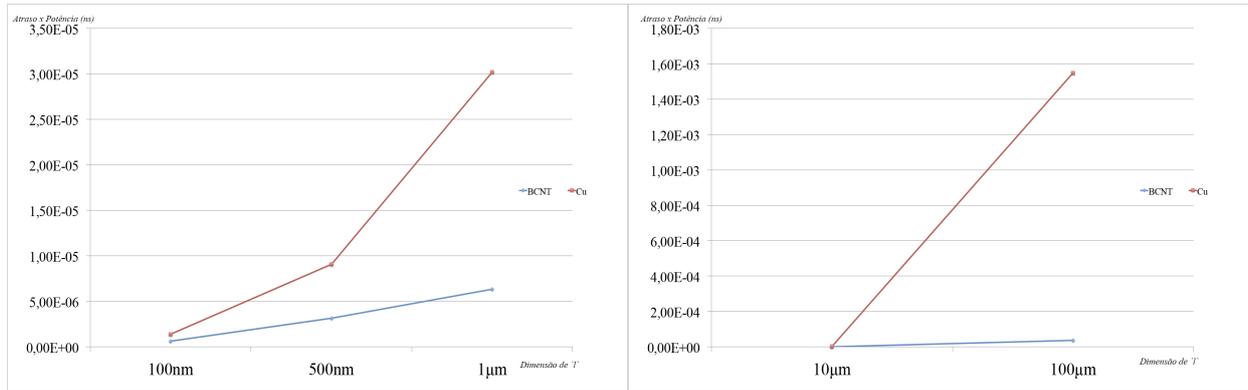


Figura 4.5: Atraso \times Potência versus 'l' da estrutura *Mesh*.

4.2.3.4 Crosstalk

De maneira adicional, foram analisadas as interconexões em paralelo dentro da estrutura *Mesh*, com o intuito de verificar a influência de *crosstalk* neste sistema, contudo nenhuma interferência

entre as interconexões em paralelo foi averiguada. Tal fato pode ser atribuído à pequena escala do circuito analisado e também à eficiência dos materiais analisados, uma vez que este parâmetro propaga-se de maneira caótica por circuitos de distribuição de *clock* reais.

Capítulo 5

Conclusões

Neste trabalho, o estudo das interconexões de SWCNT *bundle* e de cobre foi realizado, analisando e comparando os seus desempenhos quando aplicadas em arquiteturas de distribuição de *clock*, para diferentes comprimentos de interconexões. Verificamos que as interconexões de BCNT são superiores às interconexões de cobre, tanto em atraso quanto em atenuação e dissipação de potência para todas as dimensões de interconexão.

Das análises realizadas nos dispositivos NANO-CMOS (*buffers*) de $16nm$ e $45nm$, concluímos que o de dimensão menor responde mais rapidamente e dissipa menos energia que o de maior dimensão.

Conclui-se então, que as interconexões de BCNT possuem melhor performance quando comparados com interconexões de cobre, essa superioridade se dá proporcionalmente ao comprimento das interconexões, o que a torna ótima alternativa para substituição do cobre em circuitos integrados, mas principalmente em sistemas de distribuição de *clock*, que são muito sensíveis ao atraso.

Quanto às arquiteturas, não podemos considerar uma superior à outra sem que seja analisado o circuito em que ela está aplicada, pois cada uma possui suas vantagens e desvantagens, uma vez que a arquitetura *H-Tree* possui uma construção mais simples quando comparada às outras duas; já a *X-Tree* possui uma quantidade de terminações maior quando comparado com as outras duas; sendo que a *Mesh-Tree* possui uma distribuição 3D de terminações com *skew* assegurado pelos *buffers* presentes em cada nível. Sendo assim, para cada circuito síncrono, existe uma opção mais favorável.

Como perspectivas futuras, é importante que seja analisado o efeito das interconexões de SWCNT *bundle* em outras arquiteturas, assim como analisar o efeito de *crosstalk* para estruturas de distribuição de *clock Mesh* com mais de 4 níveis, assim como estudar outros materiais candidatos a utilização em interconexões para arquiteturas de distribuição de *clock*.

REFERÊNCIAS BIBLIOGRÁFICAS

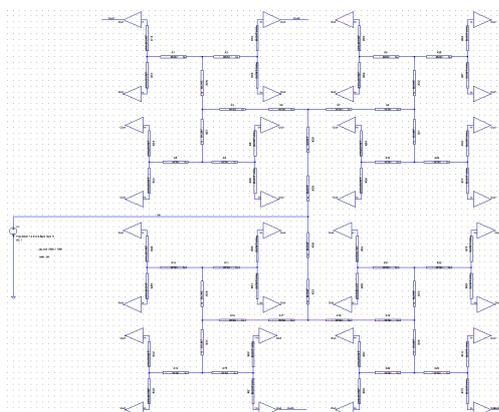
- [1] SRIVASTAVA, H. L. F. K. K. B. N. On the applicability of single-walled carbon nanotubes as vlsi interconnects. *IEEE Transactions on Nanotechnology*, v. 8, n. 4, p. 542–558, 2009.
- [2] BANDARU, P. R. Electrical properties and applications of carbon nanotube structures. *Journal of Nanoscience and Nanotechnology*, v. 7, n. 3, p. 1–29, 2007.
- [3] THIRUVENKATESAN, J. R. C. Studies on the application of carbon nanotube as interconnects for nanometric vlsi circuits. *ICETET’09*, p. 162–167, 2009.
- [4] WHITE, M.; CHEN, Y. Scaled cmos technology reliability user’s guide. *NASA Electronic Parts and Packaging Program*, 2008.
- [5] FRIEDMAN, E. G. Clock distribution networks in synchronous digital integrated circuits. *PROCEEDINGS OF THE IEEE*, v. 8, n. 5, 2001.
- [6] ITRS. International technology roadmap for semiconductors- emerging research devices. <http://www.itrs.net/>, 2011.
- [7] THIRUVENKATESAN, J. R. C. Studies on the application of carbon nanotube as interconnects for nanometric vlsi circuits. *ICETET’09*, p. 162–167, 2009.
- [8] NAEEMI, J. D. M. A. Design and performance modeling for single-walled carbon nanotubes as local, semiglobal, and global interconnects in gigascale integrated systems. *IEEE Transactions on Electron Devices*, v. 54, n. 1, p. 26–37, 2007.
- [9] LI W-Y. YIN, J.-F. M. H. Modeling of carbon nanotube interconnects and comparative analysis with cu interconnects. *Proceedings of Asia-Pacific Microwave Conference 2006*, p. 1361–1364, 2006.
- [10] BANERJEE, N. S. K. Are carbon nanotubes the future of vlsi interconnections? *DAC’06*, p. 809–814, 2006.
- [11] XU A. SRIVASTAVA, A. K. S. Y. Emerging carbon nanotube electronic circuits, modeling, and performance. *Journal VLSI Design*, v. 2010, n. 7, p. 1–8, 2010.
- [12] SRIVASTAVA, K. B. N. Performance analysis of carbon nanotube interconnects for vlsi applications. *ICCAD’05*, p. 383–390, 2005.

- [13] NAEEMI R. SARVARI, J. D. M. A. On the applicability of single-walled carbon nanotubes as vlsi interconnects. *IEEE Electron Device Letters*, v. 26, n. 2, p. 84–86, 2005.
- [14] RAYCHOWDHURY, K. R. A. Modeling of metallic carbon-nanotube interconnects for circuit simulations and a comparison with cu interconnects for scaled technologies. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, v. 25, n. 1, p. 58–65, 2006.
- [15] LI W-Y. YIN, J.-F. M. H. Modeling of carbon nanotube interconnects and comparative analysis with cu interconnects. *Proceedings of Asia-Pacific Microwave Conference 2006*, p. 1361–1364, 2006.
- [16] XU, A. S. Y. A model for carbon nanotube interconnects. *Int. J. Circ. Theor. Appl.* 2010, v. 38, n. 6, p. 559–575, 2010.
- [17] KARIMIAN, M. D. M. A new spice macro-model for simulation of single electron circuits. *International Conference on Microelectronics*, p. 228–231, 2009.
- [18] WU, S.-T. L. Y.-L. An improved single-electron-transistor model for spice application. *Nanotech 2003*, v. 3, n. 7, 2003.
- [19] CARNEIRO J. G. GUIMARÃES, J. C. d. C. V. G. A. Interconnection effects on the performance of basic subcircuits with single-electron tunneling devices. *Applied Surface Science*, v. 255, n. 3, p. 715–717, 2008.
- [20] ANDRADE, S. Análise do desempenho de interconexões de nanotubo de carbono e de cobre em circuitos nano-cmos. *Monografia de Trabalho de Conclusão de Curso, Departamento de Engenharia Elétrica, Universidade de Brasília*, p. 52p, 2012.
- [21] NOGUEIRA, C. P. S. M. Análise comparativa entre interconexões de nanotubo de carbono e interconexões de cobre para circuitos gsi/tsi. *Dissertação de Mestrado em Engenharia de Sistemas Eletrônicos e de Automação, Publicação PPGEA.DM-488/2012*, p. 72p, 2012.
- [22] KOO, K.-H. Comparison study of future on-chip interconnects for high performance vlsi applications. *Tese de Doutorado, Stanford University. California, USA*, 2011.
- [23] (2012), P. Predictive technology model. <http://ptm.asu.edu/>.
- [24] VAISBAND EBY G. FRIEDMAN, R. G. I.; KOLODNY, A. Low power clock network design. *Low Power Electronics and Applications*, v. 1, p. 219–246, 2011.
- [25] RESTLE ALINA DEUTSCH, T. J. W. P. J. Designing the best clock distribution network. *1998 Symposium on VLSI Circuits Digest of Technical Papers*, 1998.
- [26] ZHANG BO TIAN, Z. e. a. K. Crosstalk analysis of carbon nanotube bundle interconnects. *Nanoscale Research Letters*, v. 7, 2012.
- [27] KOO, K.-H. Daniele rossi, jose manuel cazeaux, cecilia metra, fabrizio lombardi. *IEEE TRANSACTIONS ON NANOTECHNOLOGY*, v. 6, n. 2, 2007.

- [28] S., K. C. S. S. A. Microeletrônica. , *Stanford University. California, USA, Pearson Prentice Hall, Brasil*, 2007.
- [29] SRIVASTAVA H. LI, K. B. N. On the applicability of single-walled carbon nanotubes as vlsi interconnects. *IEEE Transactions on Nanotechnology*, v. 8, n. 4, p. 542–558, 2009.
- [30] NAEEMI, J. D. M. A. Performance modeling for single- and multiwall carbon nanotubes as signal and power interconnects in gigascale systems. *IEEE Transactions on Electron Devices*, v. 55, n. 10, p. 2574–2582, 2008.

ANEXOS

Neste anexo, foram incluídas figuras que exemplificam parte das simulações utilizadas e implicam em um entendimento melhor da maneira como são aplicadas as arquiteturas de distribuição de *clock* estudadas em circuitos reais.

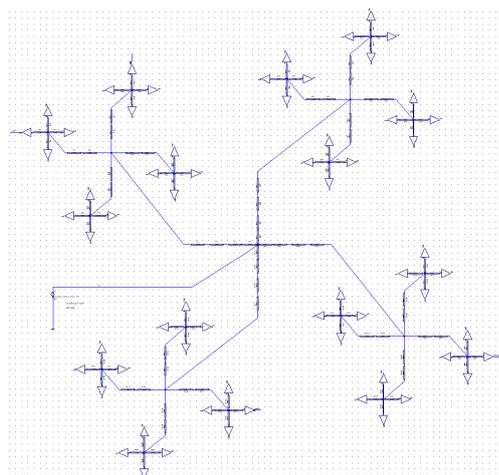


(a)

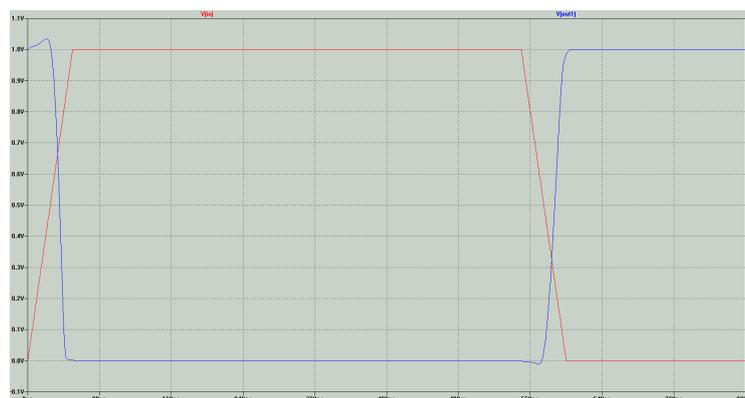


(b)

Figura 1: (a) Exemplo do circuito *H-Tree* simulado ($l_{BCNT} = 1\mu m$), (b) resposta obtida de todas as saídas do circuito em questão.

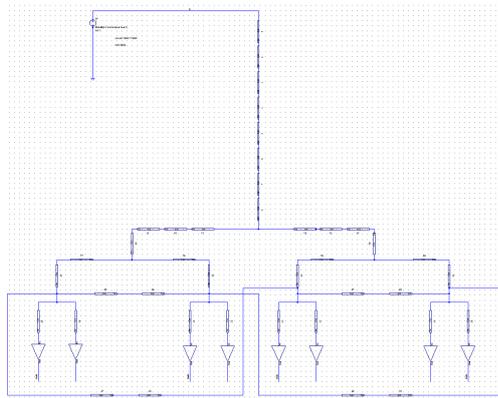


(a)



(b)

Figura 2: (a) Exemplo do circuito *X-Tree* simulado ($l_{BCNT} = 1\mu m$), (b) resposta obtida de todas as saídas do circuito em questão.



(a)

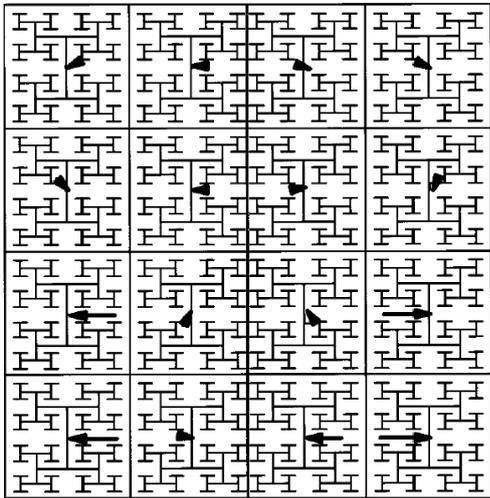


(b)

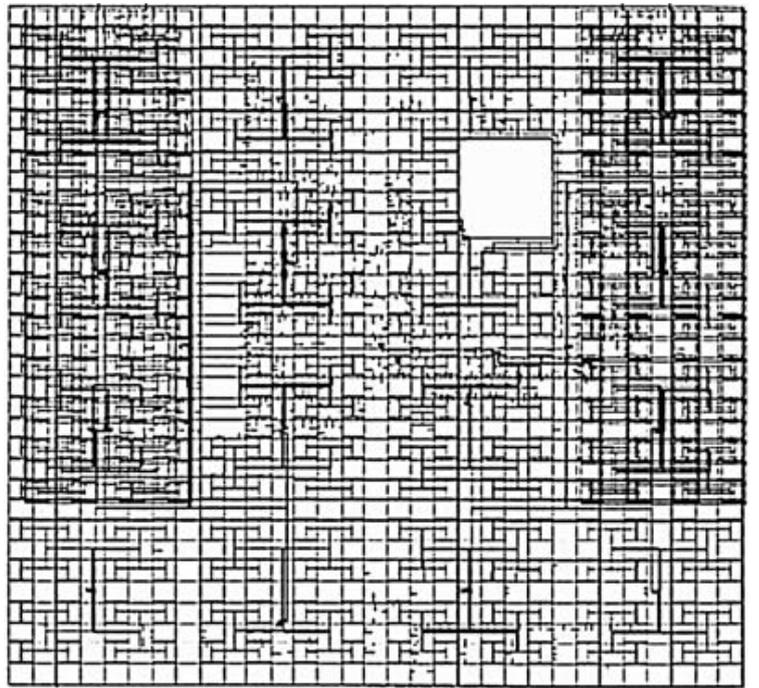
Figura 3: (a) Exemplo do circuito *Mesh* simulado ($l_{Cu} = 1\mu m$), (b) resposta obtida de todas as saídas do circuito em questão.



Figura 4: Momento de aferição da P_{mx} em uma interconexão de BCNT de $1\mu m$.



(a)



(b)

Figura 5: (a) Circuito *H-Tree* de 4 níveis em escala milimétrica, (b) Circuito aplicado de uma arquitetura *H-Tree*.

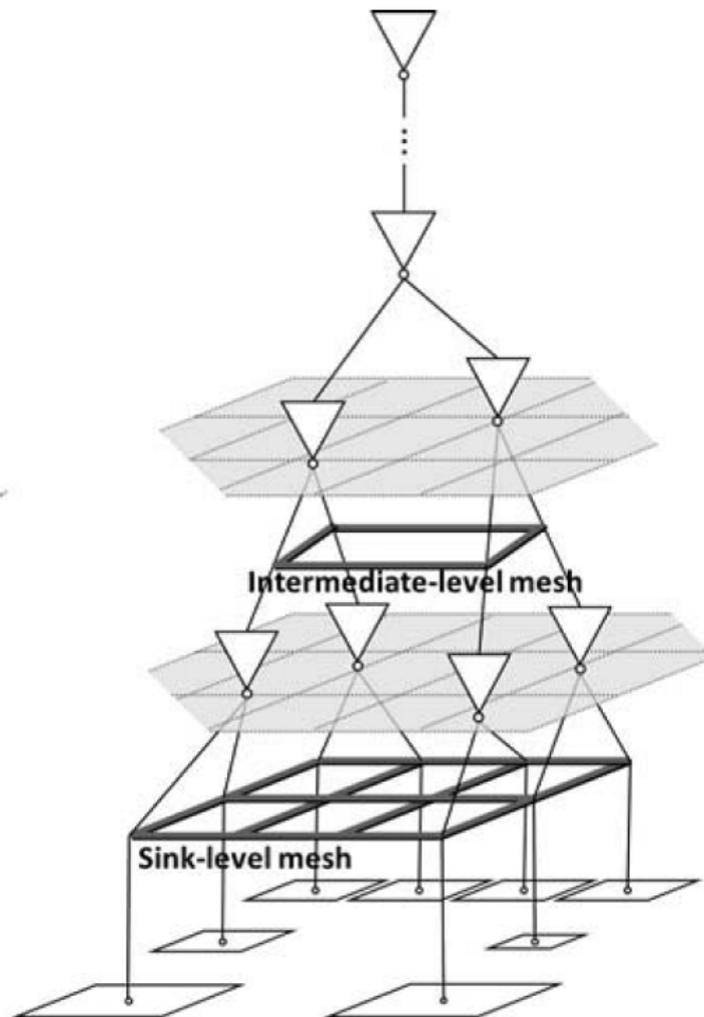


Figura 6: Arquitetura *Mesh* com 4 níveis.