

Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA  
Engenharia Eletrônica

# **TESTE, PROJETO E VERIFICAÇÃO FUNCIONAL DE UMA TAG DE RFID DE 13,56 MHz**

Autor: José Armando Rodrigues de Sousa Neto  
Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF  
2015





José Armando Rodrigues de Sousa Neto

# **TESTE, PROJETO E VERIFICAÇÃO FUNCIONAL DE UMA TAG DE RFID DE 13,56 MHz**

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Universidade de Brasília - UnB

Faculdade UnB Gama - FGA

Orientador: Prof. Dr. Wellington Avelino do Amaral

Brasília, DF

2015

---

José Armando Rodrigues de Sousa Neto  
TESTE, PROJETO E VERIFICAÇÃO FUNCIONAL DE UMA TAG DE  
RFID DE 13,56 MHz/ José Armando Rodrigues de Sousa Neto. – Brasília, DF,  
2015-

125 p. : il. (algumas color.) ; 30 cm.

Orientador: Prof. Dr. Wellington Avelino do Amaral

Trabalho de Conclusão de Curso – Universidade de Brasília - UnB  
Faculdade UnB Gama - FGA , 2015.

1. RFID. 2. Simulações. I. Prof. Dr. Wellington Avelino do Amaral. II.  
Universidade de Brasília. III. Faculdade UnB Gama. IV. TESTE, PROJETO E  
VERIFICAÇÃO FUNCIONAL DE UMA TAG DE RFID DE 13,56 MHz

CDU 02:141:005.6

---

José Armando Rodrigues de Sousa Neto

# TESTE, PROJETO E VERIFICAÇÃO FUNCIONAL DE UMA TAG DE RFID DE 13,56 MHz

Monografia submetida ao curso de graduação em (Engenharia Eletrônica) da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em (Engenharia Eletrônica).

Trabalho aprovado. Brasília, DF, 01 de junho de 2015:

---

**Prof. Dr. Wellington Avelino do  
Amaral**  
Orientador

---

**Prof. Dr. Gilmar Silva Bezerra**  
Convidado 1

---

**Prof. Dr. Daniel Mauricio Muñoz  
Arboleda**  
Convidado 2

Brasília, DF  
2015



# Agradecimentos

Quero agradecer, em primeiro lugar, a Deus, pela força e coragem durante toda esta longa caminhada. Em segundo, gostaria de agradecer a minha família por todo o suporte dado, em especial, a minha eterna gratidão aos meus pais José Armando Junior e Karen Capistrano, aos meus irmãos Amanda Bandeira e Vitor Capistrano, a minha namorada Lays Sobral, aos meus sogros Antônio Ferreira e Marta Sobral, todos eles que, com muito carinho e apoio, não mediram esforços para que eu chegasse até esta etapa de minha vida.

Expresso meu profundo agradecimento ao Prof. Dr. Wellington Avelino do Amaral por seu apoio e inspiração no amadurecimento dos meus conhecimentos e conceitos que me levaram a execução e conclusão desta monografia. Ao Prof. Dr. José Camargo Costa por todo suporte prestado. A DFchip Ltda sistemas eletrônicos pelo apoio e disponibilidade durante todo este processo. Ao IMEC pelo financiamento da fabricação do circuito integrado, utilizando tecnologia da TSMC 0.18  $\mu m$ . À Autotrac, representada pelo senhor Sergio Ricardo Pires Cavalcanti, por ceder seu laboratório e equipamentos de caracterização para a realização dos testes e pelo auxílio técnico no manuseio dos referidos equipamentos.

Por fim, aos meus amigos, que me apoiaram e que sempre estiveram ao meu lado durante esta longa caminhada, sem vocês nada seria possível.





*“[Eu] Pensava que nós seguíamos caminhos já feitos,  
mas parece que não os há.  
O nosso ir faz o caminho.”  
(C. S. Lewis.)*



# Resumo

A proposta deste trabalho consiste no projeto e verificação funcional, utilizando modelos de alto nível descritos em Verilog-AMS de um *front-end* analógico de uma *tag* passiva de RFID de 13,56 MHz. Dois circuitos desta *tag* foram criados, utilizando a tecnologia TSMC 0.18  $\mu\text{m}$ , por alunos de iniciação científica da faculdade UnB – campus Gama, posteriormente mandados para fabricação e encapsulados em um modelo JLCC 68. Foram feitos testes em laboratório, a fim de caracterizar cada um destes circuitos, com o intuito de saber como se comportavam na prática, e baseado no resultado avaliou-se a necessidade de reprojeta-los. Concomitantemente, houve também a realização do projeto elétrico e o respectivo *layout* dos blocos individuais restantes que compõem o *front-end* analógico da *tag* utilizando o simulador CADENCE Virtuoso. Em paralelo, simulações mistas dos blocos em Verilog-AMS com o circuito elétrico foram realizadas a fim de validar os circuitos projetados. Para a realização deste projeto foi utilizada a metodologia de projeto “*Top-Down*”.

**Palavras-chaves:** : RFID. Verilog-AMS. Simulações. Testes. Top-Down. Verificação.



# Abstract

The purpose of this work is the project and functional verification, using high level models described in Verilog-AMS of an analog front-end passive RFID tag for 13.56 MHz. Two circuits of this RFID were designed, using the TSMC 0.18  $\mu m$  technology, by scientific initiation students of University of Brasilia – campus Gama, posteriorly sent to manufacturing and encapsulated in a JLCC 68 pins package. Tests were made in laboratory to characterize each of these circuits, in order to know how they behave in practice, and depending on the outcome will be assessed the need for redesigns. Concomitantly, there was also the realization of the electrical design and its layout of other individual blocks that make up the analog front-end of the tag using the CADENCE Virtuoso simulator. In parallel, mixed simulations of the blocks in Verilog-AMS with the electric circuit were conducted to validate the designed circuits. For the realization of this project will be used the project methodology called "*Top-Down*".

**Key-words:** RFID. Verilog-AMS. Simulations. Tests. Top-Down. Verification.



# Lista de ilustrações

Figura 1 – Ilustração de um sistema de RFID genérico(PUHLMANN, 2015). . . . .	34
Figura 2 – <i>Tag</i> RFID de 13,56 MHz(LEHPAMER, 2012) . . . . .	35
Figura 3 – Diagrama completo de uma <i>tag</i> RFID(LEHPAMER, 2012) . . . . .	36
Figura 4 – Sistema RFID de alta frequência(PUHLMANN, 2015) . . . . .	40
Figura 5 – Família Verilog® de idiomas(KUNDERTH, 2004). . . . .	44
Figura 6 – Códigos em Verilog - AMS(KUNDERTH, 2004). . . . .	45
Figura 7 – (a) Denominação dos blocos do <i>tag</i> de RFID (b) Denominação dos blocos específicos da <i>tag</i> de RFID(LI, 2009) . . . . .	49
Figura 8 – Circuito proposto para a referencia de tensão <i>bandgap</i> (AMARAL, 2014). . . . .	50
Figura 9 – Diagrama de blocos . . . . .	51
Figura 10 – Curva característica de um <i>bandgap</i> (RAZAVI, 2001). . . . .	51
Figura 11 – Resultado obtido por simulação para as duas saídas do <i>bandgap</i> . . . . .	52
Figura 12 – Onda ASK . . . . .	53
Figura 13 – Demodulador ASK(HADIL, 2015). . . . .	54
Figura 14 – Resposta de um comparador a uma entrada ruidosa (a) Comparador sem histerese (b) Comparador com histerese(ALLEN, 2002). . . . .	54
Figura 15 – Simulação(AMARAL, 2014). . . . .	55
Figura 16 – Exemplo de placa de circuito impresso(MICROTECH, 2013) . . . . .	59
Figura 17 – Tipos de encapsulamentos. . . . .	60
Figura 18 – Características físicas do layout de um <i>chip</i> : (a) Encapsulamento (b)Visão geral (c) TQFP( <i>Thin Quad Flat Pack</i> ) <i>Leadframe</i> . . . . .	61
Figura 19 – <i>Layout</i> final do <i>chip</i> . . . . .	62
Figura 20 – Circuitos integrados que estão no <i>chip</i> . . . . .	63
Figura 21 – Roteamento de cada entrada/saída após o encapsulamento. . . . .	63
Figura 22 – Equipamento para realizar medições e visualizar o <i>chip</i> . . . . .	64
Figura 23 – Detalhes em diferentes perspectivas do <i>chip</i> : (a) 9 chips sem o encapsulamento (b)Zoom do <i>chip</i> (c) <i>Layout</i> do circuito vista através de equipamentos . . . . .	64
Figura 24 – Placa para realização dos testes . . . . .	65
Figura 25 – Placa para realização dos testes . . . . .	66
Figura 26 – Montagem do circuito para o teste do demodulador ASK . . . . .	67
Figura 27 – Resultado obtido . . . . .	68
Figura 28 – Resultado obtido com frequência de subportadora: 200 Hz, 1 kHz e 1.5 kHz . . . . .	69
Figura 29 – Esquemático do demodulador ASK . . . . .	69
Figura 30 – <i>Testbench</i> do demodulador ASK . . . . .	70

Figura 31 – Resultado obtido através da simulação com carga . . . . .	70
Figura 32 – Resultado obtido através da simulação sem carga . . . . .	71
Figura 33 – Câmara térmica . . . . .	71
Figura 34 – Setup para realizar as medições . . . . .	72
Figura 35 – Placa modificada . . . . .	72
Figura 36 – Temperatura medida nos extremos . . . . .	73
Figura 37 – Montagem do circuito para o teste do <i>bandgap</i> . . . . .	73
Figura 38 – Resultado obtido da saída - $V_{out1}$ . . . . .	74
Figura 39 – Resultado obtido da saída - $V_{out2}$ . . . . .	74
Figura 40 – Detalhes em diferentes perspectivas da placa de circuito impresso : (a) Visão superior (b)Visão inferior . . . . .	78
Figura 41 – Resultado obtido pela simulação DRC em ambos circuitos . . . . .	78
Figura 42 – Resultado da simulação LVS : (a) <i>Bandgap</i> (b)Demodulador ASK . . . . .	78
Figura 43 – Diagrama de blocos do retificador . . . . .	84
Figura 44 – Modelo de charge pump proposto(JINPENG, 2012). . . . .	84
Figura 45 – Diagrama de blocos de um regulador LDO(HEIDRICH, 2010). . . . .	86
Figura 46 – Topologia proposta para o regulador LDO . . . . .	87
Figura 47 – Esquemático do amplificador de error . . . . .	87
Figura 48 – Bloco retificador visto através do <i>software</i> CADENCE . . . . .	88
Figura 49 – Resultado do bloco retificador obtido através de simulação . . . . .	88
Figura 50 – Circuito externo da antena(MICROCHIP, 2004). . . . .	90
Figura 51 – Funcionamento do modulador com seu respectivo espectro de frequên- cia(MICROCHIP, 2004). . . . .	90
Figura 52 – Chave CMOS . . . . .	91
Figura 53 – Amplitude da onda refletida(TSAI, 2011) . . . . .	92
Figura 54 – Índice de modulação <i>vs</i> profundidade de modulação(TSAI, 2011) . . . . .	92
Figura 55 – Esquemático do bloco modulador . . . . .	93
Figura 56 – Resultado do bloco modulador obtido através de simulação . . . . .	93
Figura 57 – Oscilador em anel proposto . . . . .	94
Figura 58 – Topologia do oscilador em anel . . . . .	95
Figura 59 – Esquemático do oscilador em anel . . . . .	95
Figura 60 – Frequência obtida pelo oscilador . . . . .	96
Figura 61 – Clock sendo habilitado através do sinal <i>enable</i> proveniente da porta lógica AND . . . . .	96
Figura 62 – Resultado do bloco oscilador obtido através de simulação . . . . .	97
Figura 63 – <i>Layout</i> do <i>charge-pump</i> . . . . .	97
Figura 64 – <i>Layout</i> do LDO . . . . .	98
Figura 65 – <i>Layout</i> do modulador . . . . .	98
Figura 66 – <i>Layout</i> do oscilador . . . . .	98



Figura 67 – <i>Layout</i> da <i>front-end</i> analógica da <i>tag</i> proposta . . . . .	99
Figura 68 – <i>Layout</i> da <i>front-end</i> analógica da <i>tag</i> proposta destacando os circuitos . . . . .	99
Figura 69 – Esquemático da simulação mista . . . . .	100
Figura 70 – Resultado da simulação mista - Bloco retificador em nível de esquemático . . . . .	100
Figura 71 – Resultado da simulação mista - <i>Charge-pump</i> em nível de esquemático . . . . .	101
Figura 72 – Resultado da simulação mista - LDO em nível de esquemático . . . . .	102
Figura 73 – Sinal RF irregular resultante do cascadeamento da fonte com o CP em alto nível . . . . .	102
Figura 74 – Resultado da simulação mista - Amplificador e transistores do circuito LDO em nível de esquemático . . . . .	103
Figura 75 – Esquemático do <i>charge-pump</i> . . . . .	113
Figura 76 – Esquemático do LDO . . . . .	114
Figura 77 – Esquemático do símbolo Modulador . . . . .	115
Figura 78 – Esquemático do símbolo CMOS_key . . . . .	115
Figura 79 – Esquemático da porta lógica inversora . . . . .	117
Figura 80 – Símbolo da porta lógica inversora . . . . .	117
Figura 81 – Esquemático da porta lógica AND . . . . .	118
Figura 82 – Símbolo da porta lógica AND . . . . .	118
Figura 83 – <i>Layout</i> do <i>bandgap</i> . . . . .	121
Figura 84 – <i>Layout</i> do demodulador ASK . . . . .	123
Figura 85 – <i>Layout</i> do topo do <i>chip</i> fabricado . . . . .	125



# Lista de tabelas

Tabela 1 – Blocos da <i>tag</i> projetados . . . . .	26
Tabela 2 – Comparação entre <i>tags</i> ativas e passivas(HADIL, 2015). . . . .	37
Tabela 3 – Categoria de sistema RFID(CHIN, 2007). . . . .	41
Tabela 4 – Especificações do <i>bandgap</i> . . . . .	56
Tabela 5 – Especificações do demodulador ASK. . . . .	56
Tabela 6 – Especificações do encapsulamento . . . . .	62
Tabela 7 – Especificações do <i>chip</i> . . . . .	62
Tabela 8 – Materias usados para a confecção da placa . . . . .	65
Tabela 9 – Tensões necessárias para o correto funcionamento dos circuitos . . . . .	66
Tabela 10 – Entradas/Saídas do demodulador ASK . . . . .	66
Tabela 11 – Entradas/Saídas do <i>bandgap</i> . . . . .	66
Tabela 12 – Materiais utilizados para o teste do demodulador ASK . . . . .	67
Tabela 13 – Resultados esperados/obtidos . . . . .	68
Tabela 14 – Teste com variações nas frequências . . . . .	68
Tabela 15 – Materiais utilizados para o teste do <i>bandgap</i> . . . . .	73
Tabela 16 – Resultados esperados/obtidos . . . . .	75
Tabela 17 – Área correspondente de cada circuito que constitui a <i>front-end</i> analógica da <i>tag</i> . . . . .	99



# Lista de abreviaturas e siglas

ASK	<i>Amplitude Shifting Keying</i>
BPSK	<i>Binary Phase Shifting Keying</i>
CP	<i>Charge Pump</i>
CI	Circuito Integrado
DC	<i>Direct Current</i>
DRC	<i>Design Rule Check</i>
DIP	<i>Dual In-line Package</i>
EPC	<i>Electronic Product Code</i>
ESD	<i>Electrostatic discharge</i>
FSK	<i>Frequency Shifting Keying</i>
HDL	<i>Hardware Description Language</i>
HF	<i>High-frequency</i>
IC	<i>Integrated Circuit</i>
JLCC	<i>J-leaded Chip Carrier</i>
LDO	<i>Low-dropout Regulator</i>
LF	<i>Low-frequency</i>
LVS	<i>Layout vs. Schematic</i>
NMOS	Transistor MOS de Canal N
PCB	<i>Printed Circuit Board</i>
PCMCIA	<i>Personal Computer Memory Card International Association</i>
PGA	<i>Pin Grid Array</i>
PMOS	Transistor MOS de Canal P
PSK	<i>Phase Shifting Keying</i>

PLCC	<i>Pin Leadless Carrier Chip</i>
PTAT	<i>Proportional to absolute temperature</i>
PVT	<i>Pressure, Volume and Temperature</i>
RC	<i>Resistor Capacitor</i>
RFID	<i>Radio Frequency Identification</i>
SMD	<i>Surface Mounted Device</i>
TSMC	<i>Taiwan Semiconductors</i>
TQFP	<i>Thin Quad Flat Pack</i>
UHF	<i>Ultra High-frequency</i>
VDD	<i>Positive Supply Voltage</i>
VSS	<i>Negative Supply Voltage</i>

# Sumário

	<b>Introdução</b> . . . . .	<b>25</b>
<b>I</b>	<b>REVISÃO BIBLIOGRÁFICA</b>	<b>31</b>
<b>1</b>	<b>RADIO FREQUENCY IDENTIFICATION (RFID)</b> . . . . .	<b>33</b>
<b>1.1</b>	<b>Visão geral</b> . . . . .	<b>33</b>
<b>1.2</b>	<b>Composição</b> . . . . .	<b>33</b>
1.2.1	<i>Transponder (Tag, RF Tag, etiqueta eletrônica)</i> . . . . .	34
1.2.2	Leitor com antena . . . . .	37
<b>1.3</b>	<b>Funcionamento</b> . . . . .	<b>38</b>
<b>1.4</b>	<b>Especificações</b> . . . . .	<b>39</b>
<b>1.5</b>	<b>Vantagens</b> . . . . .	<b>41</b>
<b>2</b>	<b>VERILOG</b> . . . . .	<b>43</b>
<b>2.1</b>	<b>Linguagem de descrição de hardware</b> . . . . .	<b>43</b>
<b>2.2</b>	<b>Verilog-AMS</b> . . . . .	<b>44</b>
<b>2.3</b>	<b>Exemplos</b> . . . . .	<b>45</b>
<b>3</b>	<b>METODOLOGIA</b> . . . . .	<b>47</b>
<b>4</b>	<b>CONCEPÇÃO DO SISTEMA DA TAG DE RFID</b> . . . . .	<b>49</b>
<b>4.1</b>	<b>Proposta</b> . . . . .	<b>49</b>
<b>4.2</b>	<b>Retificador</b> . . . . .	<b>50</b>
4.2.1	Circuito proposto . . . . .	50
4.2.2	<i>Bandgap</i> . . . . .	50
4.2.2.1	Resultados de simulação . . . . .	51
<b>4.3</b>	<b>Demodulador ASK</b> . . . . .	<b>52</b>
4.3.1	Modulação ASK . . . . .	52
4.3.2	Circuito proposto . . . . .	53
4.3.3	Resultados de simulação . . . . .	54
<b>4.4</b>	<b>Modulador e o <i>clock</i></b> . . . . .	<b>55</b>
<b>4.5</b>	<b>Especificação</b> . . . . .	<b>56</b>
<b>II</b>	<b>ANÁLISE DO CHIP FABRICADO</b>	<b>57</b>
<b>5</b>	<b>TESTES</b> . . . . .	<b>59</b>

<b>5.1</b>	<b>Contextualização</b>	<b>59</b>
5.1.1	Placa de circuito impresso	59
5.1.2	Encapsulamento	60
5.1.3	Outros conceitos	61
<b>5.2</b>	<b>Chip</b>	<b>62</b>
<b>5.3</b>	<b>Projeto da placa para o teste</b>	<b>65</b>
<b>5.4</b>	<b>Demodulador ASK – Resultados obtidos</b>	<b>67</b>
<b>5.5</b>	<b>Demodulador ASK – Discussão dos resultados</b>	<b>69</b>
<b>5.6</b>	<b>Bandgap – Resultados obtidos</b>	<b>71</b>
<b>6</b>	<b>DEPURAÇÃO DO CHIP</b>	<b>77</b>
6.1	Considerações	77
6.2	Testes e simulações	77
<b>III</b>	<b>PROJETO, IMPLEMENTAÇÃO E RESULTADOS - TAG</b>	<b>81</b>
<b>7</b>	<b>CONCEPÇÃO DO PROJETO ELÉTRICO DA TAG</b>	<b>83</b>
<b>7.1</b>	<b>Bloco retificador</b>	<b>83</b>
7.1.1	Contexto	83
7.1.2	Projeto e implementação	84
7.1.3	Resultados obtidos	88
<b>7.2</b>	<b>Bloco modulador</b>	<b>89</b>
7.2.1	Contexto	89
7.2.2	Projeto e implementação	90
7.2.3	Resultados obtidos	93
<b>7.3</b>	<b>Bloco oscilador</b>	<b>94</b>
7.3.1	Contexto	94
7.3.2	Projeto e implementação	94
7.3.3	Resultado obtido	95
<b>7.4</b>	<b>Layout</b>	<b>97</b>
<b>7.5</b>	<b>Verificação funcional</b>	<b>99</b>
<b>IV</b>	<b>CONCLUSÃO</b>	<b>105</b>
<b>8</b>	<b>CONCLUSÃO</b>	<b>107</b>
	<b>REFERÊNCIAS</b>	<b>109</b>



<b>APÊNDICES</b>	<b>111</b>
APÊNDICE A – ESQUEMÁTICOS DOS CIRCUITOS DO BLOCO RETIFICADOR . . . . .	113
APÊNDICE B – ESQUEMÁTICOS DOS CIRCUITOS DO BLOCO MODULADOR . . . . .	115
APÊNDICE C – ESQUEMÁTICOS DOS CIRCUITOS DO BLOCO OSCILADOR . . . . .	117
<b>ANEXOS</b>	<b>119</b>
ANEXO A – <i>LAYOUT</i> DO CIRCUITO DE REFERÊNCIA <i>BAND- GAP</i> . . . . .	121
ANEXO B – <i>LAYOUT</i> DO DEMODULADOR ASK . . . . .	123
ANEXO C – <i>LAYOUT</i> DO TOPO DO <i>CHIP</i> FABRICADO . . . . .	125



# Introdução

Os sistemas que utilizam a identificação por rádio frequência (RFID) estão atualmente em crescimento ascendente devido ao seu amplo campo de aplicação como no controle de acesso, rastreamento de bagagem, entre outros. E para atender às exigências do mercado, a tecnologia que pode ser usada para alcançar tais sistemas deve ativar circuitos pequenos aliados com uma baixa tensão / baixa potência integrada. Atualmente esta tecnologia está presente nas mais diversas áreas, tais como, agricultura, automotiva, saúde, segurança, entretenimento entre outras, facilitando e dando mais conforto e rapidez nas decisões diárias. Por isso, o desenvolvimento de um trabalho na área de microeletrônica que aborde o RFID no âmbito de projeto de circuitos integrados que possam ser utilizados no mercado, pode despertar o interesse de profissionais nesta área, aumentando o conhecimento científico e suas aplicações, gerando novas possibilidades.

Este trabalho está inserido dentro de um projeto maior, que visa o *design* de uma *tag* de RFID passiva para a frequência de 13.56 MHz. Nesse contexto a arquitetura desta *tag* foi proposta inicialmente por alunos de iniciação científica da UnB-Gama(AMARAL, 2014), que devido a uma oportunidade de *tape-out*, dois circuitos do *front-end* analógico desta proposta *tag*, foram mandados para a fabricação utilizando a tecnologia TSMC 0.18  $\mu\text{m}$ .

Posteriormente, os blocos constituintes do *front-end* analógico desta *tag* foram modelados utilizando a linguagem Verilog-AMS, trabalho que foi realizado por outro aluno(FILHO, 2014). Foi modelado em alto nível os seguintes blocos: retificador, modulador, demodulador e oscilador, cujos modelos criados foram validados utilizando o simulador CADENCE Virtuoso sendo facilmente aplicados à outros projetos de circuitos integrados.

Desta forma, este trabalho se propõe a realizar testes em laboratório dos circuitos que foram projetados, com a criação de placas de circuito impresso específicas para o CI fabricado. Em paralelo, foi realizado o projeto elétrico e *layout* do restante dos blocos funcionais que compõem o *front-end* analógico da *tag* de RFID, como mostra a Tab. (1). A verificação funcional do sistema também foi realizada, fazendo o uso dos modelos de alto nível projetados com a linguagem Verilog-AMS(FILHO, 2014), através de simulações mistas do sistema, com uma parte dos blocos representado com seus esquemáticos elétricos, e outra parte com modelos em Verilog-AMS.

Circuitos	Projetados por alunos de IC	Projetados neste TCC
<i>Bandgap</i>	X	
Demodulador	X	
<i>Low-dropout Regulator</i>		X
<i>Charge Pump</i>		X
Modulador		X
Oscilador		X

Tabela 1: Blocos da *tag* projetados

## Contextualização

Como dito anteriormente, esta tecnologia está presente nas mais diversas áreas, tais como, agricultura, automotiva, saúde, segurança, entretenimento entre outras, facilitando e dando mais conforto e rapidez nas decisões diárias. Na agricultura, uma das áreas pioneiras na utilização desta tecnologia, permite acompanhar os movimentos de animais a fim de monitorá-los dentro de um rebanho. Sistemas de gestão agrícola podem ser extremamente caros, e garantir que a alimentação correta seja fornecida a um animal específico entre um rebanho de centenas pode ser muito demorado. Por isso, o monitoramento da saúde dos animais é essencial para qualquer agricultor moderno. Com o RFID isto pode ser conseguido automaticamente e com baixo custo, pois a informação é enviada de volta a base de dados central em tempo real, otimizando o monitoramento dos animais.

Na indústria automobilística, é utilizada como complemento do GPS, e tem muitas aplicações na gestão de frotas. Por ser de baixo custo, as etiquetas RFID passivas são muito utilizadas para a localização e rastreamento, enquanto outras *tags* com maior custo, são ativadas inclusive por sistemas GPS fornecendo uma solução de monitoramento de veículos de longa distância. Consciente disso, a *Avis Rent a Car* que é das principais locadoras de veículos do mundo, utiliza esta tecnologia de RFID para reconhecer os retornos de veículos, fornecendo um serviço diferenciado ao cliente, permitindo a devolução do carro estacionado em qualquer local aberto (LY, 2010).

Na área da saúde, existem varias aplicações de RFID, tais como, a gestão de medicamentos, otimização do fluxo de tráfego em hospitais, e monitoramento de equipamentos sofisticados. Porém a *start up*, chamada *IntelligentM*, que com o intuito de melhorar a higiene de um ambiente hospitalar, criou uma simples forma de combater isto usando esta tecnologia, onde todos os profissionais da saúde possuem uma pulseira e os leitores RFID são posicionados nas torneiras, fazendo assim um controle e alertando a todos sobre esta questão de higiene e por consequência, evitando possíveis problemas que possam aparecer por sua falta (INTELLIGENTM.COM, 2014).

Na área da segurança, há atualmente um grande debate acerca do controle de armas. Fabricantes como *Armatix* já começaram a produzir armas que são habilitadas

utilizando a tecnologia RFID com objetivo do usuário ter maior controle de seu uso ([ARMATIX, 2014](#)).

Na área do entretenimento, várias empresas que possuem parques temáticos, como por exemplo a Disney , tentam integrar a tecnologia RFID em seus bilhetes para eliminar a necessidade de varreduras em linhas de passeio, reduzir tempos de espera e diminuir os custos de equipes. Além disso, os bilhetes RFID podem fornecer aos operadores do parque uma rica fonte de informações para rastrear o movimento dos clientes em todo o terreno ([DISNEYWORLD, 2015](#)).

No Reino Unido, desde 2006, foi introduzido um sistema de gestão de resíduos RFID chamado *BinBug* , que monitora a quantidade de resíduos descartáveis de famílias britânicas, com uma tecnologia de RFID embutido em um container, e quando a *tag* passa pelo leitor do caminhão de lixo é registrado o ID, peso e localização, toda vez que é descarregado ([MIRROR.CO.UK, 2006](#)).

## Objetivos gerais

O presente trabalho visa o conhecimento técnico sobre *Radio Frequency Identification* (RFID). Primeiramente, se propõe a criação de placas de circuito mostrando toda a prática laboratorial para realização de testes de circuitos integrados. Posteriormente, aplicação da metodologia *Top-Down* para a realização do projeto elétrico e *layout* de circuitos integrados com o suporte do *software* CADENCE Virtuoso, com a verificação funcional destes através de circuitos que foram modelados utilizando a linguagem de *hardware* (Verilog-AMS).

## Objetivos específicos

- Realização de testes e, por conseguinte a validação de um demodulador e um *band-gap*, dois circuitos de uma *tag* de RFID.
- Realizar a depuração e análise destes blocos.
- Projetar e validar o projeto elétrico de outros blocos que constituem uma *tag* de RFID, tais como um modulador, *charge pump*, LDO e oscilador.
- Validar o bloco LDO (*Low-dropout circuit*) em nível de projeto elétrico comparando os resultados obtidos em nível de sistema (Verilog-AMS).

## Metodologia

No processo da realização dos testes do *chip* que foi enviado para a fabricação e encapsulado em um modelo JLCC 68, foram desenvolvidas placas especificamente para o teste deste CI, que ao longo do trabalho foram sendo alteradas de acordo com a necessidade. Para a obtenção dos resultados, foram utilizados equipamentos que são comumente encontrados em laboratórios acadêmicos, tais como, fonte de tensão, gerador de função, osciloscópio, multímetro, bem como outros que são encontrados em laboratórios mais robustos, como: microscópio eletrônico que foi utilizado para visualização do *layout* do *chip* e também a câmara térmica, que permitiu a variação da temperatura do *chip* de  $-20^{\circ}\text{C}$  a  $120^{\circ}\text{C}$  em um ambiente totalmente controlado. A realização desses testes foi feita em locais propícios como o laboratório da UnB-Gama para avaliação do demodulador ASK, e o laboratório da empresa AUTOTRAC COMÉRCIO E TELECOMUNICAÇÕES S/A para a caracterização do circuito de referência *bandgap*.

No desenvolvimento da realização da depuração do *chip*, foi utilizada uma placa de circuito impresso criada especificamente para realização de novos testes. Foi feita também a análise em nível esquemático e *layout* dos circuitos que foram enviados para fabricação, realizando desta forma primeiramente a simulação DRC, que confere se o *layout* está de acordo com as regras de design da TSMC, para posteriormente realizar uma simulação LVS, que compara se o *layout* está de acordo com o esquemático projetado. Por fim, foi realizado algumas ponderações após a obtenção dos resultados destas simulações realizadas.

No desenvolvimento da criação do projeto elétrico dos blocos restantes da *tag* foi utilizado alguns conceitos da metodologia *Top-Down* para uma análise do problema, pelo qual através dos planos de simulação e modelagem, e verificação de nível de sistema, realizados por um aluno da UnB-Gama (FILHO, 2014), foi possível realizar simulações mistas para a verificação funcional dos circuitos projetados.

## Organização do trabalho

O trabalho está dividido em quatro partes com 8 capítulos no total. A primeira parte é intitulada “Revisão bibliográfica”, na qual foi feita a revisão de alguns conceitos que são muito importantes para a compreensão do tema proposto neste trabalho e também para entendimento dos resultados obtidos. Esta parte contém o Cap.(1) que retrata a tecnologia RFID e alguns tópicos importantes a cerca dela, tais como, o conceito, características, funcionamento e vantagens. O Cap.(2) apresenta o Verilog-AMS que é uma linguagem de modelagem de sistemas de sinais mistos, utilizada para descrever circuitos em alto nível. O Cap.(3) descreve a metodologia *Top-Down* utilizada para estruturar o desenvolvimento do projeto. O Cap.(4) apresenta a arquitetura proposta da *tag* definindo

os blocos que a compõe.

A segunda parte deste trabalho retrata os testes feitos em laboratório, bem como as discussões à cerca dos resultados obtidos do *chip* que foi enviado para fabricação, e é denominada “Análise do *chip* fabricado”. Esta parte contém: o Cap.(5) que retrata os testes realizados, bem como os resultados obtidos, discutindo toda a metodologia utilizada para obtenção destes. O Cap.(6) mostra a depuração do *chip*, da qual foi feita a análise dos resultados obtidos nos testes.

A terceira parte denominada de “Projeto, Implementação e Resultados - *Tag*” possui apenas o Cap.(7), que apresenta o projeto elétrico e sua respectiva implementação, bem como os resultados obtidos de cada bloco projetado da *tag* neste trabalho.

Por fim, a última parte intitulada “Conclusão”, possui o Cap.(8) que sintetiza o que foi realizado neste trabalho.





# Parte I

## Revisão Bibliográfica



# 1 *Radio Frequency Identification (RFID)*

A identificação por rádio frequência (RFID) já existe há mais de 20 anos, mas só nos últimos anos ganhou popularidade significativa para identificação pessoal sendo utilizado em cartões de identificação, aplicação de etiquetas inteligentes, identificações de gado, rastreamento de mercadorias nas cadeias de fornecimento e também aplicações biomédicas. Atualmente, esta tecnologia substituiu a forma convencional do uso de código de barras nas lojas de departamento (HADIL, 2015).

## 1.1 Visão geral

A necessidade de captura das informações de produtos que estivessem em movimento, somada a necessidade de utilização em ambientes insalubres e em processos que impedissem o uso de código de barras, foi o grande incentivo à utilização da radiofrequência em processos produtivos. Essa tecnologia facilita o controle do fluxo de produtos por toda a cadeia de suprimentos de uma empresa, permitindo o seu rastreamento desde a fabricação até o ponto final da distribuição. Tal tecnologia utiliza-se das “etiquetas inteligentes”, que são etiquetas eletrônicas com um *microchip* instalado e colocado nestes produtos, que então podem ser rastreados por ondas de radiofrequência utilizando uma resistência de metal ou carbono como antena. Este processo tecnológico desencadeia uma revolução que no futuro será a base para uma nova realidade na identificação de produtos, com impacto direto nos processos logísticos de toda a cadeia de abastecimento, seja na fabricação, no controle de estoque ou na compra e venda destes. Com este avanço, a transmissão das informações de cada produto é feita por antenas e etiquetas de radiofrequência, e tudo isto baseado no EPC - Código Eletrônico do Produto (*Electronic Product Code*) e na sua rede de informação. Atualmente, podemos observar também esta tecnologia, em sistemas de controle de acesso e pedágios (PUHLMANN, 2015). Esta tecnologia é chamada de RFID (*Radio Frequency Identification*), que no português significa “Identificação por Radiofrequência” e é utilizada para identificar, rastrear e gerenciar uma enorme gama de produtos como documentos, animais e pessoas.

## 1.2 Composição

Um sistema RFID é composto por um leitor, etiqueta (*tag* ou *transponder*), e informações de gerenciamento de computador hospedeiro. O leitor contém um módulo transceptor RF (transmissor e receptor), uma unidade de processamento e controle de sinais, um elemento de acoplamento (antena) e uma interface de dados em série (RS232,

RS485) para um sistema hospedeiro. A *tag* atua como um dispositivo de transporte de dados programável, consiste de um elemento de acoplamento (circuito sintonizado ressonante) e um circuito integrado (IC) de baixo consumo de energia. O circuito integrado contém uma interface de RF analógica, antena de sintonia, sistema retificador RF para DC, controle digital e memória EEPROM, e circuitos de modulação de dados. RFID envolve leitura sem contato e escrita de dados em memória não volátil de uma etiqueta RFID através de um sinal de RF. O leitor emite um sinal de RF e os dados são trocados quando a *tag* entra na proximidade do leitor de sinal (DOBKIN, 2008).

Desta forma, os sistemas de RFID, conforme mostra a Fig. (1), são compostos por:

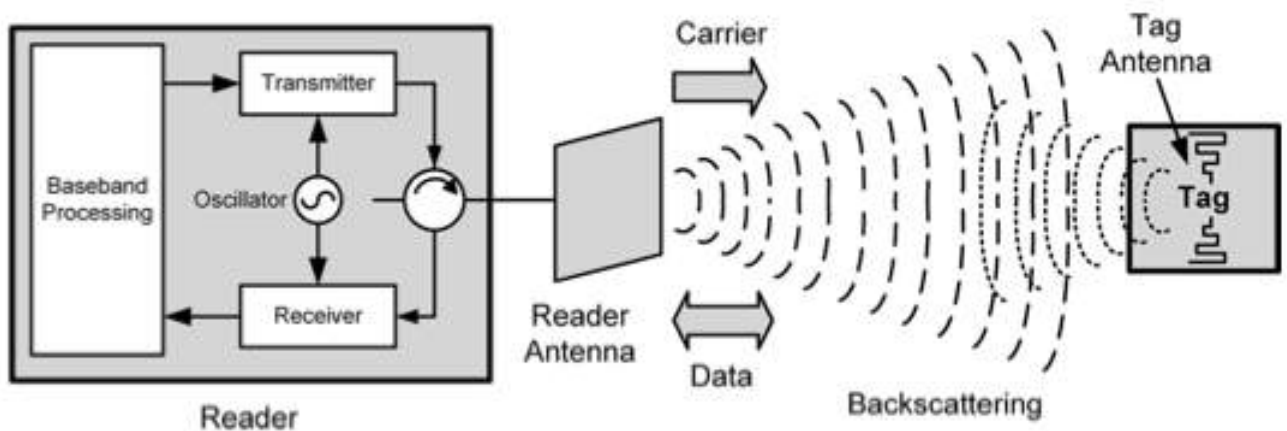


Figura 1: Ilustração de um sistema de RFID genérico (PUHLMANN, 2015).

### 1.2.1 Transponder (Tag, RF Tag, etiqueta eletrônica)

Uma *tag* RFID é formada por um *chip* RFID, uma antena e seu respectivo encapsulamento. O circuito do chip por sua vez, consiste em um RF *front-end*, alguns circuitos adicionais de processamento do sinal de base, um circuito lógico para implementar os algoritmos necessários, e uma memória EEPROM para o armazenamento. O *chip* é um circuito integrado implementado no silício.

Como dito anteriormente, as *tags* consistem em um dispositivo de silício (*chip*) e circuito de antena (Fig. (2)). A finalidade do circuito da antena é induzir um sinal de energização e enviar um sinal de RF modulado para o leitor. O alcance de leitura de uma *tag* depende em grande parte do circuito e do tamanho da antena. O circuito da antena é feito de um circuito ressonante LC ou de dipolo elétrico, dependendo da frequência de portadora. O circuito ressonante LC é tipicamente utilizado para frequências inferiores a 100 MHz. Nesta banda de frequência, a comunicação entre o leitor e a *tag* acontece através do acoplamento magnético entre as duas antenas através do campo magnético.

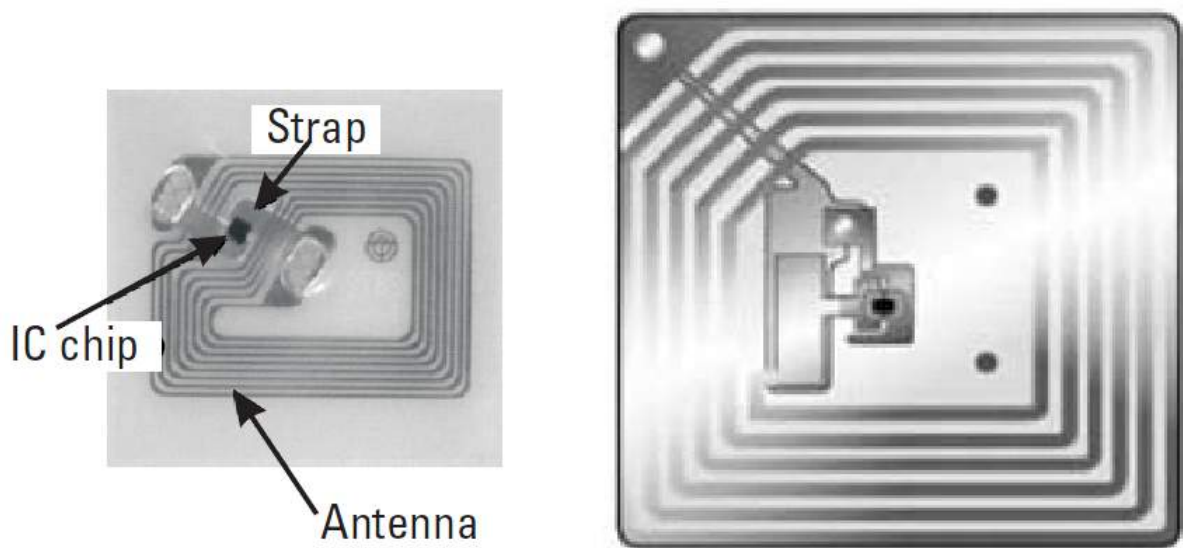


Figura 2: Tag RFID de 13,56 MHz(LEHPAMER, 2012)

A Fig. (3) é um diagrama de blocos dos circuitos integrados de uma RFID e suas funções associadas dentro do mesmo. A *front-end* analógica é ligada a uma antena, e tipicamente, em *tags* UHF, uma antena dipolo elétrico é utilizada, enquanto em *tags* HF são utilizadas antenas de bobina. Os circuitos *front-end* impactam no processo de fabricação de semicondutores, exigindo um processo que permite a fabricação de modo misto. *Tags* passivas não possuem uma fonte de energia e necessitam do sinal do leitor para ligar. Por isso, a *front-end* RF implementa moduladores, reguladores de tensão, *resets*, e conexões com uma antena externa. *Chips* RFID tem lógica de controle que tipicamente consiste de alguns milhares de transistores. Funções na lógica incluem o erro e paridade / verificadores CRC, codificadores de dados, algoritmos anticollisão, controladores, e decodificadores de comando. O tamanho do circuito afeta o número de máscara, de metal, e as camadas de *poly* necessários no processo de semicondutores. Sistemas RFID geralmente utilizam tecnologia CMOS(LEHPAMER, 2012).

Uma certa quantidade de informação é armazenada no *chip* em uma EEPROM. O tamanho desta EEPROM é diretamente proporcional a quantidade de informações armazenadas. O tamanho da EEPROM necessário é um fator determinante no número de máscara, de metal, e das camadas de *poly* necessárias no processo de fabricação de semicondutores. É também um fator na determinação do tamanho da matriz final do semicondutor(LEHPAMER, 2012).

O sistema anticollisão digital é um dos mais importantes e é uma das principais partes do *chip* de uma *tag*, porque não só implementa o algoritmo de colisão, mas também executa a operação de leitura/escrita de memória.

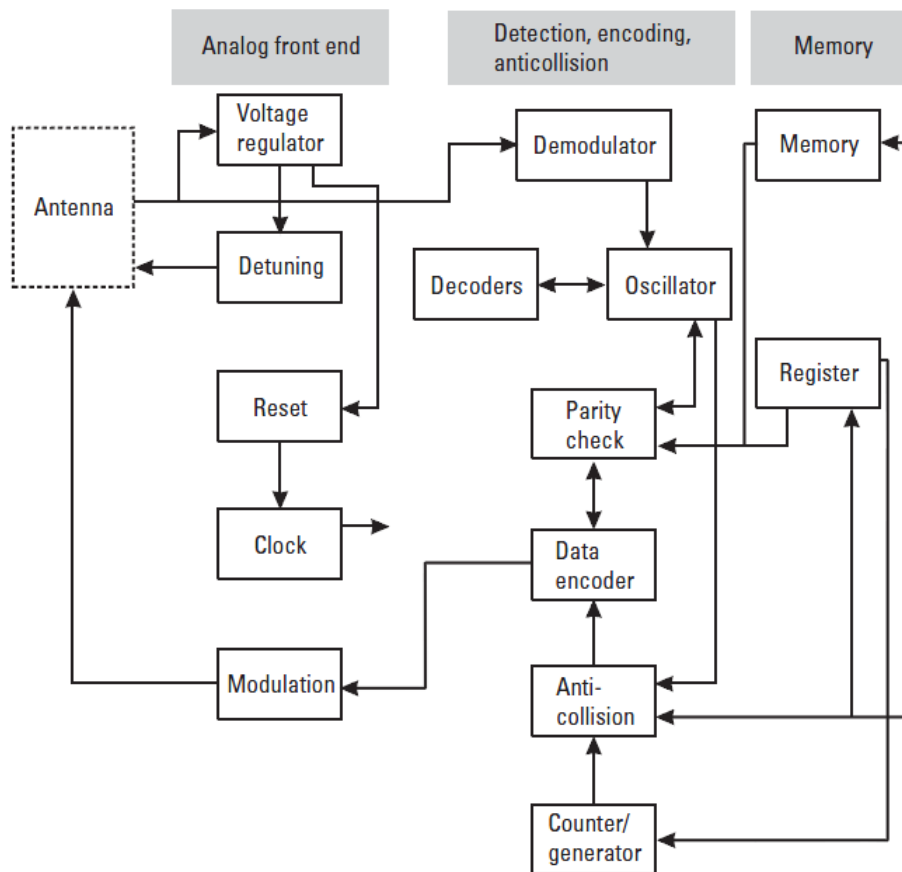


Figura 3: Diagrama completo de uma *tag* RFID (LEHPAMER, 2012)

Os *transponders* estão disponíveis em diversos formatos, tais como: cartões, pastilhas, argolas e podem ser encapsulados com materiais como o plástico, vidro, epóxi, etc. São classificados como ativos, passivos ou semi passivos. Os ativos são alimentados por uma bateria interna e permitem processos de escrita e leitura. Os passivos são aqueles que somente permitem leitura. Além disto, são usados para curtas distâncias e não possuem uma fonte de alimentação, por isso utilizam a energia do leitor, que envia ondas eletromagnéticas que induzem uma corrente na antena da *tag*. Por outro lado, *tags* semi passivos usam uma bateria para alimentar os circuitos do *chip*, e se comunicam utilizando a energia do leitor.

A Tab. (2) evidencia que as *tags* ativas têm maior capacidade em comparação com as *tags* passivas. No entanto na identificação do produto, ou em aplicações biomédicas, é exigido ter uma *tag* tão pequena quanto possível. Devido a este fato, atualmente o *transponder* passivo é mais popular nestes tipos de aplicações, pois não há bateria adicional integrada no próprio circuito diminuindo desta forma seu tamanho. O *transponder* passivo é concebido de tal forma a fim de ter a capacidade de fornecimento de energia gerado internamente, por isso muitas pesquisas são realizadas a fim de ter um menor *transponder* com maior desempenho possível (HADIL, 2015).

	<b>Tag ativa</b>	<b>Tag passiva</b>
<b>Fonte de alimentação</b>	Bateria interna	Energia transferida a partir do leitor
<b>Disponibilidade de energia tag</b>	Contínua	Apenas quando a tag se encontra no campo do leitor
<b>Força do sinal exigido do leitor para tag</b>	Baixa	Alta
<b>Força do sinal disponível da tag para o leitor</b>	Alta	Baixa
<b>Alcance da comunicação</b>	Longo alcance	Curto alcance
<b>Coleta de dados de várias tags</b>	Digitalização de milhares de tags através de um único leitor. Digitalização de até 20 tags que se deslocam a mais de 100 milhas / hora.	Digitalização de centenas de tags em um alcance de até 3 metros através um único leitor. Digitalização de 20 tags que se deslocam a 3 milhas / hora ou mais lento.
<b>Capacidade do sensor</b>	Capacidade de monitorar continuamente.	Capacidade de monitorar apenas quando as tags são alimentadas a partir do leitor.
<b>Armazenamento de dados</b>	Grande	Pequeno

Tabela 2: Comparação entre tags ativas e passivas(HADIL, 2015).

O uso de dispositivos passivos tende a ter como finalidade: o uso em inventário, envio e rastreamento de produto, uso em hospitais e para outros fins médicos, e sistemas antifurto, onde é prático ter um leitor dentro de alguns metros da tag RFID. Dispositivos passivos são ideais em locais que impedem a substituição de uma bateria, por exemplo, quando implantado sob a pele de uma pessoa.

### 1.2.2 Leitor com antena

As tags RFID são interrogadas pelos leitores (*readers*), que por sua vez estão ligados a um computador hospedeiro. O leitor emite frequências de rádio que são dispersas em diversos sentidos no espaço, desde alguns centímetros até alguns metros, dependendo da saída e da frequência de rádio utilizada. Além disso, possui algoritmos/procedimentos de anti-colisão para dedução de várias tags ao mesmo tempo.

Em um sistema passivo, o leitor RFID transmite um campo de energia que acorda a tag e alimenta seu *chip*, permitindo-lhe transmitir ou armazenar dados. Por outro lado, as tags ativas podem transmitir periodicamente um sinal, para que os dados possam ser capturados por vários leitores distribuídos no local. Os leitores podem ser terminais portáteis ou dispositivos fixos posicionados em pontos estratégicos, como na entrada da loja,

linha de montagem, ou na cabine de pedágio, entre outros. Além disso, os leitores / interrogadores podem ser móveis; eles podem ter cartões PCMCIA (*Personal Computer Memory Card International Association*) para se conectar a computadores portáteis, geralmente são alimentados a partir de sua própria fonte de energia (bateria) ou pelo veículo nos quais estão montados, e normalmente têm conectividade sem fio. O leitor está equipado com antenas para enviar e receber sinais, um transceptor, e um processador para decodificar os dados. As empresas podem precisar de muitos leitores para cobrir todas as suas fábricas, armazéns e lojas (DOBKIN, 2008).

Leitores de RFID são usados para ativar etiquetas passivas com energia de RF e para extrair informações da *tag*. Para essa função, o leitor possui uma transmissão de RF para recepção e decodificação de dados. Além disso, frequentemente o leitor possui uma capacidade de comunicação em série (RS-232, USB, e entre outras) para comunicar com um computador hospedeiro. Basicamente, o leitor é um dispositivo só de leitura, entretanto ele pode ser utilizado como um dispositivo de leitura/escrita neste caso ele é chamado de interrogador. Diferentemente do leitor para um dispositivo só de leitura, o interrogador utiliza impulsos de comando para se comunicar com uma *tag*, realizar leitura e escrita de dados.

### 1.3 Funcionamento

O RFID é uma tecnologia de identificação que utiliza a radiofrequência para capturar dados e permite que um transponder seja lido sem a necessidade de campo visual direto, através de objetos feitos dos mais diversos materiais, tais como madeira, plástico, papel, etc.

Um *transponder* é anexado a um objeto e armazena em sua memória interna toda informação necessária, tal como: número de série e data de fabricação entre outros dados. Enquanto isso, o leitor transmite energia de RF e quando a *tag* passa por este campo de energia, transmitirá informações de volta para o leitor identificando assim os objetos. Por fim, o computador funciona como um equipamento de processamento de dados que monitoriza e armazena informações do objeto em um sistema para uso do utilizador (PUHLMANN, 2015).

Para que ocorra a comunicação por RFID, é necessário basicamente dois componentes: a *tag* e um leitor com antena, que pode também ser um interrogador, caso seja necessário escrever novos dados no *chip* do *transponder*.

A comunicação entre o *transponder* e o leitor é gerenciada e controlada por um dos vários protocolos existentes: como a ISO 15693 e ISO 18000-3 para *tags* de alta frequência ou a ISO 18000-6 e EPC para *tags* de ultra alta frequência. O número de etiquetas que podem ser identificadas depende da frequência bem como do protocolo utilizado,



e geralmente pode variar de 50 *tags* por segundo para alta frequência até 200 *tags* por segundo para ultra alta frequência. Algoritmo anti-colisão é introduzido, a fim de permitir que os *transponders* sejam classificados e selecionados individualmente de modo que leitor consiga identifica-los ao mesmo tempo (HADIL, 2015).

O principal componente de um transponder é o *chip*, pois controla a comunicação com o leitor. O *chip* é um processador com funções especializadas para esse tipo de comunicação, e possui uma memória onde são armazenados os dados, que são enviados ao leitor, quando o mesmo é ativado pelo campo do leitor.

## 1.4 Especificações

Alguns critérios para escolha do melhor sistema de RFID, conforme o ambiente de cada aplicação:

- Frequência do sistema;
- Tipo de *chip*;
- Formato e material do encapsulamento;
- Tipo de leitor.

Como consequência da física dos campos eletromagnéticos, a faixa de frequências dos *transponders* determina também as características de atuação do sistema RFID. Com o objetivo de padronizar as etiquetas, as normas técnicas disponíveis definem a construção de sistemas dentro de determinadas faixas de frequências específicas:

- LF (*Low frequency*)

De 30 kHz até 300 kHz. As etiquetas desta faixa de frequências operam em 125 kHz ou 134,2 kHz. Geralmente são etiquetas passivas e seu maior uso é na identificação de pessoas e animais, na forma de brincos ou implantes subcutâneos. A distância de leitura é de alguns centímetros.

- HF (*High frequency*)

De 3 MHz até 30 MHz. Etiquetas construídas em 13,56 MHz, normalmente utilizadas como crachás para identificação individual ou então como meio de pagamento, por exemplo, para o transporte público nos bilhetes únicos. Também pode ser utilizado para identificar objetos individuais, como nas lojas de departamento em sistemas antifurto. A distância de leitura chega a ser maior do que 10 cm. Pode-se observar como é feita a comunicação entre a *tag* e o leitor e seu respectivo funcionamento, através da Fig. (4).



Figura 4: Sistema RFID de alta frequência (PUHLMANN, 2015)

- UHF (*Ultra-high frequency*)

De 300 MHz até 1 GHz. Nesta faixa, os *transponders* são fabricados na frequência de 433 MHz, para uso em rastreamento de cargas, tais como contêineres, vagões, caminhões etc. Nessa espectro de frequências, os *transponders* são ativos, ou seja, energizados com baterias, e robustos. Outra faixa bastante utilizada é a de 868 MHz na Europa e de 915 MHz nos Estados Unidos e Brasil. Essas *tags* também são empregadas em processos de rastreamento de ativos ou produtos em lojas, controle de estoque, inventários e identificação veicular em pedágios eletrônicos.

- Micro-ondas

Acima de 1 GHz. As frequências mais utilizadas nesta faixa são de 2,45 GHz e 5,8 GHz. Esta faixa de frequências é utilizada em aplicações industriais, científicas e médicas (ISM). No Brasil, a principal aplicação de *transponders* nesta faixa é a de identificação veicular para o pedágio eletrônico.

A Tab.(3) mostra um comparativo entre as principais características das faixas de frequência mais comuns em RFID.

Para cada grupo citado há uma aplicação mais adequada e padrões determinados por normas, sendo elas determinadas pela ISO (*International Organization for Standardization*) em conjunto com a IEC (*International Electrotechnical Commission*) que, no caso da última, participa do desenvolvimento de padrões internacionais através de comitês técnicos (TSAI, 2011).

	<b>LF</b>	<b>HF</b>	<b>UHF</b>	<b>Micro-ondas</b>
<b>Frequência</b>	30 - 400 kHz 125 - 134 kHz	3 - 30 MHz 13.56 MHz	433 MHz 865 - 965 MHz	2.45 GHz 5.8 GHz
<b>Distância de leitura</b>	Baixa	Alta	Longa	Longa
<b>Taxa de dados</b>	Muita baixa	Baixa	Alta	Muito alta
<b>Mecanismo de funcionamento</b>	Acoplamento indutivo	Acoplamento indutivo	Radiação eletromagnética	Radiação eletromagnética
<b>Aplicações</b>	Identificação de animais, carros e controle de acesso.	Etiquetas inteligentes, cartões sem contato, rastreamento de itens.	Rastreamento de logística, cadeia de suprimentos.	Pedágio de veículos, rastreamento de ativos.

Tabela 3: Categoria de sistema RFID(CHIN, 2007).

## 1.5 Vantagens

Os benefícios primários da tecnologia de RFID são: eliminação de erros de escrita e leitura de dados, coleção de dados de forma mais rápida e automática e redução de processamento de dados. Quanto às vantagens da RFID em relação às outras tecnologias de identificação e coleção de dados, temos: operação segura em ambientes severos (lugares úmidos, molhados, sujos, corrosivos, altas temperaturas, baixas temperaturas, vibração, choques), operação sem contato e sem necessidade de campo visual direto e grande variedade de formatos e tamanhos.

Outros benefícios oferecidos por uma solução RFID são:

- Aumento da segurança;
- Redução de custos operacionais;
- Eliminação de erros humanos;
- Aumento da satisfação dos clientes;
- Aumento na velocidade dos processos, devido à automação dos mesmos;
- Melhor controle em processos de qualidade;
- Redução de perdas e inventários(PUHLMANN, 2015).



## 2 VERILOG

### 2.1 Linguagem de descrição de hardware

HDLs (*Hardware Description Language*) como propriamente diz, são linguagens para descrever *hardware*, diferentemente de linguagens tradicionais como C que descrevem algoritmos.

Existem diferentes linguagens de descrição de *hardware* (HDLs), como:

- Verilog HDL
- ABEL
- VHDL

As linguagens de descrição de *hardware* têm duas principais aplicações: simulação e síntese.

- Com a simulação, aplicam-se vários estímulos para um modelo executável, que é descrito usando o HDL, com o intuito de prever como este irá reagir. A simulação, permite compreender o quão complexo o comportamento do sistema pode ser, antes de perder tempo, e custo tentando implementá-lo.
- A síntese é o processo de implementar o *hardware*. Nela, é pressuposto que o HDL é utilizado para descrever o *hardware* em um nível abstrato, usando modelos de componentes que ainda não têm uma implementação física.

Atualmente existem duas linguagens de descrição de *hardware* (HDLs) disponíveis para descrever *hardware* de sinal misto: Verilog-AMS e VHDL-AMS. Como o nome implica, eles são extensões para os HDLs digitais, Verilog e VHDL tradicionais, que se destinam a apoiar a modelagem de sistemas analógicos e de sinal misto. Embora estas linguagens possuam diferentes prós e contras, elas são utilizadas nos mesmos tipos de circuitos, da mesma forma, para produzir os mesmos resultados. A escolha entre elas é atualmente determinada pela linguagem que está sendo usada para a parte digital do sistema. No entanto, no futuro se espera que os simuladores tenham suporte para ambas HDLs, permitindo que os vários componentes de um único sistema possam ser descritos com a linguagem que for mais conveniente(KUNDERTH, 2004).

## 2.2 Verilog-AMS

Verilog-AMS, como já foi mencionado antes, é uma linguagem de modelagem de sistemas de sinais mistos, sendo criada principalmente para apoiar a simulação destes sistemas, permitindo que estes possam ser descritos no simulador. No entanto, os sistemas de sinais mistos representam uma ampla classe de sistemas e têm de suportar uma grande variedade de situações. Como tal, Verilog-AMS é uma linguagem que tem uma gama diversificada de recursos.

O termo "sinal misto" sugere sistemas feitos de partes que processam os sinais digitais e partes que processam os sinais analógicos. Como tal, Verilog-AMS é uma linguagem que suporta a descrição de ambos os componentes digitais e analógicos. Verilog-AMS é a fusão e ampliação de duas línguas, Verilog-HDL e Verilog-A, como mostra a Fig. (5). Estas três línguas atualmente compõem a família Verilog® de idiomas. Verilog-HDL permite a descrição dos componentes digitais e Verilog-A permite a descrição de componentes analógicos. Verilog-AMS combina essas duas línguas e adiciona capacidade que permite a descrição dos componentes de sinal misto. O Verilog-AMS tem um grande impacto sobre a concepção de sistemas de sinais mistos, pois fornece uma única linguagem e um único simulador que é compartilhado entre os designers de componentes analógicos e digitais, e também entre os designers de blocos e de sistemas. Com isso é muito mais fácil fornecer um fluxo único de *design* que suporta naturalmente blocos analógicos, digitais e de sinal misto, tornando-o mais simples para estes designers trabalhar juntos (KUNDERTH, 2004).

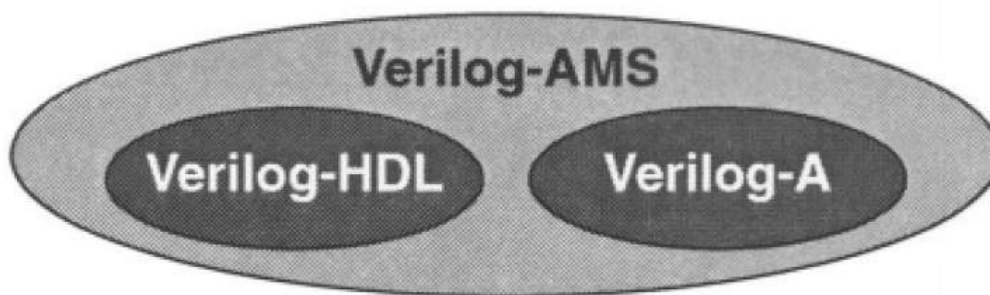


Figura 5: Família Verilog® de idiomas (KUNDERTH, 2004).

O propósito do Verilog-AMS HDL é deixar projetistas de sistemas analógicos e de sinal misto e circuitos integrados criar módulos de uso, que encapsulam um alto nível de descrições comportamentais, bem como descrições estruturais dos sistemas e componentes. O comportamento de cada módulo pode ser descrito matematicamente em termos dos seus terminais e parâmetros externos aplicados ao módulo. A estrutura de cada componente pode ser descrita em termos de sub-componentes interligados.

## 2.3 Exemplos

```

// Linear resistor (conductance formulation)
`include "disciplines.vams"
module conductor (p, n);
  parameter real g=0; // conductance (Siemens)
  inout p, n;
  electrical p, n;

  analog
    I(p,n) <+ g * V(p,n);
endmodule

```

---

```

// Linear capacitor
`include "disciplines.vams"
module capacitor (p, n);
  parameter real c=0; // capacitance (F)
  inout p, n;
  electrical p, n;

  analog
    I(p,n) <+ c * ddt(V(p,n));
endmodule

```

---

```

// Linear inductor
`include "disciplines.vams"
module inductor(p, n);
  parameter real l=0; // inductance (H)
  inout p, n;
  electrical p, n;

  analog
    V(p,n) <+ l * ddt(I(p,n));
endmodule

```

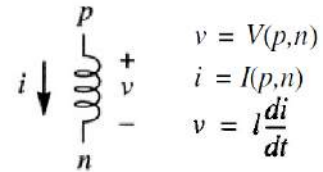
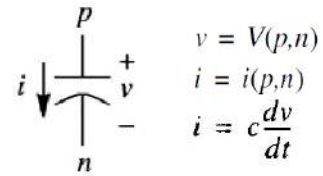
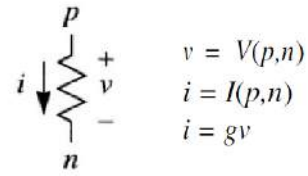


Figura 6: Códigos em Verilog - AMS (KUNDERTH, 2004).

Através dos exemplos de modelagem de um resistor, capacitor e indutor da Fig. (6), percebem-se as principais estruturas utilizadas no Verilog-AMS para fazer a descrição de um componente. Com base nisso, tem-se que as principais estruturas são:

- Disciplinas

*Disciplines* são bibliotecas compostas por tipos de sinais físicos relacionados, ou seja, sinais da mesma natureza física como: elétricos (tensão e corrente), mecânicos, lógicos, entre outros.

- Módulo

O *module* é o bloco básico de construção (unidade básica do projeto). É delimitado entre as palavras chaves *module* e *endmodule*. O identificador que vem logo após a palavra chave *module* é o nome do módulo que está sendo definido.

- Parâmetro

*Parameter* é um identificador de um valor constante, o número que está associado a ele, significa que o parâmetro será inicializado com este valor, que pode ser real ou inteiro.

- Portas

*Port* são pontos onde as conexões podem ser feitas. Existem três tipos possíveis de direções: *input* (entrada), *output* (saída) e *inout* (bidirecional).

- Comportamento analógico

*Analog* é onde o comportamento do circuito é definido, sendo usado para introduzir um processo analógico, que é usado para descrever um comportamento em tempo contínuo.



## 3 Metodologia

Projeto *Top-Down* é uma metodologia utilizada quando se quer projetar grandes sistemas complexos. A premissa básica é desenhar e verificar o sistema em um nível abstrato ou diagrama de blocos, antes de iniciar o projeto detalhado dos blocos individuais.

Neste projeto, o desempenho do bloco individual necessário para satisfazer as propostas globais do sistema, deve ser cuidadosamente estudado e compreendido antes que estes sejam desenvolvidos, pois isto reduz a necessidade de refazê-los em um possível futuro. Entretanto, existe o risco de que o desempenho esperado por um, ou mais desses blocos seja irrealizável, exigindo que a concepção do sistema seja revista.

Em uma abordagem mais simplista, no projeto *Top-down*, a arquitetura do *chip* é definida como um diagrama de blocos que são simulados e otimizados usando *softwares*, como por exemplo, Matlab, Simulink ou Cadence. A partir da simulação de alto nível, os requisitos para os blocos individuais dos circuitos, são derivados. Os circuitos são então projetados individualmente para atender a essas especificações. Finalmente, todo o *chip* feito é verificado em relação aos requisitos originais.

Um processo bem desenvolvido de projeto *Top-Down* procede metodicamente da arquitetura ao projeto em nível de transistor. Cada nível deve ser projetado antes de prosseguir para o próximo, e é totalmente aproveitado no design do mesmo. Assim, dividindo o projeto em blocos menores e de forma bem definidas, permite aos designers trabalhar em conjunto de forma produtiva. Isto tende a reduzir o tempo total necessário para completá-lo. Um processo de projeto *Top-Down* também formaliza e melhora a comunicação entre os designers, o que reduz o número de falhas. Esta forma de comunicação também permite que os designers sejam alocados em locais diferentes e ainda serem eficazes (KUNDERTH, 2004).

Percebe-se também, que utilizando esta metodologia, há redução no impacto das mudanças que, por ventura, possam aparecer no final do ciclo do projeto. Por exemplo, se por qualquer motivo, o circuito necessite ser parcialmente projetado, a infraestrutura posta em prática, como parte da metodologia, permite que esta alteração seja feita rapidamente. Os modelos podem ser atualizados, e o impacto sobre o resto do sistema pode ser rapidamente avaliado. O plano de simulação, e a infraestrutura para simulações de sinal misto, já estão disponíveis e podem ser aplicados rapidamente para verificar quaisquer alterações (KUNDERTH, 2004).

Em um processo de design eficaz utilizando a metodologia *Top-Down* existe um conjunto de princípios básicos:

1. Projeto compartilhado onde todos os membros da equipe podem acompanhar todo o processo.
2. Durante a realização do projeto, para cada alteração no *design*, existe um plano de verificação.
3. Inclui um planejamento com uma verificação cuidadosa, onde os possíveis riscos são identificados, e então simulações e modelagens de planos são desenvolvidos para agir e mitigar esses riscos.
4. Envolve vários passos, começando com abstrações de alto nível e refinando à medida que os detalhes se tornam disponíveis.
5. Na medida do possível, especificações e planos devem ser apresentados como modelos executáveis e *scripts*, que são utilizadas no processo de projeto em uma base diária, e não como documentos escritos.

Em contraste, no *Projeto Botton-Up*, primeiramente o foco é no *design* completo dos blocos individuais para depois se concentrar no *design* do diagrama de blocos do sistema em si. Esta “criação de baixo para cima”, geralmente requer que os blocos individuais sejam bem projetados de modo que quando forem conectados entre si para formar o sistema, haja uma margem suficiente para superar os problemas inesperados. O grande risco é que o desempenho do sistema após a junção destes blocos, pode não ser como foi planejado, o que significa, que um ou mais blocos teriam que ser re-projetado(KUNDERTH, 2004).

Passos para a realização do projeto *Top-down* de forma mais elaborada:

1. Planos de simulação e modelagem
2. Verificação de nível de sistema
3. Simulação mista
4. Verificação *Bottom - Up*
5. Verificação final
6. Teste

## 4 Concepção do sistema da *tag* de RFID

### 4.1 Proposta

Os blocos da *front-end* analógica da *tag* passiva deste trabalho estão mostrados na Fig. (7) e descritos a seguir(ASHRY, 2009):

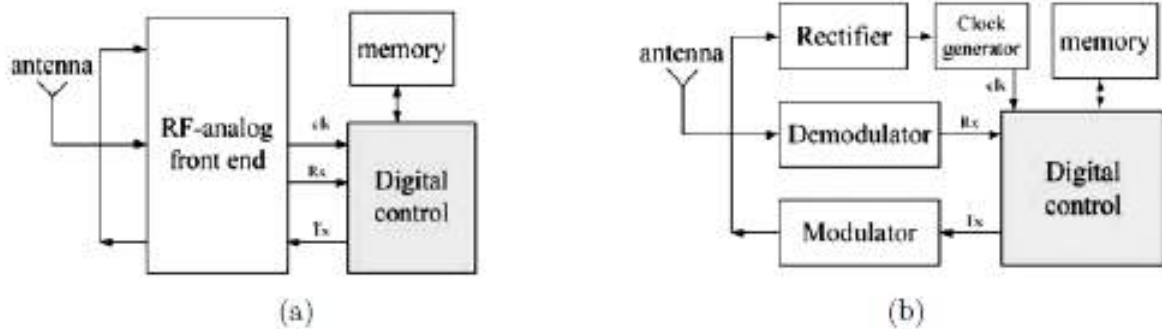


Figura 7: (a) Denominação dos blocos do *tag* de RFID (b) Denominação dos blocos específicos da *tag* de RFID(LI, 2009)

- Retificador: Bloco que retifica o sinal de RF de entrada e gera a tensão DC necessária para alimentar os outros blocos do sistema.
- Demodulador: Bloco receptor do sistema que detecta os comandos enviados pelo leitor. Também extrai o *clock* a partir do sinal RF recebido, que é necessário para sincronizar o RFID com o leitor.
- Controle digital: Parte digital do sistema que controla os demais blocos. Basicamente controla quando a *tag* deverá receber e enviar o sinal, ou permanecer inativa. Também armazena o ID da *tag*, que é enviado para o leitor de RFID pelo modulador.
- Modulador: Bloco transmissor do sistema que envia o ID de identificação para o leitor RFID.
- *Clock* interno: Gerador de *clock* interno que fornece um *clock* gerado para a parte digital do circuito.

O bloco demodulador e o circuito de referência *bandgap*(que compõe o bloco retificador) foram projetados por alunos de iniciação científica da faculdade UNB-Gama, utilizando a tecnologia TSMC 0.18  $\mu m$ . Esses circuitos foram fabricados em uma rodada de fabricação fornecida pelo IMEC. O CI, contendo estes circuitos, foi testado neste trabalho e os resultados obtidos serão apresentados no Cap. (5). Os demais blocos desta

*front-end* analógica retratada na Fig. (7) foram feitos neste trabalho e serão apresentados no Cap. (7).

## 4.2 Retificador

### 4.2.1 Circuito proposto

Este bloco retifica o sinal de RF de entrada e gera a tensão DC necessária para alimentar os outros blocos do sistema, gerando uma tensão estável, com um baixo consumo e alta eficiência. De maneira geral, este bloco atua da seguinte forma: o sinal recebido pela antena é amplificado via *charge pump* para um nível mais alto de tensão, em seguida ele é retificado para se obter um nível DC que será regulado por um LDO (*Low-dropout Regulator*). E para o correto funcionamento deste bloco é necessário um circuito de *band-gap* (Fig. (8)), que é o responsável por gerar uma tensão de referência, independente da temperatura.

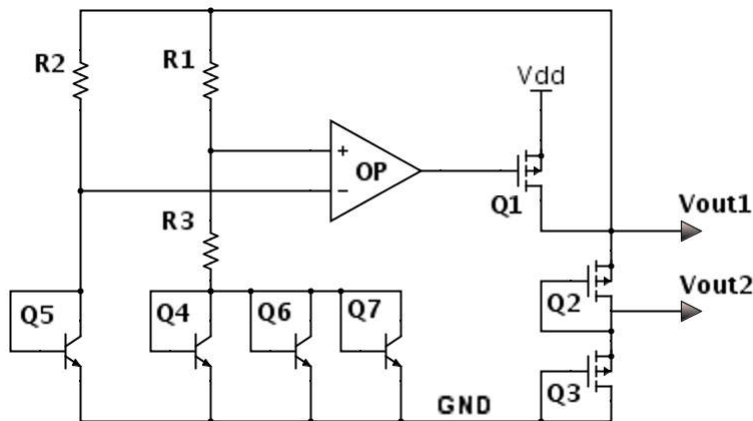


Figura 8: Circuito proposto para a referência de tensão *bandgap* (AMARAL, 2014).

### 4.2.2 Bandgap

Uma referência de tensão *bandgap* devido a uma oportunidade de *tape-out*, foi desenvolvida em nível de transistor e enviada para fabricação no dia 02 de Abril de 2014.

A tensão de referência, independente da temperatura gerada por um *bandgap*, decorre do fato de este possuir em seu circuito dois elementos que apresentam diferentes coeficientes de temperatura. Esses coeficientes possuem sinais opostos e são colocados de forma que cancelem um ao outro, gerando assim, uma tensão quase independente da temperatura.

A Fig. (9) mostra o diagrama de blocos de um *bandgap*, na qual a tensão  $V_{BE}$  é definida pela junção pn dos transistores TBJ e possui  $-2mV/^{\circ}C$ ;  $V_t$  é a tensão térmica

que é proporcional a temperatura absoluta (PTAT), tendo um coeficiente de temperatura de  $0.085\text{mV}/^\circ\text{C}$ . O *buffer* na saída do amplificador operacional tem a função de separar a saída deste com o divisor de tensão.

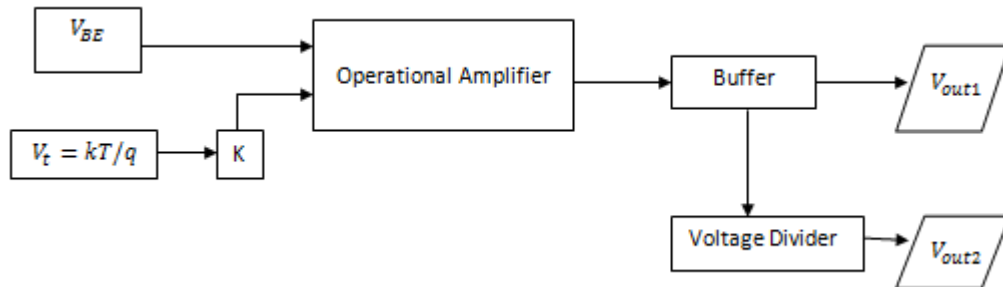


Figura 9: Diagrama de blocos

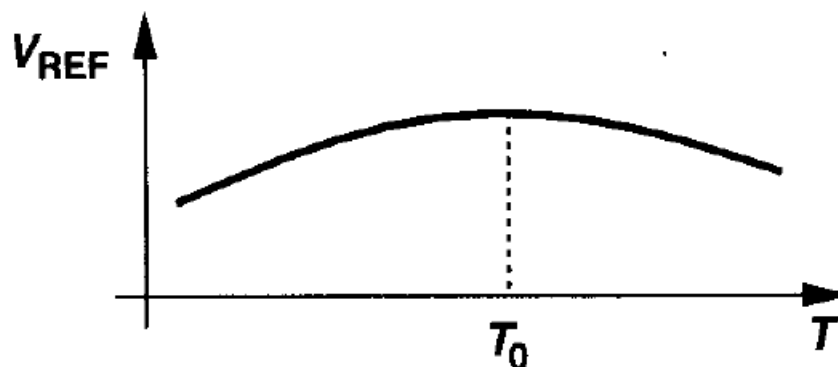


Figura 10: Curva característica de um *bandgap* (RAZAVI, 2001).

Na Fig. (10), é plotada em função da temperatura a tensão de saída de um *bandgap*, observa-se que a tensão do *bandgap* exibe uma curvatura finita. O coeficiente de temperatura é tipicamente 0 (zero) em alguma temperatura e positivo ou negativo em outras. A curvatura cresce a partir da variação de temperatura da tensão da base/emissor ( $V_{BE}$ ), corrente de coletores e tensões de *offset*.

#### 4.2.2.1 Resultados de simulação

A Fig. (11) apresenta o resultado da simulação obtido através do software CA-DENCE Virtuoso das duas saídas do *bandgap*, percebe-se que ambas são praticamente independentes da temperatura.

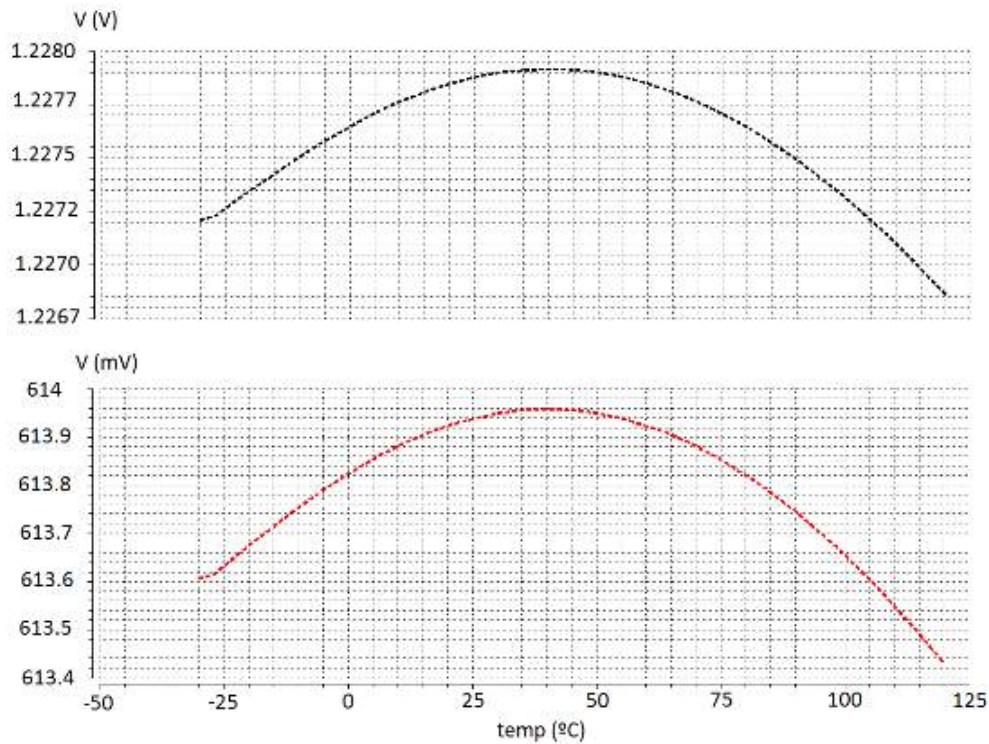


Figura 11: Resultado obtido por simulação para as duas saídas do *bandgap*

## 4.3 Demodulador ASK

### 4.3.1 Modulação ASK

A modulação ASK é a técnica de modulação mais simples entre as utilizadas para modular sinais discretos (digitais). Possui as seguintes propriedades(BAPTISTA, 2008):

- Maior eficiência espectral.
- Menor complexidade de implementação.
- Pior desempenho em sistemas não lineares.

A modulação por chaveamento de amplitude (ASK) consiste em alterar o nível de amplitude da portadora em função de um sinal de entrada com níveis de amplitude discretos. A amplitude da portadora varia entre dois valores, a onda resultante consiste então em pulsos de rádio frequência (RF), que representam o dígito binário “1”(um) e espaços que representam o dígito binário “0”(zero). Tal como AM, ASK também é linear e sensível ao ruído atmosférico e distorções.

A largura da faixa de transmissão pode ser reduzida se os pulsos forem formatados (limitados em banda) antes da modulação. Devido às suas características, a modulação ASK é indicada nas situações em que exista pouco ruído na recepção do sinal ou quando

o baixo custo é essencial. A forma mais simples e comum da modulação ASK é quando funciona como um *switch*, usando a presença da portadora para o valor lógico “1” e a ausência da mesma para o valor lógico “0”(Fig. (12)). A modulação ASK é utilizada em muitas aplicações, tais como:

- Transmissão via fibra óptica, com pouco ruído na recepção do sinal.
- Transmissão de dados por infravermelhos. Exemplo: calculadoras.
- Controle remoto por meio de raios infravermelhos. Exemplo: comando televisores.
- Controle remoto por meio de radiofrequência. Exemplo: alarmes de carros, portões.

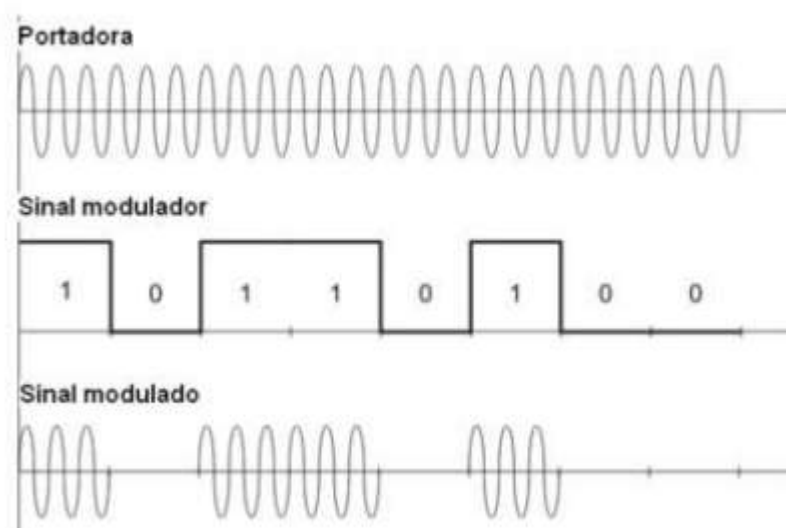


Figura 12: Onda ASK

### 4.3.2 Circuito proposto

O demodulador é o bloco responsável pela detecção dos dados enviados pelo *reader* para a *tag*. Devido a uma oportunidade de *tape-out*, esse bloco foi desenvolvido em nível de transistor e enviado para fabricação no dia 02 de Abril de 2014.

O circuito demodulador consiste em um detector de envoltória, um filtro passa baixo e um comparador como é mostrado na Fig. (13). O detector de envoltória projetado com diodos e capacitores é utilizado para detectar o envelope do sinal de RF, que é transferido para um filtro passa-baixa com o intuito de obter o seu valor médio. Estes dois valores, envoltória do sinal e sua média, em seguida, são comparados utilizando um comparador de histerese. Dessa forma, como se compara um sinal com sua média, pode-se ver um sinal digital na saída do comparador, já que um comparador é basicamente um conversor analógico digital de 1 bit.



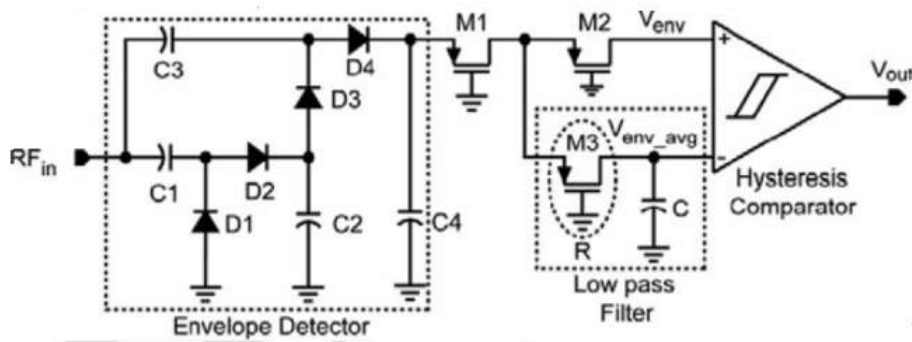


Figura 13: Demodulador ASK(HADIL, 2015).

O comparador projetado possui histerese para evitar que pequenas variações (*ripple*) ou ruídos próximos não interfiram no sinal de saída. Na Fig.(14) é possível ver o comportamento dos comparadores. O primeiro, sem histerese, possui uma saída bem ruidosa próximo à tensão de limiar (*Comparator threshold*) que prejudicaria o funcionamento de blocos dependentes à esse, e o segundo, com a histerese, as tensões *trip* ( $V_{TRP}$ ) positivas e negativas garantem uma faixa para que haja a transição proporcionando uma saída estável ao sistema. Como os sinais de entrada ao comparador no módulo demodulador ASK são naturalmente ruidosas, o uso de histerese é essencial para se obter seu comportamento digital.

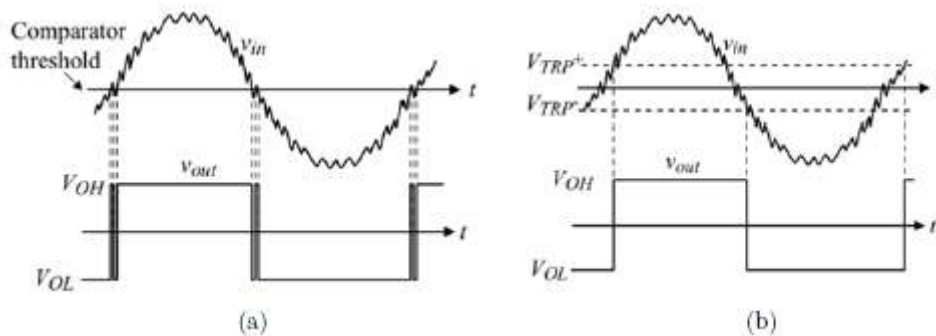


Figura 14: Resposta de um comparador a uma entrada ruidosa (a) Comparador sem histerese (b) Comparador com histerese(ALLEN, 2002).

### 4.3.3 Resultados de simulação

A Fig. (15) mostra o resultado final do sinal recuperado, bem como os resultados obtidos após cada etapa da demodulação do sinal. No qual,  $rf\_input$  é o sinal de entrada modulado em ASK,  $envelope$  é a envoltória do sinal de entrada que foi obtido após a passagem do sinal pela rede de capacitores e diodos,  $average$  é o sinal obtido após o filtro passa baixa, obtendo desta forma sua média, e por fim,  $output$  que é o sinal recuperado



obtido após o estágio de comparação, onde foram comparados os sinais obtidos na etapa *envelope* e *average*.

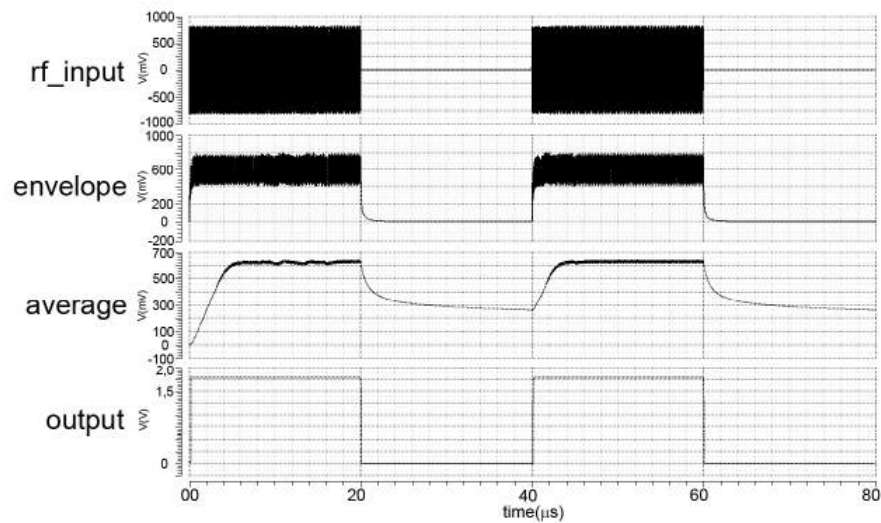


Figura 15: Simulação(AMARAL, 2014).

## 4.4 Modulador e o *clock*

O modulador é responsável pelo envio de informação para o leitor. A modulação do sinal é desenvolvida para uma comunicação reversa, baseada na diferença de impedância entre a antena e o *tag*. Essa diferença resultará no retorno de uma fração do sinal que foi enviado. Este tipo de modulação é chamado modulação por retroespalhamento (*Backscatter Modulation*), cujo sinal refletido tem a amplitude modulada por uma subportadora BPSK (*Binary Phase Shift Keying*).

O *clock* utilizado no sistema da *tag* é o *clock* extraído do sinal RF incidente proveniente do leitor. Entretanto, para uma eficiente modulação por retroespalhamento (*backscattering*), é necessário um *clock* mais rápido para modular o sinal refletido que é obtido através deste bloco gerador de *clock*.

Existem diversos tipos de osciladores, dentre eles:

- *Voltage-Controlled Oscillator*(VCO): Oscilador em que sua frequência de operação é controlada por um sinal de tensão.
- Oscilador em Anel: Oscilador baseado na instabilidade de portas lógicas inversoras conectadas em cascata em um *loop* fechado.
- Oscilador por Relaxamento (RC): Baseado na instabilidade da realimentação do sistema, na qual há carga e descarga do capacitor, gerando uma oscilação.

## 4.5 Especificação

As Tabs. (4) e (5) mostram as especificações dos blocos projetados:

Parâmetro	Mínimo	Típico	Máximo	Unidade
Tensão de alimentação	-	1.8	-	V
Temperatura	-30	25	120	°C
$V_{out1}$	1.22721	1.227876	1.226862	V
$V_{out2}$	613.6059	613.9377	613.4309	mV
Potência	-	38.77	-	$\mu W$
Área ocupada	-	179.97 x 139.85	-	$\mu m^2$

Tabela 4: Especificações do *bandgap*.

Parâmetro	Mínimo	Típico	Máximo	Unidade
Tensão de alimentação	-	1.8	-	V
Amplitude do sinal de entrada	-	600	-	mV
Temperatura	-15	25	95	°C
Corrente de Polarização	-	5	-	$\mu A$
Potência	-	9	-	$\mu W$
Área ocupada	-	270.8 x 185	-	$\mu m^2$

Tabela 5: Especificações do demodulador ASK.

Deste esquema proposto de RFID, os blocos do *bandgap* e demodulador ASK foram mandados para fabricação, como dito anteriormente, utilizando a tecnologia TSMC 0.18  $\mu m$ , no qual estes circuitos foram colocados em um *chip* que foi encapsulado utilizando o modelo JLCC 68, cuja verificação será feita neste trabalho.

## Parte II

Análise do *chip* fabricado



## 5 Testes

### 5.1 Contextualização

#### 5.1.1 Placa de circuito impresso

As placas de circuito impresso, também conhecidas como PCIs ou do inglês “*printed circuit board*” (PCB), são placas repletas de componentes eletrônicos que desempenham funções específicas, e são utilizadas em diversos dispositivos, tais como, celulares, carros, computadores, brinquedos e etc, sendo amplamente empregada em todos os tipos de equipamentos eletrônicos.

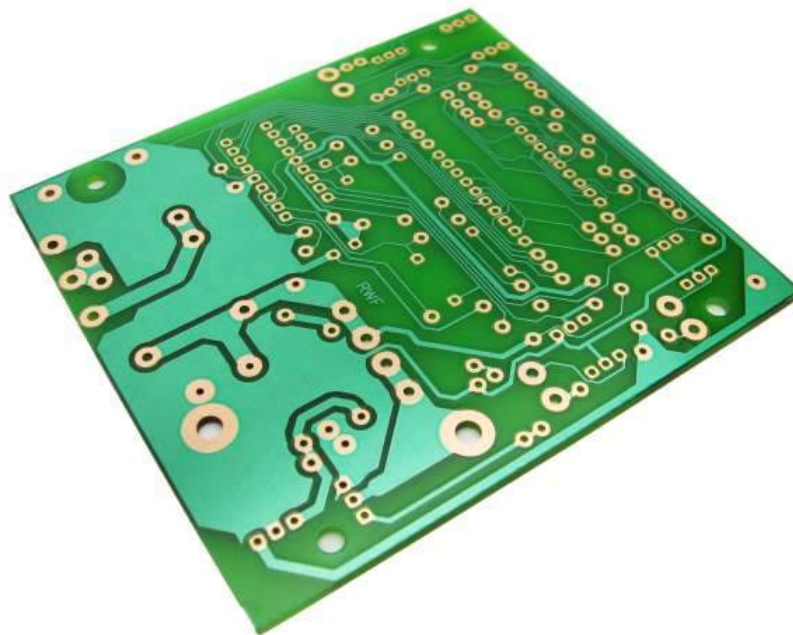


Figura 16: Exemplo de placa de circuito impresso(MICROTECH, 2013)

A placa de circuito impresso (Fig. (16)) é a base para o suporte físico e da conexão dos componentes eletrônicos. É uma placa formada por camadas de materiais plásticos e fibrosos (como fenolite, fibra de vidro, fibra e filme de poliéster, entre outros polímeros) que conta com finas películas de substâncias metálicas (cobre, prata, ouro ou níquel) sendo o mais comum o cobre. Essas películas formam as “trilhas” ou “pistas” que serão responsáveis pela condução da corrente elétrica pelos componentes eletrônicos. Esses impulsos elétricos são transmitidos para os componentes, viabilizando o funcionamento de cada peça e, conseqüentemente, do sistema completo formado pela PCI.

## 5.1.2 Encapsulamento

No caso de circuitos integrados, encapsular é o processo físico de locar, conectar e proteger dispositivos ou componentes. Podem ser utilizados diversos tipos de materiais para este fim, como por exemplo, material plástico ou cerâmico dependendo, principalmente, da faixa de temperatura e dissipação de potência a que estará submetido, ou também, do próprio metal, que é utilizado para alguns circuitos integrados. O encapsulamento é quem dá forma aos *chips*. Portanto, é o involucrio protetor de um circuito integrado. O involucrio possui terminais de metal ou pinos, os quais são resistentes o suficiente para conectar elétrica e mecanicamente o *chip* de silício a uma placa de circuito impresso. A forma física do encapsulamento irá depender do número de pinos do circuito integrado e da maneira como se deseja ligá-lo ao restante do circuito. Para circuitos integrados com menor número de pinos (8, 14, 16, 18, 20, 24, 28 e 40 pinos) o encapsulamento mais usual é o DIP (*Dual In-line Package*), podendo também existir em outras formas, como o Flat e PLCC (*Pin Leadless Carrier Chip*). Quando o número de pinos é maior que 40, os encapsulamentos mais comuns são o PGA (*Pin Grid Array*) e PLCC, dentre outros. A Fig. (17) apresenta diversos tipos de encapsulamentos.

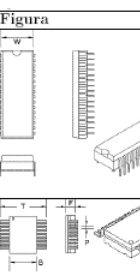
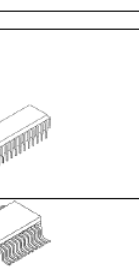




Tipo	Variação	Descrição	Figura
DIP	PDIP, Cer-DIP	Dual In-line package	
SOIC	SOP, SSOP, TSOP, SOJ*	Small-Outline IC	
*SOJ		J-lead SOIC	
PGA		Pin-Grid Array	
BGA	LFBGA	Ball-Grid Array	
QFP	CQFP, RQFP, PQFP	Quad Flat Pack	
PLCC	PLCC, JLCC	Lead Chip Carrier	
LCC		Leadless Chip Carrier	

Figura 17: Tipos de encapsulamentos.

### 5.1.3 Outros conceitos

Cada *chip* possui uma interface com o mundo exterior da placa de circuito impresso. A forma como um circuito integrado (IC) realiza isto é através dos pinos de seu pacote (*package*). Estes pinos são conectados dentro do pacote do chip aos condutores metálicos que são chamados coletivamente de *lead frame*. A ligação final para o *chip* é entre o *lead frame* e grandes áreas de metal denominadas *pads*, através de fios de ligação de ouro. A Fig. (18) retrata de diferentes perspectivas estes componentes físicos, e realizando a comparação desta figura com as Figs. (19), (21) e (23) nota-se alguns destes conceitos aplicados na prática.

Células *pads* são as células de *layout* que possuem grandes áreas de metal. *Pads* geralmente incorporam várias estruturas e são projetados para fornecer o seguinte:

- Área de conexão confiável para soldagem de fios.
- Estrutura de proteção ESD.
- Interface para circuitos internos.

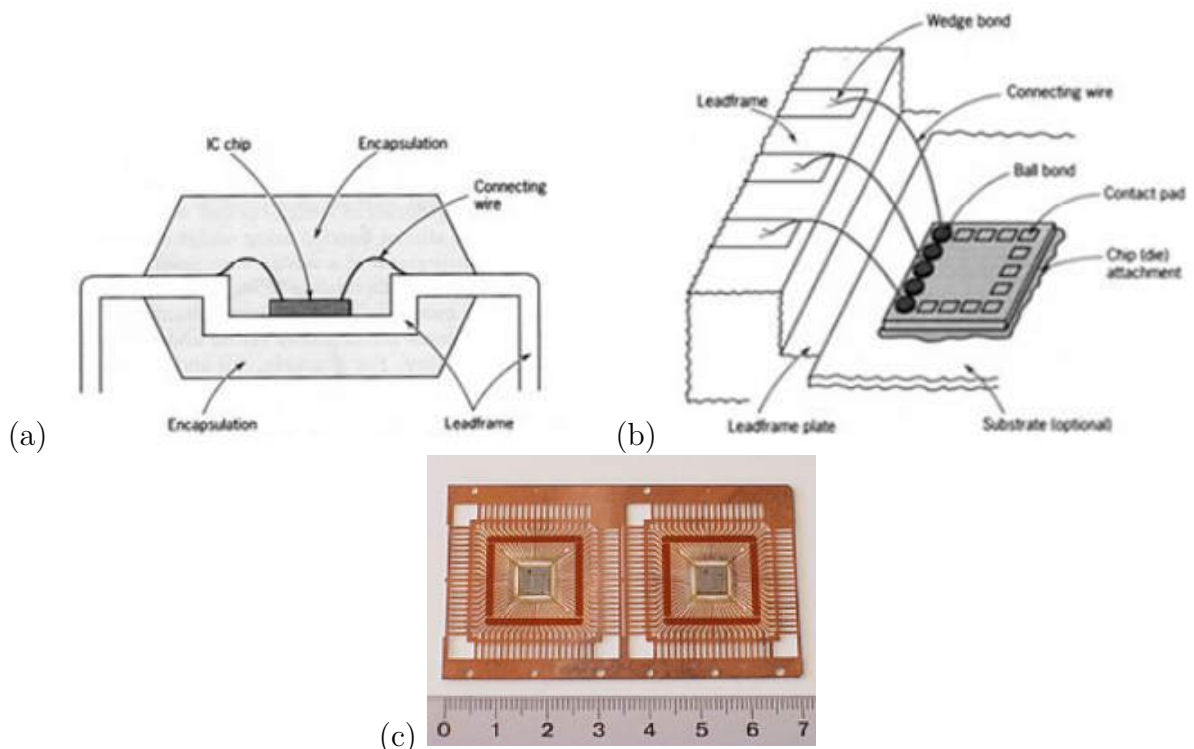


Figura 18: Características físicas do layout de um *chip* : (a) Encapsulamento (b) Visão geral (c) TQFP (*Thin Quad Flat Pack*) *Leadframe*

## 5.2 Chip

Os blocos do *bandgap* e demodulador ASK de um RFID foram mandados para fabricação, utilizando a tecnologia TSMC 0.18  $\mu m$ , foram colocados em um *chip* e encapsulados utilizando o modelo JLCC 68. Na Fig. (19) pode-se observar como ficou o resultado final do *layout* do *chip* fabricado. Percebe-se também que há outros circuitos integrados presentes neste *chip* (Fig. (20)).

Tabela 6: Especificações do encapsulamento

Parâmetro	Valor	Unidade
Área disponível	1570 x 1570	$\mu m^2$
<i>PAD min width</i>	62 x 62	$\mu m^2$
<i>PAD min pitch</i>	90	$\mu m^2$
Distância do <i>PAD</i> à borda	10	$\mu m$

Tabela 7: Especificações do *chip*

Parâmetro	Valor	Unidade
Área efetiva	1250 x 1250	$\mu m$
<i>PAD width</i>	70 x 70	$\mu m$
<i>PAD pitch</i>	90	$\mu m$
Numero total de <i>PADs</i>	52	-

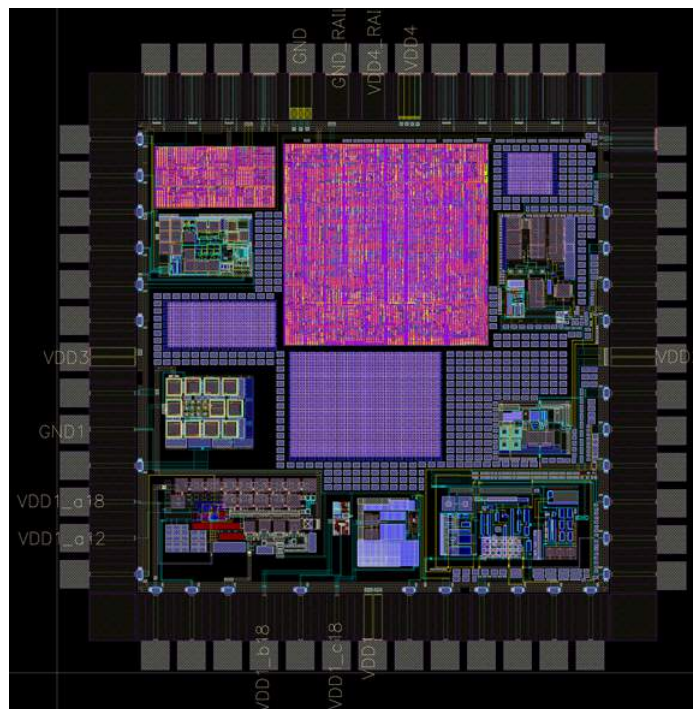


Figura 19: *Layout* final do *chip*



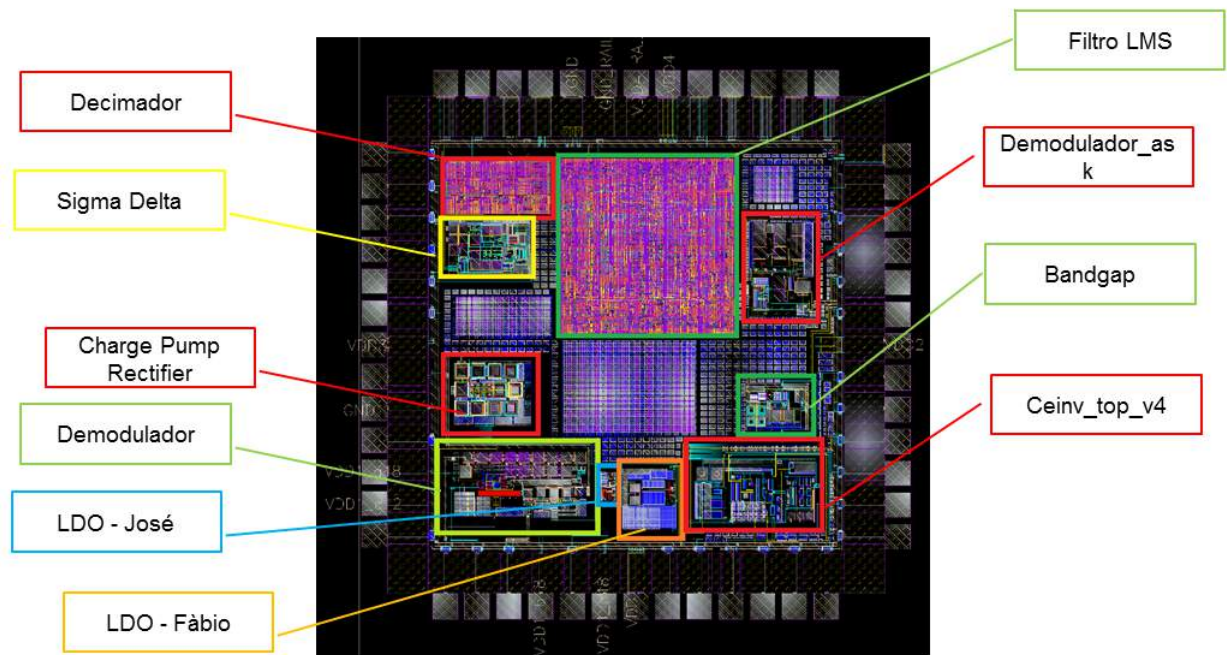


Figura 20: Circuitos integrados que estão no *chip*

A Fig. (21) mostra como ficou a disposição dos pinos de cada entrada/saída dos circuitos presentes neste chip após o encapsulamento.

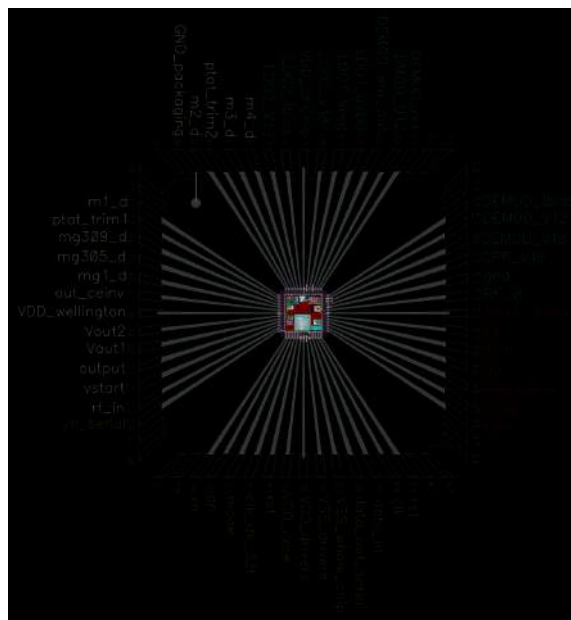


Figura 21: Roteamento de cada entrada/saída após o encapsulamento.

Com o intuito de aprender mais sobre o *chip* e visualiza-lo na prática, foram utilizados equipamentos em laboratório (Fig. (22)). A Fig. (23), mostra detalhes em diferentes perspectivas do *chip*, observa-se o *chip* sem o encapsulamento JLCC 68, onde pelo auxílio de equipamentos consegue-se observar seu *layout* de forma clara.

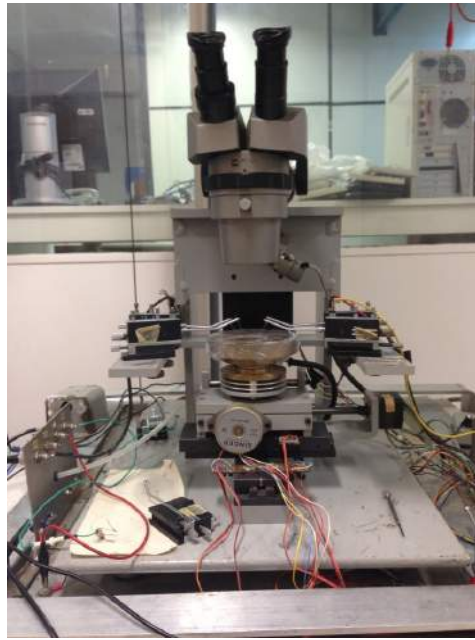


Figura 22: Equipamento para realizar medições e visualizar o *chip*

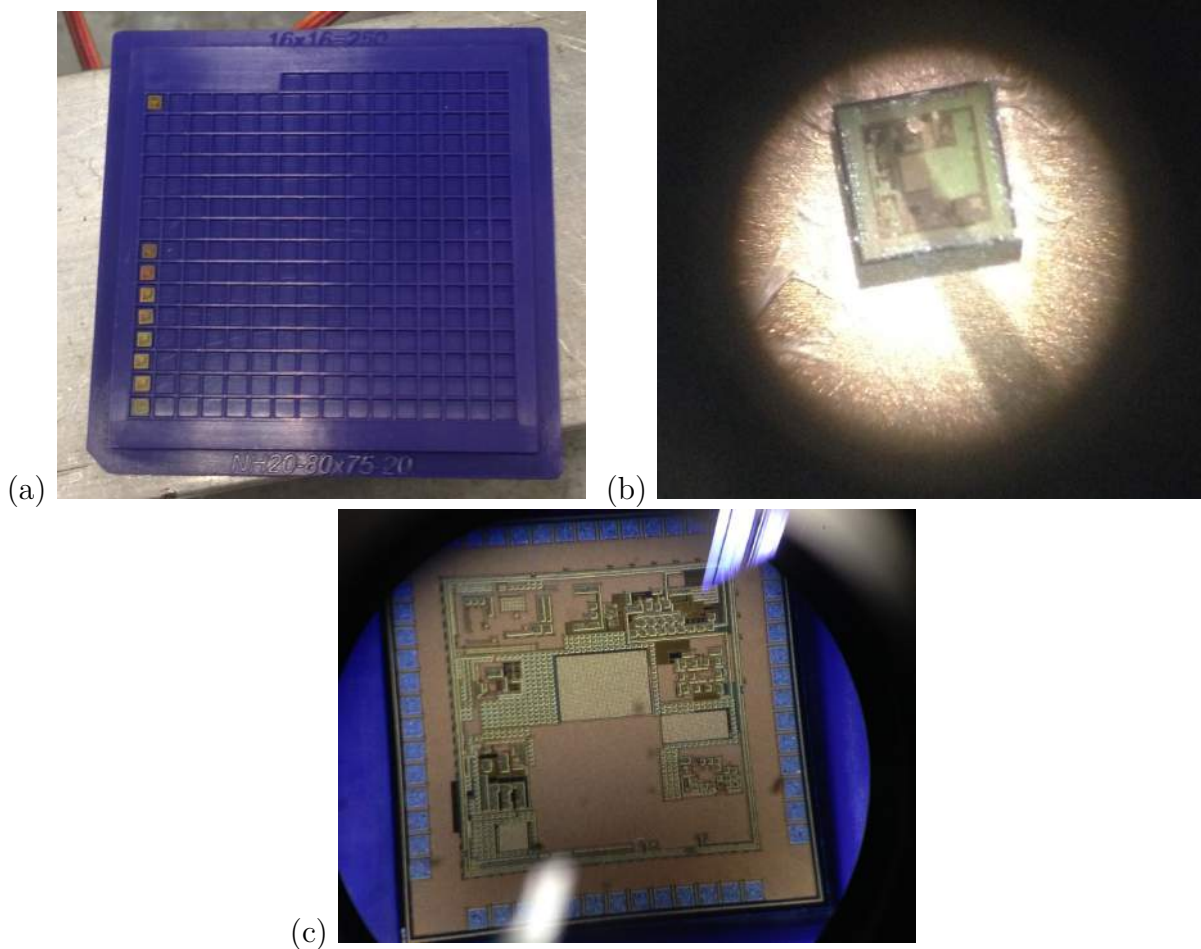


Figura 23: Detalhes em diferentes perspectivas do *chip* : (a) 9 chips sem o encapsulamento (b)Zoom do *chip* (c)Layout do circuito vista através de equipamentos

### 5.3 Projeto da placa para o teste

Para a realização dos testes nos blocos, foi criada uma placa de circuito (Fig. (24)), a fim de obter com maior praticidade as medições necessárias e verificar a funcionalidade destes. Logo, foi realizado um levantamento das entradas/saídas necessárias para garantir o total funcionamento dos circuitos assim como as suas respectivas pinagens no encapsulamento como mostra de forma detalhada as Tabs. (9), (10) e (11). O conhecimento prévio das topologias dos circuitos tanto do *bandgap* quanto do demodulador ASK, mostrados anteriormente, também foram muitos úteis.

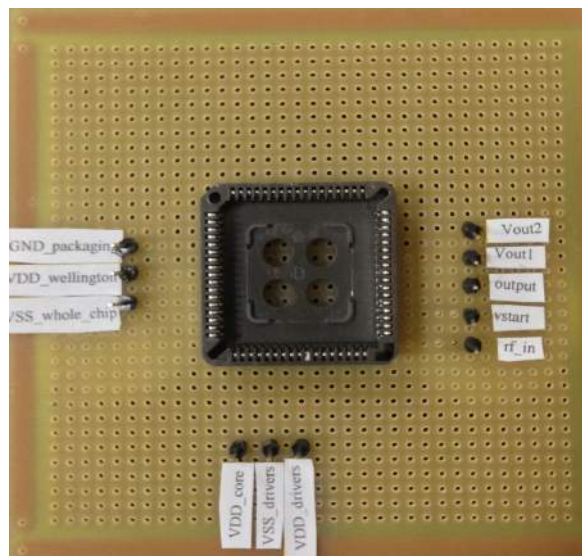


Figura 24: Placa para realização dos testes

Tabela 8: Materias usados para a confecção da placa

Material	Quantidade
Placa universal perfurada 10x10 cm	1
Soquete do tipo PGA	1
Conector do tipo macho	9
Ferro de solda	1
Fios de cobre	-

Como se pode observar na Tab. (8), foi utilizada uma placa universal perfurada de 10 x 10 cm, que é utilizada como um suporte físico para realizar as conexões necessárias. para o encaixe do *chip*, cujo encapsulamento é o modelo JLCC. Foi utilizado um soquete PGA (*Pin grid array*) que permite o encaixe deste dispositivo diretamente na placa, esse soquete também permite o encaixe de outros dispositivos SMD tais como: QFP, TQFP, PQFP. Foi visto então o *datasheet* deste soquete, assim como a respectiva disposição dos pinos de interesse. Por fim, foram utilizados fios de cobre para realizar os curtos-circuitos entre o pino que se deseja realizar uma medida ou um estímulo, com o conector macho.

<b>Label</b>	<b>Definição</b>	<b>Tipo</b>	<b>Número do pino no encapsulamento</b>
VDD_wellington	Tensão que alimenta o demodulador	Entrada	18
VDD_core	Tensão que alimenta o anel de <i>pad</i>	Entrada	34
VSS_whole_chip	<i>Ground</i> do anel	Entrada	37
GND_package	<i>Ground</i> do <i>package</i>	Entrada	8

Tabela 9: Tensões necessárias para o correto funcionamento dos circuitos

<b>Label</b>	<b>Definição</b>	<b>Tipo</b>	<b>Número do pino no encapsulamento</b>
<i>rf_in</i>	Sinal ASK modulado	Entrada	23
<i>output</i>	Sinal demodulado	Saída	21
<i>vstart</i>	Tensão necessária para polarizar o comparador do demodulador	Entrada	22

Tabela 10: Entradas/Saídas do demodulador ASK

<b>Label</b>	<b>Definição</b>	<b>Tipo</b>	<b>Número do pino no encapsulamento</b>
$V_{out1}$	Tensão de saída do <i>bandgap</i>	Saída	19
$V_{out2}$	Tensão de saída do <i>bandgap</i>	Saída	20

Tabela 11: Entradas/Saídas do *bandgap*

A Fig. (25) mostra como ficou o resultado final da placa para as realizações dos testes. Percebe-se também o *chip* fabricado e suas dimensões.

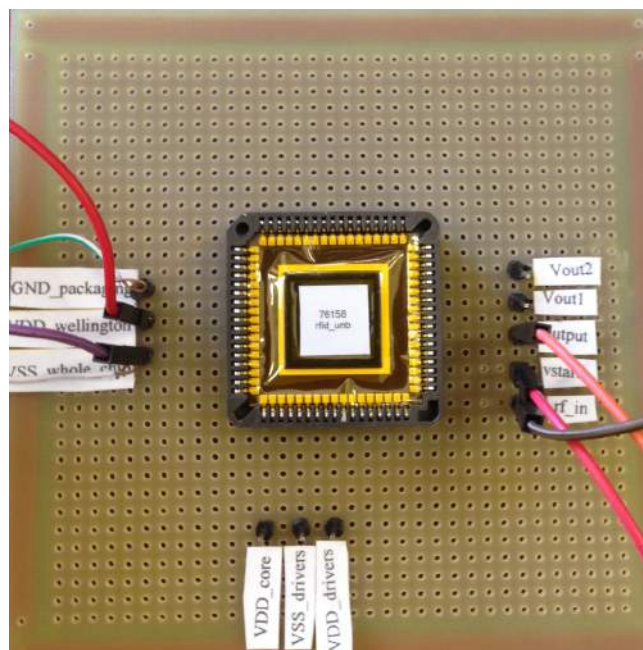


Figura 25: Placa para realização dos testes



## 5.4 Demodulador ASK – Resultados obtidos

Para a realização do teste foi montado o circuito da Fig. (26) utilizando os materiais da Tab. (12), onde através do gerador de função, um sinal modulado por ASK com uma frequência de portadora de 13.56 MHz e de subportadora de 23 kHz foi posto na entrada *rf\_input* e por meio de um osciloscópio foi medida o sinal demodulado no pino *output*, como mostra a Fig. (27).

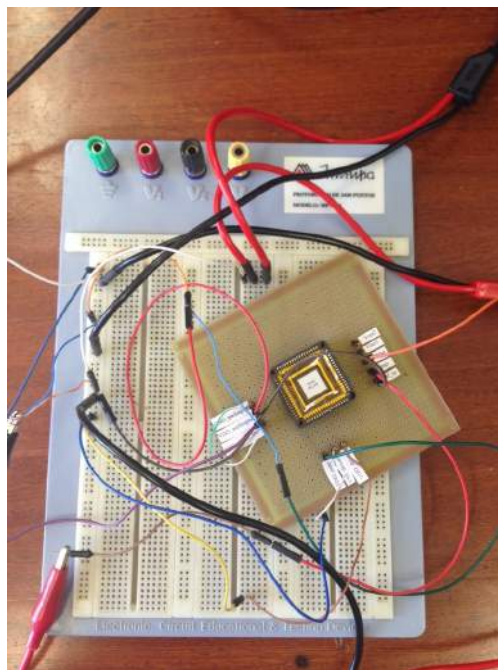


Figura 26: Montagem do circuito para o teste do demodulador ASK

Tabela 12: Materiais utilizados para o teste do demodulador ASK

Material	Quantidade
Fonte de tensão Minipa MPL – 3305M	1
Gerador de função Siglent SDG1020	1
Osciloscópio BK Precision 2530	1
Jumpers Macho-Macho	-
Jumpers Femea-Femea	-
Multímetro Minipa	1
Pulseira Anti-Estatica	1
Protoboard	1

Na Fig. (27), observa-se o resultado obtido através do osciloscópio. Nota-se que a entrada que é medida pelo canal 2 (CH2) tem uma tensão pico a pico de 1.2 V (-600 mV a 600 mV), uma frequência de portadora de 13.56 MHz e o sinal está sendo transmitido a uma taxa de 25 kHz. Porém, o sinal demodulado que é medido pelo canal 1 (CH1) do osciloscópio está com uma defasagem de 180 graus em relação ao sinal modulado

da entrada e sua excursão que é de aproximadamente 184 mV pico a pico está abaixo do esperado. Na Tab. (13), temos uma síntese sobre esta parte em relação ao que era esperado e o que foi obtido. Estes resultados foram avaliados e revistos para descobrir o porquê do resultado obtido.

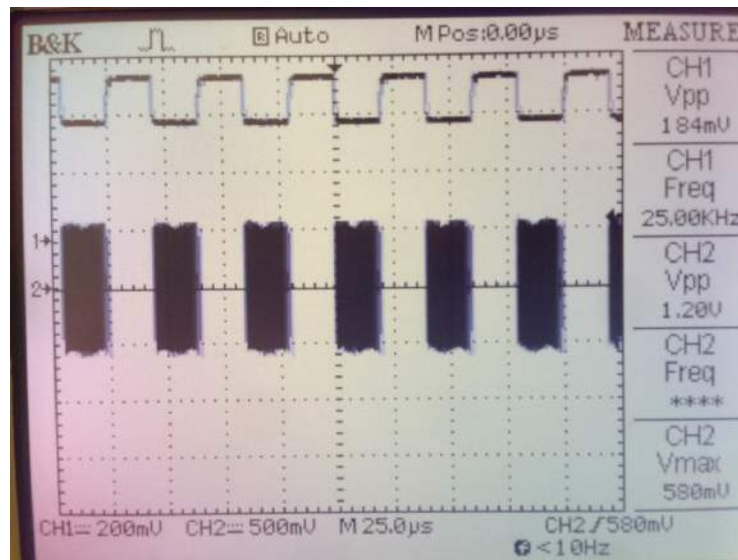


Figura 27: Resultado obtido

Tabela 13: Resultados esperados/obtidos

Excursão do sinal demodulado		Defasagem em relação ao sinal modulado	
Esperada	Obtida	Esperada	Obtida
1.8 V	184 mV	0°	180°

Para melhor caracterização do demodulador, alguns testes foram feitos para avaliar seu comportamento em frequências distintas. O resultado pode ser observado na Tab. (14), que retrata o *range* da frequência que o demodulador ASK consegue demodular o sinal perfeitamente.

Tabela 14: Teste com variações nas frequências

Frequência da portadora		Frequência da subportadora	
Mínima	Máxima	Mínima	Máxima
5 MHz	20 MHz	50 Hz	50 kHz

Através da Fig. (28), pode-se afirmar que à medida que a frequência da subportadora aumenta, a curva do sinal demodulado ficará menos abrupta se tornando uma curva que se assemelha a carga e descarga de um capacitor.

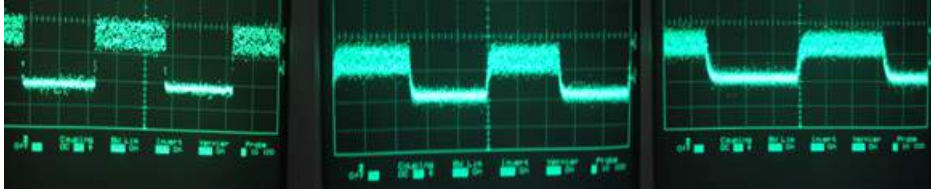


Figura 28: Resultado obtido com frequência de subportadora: 200 Hz, 1 kHz e 1.5 kHz

## 5.5 Demodulador ASK – Discussão dos resultados

Com o intuito de descobrir ou entender o resultado obtido, foram feitas diversas presunções sobre o porquê do resultado final não ter sido igual ao resultado esperado. Após vários testes feitos no laboratório, chegou se a uma possível causa do problema. Quando é colocada uma ponta de prova para medir o sinal de saída, uma capacitância de aproximadamente 13 pF é inserida no circuito e talvez isto esteja gerando alguma atenuação no sinal.

Por isso, foi feito um teste utilizando o *software* CADENCE Virtuoso para tentar simular esta capacitância, que foi inserida pela ponta de prova, e com isto observar o comportamento do sinal demodulado. A Fig. (29) mostra o esquemático do circuito do demodulador ASK, onde nota-se tudo aquilo que foi apresentado na seção 4.3. Já a Fig. (30), tem o *testbench* do demodulador junto com uma capacitância de 13 pF na sua saída.

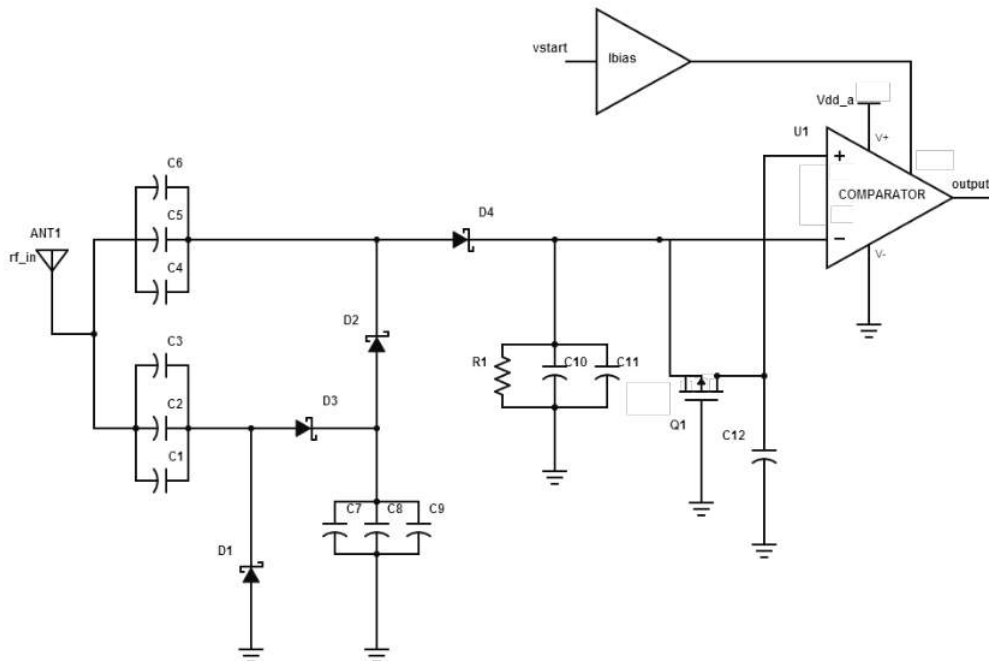


Figura 29: Esquemático do demodulador ASK

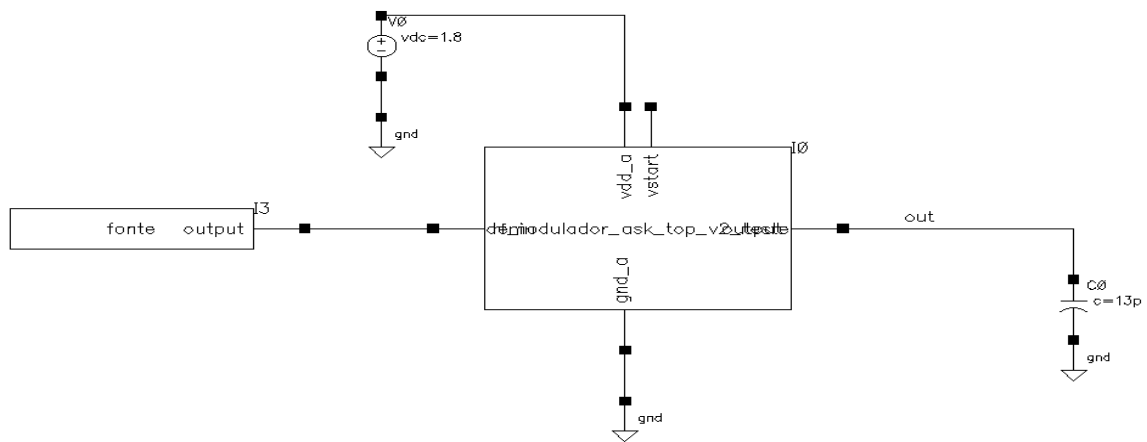


Figura 30: *Testbench* do demodulador ASK

Na Fig. (31), observa-se que realmente a excursão do sinal de saída foi atenuada pelo acréscimo de uma capacitância de 13 pF, ficando assim com uma tensão pico a pico de aproximadamente 190 mV. Com isso, percebe-se o quão degradante uma capacitância parasita é para o circuito, pois comparando com o resultado obtido sem esse fator na saída, temos um sinal totalmente demodulado com uma excursão de 1.8 V (Fig. (32)). Entretanto, isso ainda não explica a defasagem obtida no sinal demodulado.

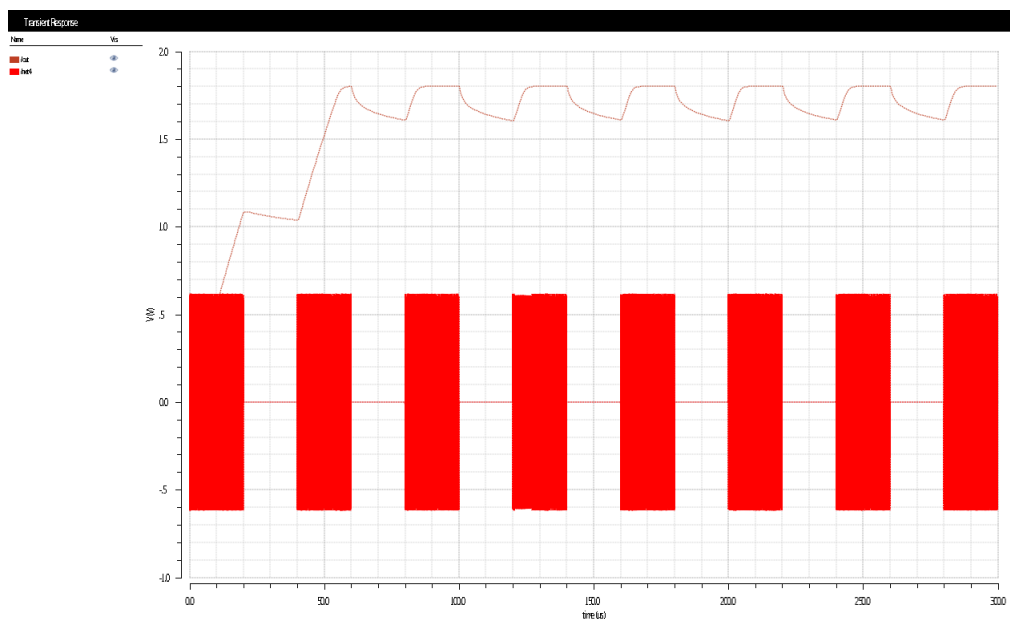


Figura 31: Resultado obtido através da simulação com carga



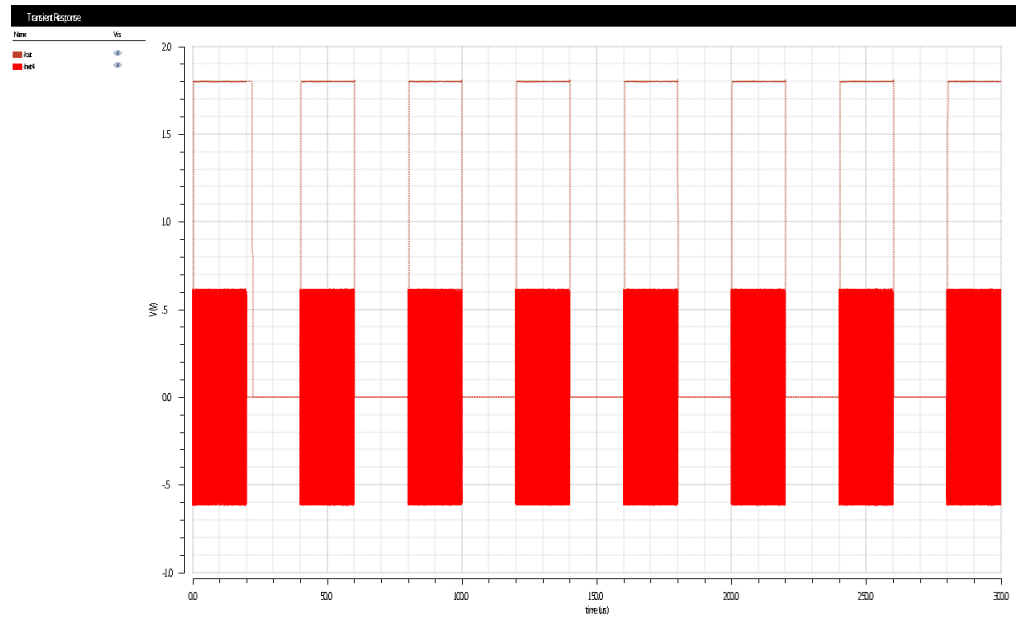


Figura 32: Resultado obtido através da simulação sem carga

Mais testes foram realizados no decorrer deste trabalho afim de verificar a real causa do por que o sinal obtido não correspondeu ao sinal esperado.

## 5.6 Bandgap – Resultados obtidos

Para a realização do teste do *bandgap* e, por conseguinte sua validação, há a necessidade de existir uma câmara térmica (Fig. (33)) para criar uma variação de temperatura de  $-20^{\circ}\text{C}$  a  $120^{\circ}\text{C}$  em um ambiente totalmente controlado. Devido a este fato, o teste foi realizado na AUTOTRAC COMÉRCIO E TELECOMUNICAÇÕES S/A, que é uma das poucas empresas no Distrito Federal que possuem tal aparato.



Figura 33: Câmara térmica

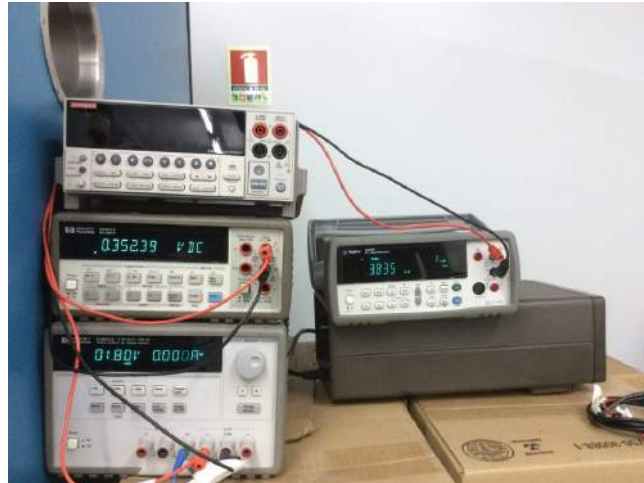


Figura 34: Setup para realizar as medições

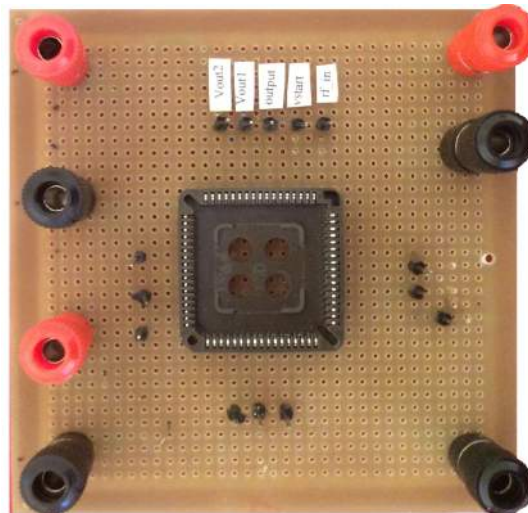


Figura 35: Placa modificada

Para conseguir realizar o teste de forma mais prática e eficiente, a placa de teste foi modificada, com isso foi colados bornes banana fêmea em sua extremidade como mostra a Fig. (35). Nota-se que ao lado da câmara existe a fonte de tensão DC ao lado de dois multímetros que foram usados para realizar a leitura das duas tensões de saída (Fig. (34)). Foi então colocado um termopar colado diretamente ao *chip*, para com isso obter exatamente sua temperatura. Todos os equipamentos utilizados para a realização do teste estão detalhados na Tab. (15).

A câmara de teste possui uma interface humano-computador relativamente simples de usar. Como se pode notar, existe a temperatura *AIR*, que é a temperatura do ambiente controlado dentro da câmara e a temperatura *LOAD* que é a temperatura que o termopar está medindo, que neste caso, é a temperatura do próprio *chip*. Na Fig. (36), observa-se os extremos das temperaturas utilizadas para o teste.

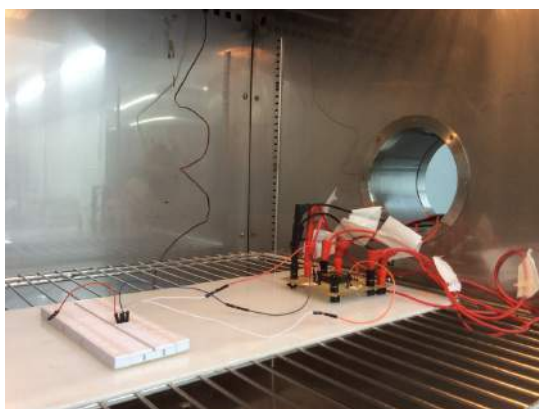
Tabela 15: Materiais utilizados para o teste do *bandgap*

Material	Quantidade
<i>HP 34401<sup>a</sup> Multimeter</i>	1
<i>Keithley 263 Calibrator/Source</i>	1
<i>HP E3631A Triple Output DC Power Supply</i>	1
<i>Agilent 34405A Digital Multimeter</i>	1
<i>Test chamber Thermotron</i>	1
<i>Jumpers Macho-Macho</i>	-
<i>Jumpers Femea-Femea</i>	-
<i>Pulseira Anti-Estatica</i>	1
<i>Protoboard</i>	1



Figura 36: Temperatura medida nos extremos

A primeira medida feita foi a  $-20^{\circ}\text{C}$ , depois a  $0^{\circ}\text{C}$ ,  $50^{\circ}\text{C}$  e  $120^{\circ}\text{C}$ . Foram também retiradas de forma aleatória as medidas de temperatura e tensão entre estes intervalos, de forma que o resultado tenha mais veracidade e verificar assim posteriormente, o comportamento nesse *range* de temperatura. Na Fig. (37) pode se ver como foi feita a montagem do circuito dentro da própria câmara térmica.

Figura 37: Montagem do circuito para o teste do *bandgap*

Após realização das medidas, foi plotado um gráfico da tensão em função da temperatura para cada saída do *bandgap*, a fim de poder realizar uma análise, esses gráficos então são mostrados nas Figs. (38) e (39).

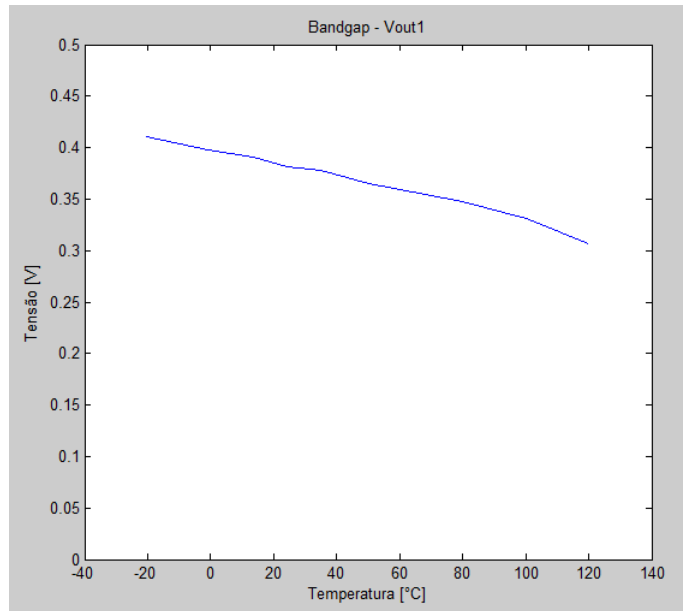


Figura 38: Resultado obtido da saída -  $V_{out1}$

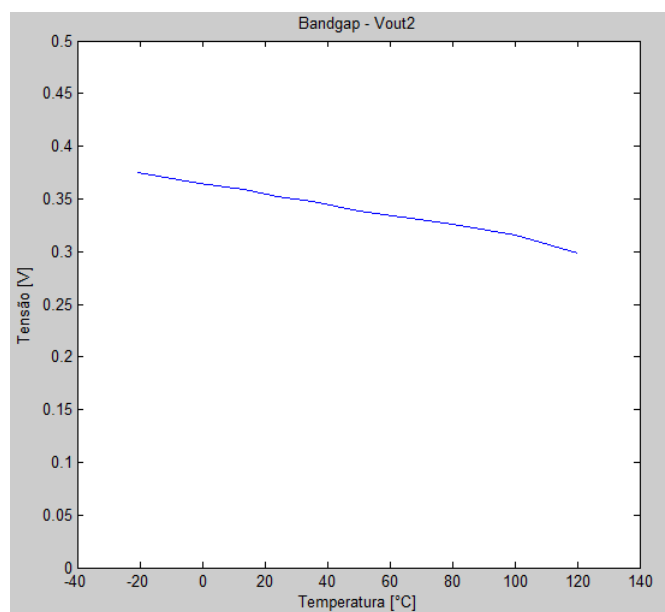


Figura 39: Resultado obtido da saída -  $V_{out2}$

Nota-se na Tab. (16), que novamente os resultados obtidos não foram os resultados esperados, ambas as saídas de tensão estão muito abaixo do que foram projetadas. Entretanto, em uma variação de temperatura de 140 °C há uma variação na saída do  $V_{out1}$  de apenas 0,1043 V enquanto no  $V_{out2}$  0,07698 V, sendo assim este *bandgap* gerou uma

tensão de referência.

Saída de tensão do $V_{out1}$ na temperatura nominal		Saída de tensão do $V_{out2}$ na temperatura nominal	
Esperada	Obtida	Esperada	Obtida
1.227876 V	0.3820 V	613.9377 V	0.35117 V

Tabela 16: Resultados esperados/obtidos

Mais testes foram realizados no decorrer deste trabalho a fim de verificar a real causa do por que o resultado obtido não correspondeu ao resultado esperado.



## 6 Depuração do *chip*

### 6.1 Considerações

Regras de *design* são uma série de parâmetros fornecidos pelos fabricantes de semicondutores, que neste trabalho é a TSMC 0.18  $\mu\text{m}$ , que permitem o *designer* verificar a regularidade de um conjunto de máscara. Estas regras contém específicas restrições geométricas e de conectividade para assegurar margens suficientes que garantem a variabilidade nos processos de fabricação de semicondutores, de modo que o *layout* funcione corretamente em todos os casos.

A simulação que confere se cada parte do *layout* está de acordo com as regras de *design* do processo, é chamada de DRC (*Design Rule Check*). Seu principal objetivo é alcançar um elevado rendimento global e confiabilidade para o *design*. O DRC garante que o *layout* está em conformidade com as regras destinadas e necessárias para a fabricação pois, se as regras de *design* são violadas o projeto pode não ser funcional. No entanto, não garante se o *layout* realmente representa o circuito que se deseja fabricar. Por isso outra simulação é utilizada e chamada LVS.

A simulação LVS (*Layout vs. Schematic*) compara a *netlist* extraída a partir do *layout* e a *netlist* do esquemático, e verifica se são isomórficas. Se qualquer incompatibilidade aparecer, a simulação mostrará erros.

### 6.2 Testes e simulações

A primeira etapa de depuração do *chip* foi realizar o *layout* de uma placa de circuito impresso utilizando *software* profissional com o objetivo de possuir uma placa mais robusta para as realizações dos testes. Para isso foi realizado novamente um levantamento dos pinos e suas respectivas funções, com novos pinos sendo acrescentado para novos testes. Através da Fig. (40) observa-se o resultado final desta placa.

Entretanto, novamente os resultados obtidos não corresponderam aquilo que era esperado em ambos os circuitos, sendo obtidos os mesmo resultados anteriores. Desta forma, foi comprovado que a possível causa deste problema não é devido à placa de testes, mas a algum problema na concepção do *chip*.

Para tentar averiguar a possível causa destes resultados inesperados, foi realizada uma análise em nível de esquemático e *layout* destes circuitos. Foi realizada desta forma uma simulação DRC em cada *layout* dos circuitos, para conferir se a geometria dos *layouts* em questão estão de acordo com as regra de *design* da tecnologia TSMC 0.18  $\mu\text{m}$ . Os

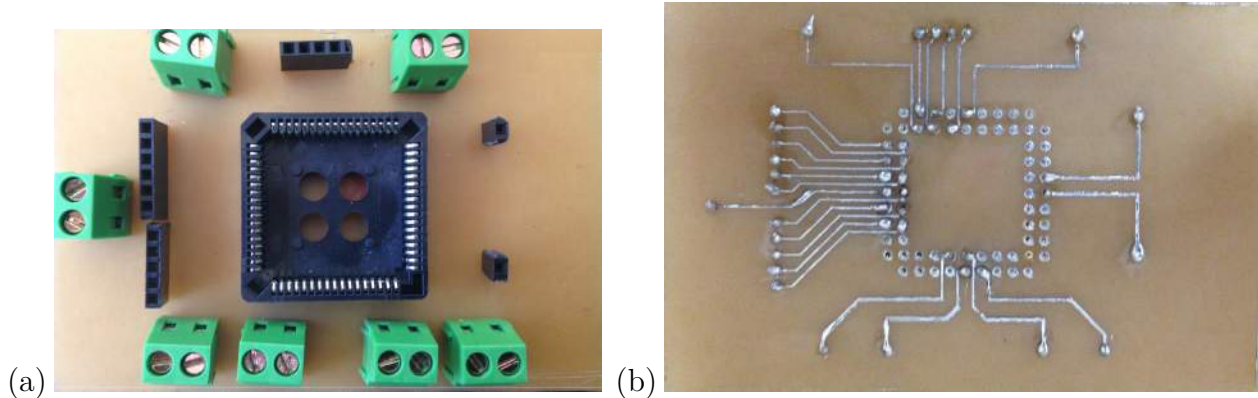


Figura 40: Detalhes em diferentes perspectivas da placa de circuito impresso : (a) Visão superior (b)Visão inferior

resultados obtidos nesta simulação foram positivos, como retrata a Fig. (41), que corrobora que na concepção destes projetos não houve nenhuma regra de *design* aferida.

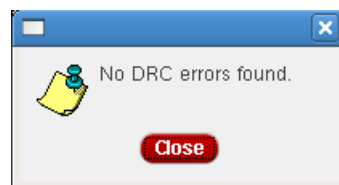


Figura 41: Resultado obtido pela simulação DRC em ambos circuitos

Após obter estes resultados, uma outra simulação foi realizada, neste caso a LVS, com o objetivo de averiguar se os *layouts* dos circuitos correspondem ao esquemático da qual foram projetados. E pela Fig. (42) nota-se que novamente os resultados foram satisfatórios.

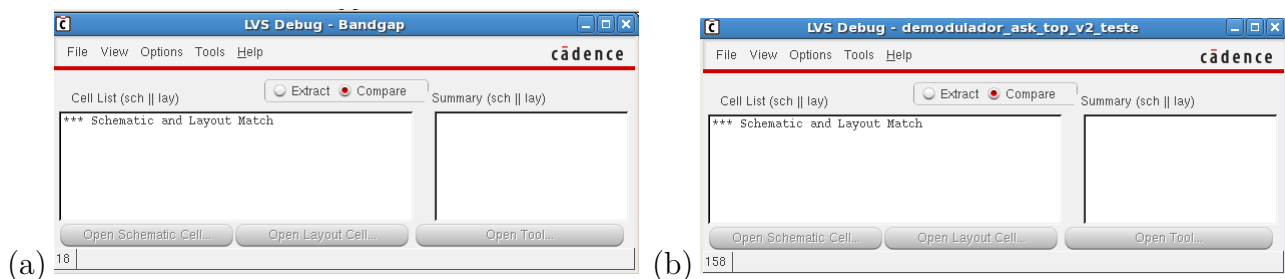


Figura 42: Resultado da simulação LVS : (a)*Bandgap* (b)Demodulador ASK

Percebeu-se que durante a realização deste projeto, que foi enviado para a fabricação, não houve uma simulação LVS do topo, fato este que pode provavelmente ocultar possíveis problemas na montagem, entretanto em função do tempo, novamente não foi possível realizar para este trabalho esta simulação. Em função deste fato, suspeita-se que os problemas apresentados possam ser um equívoco no anel de *PAD*.



---

Em futuros trabalhos para averiguar a causa deste problema, é necessário realizar esta simulação LVS do topo. Suspeita-se que seja, como dito anteriormente, um equívoco no anel de *PAD*. Porém, caso seja constatado que este não é o problema, verificar a presença de curto circuito.



## Parte III

Projeto, Implementação e Resultados - *Tag*



## 7 Concepção do projeto elétrico da *tag*

As *tags* passivas operam sem usar uma bateria e reúnem energia da fonte de RF incidente gerado por um leitor (*reader*) RFID. Devido ao fato de o *range* de operação do sistema de RFID ser altamente dependente do consumo de energia da *tag*, é crucial a concepção de circuitos baixa potência para etiquetas passivas com o intuito de garantir a comunicação para distâncias mais longas(SHEN, 2012).

De forma resumida, o sistema projetado neste trabalho é um *front-end* analógico de uma *tag* passiva de RFID, baseada na ISO/IEC 14443(ATMEL, 2005). O sinal de entrada do sistema é uma onda ASK com frequência de 13,56 MHz e o sinal refletido pelo modulador é um ASK com subportadora de frequência 847,5 kHz modulada em BPSK. Devido à tecnologia utilizada (TSMC 0.18  $\mu m$ ), a tensão de alimentação dos blocos de RF é 1,8 V. O oscilador deve gerar um *clock* para a parte digital entre 1 MHz e 2,2 MHz.

### 7.1 Bloco retificador

#### 7.1.1 Contexto

O gerenciamento de energia é uma questão muito importante em aplicações eletrônicas portáteis. A necessidade de vários níveis de tensão no *chip* faz que os reguladores de tensão sejam parte crítica de um projeto de sistema eletrônico. Dispositivos eletrônicos portáteis como telefones celulares, exigem gerenciamento de energia muito eficiente para aumentar a vida útil da bateria, ao passo que microprocessadores de alta velocidade precisam de tensões estáveis que podem fornecer rapidamente diferentes correntes da ordem de alguns amperes. Baixo ruído da tensão de alimentação é também um requisito importante para circuitos de RF, que fazem parte integrante de todos os dispositivos eletrônicos portáteis(CHAVA, 2004).

Baseado na ideia anterior, o retificador é então o principal bloco da *tag* de RFID, pois proporciona a tensão DC necessária para o funcionamento dos outros blocos do sistema. Basicamente, o sinal recebido proveniente do leitor, gera uma tensão sinusoidal que é então retificada, filtrada e por fim multiplicada, gerando uma tensão DC que pode ser usada para fornecer e ativar os circuitos internos da *tag*. O principal desafio na concepção do retificador de um sistema de RFID é gerar a energia DC necessária ao sistema, utilizando a baixa amplitude do sinal de RF incidente com uma eficiência de conversão aceitável.

### 7.1.2 Projeto e implementação

Nesta *tag*, este bloco é composto por dois circuitos, um *charge pump* e um regulador LDO (*low-dropout regulator*) que estão cascateados, como mostra a Fig. (43).

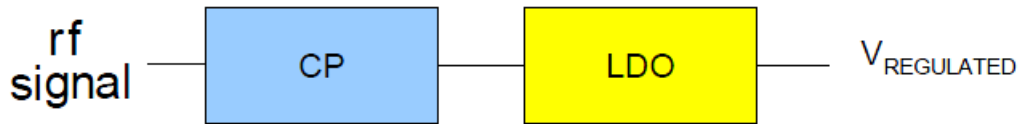


Figura 43: Diagrama de blocos do retificador

Os circuitos *charge pump* são geralmente utilizados para gerar tensões DC mais elevada do que a tensão de alimentação (VDD). Eles são aplicados em uma EEPROM ou memórias flash, memória não volátil, conversores DC-DC e *chips* de gestão de energia. Nestas aplicações a tensão de alimentação típica em memórias é de 1 a 2 V, e 3 a 5 V em drivers DC-DC(DAGAN, 2014). O *charge pump* basicamente é uma cadeia de capacitores e diodos que proporciona um ganho de tensão por fase como mostra a Fig. (44).

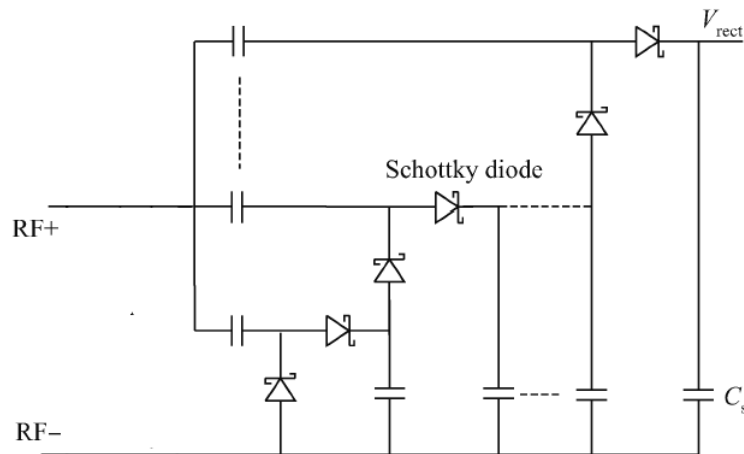


Figura 44: Modelo de charge pump proposto(JINPENG, 2012).

O circuito utiliza estágios dobradores de tensão Dickson para aumentar e retificar a onda RF incidente, a fim de produzir a tensão DC de alimentação requerida do sistema. A cada fase a amplitude do sinal de entrada é aproximadamente duplicada por meio de um circuito de fixação, seguido por um retificador de meia-onda. O sinal de tensão DC gerado atua como terra para a fase subsequente, aumentando ainda mais a tensão de saída.

Diodos são utilizados no *charge pump*, pois são basicamente resistores não lineares com característica tensão-corrente que pode ser expressa pela Eq. (7.1):

$$I(V) = I_s(e^{\alpha V} - 1) \quad (7.1)$$

Onde  $\alpha = \frac{q}{nkT}$  e  $q$  é a carga de um elétron,  $k$  é a constante de Boltzmann,  $T$  é a temperatura,  $n$  é o fator e  $I_s$  é a corrente de saturação. Com isso a resistência de junção  $R_j$  de um diodo pode ser expressa pela Eq. (7.2):

$$R_j = \frac{dV}{dI} = \frac{1}{\alpha I_s e^{\alpha V}} \quad (7.2)$$

Por isso, quanto menor a resistência de junção, maior será a eficiência que pode ser obtida pelo retificador. Em decorrência deste fato, diodos Schottky são utilizados no *charge pump* por causa de sua grande corrente de saturação e pequena resistência de junção, permitindo uma alta eficiência na conversão da energia RF para a tensão DC de alimentação (YUAN, 2005).

A tensão DC de saída do *charge pump* pode ser expressa por:

$$V_{Rect} = 2N(V_{rf} - V_d) \quad (7.3)$$

Onde  $N$  é o número de estágios,  $V_{rf}$  é a amplitude do sinal RF de entrada e  $V_d$  é a queda de tensão no diodo Schottky. Da equação acima, nota-se que quanto maior o número de estágios  $N$ , maior será a tensão de saída. Porém simulações mostram que a eficiência da conversão diminui à medida que mais estágios são utilizados (JINPENG, 2012).

O regulador LDO é geralmente utilizado para converter um nível de tensão ou fornecer uma tensão de saída estável, atuando como uma resistência variável, que é colocada entre a fonte de alimentação de entrada e a carga, a fim de diminuir e controlar a tensão aplicada à mesma. Este fato tem sido considerado um dos componentes mais importantes para o gerenciamento de energia de aplicações sem fio (BAKER, 2008).

A estrutura e compensação de frequência de reguladores LDO clássicos, especialmente com projetos de baixa tensão, apresentam um *trade-off* entre a estabilidade e a precisão/resposta transitória da tensão de saída do LDO (RINCON-MORA, 1998). Para melhorar a regulação de carga sob grandes e rápidas variações em reguladores lineares, é necessário empregar grandes drivers de saída. Além de problemas de estabilidade, outra dificuldade em projetar LDOs é realização de um *design* compacto, aliado à uma boa regulação de carga e uma rápida resposta transitória sob variações de cargas.

Um regulador de tensão linear simples é constituído por um *feedback* negativo, que é implementado para fornecer uma tensão constante. Consiste também em uma referência de tensão *bandgap*, um amplificador operacional de erro, e um pequeno driver de saída NMOS.

A Fig. (45) mostra o diagrama de blocos de um regulador LDO, que é constituído por um amplificador de erro, um elemento de passagem e uma rede de realimentação. O

amplificador de erro tem uma porta de entrada para uma voltagem de referência  $V_{Ref}$ , que é utilizado para regular a tensão de saída  $V_{Reg}$ . A tensão de referência é comparada com a tensão de realimentação pelo amplificador de erro, que gera um sinal de erro sempre que a tensão do *feedback* detectada difere da voltagem de referência. O sinal de erro controla o elemento de passagem, neste caso um transistor, que define o nó de saída para o nível de tensão desejado  $V_{Reg}$ (HEIDRICH, 2010).

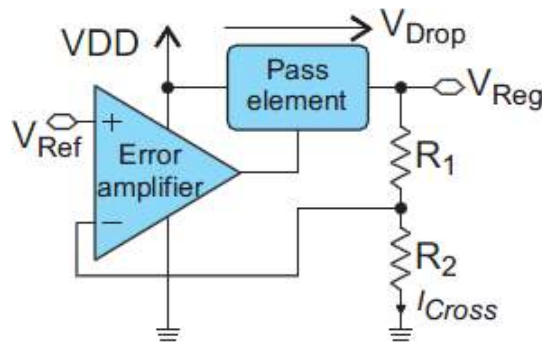


Figura 45: Diagrama de blocos de um regulador LDO(HEIDRICH, 2010).

A rede de realimentação que consiste nas resistências  $R_1$  e  $R_2$  determina a tensão de saída. Portanto, a tensão de saída pode ser definida pela razão dessas resistências, e é dada por:

$$V_{Reg} = V_{Ref} \left( 1 + \frac{R_1}{R_2} \right) \quad (7.4)$$

A única restrição para esta topologia é que a tensão de saída regulada  $V_{Reg}$ , seja menor do que a tensão de alimentação não regulada pela queda de tensão  $V_{Drop}$  no elemento passivo em saturação(HEIDRICH, 2010).

No momento do projeto elétrico, um fator importante que tem ser levado em conta é a corrente  $I_{cross}$  ou comumente chamada de corrente quiscente, que flui independentemente da carga conectada na saída. Esta corrente é indesejada principalmente para aplicações com sistemas de baixa potência como, por exemplo, o RFID. Ela pode ser reduzida para um valor suficientemente baixo, aumentando as resistências  $R_1$  e  $R_2$ , ocasionando desta forma um *tradeoff* entre a área do *chip* e o consumo de corrente.

Na Fig. (46), observa-se a topologia proposta para o regulador LDO, na qual  $V_{in}$  é a tensão de entrada que é proveniente do *charge pump*. O amplificador  $U_1$  é o amplificador de erro (*error amplifier*), e  $V_{Ref}$  é a tensão que é invariante com a temperatura e fornecida por um circuito *bandgap*.



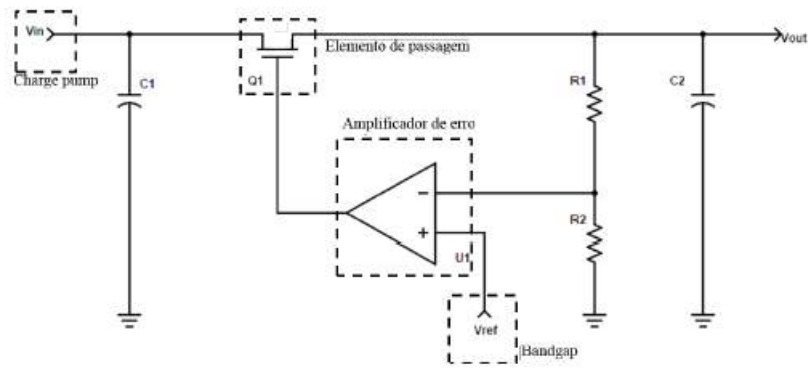


Figura 46: Topologia proposta para o regulador LDO

O amplificador operacional de erro do circuito LDO é implementado com uma entrada diferencial, na qual foi utilizado um par diferencial *pmos*, para o *offset* de entrada ser mínimo. A Fig. (47) retrata a topologia do amplificador operacional utilizado.

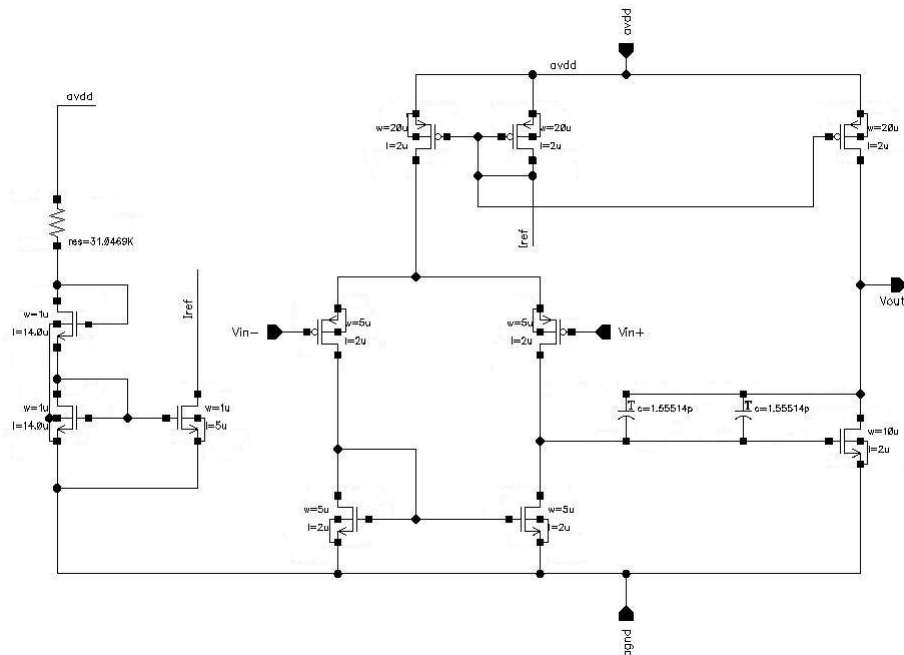


Figura 47: Esquemático do amplificador de erro

Como foi mostrado na Fig. (43) e confirmado pelo projeto elétrico da Fig. (48), o bloco retificador é composto então, por um *charge-pump* e um LDO cascateados. O principal desafio deste bloco é realizar um “casamento” entre a carga do CP e do LDO, pois o CP não tem como “*drivar*” muita corrente, ou seja, não fornecer a corrente necessária para o LDO funcionar corretamente. Desta forma houve um aumento de estágios do CP para aumentar a carga, mais precisamente 6 estágios e concomitantemente, houve a diminuição da corrente quiescente do LDO para deixá-lo mais “*low power*” possível. Isto foi realizado aumentando os valores dos resistores.

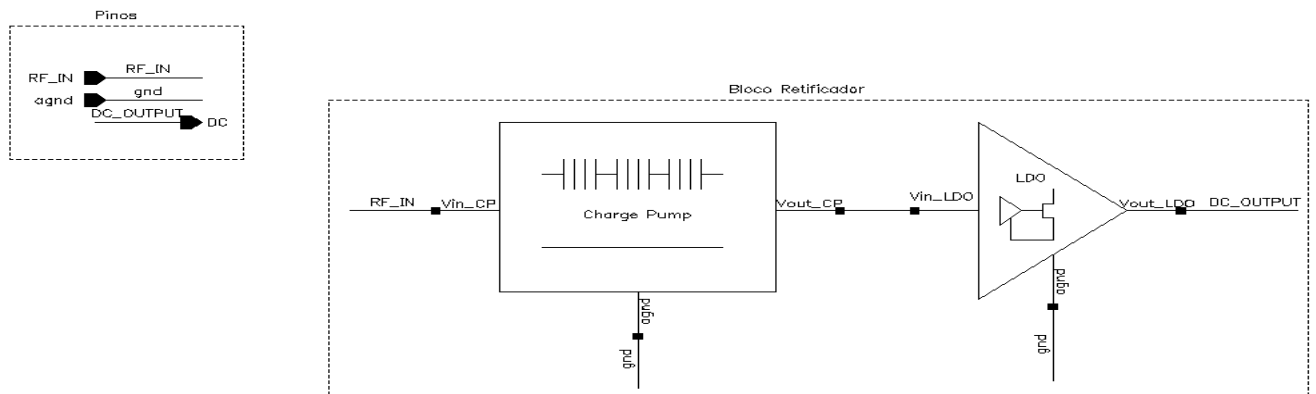


Figura 48: Bloco retificador visto através do *software* CADENCE

### 7.1.3 Resultados obtidos

Como o objetivo deste bloco é gerar uma tensão DC estável através de uma onda RF proveniente do leitor, o resultado obtido retratado na Fig. (49) mostra que este objetivo foi alcançado, pois a variação do sinal de saída é de aproximadamente 0.0861V, gerando desta forma uma tensão de 1.8V relativamente estável para o restante dos circuitos.

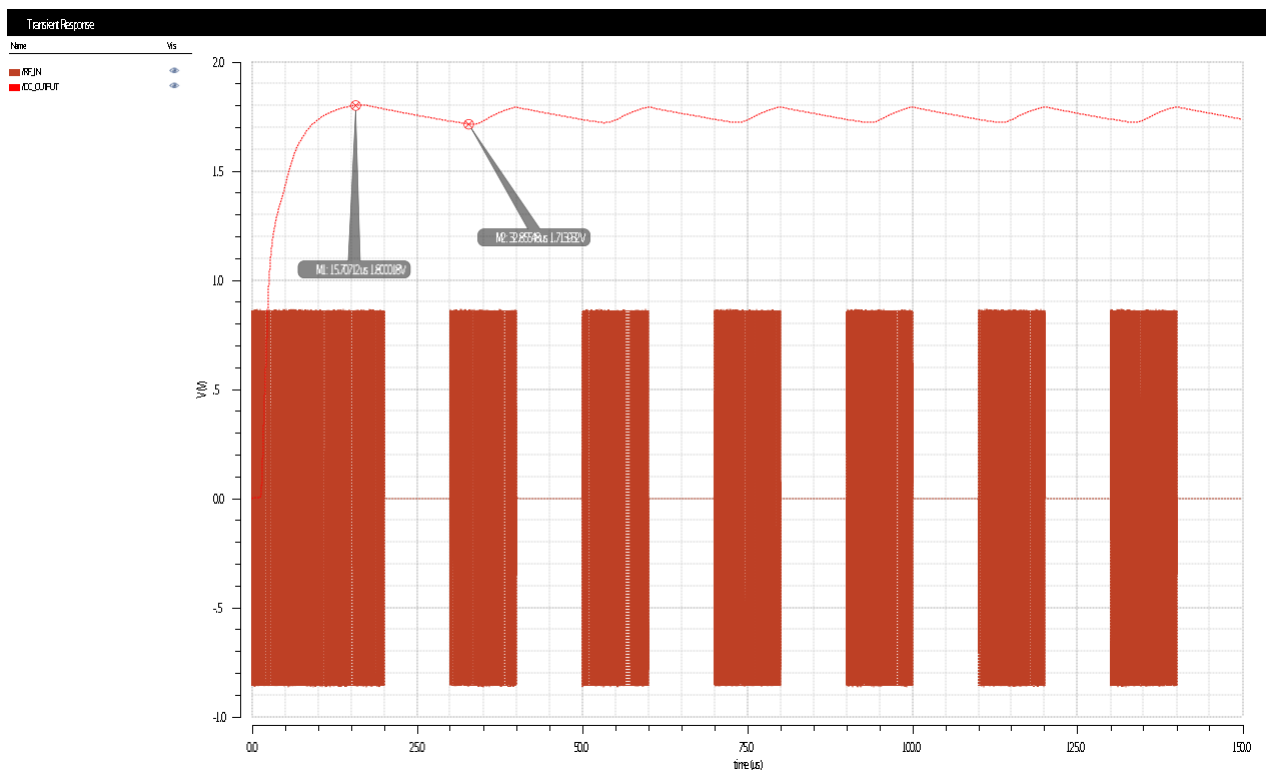


Figura 49: Resultado do bloco retificador obtido através de simulação

Para mais informações e figuras sobre este bloco, ir para o Apêndice (A).

## 7.2 Bloco modulador

### 7.2.1 Contexto

Em sistemas de RFID passivos a transmissão é feita sem nenhuma bateria interna. No momento que a corrente elétrica é induzida na antena por uma onda de radio frequência incidente, é gerada uma potência suficiente para todo o circuito integrado desta *tag* ligar e transmitir uma resposta. Essa técnica é conhecida como modulação *backscatter*. A antena tem que ser projetada de tal forma que possa coletar a potência de um sinal e também transmitir um sinal de resposta. Quase todas as técnicas existentes de modulação, tais como ASK, PSK, FSK são utilizadas pelos desenvolvedores de RFID. No entanto, um transmissor simples pode ser concebido através da utilização da técnica de modulação BPSK, que é preferível em comparação aos outros tipos, uma vez que garante para uma determinada profundidade de modulação, uma maior potência transferida da *tag*, fato este necessário para limite do alcance de sistemas passivos.

*Backscattering* é um esquema de modulação de baixo consumo em que o *tag* age como um refletor, enviando parte da onda RF incidente de volta para o leitor (EPCGLOBAL, 2005). Nesta modulação, a impedância real da *tag* é casada com a impedância da antena, já a reatância varia entre valores capacitivos e indutivos. A modulação BPSK *backscatter* consiste em modular a parte imaginária da impedância vista pela antena com intuito de variar a fase da onda refletida, e geralmente é obtido através da mudança de uma impedância capacitiva. É desenvolvida para uma comunicação reversa, baseado na diferença de impedância entre a antena e a *tag*. Logo, essa diferença resultará no retorno de uma fração do sinal que foi enviado. É transmitido um sinal da *tag* para o leitor na frequência da subportadora de 847,5 kHz (ATMEL, 2005). Esta terminologia refere-se ao método de comunicação utilizado por uma *tag* RFID passiva, para enviar dados para o leitor utilizando o sinal da portadora do próprio leitor. O sinal RF incidente da portadora para a *tag* é carregado e descarregado, causando modulação de amplitude da portadora, correspondendo aos bits de dados da *tag*.

A tensão RF induzida na antena da *tag* é modulada por amplitude pelo sinal de modulação, que no caso são os dados que desejam ser transmitidos. Esta modulação por amplitude pode ser alcançada por meio de um transistor de modulação entre um circuito ressonante LC. As alterações na amplitude da tensão na antena da *tag* podem afetar a tensão da antena do leitor. Ao monitorar as mudanças na tensão do leitor da antena devido modulação de dados da *tag*, os dados enviados pela mesma podem ser reconstruídos. Os requisitos mais importantes para tais moduladores são: ter um baixo consumo de energia e ocupar pequena área no *chip* mantendo os seus custos o mais baixo possível.

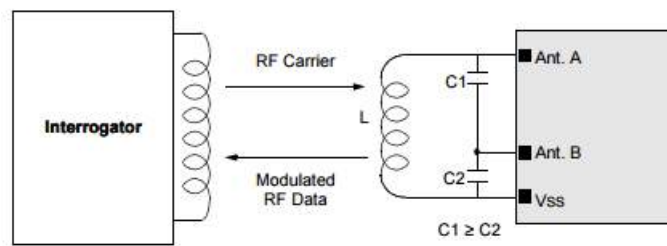


Figura 50: Circuito externo da antena(MICROCHIP, 2004).

## 7.2.2 Projeto e implementação

Para seu correto funcionamento, o bloco de modulação necessita apenas de um circuito externo LC, que consiste em um indutor (bobina) em paralelo com dois capacitores (Fig. (50)). Os componentes externos LC devem ser conectados entre os *pads* da antena A, B, e o terra ( $V_{ss}$ ). O circuito formado entre o *pad* da antena A e do terra deve ser sintonizado para a frequência de funcionamento da antena do leitor(MICROCHIP, 2004).

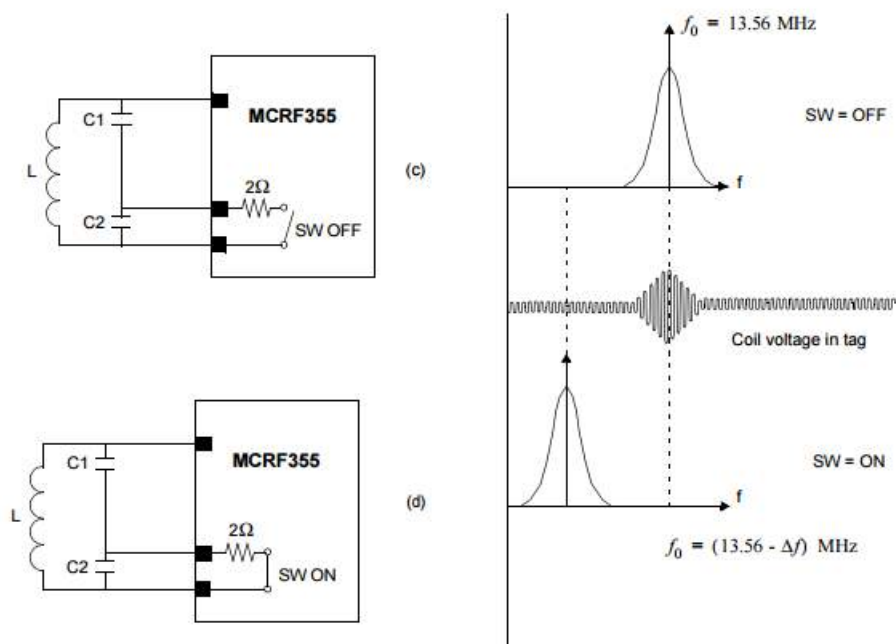


Figura 51: Funcionamento do modulador com seu respectivo espectro de frequência(MICROCHIP, 2004).

A *tag* transmite os dados por meio da sintonização da frequência de ressonância do circuito externo LC (Fig. (51)). Isto ocorre através de uma chave CMOS, que possui uma baixa resistência (2 – 4 ohms) quando está fechada, alta quando esta aberta, e que atua entre o *pad* da antena B e o *pad* do terra. Desta forma, dependendo do sinal que será transmitido, a frequência ressonante irá variar. De forma sucinta, quando o sinal digital que será modulado está no nível lógico alto ou “1”, a chave terá uma resistência baixa e

assim atua como um curto circuito entre esses terminais, fazendo com que a frequência ressonante do circuito fique dessintonizada com a frequência do leitor. Por outro lado, quando o sinal está no nível lógico baixo ou “0”, esta chave terá uma resistência muito alta, atuando assim como um circuito aberto entre os terminais, fazendo com que a frequência ressonante do circuito fique sintonizada com a frequência do leitor. Esta diferença de frequência (frequência delta) entre as frequências sintonizada e dessintonizada, deve ser ajustada adequadamente para a operação ideal. Verificou-se que o índice de modulação máxima e alcance de leitura máxima ocorre quando a frequência delta está entre 3 a 6 MHz.

$$f_{sintonizada} = \frac{1}{2\pi\sqrt{L(\frac{C_1 C_2}{C_1 + C_2})}} \quad (7.5)$$

$$f_{dessintonizada} = \frac{1}{2\pi\sqrt{LC_1}} \quad (7.6)$$

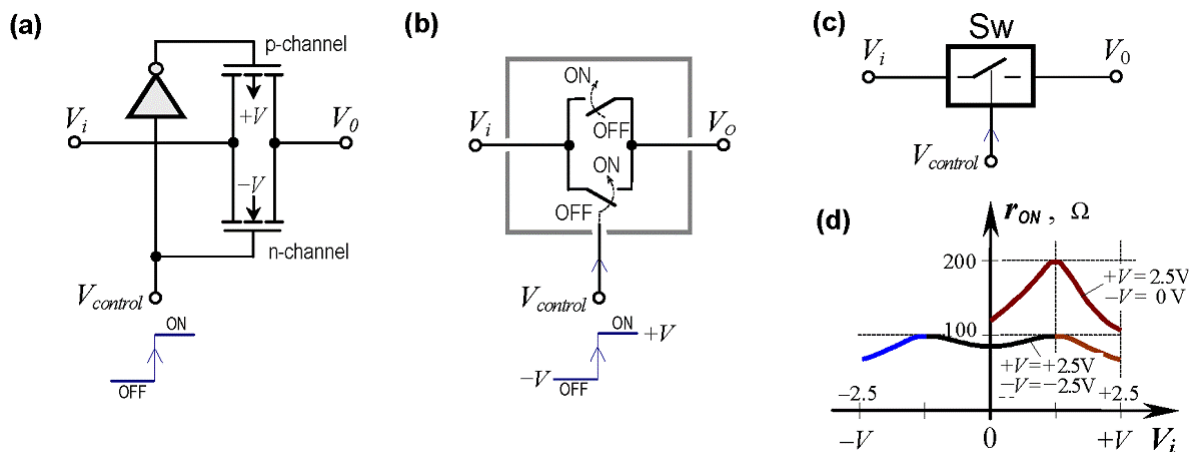


Figura 52: Chave CMOS

Para simular a chave foi utilizada a topologia da Fig. (52), que tem um par de transistores conectados em paralelo. O transistor *nmos* é controlado diretamente, enquanto o transistor *pmos* é controlado por um inversor. Desta forma, os transistores ligam e desligam simultaneamente.

Como foi citado anteriormente, devido à constante mudança do casamento de impedância, e por conseguinte à sintonização e dessintonização do sinal, uma onda ASK deve ser refletida com perda de amplitude que varia de 8% a 14%. Este cálculo é realizado a partir das Figs. (53) e (54), que mostram o índice de modulação em conjunto com sua respectiva profundidade de modulação. Essa atenuação do sinal, feita a partir da subportadora de 847,5 kHz modulada em BPSK, caracterizará uma onda ASK refletida. Esse sinal recebido da subportadora digital chaveará o descasamento de impedância.

Os percentuais de modulação são calculados a partir das Eq. (7.7) e (7.8), onde A é a amplitude do sinal não-modulado e B a amplitude do sinal modulado(ATMEL, 2005).

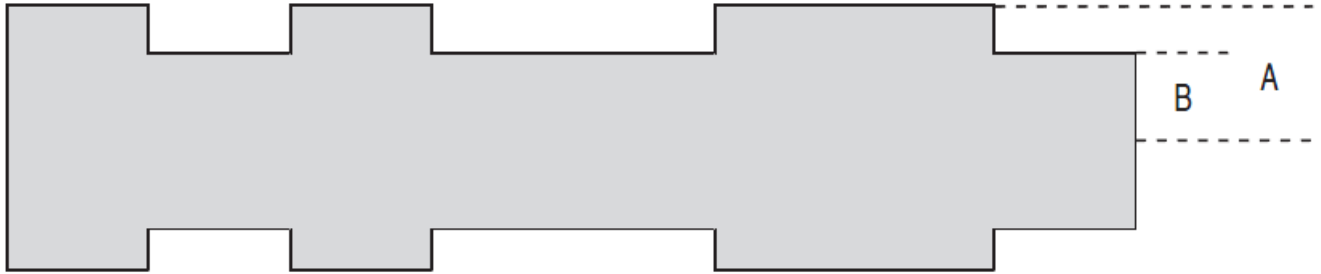


Figura 53: Amplitude da onda refletida(TSAI, 2011)

$$M_{index} = \frac{A + B}{A - B} \quad (7.7)$$

$$M_{depth} = \frac{B}{A} \quad (7.8)$$

Modulation Index	Modulation Depth
8%	85.2%
9%	83.5%
10%	81.8%
11%	80.2%
12%	78.6%
13%	77.0%
14%	75.4%

Figura 54: Índice de modulação vs profundidade de modulação(TSAI, 2011)

A Fig. (55) mostra o esquemático utilizado para realizar a modulação do sinal, do qual o bloco denominado modulador é responsável pelo chaveamento da frequência de ressonância do circuito externo. Os valores dos capacitores  $C_3$  e  $C_8$  e do indutor  $L_1$  foram obtidos através das Eqs. (7.5) e (7.6), para esta tag como foi dito anteriormente a frequência de sintonização é de 13,56 MHz.

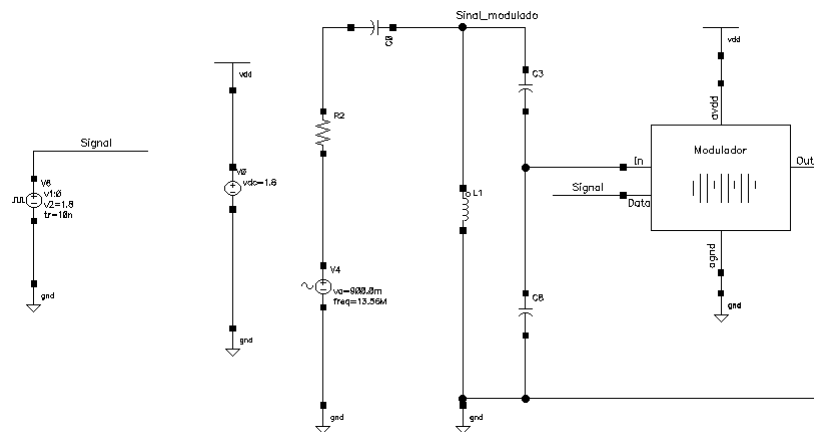


Figura 55: Esquemático do bloco modulador

### 7.2.3 Resultados obtidos

Utilizando um clock de 847,5 kHz para simular a subportadora digital que controlará a chave (representada neste caso pelo bloco “modulador”), é possível observar a amplitude da onda resultante modulada em ASK pela subportadora digital em BPSK. A amplitude do sinal que está em sintonia a frequência do leitor, é de 519,718 mV enquanto que, a amplitude do sinal dessintonizado com a frequência do leitor, é de obtido 408,506 mV. Com esses resultados o índice de modulação obtido foi de 12% com uma profundidade de modulação de 78,60%, conforme mostra a tabela da ISO 14443.

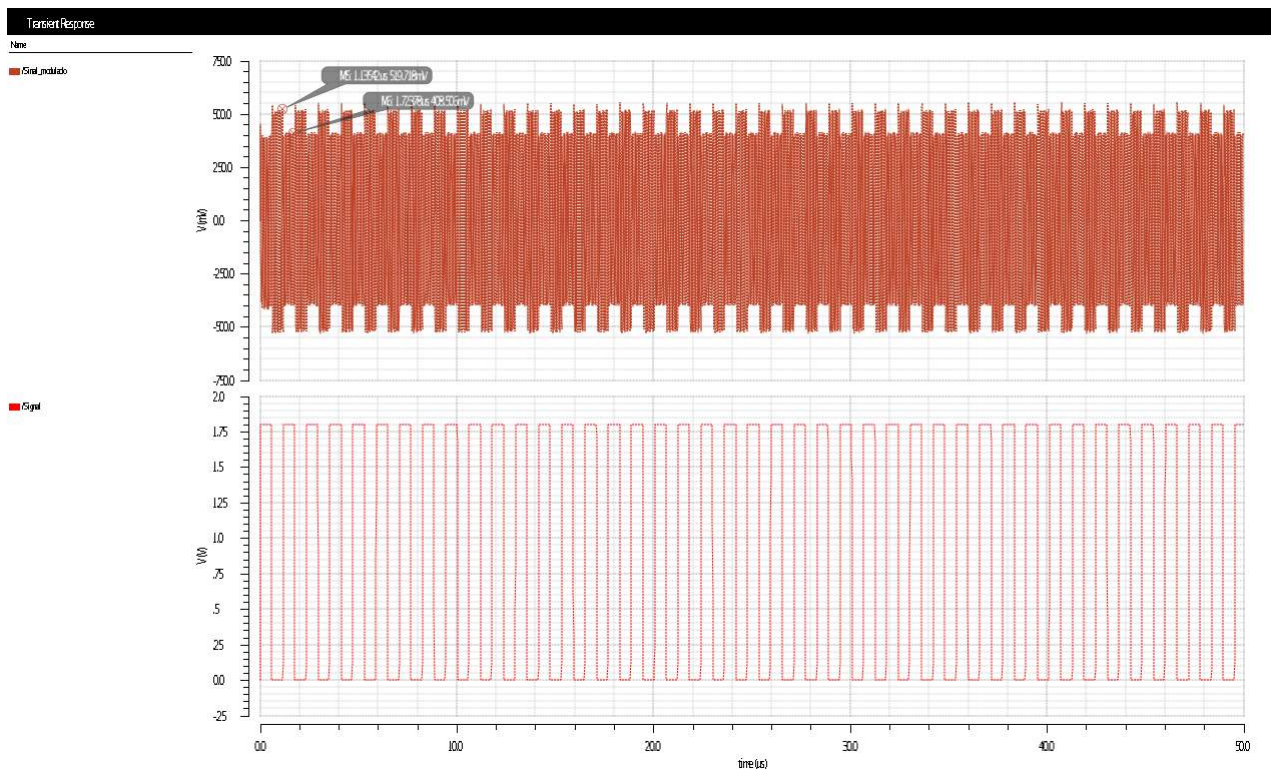


Figura 56: Resultado do bloco modulador obtido através de simulação



Para mais informações e figuras sobre este bloco, ir para o Apêndice (B).

## 7.3 Bloco oscilador

### 7.3.1 Contexto

A operação das unidades de banda base de um sistema passivo sem fios e a comunicação (*backscattering*) para a sua estação de base, é controlada pelo *clock* do sistema. Para garantir uma comunicação confiável entre este sistema e sua estação de base (leitor), existe um requisito rigoroso, que é a frequência do *clock* do sistema. Os protocolos EPC de rádio frequência classe 1 geração 2 de sistemas UHF para RFID, exigem que a precisão da frequência dos dados refletidos (*backscattered*) seja superior a  $\pm 4\%$ . Frequentemente, como no uso da tecnologia de RFID, o *clock* de um sistema sem fios passivo é gerado por um oscilador local que reside no sistema. Decorrente do efeito de processo, tensão de alimentação e mudança de temperatura (variações PVT – *pressure, volume and temperature*), a frequência do oscilador local apresenta um elevado grau de incerteza. Por exemplo, a variação da frequência de um oscilador pode ser tão grande como 20%. A incerteza da frequência do *clock* de sistema sem fio passivo é agravado pelo fato de que esses sistemas são geralmente fabricados utilizando tecnologias de baixo custo (neste caso CMOS) que normalmente possuem um alto grau de variação do processo. O efeito da variação da temperatura sobre a frequência de oscilação do oscilador local, pode ser minimizado através da utilização de circuitos de referência de alta precisão. Por isso, a escolha certa da topologia utilizada em osciladores é de grande importância para diminuir estas incertezas, aumentando ao máximo sua precisão.

### 7.3.2 Projeto e implementação

O oscilador foi concebido pela associação, em circuito fechado, de um número ímpar de inversores intercalados por capacitores (Fig. (57)). O número de inversores, valor dos capacitores e dimensões dos transistores permitem ajustar a frequência de oscilação para o valor desejado, que neste caso, será de 2 Mhz. Esta frequência é dada pela expressão Eq. (7.9).

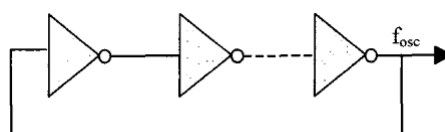


Figura 57: Oscilador em anel proposto



$$f_{osc} = \frac{1}{N(\varphi_H + \varphi_L)} \quad (7.9)$$

Onde  $\varphi_H$  e  $\varphi_L$  representam o atraso (delay), respectivamente do tempo de subida e descida de cada inversor.  $N$  representa o número de estágios utilizados.

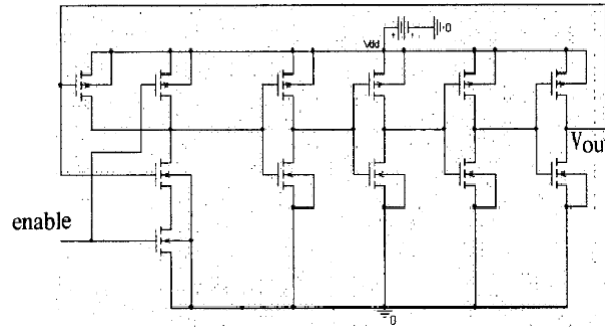


Figura 58: Topologia do oscilador em anel

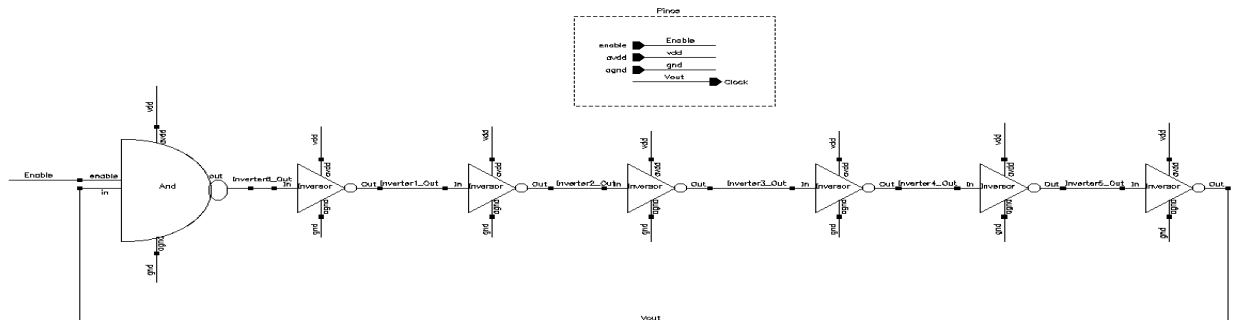


Figura 59: Esquemático do oscilador em anel

Para o bloco do oscilador foi utilizado a topologia de um oscilador em anel (Fig. (59)), da qual foi utilizado 6 portas lógicas inversoras conectadas a uma porta lógica AND em um *loop* fechado.

### 7.3.3 Resultado obtido

Para obter uma frequência de oscilação de 2 MHz, como mostra a Fig. (60), a razão de aspectos dos transistores que constituem cada porta lógica bem como a quantidade de estágios do oscilador em anel foram calculados a partir da Eq. (7.9). O resultado da implementação do sinal *enable* para habilitar a oscilação bem como o resultado final do *clock* são retratados respectivamente nas Figs. (61) e (62)

Para mais informações e figuras sobre este bloco, ir para o Apêndice (C).

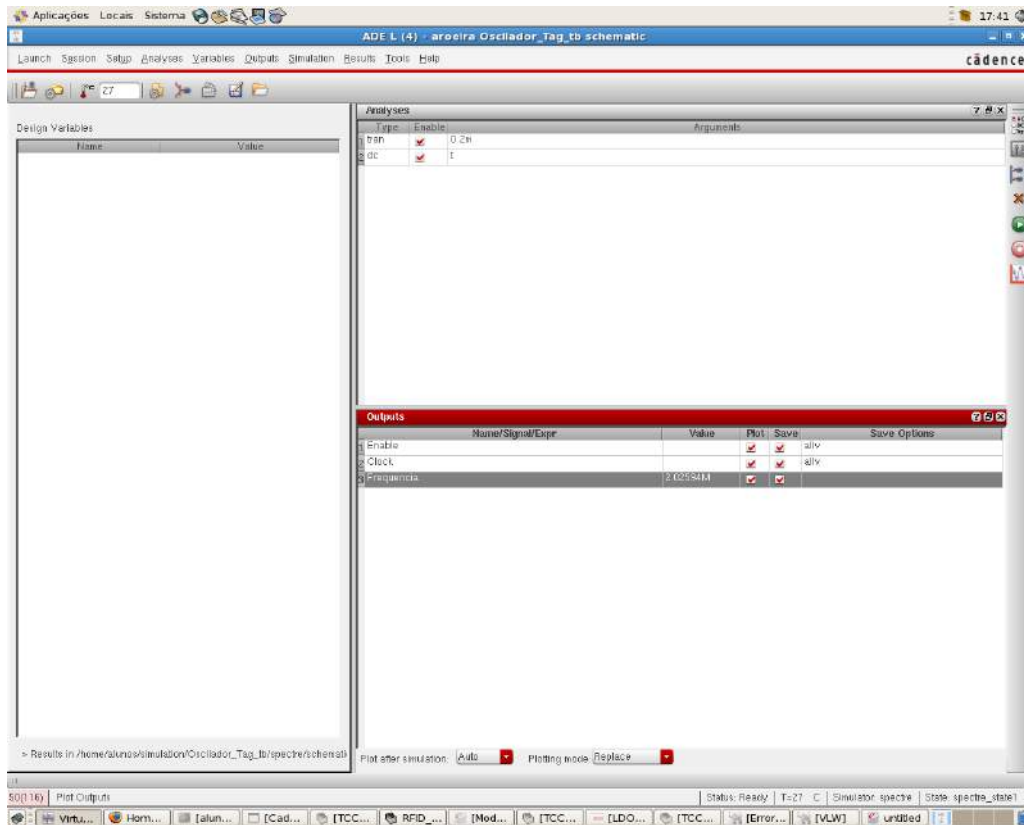


Figura 60: Frequência obtida pelo oscilador

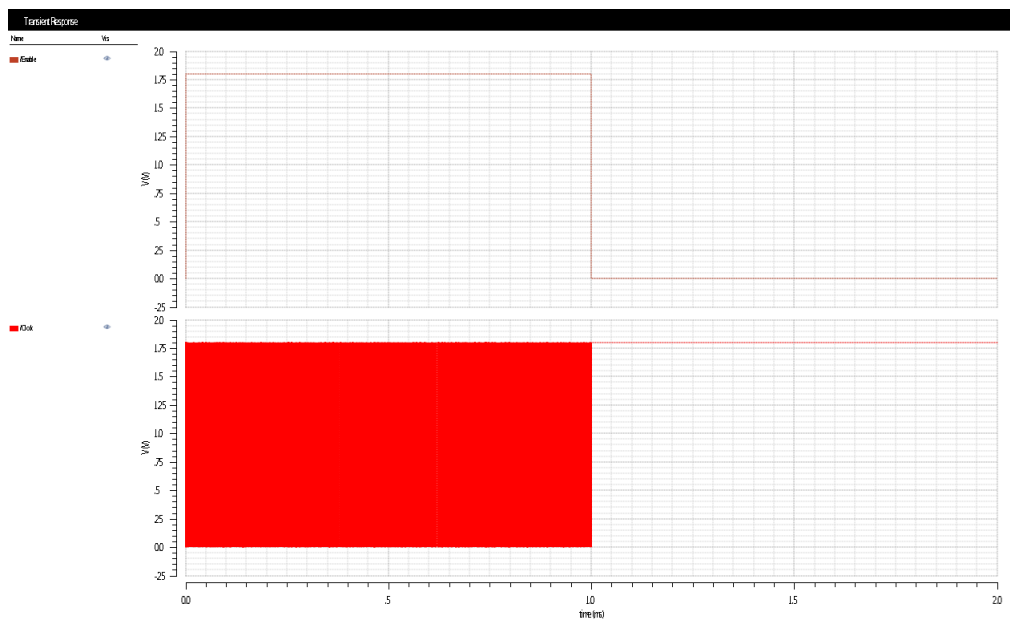


Figura 61: Clock sendo habilitado através do sinal *enable* proveniente da porta lógica AND

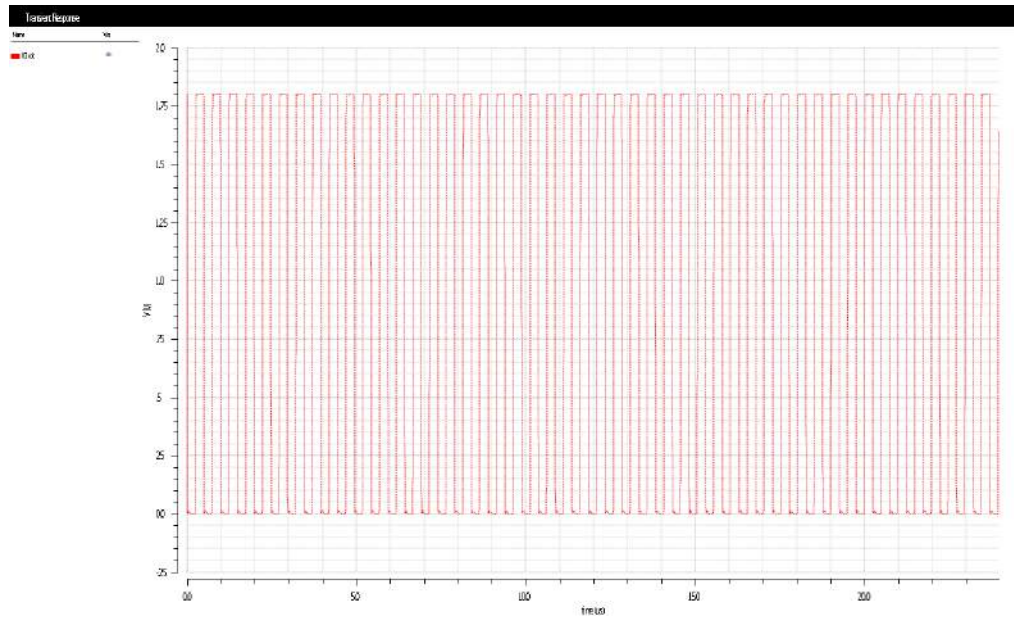


Figura 62: Resultado do bloco oscilador obtido através de simulação

## 7.4 Layout

Neste trabalho, para obter maior confiabilidade e garantir que todos os *layouts* dos circuitos realizados correspondam àquilo para que foram projetados, foi realizada simulações DRC e LVS, discutidas anteriormente.

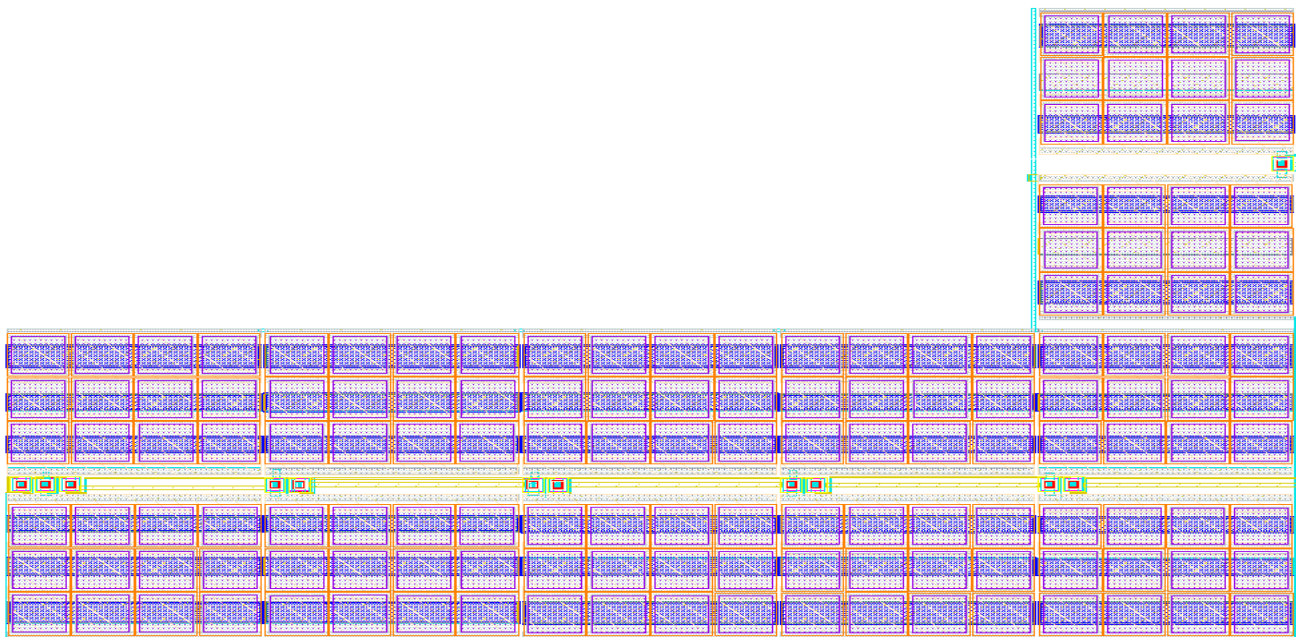
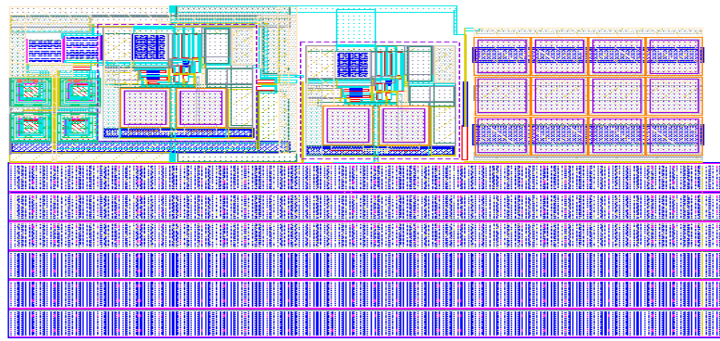
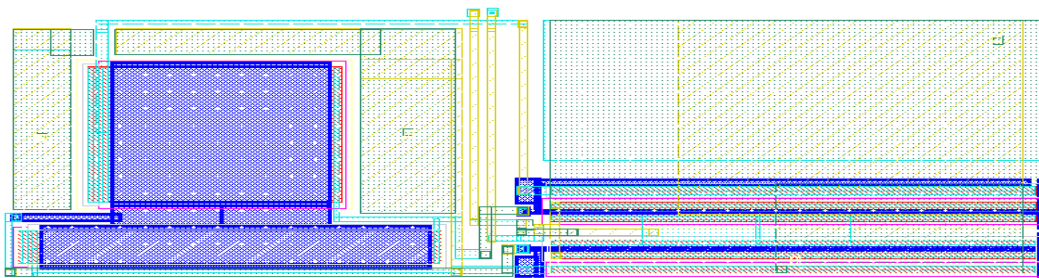
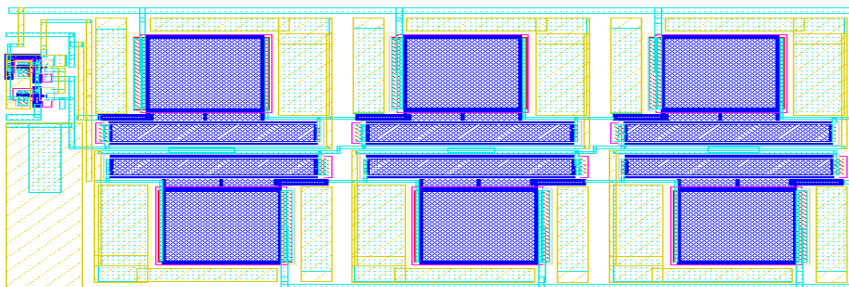


Figura 63: Layout do *charge-pump*

Figura 64: *Layout* do LDOFigura 65: *Layout* do moduladorFigura 66: *Layout* do oscilador

Mais detalhes dos *layouts* dos circuitos que foram mandados para fabricação neste caso, o circuito de referência *bandgap* e o demodulador ASK, se encontram respectivamente no Anexo (A) e (B).

A Tab. (17) mostra a correspondente área de cada circuito que constitui a *front-end* analógica da *tag* proposta neste trabalho. Percebe-se que, como era de se esperar, que o bloco retificador, constituído pelo *charge-pump* e LDO, ocupará maior espaço devido à quantidade de capacitores e resistências utilizados para gerar uma tensão DC estável para o restante do circuito, fato este muito comum em *tags*.

Integrando todos estes *layouts*, os que foram projetados anteriormente por alunos de iniciação científica (*bandgap* e do demodulador ASK), e também os que foram projetados neste trabalho (*charge-pump*, regulador LDO, oscilador e modulador), obtendo desta



forma um esboço de uma *tag*, mais precisamente seu *front-end analógico*, que é retratado nas Figs. (67) e (68).

Circuitos propostos	Área correspondente [ $\mu m^2$ ]
Demodulador	125 x 171.99
<i>Low-dropout Regulator</i>	450.61 x 298.53
<i>Charge Pump</i>	870 x 253
Modulador	43 x 15
Oscilador	66 x 31.56

Tabela 17: Área correspondente de cada circuito que constitui a *front-end* analógica da *tag*

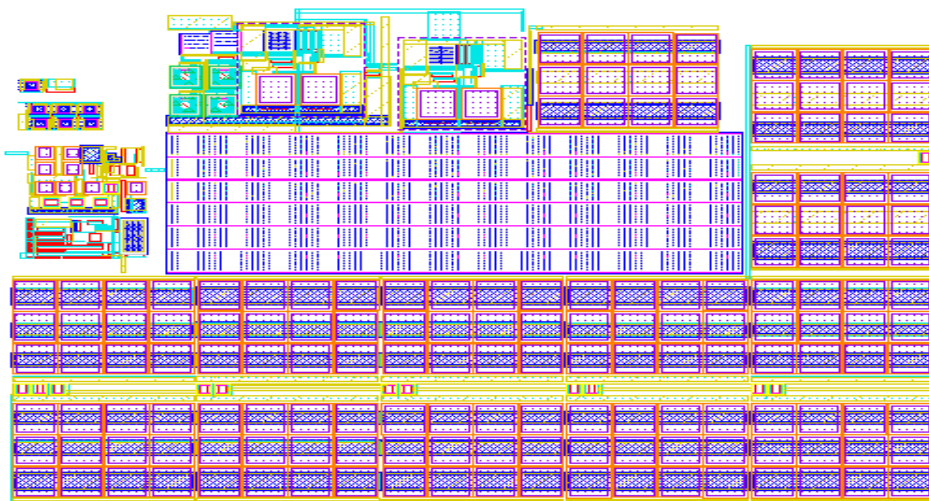


Figura 67: *Layout* da *front-end* analógica da *tag* proposta

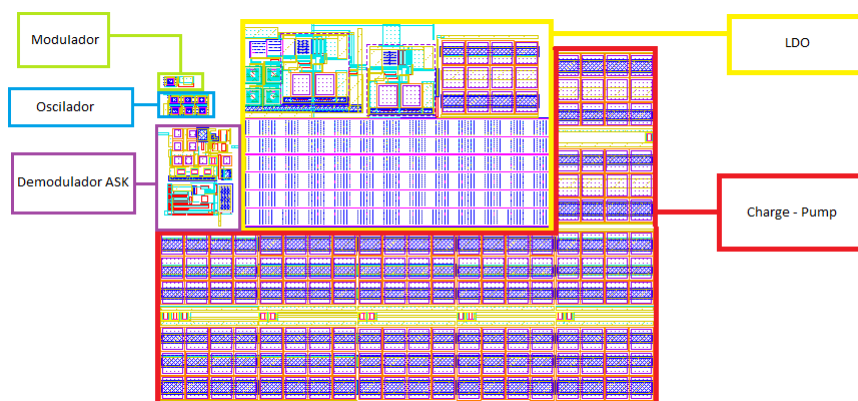


Figura 68: *Layout* da *front-end* analógica da *tag* proposta destacando os circuitos

## 7.5 Verificação funcional

Com intuito de realizar uma verificação funcional dos circuitos projetados, foi feito uma simulação mista, na qual o bloco retificador, responsável por gerar a tensão DC

necessária aos restantes dos blocos da *tag*, está em nível de esquemático alimentando um demodulador ASK modelado em alto nível, descrito em Verilog-AMS, como retrata a Fig. (69).

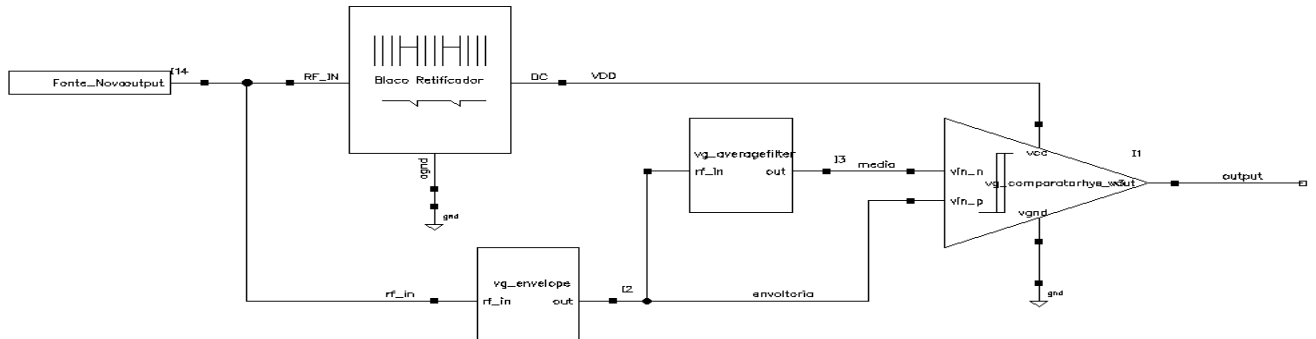


Figura 69: Esquemático da simulação mista

O resultado obtido é mostrado na Fig. (70). Nota-se que o demodulador alimentado pelo sinal RF proveniente de um leitor(fonte), conseguiu realizar demodulação deste próprio sinal. Percebe-se que a excursão do sinal digital de saída é de 1.63 V e possui um formato pouco distorcido. Isto acontece devido ao fato que o bloco retificador não fornece toda a corrente necessária para o pleno funcionamento do bloco demodulador. Entretanto, este sinal obtido não compromete a interpretação da informação, por parte do controle digital da *tag*.

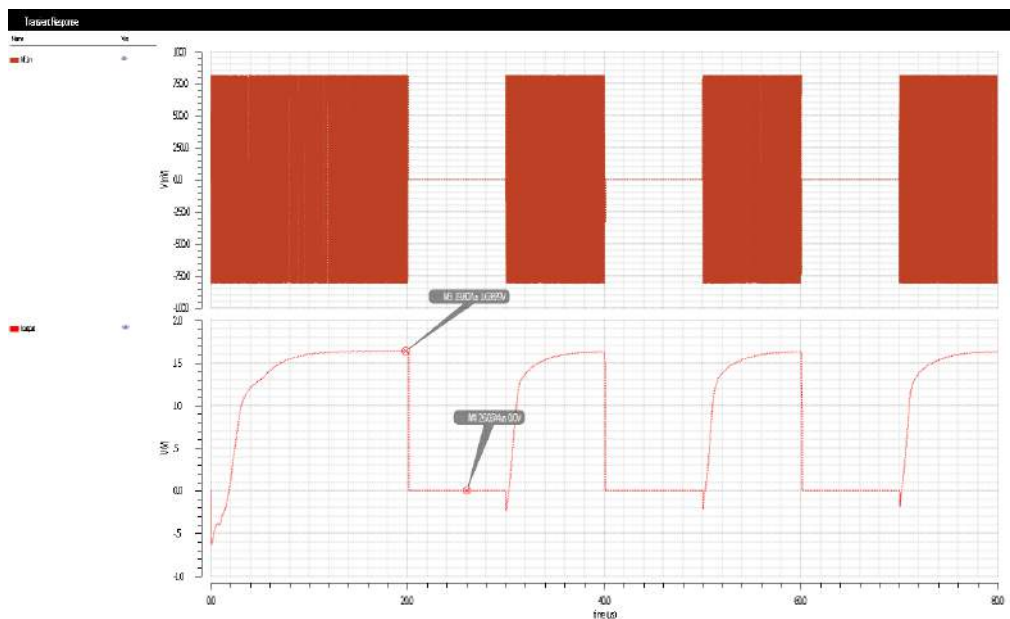


Figura 70: Resultado da simulação mista - Bloco retificador em nível de esquemático

Outra simulação mista foi realizada, desta vez, o circuito LDO está modelado em alto nível enquanto o *charge-pump* permanece em nível de esquemático. O resultado

obtido é mostrado na Fig. (71). Percebe-se que o sinal demodulado obtido está de acordo com aquilo que era esperado, tendo uma excursão de 1.8 V. Com isto, conclui-se que o circuito *charge-pump* projetado neste trabalho está funcionando corretamente.

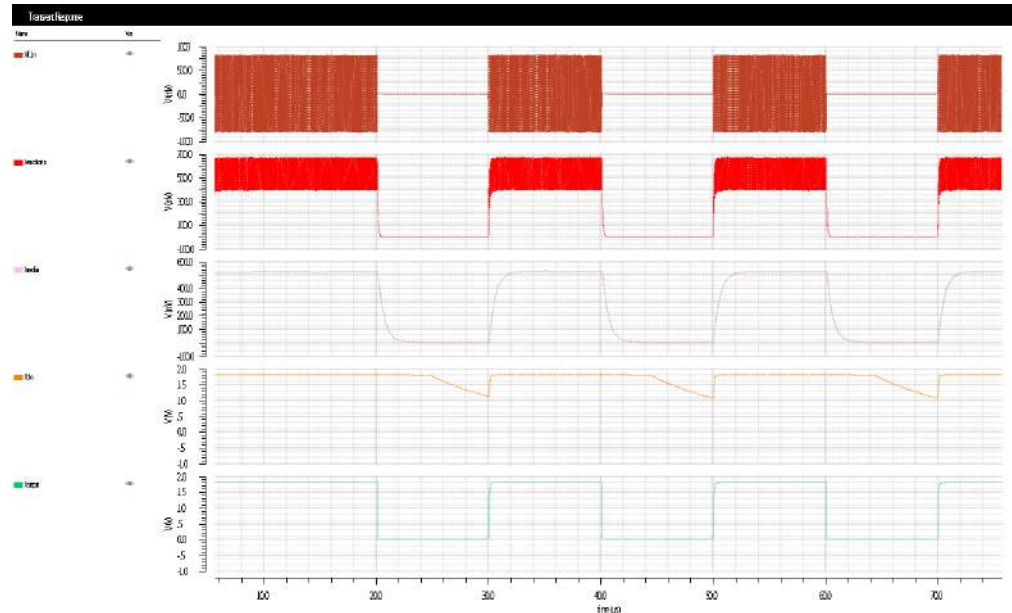


Figura 71: Resultado da simulação mista - *Charge-pump* em nível de esquemático

Foi realizado também, uma simulação no qual o *charge-pump* está modelado em alto nível, e o circuito LDO em nível de esquemático, o resultado obtido é retratado na Fig. (72). Desta imagem conclui-se que quando é utilizado este modelo do *charge-pump* cascadeado com a fonte que prover o sinal RF, o sinal resultante aparece com algumas irregularidades em sua excursão (Fig. (73)), fato este que não acontece quando o *charge-pump* está em nível de esquemático. Devido a esta irregularidade, a tensão que o LDO fornece será afetada, ocasionando uma variação no seu sinal de saída. Porém, se não houvesse esta irregularidade, o LDO funcionaria de forma correta. Então para futuros trabalhos será necessário analisar a possibilidade de incluir no modelo algum parâmetro de casamento de impedância.

Por fim, uma ultima simulação foi realizada, na qual o *charge-pump* e o *bandgap* estão modelados em alto nível, e o restante do circuito que constitui o bloco retificador estar em nível de esquemático. Na Fig. (74) percebe-se que o resultado obtido melhorou bastante apesar das irregularidades da onda RF mencionada no parágrafo anterior, isso se deve ao fato que o modelo utilizado para o circuito *bandgap* descrito em Verilog-AMS, gera a tensão de referência independente da tensão que está alimentando o circuito, o que o torna mais estável.

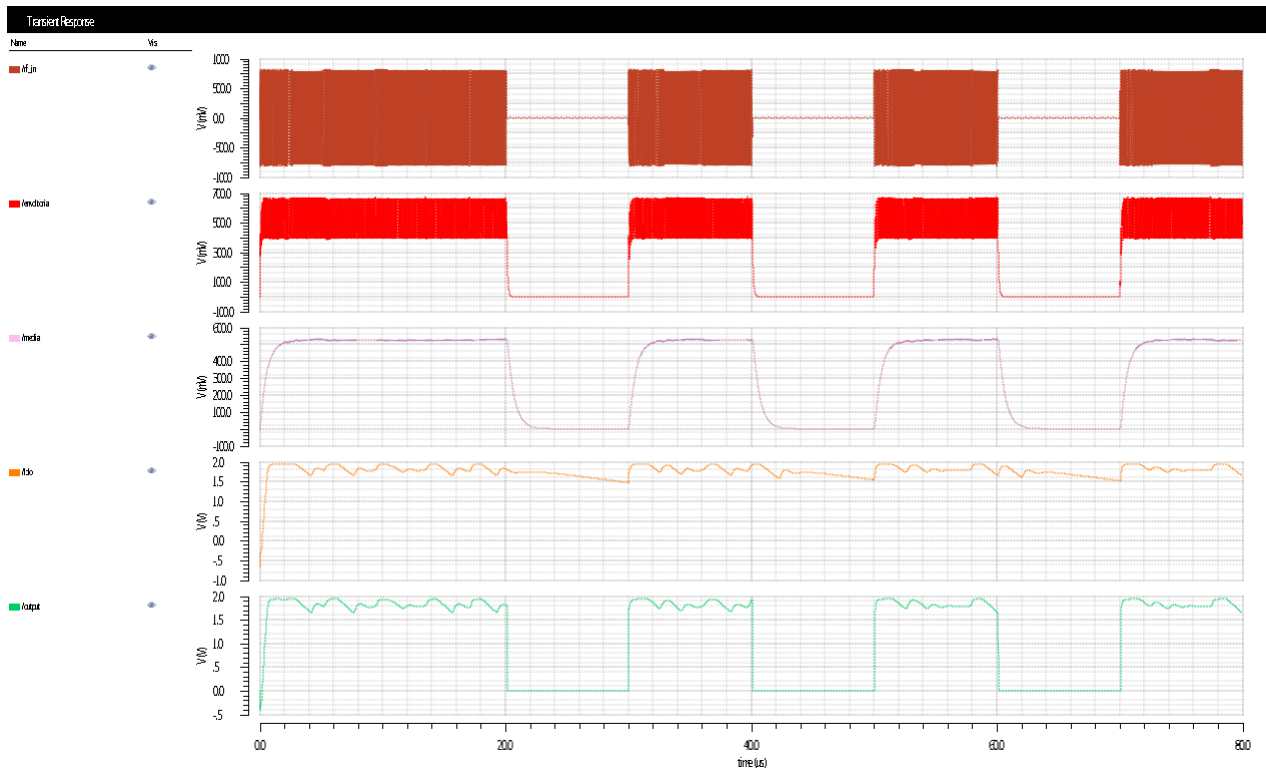


Figura 72: Resultado da simulação mista - LDO em nível de esquemático

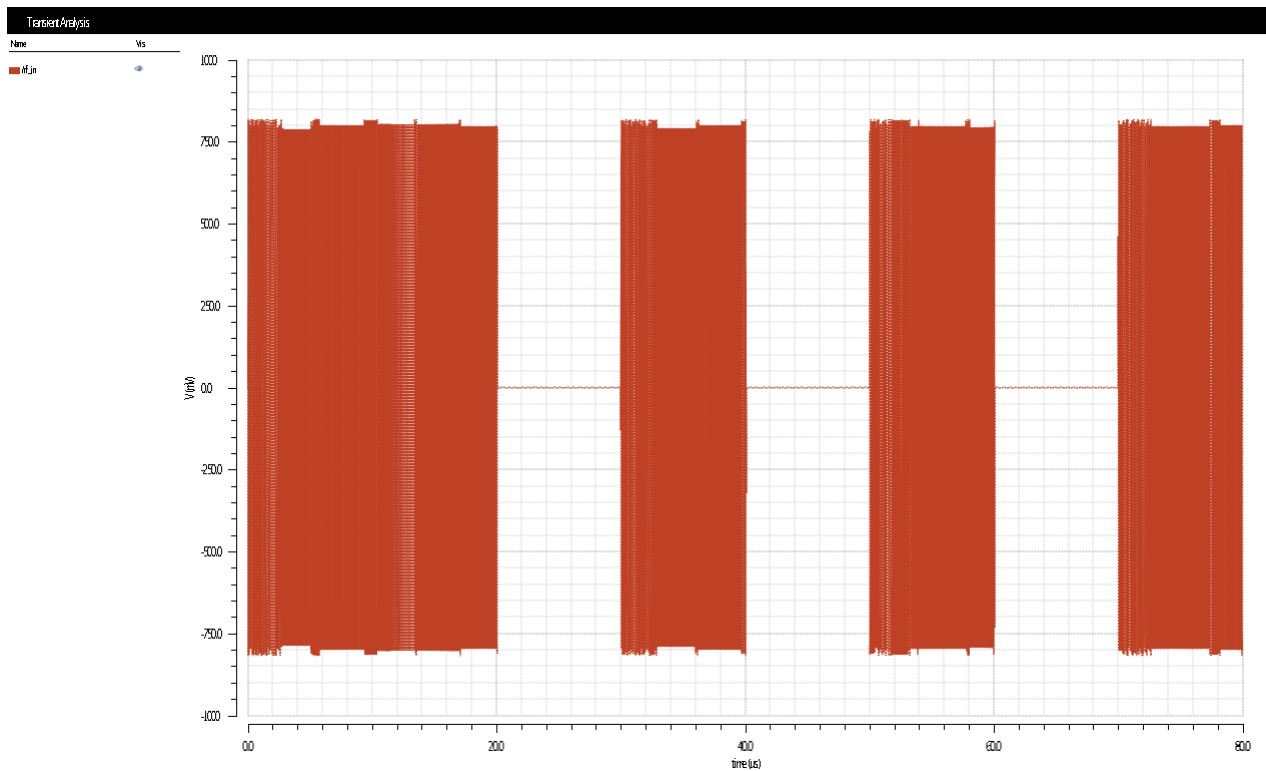


Figura 73: Sinal RF irregular resultante do cascadeamento da fonte com o CP em alto nível



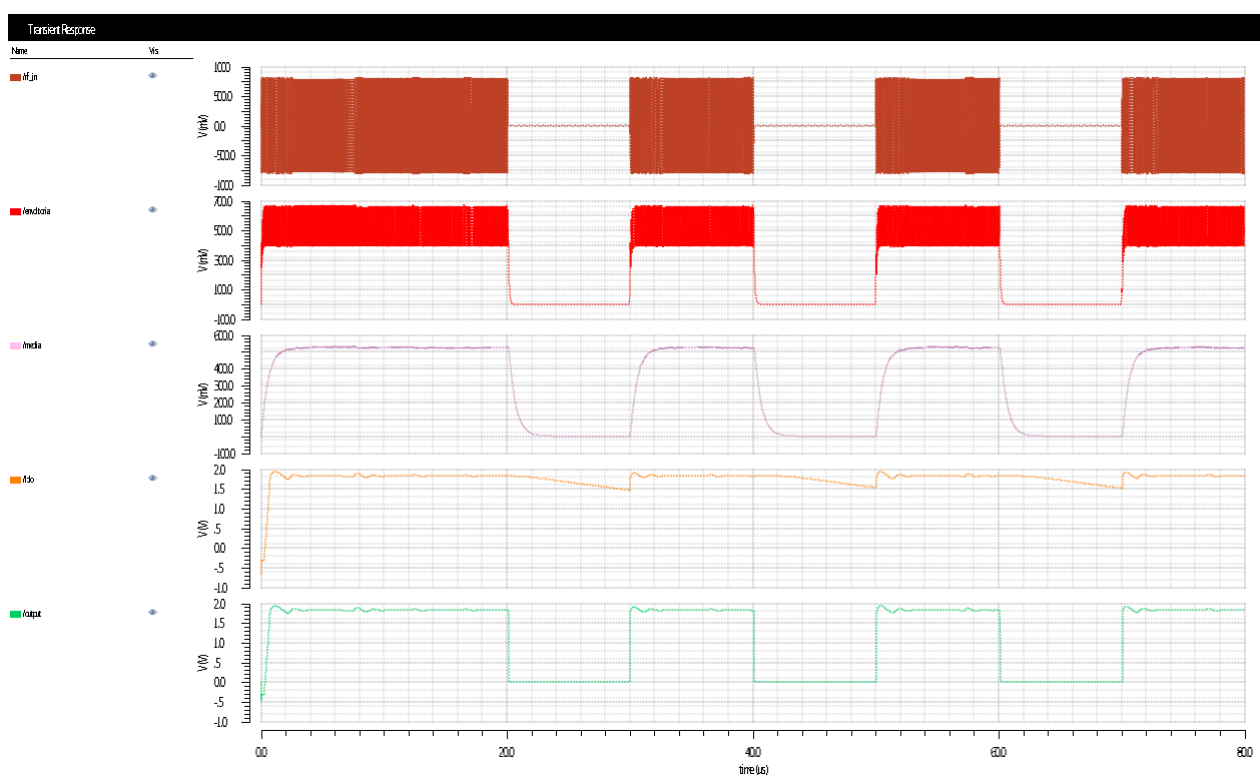


Figura 74: Resultado da simulação mista - Amplificador e transistores do circuito LDO em nível de esquemático



Parte IV

Conclusão



## 8 Conclusão

Inicialmente este trabalho se propôs a realização de teste de dois blocos de uma *tag* de RFID, um circuito de referência *bandgap* e um demodulador ASK, cujos resultados obtidos foram analisados e depurados. Posteriormente foi feita uma revisão dos outros blocos restantes que compõe o *front-end* analógico da *tag* de RFID, realizando então, os projetos elétricos e o respectivo *layout* destes circuitos. Por fim, utilizando modelos de alto nível descritos em Verilog-AMS, foi realizada uma verificação funcional destes circuitos projetados.

Foi realizado uma revisão bibliográfica sobre os tópicos RFID (conceito, características, funcionamento e vantagens), conceitos básicos da linguagem de *hardware*(Verilog-AMS), metodologia *Top-Down*, projeto de placas de circuitos impressos e os diversos tipos de encapsulamentos existentes. Concomitantemente, foi demonstrada a arquitetura da *tag* proposta pelos alunos de iniciação científica da UnB, e também a idealização e produção de dois blocos desta *tag*.

A etapa de realização de teste foi muito importante, pois foi projetada uma placa com a única finalidade de testar os circuitos. Para isso houve um estudo minucioso em relação a pinagem do CI, sendo verificado o que cada saída e entrada dos circuitos correspondem. Para realizar estes testes, foi necessária muita prática laboratorial, o que resultou em um extenso aprendizado no uso dos equipamentos de caracterização. Este processo foi de extrema importância para a formação profissional, pois foram utilizados equipamentos como câmara térmica e microscópio eletrônico, que muitas vezes não se tem a oportunidade de contato durante a graduação.

Devido os resultados obtidos não corresponderem aos resultados esperados, foram feitos mais teste e análises a fim de descobrir a causa. Foi verificado então o projeto em nível de transistores e *layout*, entretanto devido a falta de tempo não foi possível realizar simulações do topo do *chip*.

Por fim, foi retratado o contexto, o projeto e a implementação de cada topologia de circuito, e o respectivo resultado obtido para cada bloco projetado. Foi possível também realizar o *layout* de cada um destes circuitos, obtendo-se desta forma o *front-end* analógico da *tag* proposta.



## Referências

- ALLEN, P. Cmos analog circuit design. Oxford University, 2002. Citado 2 vezes nas páginas 13 e 54.
- AMARAL, W. Designer of a passive rfid tag for 13.56 mhz. Universidade de Brasília, 2014. Citado 4 vezes nas páginas 13, 25, 50 e 55.
- ARMATIX. Armatix gmbh: iw1 active rfid watch. 2014. Disponível em: <<http://www.armatix.de/iW1-active-RFID-watch.780.0.html?&L=1>>. Citado na página 27.
- ASHRY, A. A compact low-power uhf rfid tag. University of Sheffield, 2009. Citado na página 49.
- ATMEL. *Understanding the Requirements of ISO/IEC 14443 for Type B Proximity Contactless Identification Cards*. San Jose, Estados Unidos, 2005. Citado 3 vezes nas páginas 83, 89 e 92.
- BAKER, R. J. Cmos circuit design, layout, and simulation, in: Proceedings of the 15th international conference on electronics, circuits and systems. 2008. Citado na página 85.
- BAPTISTA, M. C. P. Identificação e caracterização da modulação dos sinais digitais em rf. Universidade de Aveiro, 2008. Citado na página 52.
- CHAVA, C. K. A frequency compensation scheme for ldo voltage regulators. Texas, EUA, 2004. Citado na página 83.
- CHIN, K. chiang. Design of flexible rfid tag and rectifier circuit using low cost screen printing process. Taiwan, China, 2007. Citado 2 vezes nas páginas 17 e 41.
- DAGAN, H. A low-power low-cost 24 ghz rfid tag with a c-flash based embedded memory. University Of The Negev, 2014. Citado na página 84.
- DISNEYWORLD. Magicbands and admission cards | walt disney world resort. 2015. Disponível em: <<https://disneyworld.disney.go.com/plan/my-disney-experience/bands-cards/>>. Citado na página 27.
- DOBKIN, D. The rf in rfid. Amsterdam , Netherland, 2008. Citado 2 vezes nas páginas 34 e 38.
- EPCGLOBAL. *EPC Radio-Frequency Identity Protocols Class-1 Generation-2 UHF RFID Protocol for Communications at 860 MHz – 960 MHz Version 1.0.9*. [S.l.], 2005. Citado na página 89.
- FILHO, M. C. P. Modelagem em verilog-ams de uma tag passiva de rfid e projeto elétrico do demodulador ask. Universidade de Brasília, 2014. Citado 2 vezes nas páginas 25 e 28.
- HADIL, D. A. Study on analog front end of passive uhf rfid transponder. Kuala Lumpur, Singapore, 2015. Citado 7 vezes nas páginas 13, 17, 33, 36, 37, 39 e 54.
- HEIDRICH, J. Design of a low-power voltage regulator for rfid applications. University Of Erlangen, 2010. Citado 2 vezes nas páginas 14 e 86.

- INTELLIGENTM.COM. See what im is all about. 2014. Disponível em: <[http://www.intelligentm.com/See\\_what\\_iM\\_is\\_all\\_about.htm](http://www.intelligentm.com/See_what_iM_is_all_about.htm)>. Citado na página 26.
- JINPENG, S. Design and implementation of an ultra-low power passive uhf rfid tag. Peking University Shenzhen Graduate School, 2012. Citado 3 vezes nas páginas 14, 84 e 85.
- KUNDERTH, K. S. The designer's guide to verilog-ams. Boston, United States, 2004. Citado 6 vezes nas páginas 13, 43, 44, 45, 47 e 48.
- LEHPAMER, H. *RFID Design Principles*. [S.l.], 2012. 134-201 p. Citado 3 vezes nas páginas 13, 35 e 36.
- LI, H. Development and implementation of rfid technology. 2009. Citado 2 vezes nas páginas 13 e 49.
- LY, J. Tracking your vehicles with rfid - rental software - auto rental news. 2010. Disponível em: <<http://www.autorentalnews.com/channel/rental-software/article/story/2010/05/tracking-your-vehicles-with-rfid.aspx>>. Citado na página 26.
- MICROCHIP. *microID 13.56 MHz RFID System Design Guide*. [S.l.], 2004. Citado 2 vezes nas páginas 14 e 90.
- MICROTECH. *Circuito Impresso*. [S.l.], 2013. Disponível em: <<http://www.microtech.ind.br/publicacao-543-circuitoimpresso.fire>>. Citado 2 vezes nas páginas 13 e 59.
- MIRROR.CO.UK. How the bin bug works. 2006. Disponível em: <<http://www.mirror.co.uk/news/uk-news/how-the-bin-bug-works-639599>>. Citado na página 27.
- PUHLMANN, H. Introdução à tecnologia de identificação rfid. 2015. Disponível em: <<http://www.embarcados.com.br/introducao-a-tecnologia-de-identificacao-rfid/>>. Citado 6 vezes nas páginas 13, 33, 34, 38, 40 e 41.
- RAZAVI, B. Design of analog cmos integrated circuits. Los Angeles, EUA, 2001. Citado 2 vezes nas páginas 13 e 51.
- RINCON-MORA, G. Optimized frequency-shaping circuit topologies for ldos. 1998. Citado na página 85.
- SHEN, J. et al. Design and implementation of an ultra-low power passive uhf rfid tag. 2012. Citado na página 83.
- TSAI, C. *THE RF CIRCUIT DESIGN OF POWER AND DATA CONTACTLESS TRANSMISSION FOR ISO/IEC 14443-2 TYPE B*. [S.l.], 2011. Citado 3 vezes nas páginas 14, 40 e 92.
- YUAN, T. Passive rfid-tag designed using discrete components. National University Of Singapore, 2005. Citado na página 85.



# Apêndices



# APÊNDICE A – Esquemáticos dos circuitos do bloco retificador

A Fig. (75) mostra o esquemático do *charge-pump*.

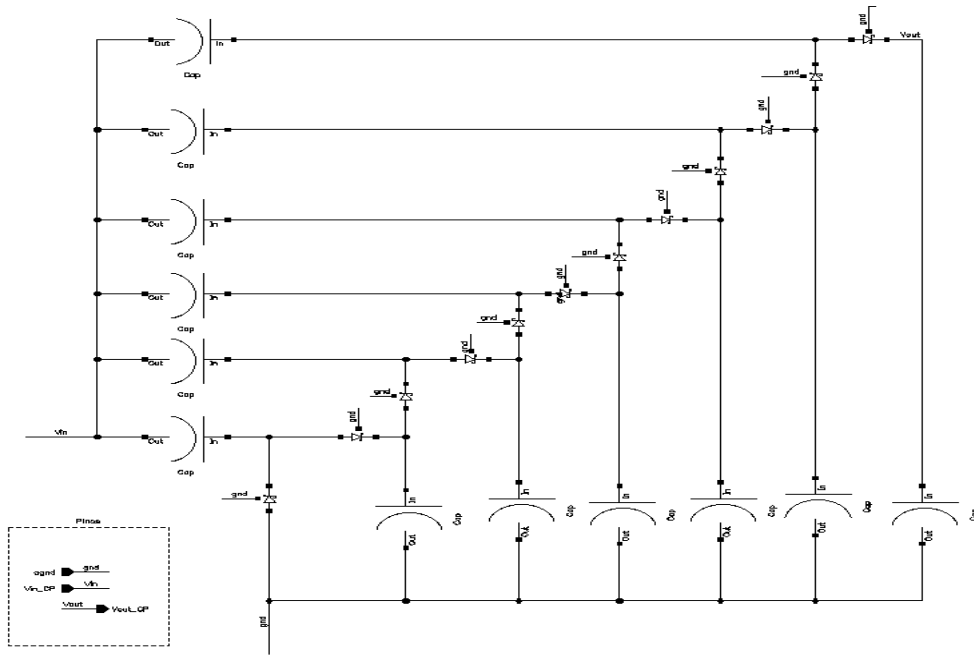


Figura 75: Esquemático do *charge-pump*

A Fig. (76) mostra o esquemático do LDO.

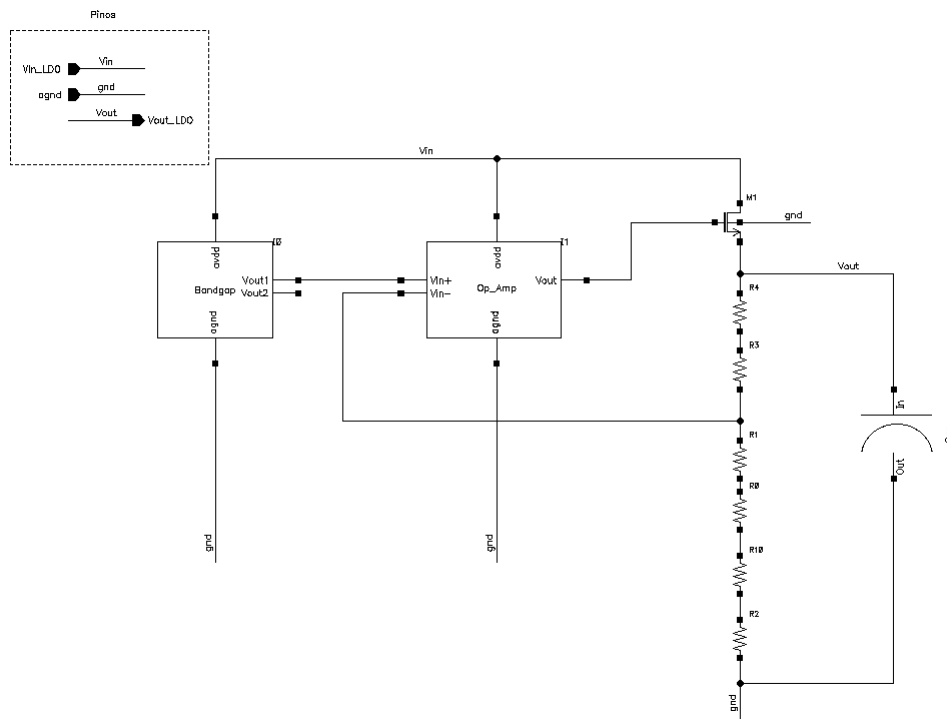


Figura 76: Esquemático do LDO

# APÊNDICE B – Esquemáticos dos circuitos do bloco modulador

A Fig. (77) mostra o esquemático do símbolo Modulador.

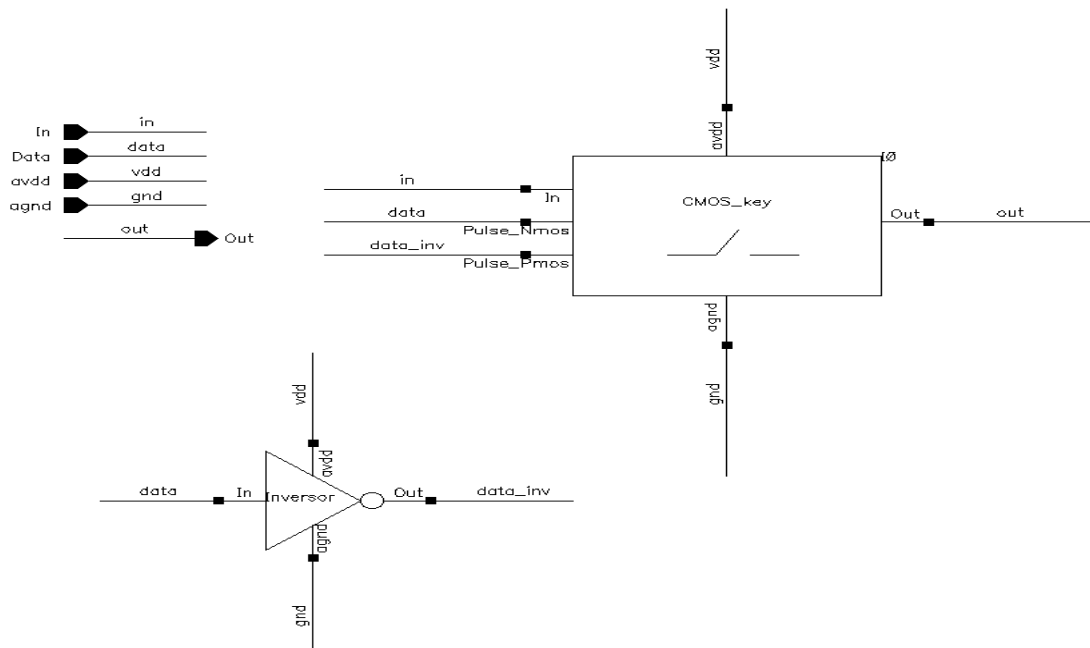


Figura 77: Esquemático do símbolo Modulador

A Fig. (78) mostra o esquemático do símbolo CMOS\_Key.

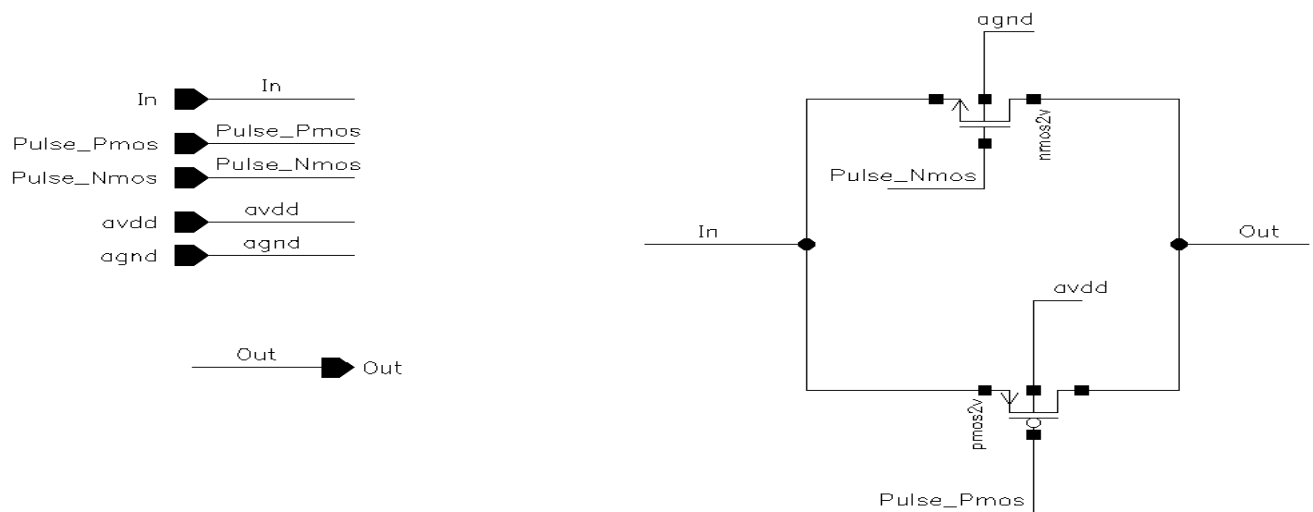


Figura 78: Esquemático do símbolo CMOS\_key



# APÊNDICE C – Esquemáticos dos circuitos do bloco oscilador

As Figs. (80) e (79) mostram a topologia e o respectivo símbolo da porta lógica inversora utilizada para o oscilador em anel.

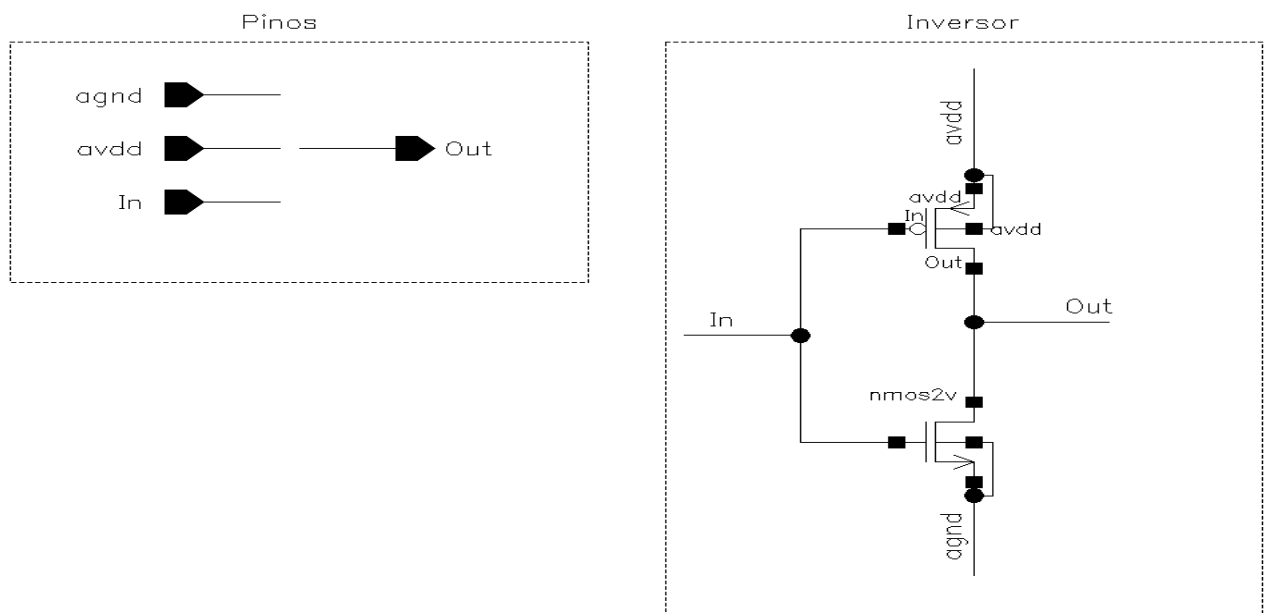


Figura 79: Esquemático da porta lógica inversora

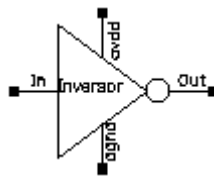


Figura 80: Símbolo da porta lógica inversora

As Figs. (82) e (81) mostram a topologia e o respectivo símbolo da porta lógica AND utilizada para o oscilador em anel.

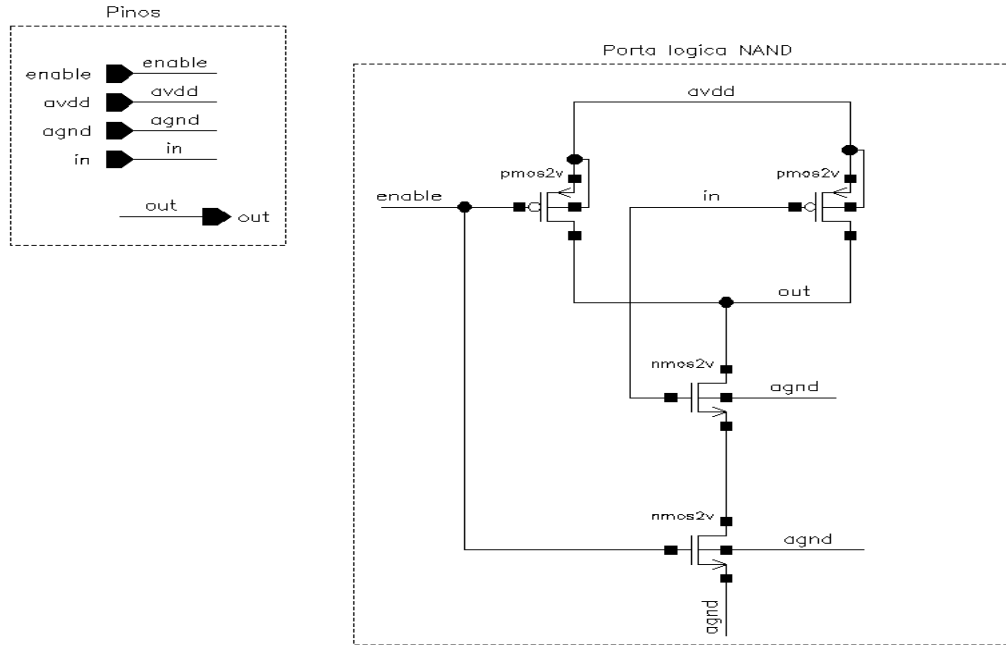


Figura 81: Esquemático da porta lógica AND

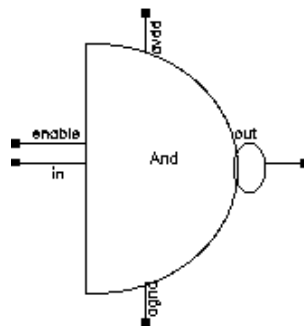


Figura 82: Símbolo da porta lógica AND



# Anexos



## ANEXO A – *Layout* do circuito de referência *bandgap*

A Fig. (83) apresenta o *layout* do circuito de referência *bandgap* projetado para a fabricação.

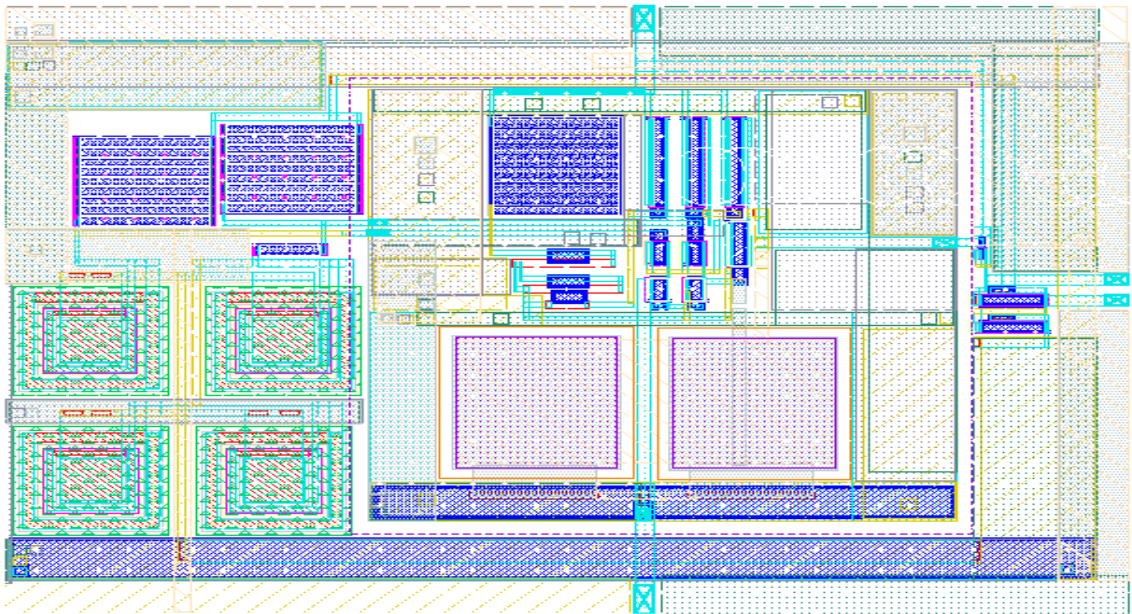


Figura 83: *Layout* do *bandgap*



## ANEXO B – *Layout* do demodulador ASK

A Fig. (84) apresenta o *layout* do demodulador ASK projetado para a fabricação.

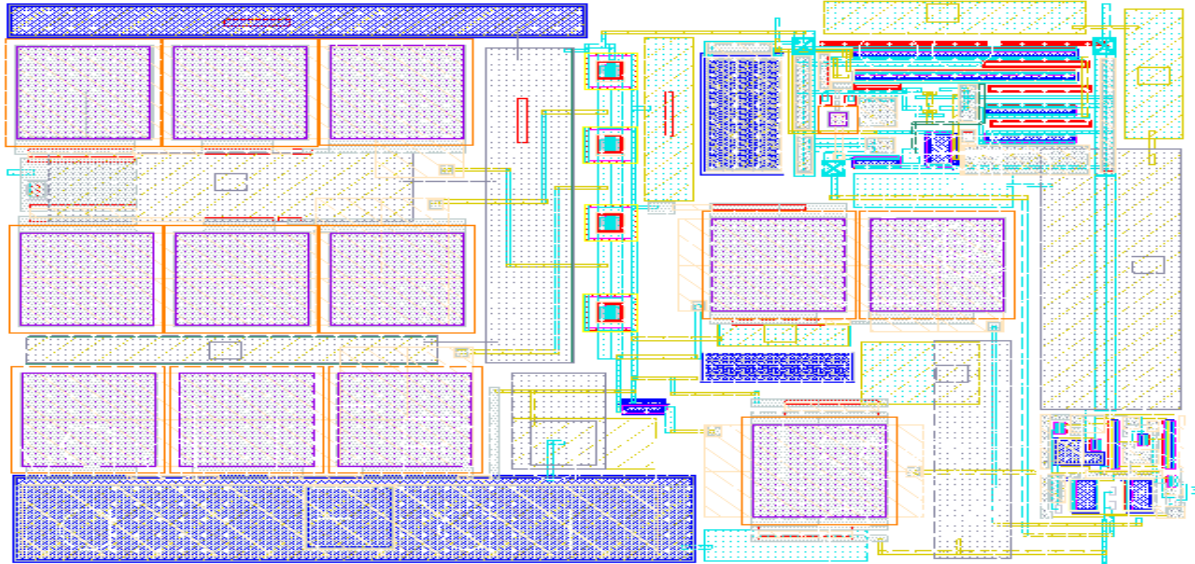


Figura 84: *Layout* do demodulador ASK



## ANEXO C – *Layout* do topo do *chip* fabricado

A Fig. (85) apresenta o *layout* do topo do *chip* fabricado.

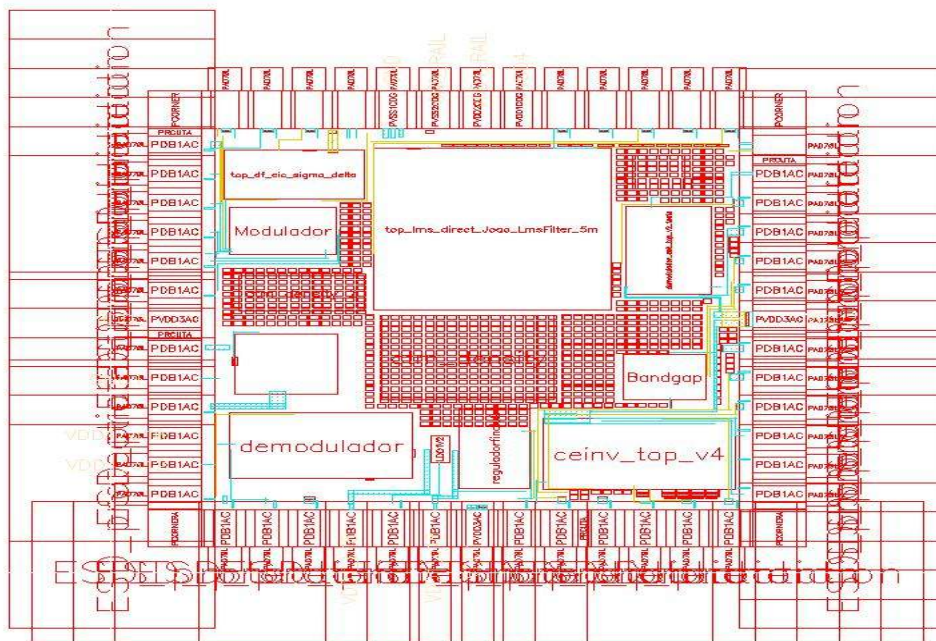


Figura 85: *Layout* do topo do *chip* fabricado