



**Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Curso de Engenharia Eletrônica**

**Projeto, Implementação e Caracterização de um
Transceptor para Rede de Sensores Sem Fio em 2.4
GHz**

**Autor: José Robert Garcez Gomes
Orientador: Prof. Dr. Wellington Avelino do Amaral**

**Brasília, DF
2015**



José Robert Garcez Gomes

Caracterização de um Transceptor para Rede de Sensores Sem Fio em 2.4 GHz

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Orientador: Prof. Dr. Wellington Avelino do Amaral

**Brasília, DF
2015**

CIP – Catalogação Internacional da Publicação*

Garcez Gomes, José Robert.

Caracterização de um Transceptor para Rede de Sensores Sem Fio em 2.4 GHz / José Robert Garcez Gomes. Brasília: UnB, 2015. 103 p. : il. ; 29,5 cm.

Monografia (Graduação) – Universidade de Brasília
Faculdade do Gama, Brasília, 2015. Orientação: Wellington
Avelino do Amaral.

1. Caracterização. 2. Rede de Sensores. 3. Transceptor I.
Avelino do Amaral, Wellington. II. Caracterização de um
Transceptor para Rede de Sensores Sem Fio em 2.4 GHz.

CDU Classificação



Caracterização de um Transceptor para Rede de Sensores Sem Fio em 2.4 GHz

José Robert Garcez Gomes

Monografia submetida como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica da Faculdade UnB Gama - FGA, da Universidade de Brasília, em 10 / 12 / 2015 apresentada e aprovada pela banca examinadora abaixo assinada:

Prof. Dr: Wellington Avelino do Amaral

Orientador

Prof. Dr: Cristiano Jacques Miosso

Rodrigues Mendes

Membro Convidado

Prof. Dr: Leonardo Aguayo

Membro Convidado

Brasília, DF
2015

“O homem que nunca erra nada faz”.
Bernard Shaw

Resumo

O avanço das comunicações sem fio tem impulsionado a expansão da indústria de comunicações móveis a RF (Rádio Frequência). Isso permite que surjam novas maneiras de se analisar um ambiente para coletar dados sobre o mesmo de forma confiável e que atendam as necessidades do usuário. As redes de sensores sem fio encontram hoje uma ampla gama de aplicação, como por exemplo, no controle de consumo de potência em residências, para aplicação em *smart grid*, e no monitoramento de condições climáticas em plantações. O presente trabalho visa propor e implementar um ambiente para a caracterização de um circuito integrado que será utilizado em redes de sensores sem fio. Este ambiente será formado por placas de circuito impresso projetadas para operar em GHz e circuitos analógicos para o processamento do sinal em banda base. Será apresentada uma simulação mista contendo o bloco LNA (*Low Noise Amplifier* - Amplificador de Baixo Ruído) e sua respectiva PCI (Placa de Circuito Impresso) com o intuito de validar a metodologia de projeto. A cadeia de banda base é composta por um filtro passa baixa e por um Amplificador de Ganho Programável. Ambos foram projetados, utilizando componentes discretos, e testados nos Laboratórios da FGA (Universidade de Brasília - Faculdade Gama). O resultado da simulação mista comprovou o casamento de impedância das trilhas de 50Ω , no entanto, uma PCI deve ser refeita. Quanto a cadeia de banda base, levando em consideração as limitações dos *chips* utilizados os resultados laboratoriais obtidos foram satisfatórios. Este projeto está sendo desenvolvido em parceria com o Centro de Tecnologia da Informação Renato Archer.

Palavras-chave: Caracterização. Redes de sensores sem fio. Transceptor, CMOS.

Abstract

The advancement of wireless communications has driven the expansion of the mobile communications industry to RF (Radio Frequency). This allows arise new ways to analyze an environment to collect data on the same reliably and that meet user needs. Wireless sensor networks have today a wide range of application, such as power consumption control in households for smart grid application and monitoring the climatic conditions in crops. This study aims at proposing and implementing an environment for characterizing an integrated circuit that is used in wireless sensor networks. This environment will be composed of printed circuit boards designed to operate at GHz and analog circuits for signal processing in the baseband. A mixed simulation will be presented containing the LNA block (Low Noise Amplifier) and their respective PCI (Printed Circuit Board) in order to validate the design. The baseband chain is comprised of a low pass filter and a programmable gain amplifier. Both were designed using discrete components, and tested in the laboratories in the FGA (University of Brasilia – Faculty Gama). The result of the mixed simulation proved with a characteristic - impedance of 50Ω paths, however, a PCI must be redone. The baseband chain, taking into account the limitations of the chips used in the laboratory the results obtained were satisfactory. This project is being developed in partnership with the Information Technology Center Renato Archer.

Keywords: Characterization, Wireless Sensor Networks, Transceiver, CMOS.

Lista de Ilustrações

FIGURA 1. EXEMPLO DE UMA REDE DE SENSORES SEM FIO (PROJETO IGUASSU) [13].	18
FIGURA 2. DIAGRAMA DE BLOCO DO TRANSCEPTOR DO CI IGUASSU [13].	21
FIGURA 3. DIAGRAMA DE BLOCO SIMPLIFICADO DE UM TRANSCEPTOR HOMÓDINO [10].	22
FIGURA 4. FATOR DE RUÍDO DE UM CIRCUITO EM CASCATA.	23
FIGURA 5. EXEMPLO DE UM MULTIPLICADOR DE SINAL [2] CENTRADO EM ω_I .	24
FIGURA 6. <i>UPCONVERTER</i> EM QUADRATURA [3].	25
FIGURA 7. <i>MIXER UPCONVERSION/DOWNCONVERSION</i> DE UM TRANSCEPTOR DE RF [3].	26
FIGURA 8. PLL BÁSICO [7].	28
FIGURA 9. DIAGRAMA DE BLOCOS DO SINTETIZADOR DE FREQUÊNCIA [13].	28
FIGURA 10. <i>LAYOUT</i> COM A PINAGEM DO RX_LNA.	31
FIGURA 11. <i>LAYOUT</i> COM A PINAGEM DO RX_RFFE.	33
FIGURA 12. <i>LAYOUT</i> COM A PINAGEM DO VCO.	35
FIGURA 13. TOPOLOGIA MICROSTRIP [11].	39
FIGURA 14. CIRCUITO <i>TESTBENCH</i> PARA SIMULAR OS PARÂMETROS S NO ADS.	42
FIGURA 15. SÍMBOLO CRIADO NO ADS PARA O LNA DO CIRCUITO MOSTRADO NA FIGURA 14.	42
FIGURA 16. COMPONENTE CRIADO DA PCI DO LNA PARA SIMULAR OS PARÂMETROS S.	43
FIGURA 17. SIMULAÇÃO DOS PARÂMETROS S DA PCI PROJETADA PARA O LNA.	43
FIGURA 18. DIAGRAMA DE BLOCO DO ESTÁGIO BANDA BASE DO TRANSCEPTOR.	45
FIGURA 19. TOPOLOGIA DE FILTRO PASSA BAIXA DIFERENCIAL [12].	45
FIGURA 20. SIMULAÇÃO DO FILTRO PASSA BAIXA NO ADS.	47
FIGURA 21. FILTRO PASSA BAIXO COM OS DADOS COLETADOS NO LABORATÓRIO.	48
FIGURA 22. <i>LAYOUT</i> PARA TESTE DO LNA.	59
FIGURA 23. <i>LAYOUT</i> DA PCB DO LNA.	60
FIGURA 24. <i>LAYOUT</i> DA PCB DO RX_RFFE.	61
FIGURA 25. <i>LAYOUT</i> DA PCB DO VCO.	61
FIGURA 26. <i>LAYOUT</i> DA PCB RXBB.	62
FIGURA 27. - CIRCUITO DA PCB MOSTRADA NA FIGURA 26.	62
FIGURA 28. MONTAGEM DA CADEIA DE BANDA BASE PARA TESTE NO LABORATÓRIO.	63
FIGURA 29. CONFIGURAÇÃO DOS PINOS DO PGA207UA.	64
FIGURA 30. - CONFIGURAÇÃO DOS PINOS DO AMPLIFICADOR AD8132.	65
FIGURA 31. - <i>BALUN</i> PARA ENTRADA DIFERENCIAL NO FILTRO	66

Lista de Tabelas

TABELA 1. - ESPECIFICAÇÕES DO LNA (CARACTERÍSTICAS ELÉTRICAS).....	30
TABELA 2. - DESCRIÇÃO DOS PINOS DO LNA.....	32
TABELA 3. - ESPECIFICAÇÕES DO MIXER (CARACTERÍSTICAS ELÉTRICAS).....	32
TABELA 4. - ESPECIFICAÇÕES DO RECEPTOR DE RÁDIO FREQUÊNCIA <i>FRONT-END</i>	33
TABELA 5. - DESCRIÇÃO DOS PINOS DO RX_RFFE.....	34
TABELA 6. - DESCRIÇÃO DOS PINOS DO VCO.....	36
TABELA 7. - ESPECIFICAÇÕES DO FILTRO IGUASSU (CARACTERÍSTICAS ELÉTRICAS).	37
TABELA 8. - PARÂMETROS DE CÁLCULOS DA TRILHA DE 50Ω.....	40
TABELA 9. - COMPARATIVO ENTRE OS PARÂMETROS S DE PROJETO E OS OBTIDOS NA SIMULAÇÃO.....	44
TABELA 10. - VALORES DAS RESISTÊNCIAS E CAPACITÂNCIAS PARA O FILTRO PASSA BAIXA.	46
TABELA 11. - VALORES LABORATORIAIS DA TENSÃO EM FUNÇÃO DA FREQUÊNCIA DO FILTRO.....	47
TABELA 12. - ENTRADAS DIGITAIS PARA CONTROLE DO GANHO NO PGA.	49
TABELA 13. - ESPECIFICAÇÕES DO PGA DO IGUASSU (CARACTERÍSTICAS ELÉTRICAS).....	49
TABELA 14. - ESPECIFICAÇÕES DO PGA IGUASSU (GANHO).....	49
TABELA 15. - GANHO DA CADEIA DE BANDA BASE.	51
TABELA 16. - DESCRIÇÃO DOS PINOS DO PGA USADO NOS TESTES.....	64
TABELA 17. - DESCRIÇÃO DOS PINOS DO CI AD8132.....	65

Lista de Siglas

ADS	<i>Advanced Design System</i>
BPSK	<i>Binary Phase Shift Keying</i>
CH	Canal ou <i>Channel</i>
CI	Circuito Integrado
DC	<i>Direct Current</i>
GHz	Giga Hertz
IEEE	<i>Institute of Electrical and Electronics Engineers</i>
IF	<i>Intermediary Frequency</i>
LNA	Amplificador de Baixo Ruído
LO	Oscilador Local
LPF	Filtro Passa-Baixa ou <i>Low Pass Filter</i>
<i>Mbps</i>	<i>Mega Bits</i> por segundo
mVpp	<i>milivolts</i> pico a pico
NAMITEC	Sistemas Micro e Nanoeletrônicos
PCB	<i>Printed Circuit Board</i>
PCI	Placa de Circuito Impresso
PD	Detector de Fase
PFD	Detector de Frequência e Fase
PGA	Amplificador de Ganho Programável
PLL	<i>Phase-Locked Loop</i>
QPSK	<i>Quadrature Phase Shift Keying</i>
RF	Rádio Frequência
RSSF	Rede de Sensores Sem Fio
RXBB	Receptor de Banda base
RX_RFFE	Receptor <i>Radio-Frequency Front-End</i>
SMA	<i>Sub Miniature version A</i>
VCO	Oscilador Controlado por Tensão

Sumário

1. Introdução	17
1.1 Objetivo	18
1.2 Motivação	19
2. Fundamentação Teórica do CI Iguassu	21
2.1 Revisão Bibliográfica do Projeto Iguassu	21
2.1.1 Conversão Direta	22
2.1.2 Amplificador de baixo ruído (LNA).....	23
2.1.3 Misturador (<i>MIXER</i>).....	24
2.1.4 Amplificador de Potência (PA)	27
2.1.5 Sintetizador de frequência	27
3. Descrição dos Blocos do Transceptor Iguassu	30
3.1 Bloco LNA	30
3.2 Bloco RX_RFFE	32
3.3 Bloco VCO	34
3.4 Bloco RXBB.....	36
4. Projeto das PCBs de Alta Frequência.....	39
4.1. Projeto para Casamento de 50Ω das trilhas do sinal de RF.....	39
4.1.1 Componentes externos.....	40
5. Resultados.....	42
5.1 Simulação Mista do LNA	42
5.2 Projeto da Cadeia de Banda Base do Transceptor	44
5.3 Projeto do Filtro Passa-Baixa	45
5.3.1 Simulação do Filtro Passa Baixa	46
5.3.2 Resultados Laboratoriais	47
5.4 PGA (<i>Programmable Gain Amplifier</i> ou Amplificador de Ganho Programável).....	48
5.5 Balun Ativo	50
5.6 Resultados Laboratoriais da Cadeia de Banda Base do Transceptor.....	50
6. Conclusões.....	53
Referências Bibliográficas.....	56
Anexos	58
Anexo I. Descrição e Dimensões das Placas	59
Anexo II. Layouts das PCBs projetadas no ADS e no substrato ROGERS	60
Anexo III. Montagem da cadeia de banda base no laboratório	63
Anexo IV. Descrição dos <i>chips</i> usados (PGA e filtro).....	64
Anexo V. Circuito para fornecer entrada diferencial no (Filtro + PGA).....	66

1. Introdução

O avanço das comunicações sem fio tem impulsionado a expansão da indústria de comunicações móveis a RF (Rádio Frequência) [1]. Isso permite que surjam novas maneiras de se analisar um ambiente para coletar dados sobre o mesmo de forma confiável e que atendam as necessidades do usuário. Neste contexto, podemos citar, por exemplo, os sistemas de comunicação *wireless* que oferecem um meio seguro de troca de informações sem fio. Como aplicação desse sistema é possível citar a utilização de rede de sensores sem fio, que podem ser utilizadas tanto no monitoramento de sistemas de irrigação, como em sistemas projetado para *smart grid*. Nesse tipo de sistema, sensores são posicionados por todo o ambiente de interesse, como o intuito de coletar informações de interesse e analisá-las em uma estação base. Um exemplo de aplicação é a utilização de sensores em plantações, coletando e armazenando informações acerca da umidade do solo. Tais dados podem ser analisados para que sejam acionados aspersores de irrigação somente nas áreas necessárias, visando assim uma melhor precisão do sistema de irrigação e obtendo uma expressiva economia de água.

O presente trabalho tem como objetivo propor e implementar um ambiente para a caracterização de um CI (circuito integrado) de um transceptor (transmissor/receptor) que será utilizando em redes de sensores sem fio. Este CI faz parte de um projeto nomeado como Projeto Iguassu e liderado pelo Centro de Tecnologia da Informação Renato Archer. Este transceptor irá operar na faixa de 2.4 GHz, padronizado pela IEEE 802.11b. Este CI foi desenvolvido dentro da rede de pesquisas NAMITEC, que reúne os esforços de vários institutos de pesquisa e universidades. Ao todo são 23 centros de pesquisa e universidades distribuídos por 13 estados. Um dos objetivos do programa é desenvolver nós sensores para aplicação em rede de sensores sem fio, contexto no qual este trabalho se enquadra.

A RSSF (Rede de Sensores Sem Fio) na qual o transceptor Iguassu será utilizado é composta por uma estação base, estações de campo e pontos de interconexões, conforme apresentado na Fig. (1).

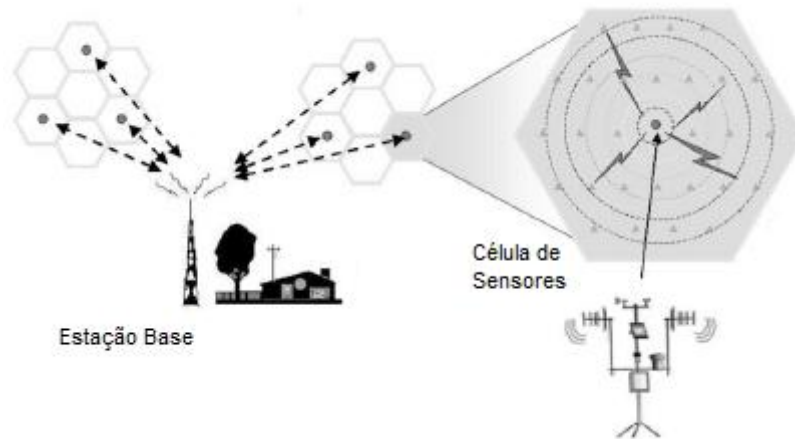


Figura 1. Exemplo de uma Rede de sensores sem fio (Projeto Iguassu) [13].

Os sensores de umidade posicionados no solo identificam as áreas com deficiência de água. Essas informações são enviadas para as estações de campo através de um enlace sem fio. As estações de campo, por sua vez, enviam os dados para a estação base através do enlace sem fio na faixa de 2.4GHz. Com as informações sobre o nível de umidade presente no solo, a estação base comanda o acionamento das válvulas solenoides, acionando assim, os aspersores em campo para irrigar o solo nas áreas detectadas com baixa umidade.

O transceptor que será caracterizado neste trabalho realizará a comunicação entre as estações de campo e as estações base.

1.1 Objetivo

O objetivo principal deste trabalho é o projeto de placas de circuito impresso pertencente ao estágio de recepção de rádio frequência do CI Iguassu para que sejam caracterizados neste trabalho. Para a caracterização de três blocos do estágio de recepção, as seguintes ações devem ser feitas:

- Confeccionar as placas, ou seja, projetar as trilhas de três placas de circuito impresso no ambiente de desenvolvimento ADS (*Advanced Design System*): bloco LNA, bloco *Front-End* de RF (Composto pelo LNA e o *Mixer*) e bloco VCO (Oscilador Controlado por Tensão).

- Projetar o Circuito de Banda Base do transceptor, composto por um filtro passa baixa e por um amplificador de ganho programável (PGA), e realizar os testes destes circuitos no Laboratório.
- Realizar a simulação mista no ADS do bloco Amplificador de baixo ruído (LNA) e de sua PCI.
- Comparar os dados obtidos na simulação do LNA com os parâmetros de projeto de seu modelo de alto nível, criados com a linguagem *verilog-AMS* no Centro de Tecnologia da Informação Renato Archer.

1.2 Motivação

As variadas condições climáticas de uma região para outra, principalmente naquelas de escassez de água, torna-se inevitável o desenvolvimento de novas tecnologias voltadas para diversos setores da agricultura. Em especial ao acompanhamento na irrigação do plantio por meio de monitoramento remoto do sistema de irrigação. Fazendo uso de sensores espalhados pelo campo, estes sistemas avaliam quais partes da plantação necessitam e quais não necessitam de irrigação [16]. Sistemas compostos por redes de sensores sem fio apresentam uma opção de aplicação no contexto citado acima e o CI Iguassu projetado para ser utilizado em rede de sensores sem fio motivou a formulação deste trabalho, projetando e caracterizando sua cadeia de recepção (LNA, VCO, RF_RFFE e cadeia de banda base). Pois os modelos de alto nível desse CI desenvolvido em linguagem *verilog-AMS* estão prontos faltando, portanto, sua implementação em *hardware*.

2. Fundamentação Teórica do CI Iguassu

2.1 Revisão Bibliográfica do Projeto Iguassu

Comunicação de RF é a forma mais popular de comunicações sem fio, devido à sua capacidade de fornecer serviços aos usuários durante a mobilidade. Todo sistema de comunicação de RF necessita de um transmissor e um receptor para a transmissão das informações. Nos circuitos transceptores diferentes tipos de arquiteturas podem ser utilizadas tanto no transmissor como no receptor. Neste capítulo serão descritos os principais blocos de um transceptor de RF, fazendo um comparativo, quando possível, com os principais blocos do CI Iguassu.

De forma simplificada o transceptor opera da seguinte forma [13]: no transmissor de RF, o sinal em quadratura passa por um filtro de RF, um *mixer* de *up-conversion* (translada o sinal para frequências mais altas) e por um amplificador de potência para enviar o sinal à antena. No receptor de RF, o sinal é recebido por um amplificador de baixo ruído (LNA) e enviado para um *Mixer* de *down-conversion* (translada o sinal para frequências mais baixas). O diagrama de bloco do transceptor do CI Iguassu é apresentado na Fig. (2). Como apresentado na figura, o processamento analógico é formado por filtros passa baixa e amplificadores de ganho programável (que operam da frequência de Banda Base).

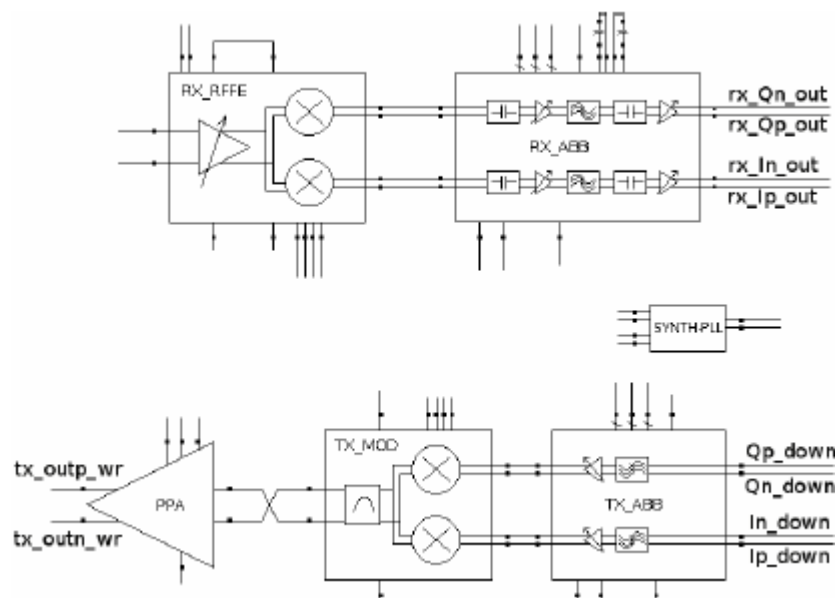


Figura 2. Diagrama de bloco do transceptor do CI Iguassu [13].

2.1.1 Conversão Direta

Em sistemas de comunicação, como no caso dos sistemas de RF, os circuitos transceptores de informação podem ser desenvolvidos em diferentes tipos de arquiteturas, seja tanto na recepção, assim como na transmissão. A escolha de qual arquitetura será usada dependerá das características do sistema que se deseja desenvolver [14].

Para o projeto Iguassu foi usada a arquitetura homódina [13], também chamada de conversão direta ou Arquitetura com Zero-FI (*Zero-Frequency Intermediary*). Nesta arquitetura o translado de informação que se encontra em alta frequência é feito diretamente a uma frequência em banda base, ou seja, sem a etapa de translação a uma frequência intermediária como é feito, por exemplo, na Arquitetura Heterodina.

Como o processo de modulação e demodulação é feito na frequência da banda base ou a Zero-IF, então não existem problemas com a frequência imagem [10], tornando o projeto mais simples, visto que não será necessário o desenvolvimento de filtro contra frequência imagem. A seleção do canal é feita por filtros passa baixas que podem ser desenvolvidos com circuitos ativos [3].

Observando a Fig. (3), nota-se que é necessário apenas um oscilador local, uma vez que não existe a necessidade de se obter uma frequência intermediária, entretanto, quando é usada a modulação em quadratura o oscilador Local (LO) deverá ter duas saídas também em quadratura.

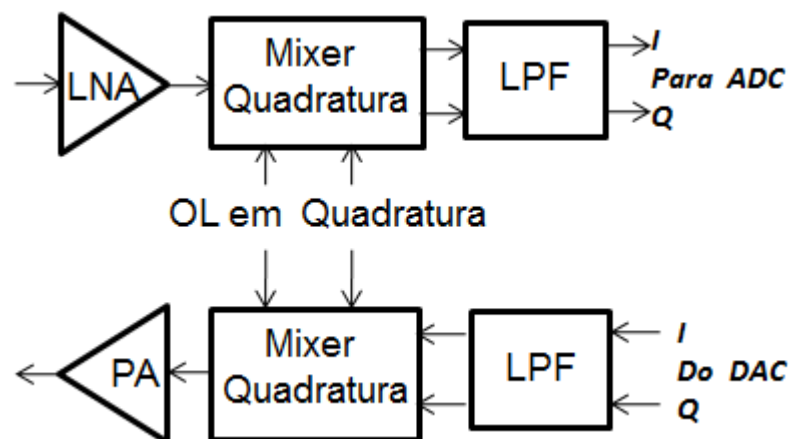


Figura 3. Diagrama de bloco simplificado de um transceptor Homódino [10].

É evidente que na conversão direta não existem só vantagens, devido essencialmente à simplificação da implementação e ao maior nível de integração que ela permite [8]. Surgem alguns problemas na conversão direta como as distorções de segunda ordem e os problemas de offset DC na saída do *mixer* de *downconversion*.

2.1.2 Amplificador de baixo ruído (LNA)

O amplificador de baixo ruído (LNA) é utilizado no receptor para amplificar sinais de potência muito baixa, pois se deseja ter na saída um grande sinal, porém, com o mínimo de ruído possível para não degradar o fator global de ruído. Na elaboração desse estágio são observados parâmetros importantes de projetos tais como: Ganho, Figura de Ruído e o Casamento da Impedância. A topologia empregada no projeto da LNA configura entre as mais importantes do circuito de RF, pois um bom projeto nesse estágio encandeará a minimização do ruído nos estágios seguintes.

Para um estágio em cascata, conforme ilustrado na Fig. (4), cujos ganhos (G) e fatores de ruído (F_N) individuais são conhecidos, o fator de ruído, denotado por F deve ser calculado.

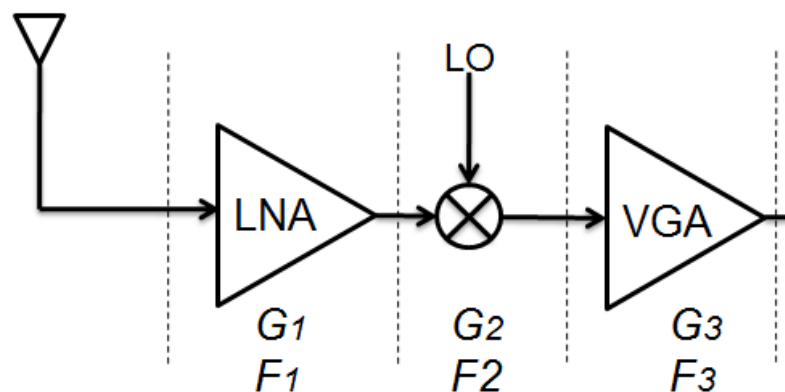


Figura 4. Fator de ruído de um circuito em cascata.

Este cálculo é muito importante, uma vez que o ruído gerado na interface de um receptor é amplificado pelas etapas seguintes (os quais podem exibir ganho elevado) e, por conseguinte, contribui mais para o ruído de saída [5].

Para calcularmos F , devemos fazer uso da Eq. (2.1), que é muitas vezes chamado de Fórmula de Friis.

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \frac{F_4 - 1}{G_1 G_2 G_3} + \dots + \frac{F_{N2} - 1}{G_1 G_2 \dots G_{N-1}} \quad (2.1)$$

O resultado da equação de Friis sugere que o ruído contribuído por cada estágio diminui à medida que o ganho total do estágio anterior aumenta, implicando que o primeiro estágio do circuito em cascata é o mais crítico.

2.1.3 Misturador (*MIXER*)

A Fig. (5) exemplifica a análise de um misturador ou conversor de frequência usado para alterar a frequência da portadora modulada $m(t)\cos\omega_c t$ de ω_c para frequência intermediária (ω_I). É possível observar a multiplicação do sinal $m(t)\cos\omega_c t$ por $m(t)\cos(\omega_c t \pm \omega_I)$. O filtro centrado em ω_I deixará passar o termo $m(t)\cos\omega_I t$ e suprimirá o outro termo, produzindo a saída $m(t)\cos\omega_I t$ dessa forma, a frequência portadora foi transladada de ω_c para ω_I .

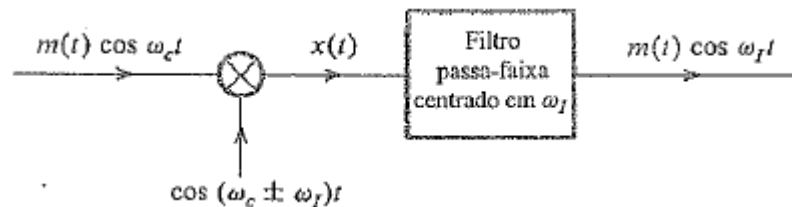


Figura 5. Exemplo de um multiplicador de sinal [2] centrado em ω_I .

Na transmissão selecionamos a frequência da portadora local como a soma dos sinais $m(t)\cos(\omega_c t + \omega_I)$. Essa operação é denominada conversão ascendente (*upconverter*) [2], mostrada na Eq.(2.2).

$$x(t) = m(t)[\cos(\omega_I t + \cos(\omega_c + \omega_I) t)] \quad (2.2)$$

No estágio de recepção, selecionamos a frequência da portadora local como a subtração dos sinais $\cos(\omega_c t - \omega_I)$. Essa operação é denominada conversão descendente (*downconverter*) [2], mostrada na Eq. (2.3).

$$x(t) = m(t)[\cos(\omega_I t + \cos(\omega_C - \omega_I) t)] \quad (2.3)$$

Usando o *Downconverter Mixer*, este sente o sinal de RF e a onda proveniente do oscilador local, resultando na saída uma mistura desses sinais denominada frequência intermediária (FI) ou um sinal de banda base [3]. Quando na transmissão, usando um *upconverter mixer*, é sentido na entrada o sinal banda base para que depois possa existir na saída o sinal de RF.

A topologia do *mixer* do CI Iguassu foi desenvolvida utilizando pares diferenciais CMOS em quadratura. A Fig. (6) mostra um exemplo de um *mixer* em quadratura [3]. A nomenclatura Qp_down/Qn_down mostrada na Fig. (2) representa a entrada em quadratura, enquanto a nomenclatura lp_down/ln_down representa a entrada em fase.

O termo quadratura significa que a portadora pode ter quatro fases em um dado instante separados de 90° . Uma modulação em quadratura usa duas funções básicas, uma seno e uma cosseno, enquanto que a modulação sem quadratura usa apenas uma. Por isso, a modulação em quadratura tem maior eficiência na largura de banda do que a sem quadratura, significando, por exemplo, que uma modulação QPSK mantida a mesma taxa de transmissão requer menos largura de banda para transmitir do que uma modulação BPSK.

Dos vários padrões do sistema de comunicação sem fio, a faixa de frequência deste projeto está inclusa no padrão IEEE 802.11b, o qual permite uma conexão de alta velocidade utilizando Modulação de Fase em Quadratura (QPSK), provendo uma taxa de transmissão de até 11 Mb/s.

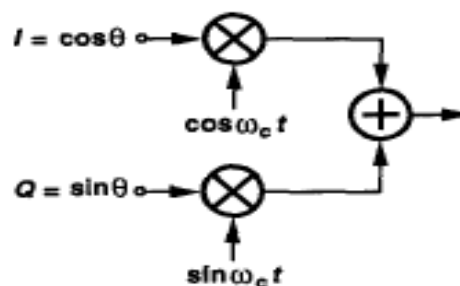


Figura 6. *Upconverter* em quadratura [3].

Onde,

$$I(t) = \cos \theta(t)$$

(fase 2.4)

$$Q(t) = \sin \theta(t)$$

(quadratura 2.5)

Assim como para o projeto do estágio LNA, o estágio *mixer* também tem seus parâmetros a serem seguidos, não somente para um bom desempenho, mas também pelo fato que esses dois estágios devam ser casados tornando-se uma entidade em cascata. Parâmetros como: ruído, ganho e linearidade devem ser observados. Para um bom projeto, o ganho do *mixer* deve ser definido com cuidado, para evitar a compressão do sinal de RF.

O *mixer* usado nesse sistema opera com as duas formas de onda do oscilador local e as entradas de RF de forma equilibrada. Essa estrutura habilita a construção a baixo custo de transceptores integrados, o qual tem como requisito crítico nesse sistema, uma alta isolamento do *mixer* capaz de fornecer um alto nível de desempenho, explorando a topologia simétrica para remover os sinais de saída indesejados de RF e do oscilador local da frequência intermediária por cancelamento [4]. Como o desempenho dos componentes adjacentes dentro de um circuito integrado é susceptível de ser bem adaptado, o circuito será bem equilibrado e a supressão dos componentes de sinal indesejados será alta [4]. A Fig. (7) mostra o ambiente de um transceptor usando o *mixer* (*downconversion*) na recepção e (*upconversion*) na transmissão.

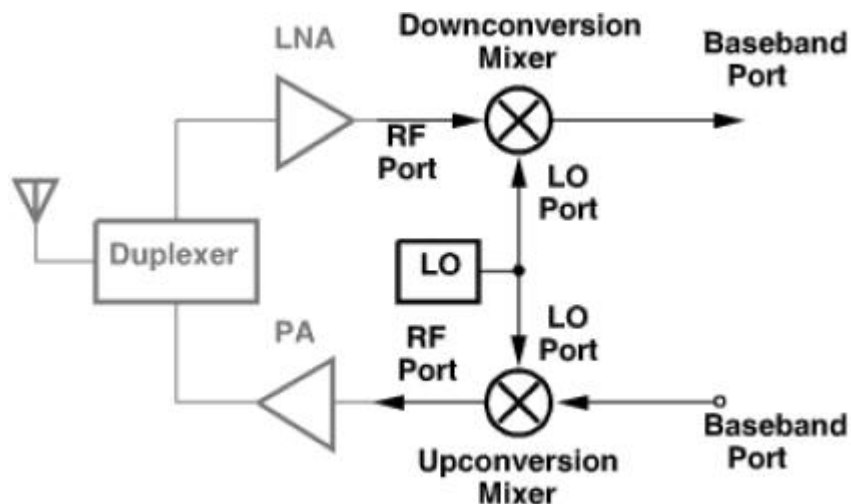


Figura 7. *Mixer Upconversion/Downconversion* de um transceptor de RF [3].

2.1.4 Amplificador de Potência (PA)

A etapa do amplificador de potência é o bloco de maior consumo do projeto de sistemas de RF, o que torna difícil e ao mesmo tempo desafiador a construção desse estágio. Dificuldade essa em sua grande parte, devido a grande quantidade de corrente que flui na saída do dispositivo [3]. Outro ponto que surge na construção deste estágio é o efeito parasítico que possa ocorrer causando perda de potência na saída, pois este estágio é cuidadosamente projetado para amplificar e entregar a potência requerida à antena.

Sendo esta etapa a que mais consome energia, sua eficiência torna se crítica e pode ser definida pela relação mostrada na Eq. (2.6) [3]:

$$\eta = \frac{P_L}{P_{supp}} \quad (2.6)$$

Onde P_L denota a potência média entregue a carga e P_{supp} a potência média fornecida pela fonte de alimentação.

2.1.5 Sintetizador de frequência

Para a demodulação do sinal foi utilizado um sintetizador de frequência com estabilização por comparação de fase (*Phase-Locked Loop* - PLL). Por ser um sistema de controle de laço fechado, isto é, um circuito realimentado, este pode monitorar as variações de fase e frequência do sinal recebido [1]. Circuitos PLL operam comparando a fase de um sinal de referência externo com a fase de um sinal de *clock* produzido por um Oscilador Controlado por Tensão (VCO), ajustando a fase do oscilador para coincidir com a fase do sinal de referência [2]. Assim, o sinal de referência original e o novo sinal estão precisamente em fase um com outro.

Um PLL básico (Fig. 8) consta de um detector de fase (PD), um filtro passa-baixos (LPF) e um Oscilador Controlado por Tensão (VCO).

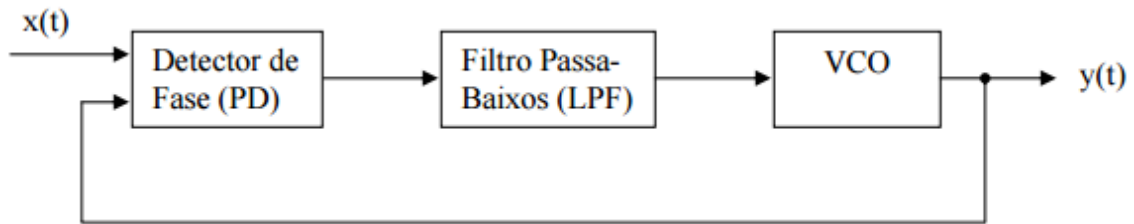


Figura 8. PLL básico [7].

A Fig. (9) mostra o diagrama de blocos do sintetizador usado no projeto. Este consiste de um Detector de Frequência e Fase (PFD - *Phase Frequency Detector*), um Filtro passa baixas (*Loop Filter*), um Oscilador Controlado por Tensão (VCO), um divisor (IQ) e um divisor programável incorporado no caminho da realimentação. Este divisor é formado por um *dual modulus Prescaler*, um *swallow Counter S* e um Contador principal P (*Counter*).

Quando a frequência de entrada do divisor é muito alta, para permitir sua correta operação, o *Prescaler* será usado dividindo o sinal de entrada por uma razão fixa [7].

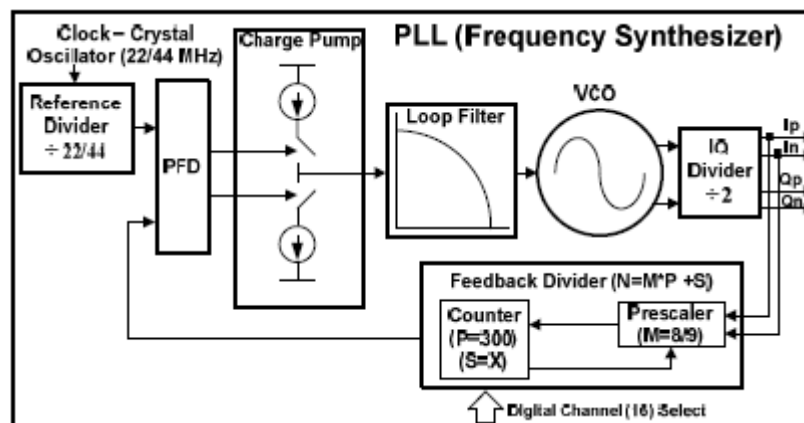


Figura 9. Diagrama de blocos do sintetizador de frequência [13].

3. Descrição dos Blocos do Transceptor Iguassu

Neste capítulo serão detalhados os blocos do CI Iguassu que serão abordados neste trabalho: bloco RX_LNA, bloco RX_RFFE, bloco VCO e Cadeia de Banda Base.

3.1 Bloco LNA

O amplificador de baixo ruído (LNA) como primeiro bloco do transceptor, deve apresentar uma alta amplificação, gerando o mínimo de ruído possível. A Tabela 1 apresenta os resultados da simulação do LNA, onde foram usados dois diferentes valores de ganho, controlado por um sinal digital (HG). Estes são os parâmetros de projeto (obtidos em simulação) que deverão ser caracterizados em laboratório.

Tabela 1. - Especificações do LNA (Características elétricas).

Parâmetro	Mínimo	Típica	Máximo	Condição
Alimentação [V]	1.68	1.8	1.98	
Temperatura [°C]	-40	27	125	
Alto Ganho [dB]	22.44	24	25.64	
Baixo Ganho [dB]	2.29	2.5	2.94	
Figura Ruído [dB]	0.92	1.45	2.1	Alto Ganho
IP1dB (@100Ω) [dBm]	-14.13 -4.4		-12.93 -4.1	Alto Ganho Baixo Ganho
Frequência [GHz]	2.4		2.5	
Z _{entrada} [Ω]		100		
Z _{saída} [Ω]			200	
S11 [dB]	<-10			
S22 [dB]	<-10			

Como o sinal não será sempre o mesmo, para que o LNA possa lidar com faixas dinâmicas extremas sem saturar os estágios subsequentes, dado que ora o sinal pode está forte, ora pode está fraco, o bloco possui um controle digital do ganho que é feito através do pino HG, sendo que quando estiver em 1.8V o LNA estará fornecendo um alto ganho.

Após o processo de fabricação pode existir uma diferença na frequência de operação do LNA, e para evitar a operação fora da banda de 2.4GHz existe um sistema de ajuste de sintonia que é feito através dos pinos ctrl0, ctrl1 e ctrl2.

A operacionalidade do LNA é determinada através do pino PD (*Power Down*), onde quando conectado em zero o LNA estará ligado e quando conectado em um o LNA estará desligado.

Além do plano de terra GND, o CI possui dois planos de alimentação (5V e 1.8V). A tensão de 1.8V é o plano de alimentação do LNA. Já a tensão de 5V é o plano de alimentação do sistema de proteção do CI. Neste sistema de proteção, cada pino possui uma proteção para evitar a queima causada por descargas eletrostáticas (ESD - *ElectroStatic Discharge*), isto é, a transferência dessas cargas (acumuladas no corpo humano) para os pinos do *chip*.

A Fig. (10) mostra o *layout* do RX_LNA e sua respectiva pinagem.

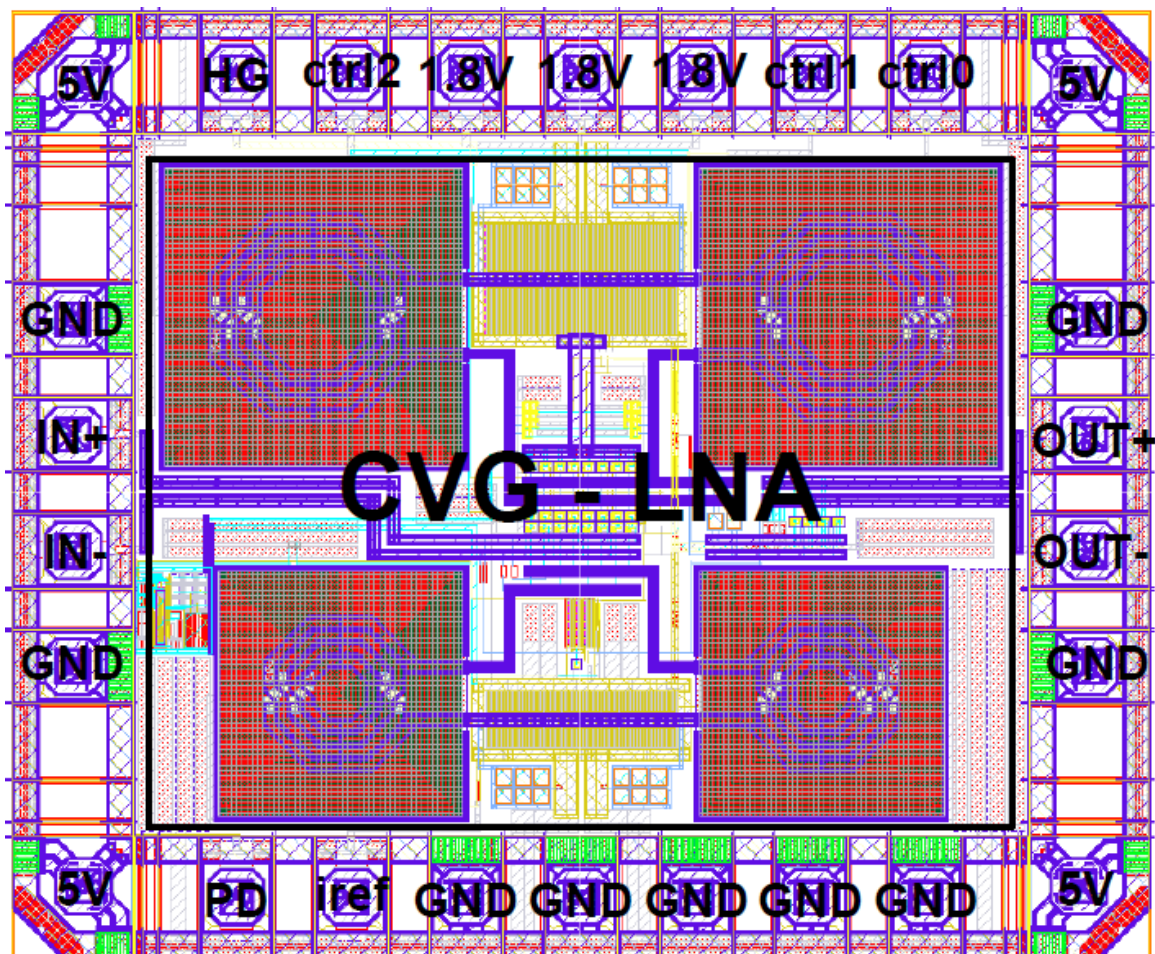


Figura 10. *Layout* com a pinagem do RX_LNA.

A Tabela 2 mostra a descrição de cada pino do LNA.

Tabela 2. - Descrição dos pinos do LNA.

Nome	Descrição
5V	Alimentação dos dispositivos de proteção
HG	<i>Gain Control</i> (Controle digital do ganho)
Ctrl0,ctrl1,ctrl2	Ajuste de sintonia o LNA
1.8V	Alimentação do LNA
GND	Terminal de terra do CI
OUT [±]	Saída diferencial do LNA
Iref	Verificação da polarização do LNA
PD	<i>Power Down</i>
IN [±]	Entrada diferencial do LNA

3.2 Bloco RX_RFFE

O circuito *mixer* do CI Iguassu é usado para converter o sinal RF do LNA para a frequência banda base, multiplicando com o sinal do oscilador local (LO) fornecido pelo sintetizador de frequência. Este bloco utiliza um *mixer down-converter* em quadratura, usando uma variação da Célula de Gilbert [13]. A Tabela 3 mostra os parâmetros do *mixer*.

Tabela 3. - Especificações do *mixer* (Características elétricas).

Parâmetro	Mínimo	Típico	Máximo	Descrição
Alimentação [V]	1.62	1.8	1.98	
I _{polarização} [µA]		20		
V _{cmRF} [V]		1.2		Tensão DC de modo comum na entrada RF
V _{cmLO} [V]		1.2		Tensão DC de modo comum na entrada Oscilador Local
V _{cm_{saída}} [V]		1.2		Tensão de modo comum na saída
Ganho [dB]	14.3	15.87	15.89	
V _{RF_{entrada}} [mVp]		200		Diferencial
V _{LO_{entrada}} [mVp]		500		Diferencial
Frequência FI [MHz]		1	5	
Frequência OL [GHz]	2.4	-	2.5	

O bloco RX_RFFE (*Front-End* de RF da recepção) é formado, por sua vez, pelo LNA e pelo *mixer down-convert* em quadratura. Os parâmetros deste bloco foram obtidos através dos parâmetros individuais do LNA e do *mixer*, os quais são mostrados na Tab. (4).

Tabela 4. - Especificações do Receptor de Rádio Frequência *Front-End*.

Parâmetro	Mínimo	Típico	Máximo
Alimentação [V]	1.62	1.8	1.98
Ganho [dB]	38.37	39.87	41.53
Figura Ruído [dB]			18.05
Frequência [GHz]	2.4		2.5

A Fig. (11) mostra o *layout* do RX_RFFE e sua respectiva pinagem.

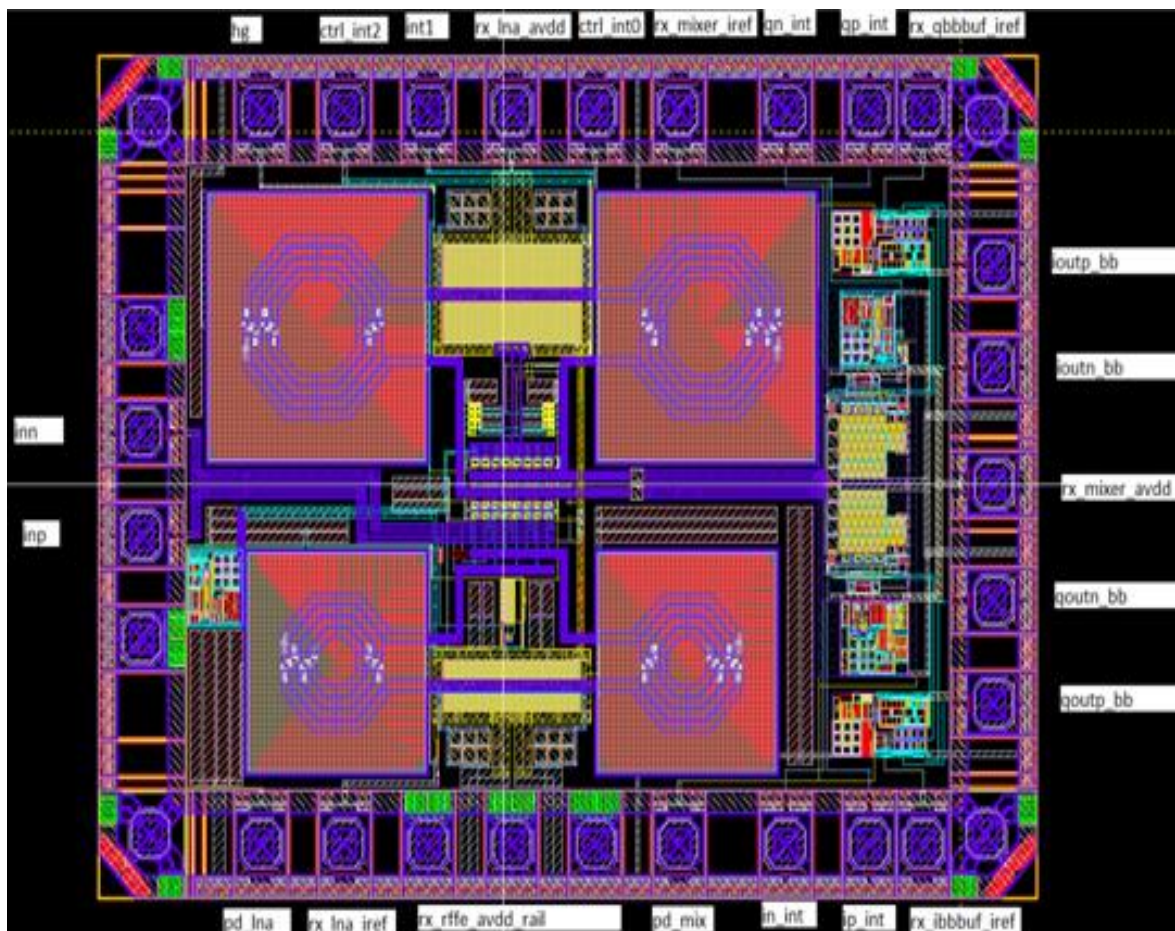


Figura 11. *Layout* com a pinagem do RX_RFFE.

A Tabela (5) mostra a descrição de cada pino do bloco RX_RFFE.

Tabela 5. - Descrição dos pinos do RX_RFFE.

Nome	Descrição
PD_LNA	<i>Power Down</i> do LNA
RX_LNA_IREF	Verificação da polarização do LNA
RX_RFFE_RAIL	Alimentação anel de PADs
PD_MIX	<i>Power Down</i> do <i>mixer</i>
IN_INT, IP_INT	Entrada diferencial em fase do CI
RX_IBBBUF_IREF	Corrente de referência do buffer
QOUTP_BB, QOUTN_BB	Saída diferencial de banda base em quadratura do <i>mixer</i>
RX_MIX_AVDD	Alimentação do <i>mixer</i>
IOUTN_BB, IOUTP_BB	Saída diferencial de banda base em fase do <i>mixer</i>
RX_QBBBUF_IREF	Corrente de referência do buffer
QP_INT, QN_INT	Entrada diferencial em quadratura do CI
RX_MIXER_IREF	Verificação da polarização do <i>mixer</i>
CTRL_INT0, CTRL_INT1, CTRL_INT2	Ajuste de sintonia no LNA
RX_LNA_AVDD	Alimentação do LNA
HG	<i>Gain Control</i> (Controle digital do ganho)
INN, INP	Entrada diferencial em fase no LNA
5V	Alimentação dos dispositivos de proteção
GND	Terminal de terra do CI

3.3 Bloco VCO

O VCO (*Voltage Controlled Oscillator* - Oscilador Controlado por Tensão) é parte integrante do projeto de circuito transceptor de RF em 2.4 GHz, sendo responsável por gerar a frequência de oscilação na faixa de RF para o PLL. Sua frequência depende da tensão de controle em sua entrada, que é ajustada no *loop* do PLL através da divisão em frequência e comparação com uma referência extremamente precisa, no caso um oscilador a cristal. Isso possibilita gerar uma

saída com frequência extremamente precisa para seleccionar o canal de comunicação no transceptor. O VCO opera em 5 GHz, ou seja, o dobro da frequência desejada para evitar o acoplamento entre o VCO com outros blocos do transceptor e, no PLL, passa ainda por um divisor em quadratura para gerar as saídas na faixa de 2.5GHz. A Fig. (12) mostra o *layout* do VCO e sua respectiva pinagem.

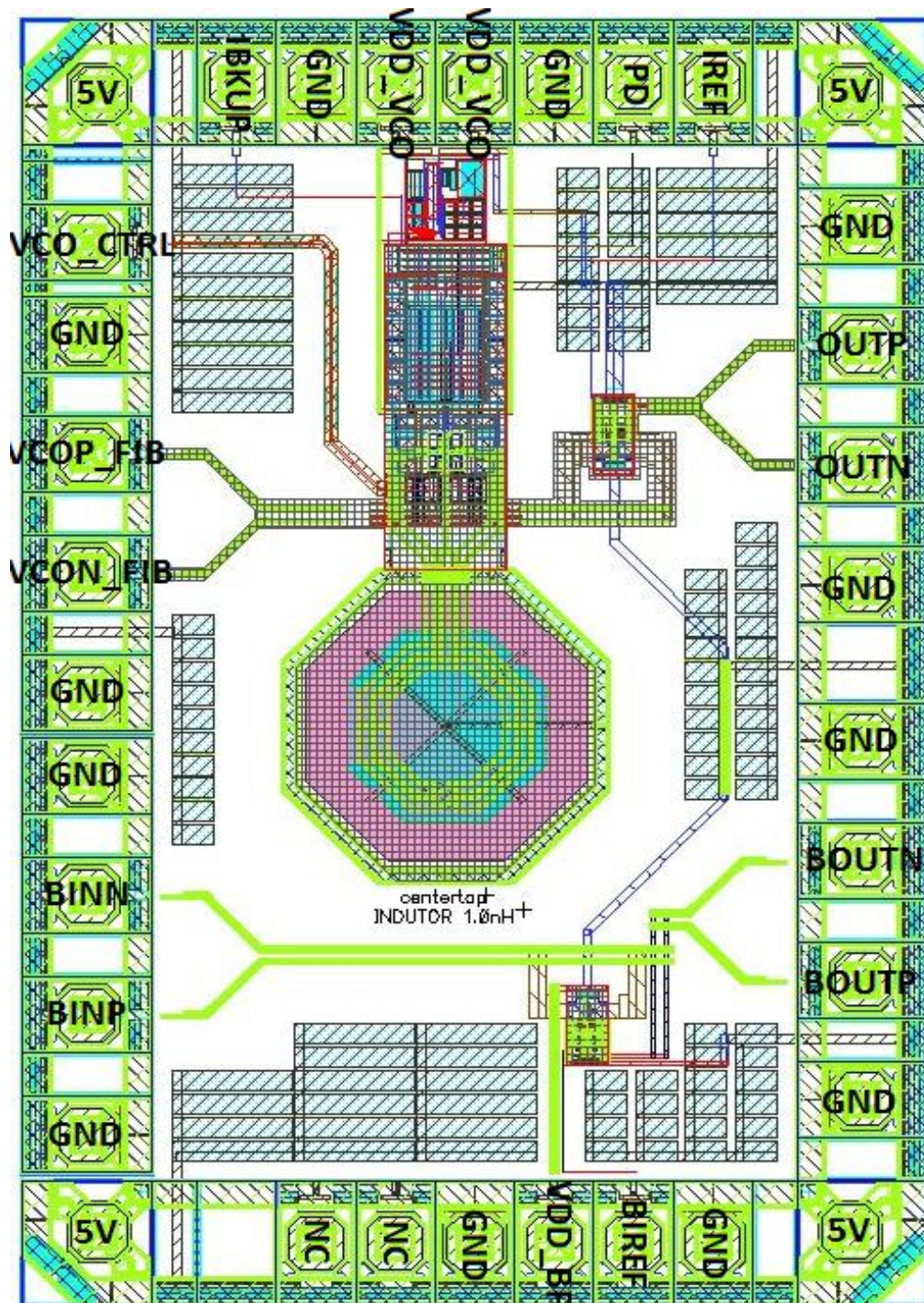


Figura 12. *Layout* com a pinagem do VCO.

A Tabela (6) mostra a descrição de cada pino do VCO.

Tabela 6. - Descrição dos Pinos do VCO.

Pino	Descrição
5V	Conexão de 5V para alimentação os PADs de proteção.
IBKUP	Corrente de backup para o VCO
GND	Conexão de terra comum para circuito e anel de PADs
VDD_VCO	Conexão de 1.8 V para alimentação do VCO
PD	Power Down (1.8 V para desativar o circuito)
IREF	Corrente de Buffer do VCO (200 μ A)
VCO_CTRL	Tensão DC de controle do VCO (0 a 1.8 V)
OUTP, OUTN	Saída de RF diferencial do VCO (após o <i>buffer</i>)
VCOP_FIB, VCON_FIB	Saída de RF diferencial do VCO (FIB feito no <i>buffer</i>)
BINN, BINP	Entrada de RF diferencial do <i>Buffer stand alone</i>
BOUTN, BOUTP	Saída de RF diferencial do <i>Buffer stand alone</i>
VDD_BF	Conexão de 1.8 V para alimentação do <i>Buffer stand alone</i>
BIREF	Corrente do <i>Buffer stand-alone</i> (200 μ A)
NC	Sem conexão

3.4 Bloco RXBB

Este bloco realiza o processamento do sinal de banda base, sendo composto por um filtro passa-baixa ativo e um amplificador de ganho programável. O filtro usado no projeto Iguassu é um filtro ativo de quinta ordem, usando a função de transferência *Chebyshev* e com frequência de corte ajustável através de um controle digital. A Tabela (7) mostra as especificações elétricas do filtro do projeto Iguassu. Neste trabalho foi realizado o projeto em PCI de uma versão mais simples deste bloco, composto por um filtro passa-baixa de segunda ordem e um amplificador de ganho programável (PGA).

Tabela 7 - Especificações do filtro Iguassu (características elétricas).

Parâmetro	Mínimo	Típico	Máximo	Condição
Alimentação [V]		1.8		-
Temperatura [°C]	-40	27	125	-
Frequência de Corte (F_C) [MHz]		10.0		Fp_bpf = 111
		9.0		Fp_bpf = 110
		8.5		Fp_bpf = 000
		8.0		Fp_bpf = 001
		7.5		Fp_bpf = 010
		7.0		Fp_bpf = 011
		6.5		Fp_bpf = 100
		6.0		Fp_bpf = 101
Ganho [dB]		6		-
Figura de Ruído [dB]		12		-
Vcmi [V]		0.9		-
Vcmo [V]		0.9		-
Vin (<i>single-ended</i>) [mVp]	3.2		178	
Vout (<i>single-ended</i>) [mVp]	6.3		355	
R _L (<i>single-ended</i>) [KΩ]		100		
C _L (<i>single-ended</i>) [pF]		20		

4. Projeto das PCBs de Alta Frequência

Nesta parte do trabalho, serão mostrados os critérios e parâmetros necessários para o projeto dos *layouts* das PCBs (Placas de Circuito Impresso) para caracterizações dos blocos de alta frequência. Foi utilizada uma metodologia que faz uso de simulações mistas (trilha de 50Ω modeladas com parâmetros S e modelos em alto nível para o LNA e *baluns*) no simulador ADS (*Advanced Design System*) para validar o casamento de impedância das trilhas de 50Ω.

4.1. Projeto para Casamento de 50Ω das trilhas do sinal de RF

Em PCBs (*Printed Circuit Boards*) de circuitos de alta frequência ou de alta velocidade, ângulos agudos ou ângulos de 90° devem ser evitados, pois esses ângulos contribuem para uma mudança na impedância característica, o que causa o descasamento do circuito. Onde esse descasamento de impedância resulta na reflexão do sinal [11].

A Equação (4.1) mostra como calcular a impedância característica aproximada para uma linha de transmissão *Microstrip* mostrado na Fig. (13).

Para $\frac{w}{h} \geq 1$.

$$Z_0 = \frac{120\pi}{\sqrt{e_{EFF}}} \left(\frac{w}{h} + 1,393 + 0,667 \ln \left(\frac{w}{h} + 1,444 \right) \right)^{-1} \quad (4.1)$$

$$e_{EFF} = \frac{e_r + 1}{2} + \frac{e_r - 1}{2} \left(\frac{1}{\sqrt{1 + 12h/w}} \right) \quad (4.2)$$

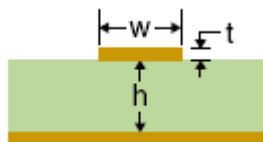


Figura 13. Topologia microstrip [11].

Onde:

e_r é a permissividade do substrato,

h é a espessura do substrato

w é a largura da trilha

e_{EFF} é a permissividade efetiva

A Tabela (8) mostra o valor da largura da trilha (w) calculado no Software ADS (*Advanced Design System*), jogando esse valor na Eq. (4.1) obteve-se $Z_0=51.48$.

Tabela 8. - Parâmetros de cálculos da trilha de 50Ω.

	Parâmetros da placa definidos			Parâmetros calculados		Z_0 (Ω)
	ϵ_r	h (mm)	t (μm)	e_{EFF}	w (mm)	
ADS	3.48	0.51	35	2.7	1.117	50
Eq. 1	3.48	0.51	-	2.8	1.117	51.48

4.1.1 Componentes externos

Circuitos de Rádio Frequência são tipicamente diferencial, no entanto, os sinais provenientes da antena são de terminal único (*single-ended*), por isso, são necessário componentes especiais para fazer a conversão desse sinal na linha de transmissão.

Um sinal *single-ended* é definido como um sinal que é medido em relação a um ponto fixo, em geral o terra, enquanto que um sinal diferencial é definido como um sinal medido entre dois pontos que apresentam sinais iguais, porém, opostos e variam em torno de um ponto fixo, ou seja, um modo comum [15].

Como componentes externos, na entrada do CI Iguassu existem um *balun*, um capacitor e um indutor na interface entre o conector SMA e a entrada do LNA. O *Balun* (junção das palavras em inglês *balanced* + *unbalanced*) é um importante componente encontrado em dispositivos sem fio. Ele é um componente passivo que casa a impedância para que não haja perda de sinal. Ele transforma a potência de uma porta balanceada para uma desbalanceada e vice versa.

5. Resultados

Neste capítulo serão mostrados os resultados obtidos da simulação mista do LNA, realizada utilizando a ferramenta de desenvolvimento ADS. Além disso, serão apresentados os resultados laboratoriais da cadeia de Banda Base projetada em PCI para a caracterização do transceptor.

5.1 Simulação Mista do LNA

Para modelar o funcionamento do LNA foi criado no *software* de desenvolvimento ADS um modelo de alto nível, contendo as especificações do bloco. Estas especificações foram enviadas pelo Centro de Tecnologia da Informação Renato Archer, sendo elas obtidas através da simulação elétrica do CI. O modelo do LNA foi criado utilizando os parâmetros S do circuito, conforme mostrado na Fig. (14).

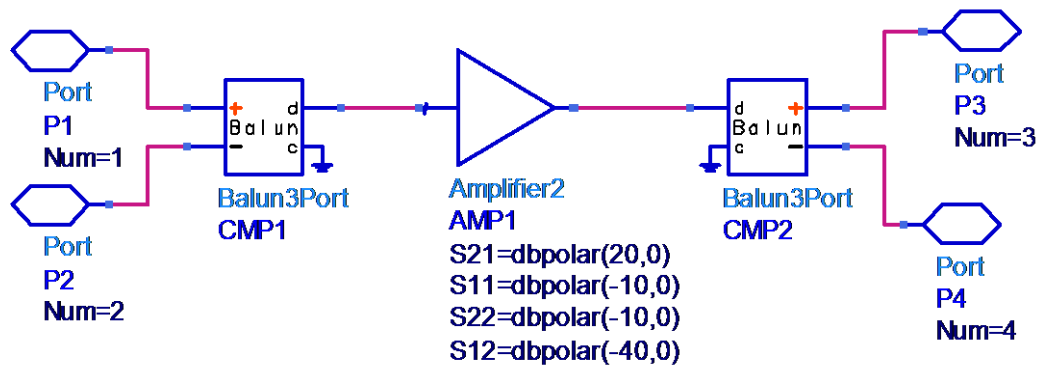


Figura 14. Circuito *Testbench* para simular os parâmetros S no ADS.

Com este circuito, criou-se o símbolo para o LNA mostrado na Fig. (15).

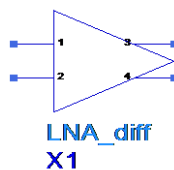


Figura 15. Símbolo criado no ADS para o LNA do circuito mostrado na Figura 14.

Na Fig. (16) é apresentada a simulação mista realizada, contendo o modelo da PCI e os modelos de alto nível do LNA e dos *baluns*. Esta simulação foi realizada com o intuito de comprovar que a placa foi projetada obedecendo ao casamento de impedância nas trilhas de RF de 50Ω . Os resultados obtidos da simulação são apresentados na Fig. (17).

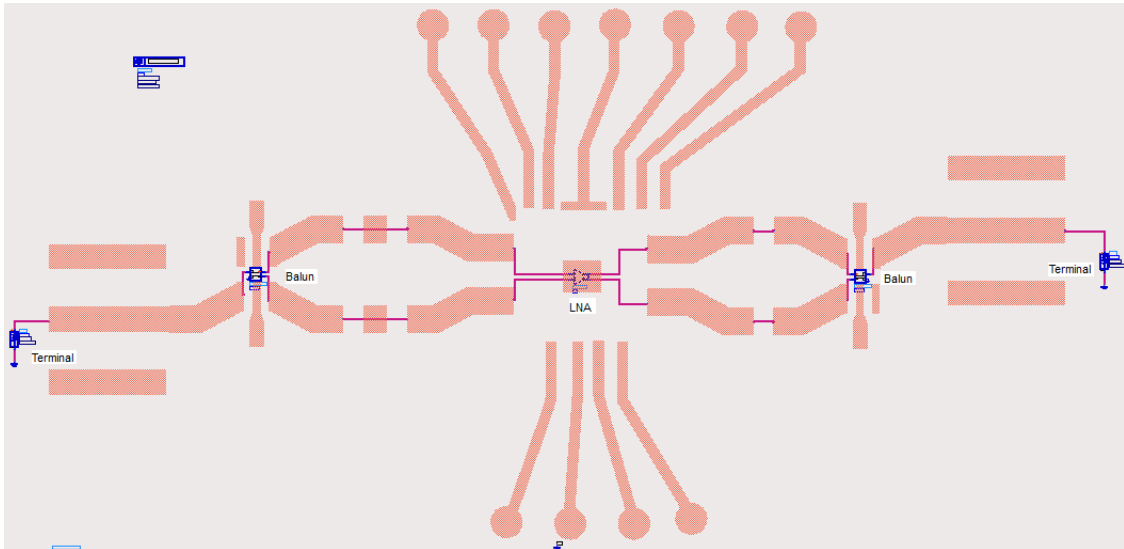


Figura 16. Componente criado da PCI do LNA para simular os parâmetros S.

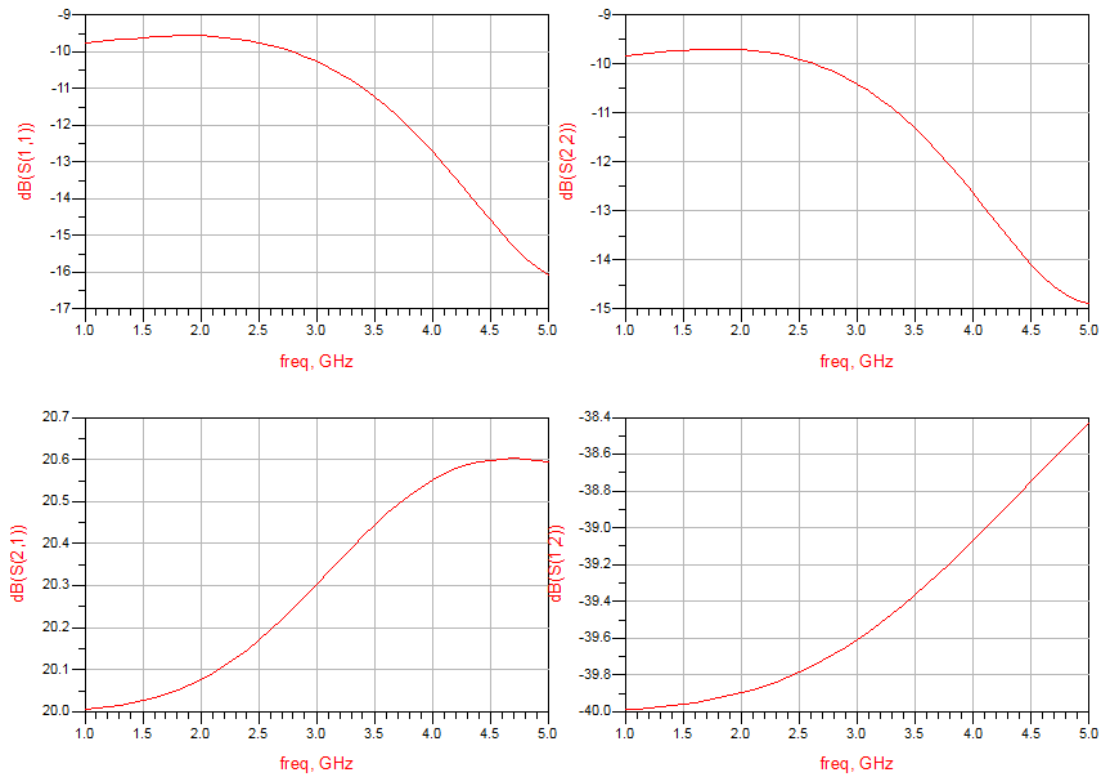


Figura 17. Simulação dos parâmetros S da PCI projetada para o LNA.

A Tabela (9) mostra o comparativo entre os dados de projeto criados em linguagem de alto nível em *Verilog* - AMS desenvolvidos no Centro de Tecnologia da Informação Renato Archer e os dados obtidos na simulação dos parâmetros S da PCI projetada do LNA para uma frequência de operação de 2.4 GHz.

Tabela 9. - Comparativo entre os parâmetros S de projeto e os obtidos na simulação.

Parâmetros de projeto		Parâmetros obtidos na simulação da PCI	
S21	20	S21	20,148
S11	-10	S11	-9,792
S22	-10	S22	-9,842
S12	-40	S12	-39,812

Onde:

S11 = reflexão do sinal entrada,

S12 = vazamento de retorno,

S21 = ganho,

S22 = reflexão do sinal na saída.

De acordo com os parâmetros S mostrados nos gráficos da Fig. (17) e os dados da Tab. (9), pode ser verificado que a PCI projetada gerou resultados satisfatórios em relação aos resultados criados em linguagem de alto nível *Verilog*-AMS do projeto do circuito do LNA, validando assim o projeto da placa e o casamento das trilhas de 50Ω , fato este que pode ser estendido para as demais placas projetadas (PCI do RX_RFFE e PCI do VCO).

5.2 Projeto da Cadeia de Banda Base do Transceptor

Com o intuito de criar um ambiente completo para a caracterização dos CIs de rádio frequência, foi projetada em PCI uma cadeia de banda base, composta por um filtro passa-baixa e um PGA, com especificações semelhantes às do sistema Iguassu. Também foi inserido neste circuito o bloco Balun Ativo. O objetivo deste circuito será transformar a saída *single-ended* do PGA em um sinal diferencial. O *chip* utilizado para o projeto do PGA possui duas entradas digitais, sendo assim

possível obter até 4 ganhos diferentes. A Fig. (18) mostra o diagrama de bloco da cadeia de banda base do transceptor.

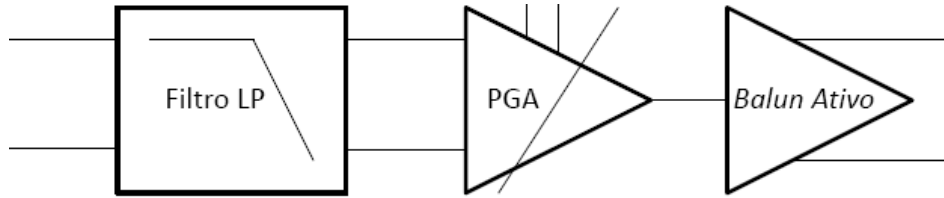


Figura 18. Diagrama de bloco do estágio banda base do transceptor.

5.3 Projeto do Filtro Passa-Baixa

Muitos filtros de polo duplo incorporam a realimentação negativa e positiva não tendo, portanto, aplicação diferencial. Outros empregam apenas realimentação negativa, mas usam a entrada inversora para entrada do sinal, não tendo também aplicação diferencial, limitando assim o número de opções para projeto do filtro com saída diferencial [12]. Porém há topologias disponíveis viáveis para filtros passa baixa diferenciais, sendo o filtro de realimentação múltipla uma delas. A Fig. (19) apresenta a topologia do filtro de realimentação múltipla usada neste projeto, onde o amplificador operacional usado foi o AD8132.

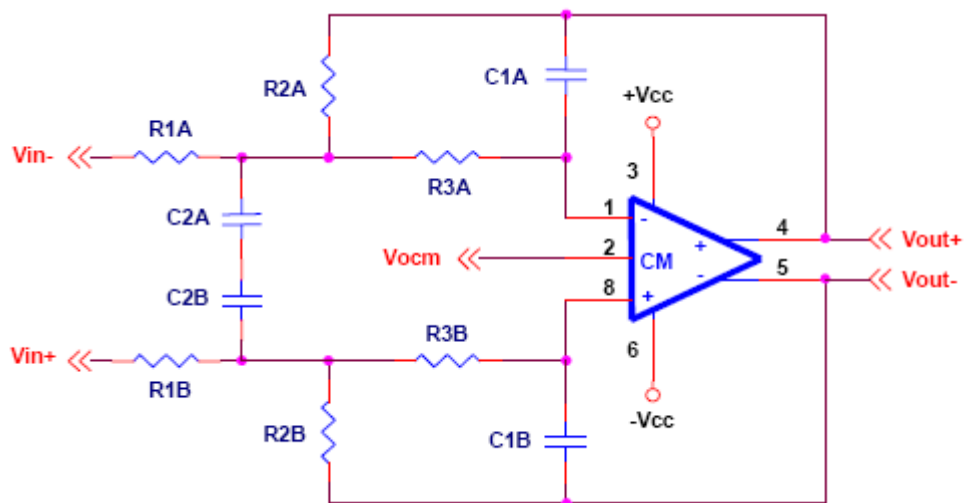


Figura 19. Topologia de filtro passa baixa diferencial [12].

Embora tenha uma banda de transição mais curta, para o projeto do filtro testado no laboratório foi usada uma configuração do tipo *Butterworth* de segunda ordem, pois tem uma resposta em frequência mais plana (*ripples* reduzidos) quando comparados a outros filtros de mesma ordem. A Equação (5.1) mostra como calcular os componentes da Fig. 19 para uma frequência de corte (f_c) [12].

$$f_c = \frac{1}{2\pi RC} \quad (5.1)$$

Para o circuito da Fig. (19) os valores dos componentes são calculados obedecendo as devidas proporções:

$$R_{1A}= R_{1B}=R_{2A}=R_{2B} = 0.65R; \quad R_{3A}=R_{3B}=0.375R; \quad C_{1A}=C_{1B}=C; \quad C_{2A}=C_{2B} = 4C$$

Foi arbitrado um valor para C de 100 pF e calculado R, devido à facilidade em se obter valores diversos de resistência com componentes comerciais, sendo que o mesmo não ocorre com capacitores. Com C = 100 pF obteve-se os valores da Tab. (10).

Tabela 10. - Valores das resistências e capacitâncias para o filtro passa baixa.

Valores Calculados				Valores Usados			
(Ω)		(pF)		(Ω)		(pF)	
R	265,25	C	100			C	100
R1	172,4	C1	100	R1	180	C1	100
R2	172,4	C2	400	R2	180	C2	400
R3	99,46			R3	100		

5.3.1 Simulação do Filtro Passa Baixa

A simulação do filtro foi feita no ADS com os valores calculados e com os valores comerciais usado no laboratório. As curvas obtidas são mostradas na Fig. 20, onde a curva fina representa o filtro com os valores calculados e a mais grossa com os valores comerciais usados no laboratório. Com essas curvas, é possível

notar que a frequência de corte se aproximou dos 6 MHz, que era a frequência de corte desejada.

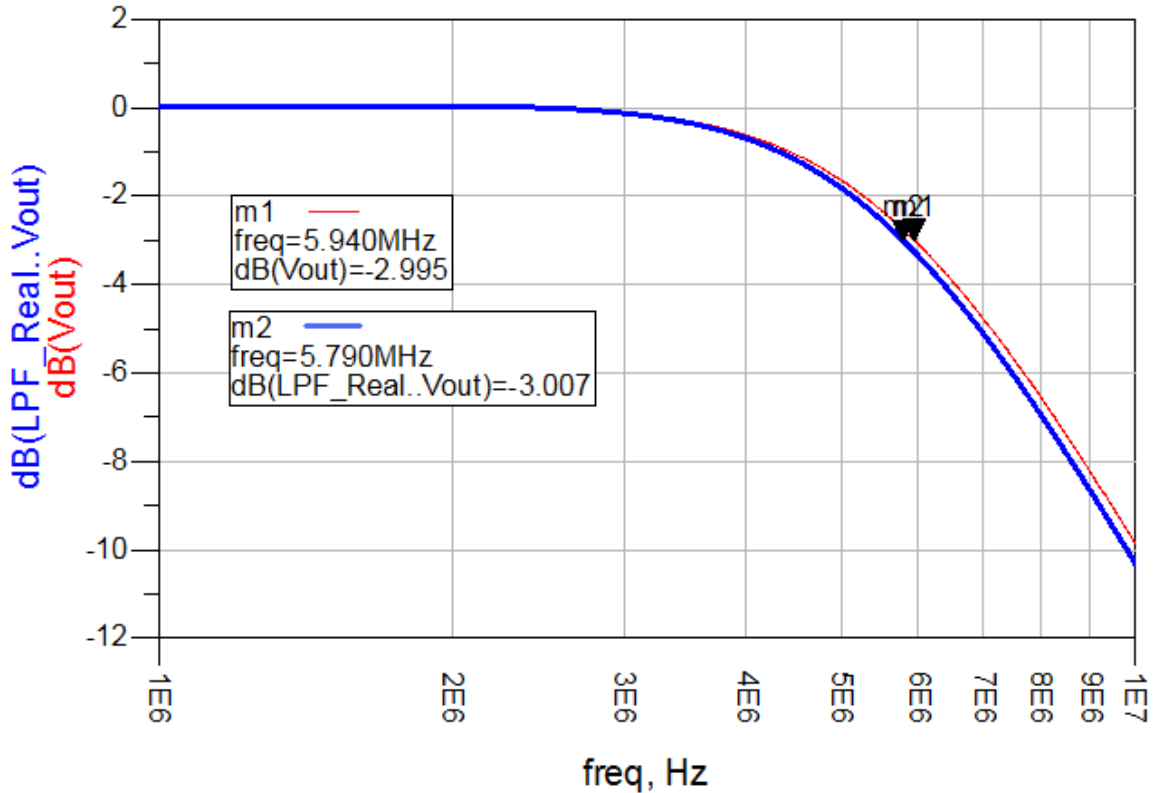


Figura 20. Simulação do filtro passa baixa no ADS.

5.3.2 Resultados Laboratoriais

Para gerar o sinal diferencial para a caracterização do filtro foi usado um transistor BC548, tirando uma saída do coletor e a outra do emissor. A Tabela 11 mostra os valores da tensão de saída em função da frequência para uma tensão de entrada de 50 mVpp.

Tabela 11. - Valores laboratoriais da tensão em função da frequência do filtro.

Saída (mVpp)	48.7	48.7	48.7	44	39.2	37	35.3	34.5	34	32.3	26.1	23	19	18
Freq. (MHz)	1.0	2.0	3.0	4.0	5.0	5.4	5.6	5.8	5.9	6.0	7.0	8.0	9.0	10

Dividindo-se a tensão de saída pela de entrada obtém-se dos valores da Tab. 11, sendo observada uma queda na amplitude da tensão de saída de

aproximadamente 70% em torno de 5.8 MHz, resultado este que valida o valor simulado de 5.79 MHz mostrado na curva da Fig. (20).

A Fig. (21) mostra o gráfico dos dados da Tab. 11 plotado no MATLAB.

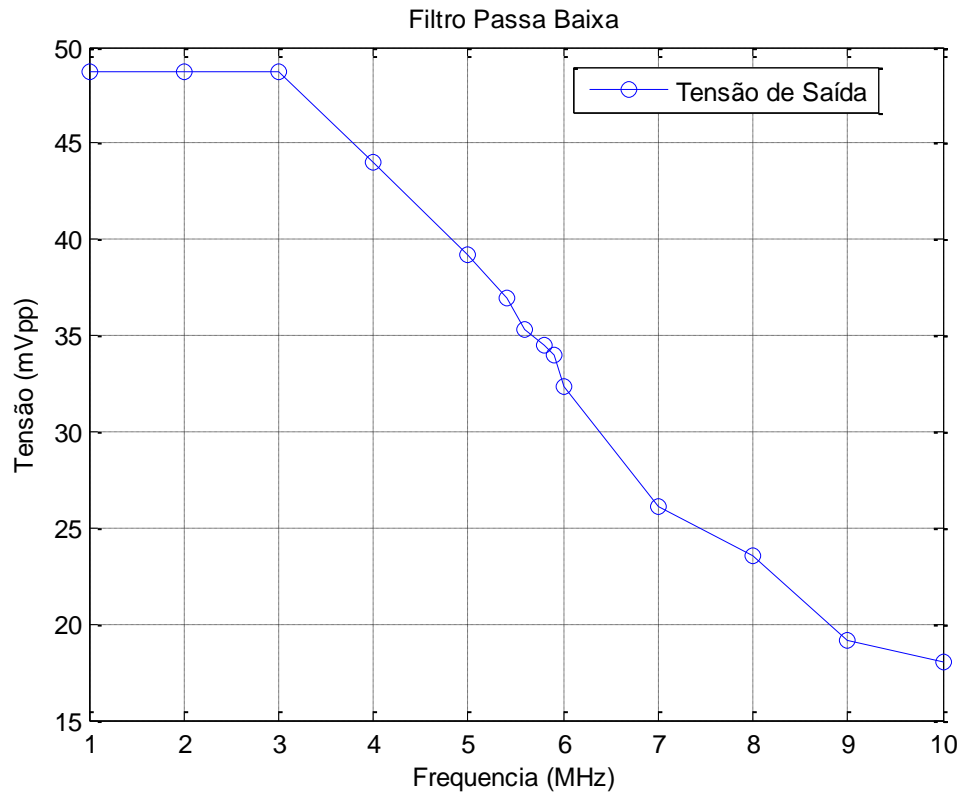


Figura 21. Filtro passa baixo com os dados coletados no laboratório.

5.4 PGA (*Programmable Gain Amplifier* ou Amplificador de Ganho Programável)

O PGA será utilizado para um sistema de controle automático de ganho da cadeia de banda base do transceptor de RF. Quem determinará o ganho será um processador aumentando ou diminuindo o ganho do PGA em função da intensidade do sinal.

Para exercer esta função foi utilizado o *chip* PGA 207UA. Este chip possui 4 ganhos, controlado por 2 *bits* digitais. A Tabela 12 mostra as especificações de ganho para cada combinação dos *bits* de controle, bem como sua frequência máxima de corte para cada ganho.

Tabela 12. - Entradas digitais para controle do ganho no PGA.

Entrada Digital		Ganho V/V PGA207	Resposta em Frequência (MHz)
A1	A0		
0	0	1	5
0	1	2	4
1	0	5	1.3
1	1	10	0.6

As Tabelas (13) e (14) mostram as especificações elétricas e de ganho de cada combinação do PGA do projeto Iguassu.

Tabela 13 - Especificações do PGA do Iguassu (Características elétricas)

Parâmetro	Mínimo	Típico	Máximo
Alimentação [V]		1.8	
Temperatura (°C)	-40	27	125
Figura de Ruído [dB]		12	
Vcmi [V]		0.9	
Vcmo [V]		0.9	
Fin [MHz]			5.5
Vin (<i>single-ended</i>) [mVp]	6.3		355
Vout (<i>single-ended</i>) [mVp]	50		126
R _L (<i>single-ended</i>) [KΩ]		100	
C _L (<i>single-ended</i>) [pF]		20	

Tabela 14. - Especificações do PGA Iguassu (Ganho)

Ganho	Potencia de ganho [dB]
0000	-15
0001	-12
0010	-9
0011	-6
0100	-3
0101	0
0110	3
0111	6
1000	9
1001	12
1010	15
1011	18
1100	18
1101	18
1110	18
1111	18

5.5 *Balun* Ativo

Para o projeto do *balun* da saída da cadeia de banda base, mostrado na Fig. 18 foi usado o *chip* AD8132. O objetivo deste circuito é transformar o sinal *single-ended* da saída do PGA em uma saída diferencial.

5.6 Resultados Laboratoriais da Cadeia de Banda Base do Transceptor.

Após a caracterização individual de cada estágio da cadeia de banda base do transceptor foram realizados testes do sistema completo, com o intuito de validar o seu funcionamento. Com um sinal de entrada de 50 mVpp a frequência foi variada gradualmente, com o objetivo de validar o funcionamento da cadeia de banda base completa. O sinal diferencial foi observado nos canais 1 (CH1) e 2 (CH2) do osciloscópio. A Tabela (15) mostra a saída em mVpp em função da frequência. Nota-se que a medida que a frequência se aproxima da frequência de corte o ganho diminui.

Devido às limitações da resposta em frequência do PGA, o receptor não poderá trabalhar com altas taxas de transferência de dados. Contudo, o protocolo já prevê operação com baixa taxa de transferência de dados, no caso, 1mbps. Sendo assim, com a cadeia de banda base projetado neste trabalho, será possível validar a operação do sistema nessa condição de baixa transferência de dados.

Tabela 15. - Ganho da cadeia de banda base.

	Ganho 1 (V/V)	Ganho 2 (V/V)	Ganho 5 (V/V)	Ganho 10 (V/V)
F_c (MHz)	CH1 - CH2	CHA1 - CH2	CH1 - CH2	CH1 - CH2
0.1	100 (1)	200 (2)	500 (5)	990 (9.9)
0.2	100 (1)	200 (2)	500 (5)	980 (9.8)
0.3	100 (1)	200 (2)	500 (5)	950 (9.5)
0.4	100 (1)	200 (2)	490 (4.9)	900 (9)
0.5	100 (1)	200 (2)	490 (4.9)	880 (8.8)
0.6	100 (1)	200 (2)	480 (4.8)	840 (8.4)
0.7	100 (1)	200 (2)	480 (4.8)	600 (6)
0.8	100 (1)	200 (2)	460 (4.6)	560 (5.6)
0.9	100 (1)	200 (2)	450 (4.5)	520 (5.2)
1.0	100 (1)	190 (1.9)	410 (4.1)	500 (5)
2.0	100 (1)	180 (1.8)	300 (3)	310 (3.1)
2.5	100 (1)	180 (1.8)	280(2.8)	270 (2.7)
3.0	100 (1)	180 (1.8)	260 (2.6)	230 (2.3)
3.5	100 (1)	170 (1.7)	220 (2.2)	180 (1.8)
4.0	90 (0.9)	160 (1.6)	200 (2)	160 (1.6)
4.5	80 (0.8)	150 (1.5)	180 (1.8)	120 (1.2)
5.0	60 (0.6)	100 (1)	160 (1.6)	110 (1.1)
5.5	60 (0.6)	80 (0.8)	140 (1.4)	80 (0.80)
6.0	50 (0.5)	80 (0.8)	120 (1.2)	70 (0.7)
7.0	40 (0.4)	70 (0.7)	100 (1)	60 (0.6)
8.0	40 (0.4)	50 (0.5)	100 (1)	60 (0.6)
9.0	40 (0.4)	40 (0.4)	100 (1)	60 (0.6)
10.0	40 (0.4)	40 (0.4)	100 (1)	50 (0.5)

6. Conclusões

Este trabalho descreveu os principais blocos do transceptor desenvolvido para o projeto Iguassu. Como mencionado, ele foi projetado com o objetivo de otimizar a utilização de água na agricultura, analisando a umidade do solo através de uma rede de sensores sem fio. Este transceptor realizará a comunicação entre as estações de campo e as estações base na frequência de 2.4 GHz.

Neste trabalho foram projetadas, utilizando o *software* ADS, três placas para a caracterização dos blocos LNA, RX_RFFE e VCO. Elas foram projetadas para operar em GHz, possuindo um casamento para uma impedância de 50Ω . Uma das placas foi validada através da realização de simulações mistas, com a finalidade de comprovar a eficácia da metodologia de projeto utilizada.

Foi projetado também, utilizando componentes e CIs comerciais, um circuito de banda base com especificações similares às do bloco RXBB do CI Iguassu. Este circuito é responsável pelo processamento do sinal de banda base do transceptor, sendo composto por um filtro passa-baixa ativo e um amplificador de ganho programável (PGA). Para este circuito foi projetado um filtro passa baixa com uma frequência de corte de 6 MHz, usando o *chip* AD8132. O bloco PGA foi projetado utilizando o *chip* 207UA. Este circuito foi desenvolvido com o intuito de validar os CIs de RF dentro de uma cadeia completa de recepção.

Os resultados laboratoriais obtidos da cadeia de banda base serviram para validar o seu funcionamento completa (filtro passa baixa +PGA + *balun* ativo). Entretanto, devido às limitações da resposta em frequência do PGA, o receptor não poderá trabalhar com altas taxas de transferência de dados. Contudo, o protocolo já prevê operação com baixa taxa de transferência de dados, no caso, 1mbps. Sendo assim, com a cadeia de banda base projetada neste trabalho, será possível validar a operação do sistema nessa condição de baixa transferência de dados.

Os resultados obtidos da simulação mista do LNA foram satisfatórios em relação aos resultados criados em linguagem de alto nível *verilog*-AMS, validando assim o projeto da placa e a impedância característica de 50Ω do sinal de RF, fato este que pode ser estendido para as outras duas placas (PCI VCO e PCI do

RX_RFFE), pois foram projetados seguindo a mesma metodologia de projeto. Sendo assim, as PCIs do VCO e do LNA podem ser usadas para testes futuros em *hardware*, no entanto, a PCI do RX_RFFE deve ser refeita, pois durante o processo de fresa algumas das trilhas ficaram faltando e outras foram curto circuitadas.

Este trabalho trouxe novos conhecimentos, principalmente a respeito da eletrônica voltada para os sistemas de rádio frequência e, sobretudo, no que diz respeito aos cuidados a serem tomados no projeto de PCIs para a caracterização de blocos de alta frequência.

Como proposta de trabalhos futuros, tem-se a realização dos testes das PCIs do LNA e do VCO com seus devidos componentes de especificações de projeto (capacitores, indutores e *baluns*) bem como refazer o processo de fresa da PCI do RX_RFFE para que juntamente com a cadeia de banda base possa ser testada toda a cadeia de recepção do CI Iguassu. Outra sugestão seria a confecção de uma nova PCI, no caso, o *Mixer*.

Referências Bibliográficas

- [1]. Theodore S. Rappaport, Comunicações sem fio. Princípios e Práticas, Prentice Hall, São Paulo, 2009.
- [2]. B.P. Lathi, Zhi Ding, Sistemas de Comunicações Analógicos e Digitais Modernos, LTC, Rio de Janeiro, 2012.
- [3]. Behzad Razavi, RF Microelectronics, Prentice Hall, Los Angeles, USA, 2011.
- [4]. Gilbert cell mixer / multiplier. Disponível em: <http://www.radio-electronics.com/info/rf-technology-design/mixers/gilbert-cell-mixer-multiplier.php>
- [5]. Gabriel Vasilescu, Electronic Noise and Interfering Signals. Principles and Applications, Springer, New York, 2005.
- [6]. Phase Locked Loop. Disponível em: http://en.wikipedia.org/wiki/Phase-locked_loop.
- [7]. Angel María Gómez Argüello. Estudo e Projeto de um Sintetizador de Frequência para RF em tecnologia CMOS de 0,35 μ m. Dissertação de Mestrado, São Paulo, 2005.
- [8]. ZHANG, Z.; CHEN, Z.; LAU, J. A 900MHz CMOS Balanced Harmonic Mixer for Direct Conversion Receivers. Proc. IEEE Radio and Wireless Conference 2000 (RAWCON2000), Denver, USA, p.219-222, Sept. 2000.
- [9]. LEHNE, M.; Stonick, J.; Moon, U. An Adaptive Offset Cancellation Mixer for Direct Conversion Receivers in 2.4GHz CMOS, IEEE International Symposium on Circuit and Systems, Geneva, Switzerland, v. I, p. 319-322, May. 2000.
- [10]. Kiat Seng Yeo, Manh Anh Do, Chirn Chye Boon. Design of CMOS RF Integrated Circuits and Systems, World Scientific, 2010.
- [11]. Kraig Mitzner. Complete PCB Design Using OrCAD Capture and PCB Editor. Newnes, USA, 2009.
- [12]. Bruce Carter. A Differential OP-Amp Circuit Collection. Texas Instruments, July, 2001.
- [13]. Wellington A. do Amaral.; Castro, F. ; Coelho, S.T. ; Goes, M.A. ; Hamanaka, C.O. ; Junior, I.C.S. ; Junior, J.L.E. ; Moraes, W.B. ; Pereira, M.D. ; Pinto, R.L.O. ; Ponchet, A.F. ; Sanchez, E.A.C. ; Silva, J.C. ; Spiller, L.H. ; Ximenes,

- A.R. ; Yamamoto, S.D. ; Lima, R.N. ; Sobral, V.A.L. A 2.4GHz Transceiver for Wireless Sensor Network. Devices, Circuits and Systems (ICDCS), 2012 8th International Caribbean Conference on, March 14th-17th 2012, Playa del Carmen, Mexico.
- [14]. Rubén Dario Echavarría Cifuentes. Estudo e Projeto de um Misturador CMOS para RF. Dissertação de mestrado, São Paulo, 2003.
- [15]. Behzad Razavi. Design of Analog CMOS Integrated Circuits. McGraw-Hill International edition, 2001.
- [16]. S. S. PATIL; V. M. DAVANDE; J. J. Mulani. Smart wireless sensor network for monitoring an agricultural environment. (*IJCSIT*) *International Journal of Computer Science and Information Technologies*, v. 5(3).
- [17]. Arquivo: VCO_iguassu_cmosXC018_DD_SY2011-06_v1.pdf.
- [18]. Arquivo:
DIP48_tv_iguassu_BBblocks_DCOC_RXFILTER_BANDGAP_BIAS.pdf

Anexos

Anexo I. Descrição e Dimensões das Placas

Neste anexo será feita uma descrição de quais componentes serão conectados e qual sua localização nas placas projetadas para o transceptor e as dimensões das PCIs. A Fig. (22) mostra a placa do LNA como ilustração da explicação.

- Nos espaços indicados em 1 e 6 será conectado um *balun*.
- Nos espaços indicados em 2 e 5 será conectado um capacitor de 1nF.
- Nos espaços indicados em 3 será conectado um indutor de 7.5nH.
- No espaço indicado em 4 será conectado o *chip* (LNA, VCO ou RX_RFFE).
- Nos espaços indicados em 7 serão para os furos dos pinos de conexão.
- Nas extremidades indicadas pelos números 8 e 9 será feita a conexão dos conectores SMA para entrada e saída respectivamente do sinal de RF.

Para as três placas os componentes conectados serão os mesmos

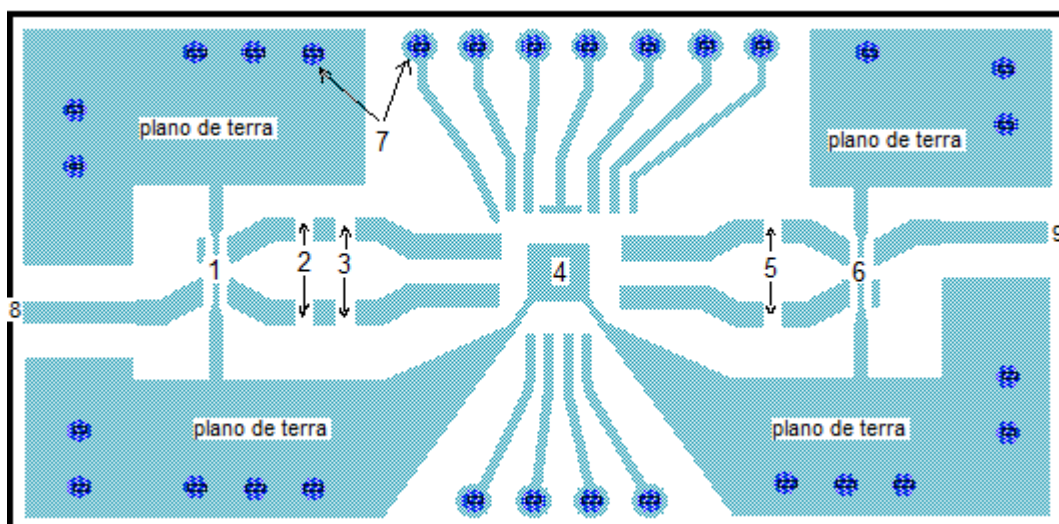


Figura 22. *Layout* para teste do LNA.

As trilhas do sinal de RF tem largura de 1.117 mm, as demais de 0.45 mm.

As dimensões da PCI do LNA são de: 23.6 x 47.2 mm

As dimensões RX_RFFE são de: 37.2 x 45 mm

As dimensões do VCO são de: 31.25 x 21.75 mm

Anexo II. Layouts das PCBs projetadas no ADS e no substrato ROGERS

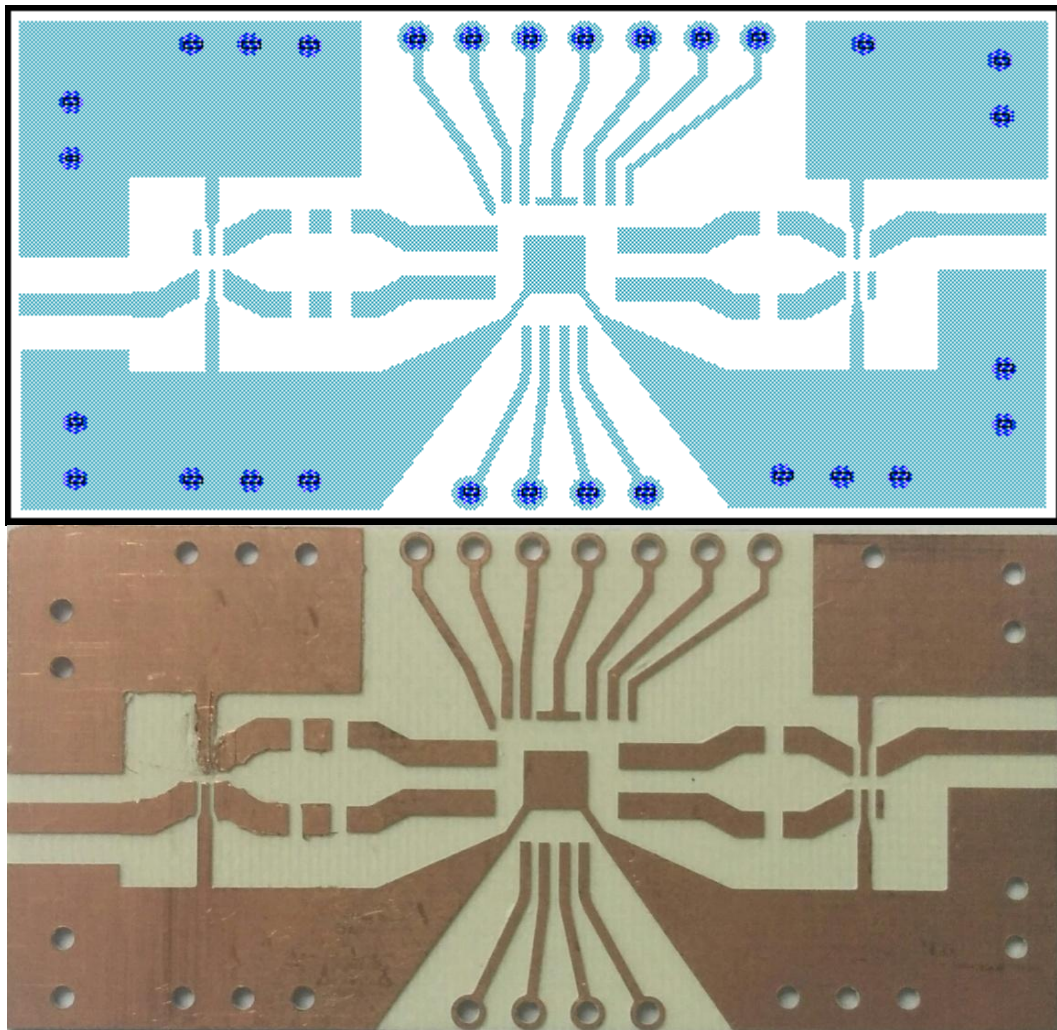


Figura 23. *Layout* da PCB do LNA.

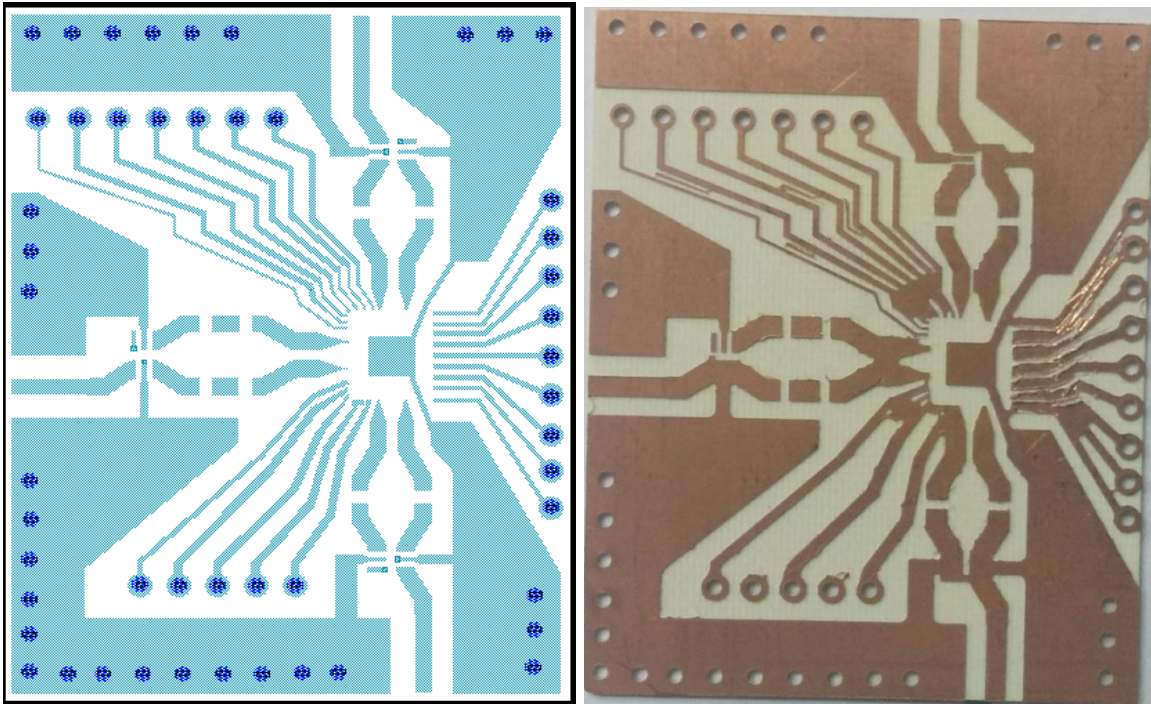


Figura 24. *Layout da PCB do RX_RFFE.*

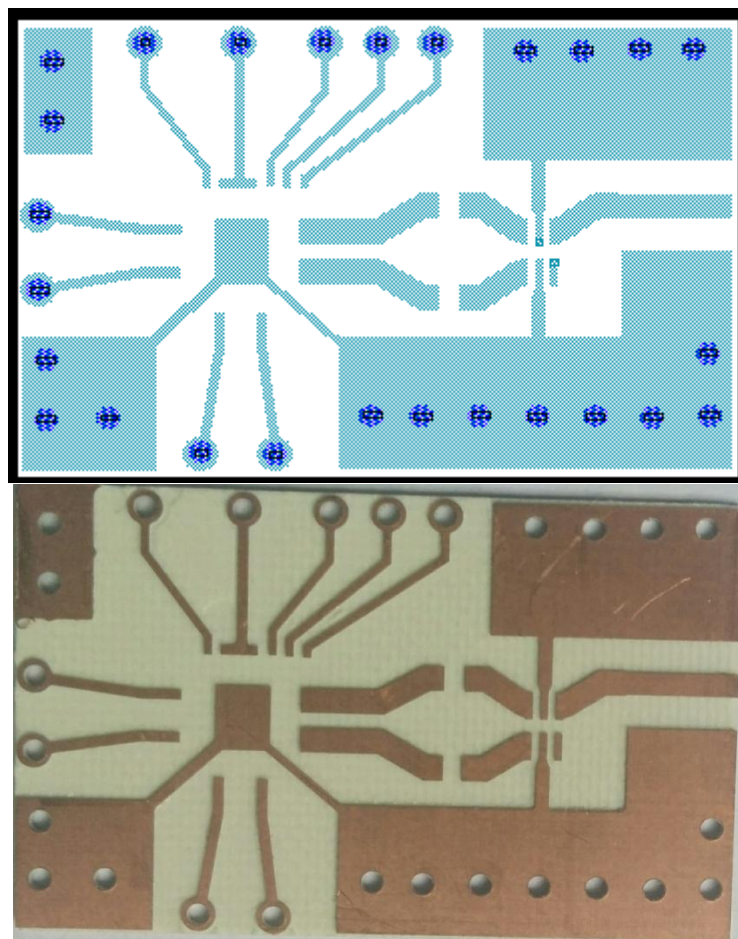


Figura 25. *Layout da PCB do VCO.*

As Figuras (26) e (27) mostram o *layout* e o circuito da PCI de baixa frequência RXBB respectivamente.

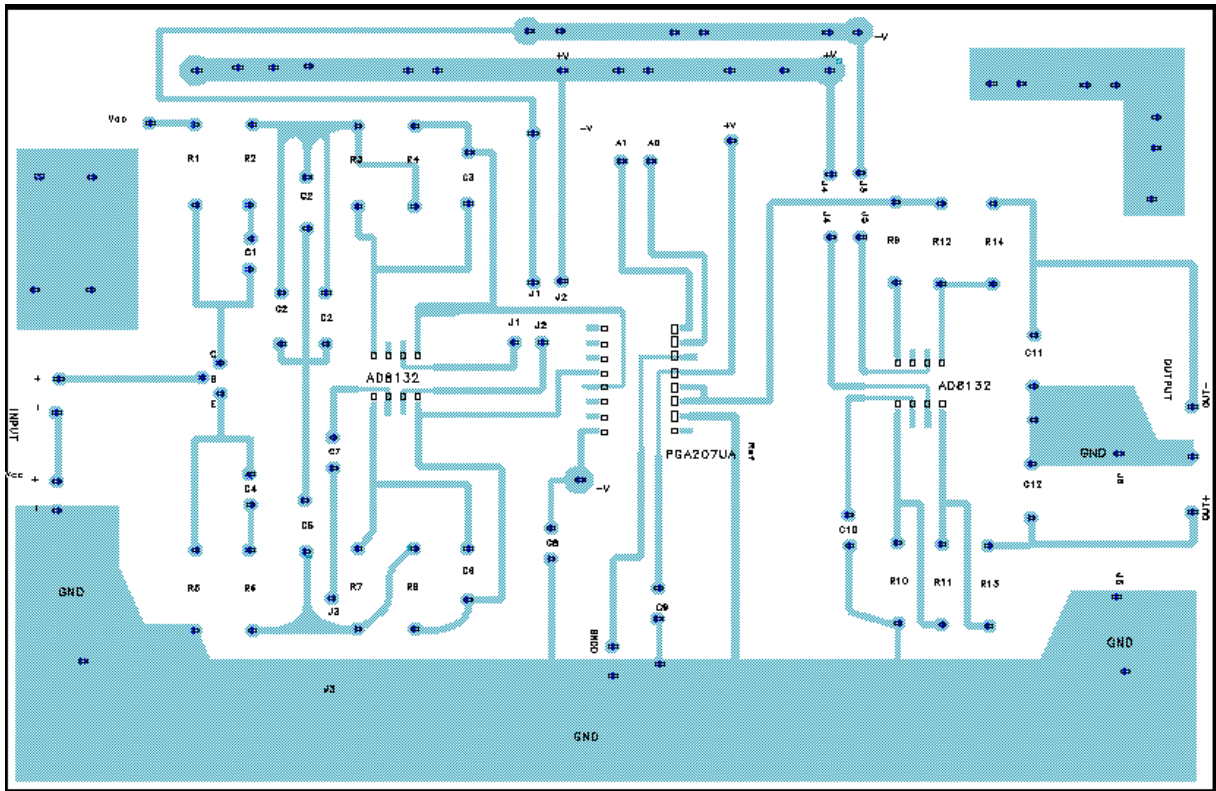


Figura 26. *Layout* da PCB RXBB.

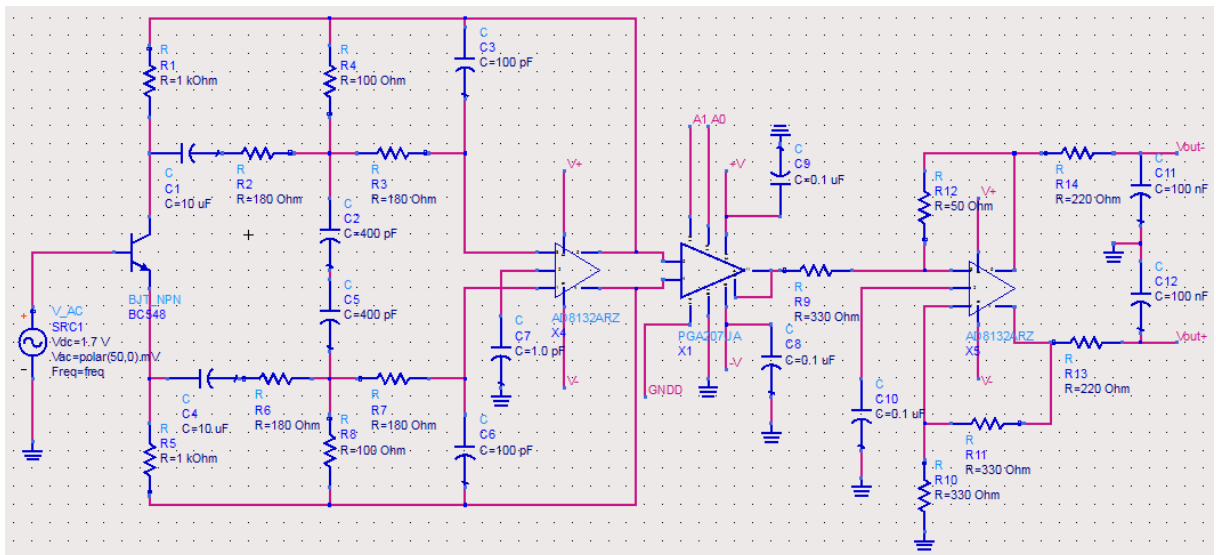


Figura 27. - Circuito da PCB mostrada na Figura 26.

Anexo III. Montagem da cadeia de banda base no laboratório

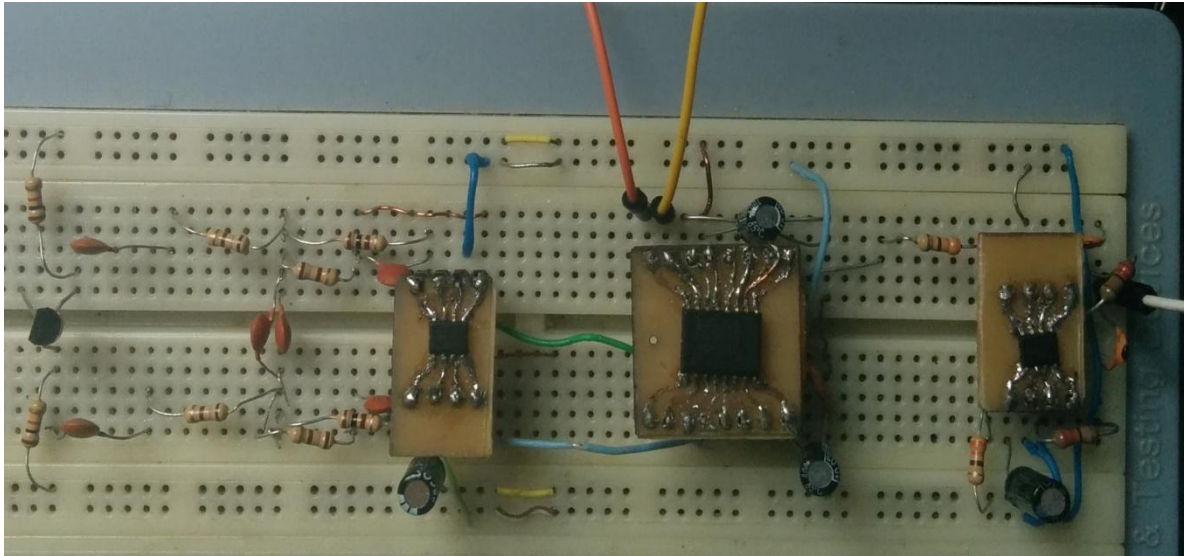


Figura 28. Montagem da cadeia de banda base para teste no laboratório.

Anexo IV. Descrição dos *chips* usados (PGA e filtro)

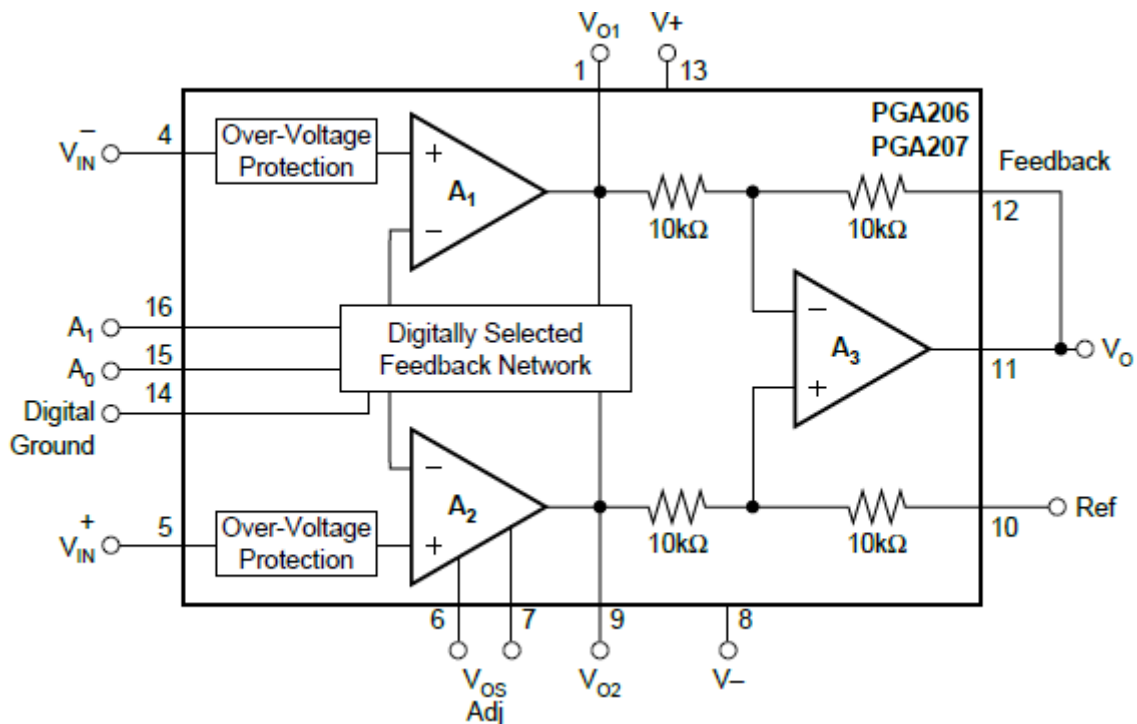


Figura 29. Configuração dos pinos do PGA207UA

Tabela 16. - Descrição dos pinos do PGA usado nos testes

1	Vo1	Saída de ganho individual negativo
2	NC	Não conectado
3	NC	Não conectado
4	VIN-	Entrada diferencial negativa
5	VIN+	Entrada diferencial positiva
6	VOS Adj	Ajuste externo de <i>offset</i>
7	VOS Adj	Ajuste externo de <i>offset</i>
8	V-	Alimentação negativa do chip
9	Vo2	Saída de ganho individual positivo
10	Ref	Terminal normalmente ligado ao terra
11	Vo	Saída de ganho
12	Feedback	Realimentação do ganho
13	V+	Alimentação positiva do chip
14	Digital Ground	Terra digital normalmente ligado ao Ref
15	A0	Entrada digital
16	A1	Entrada digital

O CI PGA 207UA possui Alimentação de $\pm 4.5V$ a $\pm 15V$.

Na Figura 30 o CI do amplificador AD8132.

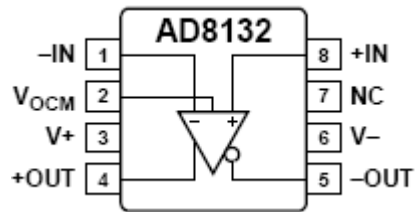


Figura 30. - Configuração dos pinos do amplificador AD8132.

Tabela 17. - Descrição dos pinos do CI AD8132.

Pino	Nome	Descrição
1	-IN	Entrada negativa
2	V _{OCM}	Tensão e saída de modo comum com razão de 1:1
3	V+	Alimentação positiva
4	+OUT	Saída positiva
5	-OUT	Saída negativa
6	V-	Alimentação negativa
7	NC	Não conectado
8	+IN	Entrada positiva

O amplificador operacional AD8132 possui alimentação de 2.7V a $\pm 5.5V$

Anexo V. Circuito para fornecer entrada diferencial no (Filtro + PGA)

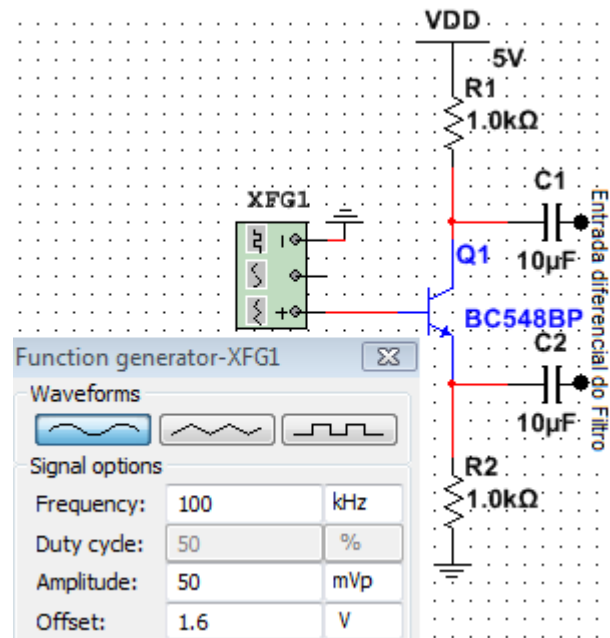


Figura 31. - Balun para entrada diferencial no filtro