

TRABALHO DE GRADUAÇÃO

**PROJETO DE MÓDULOS DE RF
PARA SISTEMA EM CHIP CMOS**

Vítor Fonseca Soares

Brasília, dezembro de 2008

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE GRADUAÇÃO

PROJETO DE MÓDULOS DE RF PARA SISTEMA EM CHIP CMOS

Vítor Fonseca Soares

Relatório submetido como requisito parcial para obtenção
do grau de Engenheiro Eletricista

Banca Examinadora

Prof. José Camargo da Costa, UnB/ENE (Ori-
entador)

Prof. Alexandre Ricardo Soares Romariz,
UnB/ENE (Examinador interno)

Prof. Paulo Portela de Carvalho, UnB/ENE
(Examinador interno)

Agradecimentos

Agradeço ao professor José Camargo por toda orientação e por todo conhecimento compartilhado ao longo de meus anos na Universidade de Brasília. Aos amigos Gilmar, José Edil e Heider, pelos diversos ensinamentos relacionados às ferramentas de projeto. Ao professor Alexandre Romariz, pelo auxílio prestado durante minha iniciação científica.

Agradecimentos em especial à minha namorada Joice, pela compreensão oferecida nesse período de muito trabalho. E aos meus familiares, pelo companheirismo e extrema paciência demonstrados durante os últimos 23 anos de convivência!

Vítor Fonseca Soares

RESUMO

Este trabalho apresenta os projetos de um amplificador de baixo ruído (LNA) e de um conversor de frequência (misturador ou *mixer*) compatíveis com arquiteturas receptoras dos tipos zero-IF, low-IF ou de rejeição de imagem. A realização dos blocos envolve o projeto elétrico, a validação por meio de simulações, a fabricação e a caracterização elétrica dos blocos. As medições elétricas não serão levadas a cabo neste trabalho por limitações de tempo, mas espera-se que sejam efetuadas em breve, em trabalhos futuros. O projeto dos blocos seguirá uma metodologia bem definida, e será orientada pelas especificações de desempenho existentes, visando a inserção dos módulos projetados em um Sistema em Chip reconfigurável (rSoC) atualmente em desenvolvimento no Laboratório de Projeto de Circuitos Integrados da Universidade de Brasília.

SUMÁRIO

1	INTRODUÇÃO	1
1.1	CONTEXTUALIZAÇÃO E DEFINIÇÃO DO PROBLEMA	1
1.2	OBJETIVOS DO PROJETO	2
1.3	APRESENTAÇÃO DO MANUSCRITO	3
2	REVISÃO BIBLIOGRÁFICA	5
2.1	INTRODUÇÃO	5
2.2	ARQUITETURAS PARA RECEPTORES DE RF	5
2.2.1	RECEPTOR SUPERHETERÓDINO	5
2.2.2	RECEPTOR HOMÓDINO OU ZERO-IF	6
2.2.3	RECEPTOR LOW-IF	7
2.3	AMPLIFICADORES DE BAIXO RUÍDO (LNA)	7
2.3.1	TOPOLOGIAS PARA LNA	8
2.3.2	TÉCNICAS DE OTIMIZAÇÃO PARA PROJETO DE LNA	12
2.3.3	POLARIZAÇÃO DE LNA: REFERÊNCIAS DE TRANSCONDUCTÂNCIA	15
2.4	MISTURADORES (MIXERS)	18
2.4.1	TOPOLOGIAS PARA MIXERS	19
2.5	QUESTÕES RELATIVAS AO DESEMPENHO DE CIRCUITOS INTEGRADOS DE RF	22
2.6	INDUTORES EM CIRCUITOS INTEGRADOS	25
2.6.1	INDUTORES INTEGRADOS DO TIPO ESPIRAL	27
3	METODOLOGIA	31
3.1	METODOLOGIA DE PROJETO DE BLOCOS ANALÓGICOS DE RF	31
3.1.1	METODOLOGIA DE PROJETO DO LNA	32
3.1.2	METODOLOGIA DE PROJETO DO MISTURADOR (MIXER)	34
3.2	CARACTERÍSTICAS DO PROCESSO DE FABRICAÇÃO	35
4	PROJETO DO LNA	37
4.1	INTRODUÇÃO	37
4.2	ESPECIFICAÇÕES DO TRANSECTOR DE RF	37
4.3	TOPOLOGIA DE CIRCUITO	38
4.4	PROJETO PELA TÉCNICA PCNO	38
4.5	PROJETO PELA TÉCNICA PCSNIM	40
4.6	COMPARAÇÃO ENTRE PCNO E PCSNIM	42
4.7	PROJETO DA POLARIZAÇÃO	45
4.8	PROJETO DO INDUTOR DE DEGENERACÃO	48
4.9	CONSIDERAÇÕES SOBRE SELETIVIDADE E PROJETO DA CARGA DO LNA	50

4.10	EFEITOS DO ENCAPSULAMENTO E COMPENSAÇÕES (PARTE I).....	54
4.11	CIRCUITO FINAL E DESEMPENHO ESPERADO PARA O MÓDULO	59
5	PROJETO DO MIXER	61
5.1	INTRODUÇÃO	61
5.2	TOPOLOGIA DE CIRCUITO	61
5.3	PROJETO ELÉTRICO	62
5.3.1	PROJETO DOS TRANSISTORES	62
5.3.2	PROJETO DOS RESISTORES E DOS CAPACITORES.....	64
5.3.3	PROJETO DA POLARIZAÇÃO E DA DEGENERAÇÃO	67
5.4	CIRCUITO FINAL E DESEMPENHO ESPERADO PARA O MÓDULO	68
6	ANÁLISE DO RECEPTOR	71
6.1	INTRODUÇÃO	71
6.2	EFEITOS DO ENCAPSULAMENTO E COMPENSAÇÕES (PARTE 2).....	71
6.3	DESEMPENHO DO RECEPTOR	75
6.4	TROCANDO SENSIBILIDADE POR LINEARIDADE	77
6.5	DESEMPENHO ESPERADO PARA O MÓDULO.....	79
7	CONCLUSÕES.....	81
7.1	DESCRIÇÃO DO TRABALHO REALIZADO.....	81
7.2	PROPOSTAS PARA TRABALHOS FUTUROS	82
	REFERÊNCIAS BIBLIOGRÁFICAS	83
	ANEXOS	85
I	SIMULAÇÕES.....	87
I.1	SIMULAÇÕES DOS INDUTORES	87
I.2	SIMULAÇÕES DO LNA.....	87
I.3	SIMULAÇÕES DO MIXER	89
I.4	SIMULAÇÕES DO RECEPTOR	90
II	LAYOUTS.....	101

LISTA DE FIGURAS

1.1	Esquema do transceptor para o SoC de controle de Irrigação	2
2.1	Amplificadores MOS básicos.....	9
2.2	Casamentos da parte real da impedância de entrada com resistores	9
2.3	Casamentos da parte real da impedância de entrada por degeneração indutiva	10
2.4	Uma boa topologia para LNAs banda-estreita.....	11
2.5	Referências de transcondutância.....	17
2.6	<i>Mixer</i> passivo.....	20
2.7	Mixers ativos <i>single-balanced</i> e <i>double-balanced</i>	20
2.8	Ilustração do efeito de distorção de ordem par	22
2.9	Encapsulamento típico de um CI	24
2.10	Exemplo de parasitas para o substrato em um indutor integrado	24
2.11	Perdas para o substrato em um indutor.....	25
2.12	Indutor espiral e escudo de terra	27
3.1	Fluxo básico de projeto analógico.....	31
4.1	Amplificador fonte-comum <i>cascode</i> com denegeração indutiva para realização do LNA (polarização omitida)	38
4.2	Comparação entre os circuitos otimizados aplicando as técnicas PCNO e PCSNIM	44
4.3	Referência de transcondutância para o LNA.....	46
4.4	Conexão de um capacitor de <i>bypass</i> em um circuito com parasitas indutivos nas alimentações	56
4.5	Impedância do capacitor de <i>bypass</i> versus frequência	58
4.6	Impedância de entrada do LNA com capacitor de <i>bypass</i> versus frequência	59
5.1	Célula de Gilbert modificada para realização do mixer	61
6.1	Impedância de entrada do LNA encapsulado	72
6.2	Efeitos das capacitâncias parasitas no pino de entrada do LNA	73
6.3	Efeitos das capacitâncias parasitas no pino de saída do LNA	74
6.4	Exemplos de redes L para casamento de impedâncias	75
6.5	Ponto de intercepção de terceira ordem para o <i>mixer</i> com capacitor de degeneração desconectado	78
I.1	Simulações para indutor de degeneração sem escudo de terra.....	87
I.2	Simulações para indutor de degeneração com escudo de terra formado por metal 1 padronizado ligado a polissilício 2 padronizado	87
I.3	Simulações para indutor de degeneração com escudo de terra formado por metal 1 padronizado ligado a polissilício 2 sólido.....	88
I.4	Simulações para indutor de degeneração com escudo de terra formado por polissilício 2 padronizado com interconexões em metal 1	88
I.5	Simulações para indutor de carga sem escudo de terra.....	89
I.6	Simulações do LNA encapsulado	94
I.7	Simulações do <i>mixer</i>	98
I.8	Simulações do receptor	100
II.1	<i>Layout</i> da referência de Transcondutância	101
II.2	<i>Layout</i> do LNA enviado para fabricação no <i>chip</i> UNB1008.....	102
II.3	<i>Layout</i> do <i>mixer</i>	103

LISTA DE TABELAS

4.1	Parâmetros da tecnologia C35B4C3	39
4.2	Parâmetros básicos de projeto para o LNA.....	39
4.3	Resumo do projeto pela técnica PCNO	40
4.4	Parâmetros de ruído para circuitos integrados	41
4.5	Resumo do projeto pela técnica PCSNIM.....	43
4.6	Comparação entre PCNO e PCSNIM	45
4.7	Comparação entre os indutores	49
4.8	Valores dos componentes do LNA	60
4.9	Valores dos componentes da referência de transcondutância	60
4.10	Resumo dos parâmetros de desempenho esperados para o LNA	60
5.1	Valores dos componentes do <i>mixer</i>	69
5.2	Resumo dos parâmetros de desempenho esperados para o <i>mixer</i>	69
6.1	Primeiros parâmetros de desempenho para o receptor	76
6.2	Primeiros parâmetros de desempenho o receptor no modo alta linearidade.....	79
6.3	Desempenho esperado para o receptor	80

LISTA DE SIMBOLOS

Símbolos Latinos

C	Capacitância	[F]
G	Condutância	[Ω]
g_m	Transcondutância de pequenos sinais	[A/V]
K_i	Fator de ganho do transistor tipo i (n ou p)	[A/V ²]
L	Comprimento de canal do transistor	[m]
L	Indutância	[H]
R	Resistência	[Ω]
V_{ti}	Tensão de limiar do transistor tipo i (n ou p)	[V]
W	Largura do transistor	[m]
Z	Impedância	[Ω]

Siglas

ABNT	Associação Brasileira de Normas Técnicas
AMPOP	Amplificador Operacional
AMS	Austrian Microsystems
IF	<i>Intermediate Frequency</i> , o mesmo que frequência intermediária
IIP3	<i>Input Intercept Point, Third Order</i> , o mesmo que ponto de intercepção de terceira ordem referenciado à entrada
LNA	<i>Low Noise Amplifier</i> , o mesmo que amplificador de baixo ruído
LTSD	Laboratório de Tratamento de Superfícies e Dispositivos
LPCI	Laboratório de Projeto de Circuito Integrados
NF	<i>Noise Figure</i> , o mesmo que figura de ruído
P1dB	Ponto de compressão de 1 dB
PA	<i>Power Amplifier</i> , o mesmo que amplificador de potência
PCNO	<i>Power Constarined Noise Optimization</i>
PCSNIM	<i>Power Constrained Simnultaneous Noise and Input Matching</i>
SFDR	<i>Spurious Free Dynamic Range</i> , o mesmo que faixa dinâmica livre de espúrios
SNR	<i>Sinal to Noise Ratio</i> , o mesmo que razão sinal ruído
UnB	Universidade de Brasília

1 INTRODUÇÃO

Este capítulo faz uma breve descrição do contexto em que este trabalho está inserido. Os trabalhos relacionados e o atual andamento das pesquisas são apresentados. Em seguida são listados os objetivos que se pretende atingir nesse estudo. Por fim, o conteúdo do manuscrito é discriminado.

1.1 CONTEXTUALIZAÇÃO E DEFINIÇÃO DO PROBLEMA

Este trabalho está inserido no âmbito de um projeto atualmente em desenvolvimento no Laboratório de Projeto de Circuitos Integrados (LPCI) e no Laboratório de Tratamento de Superfícies e Dispositivos (LTSD) da Universidade de Brasília. O projeto foi iniciado em uma parceria entre diversas universidades brasileiras e a Embrapa como parte do projeto Sistema em *Chip*, Microsistemas e Nanoeletrônica, SCMN, integrante do programa Instituto do Milênio do Ministério da Ciência e Tecnologia. A meta principal desse esforço conjunto era o de desenvolver um SoC completo para controle de irrigação compatível com aplicações em agricultura de precisão.

O SoC de controle de irrigação deveria incluir várias funcionalidades, entre as quais citam-se: medição de pressão, temperatura e umidade do ar; processamento digital (p. ex. filtragem) e armazenamento dos sinais medidos; capacidade de comunicação sem fio a curtas distâncias com outros SoCs similares e com a estação-base; capacidade de atuação sobre uma válvula de controle de irrigação. Para realizar estas tarefas seriam necessários uma série de módulos analógicos e digitais: filtros analógicos, condicionadores de sinais e converor AD; transceptor de RF completo, incluindo transmissor, receptor e antena; microprocessador; memória RAM, entre outros. O transceptor de RF seria utilizado para realizar a comunicação sem fio entre SoC e a estação-base. Os dados trocados entre as estações consistem basicamente em dados obtidos a partir da leitura dos sensores e comandos de acionamento/desligamento das válvulas de irrigação.

Tendo em vista atender às demandas do módulo de RF desse projeto, foi proposta uma arquitetura bastante simples para o transceptor, a qual pode ser vista na Figura 1.1. Dado que se esperava um baixo volume de dados trafegando pelo transceptor do SoC, optou-se por um esquema de modulação OOK (*On-Off Keying*) que é extremamente simples. Nessa proposta a modulação do sinal transmitido é feita chaveando o sinal proveniente do oscilador local na chave TX. A portadora local chaveada é entregue ao PA (*Power Amplifier*) que eleva a potência do sinal e o envia para a antena. Na recepção o sinal é captado pelo antena e levado ao LNA, responsável por uma primeira amplificação. Em seguida um único misturador (*mixer*) realiza a translação do sinal de RF para banda-base, e um comparador finaliza a demodulação do sinal, recuperando a seqüência de bits originalmente transmitida.

O projeto Sistema em *Chip* do Instituto do Milênio foi encerrado sem que o objetivo principal de fi-

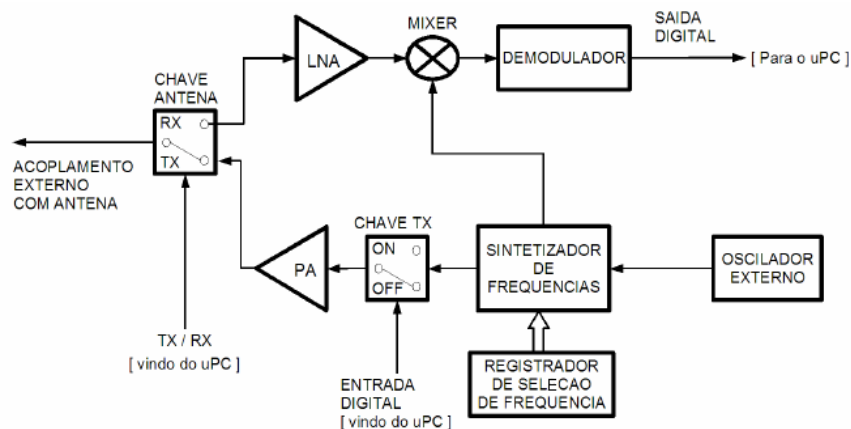


Figura 1.1: Esquema do transceptor para o SoC de controle de Irrigação

nalização do SoC para controle de irrigação fosse atingido. Entretanto, muitos estudos foram realizados durante o período de execução desse projeto na Universidade de Brasília [1, 2, 3]. No sentido de dar continuidade aos trabalhos, propôs-se o projeto de um SoC reconfigurável para atender a uma gama mais variada de aplicações, que podem incluir: rastreamento animal (bovinos e aves), sensoriamento de plantações, monitoramento de cargas. O presente trabalho se insere no contexto desse novo projeto, denominado projeto rSoC.

Apesar do volume substancial de conhecimentos acumulados pela equipe ao longo dos anos do projeto SoC controle irrigação, poucos módulos do projeto original foram finalizados e definitivamente validados por meio de medidas elétricas. A maior parte dos blocos foi projetada e parcialmente simulada, sem que se chegasse à efetiva caracterização elétrica dos circuitos. Além disso, dada a ampliação da complexidade e da variedade das aplicações-alvo, é de se esperar que os módulos do novo rSoC devam atingir novos e mais ambiciosos patamares de desempenho. Por esse motivo foram revistas as especificações elétricas do SoC original, e um conjunto parcial de novas especificações foi levantado. Além disso, a arquitetura do transceptor de RF foi revista [4], e novas propostas foram postas em discussão. Apesar de ainda não se ter chegado a uma determinação final de qual seria exatamente essa nova arquitetura, as tendências estão em torno de um sistema que opere com modulação FSK binária com receptor de conversão direta (também conhecido como receptor zero-IF) ou de conversão em baixa IF (dos tipos low-IF ou rejeição de imagem).

1.2 OBJETIVOS DO PROJETO

Neste trabalho pretende-se realizar um amplificador de baixo ruído (LNA) e um conversor de frequência (misturador ou *mixer*) compatíveis com arquiteturas receptoras dos tipos zero-IF, low-IF ou de rejeição de imagem. Os blocos serão projetados tendo em vista a integração com outros módulos do rSoC. A realização dos blocos envolve o projeto elétrico, a validação por meio de simulações, a fabricação e a caracterização elétrica dos blocos. As medições elétricas não serão levadas a cabo neste trabalho por limitações de tempo, mas espera-se que sejam efetuada em breve, em trabalhos futuros. O projeto dos blocos

seguirá uma metodologia bem definida, e será orientada pelas especificações de desempenho existentes.

Apesar do interesse em atingir as metas de desempenho, o foco do trabalho estará acima de tudo na busca pela máxima precisão no tratamento e na descrição dos procedimentos, cálculos e simulações realizados. Desta forma pretende-se contruir um material que sirva de repositório de conhecimentos e que possa vir a ser utilizado como uma referência básica para futuros projetistas que venham integrar a equipe do LPCI. A razão da ênfase nesta meta particular reside na observação do fato de que grande parte dos conhecimentos adquiridos pelos antigos membros do laboratório acabam se perdendo com a saída desse pessoal antigo. Essa perda de conhecimentos acumulados torna o processo de adaptação e aprendizagem do pessoal novo desnecessariamente lento. Nesse sentido, este relatório buscará agregar boa parte do conhecimento acumulado pelo autor durante seu aprendizado, tendo em vista a consolidação do *know-how* da equipe.

1.3 APRESENTAÇÃO DO MANUSCRITO

No capítulo 2 é feita uma revisão bibliográfica bastante detalhada à cerca dos temas estudados. Como o assunto é bastante vasto, não se pretende dar um tratamento completo nessa seção. Sempre que for pertinente serão indicadas referências nas quais maiores detalhes poderão ser buscados. O capítulo 3 descreve as metodologias empregadas no desenvolvimento do projeto. Os três capítulos seguintes (4, 5 e 6) apresentam o projeto e a análise desenvolvidas no trabalho, sendo seguidos das conclusões no capítulo 7. A maior parte dos gráficos das simulações, além dos *layouts* dos circuitos, são deixadas para os Anexos I e II.

2 REVISÃO BIBLIOGRÁFICA

2.1 INTRODUÇÃO

O projeto de estruturas analógicas a ser desenvolvido neste trabalho exige conhecimentos de telecomunicações em diversos níveis, envolvendo desde o funcionamento de transistores MOS operando em rádio frequência até a operação do transceptor inserido em um sistema completo. Para garantir boa fluidez do raciocínio durante as etapas de projeto, é necessário primeiramente introduzir uma série de conceitos básicos em eletrônica, e o objetivo deste capítulo é o de fornecer esta base mínima indispensável.

Primeiramente são apresentadas as arquiteturas de receptores de RF que serão citadas ao longo do trabalho. Em seguida a problemática de projeto de LNAs integrados e os principais métodos de otimização existentes são estudados. O mesmo é feito logo depois para misturadores CMOS empregados no caminho de recepção. Por fim são discutidas questões relativas ao projeto de circuitos integrados de RF em geral, e de indutores integrados do tipo espiral em particular.

2.2 ARQUITETURAS PARA RECEPTORES DE RF

Ao longo da história das telecomunicações foram concebidas diversas arquiteturas para transceptores de RF. Cada uma delas apresenta peculiaridades que as tornam mais apropriadas para certos tipos de aplicações. Em alguns casos ainda observamos que as topologias propostas entraram em desuso. Isso se deve ao fato de recentes avanços tecnológicos (principalmente nos processos de fabricação de circuitos integrados) terem trazido consigo soluções mais eficientes para os problemas que tais topologias pretendiam resolver. A seguir são apresentadas rapidamente as principais arquiteturas para receptores de RF que ainda são estudadas e utilizadas comercialmente. Este documento não pretende ser uma discussão completa e exaustiva do assunto. As referências [5, 6] devem ser consultadas para maiores detalhes.

2.2.1 Receptor Superheteródino

O receptor superheteródino é certamente a arquitetura mais amplamente utilizada em receptores de rádio comerciais. Foi criado por Armstrong em 1917 para contornar as dificuldades técnicas associadas à amplificação de sinais em altas frequências existentes na época de sua invenção. Em sua versão original, esta arquitetura consistia basicamente em um primeiro estágio de filtragem, seguido por um misturador responsável por abaixar a frequência dos sinais recebidos para uma IF (*intermediate frequency*) de alguns MHz. Os estágios seguintes promoviam amplificação, filtragem e demodulação do sinal. Modernamente, devido a diversos avanços tecnológicos, esta arquitetura é usualmente realizada com a adição de um amplificador de baixo ruído (LNA) logo na entrada do sistema, já que isto promove melhoria da figura de ruído

global do receptor.

Apesar das dificuldades iniciais que motivaram a concepção desta arquitetura já terem sido superadas (pelo menos para grande parte do espectro de RF atualmente em uso), este tipo de receptor ainda é o mais utilizado. Isto porque apresenta algumas outras vantagens em relação aos demais, quais sejam: sua construção e funcionamento são vastamente conhecidos e documentados, o que torna a arquitetura confiável; trata-se de um esquema robusto, praticamente imune a ruído de $1/f$ e offsets em DC. A maior dificuldade da implementação de receptores super-heteródinos em CI está na realização dos filtros de alto fator de qualidade necessários ao bom funcionamento dessa arquitetura: o filtro de rejeição de imagem (IR) e o filtro de seleção de canal em IF. Por esse motivo, receptores inteiramente integrados costumam fazer uso de outras arquiteturas mais convenientes, que não exijam componentes com fatores de qualidade tão elevados.

2.2.2 Receptor Homódino ou zero-IF

No receptor homódino, também conhecido como receptor de conversão direta, o sinal de informação que chega ao receptor em alta frequência é amplificado, filtrado e, logo em seguida, convertido por uma única mixagem diretamente para banda base. Em baixas frequências são realizadas as operações mais críticas da recepção, como seleção de canal (que exige alta seletividade), a maior parte da amplificação e a demodulação.

Esse esquema é interessante por ser bastante simples e direto, o que minimiza tanto a quantidade de blocos que precisam ser projetados quanto o consumo de potência do receptor. Suas desvantagens residem na alta sensibilidade a ruído de $1/f$ e *offsets* em DC. O ruído de $1/f$ é uma característica presente em circuito eletrônicos em geral e, mais notavelmente, em transistores MOS. Já os *offsets* em DC são usualmente gerados por descasamento entre transistores, rerradiação do sinal do gerador local para a antena, entre outros. Os dois problemas são de difícil solução, e a única forma conhecida e realmente eficaz de contorná-los consiste em realizar filtragem passa-altas no sinal após a translação para banda-base. Infelizmente este processo pode degradar significativamente a qualidade da recepção, visto que em geral o espectro de potência do sinal mensagem estará fortemente concentrado em torno do DC.

No processo de translação homódino tanto a parte positiva quanto a parte negativa do espectro do sinal recebido são levadas para banda base. Estas partes são então sobrepostas (somadas) permanentemente. Isso significa que só poderemos utilizar este esquema com um único caminho de recepção se o espectro do sinal mensagem for simétrico em torno de sua frequência central, de modo que a sobreposição não cause perda de informação. Isto é verdade para modulações do tipo AM ou DSB-SC, por exemplo, mas em geral não vale para esquemas de modulação em frequência (como FSK ou PSK). Nestes últimos casos deve-se optar por um demodulador complexo ou em quadratura.

Na demodulação em quadratura, o sinal recebido é dividido em dois e, em seguida, misturado com duas portadoras de mesma frequência mas defasadas em 90 graus. É possível então processar estes dois sinais de forma a recuperar apenas a parte positiva (ou negativa) do espectro de RF do sinal original. Dá-se o adjetivo "complexo" a qualquer bloco que trabalhe com sinais em quadratura para extração da informação

unilateral do espectro do sinal original. Normalmente este bloco poderá ser realizado por um simples somador analógico, e neste caso o conjunto dos misturadores mais o somador é denotado genericamente de misturador complexo.

2.2.3 Receptor low-IF

O receptor low-IF [7] pode se considerado um meio-termo entre o receptor homódino e o receptor superheteródino. Nesta arquitetura o sinal de RF não é convertido diretamente para banda-base, mas para uma frequência de IF de algumas dezenas ou centenas de kHz. Vê-se que para evitar a sobreposição do canal imagem com o canal desejado na frequência intermediária, a princípio seria necessário um filtro de IR de altíssimo fator de qualidade. De fato, o receptor low-IF não se propõe a rejeitar o canal imagem antes da conversão em frequências. Ao contrário, utiliza um esquema de recepção em quadratura (ou recepção complexa) para rejeitar o canal imagem já na frequência intermediária. Essa tarefa pode ser realizada de algumas formas, uma das quais emprega um tipo de estrutura especial denominado filtro polifásico. Os filtros polifásicos são dispositivos que apresentam resposta em frequência assimétrica em relação à origem, sendo capazes de rejeitar a parte negativa do espectro dos sinais de entrada (por esse motivo são chamados também de filtros complexos).

Fica claro neste momento porque se diz que o receptor low-IF é um meio termo entre os receptores homódino e superheteródino. Por um lado, no esquema low-IF o sinal de RF não é transladado diretamente para banda-base. Isso permite que sejam introduzidos filtros passa-alta no caminho de recepção, os quais não degradaram o espectro do sinal recebido e, simultaneamente, rejeitam grande parte do ruído de $1/f$ e dos *offsets* em DC que tanto comprometem o desempenho dos receptores homódinos. Por outro lado, a frequência intermediária é geralmente escolhida em um valor muito baixo (muito menor do que o de um receptor superheteródino típico), e a rejeição do canal imagem não é feita antes da translação em frequência. Desta forma fica dispensado o uso de dispositivos de alto fator de qualidade, que em geral não podem ser integrados. A desvantagem do receptor low-IF em relação aos demais está em que a capacidade de rejeição do canal imagem será criticamente dependente do bom casamento entre os dois caminho de recepção em quadratura. Quaisquer descasamentos de amplitude ou de fase entre esses canais provocam redução na capacidade de rejeição do canal imagem. Isso limita o desempenho de receptores low-IF na presença de sinais-imagem de potência muito superior à do sinal que se deseja receber.

2.3 AMPLIFICADORES DE BAIXO RUÍDO (LNA)

Na maioria das arquiteturas de transceptores, o primeiro bloco que aparece na cadeia do sistema receptor é um amplificador de baixo ruído (ou *Low Noise Amplifier*, LNA). A função deste bloco é receber o sinal de rádio proveniente da antena e amplificá-lo, introduzindo a menor potência de ruído possível. Procedendo desta forma estaremos minimizando a figura de ruído global do sistema, o que equivale a maximizar a sensibilidade do receptor.

Neste t3pico ser3 abordado o projeto de amplificadores de baixo ru3do. Começa-se discutindo as principais topologias amplificadoras convenientes em projetos de RF, suas vantagens e desvantagens. Em seguida, a metodologia de projeto de amplificadores de RF visando casamento de imped3ncias e casamento de ru3do 3 apresentada. Depois mostram-se as topologias e t3cnicas de realimenta33o utilizadas em LNAs. Todos estes assuntos s3o largamente tratados na literatura t3cnica. Assim sendo, as partes mais elementares de cada t3pico ser3o omitidas, e nestes casos refer3ncias apropriadas sobre o assunto ser3o indicadas. A apresenta33o ser3 t3o sucinta quanto o poss3vel.

2.3.1 Topologias para LNA

Como discutido previamente, o objetivo do LNA 3 receber o sinal de baixa pot3ncia proveniente da antena e amplific3-lo, introduzindo o m3nimo de ru3do poss3vel. No caso de sistemas de comunica33o em r3dio frequ3ncia, 3 muito comum analisar os sinais nos diversos pontos do sistema em termos da sua pot3ncia. Neste paradigma enfatizam-se a maximiza33o da transfer3ncia de pot3ncia (via casamento das imped3ncias de sa3da da fonte e de entrada do sistema), do ganho de pot3ncia e, simultaneamente, a minimiza33o da pot3ncia de ru3do introduzida pelo circuito. Entretanto, a partir do momento que o sinal de RF recebido da antena entra no circuito receptor, torna-se muito inconveniente (e sumamente desnecess3rio) manter o sinal em altos n3veis de pot3ncia, pois isto leva inevitavelmente a grandes consumos por parte de cada bloco da cadeia receptora. Ao contr3rio, em geral ser3 muito mais apropriado manter o sinal em altos n3veis de tens3o, pois desta forma podemos igualmente garantir que o ru3do introduzido pelo sistema seja pequeno, e com a vantagem da redu33o substancial do consumo. Isto 3 particularmente verdade no caso de circuitos integrados MOS, onde as tens3es podem naturalmente ser aplicadas a grandes imped3ncias (as portas dos transistores), levando a um consumo extremamente reduzido. Neste segundo paradigma a 3nfase 3 dada: ao valor RMS da tens3o em cada n3 do circuito; ao ganho de tens3o; e ao valor RMS do ru3do de tens3o somado ao sinal.

A filosofia dominante na literatura de projeto de LNA se baseia na id3ia de que quanto menor a quantidade de elementos ativos e passivos ruidosos (transistores e resistores) no caminho do sinal recebido, menor ser3 o ru3do somado ao sinal e portanto menor tender3 a ser a figura de ru3do global do sistema. Assim sendo, 3 muito comum que se projetem LNAs MOS inspirados nas topologias mais b3sicas de amplificadores inversores, que s3o constru3das com apenas um ou dois transistores. H3 somente tr3s topologias amplificadoras poss3veis com um 3nico transistor MOS: fonte comum, porta comum e dreno comum [8].

O amplificador seguidor de fonte 3 muito 3til para fornecer altos valores de corrente na sa3da; entretanto, o ganho de tens3o deste est3gio nunca 3 maior que unit3rio. Como estaremos interessados em trabalhar com sinais de tens3o da sa3da do LNA em diante, vemos que este amplificador 3 bastante inapropriado. O amplificador porta comum tem como principal caracter3stica a facilidade de ajuste de sua imped3ncia de entrada para baixos valores resistivos. Isso 3 interessante porque permite casar facilmente a imped3ncia de entrada do LNA com a imped3ncia da antena (50Ω). Entretanto, este casamento 3 conseguido 3s custas de maior figura de ru3do, pois a imped3ncia disponibilizado pelo est3gio 3 sua entrada tem origem efetivamente resistiva. Como veremos adiante, 3 poss3vel oferecer valores baixos de imped3ncia de

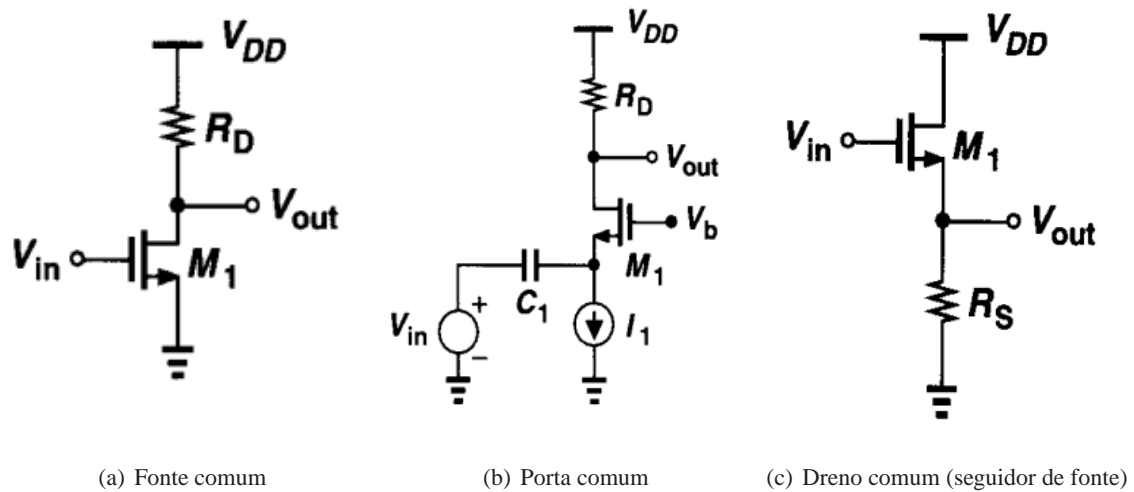


Figura 2.1: Amplificadores MOS básicos

entrada puramente real sem utilizar qualquer elemento resistivo, e desta forma o casamento torna-se muito mais interessante (e menos ruidoso).

Por fim, o amplificador fonte comum é capaz de proporcionar altos ganhos de tensão e fornece uma impedância de entrada que é naturalmente baixa e puramente capacitiva. Em todo caso, esta é certamente a configuração mais utilizada para amplificadores de baixo ruído. Como a impedância de entrada é inapropriada (por não ser real), é necessário incluir algum circuito casador de impedâncias. Existem evidentemente algumas formas básicas de se fazer isso com uso de resistores, as quais estão largamente descritas na literatura [9, 6]. Nos limitaremos a simplesmente apresentar as topologias. Entretanto, parece bastante razoável que os elementos resistivos colocados na entrada do transistor contribuirão significativamente para a figura de ruído do sistema, degradando a performance do bloco.

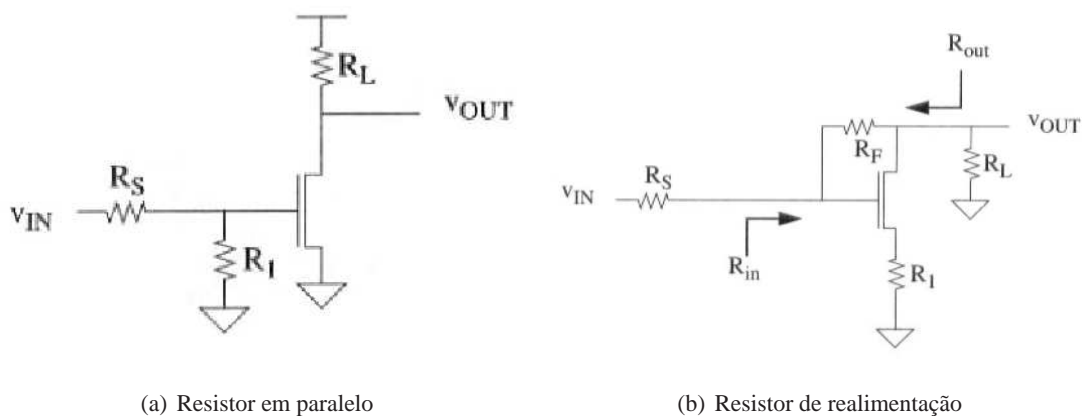


Figura 2.2: Casamentos da parte real da impedância de entrada com resistores

Uma forma mais elegante de gerar a componente real desejada para a impedância de entrada do LNA, e que idealmente não colabora de forma desfavorável à figura de ruído do receptor, consiste em adicionar degeneração indutiva ao transistor fonte comum. Mostra-se [9] que, desprezando a capacitância parasita porta-dreno, a impedância de entrada de pequenos sinais para o transistor MOS com degeneração indutiva é dada por:

$$Z_{in} = sL + \frac{1}{sC_{gs}} + \frac{g_m \cdot L}{C_{gs}} \quad (2.1)$$

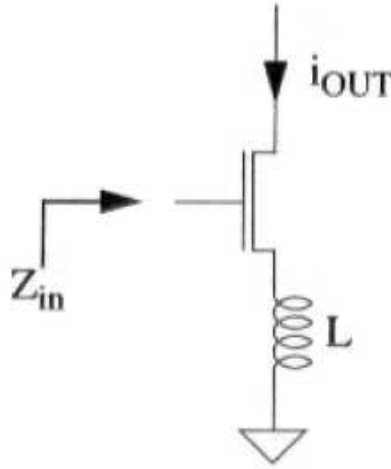


Figura 2.3: Casamentos da parte real da impedância de entrada por degeneração indutiva

Onde C_{gs} é a capacitância porta-fonte e g_m é a transcondutância de pequenos sinais do transistor. Vê-se claramente que a degeneração indutiva é responsável pelo aparecimento de uma componente real série na impedância de entrada do transistor. Com a escolha apropriada da indutância de degeneração e das dimensões do transistor, podemos fazer a impedância assumir qualquer valor desejado (por exemplo, 50 Ω). Entretanto, vemos que a impedância de entrada do transistor ainda terá uma componente reativa. Na prática esse termo será predominantemente capacitivo, o que significa que será necessário adicionar um indutor em série para neutralizar tal componente. O valor apropriado da indutância pode ser determinado diretamente da equação 2.1.

Apesar do amplificador fonte-comum por si só apresentar alto ganho, baixo ruído e boas possibilidades de casamento com a entrada, há alguns aspectos negativos desta topologia que não foram levados em conta. Em nossa análise, até o momento, foi desprezada a capacitância porta-dreno do transistor. Sabe-se que, devido ao efeito Miller [10], a capacitância porta-dreno efetivamente vista pelo sinal de entrada do amplificador será igual à capacitância parasita porta-dreno do transistor multiplicada pelo ganho de pequenos sinais do amplificador. Isso significa que quanto maior for o ganho desejado para o amplificador tanto maior será a capacitância porta-dreno vista na entrada. Observa-se ainda que, ao colocar uma carga diretamente no dreno do transistor fonte-comum, este nó se torna o terminal de saída do amplificador. O alto acoplamento capacitivo porta-dreno oriundo do efeito Miller será responsável por realimentar o sinal de saída na porta do transistor, o que poderá levar à instabilidade do amplificador.

Para evitar esses dois efeitos há duas medidas possíveis. A primeira consiste em neutralizar a capacitância parasita porta-dreno com uso de um indutor em paralelo. A desvantagem deste esquema é que a neutralização será eficiente apenas em uma banda estreita em torno da frequência de ressonância da rede LC; além disso, adiciona mais um indutor ao projeto (o que onera severamente a área em *chip*). Uma forma mais interessante consiste em adicionar um amplificador base-comum à saída do transistor fonte-comum.

Este arranjo de transistores é denominado amplificador *cascode*. Mostra-se que desta forma o efeito Miller é eliminado e, conseqüentemente, tanto a estabilidade quanto o ganho do estágio aumentam.

Há ainda de se considerar que tipo de carga será colocada na saída do amplificador. Se o estágio que segue o LNA na cadeia do sistema receptor for um *mixer* tipo célula de Gilbert, a impedância vista pelo LNA para a entrada do próximo estágio será predominantemente capacitiva. Desta forma, ao colocarmos um indutor de valor apropriado como carga para o transistor fonte-comum do LNA poderemos garantir que haja ressonância entre a capacitância de entrada do mixer e esta indutância de carga do LNA. Na ressonância, a impedância resultante vista será muito elevada; de fato, será idealmente infinita, mas sabe-se que o fator de qualidade finito dos componentes limitará o crescimento deste valor. Em todo caso podem-se alcançar altos ganhos de tensão com esta estratégia e, adicionalmente, promove-se filtragem passa-faixas ao sinal de RF recebido, o que é sempre desejável em arquiteturas banda-estreita. Uma análise completa da carga do LNA será feita mais adiante; por enquanto basta notar que a inclusão de um indutor como carga é algo bastante interessante.

Após todas essas considerações, a arquitetura final para o LNA será algo como o que pode ser visto na Figura 2.4.

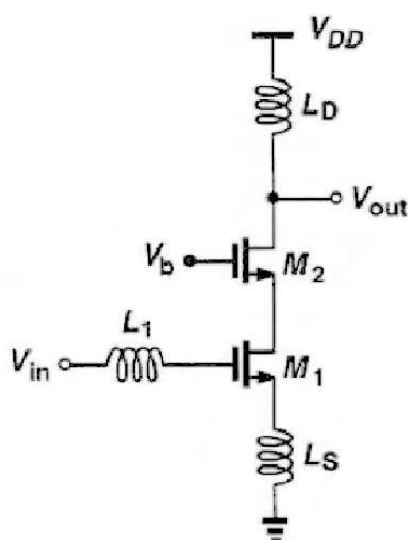


Figura 2.4: Uma boa topologia para LNAs banda-estreita

Essa mesma topologia pode ser utilizada para realizar LNAs com entrada diferencial. Para isto, basta duplicar a estrutura, ligando os dois circuitos pelo terminal inferior do indutor de degeneração. O nó comum destes dois indutores é então ligado ao terra por intermédio de uma fonte de corrente, e não mais diretamente como aparece na Figura 2.4. LNAs diferenciais possuem grande vantagem em relação a LNAs *single-ended* no que se refere à capacidade de rejeição de interferência em modo comum e à imunidade aos parasitas introduzidos pelo encapsulamento nas linhas de terra ([9]). Por outro lado, é fácil ver que tais estruturas geralmente ocupam o dobro da área em chip e consomem o dobro da potência do equivalente *single-ended* para um desempenho similar em termos de figura de ruído.

2.3.2 Técnicas de otimização para projeto de LNA

O amplificador fonte-comum é a topologia mais recorrente, ao menos no meio acadêmico, quando se trata da realização de LNA para sistemas receptores em banda passante estreita. Ao longo do tempo surgiu uma boa variedade de técnicas de otimização de LNA específicas para esta arquitetura amplificadora. No que segue apresentaremos uma breve descrição destas técnicas, abordando suas vantagens e desvantagens. As duas técnicas mais interessantes, e que serão efetivamente utilizadas neste projeto, serão descritas em maiores detalhes. Uma apresentação mais longa deste assunto pode ser vista na referência [11].

2.3.2.1 Técnica CNM

A primeira das técnicas de otimização a surgir foi a *Classical Noise Matching* (CNM). Este método é aplicável a amplificadores fonte-comum sem degeneração, e consiste simplesmente em incluir uma rede de casamento na entrada do amplificador, de modo a casar a impedância da fonte (Z_s) com a impedância ótima de ruído do sistema (Z_{opt}). Como pode ser visto em [9], a impedância de entrada do amplificador será em geral muito diferente da sua impedância de casamento de ruído. Isto significa que, na técnica CNM, há um sério compromisso entre o casamento para o ruído e o casamento da impedância de entrada ou, equivalentemente, entre a figura de ruído e o ganho do amplificador.

2.3.2.2 Técnica SNIM

A inclusão do indutor de degeneração no amplificador fonte-comum permite o projeto segundo o método denotado *Simultaneous Noise and Input Matching* (SNIM). Nesta técnica o indutor de degeneração nos fornece um grau de liberdade extra para alterar a impedância de entrada do amplificador. Devido às características do processo de fabricação modernos, mostra-se que é possível casar o amplificador simultaneamente para maximizar a transferência de potência (e portanto o ganho) quanto para minimizar a figura de ruído. Entretanto, esta condição será em geral atingida para valores muito elevados de corrente de polarização, ou seja, para altos consumos de potência, o que é muito inconveniente quando se pretende realizar transceptores alimentados por bateria.

2.3.2.3 Técnica PCNO

A terceira técnica de otimização é denominada *Power-constrained Noise Optimization* (PCNO). Trata-se de uma reformulação da técnica SNIM, levando em conta agora a potência DC dissipada pelo amplificador no cálculo dos parâmetros ótimos. No projeto pelo método PCNO fixamos a potência consumida pelo LNA e, em seguida, calculamos os demais parâmetros do circuito de modo a minimizar a figura de ruído. Nesta técnica o circuito final não terá, nem mesmo teoricamente, o valor mínimo para a figura de ruído possível para o sistema. Entretanto é possível atingir valores pequenos de figura de ruído a dissipações de potência razoáveis. No limite em que a potência DC disponível para o LNA cresce livremente, o circuito projetado por esta técnica tende ao circuito obtido pela SNIM.

A seguir é apresentado o procedimento de projeto segundo a técnica PCNO. A derivação das equações é um trabalho entediante que não será realizado aqui. O esforço envolvido nessas deduções pode ser conferido na referência [9].

1. Calcule a largura ótima do transistor fonte comum, dada por:

$$W_{opt} = \frac{1}{3\omega LC_{ox}R_s} \quad (2.2)$$

Onde ω é a frequência de projeto, L é o comprimento de canal mínimo de transistor permitido pela tecnologia (que coincide com o valor de comprimento de canal escolhido para ambos os transistores amplificadores), C_{ox} é a capacitância de óxido de porta por unidade de área e R_s é a resistência da fonte (em geral 50Ω).

2. Sabendo a tensão de alimentação do circuito e a potência consumida desejada, calcule a corrente de dreno I_D do transistor amplificador. Com este valor de corrente e com W_{opt} , calcule a polarização de porta do transistor. Esta condição de polarização pode ser dada, por exemplo, em termos da transcondutância do dispositivo:

$$g_m = \frac{2K_n W_{opt} I_D}{L} \quad (2.3)$$

Sendo K_n o fator de ganho do transistor amplificador.

3. Calcule a capacitância total de entrada do transistor. Esta capacitância será dada aproximadamente pela soma das capacitâncias porta-fonte C_{gs} e porta-dreno C_{gd} . Para um transistor saturado, estes parâmetros são dados por:

$$C_{gs} = \frac{2C_{gc}}{3} + C_{ov} \quad (2.4)$$

$$C_{gd} = C_{ov} \quad (2.5)$$

Onde C_{gc} é a capacitância porta-canal e C_{ov} é a capacitância de *overlap* porta-dreno ou porta-fonte (supostas iguais), dadas por:

$$C_{gc} = C_{ox} W_{opt} (L - 2L_D) \quad (2.6)$$

$$C_{ov} = 0.7 C_{ox} W_{opt} \cdot x_j \quad (2.7)$$

Nestas equações L_D é o comprimento da extensão do dreno (ou da fonte, novamente supostos iguais) sob o óxido de porta e x_j é a profundidade das difusões do dreno e da fonte. As equações para as capacitâncias apresentadas acima são aproximações. Em particular, a equação 2.7 é uma aproximação bastante grosseira, devendo ser usada apenas na falta de maiores dados à respeito da capacitância de *overlap*.

4. Com os valores de g_m , $C_t = C_{gs} + C_{gd}$ e da impedância da fonte R_s (suposta real), calcule o valor necessário para o indutor de degeneração:

$$L_s = \frac{C_t R_s}{g_m} \quad (2.8)$$

5. Por fim, calcule o valor da indutância de porta L_g necessária para casar a parte imaginária da impedância de entrada:

$$L_g = \frac{1}{\omega^2 C_t} - L_s \quad (2.9)$$

Isto encerra o projeto pelo método PCNO. Como já mencionado anteriormente, este método não nos leva a um circuito com figura de ruído ótima. É possível estimar a figura de ruído esperada em um circuito otimizado por essa técnica. Ela será dada aproximadamente por:

$$F_{minPCNO} = 1 + \frac{2.4\gamma\omega}{\alpha\omega_T} \quad (2.10)$$

Onde α e γ são parâmetros de transcondutância e ruído do transistor (respectivamente) e ω_T é a razão entre g_m e C_t . O valor de $F_{minPCNO}$ é entre 0.5 a 1 dB maior que figura de ruído mínima possível para a amplificador quando temos valores grandes (maior que 10) para a razão ω_T sobre ω . À medida que essa razão diminui a degradação na figura de ruído cresce substancialmente.

2.3.2.4 Técnica PCSNIM

Considere a topologia de amplificador fonte-comum *cascode* com degeneração indutiva que vem sendo discutida até o momento. Ao adicionar um capacitor C_{ex} entre os terminais de porta e fonte do transistor fonte-comum, ganha-se um grau de liberdade extra no dimensionamento do amplificador. Esse capacitor permite alterar a capacitância total de porta vista na entrada do amplificador sem a necessidade de alterar a largura do transistor, o que significa que a capacitância pode ser aumentada independentemente da transcondutância e da corrente de polarização do estágio, por exemplo. Com essa nova variável tem-se a possibilidade de casar a entrada do LNA simultaneamente para ruído e para transferência de potência, com qualquer valor de potência DC dissipada que desejemos. Desta forma é possível atingir os resultados da técnica SNIM para consumos pequenos. Por esse motivo essa técnica é apropriadamente denominada *Power Constrained Simultaneous Noise and Input Matching* (PCSNIM).

As equações de projeto para esta técnica são deduzidas pelos mesmos princípios utilizados na teoria clássica de otimização de ruído de LNA, que é o procedimento que nos permite obter as equações da técnica SNIM (as quais não foram apresentadas neste documento). Em todo caso não estaremos interessados no procedimento de dedução das equações, apenas no seu uso. Neste sentido, de forma similar ao que foi feito para a técnica PCNO, simplesmente apresentaremos os resultados.

As equações de projeto para a técnica PCSNIM são listadas a seguir.

$$Re[Z_S] = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}}}{\omega C_{gs} \left[\frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right]} \quad (2.11)$$

$$Im[Z_S] = \frac{j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{\omega C_{gs} \left[\frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right]} - sL_s \quad (2.12)$$

$$Re[Z_{in}] = sL_s + \frac{1}{sC_t} \quad (2.13)$$

$$Im[Z_{in}] = \frac{g_m L_s}{C_t} \quad (2.14)$$

Nestas equações, α é a razão g_m sobre g_{d0} , aproximadamente igual a 1 para transistores de canal longo e um pouco inferior (em torno de 0,85) para transistores de canal curto; o parâmetro c representa a correlação entre o ruído de porta e o ruído de dreno, e assume valores próximos de 0,395j para o processo de fabricação em questão. Além disso, γ é o coeficiente de ruído de corrente de dreno e δ é o coeficiente de ruído de porta do transistor.

Não há um procedimento único de projeto de um LNA pela técnica PCSNIM. Cada projeto deve ser feito levando em consideração quais componentes ou figuras de mérito de desempenho do circuito são mais críticas, e estes valores devem ser escolhidos a priori. Em seguida, calculam-se os demais parâmetros. Por exemplo, para um LNA realizado em um CI, em geral teremos pouca liberdade sobre a escolha do indutor de degeneração L_s . Neste caso, pode ser interessante escolher um valor para este componente a priori, e em seguida proceder ao cálculo dos demais componentes. Outro parâmetro que poderá ser interessante escolher a priori será a corrente de polarização.

2.3.3 Polarização de LNA: referências de transcondutância

O LNA na topologia fonte-comum cascode requer apenas duas tensões de polarização: uma para a porta de cada um dos transistores amplificadores. Felizmente a exigência com respeito à polarização do amplificador porta-comum (transistor de *cascode*) é bastante relaxada. Isso porque o ganho deste transistor dependerá predominantemente da corrente que atravessa o estágio, e não da tensão de polarização em sua porta. De fato, é comum que a porta deste transistor seja simplesmente ligada à alimentação. Esta é uma polarização muito simples e adequada em grande parte dos casos. A desvantagem desta ligação é que o transistor amplificador fonte-comum trabalhará com máxima tensão de dreno. No caso de um transistor em saturação com elevada tensão de dreno, há uma tendência à geração de ruído extra no canal devido ao fenômeno de ionização por impacto. Como os portadores de cargas estarão sujeitas a elevadas tensões na região de estrangulamento (*pintch-off*) do canal, eles podemos ser excessivamente acelerados, e sua colisão com outros átomos da rede cristalina pode levar a geração de mais pares elétron-buraco. Este fenômeno equivale a uma fonte extra de ruído em nosso sistema. Portanto, é interessante tentar minimizar esse efeito,

o que pode ser feito forçando uma tensão de porta no transistor porta-comum inferior à tensão de alimentação de tal modo que a tensão no dreno do transistor fonte-comum seja apenas a mínima necessária para garantir a operação na saturação.

Por outro lado, o ponto de operação do amplificador fonte-comum é uma questão extremamente crítica no desempenho do amplificador de baixo ruído. A polarização deste dispositivo determina diversas características do estágio: a corrente total drenada (que está intimamente ligada ao consumo de potência e a impedância de saída do LNA); a transcondutância do amplificador, que está relacionada aos ganhos de tensão e potência do amplificador e, mais ainda, afeta diretamente a parte real da impedância de entrada do estágio. Por esse motivo, é crucial que o transistor fonte-comum do LNA seja polarizado por uma estrutura estável e robusta a variações de diversos tipos: temperatura, tensão de alimentação e tolerâncias do processo de fabricação.

Tendo este objetivo em mente, a primeira vista poderíamos pensar em construir uma referência de tensão para polarizar a porta do transistor. Uma referência de tensão é interessante porque fornece um valor de tensão bastante robusto a perturbações de diversos tipos. Para analisar esta possibilidade, consideremos as seguintes equações do modelo estático de primeira ordem de um transistor MOS operando na saturação (os efeitos de corpo e de modulação de comprimento do canal são desprezados).

$$I_D = \frac{K_n W}{2L} (V_{gs} - V_{tn})^2 \quad (2.15)$$

$$g_m = \frac{K_n W}{L} (V_{gs} - V_{tn}) = \sqrt{\frac{2K_n W}{L} I_D} \quad (2.16)$$

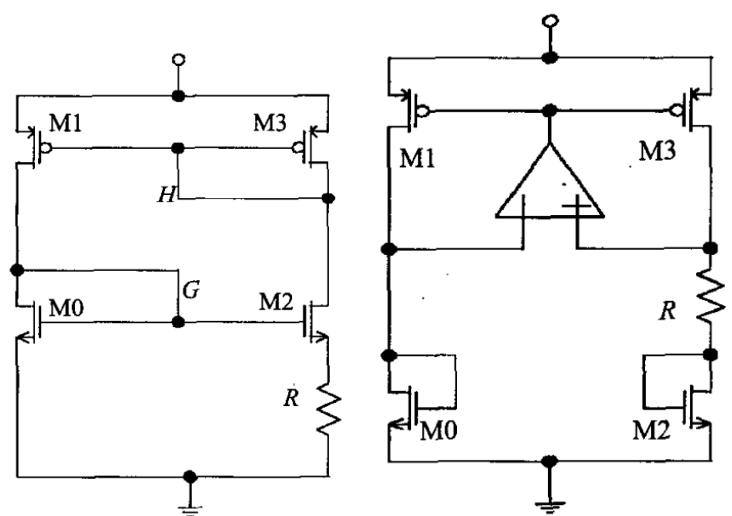
Como mencionado anteriormente, estamos particularmente interessados nos valores da corrente de dreno (I_D) e transcondutância de pequenos sinais (g_m) do transistor. Utilizando uma tensão de referência para polarizar nosso transistor, poderíamos inicialmente crer que a equação 2.15 nos garante que a corrente de dreno será constante, e daí segue da equação 2.16 que a transcondutância também será mantida. De fato essa observação será válida no que se refere a perturbações na tensão de alimentação do circuito. Entretanto, quando se trata de variações de temperatura, apesar da tensão V_{gs} ser mantida constante pela referência de tensão, tanto o fator de ganho K_n quando a tensão de limiar V_{tn} sofrerão variações. No caso de um LNA de alto desempenho em geral operaremos com valores de V_{gs} muito próximos aos de V_{tn} , o que significa que pequenas variações em V_{tn} levarão a grandes mudanças no ponto de operação do circuito. Para variações oriundas das tolerâncias do processo de fabricação teremos uma situação ainda mais severa, pois há de se considerar que os parâmetros W e L do transistor (assim como todos os demais) também estarão sujeitos a variações.

Uma segunda alternativa que poderíamos pensar seria a de polarizar o circuito com uma referência de corrente. Essa situação é mais vantajosa que a anterior (referência de tensão), pois neste caso garantimos a estabilidade da corrente drenada pelo circuito. Entretanto, na equação 2.16 vemos que a transcondutância do dispositivo ainda será afetada por variações em W , L e no fator de ganho.

Uma terceira alternativa consiste em polarizar o amplificador com uma referência de transcondutância.

Este seria um circuito que gera uma tensão variável, cujo valor se altera à medida que perturbações são aplicadas ao sistema, sempre no sentido de manter a transcondutância do dispositivo polarizado fixa. O valor de transcondutância gerada pelo módulo é fixado por uma resistência de referência interna. Note que transcondutância possui unidade do inverso de resistência, o que significa que é possível, ao menos teoricamente, gerar uma transcondutância fixa a partir de uma resistência de referência.

Apesar da idéia de uma referência de transcondutância parecer estranha, existem circuitos simples que realizam exatamente esta função, e um deles será apresentado logo a seguir. Antes disso é interessante avaliar o impacto do uso de uma referência de transcondutância em nosso circuito. Uma rápida observação das equações 2.15 e 2.16 mostra que manter a transcondutância do transistor fixa significa necessariamente que a corrente de dreno estará sujeita a variações. Como citado anteriormente, o impacto de uma corrente de dreno variável estará na variação da potência DC dissipada e da resistência de saída do estágio. Entretanto, a transcondutância fixada nos garante que o ganho, a impedância de entrada e o casamento para o ruído do amplificador serão preservados. Como teremos oportunidade de ver mais adiante, a impedância de saída do LNA será de fato praticamente independente da resistência de saída do transistor (e portanto da corrente de polarização). A única grandeza importante que sofrerá oscilações será o consumo de potência. Em todo caso parece evidentemente que esta situação é melhor que a que teríamos nos casos de polarização por corrente ou tensão constantes.



(a) Circuito simples e muito popular (b) Circuito mais robusto a variações na alimentação

Figura 2.5: Referências de transcondutância

Alguns circuitos capazes de gerar valores razoavelmente fixos de transcondutância podem ser vistos nas referências [12, 13]. Dois circuitos bastantes simples e de fácil projeto podem ser vistos na Figura 2.5. O primeiro deles é interessante porque requer apenas 4 componentes ativos e um passivo para sua realização. O segundo possui melhor desempenho, notavelmente no que se refere a imunidade contra variações na tensão de alimentação, mas requer o uso de um amplificador operacional. Felizmente as exigências de desempenho deste AMPOP serão extremamente baixas. Basta que ele possua ganho DC elevado e baixa tensão de *offset*; nenhuma parâmetro dinâmico do módulo (como produto ganho banda-

passante, por exemplo) será relevante nesta aplicação.

Em ambos os circuitos o par de transistores PMOS ligados à alimentação faz o papel de um espelho de corrente 1:1. O papel do AMPOP no segundo circuito é o de melhorar o desempenho desse espelho (garantindo que as tensões de dreno dos transistores do espelho sejam aproximadamente iguais). Utilizando a hipótese de que o espelho seja ideal, que todos os transistores estejam na saturação e ainda desprezando os efeitos de corpo e modulação de comprimento de canal, mostra-se que a transcondutância do transistor M0 em ambos os circuitos é dada por:

$$g_{m0} = \frac{2}{R} \left(1 - \sqrt{\frac{W_0 L_2}{W_2 L_0}} \right) \quad (2.17)$$

Note que no primeiro circuito haverá efeito de corpo não-nulo no transistor M2, e neste caso este fenômeno poderá causar pequenas divergências no desempenho do circuito. Já no segundo circuito não haverá efeito de corpo (os corpos de todos os transistores estão ligados aos mesmos potenciais das respectivas fontes). Interessante observar que de acordo com 2.17 a transcondutância de M0 depende apenas da geometria (dimensões dos transistores) e do valor da resistência de referência R. Neste sentido é que se diz que o circuito opera como uma referência de transcondutância. Se ligarmos a tensão de porta de M0 à porta de outro transistor que desejamos polarizar, a transcondutância deste componente será idealmente mantida constante independentemente de variações de temperatura, tensão de alimentação, tensão de limiar e fator de ganho dos transistores. Entretanto, há de se notar que a precisão desta referência será fortemente dependente da precisão no valor de R. Se R variar com a temperatura (e em geral varia), a transcondutância do estágio também variará. Se R sofrer variações devido ao processo de fabricação do CI (o que ocorre inevitavelmente se R for um resistor integrado ao *chip*), o mesmo ocorre com a transcondutância fornecida. Por esses motivos é usual que o resistor de referência seja colocado externamente ao CI, e neste caso seria possível utilizar um componente com baixas tolerância e coeficiente térmico. Infelizmente isso eleva a área necessária à placa do circuito e aumenta a quantidade de pinos do encapsulamento; ou seja, tem-se inevitavelmente aumento no custo do sistema.

2.4 MISTURADORES (MIXERS)

Após a amplificação do sinal de RF que chega ao sistema no primeiro bloco, o LNA, procede-se à translação em frequência do sinal. Este procedimento visa trazer a informação originalmente contida em um sinal de alta frequência para um sinal de frequência inferior. Sinais de baixa frequência apresentam várias vantagens sobre sinais de alta frequência: são muito mais imunes a capacitâncias e indutâncias parasitas do circuito; podem ser amplificados com maior facilidade (por exemplo, por AMPOPs); são demodulados com maior facilidade. A razão pela qual o sinal que chega à antena não é diretamente convertido para baixas frequências, mas sim amplificado primeiramente no LNA, reside no fato de que conversores de frequência são blocos bastante ruidosos. Isto significa que a sensibilidade de um receptor que omite o LNA na entrada é severamente reduzida em comparação com o receptor que realize amplificação com um

estágio de baixo ruído.

A escolha da faixa de frequência na qual o sinal de RF será convertido está sujeita a uma solução de compromisso. Quanto menor a frequência escolhida mais facilmente o sinal resultante poderá ser amplificado e demodulado, pelas razões apresentadas acima. Por outro lado, se esta frequência for escolhida nas vizinhanças das dezenas de kHz ou menor, a quantidade de ruído injetada no sinal pelo mixer crescerá significativamente. Isso se deve ao ruído de $1/f$, que está presente em qualquer componente ativo de circuito, mas que é notavelmente mais intensa em transistores integrados MOS.

O processo de translação no domínio da frequência é comumente realizado por uma operação de multiplicação no domínio do tempo. Para realizar a translação de um sinal de frequência central f_{RF} para a frequência central f_{IF} , basta multiplicar o sinal original por qualquer sinal periódico cuja frequência fundamental seja igual à diferença $f_{RF} - f_{IF}$. Os sinais periódicos de maior interesse são as senóides e as ondas quadradas, devido principalmente à facilidade de síntese destas formas de onda.

Vemos então que um conversor de frequência será um dispositivo de 3 portas: a porta pela qual entra o sinal de RF (porta de RF); a porta pela qual é injetado o sinal que multiplica o sinal de RF, proveniente do oscilador local (porta LO, de *local oscillator*); a porta pela qual sai o sinal resultante da translação em frequência (porta IF, de *intermediate frequency*). Define-se a frequência de IF como sendo a frequência central para a qual o sinal de RF é transladado.

2.4.1 Topologias para Mixers

Dependendo da forma como realizam a conversão em frequência, os *mixers* podem ser classificados em ativos ou passivos. *Mixers* passivos operam com consumo de potência muito baixo (idealmente zero), e são caracterizados pelo baixo ganho (necessariamente menor que 0 dB) e alta linearidade. Um *mixer* passivo pode ser realizado, por exemplo, por 4 transistores NMOS, como pode ser visto na Figura 2.6 (retirada de [9]). O sinal de tensão de RF é aplicado aos dois terminais de entrada (RF+ e RF-) do *mixer*, e o chaveamento dos transistores garante a multiplicação do sinal por uma onda quadrada. Na saída (BB) é observado um sinal de tensão que representa a informação convertida em frequência. Observe que o ganho de conversão deve ser menor que 0 dB porque não há qualquer efeito amplificador no sinal de RF. *Mixers* passivos são facilmente realizados com transistores MOS, pois se utilizam do fato destes transistores serem excelentes chaves analógicas.

Mixers ativos chaveiam o sinal de RF de forma idêntica aos *mixers* passivo, porém geralmente realizam esta operação em sinais de corrente. Neste caso além do conjunto de chaves MOS que realizam o chaveamento propriamente dito é necessário incluir um conversor tensão-corrente. Isso permitirá também que o dispositivo forneça um ganho real de conversão (maior que 0 dB), o que é muito útil já que minimiza o impacto dos estágios subseqüentes na figura de ruído global do receptor. Estruturas desse tipo são genericamente denotadas células de Gilbert. O conversor tensão corrente pode ser realizado simplesmente por um transistor MOS operando na saturação, por exemplo. Entretanto, a maior limitação na linearidade dessa classe de *mixers* reside justamente no conversor tensão-corrente. Neste caso, vale a pena conceber

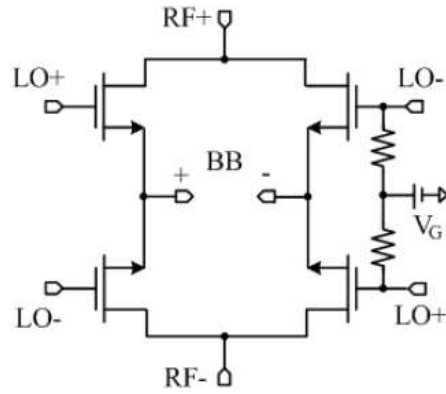


Figura 2.6: Mixer passivo

esquemas mais sofisticados de conversão V-I, de forma a aumentar a linearidade do sistema.

Mixers ativos são classificados em duas categorias, a depender do tipo de sinais de RF sobre os quais operam. Se o mixer for projetado para operar com sinais de RF *single-ended*, diz-se que o mixer é do tipo *single-balanced*. Ao contrário, caso admita sinais de RF diferenciais, o mixer é dito *double-balanced*. A Figura 2.7 (retirada de [14]) apresenta essas duas topologias. Observe que em ambos os casos o circuito possui entrada diferencial para o sinal do oscilador local.

Mixers do tipo *double-balanced* apresentam maior rejeição a modo comum e aos produtos de intermodulação provenientes do LNA. Entretanto, consomem o dobro da potência de um *mixer single-balanced* de mesma figura de ruído e ganho de conversão similar. Além disso, o *mixer double-balanced* carrega as saídas do LNA e do VCO (que é responsável por controlar os transistores-chave do mixer) com o dobro da capacitância parasita de um *mixer single-balanced* de mesmas dimensões.

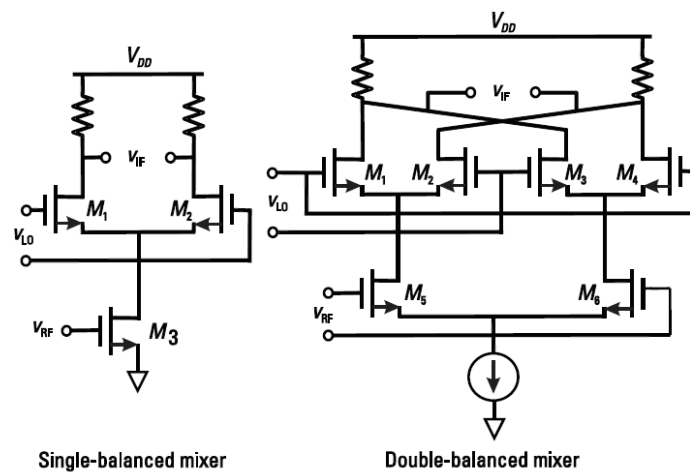
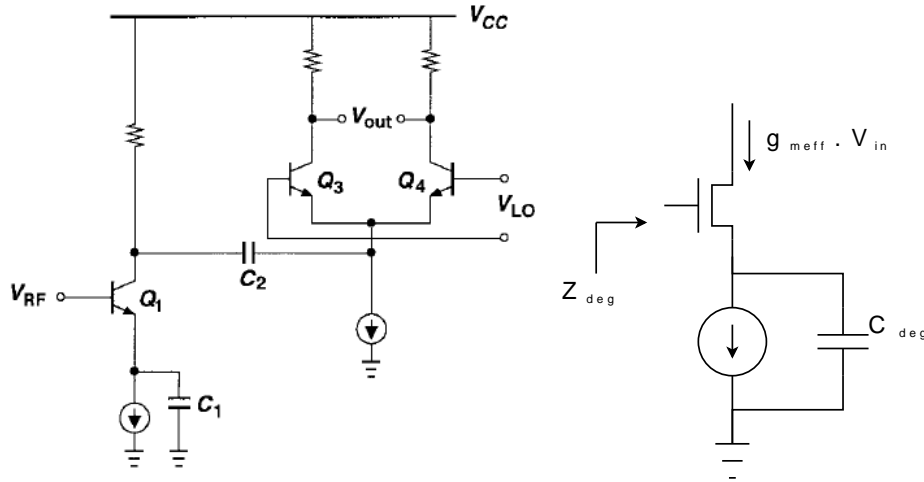


Figura 2.7: Mixers ativos *single-balanced* e *double-balanced*

Uma topologia de mixer mais apropriada para receptores zero-IF ou low-IF, que consiste em uma adaptação do mixer *single-balanced* da Figura 2.7 é apresentada na Figura 2.4.1 [15, 16]. Neste circuito o conversor tensão corrente é separado do estágio responsável pelo chaveamento da corrente por um ca-

pacitor de desacoplamento. Isso permite que ambos os estgios trabalhem com toda a escala da tenso de alimentao, levando a um potencial aumento na linearidade da converso. Observe ainda que  incluída degenerao capacitiva no transistor que realiza a converso tenso-corrente.



(a) Mixer single-balanced com degenerao capacitiva (b) Efeitos da degenerao capacitiva no conversor tenso-corrente

A degenerao nos d um grau de liberdade para trocar ganho de converso por linearidade do circuito: quanto maior a impedncia de degenerao (menor a capacitncia), menor ser a transcondutncia do conversor, logo menor ser o ganho de converso; simultaneamente, quanto maior a impedncia de degenerao maior a linearidade no processo de converso tenso-corrente. A degenerao capacitiva  tambm responsvel por modificar a impedncia de entrada do conversor. As equaoes para a transcondutncia efetiva g_{meff} e para a impedncia de entrada Z_{deg} do conversor tenso corrente com degenerao (vide Figura 2.4.1 (b)) so:

$$g_{meff} = \frac{s \cdot g_m \cdot C_{deg}}{s(C_{deg} + C_{gs}) + g_m} \quad (2.18)$$

$$Z_{deg} = \frac{s(C_{deg} + C_{gs}) + g_m}{s^2 \cdot C_{deg} \cdot C_{gs}} \quad (2.19)$$

Onde C_{deg}  a capacitncia de degenerao, C_{gs}  a capacitncia porta-fonte do transistor de entrada e g_m a transcondutncia de pequenos sinais do transistor. Outro efeito interessante da degenerao capacitiva  o aumento da rejeio a produtos de intermodulao de ordem par. Em receptores superheterdinos os produtos de intermodulao de ordem par no causam grande impacto no sistema, pois so rejeitados pelo filtro de IF. Ao contrrio, em sistemas zero-IF ou low-IF, o problema  mais significativo, e portanto esta  uma preocupao relevante. Para entender o problema de intermodulao de ordem par, considere a Figura 2.8 (retirada de [15]).

Supor que o sinal de RF injetado no circuito que se deseja demodular chega acompanhado de dois interferentes prximos em alta potncia. Se o receptor apresenta distoro de alguma ordem par, por exemplo segunda ordem, ser gerado um harmnico de freqncia dada pela diferena das freqncias

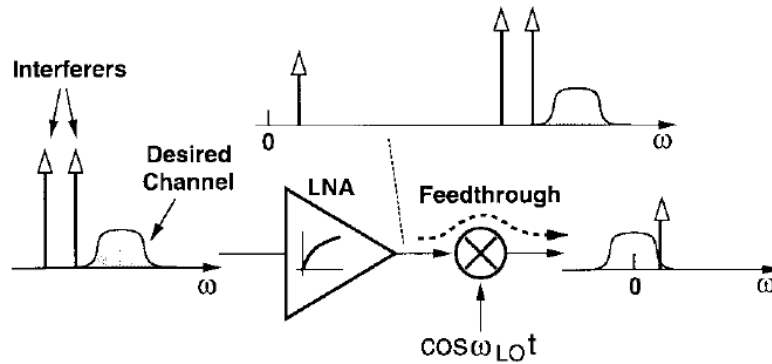


Figura 2.8: Ilustração do efeito de distorção de ordem par

dos interferentes. Vê-se imediatamente que esta componente estará localizada espectralmente próxima à banda base. Como o *mixer* possui isolamento finita em baixa frequência entre as portas de RF e IF, esses produtos de intermodulação chegarão à saída do misturador, interferindo no sinal demodulado (já que o sinal demodulado também se localiza próximo à banda base). A inclusão do capacitor de degeneração no conversor tensão-corrente do *mixer* ajuda a rejeitar tais produtos de intermodulação, pois diminui o ganho do *mixer* para baixas frequências.

2.5 QUESTÕES RELATIVAS AO DESEMPENHO DE CIRCUITOS INTEGRADOS DE RF

O processo de fabricação de circuitos integrados é rotineiramente realizado em um substrato semicondutor sobre o qual diversas camadas de metais, polissilício e isolantes são sobrepostas. Em um processo com substrato do tipo P (que é o caso com o qual trabalhamos atualmente), todo o *wafer* será levemente dopado de modo a exibir portadores P livres. Nas proximidades dos elementos ativos (transistores) e, de uma maneira geral, na parte superficial do silício, o substrato será mais pesadamente dopado. Isso é feito porque o corpo do *wafer* é utilizado como um único grande terminal de terra do *chip*. Como o CI conterá uma série de circuitos distintos, é interessante minimizar a resistência série nas interconexões entre os terras locais desses diferentes circuitos, o que é obtido garantido boa condutividade elétrica por todo o substrato. O fato de o material do substrato ser um semicondutor significa que será possível atingir uma condutividade elétrica apenas razoavelmente alta (através de excessiva dopagem), mas não tão alta quanto seria possível se o substrato fosse composto por um metal bom condutor (cobre ou alumínio), por exemplo.

Acima do substrato encontram-se as diversas camadas de metal e polissilício. Todas essas camadas são sobrepostas, uma em cima da outra, separadas por camadas de isolante elétrico (dióxido de silício). Em muitos casos será desejável criar contatos elétricos entre algumas dessas camadas condutoras, e para isso estão disponíveis conexões especiais denominadas genericamente de vias. As vias são condutores metálicos adicionais que atravessam o isolante existente entre camadas adjacentes. É razoável acreditar que a confiabilidade de uma conexão realizada por vias será tanto maior quanto menores forem as distâncias

entre as camadas que se deseja conectar. Se essas distâncias forem apreciáveis é possível que a via se rompa devido a problemas na deposição dos materiais ou a estresses mecânicos. Neste sentido, os fabricantes de CI costumam dispor as camadas sucessivas de metais e polissilício a distâncias não muito grandes umas das outras. A proximidade entre as diversas camadas causa um efeito que pode ser modelado por capacitâncias parasitas entre os materiais, que serão tanto maiores quanto maior for a área da região de sobreposição e quanto mais próximas estiverem as camadas. Particularmente elevada será a capacitância parasita entre o polissilício de porta dos transistores e o substrato semiconductor, pois estarão separados por uma distância vertical igual à espessura do óxido de porta. Esta é sem dúvida a menor dimensão naturalmente existente em um processo de fabricação de semicondutores. O óxido de porta é bastante fino porque desta forma maximiza-se o efeito que um certo acúmulo de carga no terminal de porta tem sobre a condutividade do canal do transistor MOS. Isso significa que a capacitância parasita entre a porta e o dreno (e a fonte) para os transistores serão relativamente grandes. Por fim, note que o substrato semiconductor é uma camada necessariamente presente sob todas as regiões do CI. Feitas todas estas observações, fica claro o fato de que a capacitância parasita dominante em um nó será quase sempre aquela que liga o nó ao terra (substrato P).

Após a fabricação do CI, é preciso ainda realizar o encapsulamento do *wafer*. É por meio do encapsulamento que se torna possível acessar eletricamente os nós internos do circuito integrado. Alguns problemas surgem na interface CI-encapsulamento devido às notáveis diferenças existentes entre as dimensões dos componentes de um circuito integrado e as dimensões dos pinos de um encapsulamento. A compatibilidade entre essas duas escalas distintas em geral é feita ainda na superfície do semiconductor, e consiste simplesmente em incluir pontos de conexão (denominados PADS) muitas ordens de grandeza maiores que as dimensões comuns ao circuito integrado. Nessas grandes superfícies metálicas é possível então soldar um fio metálico fino (conhecido como *bondwire*). A outra ponta do *bondwire* é ligada a um PAD similar existente no encapsulamento, o qual se liga diretamente a um dos pinos do chip, e desta forma ficam estabelecidas as conexões elétricas. O *bondwire* é fabricado em um material bom condutor (alumínio ou ouro), e quando observado a olho nu aparenta ser um fio curto e bem fino. Infelizmente, para as dimensões de um circuito integrado ele será em geral um fio grosso e muito longo. O fato do fio ser grosso é positivo, pois significa que sua resistência elétrica será pequena. Já seu longo comprimento é representativo do fato de que a auto-indutância parasita do elemento será elevada quando comparada às indutâncias comumente realizáveis sobre a superfície do *wafer* (vide Figura 2.9 [14]).

As características salientadas acima para os circuitos fabricados em um CI são extremamente danosas a sistemas operando em rádio frequência. Um par de parâmetros importantes em um circuito de RF são as impedâncias de entrada e de saída dos diversos blocos. De fato, é muito comum que todo bloco de RF seja projetado para apresentar impedâncias de entrada e/ou de saída iguais a 50Ω . Este procedimento permitirá maximizar a transferência de potência entre os diversos blocos de um cascadeamento de elementos. A elevada capacitância parasita para o terra (características dos circuitos integrados) nos diversos nós do circuito representam caminhos de baixa impedância para o sinal de RF. Capacitâncias excessivas podem levar a significativas desvios nas impedâncias de entrada e saída dos blocos. Esse fato se torna particularmente severo nos nós de entrada e saída do CI, pois estes pontos estarão necessariamente ligados a PADS

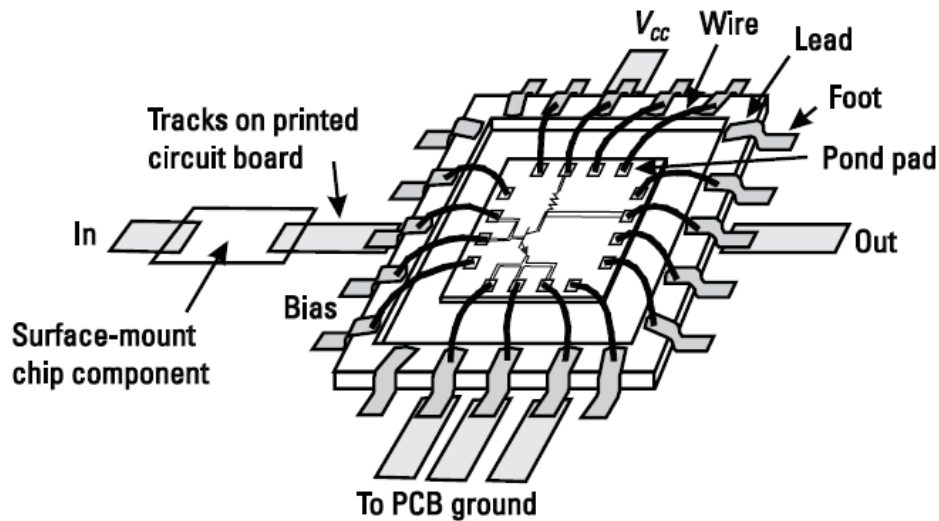


Figura 2.9: Encapsulamento típico de um CI

os quais, como mencionado acima, apresentam grandes capacitâncias parasitas para o terminal de terra. Esses mesmos nós de entrada e saída do CI sofrem também com a elevada impedância série característica dos *bondwires*; o efeito do *bondwire* é o de elevar a parte reativa da impedância de entrada ou saída dos blocos, causando aumento nos coeficientes de reflexão na interface CI-PCB [17].

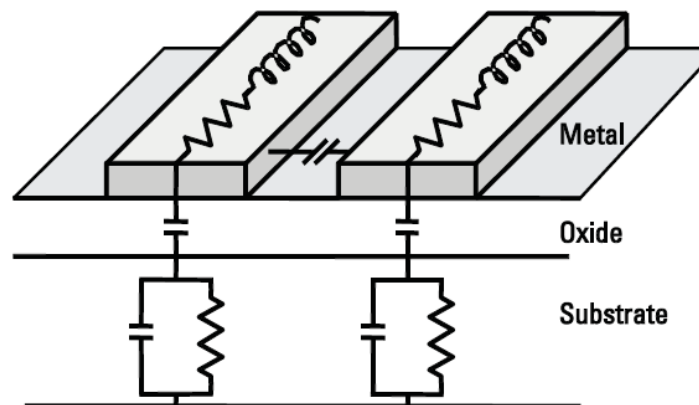


Figura 2.10: Exemplo de parasitas para o substrato em um indutor integrado

Outra dificuldade significativa oriunda das características mencionadas decorre da combinação de altas capacitâncias parasitas para o terra com condutividade elétrica moderada do substrato. Esses dois efeitos podem ser modelados por um circuito RC parasita ligando um dado nó do circuito ao terra 'real'. Já vimos que a capacitância parasita para o terra leva a descasamentos de impedâncias; entretanto, um capacitor sozinho é um elemento puramente reativo, incapaz de dissipar potência por si só. Consideremos agora a resistência série do substrato. Se o valor deste parasita fosse muito baixo, o que seria possível se o substrato fosse um excelente condutor, a impedância total do circuito RC poderia ser aproximada simplesmente pela impedância do capacitor; neste caso, nosso circuito RC parasita não causaria qualquer efeito adicional. Por outro lado, se a resistência série do terra fosse muito elevada (caso de um substrato pouco dopado), a im-

pedância total da rede RC seria praticamente igual à impedância do resistor. De fato, neste caso é possível ainda que o acoplamento capacitivo no próprio substrato representasse um caminho de mais baixa impedância que o caminho resistivo (este fato é adequadamente apresentado na figura 2.10 acima). Em ambos os casos é evidente que a capacidade da rede de dissipar potência seria bastante baixa. A conclusão desta discussão é a de que se a resistência série do substrato for muito elevada ou muito reduzida, a dissipação de potência na rede RC parasita será desprezível. Infelizmente na prática ocorre que a resistência do substrato de um CI apresenta um valor intermediário, muitas vezes da mesma ordem de grandeza que a impedância das capacitâncias parasitas para o terra [18]. Nestes casos a atenuação provocada pela rede RC é máxima, e portanto a condição real do circuito estará muito próxima ao ponto ótimo de degradação do sinal, uma situação extremamente infeliz. Este efeito é exacerbado sobretudo em indutores do tipo espiral e explica a grande limitação existente na realização destes componentes com fatores de qualidade elevados.

Maiores detalhes sobre as etapas dos processos de fabricação de semicondutores e as diversas questões relacionadas podem ser vistos em [19].

2.6 INDUTORES EM CIRCUITOS INTEGRADOS

O método clássico de realização de indutores em chip consiste na construção de espiras utilizando as camadas de metais de interconexão já disponíveis. Infelizmente esta classe de dispositivos apresenta uma série de limitações: alta resistividade dos metais e baixa resistividade do substrato degradam o fator de qualidade do indutor; a *layout* necessariamente plano requer que grandes áreas em chip sejam utilizadas para obtermos valores significativos de indutância; a grande área ocupada pelos indutores aumenta o acoplamento capacitivo com o substrato, com as demais camadas de metal e com o meio externo, permitindo que mais ruído seja injetado no sistema. Podemos entender essas limitações como sendo frutos da grande incompatibilidade geométrica existente entre o processo de fabricação monolítico planar e os métodos usualmente empregados para construção de indutores, que consistem normalmente no enrolamento de um condutor metálico ao redor de um núcleo ferromagnético em uma geometria helicoidal.

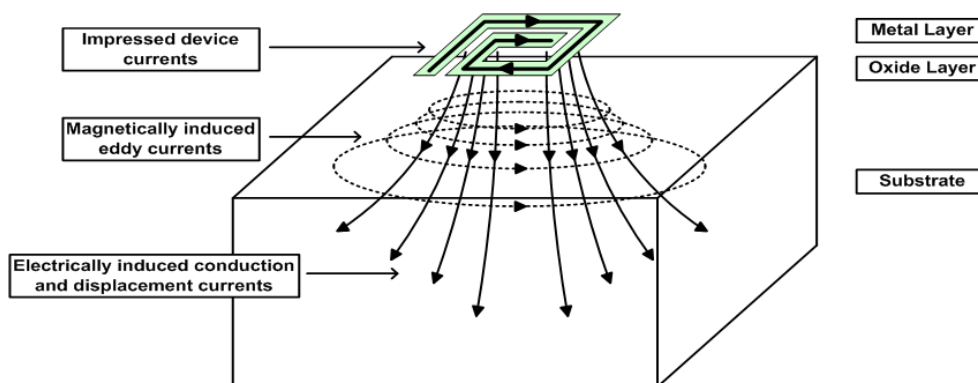


Figura 2.11: Perdas para o substrato em um indutor

Por estas razões, é prática comum evitar-se ao máximo a inclusão de indutores planares em um chip.

Entretanto, como foi visto nos tópicos anteriores, indutores possuem uma série de qualidades desejáveis para construção de amplificadores de baixo ruído (e amplificadores de RF em geral). Para contornar as dificuldades encontradas até agora, às vezes é interessante recorrer à formas alternativas de síntese de indutores. Existem pelo menos três métodos conhecidos para fazer isto.

O primeiro método consiste simplesmente em utilizar componentes externos para a realização dos indutores. Desta forma é possível obter componentes com valores nominais elevados e de bom fator de qualidade. Entretanto, esta solução trás o inconveniente de aumentar a quantidade de componentes externos a serem utilizados, o que dificulta a montagem da placa que irá conter o chip e encarece o produto.

O segundo método consiste em aproveitar a indutância parasita associada ao fios que ligam os pinos do encapsulamento do circuito integrado com o *wafer* propriamente dito contido em seu interior (os *bondwires*). Essas conexões são geralmente feitas com metais bom condutores (ouro ou alumínio) de diâmetro razoavelmente maior que a menor dimensão das trilhas de metal disponíveis para fabricação. Além disso, estes fios estão significativamente distantes das outras estruturas do CI, o que permite um bom desacoplamento eletromagnético. Pelas razões citadas, o fator de qualidade de indutores realizados desta forma costuma atingir valores superiores a 50, algo praticamente irrealizável com espiras planares em *chip*. A dificuldade em utilizar um *bondwire* na realização de um indutor para o circuito está nas frouxas tolerâncias normalmente dadas às dimensões destas conexões. Note ainda que além da indutância parasita do *bondwire* propriamente dito, haverá a indutância parasita das trilhas que passam pelo encapsulamento, e da pata metálica que liga o interior do *chip* à placa de circuito impresso onde o CI será montado. A combinação desses efeitos resulta em um indutor de indutância apreciável (algo entre 1 nH e 5 nH), mas cujo valor exato depende fortemente do tipo de encapsulamento utilizado, das tolerâncias do processo de ligação do chip ao encapsulamento (*bonding*), podendo ainda depender das dimensões do *wafer* colocado na cavidade do encapsulamento (pois isso determina o comprimento do *bondwire*) e até mesmo a qual pino do encapsulamento o PAD em questão será conectado (alguns encapsulamentos possuem parasitas muito diferentes para diferentes pinos que se deseja utilizar). Por todas estas razões, a indutância do *bondwire* e do encapsulamento em geral serão parasitas cujos efeitos desejaremos minimizar, dada a dificuldade no controle de seus valores nominais.

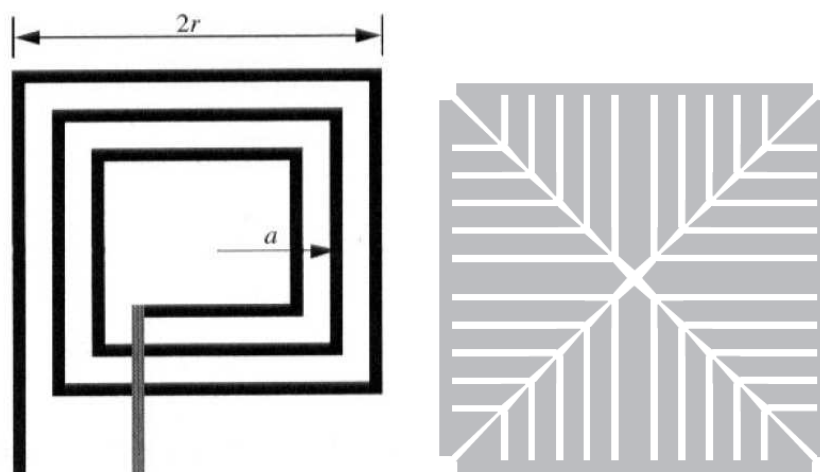
O terceiro método faz uso de indutores ativos em chip, realizados eletronicamente com emprego de transistores, resistores e capacitores. Existem topologias bem conhecidas que simulam a função de um indutor, dentre as quais a mais conhecida é a topologia *gyrator*. Em geral indutores ativos têm a vantagem de poderem ser sintetizados com valores arbitrariamente altos de indutância e fator de qualidade, ao mesmo tempo que ocupam áreas bastante reduzidas em silício. As desvantagens destes dispositivos estarão no alto ruído gerado, na linearidade limitada (que é intrínseca a circuitos que contém dispositivos ativos) e, por vezes, no consumo excessivo de potência necessário a uma boa operação do circuito. De uma maneira geral, circuitos que trabalham em alta frequência tendem a dissipar potência significativa, e o mesmo será observado para indutores ativos de bom desempenho.

A escolha da forma pela qual o indutor será implementado depende muita da aplicação que será dada ao componente. O indutor de porta de um LNA geralmente exige altos valores de indutância com o mínimo

de ruído, o que nos deixa quase que unicamente limitado à opção de usar um indutor externo discreto. Já no caso do indutor de degeneração, ficará claro que apenas dois métodos são razoáveis: a construção de uma espira integrada sobre o próprio silício ou o uso da indutância parasita de um *bondwire*. No caso do indutor de carga do LNA a indutância parasita de um *bondwire* será geralmente insuficiente. Além disso, o ruído dos dispositivo será menos crítico neste ponto. Neste caso fica claro que serão razoáveis as implementações baseadas em uma espira integrada, em um circuito ativo ou ainda em um componente externo.

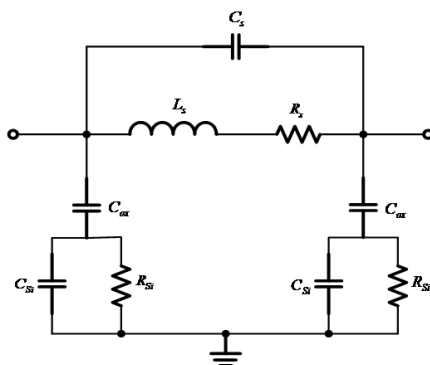
2.6.1 Indutores integrados do tipo espiral

As espirais indutoras integradas podem ser desenhadas com formatos retangulares, octogonais ou circulares. As espirais circulares maximizam a indutância, o fator de qualidade e minimizam a área, e por isso são preferíveis. Infelizmente nem todo processo de fabricação de circuitos integrados permite o desenho de geometrias que envolvam arcos. Se o processo permitir o desenho de linhas inclinadas em 45 graus, será possível desenhar indutores octogonais, que apresentam desempenho inferior ao das espirais circulares mas superior ao das retangulares. Há entretanto alguns processos que permitem apenas geometrias ortogonais, e nestes casos extremos será necessário incorporar indutores quadrados (os de pior performance).



(a) Indutor tipo espiral quadrada

(b) Escudo de terra para indutor



(c) Modelo simples para um indutor

Figura 2.12: Indutor espiral e escudo de terra

Para diminuir as interações eletromagnéticas entre o indutor e o substrato, minimizando perdas e o acoplamento de ruído externo (vide Figura 2.11 [20]), é muitas vezes conveniente introduzir um escudo de terra sob o indutor. O escudo de terra é uma placa de material condutor colocada entre o substrato semiconductor e o indutor, sendo ligada a um dos terminais de alimentação (V_{dd} ou terra). Pode ser realizado com qualquer das camadas do processo de fabricação: polissilício 1 ou 2, metal 1 ou 2 etc. A introdução do escudo de terra em geral provoca diminuição da frequência de auto-ressonância devido ao aumento da capacitância parasita para as alimentações. Simultaneamente, devido à diminuição das perdas para o substrato, um bom escudo de terra pode acarretar aumento do fator de qualidade do componente [21, 22]. De modo similar ao que é feito em transformadores de núcleo ferromagnético, os escudos de terra podem ser laminados (neste contexto usa-se o termo inglês *patterned*, que será traduzido livremente como 'padronizado') tendo em vista a minimização das correntes de Foucault. A Figura 2.12 (c) apresenta uma geometria comum para escudos de terra padronizados.

Um modelo apropriado para o indutor do tipo espiral, incluindo os diversos efeitos parasitas, é apresentado na Figura 2.12 (c). No caso específico de uma espiral quadrada, a indutância é dada aproximadamente pela seguinte expressão [9]:

$$L = \frac{37,5\mu_0 n^2 a^2}{22r - 14a} \quad (2.20)$$

Onde n é o número de voltas, μ_0 é a permeabilidade magnética do vácuo, r é o raio externo da espiral e a o raio médio (vide Figura 2.12) (a). Já a resistência parasita série é dada por [9]:

$$R_s = \frac{l}{\omega\sigma t(1 - e^{-\frac{t}{\delta}})} \quad (2.21)$$

Onde l é o comprimento total do enrolamento da espiral, ω é a largura e t é a espessura das trilhas, σ é a condutividade do material e δ é a profundidade de penetração. Considere agora o problema de projetar um indutor do tipo espiral para ressoar com uma carga capacitiva conhecida em uma dada frequência de operação. Dada a facilidade de realização de capacitores integrados, podemos nos perguntar se não seria mais conveniente introduzir uma combinação de um capacitor mais um indutor para ressoar com a carga desejada. Desta forma vemos facilmente que poderíamos utilizar um indutor com menor indutância para obter ressonância na mesma frequência. É possível que desta forma obteríamos uma carga de maior resistência na ressonância, melhorando a qualidade da estrutura.

Para verificar estas afirmações, suponha que desejamos projetar uma carga LC, e que disponhamos de uma área fixa para desenhar um indutor (o que implica que r é fixo). Suponha também que o raio interno do indutor seja mantido constante (neste caso temos a fixo). A indutância da espiral pode ser alterada variando o número n de voltas, e da equação 2.20 vemos que a indutância cresce com o quadrado de n . Se por exemplo o valor de n for dobrado, a indutância será multiplicada por 4. Neste caso o valor da capacitância de carga terá de ser reduzido por 4 para que a frequência de ressonância seja mantida. Por outro lado, ao dobrar o número de voltas precisaremos necessariamente diminuir a largura das trilhas do indutor pela metade (aproximadamente). Além disso, dobrar o número de voltas nos levará também a

um aumento no comprimento total do enrolamento por um fator 2. De 2.21, vemos então que o novo indutor, com trilhas duas vezes mais finas e enrolamento duas vezes maior, terá resistência parasita série aproximadamente 4 vezes maior que a do indutor anterior. Mas como a indutância também foi aumentada por um fator 4, o fator de qualidade do dispositivo é mantido constante.

A impedância de uma carga ressoante, na ressonância, é puramente real e dada por [9]:

$$R_p = R_s (Q^2 + 1) \quad (2.22)$$

Ao dobrar o número de voltas de um indutor (e diminuir a capacitância por 4), o fator de qualidade da carga se manteve constante, e a resistência parasita série do indutor R_s foi aumentada por um fator 4. De 2.22 concluímos que a impedância da carga na ressonância será também 4 vezes maior. Na prática sabe-se que o fator de qualidade do indutor nesse processo de multiplicação do número de voltas não se manterá constante, mas sofrerá uma pequena degradação. De qualquer forma, a conclusão destes cálculos é que, ao menos em primeira aproximação, ao projetarmos uma carga ressoante integrada será conveniente tentar maximizar a indutância, o que dá nos mesmo que minimizar a capacitância. Equivalentemente, se desejarmos projetar um indutor para ressoar com uma carga capacitiva conhecida, a melhor condição de ressonância será alcançada se incluirmos um indutor para ressoar diretamente com a carga capacitiva já existente. Isto é, não faz sentido adicionarmos maior capacitância à carga já existente para utilizar um indutor de menor indutância.

3 METODOLOGIA

Neste capítulo é descrita a metodologia de projeto adotada. Primeiramente é apresentada uma metodologia básica de projeto de circuitos analógicos operando em rádio frequência, seguida da descrição dos métodos particulares adotados para o projeto de cada um dos circuitos. Ao final são apresentadas as características do tecnologia no qual os módulos deverão ser fabricados.

3.1 METODOLOGIA DE PROJETO DE BLOCOS ANALÓGICOS DE RF

O projeto de blocos analógicos de circuito integrado segue um fluxo básico cujas principais etapas são comuns, independentemente de qual seja a estrutura em questão. Eventualmente algumas etapas poderão ser ignoradas, dada a pouca relevância para o projeto em particular. A Figura 3.1 ilustra de forma esquemática as etapas mais relevantes do fluxo de projeto adotado.

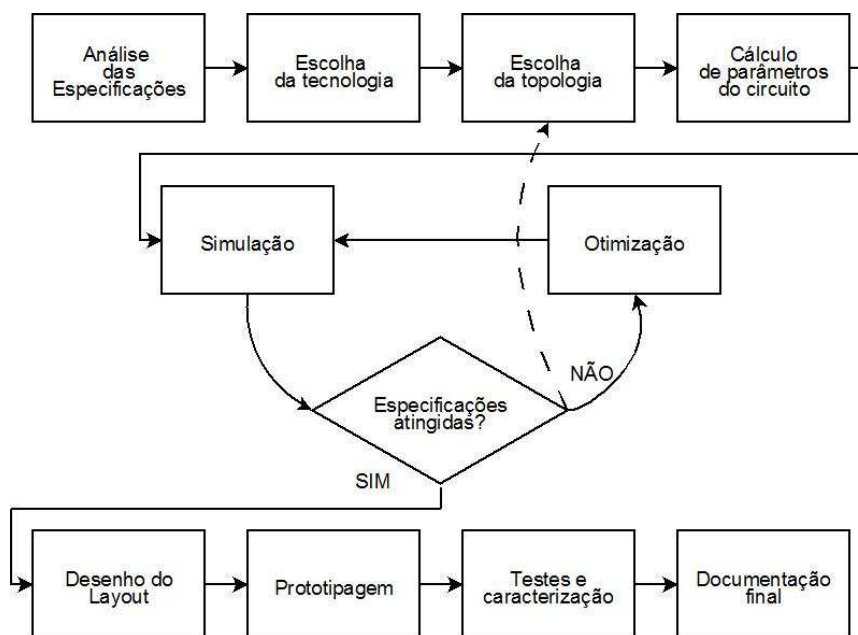


Figura 3.1: Fluxo básico de projeto analógico

Inicialmente foram levantadas especificações gerais de desempenho para o Sistema em Chip (SoC) como um todo. A estas especificações seguiu-se a etapa de escolha da tecnologia para o *chip*. A decisão recaiu sobre o processo C35B4C3 da Austrian Microsystems (as características deste processo serão apresentados em seções posteriores). Vê-se então que as duas primeiras etapas do fluxo de projeto já estão automaticamente executadas para todos os módulos. Para cada bloco que se deseja projetar, este trabalho partirá sempre da etapa de escolha das topologias, e chegará até o fim da etapa de desenho dos *layouts*.

As etapas de prototipagem, caracterização e documentação finais serão realizadas posteriormente, devido a limitações de tempo.

Não são raras as ocasiões em que o projeto de um bloco analógico torna-se um processo intrincado, razoavelmente mais complicado do que a Figura 3.1 pode indicar. Eventualmente poderá ocorrer que, ao projetar um bloco analógico, passe-se firmemente de uma etapa do projeto para a seguinte, mas normalmente o processo não ocorrerá desta forma. Já na etapa de escolha da topologia poderá não ficar muito evidente qual o melhor circuito para realizar a função desejada. Neste caso será eventualmente necessário proceder às etapas seguintes, e possivelmente fique claro na etapa de otimização que a topologia escolhida não se adequa bem às especificações. Se isto ocorrer, certamente precisaremos retornar à etapa inicial de projeto. Esta situação é bastante indesejável, e por si só justifica o dispêndio de boa parte do tempo de projeto no estudo das diversas topologias de circuito conhecidas para a realização do bloco pretendido.

Outra característica dos projetos analógicos está na iteratividade da etapa de otimização. Terminado o dimensionamento de primeira ordem do circuito, procede-se à simulação e, invariavelmente, observa-se que o desempenho do bloco não coincide com o previsto pelos cálculos. Nesse caso passa-se à etapa de otimização, que consiste em sucessivos ajustes dos parâmetros do circuito seguidas por rodadas de simulações, e nesse processo espera-se que o desempenho do módulo convirja gradualmente para as especificações.

A dificuldade de otimização de um circuito estará intimamente ligada à sensibilidade do seu desempenho nos diversos efeitos parasitários dos componentes. Isso será especialmente verdade para módulos que façam uso de indutores integrados, como teremos a oportunidade de ver no capítulo 4. Nesses casos a otimização perfeita do bloco não será atingível com uma quantidade razoável de trabalho, e por esse motivo estaremos dispostos a aceitar desempenho sabidamente inferior ao ótimo.

3.1.1 Metodologia de projeto do LNA

O LNA é um bloco crítico na cadeia de recepção do sistema. Sua figura de ruído é somada integralmente à figura de ruído global do receptor, e seu ganho tem impacto direto na figura de ruído somada pelos estágios seguintes. O LNA é também o primeiro bloco não puramente passivo que aparece na entrada do sistema. Isto significa que a estabilidade de todo o receptor em geral estará condicionada à estabilidade do próprio LNA. Significa também que cabe ao seu projetista lidar com todos os efeitos parasitas e acoplamentos eletromagnéticos indesejáveis naturalmente existentes no encapsulamento do CI. Todos esses fatores devem ser levados em conta ao mesmo tempo que se tenta minimizar o consumo de potência do bloco.

Talvez motivada por essa grande confluência de parâmetros críticos ao desempenho de todo o sistema em um único bloco, a comunidade científica dispendeu bastante tempo desenvolvendo técnicas de otimização específicas para amplificadores de baixo ruído. Essas técnicas foram abordadas no capítulo 2, e sua aplicação leva ao projeto de grande parte do núcleo do amplificador: dimensionamento dos transistores amplificadores, das correntes de polarização e do casamento da entrada do amplificador. Infelizmente es-

sas técnicas convencionais são insatisfatórias ao desconsiderarem efeitos secundários importantes como os parasitários do encapsulamento. Observe ainda que terminada a aplicação de um destes métodos restam ainda pelo menos duas tarefas importantes: o projeto do circuito de polarização e o projeto da carga do amplificador. Por fim, no caso de se optar por uma topologia que utilize indutores integrados do tipo espiral, teremos ainda que projetar explicitamente os indutores. A otimização destas estruturas é um problema laborioso, e o uso de uma ferramenta computacional de cálculo será indispensável nesta tarefa.

Feitas estas considerações, adotar-se-á uma metodologia de projeto para LNA que consiste nas seguintes etapas:

1. Projeto dos transistores amplificadores e do casamento da entrada do LNA, utilizando uma ou mais técnicas de otimização. Nesse ponto o foco do projeto será a minimização da figura de ruído e a maximização do ganho do estágio, mantendo o consumo de potência em níveis aceitáveis. Se mais de uma técnica de otimização for empregada, os circuitos finais podem ser comparados segundo certos critérios para que se eleja o projeto mais promissor;
2. Projeto da polarização do amplificador. Essa é uma tarefa quase independente do projeto do amplificador em si. Entretanto, será obviamente necessário conhecer a condição de polarização que se deseja atingir para que se chegue a um circuito de polarização mais conveniente;
3. Projeto dos indutores previstos na primeira etapa. Este procedimento pode envolver uma ou mais etapas de otimização, a depender da conveniência;
4. Projeto da carga do amplificador. Neste ponto é preciso ter alguma previsão dos circuitos de entrada dos estágios seguintes ao LNA. Em seguida procede-se à otimização da carga seguindo o raciocínio descrito na seção 2.6.1. O projeto dos indutores integrados necessários à realização da carga otimizada segue passos similares aos descritos no item acima;
5. Verificação dos efeitos do encapsulamento sobre o desempenho do LNA. Se os efeitos afetam severamente o desempenho do circuito, faz-se preciso buscar formas de minimizá-los. As compensações pertinentes serão feitas à medida que os problemas forem sendo detectados;

Cada um destes subprojetos seguirá, na medida do possível e do que for razoável, o fluxo de projeto básico para circuitos analógicos apresentado anteriormente. Efetivamente cada subprojeto se inicia na etapa 'análise das especificações' pulando a etapa 'escolha de tecnologia' e terminando em '*layout*', pois não há interesse em fabricar cada sub-bloco do amplificador separadamente (ao menos não a priori). É claro também que não faz sentido escolher tecnologias de fabricação distintas para cada bloco. Por fim, a forma exata como a etapa de 'otimização' será seguida poderá variar de bloco para bloco. Os detalhes serão dados à medida que as necessidades surgirem.

3.1.2 Metodologia de projeto do Misturador (mixer)

O *mixer* será o módulo de RF imediatamente à frente do LNA no nosso sistema receptor (em conformidade com a prática usualmente adotada em receptores dos tipos zero-IF ou low-IF). Neste ponto já não teremos mais tanta preocupação em minimizar figura de ruído, maximizar ganho ou casar a impedância da entrada, pois supõe-se que todas essas tarefas já foram realizadas adequadamente no LNA. Desta forma o projeto pode ser feito com muito mais liberdade, e o emprego de um método de otimização bem estruturado pode ser deixado de lado. O procedimento adotado será o seguinte:

1. Escolha dos parâmetros de desempenho que serão otimizados. É muito comum que *mixers* sejam os maiores limitadores da linearidade de um sistema receptor, e também que sejam responsáveis por consumo de potência apreciável. Além disso, lembre-se que no projeto do LNA foi suposta uma certa carga de entrada para o *mixer*. Dada a sensibilidade do desempenho do sistema a variações de parâmetros no LNA, ficamos tentados a realizar um projeto para o *mixer* que atenda à carga presumida. Escolheremos então um ou dois dentre os seguintes parâmetros para orientar nossa otimização: consumo, linearidade e impedância de entrada.
2. Projeto dos transistores que desempenham as tarefas fundamentais do *mixer*. Isto inclui os elementos que realizem amplificação, conversão tensão-corrente e chaveamento dos sinais. Nesse ponto teremos condições de determinar a impedância de entrada vista em duas das portas do dispositivo: porta de RF, que é ligada ao LNA, e porta LO, ligada ao oscilador local (VCO).
3. Projeto das cargas do *mixer*. Note que a carga em geral terá pouca ou nenhuma influência sobre a impedância vista nas portas de RF e LO e sobre o consumo do estágio. Por outro lado, a linearidade poderá ser fortemente afetada por uma escolha imprudente das cargas. Será então muito natural buscar a carga que leva à máxima linearidade para o conversor.
4. Projeto da polarização. Este passo se assemelha muito ao passo equivalente que aparece no projeto do LNA. Outra preocupação importante nesta etapa será projetar um circuito que permita minimizar o erro de descasamento entre componentes da polarização e dos dois mixers. Desta forma podem-se alcançar boas rejeições de imagem, no caso de optar por um esquema de recepção low-IF (como descrito no capítulo 2).
5. Projeto da degeneração capacitiva, dos capacitores de desacoplamento e dos capacitores de carga. A degeneração deve ser projetada considerando o compromisso entre ganho de conversão e linearidade. O demais capacitores apresentam pouco impacto no desempenho geral do sistema. Uma exceção a esta afirmativa está no capacitor de desacoplamento de entrada de RF, pois este componente está ligado ao nó de saída do LNA. Maiores cuidados devem ser dados ao dimensionamento deste componente, dada a necessidade de controlar os efeitos parasitas neste nó do sistema.

3.2 CARACTERÍSTICAS DO PROCESSO DE FABRICAÇÃO

Foi mencionado anteriormente que o transceptor de RF deve ser inteiramente fabricado na tecnologia C35B4C3 da Austrian Microsystems (AMS). Esse é um processo de fabricação CMOS analógico, cujas principais características são:

- Substrato com dopagem tipo P;
- Comprimento de canal mínimo: $0,35 \mu\text{m}$;
- Transistores NMOS construídos diretamente sobre o substrato P;
- Transistores PMOS construídos em poços N (*N-well*);
- Quatro camadas de metal para interconexões (metais 1, 2 3 e *metal top*). A quarta camada (MTOP) é mais espessa, possuindo resistividade elétrica por quadrado um pouco inferior a das demais;
- Uma camada de polissilício (poly-1) para realizar os terminais de porta dos transistores MOS;
- Uma camada de polissilício extra (poly-2) para realização de estruturas adicionais. Quando combinada com o polissilício de porta dá origem a um capacitor poly-poly de alta linearidade. Quando utilizada isoladamente serve para criar resistores de silício de alta resistividade por quadrado e baixo coeficiente térmico;
- Transistores bipolares laterais e verticais parasitas de baixo desempenho;
- Tensão máxima de operação das principais estruturas: 3,3 V;
- Transistores NMOS e PMOS especiais para operação em 5 volts;

O processo C35B4C3 é apropriado para realização de estruturas digitais operando com relógio em algumas dezenas de MHz e para realização de estruturas de RF operando em poucos GHz. Infelizmente não se trata de uma tecnologia cujo enfoque seja os projetos em radio frequência. Com efeito, a mesma empresa fabricante de CIs (AMS) possui um outro processo, o C35B4M3, o qual inclui estruturas mais apropriadas para a realização de blocos de RF: um capacitor metal-metal, realizado entre o metal 2 e uma camada de metal adicional, colocada logo acima do metal 2; o metal 4 (MTOP) é substituído por uma camada de metal muito espessa e de baixa resistividade (MTHICK), apropriada para a realização de indutores do tipo espiral. A razão pela qual o capacitor metal-metal é mais conveniente para RF do que o capacitor poly-poly reside na grande proximidade entre a camada de polissilício de porta e o substrato semiconductor. Essa proximidade dá origem a uma capacitância parasita significativa (e inevitável) entre a placa inferior do capacitor poly-poly e o substrato.

Por fim, vale ressaltar a implicação dos itens 3 e 4 da lista acima. O fato do transistor NMOS ser fabricado diretamente sobre o substrato P enquanto o transistor PMOS é fabricado sobre um poço N implica que o transistor NMOS será em geral de melhor desempenho. Explica-se o sentido do termo 'melhor

desempenho'. Se dois transistores, um NMOS e um PMOS, apresentam mesma transcondutância quando operando na saturação (no caso de um amplificador ou conversor tensão-corrente) ou mesma resistência de canal quando operando em triodo (no caso de uma chave), então o circuito realizado com o transistor NMOS terá menores dimensões (portanto ocupará menor área e apresentará menores capacitâncias parasitas), gerará menor quantidade de ruído e consumirá uma menor corrente de polarização (e portanto dissipará menos potência) do que o circuito equivalente construído com o transistor PMOS. Naturalmente, essas características levam o projetista a optar pelo uso de transistores NMOS sempre que possível. Existe, contudo, uma última consequência desta assimetria na fabricação dos transistores NMOS e PMOS que beneficia o PMOS. Como o corpo (*bulk*) do transistor PMOS é um poço N, e portanto estará isolado do restante do substrato semiconductor por uma região de depleção, temos a liberdade de conectá-lo ao terminal de fonte do transistor sempre que desejarmos. Desta forma podemos evitar o efeito de corpo em transistores PMOS cujas fontes não se liguem diretamente à alimentação. No caso de transistores NMOS, ao contrário, o terminal de corpo é indistinguível do substrato tipo P do *chip*, que trata-se justamente da referência (terra). Neste caso será impossível evitar o efeito de corpo para transistores NMOS cujas fontes não estejam diretamente ligados ao terra.

4 PROJETO DO LNA

4.1 INTRODUÇÃO

Neste capítulo apresentaremos o projeto do amplificador de baixo ruído para o rSoC. Para isso é necessário apresentar a lista de especificações existentes para o receptor do sistema. Serão então realizados dois projetos distintos, utilizando as técnicas PCNO e PCSNIM apresentadas no capítulo 2. Os circuitos serão simulados com grande parte dos componentes ainda ideais. Em seguida os amplificadores serão comparados com relação a seus parâmetros básico de desempenho: ganho e figura de ruído. Um dos circuitos será escolhido, e o projeto seguirá adiante apenas para essa topologia selecionada. Os componentes ideais serão substituídos por modelos mais realistas, que levem em conta grande parte dos parasitas existentes no circuito integrado real, à medida que forem sendo projetados. Isso inclui por exemplo os indutores e a estrutura de polarização. Ao final, o desempenho esperado para o módulo será levantado por meio de simulações, e o *layout* final para fabricação do circuito será apresentado.

4.2 ESPECIFICAÇÕES DO TRANSCEPTOR DE RF

A seguir são listadas as especificações existentes para o transceptor de RF do rSoC no momento em que este projeto foi iniciado. Até a conclusão deste trabalho, nenhuma delas havia sido alterada.

- Frequência de operação: 915 a 927,5 MHz.
- Número de canais: 50;
- Largura de cada canal: 125 kHz;
- Espaçamento entre canais: 125 kHz;
- Taxa de transmissão: 50 kbps em cada canal, com codificação Manchester;
- Modulação: FSK binário;
- Potência de saída do PA para a antena: ajustável de -10 dBm a +10 dBm;
- Consumo no modo TX: máximo de 40 mW;
- Consumo no modo RX: máximo de 20 mW;
- Sensibilidade: -90 dBm para BER de 10^{-3} ;
- Comunicação Half-Duplex;
- Os sinais devem ser preferencialmente *single-ended*;

- O transceptor de RF deve, se possível, incluir uma chave de RF interna para seleção entre os modos de transmissão e recepção;

4.3 TOPOLOGIA DE CIRCUITO

A topologia escolhida para realização do LNA é a de um amplificador fonte-comum *cascode* com denegação indutiva (vide Figura 4.1). Adicionalmente, ao projetarmos pela técnica PCSNIM será feito uso do capacitor extra C_{ex} . No caso do projeto pela técnica PCNO este componente é desconsiderado, e toma-se imediatamente $C_{ex} = 0$.

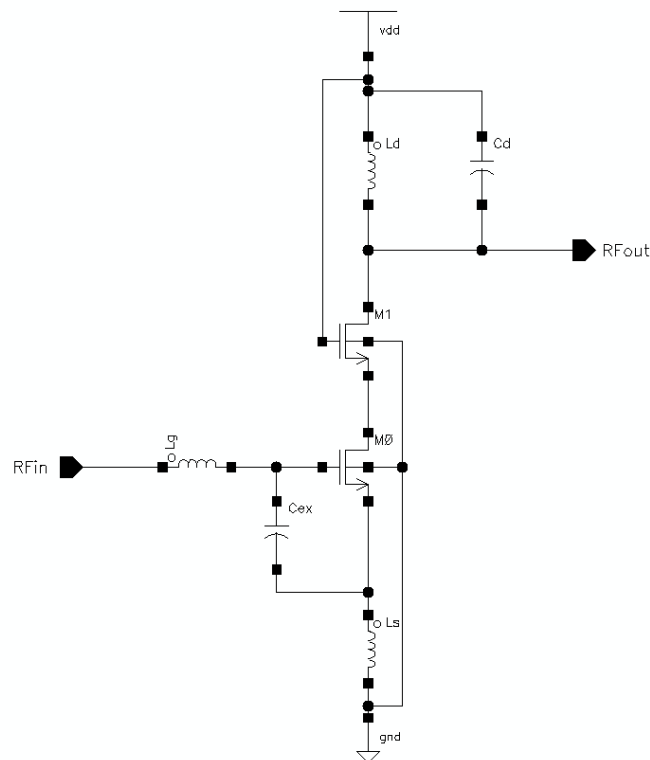


Figura 4.1: Amplificador fonte-comum *cascode* com denegação indutiva para realização do LNA (polarização omitida)

4.4 PROJETO PELA TÉCNICA PCNO

Para realizar o projeto pela técnica PCNO simplesmente seguimos o procedimento descrito no capítulo 2. A execução do projeto fará uso da maior parte das equações de 2.2 até 2.9. Para isso, será necessário possuímos algumas informações à respeito do processo de fabricação em que o amplificador será realizado. Na Tabela 4.1 são apresentados os valores típicos dos parâmetros que serão úteis no projeto pela técnica PCNO e, também, pela técnica PCSNIM.

Tabela 4.1: Parâmetros da tecnologia C35B4C3

Parâmetro	Valor típico	Unidade	Descrição
C_{ox}	4,54	$fF/\mu m^2$	Capacitância parasita porta-canal por unidade de área da porta
$L_{ACT0,35}$	0,29	μm	Comprimento de canal ativo para transistor com $L = 0,35\mu m$
K_n	170	$\mu A/V^2$	Fator de ganho do transistor NMOS
K_p	58	$\mu A/V^2$	Fator de ganho do transistor PMOS
V_{tn}	0,6	V	Tensão limiar do transistor NMOS
V_{tp}	0,7	V	tensão limiar do transistor PMOS
C_{gsdon}	0,120	$fF/\mu m$	Capacitância de <i>overlap</i> porta-dreno e porta-fonte para transistor NMOS, por unidade de largura

Além dos parâmetros de fabricação, alguns outros parâmetros de projeto básicos devem ser fixados. Por exemplo, a impedância da fonte de sinal, a tensão de alimentação, a corrente (ou potência) consumidas e a frequência de operação do circuito são valores fixados pelo projetista ou por outras circunstâncias que não estão intrinsecamente ligadas ao processo de fabricação. Tais parâmetros são listados na Tabela 4.2.

Tabela 4.2: Parâmetros básicos de projeto para o LNA

Parâmetro	Valor	Unidade	Descrição
R_s	50	Ω	Resistência da fonte
ω	5,750	G_{rad}/s	Frequência de projeto
V_{dd}	3,3	V	Tensão de alimentação do circuito
I_D	1,5	mA	Corrente de polarização do LNA

Passemos então ao projeto do circuito. Como o procedimento é simples e, fixada a potência consumida, chega-se a um resultado único, não será necessário apresentar maiores justificativas para os resultados que seguem. Simplesmente listaremos os passos, em conformidade com o que foi feito na apresentação do método na revisão bibliográfica, juntamente com os valores calculados para as grandezas no respectivo passo.

1. Cálculo da largura ótima do transistor porta-comum:

$$W_{opt} = 730\mu m \quad (4.1)$$

2. Cálculo da transcondutância do estágio porta-comum. Lembre-se que nosso amplificador será construído com transistores NMOS, pois o fator de ganho é mais elevado:

$$g_m = 32,6mA/V \quad (4.2)$$

3. Cálculo da capacitância parasita de porta total. A capacitância (C_{gc}) será calculada utilizando a expressão 2.6 (onde $(L - 2L_D)$ equivale a $L_{ACT0,35}$), mas a capacitância (C_{ov}) será obtida diretamente do produto de W_{opt} pelo parâmetro C_{gsdon} :

$$C_{gc} = 0,961pF \quad (4.3)$$

$$C_{ov} = 87,6fF \quad (4.4)$$

Destes valores segue:

$$C_t = 0,816pF \quad (4.5)$$

Onde $C_t = C_{gs} + C_{gd}$.

4. Cálculo da indutância de degeneração:

$$L_s = 1,25nH \quad (4.6)$$

5. Cálculo da indutância de casamento da entrada (indutância de porta):

$$L_g = 36nH \quad (4.7)$$

Isso encerra o projeto pela técnica PCNO. A tabela que segue lista os valores dos componentes calculados neste primeiro projeto.

Tabela 4.3: Resumo do projeto pela técnica PCNO

Parâmetro de circuito	Valor	Unidade
W	730	μm
g_m	32,6	mA/V
C_t	0,816	pF
L_s	1,25	nH
L_g	36	nH

4.5 PROJETO PELA TÉCNICA PCSNIM

Além dos valores apresentados nas tabelas da seção anterior, o projeto pela técnica PCSNIM exige o conhecimento de alguns outros parâmetros, apresentados logo abaixo.

Vale observar que estes parâmetros foram usados também na dedução das equações da técnica PCNO, apesar de não aparecerem explicitamente nas equações de projeto finais.

Tabela 4.4: Parâmetros de ruído para circuitos integrados

Parâmetro	Valor típico	Unidade	Descrição
α	0,85	-	Razão entre g_m e g_{d0}
δ	4/3	-	Coefficiente de ruído de porta
γ	2/3	-	Coefficiente de ruído de corrente de dreno
c	0,395j	-	Correlação entre ruído de porta e ruído de canal

Na técnica PCSNIM temos uma equação para a parte imaginária da impedância da fonte, mas não foi dada nenhuma expressão ou valor fixo para esta grandeza. Como mencionado anteriormente, normalmente é suficiente adicionar um indutor em série com a entrada do LNA para realizar o casamento de impedâncias. Neste caso, consideraremos que a parte imaginária da impedância de entrada consiste simplesmente em um termo do tipo sL_g , onde L_g a indutância do indutor de porta.

Passemos então ao projeto do LNA. Primeiramente substituímos os valores numéricos dos parâmetros e coeficientes conhecidos nas equações de projeto apresentadas na revisão bibliográfica (capítulo 2, equações 2.11 a 2.14). Com isto chegamos às seguintes relações:

$$\frac{1}{C_{gs} \left[0,342 + \left(\frac{C_t}{C_{gs}} + 0,212 \right)^2 \right]} = 4,91 \cdot 10^{11} \quad (4.8)$$

$$L_s + L_g = \frac{3,0310^{-20} \left(\frac{C_t}{C_{gs}} + 0,212 \right)}{C_{gs} \left[0,342 + \left(\frac{C_t}{C_{gs}} + 0,212 \right)^2 \right]} \quad (4.9)$$

$$L_s + L_g = \frac{3,0310^{-20}}{C_t} \quad (4.10)$$

$$\frac{g_m L_s}{C_t} = 50 \quad (4.11)$$

Observe agora que se a razão C_t sobre C_{gs} for suficientemente grande quando comparada com os demais termos da equação 4.9, então 4.9 torna-se idêntica a 4.10. Com efeito, se C_t for duas vezes maior que C_{gs} , o erro nesta aproximação é inferior a 15%. A aproximação citada nos permite descartar uma dentre as equações 4.9 e 4.10 (já que se tornam idênticas), e por isso será adotada. Note ainda que apesar da aproximação se tornar melhor à medida que aumentamos C_t , não estaremos interessados em elevar C_t excessivamente, pois isto leva à diminuição do fator de qualidade da rede RLC série de entrada do LNA, que tem como consequência final a redução da seletividade e do ganho do amplificador. Observe ainda que os denominadores de 4.8 e 4.9 são idênticos. Faremos novamente a aproximação de que a razão C_t sobre C_{gs} é muito maior que os demais termos do denominador de 4.8, e chegaremos a uma expressão mais simples para esta equação. Aplicando as modificações citadas e manipulando apropriadamente as equações de projeto, chega-se a:

$$C_t = 1,4310^{-6} \sqrt{C_{gs}} \quad (4.12)$$

$$L_s + L_g = \frac{3,03 \cdot 10^{-20}}{C_t} \quad (4.13)$$

$$\frac{g_m L_s}{C_t} = 50 \quad (4.14)$$

Podemos reescrever 4.12 em termos da largura W do transistor, já que para um comprimento de canal L fixado os termos C_{gs} e W são proporcionais. Aplicando um método análogo ao utilizado no projeto via técnica PCNO para o cálculo da capacitância parasita total de porta do transistor, obtém-se:

$$C_{gs} = 1,12 \cdot 10^{-9} \cdot W \quad (4.15)$$

Substituindo 4.15 em 4.12 vem:

$$C_t = 4,78 \cdot 10^{-11} \sqrt{W} \quad (4.16)$$

Lembrando agora que a transcondutância g_m de um transistor na saturação é dada por:

$$g_m = \sqrt{\frac{2KW}{L}} I_D \quad (4.17)$$

Substituímos os parâmetros conhecidos para chegar a:

$$g_m = 1,21 \cdot \sqrt{W} \quad (4.18)$$

Substituindo 4.16 e 4.18 em 4.14 obtemos finalmente:

$$L_s = 1,98nH \quad (4.19)$$

Para determinar os demais parâmetros basta escolher um valor para a razão C_t sobre C_{gs} . Os cálculos finais são bastante simples, consistindo simplesmente em substituições sucessivas nas equações já apresentadas. Escolhemos $C_t = 2C_{gs}$. Observe que como $C_t = C_{gs} + C_{ex}$, esta escolha equivale a $C_{gs} = C_{ex}$. A tabela que segue resume os valores dos parâmetros calculados.

4.6 COMPARAÇÃO ENTRE PCNO E PCSNIM

Finalizados os projetos do LNA pelas duas técnicas, somos capazes de verificar qual dos métodos gera o circuito de melhor desempenho dentro dos propósitos do nosso transceptor. Idealmente a técnica

Tabela 4.5: Resumo do projeto pela técnica PCSNIM

Parâmetro de circuito	Valor	Unidade
W	510	μm
g_m	27,26	mA/V
C_{ex}	0,510	pF
L_s	1,98	nH
L_g	27,74	nH

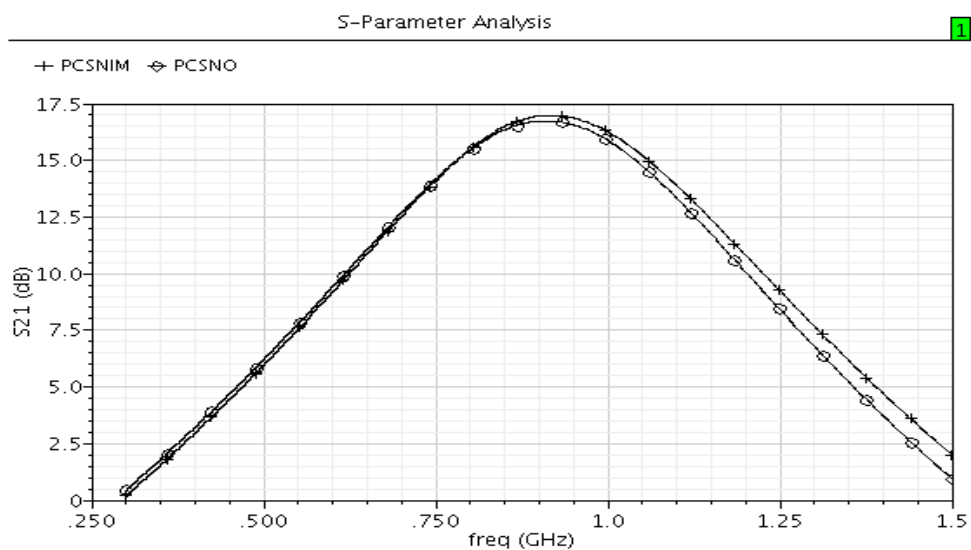
PCSNIM gera um circuito com mínima figura de ruído, o que não ocorre na técnica PCNO. Por outro lado, a técnica PCNO gera um circuito de maior transcondutância, e neste caso podemos esperar ganho um pouco superior para o LNA otimizado por esta técnica. Uma observação um pouco mais cautelosa nos mostra que de fato os dois circuitos obtidos são muito semelhantes. O LNA obtido via PCNO possui um transistor fonte-comum um pouco mais largo; por outro lado, o transistor fonte-comum da PCSNIM, apesar de ser um pouco menor, é colocado em paralelo com um capacitor, de forma que a capacitância de entrada total deste LNA será um pouco superior ao do outro. Os indutores de degeneração e de casamento da entrada são da mesma ordem de grandeza nos dois projetos. A potência consumida pelos dois foi escolhida exatamente com o mesmo valor. É de se esperar que valores razoáveis de indutância de carga na saída dos dois amplificadores sejam também muito semelhantes.

Observe que há ainda duas estruturas que devem ser dimensionadas nos dois LNAs otimizados: o transistor amplificador porta comum e a carga. A dimensão do transistor porta-comum é comumente escolhida (de forma bastante arbitrária) como sendo igual à do transistor amplificador fonte comum [9]. Desta forma garante-se neutralização adequada do efeito Miller na entrada do amplificador. Observe que a arbitrariedade usualmente adotada escolha é indicação de que o desempenho do módulo é pouco sensível às dimensões exatas desse componente. Entretanto, como o transistor fonte comum possui dimensões bastante elevadas, a escolha de transistores amplificadores iguais implica em um transistor de grandes dimensões na saída do LNA, o que gera significativo carregamento capacitivo neste nó do circuito. Para compensar parcialmente esse efeito, a escolha feita nesse trabalho será de tomar a largura do transistor amplificador porta comum igual à metade da largura do transistor fonte comum.

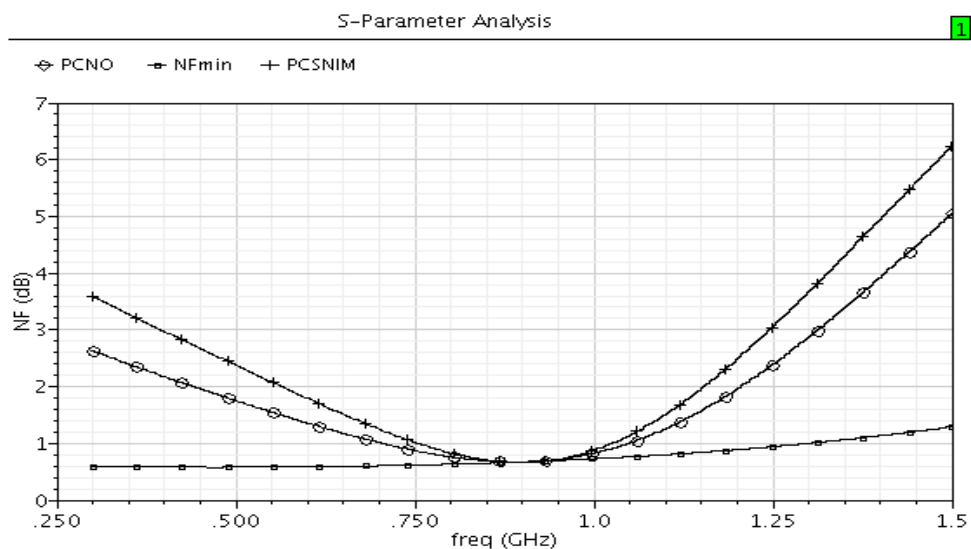
O projeto da carga do LNA será abordado em seções posteriores. Entretanto, para que possamos simular o circuito é necessário ligar alguma carga em sua saída. O procedimento adotado para obter um projeto razoável, pelo menos por enquanto, foi o seguinte: primeiramente adicionamos um capacitor de 500 fF à saída (para simular a carga do *mixer*), e em seguida um indutor de valor baixo (10 nH) em paralelo. A indutância de saída é aumentada e o circuito é simulado, progressivamente, até que se observe que a carga do LNA ressoa na frequência de operação (920 MHz). Por fim, adiciona-se um resistor em série com o indutor obtido ao final, de forma que o fator de qualidade total da carga seja próximo de 5 (um valor típico para indutores integrados [9]). Para observar a saída, utiliza-se uma porta ideal cuja impedância de entrada é igual à impedância da carga na ressonância. Desta forma garante-se a máxima transferência de potência

do LNA para a porta. O procedimento descrito pode ser realizado rapidamente e com grande facilidade caso haja disponibilidade de uma ferramenta de simulação (o que de fato ocorre no LPCI), e por isso não será tratado com detalhes aqui. O procedimento foi efetuado para os dois LNAs projetados, e os circuitos finais foram simulados para que pudéssemos comparar seus desempenhos.

A consequência de todas as similaridades entre os LNAs notadas acima é que o desempenho dos circuitos obtido por simulações é praticamente indistinguível. Como ilustração deste fato apresentamos o resultado das simulações de dois parâmetros representativos: o parâmetro S21 (ganho direto) e a figura de ruído, para ambos os circuitos (vide Figura 4.2). Em todas as simulações de figura de ruído realizadas neste trabalho, a temperatura típica de operação considerada é de 300 K.



(a) Parâmetro S21 versus frequência.



(b) Figura de ruído versus frequência

Figura 4.2: Comparação entre os circuitos otimizados aplicando as técnicas PCNO e PCSNIM

De qualquer forma é necessário optar por uma das topologias para que possamos prosseguir o projeto.

Um breve momento de reflexão nos permite levantar qualitativamente algumas vantagens e desvantagens de cada um dos circuitos em relação ao outro. Essas características estão listadas na tabela 4.6.

Tabela 4.6: Comparação entre PCNO e PCSNIM

LNA otimizado por PCNO	LNA otimizado por PCSNIM
PCNO => baixa NF, porém não mínima.	PCSNIM => NF idealmente mínima.
Maior transcondutância do amplificador => maior ganho de conversão.	Menor transcondutância => menor ganho de conversão.
Não há capacitor C_{ex} => menos componentes, menor área ocupada em silício.	Há capacitor C_{ex} => grau de liberdade extra para a otimização e ajuste fino dos parâmetros do circuito.
Menor indutância de degeneração => circuito menos ruidoso.	Maior indutância de degeneração => maior imunidade às indutâncias parasitas do encapsulamento.
Maior indutância de casamento => maior fator de qualidade na rede de entrada.	Menor indutância de casamento => rede de entrada menos ruidosa.

Dada a grande semelhança no desempenho dos circuitos, a escolha de um entre os LNAs torna-se razoavelmente arbitrária. Como não sabemos ao certo qual o efeito que o encapsulamento terá sobre o desempenho do circuito, e quais compensações teremos que realizar, resolvemos por segurança optar pelo projeto obtido pela técnica PCSNIM. Lembre-se que este circuito possui um capacitor externo C_{ex} . Lembrando a fórmula para a parte real da impedância de entrada do LNA:

$$Re[Z_{in}] = \frac{g_m L_s}{C_t} \quad (4.20)$$

Vemos que o capacitor externo nos fornece uma possibilidade de variar $Re[Z_{in}]$ sem alterar os demais componentes do circuito. Por outro lado, na técnica PCNO seríamos obrigados a mudar a dimensão do transistor fonte-comum ou, pior ainda, alterar a indutância de degeneração. Neste sentido é que se diz que o circuito obtido via PCSNIM é um projeto mais 'seguro'.

4.7 PROJETO DA POLARIZAÇÃO

Para polarizar o LNA optamos pela primeira estrutura apresentada na Figura 2.5. Essa estrutura utiliza poucos componentes, é bem mais simples, é de baixo consumo e não requer o uso de um AMPOP. A inclusão do AMPOP pode levar a um aumento exagerado no consumo e na área ocupada pelo dispositivo. Além disso, como não temos em nossas bibliotecas nenhum AMPOP disponível, precisaríamos projetá-lo exclusivamente para esta aplicação. Acreditamos que este seja um esforço pouco justificado.

A equação básica de projeto desta estrutura é a que fornece a relação entre a transcondutância e as

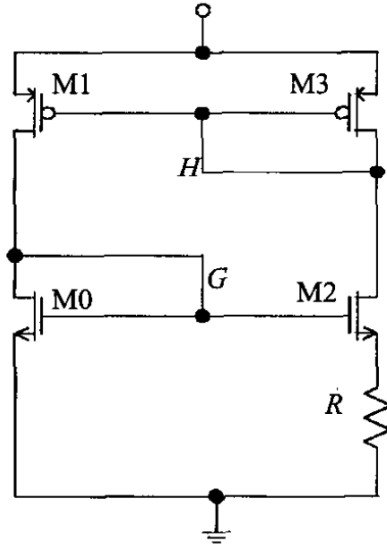


Figura 4.3: Referência de transcondutância para o LNA

dimensões dos transistores. A relação é repetida aqui (4.21) por conveniência.

$$g_{m0} = \frac{2}{R} \left(1 - \sqrt{\frac{W_0 L_2}{W_2 L_0}} \right) \quad (4.21)$$

Observa-se que a transcondutância gerada pela referência depende apenas da relação entre os W/L dos dois transistores NMOS. Pode-se iniciar o projeto escolhendo essa relação. Primeiramente lembramos que o transistor do LNA que desejamos polarizar (que opera como amplificador fonte-comum) foi projetado com $L = 0,35\mu m$. A precisão da referência de transcondutância depende criticamente do bom casamento entre os transistores NMOS da referência e da estrutura polarizada. Neste caso é conveniente utilizar o mesmo comprimento de canal $L = 0,35\mu m$ para os transistores da referência, pois este procedimento em geral leva a melhores casamentos [19]. O grau de liberdade para a determinação da razão entre os W/L dos transistores ficará então na escolha das larguras de cada transistor. Novamente para melhorar o casamento entre os componentes será conveniente escolher valores para as larguras que sejam múltiplos inteiros um do outro, e de forma também que o transistor do LNA tenha largura igual a múltiplos inteiros das larguras dos transistores da referência. É evidente que não podemos escolher W/L iguais para os dois transistores, pois neste caso de 4.21 vemos que a transcondutância fornecida será necessariamente nula. Além disso, valores muito diferentes de largura para os transistores levam a uma piora na qualidade do casamento. Por simplicidade escolheremos $W_2 = 4W_0$. Com esta escolha a transcondutância da referência fica dada por:

$$g_{m0} = \frac{2}{R} \left(1 - \sqrt{\frac{1}{4}} \right) = \frac{2}{R} \left(\frac{1}{2} \right) = \frac{1}{R} \quad (4.22)$$

Para o LNA otimizado via PCSNIM (que é aquele cujo projeto desejamos continuar), obtivemos $g_m = 27,26mA/V$. Entretanto, não será este o valor a ser substituído na equação 4.22. Para entender o porque deve-se observar a forma como a polarização está sendo realizada. Essa estrutura de polarização será

responsável por gerar um valor de tensão, e esta tensão será aplicada na porta do transistor do LNA. A transcondutância de um transistor operando na saturação é dada pela equação 2.16, a qual é novamente repetida aqui (4.23) por conveniência.

$$g_m = \frac{K_n W}{L} (V_{gs} - V_{tn}) = \sqrt{\frac{2K_n W}{L} I_D} \quad (4.23)$$

Reescrevendo de forma a isolar a tensão de *overdrive* (definida como a diferença $V_{gs} - V_{tn}$) ficamos com:

$$V_{gs} - V_{tn} = \frac{g_m L}{K_n W} = \sqrt{\frac{2L}{K_n W} I_D} \quad (4.24)$$

No projeto do LNA tivemos a necessidade de reservar uma alta corrente de polarização para o amplificador de modo a garantir alto ganho e baixa figura de ruído. Felizmente não teremos a mesma necessidade na referência de transcondutância. Desta forma será conveniente utilizar correntes de polarização inferiores para a estrutura. Das considerações feitas anteriormente vemos que o importante para garantir a correta polarização do LNA será gerar o valor correto de tensão de *overdrive*, já que é a tensão gerada pela referência que é utilizada diretamente na polarização. Na equação 4.24 vemos que se diminuirmos a corrente de dreno I_D , para manter a tensão de *overdrive* precisaremos diminuir a largura W do transistor na mesma proporção (compare o primeiro e o terceiro termos desta equação). Por outro lado, ao diminuir a largura mantendo o *overdrive* constante, uma comparação do primeiro e segundo termos de 4.24 nos permite concluir que se estará diminuindo a transcondutância da estrutura na mesma medida.

Feitas estas reflexões, estamos em condições de projetar a estrutura. Primeiro escolhemos arbitrariamente um fator de redução de 20 para a corrente de polarização da referência. Esse fator é elevado o suficiente para garantir que a referência drenará uma corrente total bastante inferior à do LNA (não 20 vezes menor, mas apenas 10 vezes, pois temos dois ramos na referência, e cada um drena igual quantidade de corrente). Por outro lado, é elevado o suficiente para não prejudicar excessivamente a qualidade do casamento entre os transistores (note que há, como de costume, uma solução de compromisso nessa escolha). Para esse fator de redução de corrente já sabemos que a transcondutância da referência será reduzida também por um fator de 20. Assim sendo, desejamos projetar a polarização para:

$$g_{m0} = \frac{27,26}{20} = 1,363 \text{ mA/V} \quad (4.25)$$

Substituindo em 4.21 obtemos $R = 734\Omega$. Além disso, como o fator de redução de corrente escolhido foi de 20, e lembrando que a largura do transistor do LNA é de $510\mu\text{m}$, teremos $W_0 = 25,5\mu\text{m}$ e $W_2 = 102\mu\text{m}$.

Por fim resta projetar o espelho de corrente. Esse espelho deve ser do tipo 1:1, e a forma mais simples, imediata e que leva ao melhor casamento de fazer isto consiste em tomar $W_1 = W_3$ e $L_1 = L_3$. É interessante também escolher comprimento de canal maior que mínimo para estes transistores, pois isto aumenta a resistência de saída do espelho. Para ver o quão elevado poderá ser o comprimento do canal,

calculamos primeiramente a relação W/L que precisaremos. Observe que há grande liberdade na escolha da tensão DC no dreno dos transistores da estrutura, pois o valor da tensão de alimentação é muito superior ao necessário para garantir o funcionamento correto deste circuito (isto é, garantir todos os transistores operando na saturação). Para maximizar a tolerância do circuito a variações de processo, projetaremos o circuito de forma que a tensão de dreno dos transistores NMOS seja de 1,6 V (metade da faixa total disponível). Esta será evidentemente a tensão de porta do espelho de corrente, já que há uma ligação direta entre dreno e porta no transistor M3. Com estas escolhas, podemos calcular a relação W/L necessária manipulando 2.15:

$$\frac{W}{L} = \frac{2I_D}{K_p(V_{sg} + V_{tp})^2} = \frac{2 \times 0,075}{0,058(3,3 - 1,6 - 0,7)^2} = 2,58 \quad (4.26)$$

A escolha dos valores exatos das dimensões dos transistores é arbitrária. Neste caso optamos por $W_1 = W_3 = 10\mu m$ e $L_1 = L_3 = 4\mu m$, e encerramos o projeto da referência de transcondutância.

4.8 PROJETO DO INDUTOR DE DEGENERAÇÃO

Como discutido no capítulo 2, há diversas formas de realizar indutores para circuitos integrados. O valor de indutância necessário ao indutor de degeneração nos permite realizá-lo com uma espiral integrada. Além disso, o fato deste componente se ligar diretamente à referência nos permite também aproveitar os parasitas do encapsulamento para realizá-lo. Para sermos capazes de aproveitar um *bondwire* como indutor útil ao circuito é necessário que tenhamos um bom modelo do encapsulamento, para que desta forma o valor da indutância parasita total possa ser previsto com boa precisão. Infelizmente este não é o nosso caso, pois não está certo ainda o tipo de encapsulamento que será usado no produto final. Também não há uma estimativa minimamente razoável para as dimensões finais do substrato (*die*) que irá conter todo o SoC. Isso impossibilita também a previsão do comprimento do *bondwire* que ligará o PAD de terra ao pino do CI.

Por estas razões, ficamos limitados a realizar o indutor de degeneração por uma espiral integrada. O projeto deste componente pode ser feito por meio de equações analíticas aproximadas. Este projeto em geral envolve um compromisso entre os seguintes parâmetros: fator de qualidade, área em *chip*, indutância e frequência de auto-ressonância. Indutores calculados com equações analíticas geralmente apresentam desempenho ruim, muito longe do ótimo. Por estas razões lançaremos mão de ferramentas computacionais para projetar esse indutor. No Laboratório de Projeto de Circuitos Integrados (LPCI) da UnB temos à nossa disposição uma ferramenta da CADENCE chamada VPCD (*Virtuoso Passive Component Designer*), cuja função é especificamente a de simular os parâmetros de desempenho de indutores integrados do tipo espiral. Com esta ferramenta o projeto de indutores torna-se relativamente simples. Em uma primeira etapa especificamos as metas de desempenho para a ferramenta (indutância, área ocupada, fator de qualidade, frequência de auto-ressonância), a frequência de operação do componente e atribuímos a função de cada uma das camadas de metal e polissilício. É permitido usar cada uma das camadas para compor a espiral

indutora, para realizar o *underpass* (conexão entre o centro da espiral e a parte externa do indutor), ou ainda como parte do escudo de terra. Em seguida o simulador gera uma pequena quantidade de indutores cujos desempenhos se aproximem do especificado. Podemos então avaliar as características dos componentes gerados e refinar as especificações, de modo a obter resultados progressivamente mais próximos do ótimo. Terminado este processo escolhemos o componente de melhor desempenho, e a ferramenta gera automaticamente o layout e um esquemático equivalente para estrutura. O layout pode evidentemente ser utilizado no desenho do *chip*, mas pode ainda servir de subsídio para realizarmos uma simulação mais sofisticada, prevendo com maior precisão o desempenho do indutor. Essa simulação é realizada pela mesma ferramenta, e faz uso de um algoritmo de cálculo numérico em três dimensões dos campos eletromagnéticos no indutor utilizando o método dos momentos (*EM solver*). Ao final deste processo temos um conjunto de dados mais representativos do real desempenho do componente.

Passemos então ao projeto do indutor de degeneração. Constatou-se que um valor mais apropriado para o valor desse indutor, após algumas rodadas de otimização via simulações, é de 2,6 nH (diferentemente dos 1,98 nH calculados). Assim sendo, um indutor de 2,62 nH com duas camadas de metal (metal 4 e metal 3) compondo a espiral, e uma camada de metal (metal 2) compondo o *underpass* foi otimizado na ferramenta VPCD, sem qualquer escudo de terra. Em seguida, um conjunto de quatro simulações mais precisas do indutor foram realizadas com o *EM solver*.

As simulações foram realizadas nas seguintes condições:

1. Indutor sem escudo de terra;
2. Indutor com escudo de terra formado por metal 1 padronizado ligado a polissilício 2 padronizado;
3. Indutor com escudo de terra formado por metal 1 padronizado ligado a polissilício 2 sólido;
4. Indutor com escudo de terra formado por polissilício 2 padronizado com interconexões em metal 1;

As curvas obtidas encontram-se no Anexo I. A partir destas curvas constrói-se a tabela 4.7, que resume os principais parâmetros de desempenho dos indutores simulados:

Tabela 4.7: Comparação entre os indutores

Parâmetro	Ind. 1	Ind. 2	Ind. 3	Ind. 4	Unidade
Indutância (@ 920 MHz)	2,6	2,6	2,5	2,6	nH
Fator de qualidade máximo	7,2	6,4	6,0	7,4	-
Frequência de auto-ressonância	>10	7,8	7,0	10	GHz

Apesar de já termos à nossa disposição boa quantidade de informações sobre os indutores, a escolha do componente não será feita agora, mas será deixada para mais adiante (seção 4.10). A razão disso ficará evidente no momento que a escolha for feita.

4.9 CONSIDERAÇÕES SOBRE SELETIVIDADE E PROJETO DA CARGA DO LNA

A arquitetura porta-comum cascode com casamento de impedância indutivo confere ao LNA uma característica passa-faixa sintonizada na frequência de projeto. Em aplicações banda-estreita essa característica é desejável e bem vinda, pois fornece uma rejeição inicial a sinais localizados fora da banda de operação do receptor e facilita o trabalho de filtragem dos estágios seguintes. Seguindo esta filosofia, parece interessante ligar à saída do LNA uma carga também sintonizada, capaz de aumentar ainda mais a seletividade do amplificador. Há de se realizar uma porção de considerações a esse respeito. O primeiro fato a ser constatado é que as características destas redes, e portanto também o projeto delas, são muito diversos. Mais especificamente, o fator de qualidade de cada uma destas redes (parâmetro básico que mede a sintonia do filtro) será geralmente limitado por fenômenos distintos.

A seletividade da rede de casamento na entrada do LNA dificilmente será elevada, independentemente de como sejam realizados os passivos (capacitores e indutores). Isso ocorre porque existe um valor desejável fixo para parte real da impedância de entrada do amplificador (50Ω), e este valor é normalmente da mesma ordem de grandeza da impedância reativa típica de porta do transistor amplificador porta-comum. Para verificar este fato vamos realizar um breve exercício.

Considere um transistor porta-comum de um LNA com capacitância parasita total de entrada igual a 0.816 pF . Este é o valor obtido para a carga capacitiva total do nosso LNA projetado pela técnica PCNO. Tomemos a frequência de projeto de 915 MHz . O indutor de casamento série necessário para ressoar esta capacitância na frequência de projeto é facilmente calculado e seu valor será de 37.2 nH . Note que esta indutância é ordinariamente obtida pela soma das indutâncias de dois indutores, o de casamento de entrada e o de degeneração. Suponha inicialmente que ambos os indutores são ideais. Neste caso, o fator de qualidade da rede de entrada é calculado por:

$$Q_{in} = \frac{\text{Im}[Z]}{\text{Re}[Z]} = \frac{\frac{1}{\omega C}}{R} = \frac{1}{sC} = 4,26 \quad (4.27)$$

Usualmente o indutor de degeneração é realizado no próprio *chip* e será de baixo valor. Se for realizado por uma espiral planar, terá também um baixo fator de qualidade (em torno de 4, por exemplo). O indutor de entrada será responsável por algo em torno de 95% da indutância total de casamento e será realizado por um componente externo, de alto fator de qualidade (30 ou superior). Consideremos novamente os componentes obtidos pelo nosso projeto pela técnica PCNO, em que o indutor de degeneração L_s obtido foi de $1,25 \text{ nH}$, e suponha um fator de qualidade Q_s de 4 para este componente. O indutor de porta L_g tinha indutância 36 nH , e se for realizado externamente, poderá apresentar fator de qualidade Q_g da ordem de 30. As resistências parasitas séries R_s e R_g destes componentes serão:

$$R_s = \frac{\omega L_s}{Q_s} = 1,80 \Omega \quad (4.28)$$

$$R_g = \frac{\omega L_g}{Q_g} = 6,9 \Omega \quad (4.29)$$

A resistência parasita total é de $8,7 \Omega$, o que corresponde a 17% dos 50Ω de resistência de entrada total desejável. A observação importante neste caso é que o maior limitante para a seletividade da rede de entrada será a parte real naturalmente existente pela necessidade de casamento da impedância de entrada, e não os baixos valores de fator de qualidade dos indutores planares realizáveis no CI.

Voltemos agora à questão do nó de saída do LNA. O amplificador deve ser projetado levando em consideração a carga que deverá alimentar. No caso de um receptor superheteródino, a prática usual consiste em jogar a saída do LNA diretamente em um filtro em rejeição de imagem (IR) de alto fator de qualidade. Estes filtros são comumente do tipo SAW (*Surface Acoustic Wave*) realizados externamente ao circuito integrado, e apresentam impedância de entrada de 50Ω . São também dispositivos muito sensíveis a descasamentos na entrada, o que significa que o LNA deverá ser projetado para alimentar essa impedância particular. Por outro lado, geralmente será interessante projetar o LNA para maiores impedâncias de saída. Nestes casos, uma alternativa consistirá em incluir uma rede de casamento de impedâncias externa na saída do LNA, de modo a baixar a impedância de saída vista externamente para valores próximos a 50Ω , o que permitirá a maximização da transferência de potência para o filtro de rejeição de imagem. Em aplicações deste tipo precisaremos, adicionalmente a quaisquer cargas que desejemos, ligar um PAD à saída do LNA, pois só desta forma será possível realizar a conexão do módulo com a entrada do filtro de IR. Tais PADs apresentam substanciais capacitâncias parasitas para o substrato, e por isso podem ser modelados razoavelmente bem por capacitores.

Para sistemas com receptores zero-IF ou Low-IF, que a princípio é o nosso caso, o estágio seguinte ao LNA será o de conversão de frequência. Essa conversão é realizada por um conjunto de *mixers*, que pode contar com um total de 1 a 6 destes componentes. Entretanto, mesmo em arquiteturas de dupla conversão em quadratura (que faz uso de 6 *mixers*), a saída do LNA é ligada diretamente a apenas 1 ou 2 *mixers*. A impedância de entrada de um *mixer* pode variar, dependendo se o módulo será realizado simplesmente por um conjunto de chaves MOS (*mixer* passivo) ou por um conversor tensão-corrente seguido de um conjunto de chaves operando em modo de corrente (*mixers* ativos do tipo célula de Gilbert). O segundo caso é mais simples, pois fica claro que a impedância de carga do LNA será puramente capacitiva (desprezando os efeitos que possíveis degenerações dos transistores de entrada do *mixer* tenham na impedância de entrada do módulo). No capítulo 2 foram dadas boas razões pelas quais será preferível utilizar um *mixer* ativo em lugar de um *mixer* passivo para realizar a translação de frequência no receptor.

Por fim, é interessante que o LNA seja projetado de modo a ser facilmente caracterizado. Os instrumentos de caracterização de circuitos de RF são corriqueiramente construídos com impedâncias de entrada de 50Ω . A carga vista pelo LNA durante a caracterização é evidentemente muito similar à que teríamos numa arquitetura com filtro de IR externo ao CI, durante a operação normal do circuito.

Vemos então que tanto no caso de ligar a saída do LNA a um filtro de IR externo, quanto no caso de ligá-lo internamente a um conjunto de *mixers*, quanto ainda durante um procedimento de caracterização elétrica, parte da carga do LNA esta fixada, e em uma boa aproximação pode ser modelada por uma capacitância parasita do nó de saída do LNA para uma das alimentações (Vdd ou terra). Outro elemento que contribui substancialmente com carga capacitiva neste nó é o dreno do transistor de cascode do LNA.

Devido às grandes dimensões deste componente, a capacitância parasita a ele associada será comumente da mesma ordem de grandeza da capacitância de um PAD de RF ou da entrada de um par de *mixers* (algo em torno de 0.5 pF), por exemplo, e portanto não poderá de forma alguma ser desprezada.

Como mencionado anteriormente, o nosso maior interesse está em maximizar a carga na saída do LNA, pois, para um valor fixado de transcondutância do transistor amplificador porta-comum, quanto maior a impedância da carga maiores serão os ganhos de tensão e de potência. Uma forma eficiente de elevar esta impedância de saída consiste em incluir um indutor em paralelo com a carga capacitiva parasita. Este indutor deve ser tal que entre em ressonância com a capacitância parasita total na frequência de operação. Observe que desta forma adicionamos uma segunda etapa de filtragem passa-faixa ao LNA, o que como já foi mencionado é bastante desejável. Tal carga apresenta ainda a virtude de permitir a polarização do LNA sem nenhuma queda de tensão da alimentação para o dreno do transistor cascode, independentemente do valor de corrente de polarização (isso é particularmente útil em aplicação *low voltage*). Por último, uma carga do tipo LC não introduz qualquer ruído ao sinal aplicado (pelo menos idealmente).

Neste ponto é conveniente lembrar que um indutor integrado real está muito longe de ser um componente ideal. O fator de qualidade típico estará nas vizinhanças de 4. Ao contrário, capacitores integrados estão bem mais próximos da idealidade, pois apresentam fatores de qualidade corriqueiramente maiores (não raro muito maiores) que 50. Assim sendo, no caso de utilizarmos um indutor integrado como carga, será perfeitamente razoável modelar a limitação na qualidade da carga LC simplesmente pela resistência série deste indutor. Mais que isso, o fator de qualidade da carga como um todo será equivalente ao fator de qualidade do indutor. Grande atenção será dada a esse caso porque, para um sistema em *chip*, o indutor de carga certamente terá de ser integrado no CI.

Consideremos novamente nosso LNA otimizado via técnica PCNO. Imaginemos primeiramente que não há qualquer PAD ligado a sua saída, isto é, estamos interessados em projetar o dispositivo para operar ligado diretamente aos *mixers*. Suponhamos que a carga capacitiva total de entrada dos *mixers* somada à carga capacitiva do transistor cascode de saída do LNA totalize 1 pF. Neste caso, um indutor de carga adequado para ressoar com esta carga capacitiva C_d em 915 MHz terá indutância L_d dada por:

$$L_d = \frac{1}{\omega^2 C_d} = 30,25nH \quad (4.30)$$

Como este é um indutor de valor elevado, seu fator de qualidade tende a ser um pouco pior que o do indutor de degeneração. Tomemos um fator de qualidade Q_d igual a 3,5. A resistência parasita série R_d deste indutor de carga será:

$$R_d = \frac{\omega L_d}{Q_d} = 49,7\Omega \quad (4.31)$$

Na ressonância, o circuito LC de fator de qualidade finito torna-se uma carga puramente resistiva de resistência paralela R_p dada aproximadamente por [9]:

$$R_p = R_d \times Q_d^2 = \frac{L_d}{R_s C_d} = 603,6\Omega \quad (4.32)$$

Combinando o fator de qualidade da rede LCR de entrada Q_{in} com a transcondutância g_m do amplificador e a impedância R_p da carga na ressonância [9], chega-se a um ganho de tensão estimado para o LNA de:

$$G_v = Q_{in} \cdot g_m \cdot R_p = 4,26 \times 32,6 \times 603,6 = 83,82 = 38,5dB \quad (4.33)$$

Note que excelentes ganhos de tensão são possíveis desta forma. Na prática outros fatores contribuirão para a degradação do valor real de ganho observado (como as impedâncias parasitas do encapsulamento e do indutor espiral). Em todo caso, valores de ganho superiores a 30 dB são realizáveis.

Este mesmo LNA poderia ser projetado para uma carga de saída que incluísse um PAD de RF, para que desta forma o LNA pudesse ser caracterizado. Neste caso é mais interessante incluir um indutor de carga externo. Podemos projetar um indutor com fator de qualidade intermediário, de forma que a carga LCR apresente na ressonância uma resistência paralela igual a 1206Ω (o dobro dos 603Ω esperado para o circuito inteiramente integrado). Desta forma, ao conectarmos um instrumento de medida (um analisador de espectro, por exemplo) que apresente uma carga total também igual a 1206Ω , estaremos garantindo que: a carga vista pelo LNA, na ressonância, é igual à carga vista pelo dispositivo quando o indutor de carga for integrado e o PAD de RF for retirado (isto é, 603Ω , obtida pela combinação em paralelo das duas cargas de 1206Ω); haverá máxima transferência de potência do LNA para o instrumento de medida. Infelizmente os instrumentos de medida são corriqueiramente construídos para apresentar impedância de entrada igual a 50Ω . Uma forma de fazer com que a impedância vista pelo LNA para o equipamento seja de 1206Ω consiste em realizar uma transformação de impedâncias utilizando capacitores e indutores discretos.

Ao projetarmos o LNA para operar excitando um conjunto de *mixers*, estamos efetivamente interessados no ganho de tensão que o estágio é capaz de fornecer. Por outro lado, quando estivermos caracterizando o dispositivo com um analisador de espectro seremos capazes de medir apenas o ganho de potência do estágio. Mostra-se sem dificuldade que o ganho de potência na configuração de medida idealizada acima será igual ao ganho tensão do LNA alimentando os *mixers* subtraído do valor, em dB, da razão de transformação de impedâncias realizada pelo rede de casamento externo colocada entre o analisador de espectro e o LNA. Essa rede deverá promover um abaixamento da impedância de saída do LNA de 1206Ω para 50Ω , que corresponde a uma razão de transformação de 24,12. Assim, o ganho de potência medido para o LNA será algo em torno de:

$$G_p = G_v - 10\log(24,12) = 38,5 - 13,82 = 24,68dB \quad (4.34)$$

Novamente neste caso vale notar que o valor realmente medido para o ganho de potência será inferior a esta estimativa. Um valor mais realista fica em torno de 16 e 22 dB.

Lembre-se que o projeto acima foi realizado com base em um ‘chute’ para o valor da capacitância

total parasita no nó de saída do circuito. Esta é uma forma claramente grosseira de proceder. O método adotado para projetar o indutor de carga do LNA otimizado via PCSNIM foi distinto e consistiu no seguinte. Primeiro, escolhemos um valor de capacitância parasita para os *mixers*. Este valor deve ser escolhido tendo como base um valor esperado para a largura do transistor de entrada do misturador. Não sabemos tal largura a priori, e resolvemos reservar 250 fF de capacitância para cada *mixer*. Como o LNA deverá excitar dois *mixers*, isto nos dá uma carga total de 500 fF. Além disso, o indutor também apresenta uma carga capacitiva não-nula (devido ao acoplamento com o substrato). Esta carga pode ser estimada facilmente e será da ordem 100 a 150 fF. A partir destas considerações, adicionamos uma carga capacitiva de 650 fF no esquemático do LNA e simulamos a impedância de saída do módulo. Com esta informação podemos estimar a indutância necessária para ressoar a carga capacitiva total (carga útil mais parasitas) presente no nó de saída do LNA.

Feito este procedimento, chegamos a um valor de aproximadamente 35 nH para o indutor de carga do LNA. O indutor foi então projetado utilizando a ferramenta VPCD, de forma análoga ao que fizemos ao projetar o indutor de degeneração. Neste caso entretanto não incluímos qualquer escudo de terra. Isto porque a inclusão desta proteção inevitavelmente eleva a capacitância parasita associada ao indutor, e como o desempenho do LNA depende criticamente da carga capacitiva presente em sua saída, consideramos ser mais prudente evitar incluir mais elementos parasitas neste ponto.

O indutor de carga foi otimizado e simulado com a ferramenta *EM Solver*, exatamente como se procedeu para os indutores de degeneração. O resultado das simulações pode ser visto no Anexo I.

4.10 EFEITOS DO ENCAPSULAMENTO E COMPENSAÇÕES (PARTE I)

A correta modelagem de um encapsulamento de circuito integrado é uma tarefa bastante complicada, dada a complexidade das interações que ocorrem neste componente. Já foram abordados na introdução teórica os dois principais elementos parasitas associados ao encapsulamento e a forma mais básica de modelá-los: o *bondwire*, modelado por um indutor série, e o *bondpad*, modelado por um capacitor paralelo para o substrato semiconductor. Para tratar este problema de forma mais apropriada existem modelos computacionais precisos, muito adequados para avaliar o desempenho do sistema através de simulações. Estes modelos levam em conta muitos outros efeitos, como a resistência série dos *bondwires*, os acoplamentos indutivos entre *bondwires* e o acoplamento capacitivo entre *bondpads*, *bondwires*, o substrato e a placa PCB.

Para realizar cálculos analíticos simples que nos forneçam uma boa visão do problema e dos compromissos envolvidos, ficamos limitados a utilizar modelos um tanto grosseiros, que levem em conta apenas as interações mais relevantes. O modelo utilizado para cada conexão do circuito integrado com a placa PCB será simplesmente o de uma rede consistindo de um capacitor em paralelo para o substrato e um indutor série. No momento de realizar simulações computacionais do circuito teremos a nossa disposição modelos mais precisos para os encapsulamentos, e nestes casos tais modelos serão empregados.

Para blocos integrados cujos caminhos de entrada e saída de sinais não estão ligados diretamente a um pino do CI, os efeitos do encapsulamento serão percebidos apenas nas alimentações. No caso do pino de terra é fácil ver que a capacitância parasita do *bondpad* não causa nenhum efeito, pois os dois terminais deste capacitor estarão conectados no mesmo terminal, qual seja, o substrato semicondutor. Já o *bondpad* da alimentação positiva introduz uma capacitância parasita entre V_{dd} e terra. Novamente o efeito deste elemento será muito pouco significativo, e de fato poderá mesmo vir a proporcionar algum benefício, atuando como um pequeno capacitor de *bypass* para o circuito. Capacitores de *bypass* entre as alimentações são muito utilizados em circuitos de alta frequência para minimizar a passagem de espúrios para as trilhas de alimentação, pois estes sinais podem interferir no funcionamento de outros circuitos do sistema. Isto é particularmente verdade para circuitos digitais, que operam com sinais chaveados. Em todo caso, a princípio não haverá nenhum efeito negativo ao introduzirmos um pouco de *bypassing* nas alimentações de nossos blocos de RF.

Feitas estas considerações, esqueceremos por um momento os capacitores parasitas dos pinos das alimentações e daremos atenção apenas aos indutores série. Lembrando da discussão apresentada no capítulo 2 sobre degeneração indutiva para o LNA, notamos que o efeito introduzido pelo indutor série na linha de terra será basicamente o de aumentar o valor da indutância de degeneração. A degeneração indutiva causa muitos efeitos, alguns deles mais significativos que os outros dependendo do circuito em questão: diminuição do ganho, aumento da linearidade, aumento da parte real da impedância de entrada. No caso do LNA o último destes efeitos será o mais importante, dado que o indutor foi introduzido neste bloco justamente para permitir a realização do casamento da parte real da impedância de entrada com a impedância da antena.

O valor da indutância série introduzida pelo encapsulamento depende muito de dois fatores: o tipo de encapsulamento utilizado e o comprimento do *bondwire*. Valores típicos de indutância série introduzida pelo encapsulamento estão em torno de 800 pH a 3nH. Já para o *bondwire*, uma boa estimativa de indutância série usualmente adotada é a de 1 nH por milímetro do fio. Um *bondwire* típico pode ter comprimentos variando entre 0,3 e 2 mm. Com estas estimativas, podemos esperar que o encapsulamento introduza uma indutância série em cada pino que pode variar entre 1,1 nH 5 nH. Infelizmente, esta é justamente a mesma ordem de grandeza da indutância série escolhida para a realizar a degeneração indutiva do LNA. Se o efeito deste indutor parasita for simplesmente ignorado, podemos esperar um aumento de algumas dezenas ou até mesmo uma centena de Ω na parte real da impedância de entrada do LNA. Isso levará o circuito para um ponto de operação que não coincide com a otimização prevista pelas técnicas PCNO ou PCSNIM, e neste caso certamente haverá aumento na figura de ruído do bloco. Note ainda que a variação na impedância será muito sensível ao particular encapsulamento escolhido, pois os valores típicos da indutância série podem variar em uma larga faixa de valores.

A forma mais básica conhecida de compensar o efeitos das impedância série nas alimentações está na introdução de capacitores de *bypass* (técnica já citada acima). Os capacitores de *bypass* fornecem um caminho alternativo de baixa impedância para sinais de alta frequência que normalmente seguiriam para a alimentação ou para o terra. Para entender a razoabilidade deste tipo de conexão V_{dd} -terra, considere um circuito de RF qualquer ligados às alimentações por dois indutores (Figura 4.4). Se o circuito opera de

forma linear, então um sinal aplicado à sua entrada provocará flutuações nas tensões dos nós e nas correntes que atravessam o circuito de forma proporcional ao valor do sinal aplicado na entrada. Do ponto de vista das alimentações, o único efeito observado será uma variação na corrente drenada pelo circuito. Podemos então entender o circuito, seja ele qual for, como um sumidouro de corrente controlado por tensão (no caso, controlado pela tensão de entrada). Se conectamos um capacitor entre os terminais de alimentação do circuito, e se a impedância oferecida por esse caminho capacitivo for significativamente menor que a impedância oferecida pelas linhas que ligam o circuito à fonte, na frequência do sinal de entrada, então a perturbação de corrente gerada pelo sistema será absorvida pelo capacitor, minimizando as variações nas tensões de alimentação do circuito e eliminando o efeito de degeneração introduzido pelos parasitas das linhas.

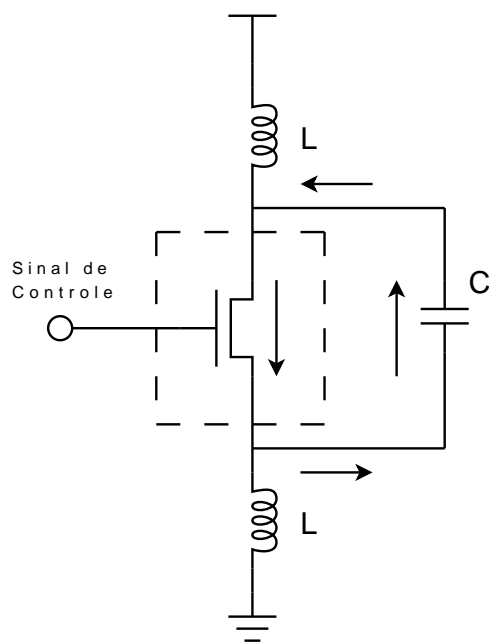


Figura 4.4: Conexão de um capacitor de *bypass* em um circuito com parasitas indutivos nas alimentações

A impedância vista pelo circuito para as alimentações ao incluirmos o capacitor de *bypass* pode facilmente ser calculada utilizando técnicas convencionais de análise de circuitos. Considerando indutâncias parasitas L iguais nas duas linhas de alimentação, o resultado que se obtém é:

$$Z_{src} = \frac{sL}{1 + 2s^2LC} \quad (4.35)$$

Se tivermos $1 \ll 2s^2LC$, então podemos aproximar $1 + 2s^2LC = 2s^2LC$, e neste caso a expressão para a impedância da fonte fica:

$$Z_{src} = \frac{1}{2sC} \quad (4.36)$$

Observe que com essa aproximação a impedância da fonte vista pelo circuito não depende do valor da indutância série parasita. Desta forma o funcionamento do circuito torna-se independente do tipo de encapsulamento utilizado e do comprimento dos *bondwires*, o que aumenta consideravelmente a versatilidade

e robustez do projeto. Entretanto é necessário ainda investigar sob que condições a hipótese $1 \ll 2s^2LC$ é razoável. Supondo um valor de 2 nH para L e considerando frequência de operação de 920 MHz, a condição $1 \ll 2s^2LC$ se torna:

$$C \gg 7,48pF \quad (4.37)$$

Este é um valor substancial de capacitância para circuitos integrados. A realização de um capacitor de valor muito superior a este demandará área em silício da mesma ordem que a ocupada por um indutor do tipo espiral. Esta é a grande limitação desta técnica de compensação. Felizmente, é possível aproveitar a área ocupada pelos indutores do LNA para realizar os capacitores de desacoplamento. Ao construirmos um escudo de terra utilizando a primeira camada de metal e a segunda camada de polissilício estamos isolando o indutor do que ocorre abaixo destas camadas. Neste caso temos a possibilidade de incluir uma camada sólida do primeiro polisilício (o de porta), formando um grande capacitor poly-poly abaixo do indutor. Basta então ligar os terminais deste capacitor às alimentações, e tem-se assim o grande capacitor de *bypass* desejado.

Façamos uma rápida estimativa da capacitância que teria um capacitor realizado desta forma. O indutor de degeneração do LNA ocupa uma área aproximadamente circular de diâmetro 280 μm . Além disso, a capacitância por área do capacitor poly-poly nessa tecnologia é de 0,86 $fF/\mu m^2$. Com estes valores chega-se a uma capacitância estimada de:

$$C_{ind} = 0,84 \times \pi \times \left(\frac{280}{2}\right)^2 = 52000fF = 52pF \quad (4.38)$$

Este valor é bastante significativo, e substancialmente maior que os 7,48 pF que precisamos superar. Por fim observe que este valor foi obtido assumindo que as duas placas do capacitor são sólidas. Se desejarmos utilizarmos um escudo de terra não-sólido, então a capacitância de *bypass* que teremos será menor que esta.

Neste momento fica claro porque foi dada tanta atenção às diversas formas e possibilidades para os escudos de terra do indutor de degeneração, abordadas na seção 4.8. A escolha do escudo de terra deverá ser feita de forma a maximizar dois parâmetros parcialmente contraditórios: a maximização da superfície do escudo de terra, a ser utilizado como a placa superior do grande capacitor de desacoplamento; a maximização do fator de qualidade do indutor. Por um lado, quanto mais sólida for a placa do escudo de terra maior será a capacitância do capacitor de *bypass*, e quanto mais densa forem as interconexões realizadas em metal 1 maior será o fator de qualidade deste componente. Por outro lado, vimos (seção 4.8) que quanto mais metal 1 e quanto mais polissilício 2 tiver nosso escudo de terra, menor será o fator de qualidade do indutor de degeneração. Optaremos por utilizar o escudo de terra com metal 1 e polissilício 2 padronizados, como um meio termo entre o escudo com polissilício 2 sólido e o escudo com metal 1 apenas para interconexões. Desta forma teremos tanto capacitância de *bypass* quanto fator de qualidade para o indutor moderados.

Para verificar a impedância efetivamente apresentada pelo escudo de terra escolhido, realizamos a

extração do *layout* da estrutura com a ferramenta *Assura* da Cadence. Em seguida simulamos a impedância do componente versus frequência. O resultado por ser visto na Figura 4.5.

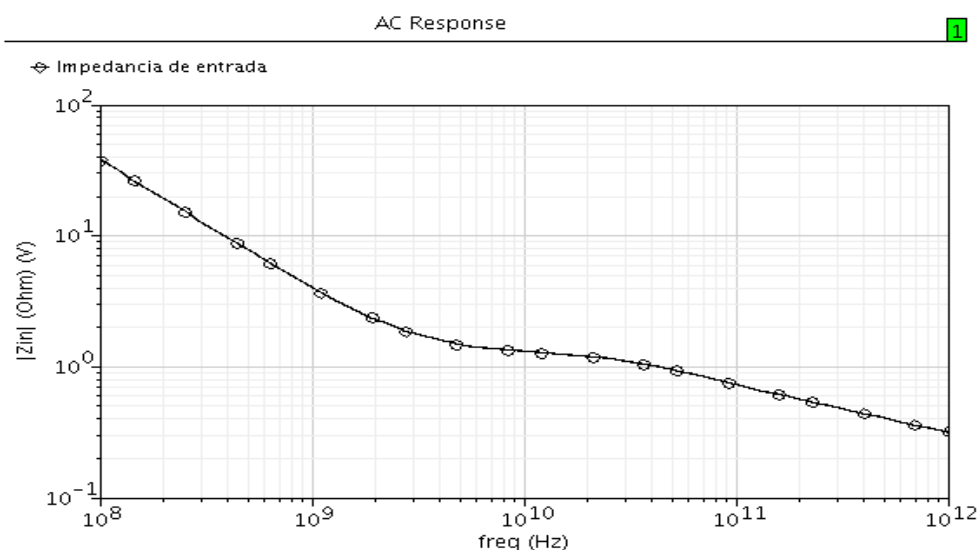


Figura 4.5: Impedância do capacitor de *bypass* versus frequência

O comportamento da impedância para baixas frequências é de diminuição de forma proporcional à frequência, em concordância com o esperado para o comportamento de um elemento capacitivo. Nota-se entretanto que haverá divergência deste comportamento para frequências suficientemente elevadas. Essa discrepância se deve ao domínio do termo resistivo na resposta do componente. De qualquer forma a figura nos permite ver que o comportamento será basicamente capacitivo para as frequências de interesse. Consultando o gráfico obtem-se impedância de aproximadamente 4 Ω em 1 GHz. A capacitância estimada para o elemento a partir deste ponto é de 40 pF. Note que, como esperado, o valor é menor do que o previsto para um escudo formado por placas inteiramente sólidas, mas ainda assim trata-se de capacitância suficiente para nossos propósitos.

Há ainda uma última questão pertinente no que se refere a este capacitor de desacoplamento. Apesar do capacitor ser projetado de modo que sua impedância seja substancialmente inferior às impedâncias dos indutores parasitas das alimentações na frequência de projeto, deve-se notar que haverá uma frequência inferior à de projeto na qual o capacitor de *bypass* entrará em ressonância com as indutâncias parasitas. Para frequências próximas à de ressonância dessa rede o circuito 'protegido' pelo *bypass* observará uma altíssima impedância nas suas alimentações, o que pode levar a instabilidade do circuito. Uma simples simulação da parte real da impedância de entrada do circuito revela este perigo (vide Figura 4.6). Uma forma de eliminar este comportamento indesejado consiste em reduzir o fator de qualidade da rede ressonante, pois desta forma a impedância vista na ressonância será inferior. Isso foi feito adicionando pequenas resistências (4 Ω) em série com as alimentações e com o capacitor de *bypass*. É claro que este procedimento leva a uma pior qualidade da estrutura de compensação. Ainda assim o esquema adotado é mais robusto e confiável do que se simplesmente não utilizássemos nenhuma forma de compensação. A pequena degradação de desempenho é compensada pelo ganho em robustez, como veremos ao analisar o sistema receptor como um todo no capítulo 6.

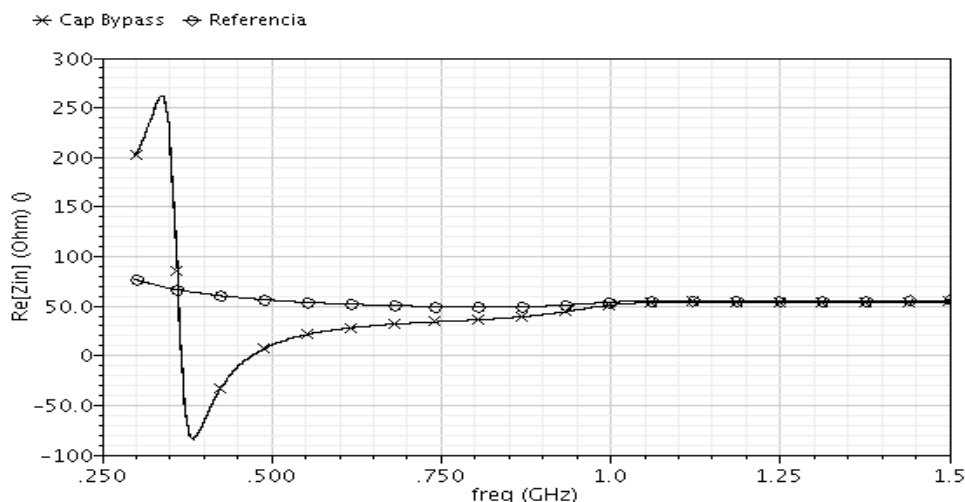


Figura 4.6: Impedância de entrada do LNA com capacitor de bypass versus frequência

A análise feita até o momento é suficiente para que se possa simular o circuito do LNA em todos os seus principais parâmetros de interesse. Observe que nada foi dito à respeito dos efeitos do encapsulamento no pino de entrada de sinal de RF. Estes efeitos não são desprezíveis, mas parece razoável crer que poderão ser compensados com a inclusão de uma rede de casamento externa apropriada. O tratamento dessa questão será também deixado para o capítulo 6.

4.11 CIRCUITO FINAL E DESEMPENHO ESPERADO PARA O MÓDULO

Terminadas as etapas de otimização e ajustes chega-se a um conjunto final de valores para os componentes do circuito do LNA (Figura 4.1) e da referência de transcondutância (Figura 4.3), os quais são apresentados nas Tabelas 4.8 e 4.9, respectivamente. Com estes parâmetros procede-se à simulação das diversas figuras de mérito pertinentes à caracterização do desempenho de um amplificador de baixo ruído: parâmetros S, ganho de tensão, figura de ruído, parâmetros de estabilidade K e Δ , impedância de entrada, ponto de compressão de 1 dB, entre outros. O conjunto de simulações é razoavelmente extenso, e por esta razão é apresentado no Anexo I. A Tabela 4.10 resume os parâmetros mais interessantes extraídos a partir do conjunto de simulações. Os únicos parâmetros nessa tabela que não podem ser obtidos a partir dos gráficos que aparecem nos Anexos são a corrente drenada e a potência consumida. Esses parâmetros são extraídos de simulações DC muito simples, e por isso optou-se por não incluir os gráficos brutos, apenas o resultado final. As simulações são realizadas para $V_{dd} = 3,3V$ e $f_{rf} = 920MHz$). A título de comparação, a Tabela 4.10 trás também os parâmetros do LNA projetado em trabalhos anteriores que puderam ser extraídos da referência [1].

Tabela 4.8: Valores dos componentes do LNA

Componente	Valor	Unidade
M0 (W/L)	510/0,35	$\mu m/\mu m$
M1 (W/L)	255/0,35	$\mu m/\mu m$
L_s	2,62	nH
L_d	35,1	nH
L_g	28	nH
C_{ex}	0,46	pF

Tabela 4.9: Valores dos componentes da referência de transcondutância

Componente	Valor	Unidade
M0 (W/L)	25,5/0,35	$\mu m/\mu m$
M1 (W/L)	10/4	$\mu m/\mu m$
M2 (W/L)	102/0,35	$\mu m/\mu m$
M3 (W/L)	10/4	$\mu m/\mu m$
R	900	Ω

Tabela 4.10: Resumo dos parâmetros de desempenho esperados para o LNA

Parâmetro	Trabalho anterior [1]	Este trabalho	Unidade
Ganho de Tensão	36	33	dB
Tolerância no ganho (σ)	?	0,68	dB
Figura de Ruído	?	1,5	dB
Fator de Qualidade	153	4,2	-
Corrente DC drenada	5	2	mA
Consumo	7 (@ $V_{dd} = 1,2$)	6,6 (@ $V_{dd} = 3,3$)	mW
Frequência limite de estabilidade	?	1,18	GHz
Impedância de entrada	50	50	Ω
P1dB	?	-12,4	dBm
IIP3	?	-4,5	dBm
Pinos no encapsulamento	3	1	-

5 PROJETO DO MIXER

5.1 INTRODUÇÃO

O presente capítulo discorre acerca do projeto do *mixer* para o receptor do rSoC. Primeiramente a topologia escolhida será apresentada. Em seguida, discute-se a escolha dos parâmetros a serem otimizados pelo projeto. Passa-se então ao cálculo dos componentes levando em conta as diversas soluções de compromisso envolvidas. O circuito obtido ao final é descrito e simulado para que seu desempenho possa ser previsto.

5.2 TOPOLOGIA DE CIRCUITO

A topologia escolhida para o *mixer* é similar à célula de Gilbert modificada discutida no capítulo 2. A diferença principal está em que todos os transistores bipolares foram substituídos por transistores NMOS (vide Figura 5.1).

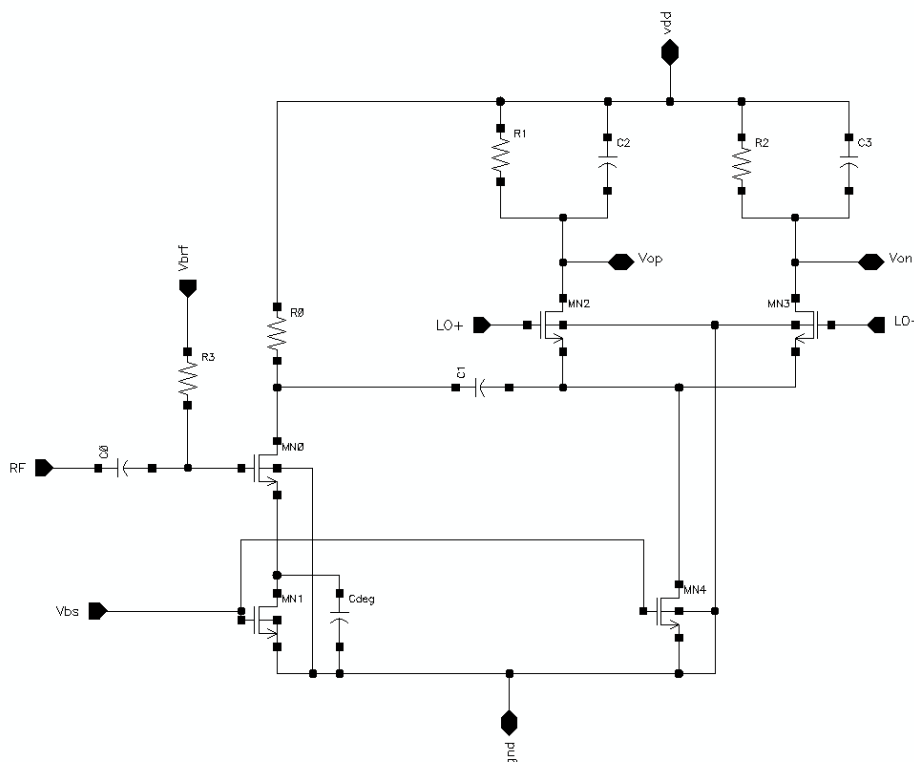


Figura 5.1: Célula de Gilbert modificada para realização do mixer

5.3 PROJETO ELÉTRICO

5.3.1 Projeto dos transistores

Ao contrário do que se faz para LNAs, ao projetarmos *mixers* em geral não necessitamos de uma técnica de otimização elaborada para que sejam alcançados bons resultados. Isso se deve primordialmente ao fato de não estarmos mais preocupados em minimizar a figura de ruído, já que a presença de um LNA de alto ganho bem otimizado antecipando o estágio de mixagem nos dá uma grande margem para degradação. Nossos maiores interesses ao projetar o *mixer* estarão em: maximizar a linearidade; minimizar o consumo de potência; minimizar as cargas capacitivas apresentadas ao LNA e ao VCO. Em um primeiro projeto deixaremos de lado a questão da linearidade, que é mais complicada, e nos preocuparemos apenas com o consumo e a carga capacitiva dos *mixers*. Em seguida verificaremos se a linearidade atingida foi suficiente, e tomaremos as devidas medidas caso seja necessário ampliá-la.

As primeiras escolhas que faremos serão os comprimentos de canal de cada um dos transistores. Esta escolha envolve uma solução de compromisso entre quatro parâmetros: resistência de saída, erro de casamento, capacitância de entrada e área em chip. Ao aumentarmos o comprimento de canal de um transistor mantendo o mesmo consumo de potência (ou seja, a mesma corrente de dreno) estaremos simultaneamente aumento a resistência de saída, aumentando a capacitância de porta, minimizando o erro de casamento entre dois componentes semelhantes e aumentando a área ocupada em chip. Como a capacitância de porta é muito importante para os transistores que recebem os sinais do LNA e do VCO, os comprimentos de canal deles serão tomados com o menor valor permitido pela tecnologia ($0,35\mu m$). Note que desta forma estaremos minimizando a área ocupada, mas não o erro de casamento. Vale ressaltar ainda que a resistência de saída destes elementos é pouco relevante. Para os transistores que atuam como fonte de corrente não haverá muito problema em aumentar o comprimento de canal, pois a capacitância de porta destes componentes causará pouco efeito no desempenho do circuito. Para tais transistores escolheremos então comprimentos de canal iguais a $0,70\mu m$. Este é o mínimo comprimento sugerido pelo fabricante (AMS) para componentes que demandam alta confiabilidade; desta forma, também não estaremos aumentando exageradamente a área ocupada pelos dispositivos.

Consideremos agora o consumo de potência dos *mixers*. Haverá duas corrente principais de polarização do circuito: uma para o conversor tensão-corrente e outra para o estágio de chaveamento. O consumo de potência simulado para o LNA foi superior ao previsto, cerca de 6,6 mW (o bloco drena um total de 2 mA de uma fonte DC de 3,3 V). O consumo de potência total permitido ao receptor é de 20 mW; gostaríamos que o conjunto LNA e *mixers* consumisse não mais que 10 mW, pois desta forma restariam 10 mW a serem consumidos pelo sintetizador de frequências e pelo demodulador, o que parece uma divisão justa do consumo. Desta forma nos resta 1 mA de corrente para polarizar os dois *mixers*, ou seja, 0,5 mA para cada um. Como a linearidade é um parâmetro crítico de desempenho, e ela é normalmente limitada pelo estágio conversor tensão-corrente, optou-se pela seguinte divisão: 0,3 mA de corrente de polarização para o conversor tensão-corrente; 0,1 mA para o estágio de chaveamento. Com isso nos restam ainda 0,1 mA para polarizar os espelhos de corrente que vão definir as tensões de porta dos transistores.

Vamos calcular agora qual ordem de grandeza poderemos esperar para a transcondutância do conversor tensão-corrente (MN0) com os parâmetros já definidos. Se desprezarmos a degeneração capacitiva (cujo efeito é o de redução da transcondutância), a corrente de polarização de 0,3 mA e o comprimento de canal de $0,35\mu m$, podemos utilizar a equação 2.16 para obter:

$$g_m = \sqrt{\frac{2K_n W}{L} \cdot I_D} = \sqrt{\frac{2 \times 0,17 \times 10^{-3} \times W}{0,35 \times 10^{-6}} \times 0,3 \times 10^{-3}} = 0,54\sqrt{W} \quad (5.1)$$

Onde W é dado em metros. Neste momento é conveniente lembrarmos de um resultado obtido no projeto do LNA (vide equação 4.15), onde obtivemos que a capacitância parasita porta-dreno por unidade de largura para transistores NMOS de comprimento de canal $0,35\mu m$ é de $1,12 \text{ fF}/\mu m$. A carga capacitiva reservada para o par de *mixers* foi de cerca de 500 fF, o que nos dá 250 fF de carga por *mixer*. Neste caso, a largura máxima permitida para o transistor que realiza a conversão tensão-corrente é de aproximadamente $220 \mu m$. Se escolhermos $W = 100 \mu m$, por substituição direta em 5.1 calculamos que a transcondutância do estágio será de 5,4 mA/V. Para uma carga de $1 \text{ k}\Omega$ isso representa um ganho de tensão de 5,4 vezes ou 14,65 dB, um valor modesto porém significativo e bem vindo. Este valor de resistência (ou outro valor qualquer desta mesma ordem de grandeza) é muito conveniente, já que pode facilmente ser realizado em CI utilizando um resistor de polissilício de alta resistividade. Isso porque a resistividade típica destes resistores é de $1 \text{ k}\Omega$ por quadrado. Quaisquer valores para a largura do transistor e para a resistência de carga destas mesmas ordens de grandeza levarão a projetos razoáveis. Note que é conveniente escolher um valor de W inferior ao máximo permitido, pois é de se esperar que hajam outros elementos capacitivos parasitários não previstos ligados ao nó de entrada do *mixer*, e estes elementos deverão entrar no cômputo da carga total do LNA. Por segurança escolheremos $W = 100 \mu m$, e deixaremos o valor da resistência de carga para ser escolhido adiante.

A escolha das dimensões dos transistores de chaveamento do sinal de corrente (MN2 e MN3) envolve uma solução de compromisso entre os seguintes parâmetros: carga apresentada ao VCO; amplitude de sinal requerida do VCO; resistência de passagem ao sinal de RF. Fixada a corrente de polarização do estágio, quanto maior a largura desses transistores maior será sua carga capacitiva, menor será a amplitude de sinal demandada do VCO para realizar o chaveamento completo da corrente e menor será a resistência de entrada vista pelo sinal de corrente injetado do conversor tensão-corrente. A capacitância parasita de cada transistor será de $1,12 \text{ fF}/\mu m$, como discutido no parágrafo anterior. A amplitude de sinal necessária para chavear completamente um transistor pode ser estimada como sendo da ordem do *overdrive* (que é diferença entre tensão porta-fonte e tensão de limiar do transistor, isto é, $V_{gs} - V_t$) aplicado ao componente. Para corrente de polarização de 0,1 mA, estima-se o *overdrive* do transistor, suposto operando na saturação, manipulando a equação 2.15:

$$V_{gs} - V_{tn} = \sqrt{\frac{2LI_D}{K_n W}} = \sqrt{\frac{2 \times 0,35 \times 10^{-6} \times 0,1 \times 10^{-3}}{0,17 \times 10^{-3} \times W}} = \frac{0,642 \times 10^{-3}}{\sqrt{W}} \quad (5.2)$$

Por outro lado, a resistência de entrada que o transistor-chave apresenta ao sinal de RF será dada aproximadamente pelo inverso da sua transcondutância de pequenos sinais, pois para o sinal de RF este

componente está em uma conexão do tipo porta comum. Para calcular esta resistência basta refazer o cálculo de 5.1 com corrente de polarização igual a 0,1 mA e inverter o resultado final. Procedendo desta forma teremos:

$$R_{sw} = \frac{3,21}{\sqrt{W}} \quad (5.3)$$

Escolhendo novamente $W = 100 \mu m$, os parâmetros da chave serão $C_{gs} = 112 fF$; $V_{gs} - V_t = 64,2 mV$; $R_{sw} = 320 \Omega$. Infelizmente não temos dados suficientes a respeito do VCO para julgar se a capacitância de porta do transistor está adequada ou não, tampouco para saber se a amplitude necessária para o sinal é razoável. Em todo caso a estimativa obtida para a amplitude necessária ao sinal do oscilador local é bastante grosseira, pois supõe que o transistor entra na região de corte imediatamente assim que a tensão porta-fonte torna-se inferior à tensão de limiar. Valores práticos necessários à amplitude do sinal do VCO para que ocorra completo chaveamento da corrente serão substancialmente superiores aos previstos por este tipo de estimativa, como teremos a oportunidade de ver ao simularmos o desempenho do circuito. Por fim, notamos que o valor obtido para a resistência de entrada da chave é comparável aos 1 k Ω de resistência total inicialmente estipulado para a carga. Gostaríamos que a chave se comportasse, quando em estado de condução, aproximadamente como um curto-circuito frente à carga do *mixer*. Uma forma de melhorar esta aproximação sem alterar os parâmetros da chave consiste em aumentar a impedância da carga. Este procedimento trás ainda a vantagem de aumentar o ganho de conversão do estágio.

5.3.2 Projeto dos resistores e dos capacitores

O dimensionamento dos resistores deve ser feito levando em conta a correta polarização do circuito. Os resistores de polarização do conversor tensão-corrente e as cargas da saída do *mixer* são escolhidos com base nas correntes fixadas para cada um destes estágios, e devem ser ajustados prioritariamente de forma a minimizar o efeito de ceifamento (*clipping*) do sinal em cada nó do circuito. O ceifamento do sinal ocorre quando um nó do circuito estaria sujeito a um sinal de tensão AC cuja amplitude seja suficientemente elevada para levar a tensão total naquele ponto (tensão AC mais tensão DC) a um valor superior à tensão de alimentação positiva ou inferior à tensão da alimentação negativa. Nessas situações a tensão no nó, impossibilitada de se elevar a um valor superior ao da alimentação correspondente, é ceifada (isto é, satura) em um valor aproximadamente igual ao da tensão de alimentação, permanecendo neste estado até que o circuito seja levado a uma condição em que a tensão neste nó seria efetivamente inferior à da alimentação. O sinal pode também ser ceifado se a tensão em um nó atingir um valor tal que um dos elementos ativos (transistores) seja levado a uma condição de operação diferente da condição original de projeto. Por exemplo, um transistor na saturação pode ser levado a operar na região de triodo se a tensão dreno-fonte assumir valores próximos a da tensão de *overdrive*. Estes efeitos de ceifamento, se não forem tratados com cuidado, degradam severamente a linearidade do sistema, causando impactos maiores do que a linearidade limitada do conversor tensão corrente (que é normalmente o maior limitante da linearidade do circuito).

Felizmente é bastante simples polarizar um circuito de forma a minimizar o efeito de ceifamento. É

também fácil verificar por meio de simulações se há ceifamento em algum nó, e em qual nó ele está ocorrendo, para que desta forma a polarização seja ajustada de forma a compensar o efeito. Primeiramente escolhemos o valor do resistor de carga do estágio de chaveamento de corrente. A correta operação deste estágio exige que o transistor fonte de corrente (MN4) esteja na saturação. Se este transistor for bastante largo, um pequeno *overdrive* será suficiente para que a corrente de 0,1 mA seja fornecida; além disso, o pequeno *overdrive* nos garante que a tensão de dreno possa chegar a valores bem pequenos. Vamos escolher por segurança um valor intermediário de 0,7 V para o *overdrive*. Neste caso a tensão de dreno precisará ser superior a este valor. Em seguida consideremos os transistores que operam como chave (MN2 e MN3). Quando acionadas para a condução, desejaremos que elas operem com baixa resistência de canal. Infelizmente sabemos que esta resistência não será tão baixa assim (mas da ordem de 320 Ω). A corrente de polarização de 0,1 mA passando por uma carga de 320 Ω provoca uma queda de tensão de 0,32 V. Com estes cálculos simples, estimamos que a tensão mínima permitida ao nó de saída do *mixer* para evitar o ceifamento é de 1,02 V. O valor máximo desta tensão será evidentemente de 3,3 V (que é o valor da tensão de alimentação). neste caso, desejaremos polarizar o circuito de forma que o valor DC no nó de saída esteja no valor médio destes dois limites, qual seja, 2,16 V. Novamente pensando na corrente de polarização de 0,1 mA, isto nos leva a $R = 10,8 \text{ k}\Omega$ para a resistência de carga (em cada ramo do estágio de chaveamento).

O resistor de polarização do conversor tensão corrente é dimensionado de forma análoga. Neste estágio reservaremos novamente 0,7 V de queda para o transistor fonte de corrente (MN1). Por segurança reservaremos também mais 0,7 V para o transistor conversor tensão-corrente (MN0). A tensão no nó de saída do conversor tensão-corrente deverá então ser sempre superior a 1,4 V e inferior a 3,3 V. Para a corrente de polarização de 0,3 mA, isto nos leva ao valor de $R = 3,17 \text{ k}\Omega$ para o resistor de saída.

Note que com este procedimento chegamos a um dimensionamento no qual o valor do resistor de carga do primeiro estágio é inferior ao valor dos resistores do segundo estágio. Isto significa que a maior parte do sinal de corrente criada na conversão tensão-corrente será de fato consumida na carga do próprio conversor, e não na carga do estágio de chaveamento. De qualquer forma a carga total vista pelo transistor conversor será dada pelo paralelo das duas cargas, 3,17 $\text{k}\Omega$ e 10,8 $\text{k}\Omega$. Isto nos dá uma carga equivalente de 2,45 $\text{k}\Omega$. Lembrando que a transcondutância esperada para o conversor é de 5,4 mA/V, o ganho de tensão previsto para o *mixer* é de 13,21 vezes ou 22,4 dB. Apesar da baixa eficiência de acoplamento da corrente do primeiro estágio para o segundo, vemos que o ganho de tensão esperado é bastante apreciável. Como este procedimento nos leva ao circuito que, pelo menos a princípio, maximiza a linearidade, parece muito razoável manter o projeto desta forma.

Lembrando que reservamos 0,7 V de *overdrive* para as fontes de corrente dos dois estágios, calcula-se qual deve ser a largura destes transistores para que forneçam a corrente apropriada. Observe que para estes transistores foi escolhido comprimento de canal de 0,7 μm . Manipulando novamente a equação 2.15 calculamos a largura do transistor fonte de corrente do primeiro estágio:

$$W_{vi} = \frac{2 \cdot I_D \cdot L}{K_n (V_{gs} - V_{tn})^2} = \frac{2 \times 0,3 \times 0,7 \times 10^{-6}}{0,17(0,7)^2} = 5,04 \mu\text{m} \quad (5.4)$$

Para o segundo estágio tem-se imediatamente $W_{vi} = 1,68 \mu\text{m}$. Nota-se que as dimensões calculadas

são muito pequenas frente às dimensões dos demais transistores (que possuem largura em torno de $100\ \mu\text{m}$). Transistores tão pequenos assim são bons por que ocupam pequena área em silício, mas por outro lado apresentam elevados erros de casamento (o erro de descasamento entre dois transistores é aproximadamente proporcional ao inverso da área ocupada pela porta de cada transistor). Podemos compensar esta limitação aumentando a largura do transistor. Com isto estaremos também diminuindo o *overdrive* necessário para mantê-los na saturação, o que fornece uma margem extra de oscilação para as tensões dos nós de saída. É claro que esta margem será pequena (de apenas algumas centenas de mV), e neste caso não faz muito sentido recalculer os resistores de carga dos estágios. Isto porque a própria precisão dos modelos de primeira ordem que estamos utilizando é inferior às correções que seriam introduzidas. O importante é que tenhamos em mente que é possível aumentar as dimensões dos transistores que operam como fonte de corrente dos estágios sem nenhuma (ou quase nenhuma) penalidade no desempenho do *mixer*. Feitas estas considerações, tomaremos valores 10 vezes maiores que os calculados acima para as larguras dos transistores-fonte. Teremos $W_1 = 50\ \mu\text{m}$ e $W_4 = 15\ \mu\text{m}$.

Por fim devemos dimensionar os capacitores do circuito. O capacitor de entrada (C0) é responsável apenas por provocar o desacoplamento DC da saída do LNA para a entrada do *mixer*. A princípio podemos escolher qualquer valor suficientemente grande para esse componente, sem incorrer em nenhuma penalidade no desempenho do circuito. Como a capacitância de porta do transistor M0 é de aproximadamente 112 fF, um valor de 2 pF (18 vezes maior) parece suficientemente grande para que a impedância do componente na frequência de operação seja desprezível. Entretanto, devido à grande proximidade entre a placa inferior dos capacitores poly-poly para o substrato, sabe-se que a inclusão de um capacitor desse tipo sempre provocará também a inserção de um capacitor parasita para o terra. O valor desse parasita (que pode ser consultado nos arquivos de tecnologia do fabricante) fica em torno de 1/6 e 1/7 da capacitância do componente. Ao incluir um capacitor de desacoplamento de 2 pF, estaremos introduzindo um parasita para o terra de cerca de 300 fF. Essa capacitância parasita é quase 3 vezes maior do que a impedância de entrada prevista para o transistor M0, uma situação claramente muito ruim. Com essa escolha estaremos também violando o limite de carga de 250 fF permitido a cada mixer. De forma a equilibrar as duas exigências contraditórias nessa escolha, tomamos um valor de 1 pF para esse capacitor. A capacitância para o terra será de 150 fF que, somada à capacitância de entrada do mixer, fornece algo próximo aos 250 fF reservados para o módulo.

O segundo capacitor de desacoplamento (C1) sofre soluções de compromisso menos severas, e será escolhido igual a 1 pF por simplicidade. Os capacitores de carga (C2 e C3) são inseridos simplesmente para fornecer uma primeira filtragem passa-baixas no sinal de saída do *mixer*. O ideal seria escolher esses componentes de forma a garantir que o filtro RC formado pela carga tivesse frequência de corte em torno de algumas centenas de kHz. Para o resistor de carga de $10\ \text{k}\Omega$ tal meta exigiria valores proibitivamente elevados para os capacitores, demandando muita área em silício. Os valores escolhidos foram de 500 fF para cada componente. Esse é um valor moderado que garante pequeno impacto desses elementos na área total do circuito, mas por outro lado significa também que a filtragem realizada será insuficiente. Em todo caso, como estamos tratando de nós de saída do circuito, se necessário for futuramente poderemos facilmente adicionar capacitores maiores nesses pontos.

5.3.3 Projeto da polarização e da degeneração

A polarização do *mixer* está sujeita às mesmas considerações apresentadas anteriormente para o LNA. Observamos em particular que é novamente interessante garantir a estabilidade da transcondutância do conversor tensão-corrente, pois desta forma mantemos fixo o ganho de conversão do *mixer*. Isso poderia nos motivar a projetar novamente uma referência de transcondutância para realizar a polarização deste estágio. Entretanto a estabilidade da transcondutância do *mixer* é um parâmetro muito menos crítico para a operação de todo o receptor do que ocorria para o LNA. Isto porque a própria impedância de entrada daquele estágio, que interage diretamente com a antena, era determinada pela transcondutância de um único transistor. O ganho, a figura de ruído e a estabilidade do LNA dependem de um bom casamento com a entrada. Já para o *mixer* essas exigências são muito menos severas, pois a figura de ruído do sistema depende muito pouco das características de desempenho do *mixer* (ganho, casamento com a entrada e mesmo figura de ruído). Por esse motivo optamos por polarizar o *mixer* utilizando um conjunto de divisores resistivos com cargas ativas e resistores. Tais estruturas são muito mais simples, consomem menos área em silício e podem facilmente ser projetada para baixo consumo.

Consideremos primeiramente o conversor tensão-corrente do *mixer*. Uma forma imediata de gerar valores de tensão coerentes para polarizar as portas dos transistores consiste em replicar a estrutura que se deseja polarizar, ligando todos os transistores como cargas ativas. Conectar o transistor em carga ativa garante que ele estará na saturação, o que é desejável. Infelizmente na estrutura original em geral não será verdade que as tensões DC de porta e de dreno serão iguais, e por isso será necessário fazer ajustes. Para baixar o consumo da estrutura sem alterar as tensões nos nós basta diminuir a largura de todos os transistores e aumentar o valor dos resistores nas mesmas proporções. Por exemplo, se diminuirmos a largura de todos os transistores por um fator 20 e aumentamos as resistências por um fator 20 também, então teremos uma estrutura com tensões nodais similares à anterior, porém consumindo uma potência aproximadamente 20 vezes menor. Terminado este passo, basta ajustar o valor da resistência de carga até que a polarização correta seja atingida. Para verificar esta situação basta conectar a estrutura de polarização ao módulo que se deseja polarizar (no caso, o conversor tensão-corrente), e em seguida simular a dependência entre a resistência da carga e a corrente drenada pelo conversor. Nesta curva extraímos imediatamente o valor apropriado para a resistência de carga da estrutura de polarização.

O projeto da estrutura de polarização discutida acima também poderia ser feito analiticamente utilizando as equações de primeira ordem para modelar os componentes. De qualquer forma, a baixa precisão destes modelos exigirá que façamos ajustes nos parâmetros por meio de simulações. Além disso, a estrutura de polarização discutida é muito simples e o entendimento de seu funcionamento é imediato, de modo que não há nenhum grande ganho de conhecimento a ser adquirido resolvendo o problema analiticamente. Por se tratar de um exercício tão pouco frutífero, o cálculo da estrutura não será realizado explicitamente aqui. O problema de polarização do estágio de chaveamento de corrente é identicamente simples, e a sua resolução explícita será igualmente deixada de lado.

Passemos agora ao dimensionamento do capacitor de degeneração. Infelizmente nossos modelos simplórios para a operação dos transistores MOS não nos permitem realizar nenhuma estimativa razoável para

os coeficientes de grau 3 ou superior da relação tensão-corrente em um transistor-amplificador (ou conversor tensão-corrente) qualquer. Esta característica será estimada apenas para o bloco como um todo por meio de simulações para o ponto de intercepção de terceira ordem (IP3). A filosofia (recorrente neste trabalho) adotada para resolver o problema do dimensionamento do capacitor de degeneração consistirá primeiramente em uma escolha razoavelmente arbitrária e não-ótima para o parâmetro desconhecido. O circuito é então simulado e se o desempenho obtido for insatisfatório, o parâmetro é progressivamente ajustado até que se atinja a condição de operação desejada.

Recordemos a expressão apresentada no capítulo 2 para a transcondutância efetiva de um estágio com degeneração capacitiva:

$$g_{meff} = \frac{s \cdot g_m \cdot C_{deg}}{s(C_{deg} + C_{gs}) + g_m} \quad (5.5)$$

Se a admitância dos capacitores for muito superior à transcondutância do transistor, o denominador de 5.5 pode ser simplificado eliminando-se o termo g_m . Com essa simplificação o efeito da degeneração capacitiva na transcondutância será desprezível, e é claro também que não haverá nenhum ganho de linearidade. Por outro lado, se g_m for muito maior que o termo de admitância capacitiva, uma simplificação equivalente nos mostra que a transcondutância efetiva do conversor tensão-corrente será igual à admitância dos capacitores; a transcondutância será baixa e o ganho de conversão pequeno. Chegamos a uma situação intermediária entre estes extremos fazendo por exemplo $|s(C_{deg} + C_{gs})| = g_m$. Desta forma tanto a transcondutância do amplificador quanto a admitância do capacitor apresentam impacto significativo no desempenho do circuito. Lembrando que $g_m = 5,4 \text{ mA/V}$ ficaremos com:

$$C_{deg} + C_{gs} = \frac{g_m}{\omega} = \frac{5,4 \times 10^{-3}}{0,92 \times 2\pi \times 10^9} = 934 \text{ fF} \quad (5.6)$$

Como C_{gs} é aproximadamente 110 fF, chegamos a $C_{deg} = 824 \text{ fF}$.

5.4 CIRCUITO FINAL E DESEMPENHO ESPERADO PARA O MÓDULO

Os valores finais obtidos para os componentes do *mixer* da Figura 5.1 são apresentados na Tabela 5.1. O circuito é submetido a um grande conjunto de simulações, as quais são novamente deixadas para o Anexo I. Os resultados principais são extraídos e resumidos na tabela 5.2 (para $V_{dd} = 3,3 \text{ V}$, $f_{rf} = 921 \text{ MHz}$ e $f_{LO} = 920 \text{ MHz}$). Da mesma forma que foi feito nas simulações do LNA, os gráficos de corrente drenada e do consumo de potência DC são omitidas, já que um par de valores numéricos é suficiente para caracterizar essas grandezas. Além disso, a Tabela 4.10 trás também os parâmetros do *mixer* projetado em trabalhos anteriores que puderam ser extraídos da referência [3].

Tabela 5.1: Valores dos componentes do *mixer*

Componente	Valor	Unidade
MN0 (W/L)	100/0,35	$\mu m/\mu m$
MN1 (W/L)	50/0,7	$\mu m/\mu m$
MN2 (W/L)	100/0,35	$\mu m/\mu m$
MN3 (W/L)	100/0,35	$\mu m/\mu m$
MN4 (W/L)	30/0,7	$\mu m/\mu m$
R_0	4	$k\Omega$
R_1	10	$k\Omega$
R_2	10	$k\Omega$
R_3	5	$k\Omega$
C_{deg}	1	pF
C_0	1	pF
C_1	1	pF
C_2	0,5	pF
C_3	0,5	pF

Tabela 5.2: Resumo dos parâmetros de desempenho esperados para o *mixer*

Parâmetro	Trabalho anterior [3]	Este trabalho	Unidade
Ganho de Tensão	5,2	20,1	dB
Figura de Ruído (SSB)	?	24,3	dB
Corrente DC drenada	0,63	0,5	mA
Consumo	2,08	1,65	mW
Impedância de entrada	?	$0,07 - j1,55$	$k\Omega$
Amplitude do sinal de LO	?	0,8	V_{pp}
P1dB	-1	-9,6	dBm
IIP3	?	-6,2	dBm

6 ANÁLISE DO RECEPTOR

6.1 INTRODUÇÃO

Nas seções 4 e 5 foram projetadas duas estruturas centrais do receptor do rSoC: o LNA e o *mixer*. O receptor que analisaremos neste capítulo consistirá no LNA ligado em cascata com o *mixer*, além dos elementos do encapsulamento, ligando ambas as estruturas aos pinos do CI.

Os efeitos do encapsulamento nas alimentações do LNA foram estudados no capítulo de projeto deste módulo. Naquela oportunidade observou-se que a inclusão de um grande capacitor de *bypass* aumenta a robustez do sistema a efeitos parasitas em tais linhas. Neste capítulo o tema é retomado, mas agora a análise será voltada para os efeitos dos parasitas nos terminais de entrada e de saída do LNA sobre o desempenho do receptor. Ao longo desta análise ganha-se uma boa visão das dificuldades envolvidas e das formas apropriadas de resolvê-las. Em seguida procede-se à simulação do sistema, e a partir dos dados obtidos estimam-se os principais parâmetros de desempenho do receptor. Por último, é apresentada uma adaptação simples realizada sobre os blocos já projetados, tendo em vista o ganho de desempenho do módulo quando submetido a altas potências de RF em sua entrada.

6.2 EFEITOS DO ENCAPSULAMENTO E COMPENSAÇÕES (PARTE 2)

Ao lidar com os parasitas do encapsulamento nas linhas de alimentação vimos que era conveniente desprezar todos os efeitos capacitivos, pois o termo indutivo série causava impacto muito mais severo sobre o desempenho do LNA. Já no caso dos terminais de entrada e saída poderemos desprezar as indutâncias série das linhas e considerar apenas o acoplamento capacitivo para as alimentações (V_{dd} e terra). No caso do terminal de saída isto é evidentemente verdade pelo simples fato deste ponto não estar ligado ao encapsulamento, de forma que não haverá nenhum *bondwire* para gerar termos indutivos apreciáveis. No interior de circuitos integrados o acoplamento indutivo é quase sempre desprezível (a exceção óbvia ocorre para estruturas que operem como indutores passivos). No pino de RF do receptor do SoC foi previsto inicialmente o casamento da impedância de entrada do LNA com a antena por um grande indutor externo (de indutância da ordem de 30 nH). Como a indutância série do encapsulamento será da ordem de poucos nH, pode-se sem nenhum prejuízo absorver esse parasita na rede de casamento externa. Assim, na análise que segue considera-se apenas os efeitos parasitas de natureza capacitiva.

Considere primeiramente o terminal de entrada do LNA. Para um dispositivo que observe o LNA de sua entrada, este bloco de se comporta como uma rede RLC passiva. Os parâmetros desta rede são aproximadamente $R = 50\Omega$, $L = 2,6nH$ e $C = 1pF$. A impedância do indutor é desprezível frente ao capacitor, fato este que se torna óbvio pela simples observação de que é necessário incluir um grande indutor externo em série com a entrada do LNA para realizar o casamento. Consideremos então simplesmente o resistor

e o capacitor da rede. O encapsulamento e o *bondpad* adicionam um capacitor parasita, em paralelo com esta rede, do terminal de entrada para o terra (ou V_{dd}). Esse tipo de rede RC é bem conhecida na literatura de RF. Quando utilizada juntamente com um indutor em paralelo pode ser empregada para realizar transformações e casamentos de impedância. Esse método de casamento é denominado *tapped capacitor match* [9], e seu efeito é o de reduzir a parte real da impedância de entrada do módulo quando vista por um circuito externo. Para o processo de fabricação utilizado, os únicos PADs disponíveis para realizar a conexão no terminal de entrada são PADs analógicos com capacitância de 1,3 pF. O encapsulamento adiciona algo em torno de 300 fF de parasitas a este termo. Temos então uma rede que consiste em um resistor de 50 Ω ligado em série a um capacitor de 1 pF, mais um capacitor de 1,6 pF em paralelo.

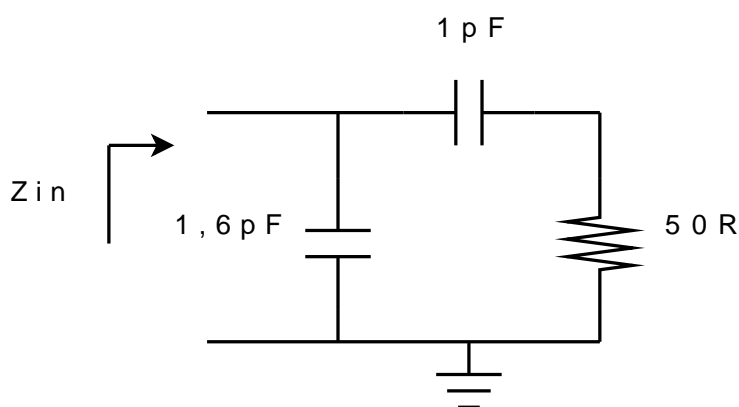
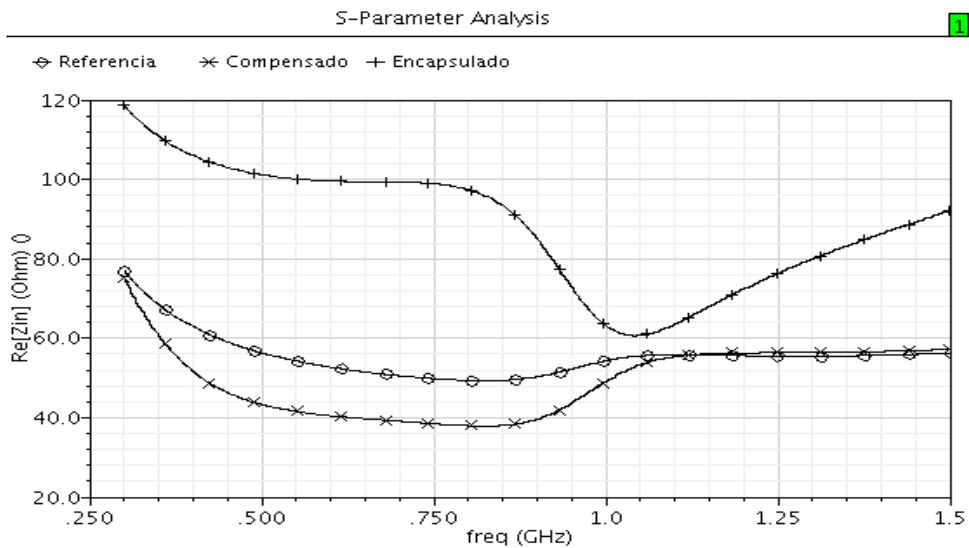


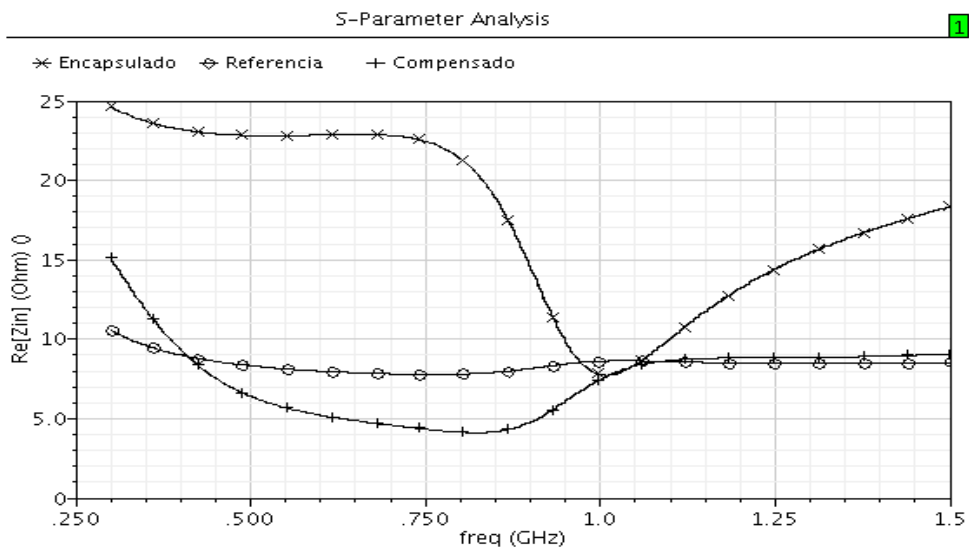
Figura 6.1: Impedância de entrada do LNA encapsulado

Calculando a impedância de entrada na frequência de operação (920 MHz) chegamos a $Z_{in} = 7,24 - j67,7\Omega$. Como as impedâncias dos capacitores são muito próximas da impedância do resistor na frequência de operação, o fator de redução da resistência é elevado. Observe que isto torna indispensável a inclusão de uma rede de casamento externa mais complexa do que a prevista inicialmente (que consistia em apenas um indutor).

Essa previsão da impedância de entrada do LNA é bastante razoável, mas não leva em conta todos os acoplamentos capacitivos do encapsulamento. Não sabemos também se haverá algum efeito secundário da inclusão do capacitor *bypass* de compensação que se reflita na impedância de entrada do estágio. Para elucidar a questão, realizamos um pequeno conjunto de simulações da parte real da impedância de entrada do LNA nas seguintes condições: receptor com V_{dd} e terra ligados diretamente às alimentações, sem parasitas do encapsulamento (legenda: "referência"); receptor com V_{dd} e terra ligados às alimentações por meio do encapsulamento, sem o capacitor de *bypass* (legenda: "encapsulado"); receptor na mesma condição anterior, mas agora incluindo capacitor de *bypass* (legenda: "compensado"). Nos casos em que o capacitor de *bypass* é incluído, subentende-se a inclusão dos resistores série inseridos para reduzir o fator de qualidade da rede ressonante das alimentações. Primeiramente simulamos o circuito nessas três condições sem nenhum parasita no pino de entrada. Em seguida o procedimento é repetido incluindo os parasitas do encapsulamento e do *bondpad*. As curvas da Figura 6.2 mostram claramente a redução da resistência de entrada do módulo, de acordo com o esperado.



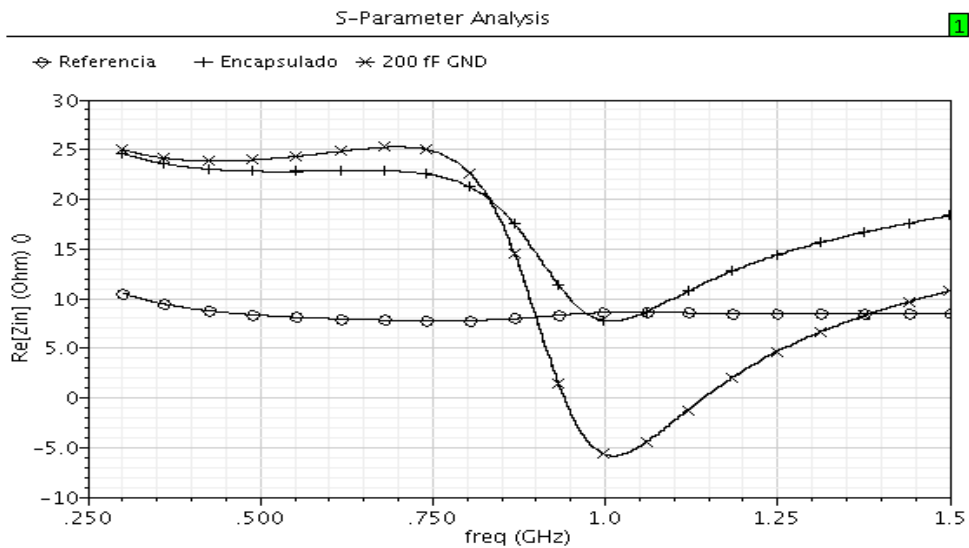
(a) Resistência de entrada sem capacitância parasita no pino de entrada



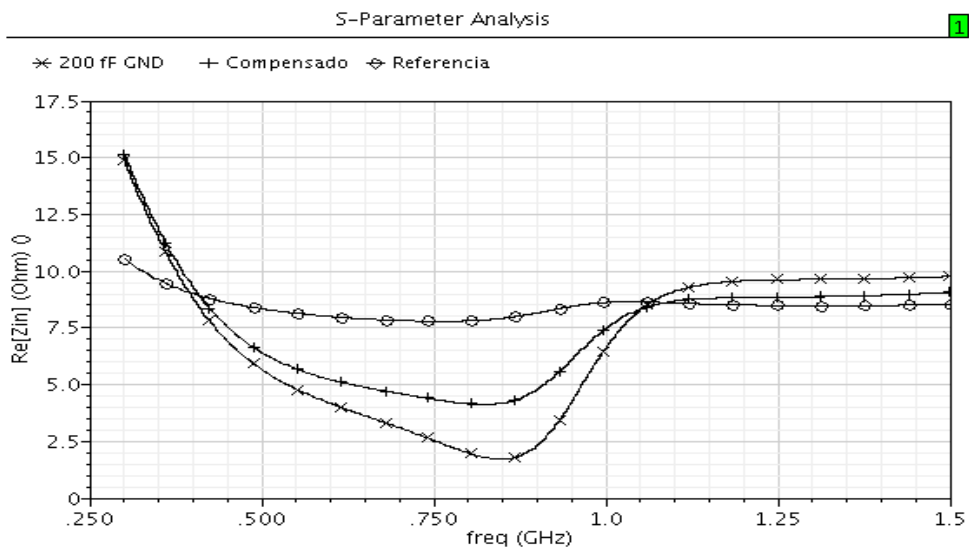
(b) Resistência de entrada com capacitância parasita no pino de entrada

Figura 6.2: Efeitos das capacitâncias parasitas no pino de entrada do LNA

Incluindo capacitâncias parasitas na saída do módulo verifica-se um impacto ainda mais drástico na resistência de entrada. No projeto inicial do LNA havia um capacitor de carga na saída do módulo, ligando o pino de saída ao V_{dd} . Esse capacitor modela a carga capacitiva do *mixer* somada a um possível capacitor que fosse desejável incluir. Entretanto, naquela oportunidade poderíamos ter ligado a carga capacitiva ao terra, e nenhuma diferença de desempenho seria detectada. Com a inclusão dos efeitos do encapsulamento nas alimentações isso deixa de ser verdade. Para verificar esse fato simulamos a resistência de entrada do módulo em duas situações: carga capacitiva de saída ligada integralmente ao V_{dd} ; 200 fF da carga de saída (aproximadamente 1/3 do total) ligada ao terra, e o restante ligada ao V_{dd} . A simulação é feita separadamente para os casos com/sem capacitor de *bypass*, incluindo em cada caso a curva de referência (vide Figura 6.3).



(a) Amplificador sem capacitor de *bypass*



(b) Amplificador com capacitor de *bypass*

Figura 6.3: Efeitos das capacitâncias parasitas no pino de saída do LNA

Observa-se que a inclusão de capacitância para o terra na saída do LNA degrada a performance dos circuitos em ambos os casos. Entretanto, para o circuito sem compensação o efeito é muito mais severo, pois a resistência de entrada do módulo é reduzida de tal forma que se torna negativa justamente na frequência de operação do circuito. A situação é claramente indesejável pois leva a uma condição severa de instabilidade do amplificador, que poderá oscilar mesmo sem nenhum sinal aplicado a sua entrada. O circuito do LNA com capacitor de *bypass* é muito mais robusto à inclusão da carga capacitiva para o terra, pois a resistência de entrada sofre apenas uma pequena redução, mantendo-se ainda positiva. Pode parecer que o fato de termos controle sobre a carga capacitiva da saída, podendo escolher se a ligação será feita para o V_{dd} ou para o terra, torna irrelevante a análise feita anteriormente. Entretanto deve-se lembrar que existem efeitos parasitas em todos os nós do circuito, e dado que o substrato semiconductor faz o papel do terra, pode-se esperar que a maior parte destes parasitários esteja efetivamente ligando cada nó do circuito à referência.

Estes parasitários podem ser minimizados, mas não eliminados completamente, e por isso será interessante adotar a estratégia que garanta maior robustez a esse efeito.

Feita a opção pelo receptor com capacitor de *bypass*, faz-se necessário projetar a rede de casamento da entrada do sistema. Esse casamento pode ser realizado de diversas formas com elementos distribuídos (trechos de linhas de transmissão, *stubs*) ou com componentes discretos (redes L, T, Π). Para frequências de operação relativamente baixas, como é o caso do sistema estudado, é mais interessante realizar o casamento com elementos discretos. A rede L permite o casamento mais simples e barato, pois é formada por apenas dois componentes discretos. A Figura 6.4 (retirada de [14]) apresenta duas redes L típicas.

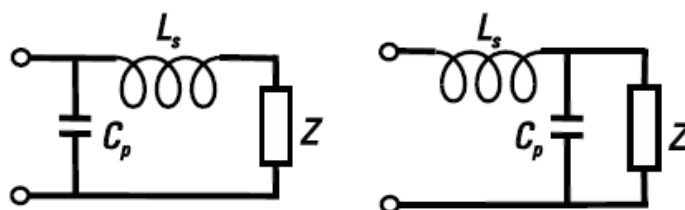


Figura 6.4: Exemplos de redes L para casamento de impedâncias

A rede apropriada para casar uma carga de baixa impedância a uma fonte de alta impedância é a que aparece à esquerda na Figura 6.4. O projeto dos parâmetros da rede apropriada para casar a entrada do LNA encapsulado foi realizado com base nas equações da referência [23]. Por se tratar de uma tarefa simples, o procedimento explícito não será apresentado aqui. Os parâmetros calculados foram $L_s = 13,2nH$ e $C_p = 9,4pF$. Finalizada essa etapa pode-se proceder às simulações de desempenho do receptor.

6.3 DESEMPENHO DO RECEPTOR

Todas as simulações feitas anteriormente para o LNA e para o *mixer* poderiam ser refeitas para o receptor. Entretanto, optou-se por não proceder desta forma, dado o grande volume de dados e curvas que seriam gerados. O circuito será simulado, neste momento, apenas com relação a três de seus parâmetros mais relevantes: ganho (G), figura de ruído (NF) e ponto de intercepção de terceira ordem referenciado à entrada (IIP3). Os dois últimos parâmetros combinados nos permitirão calcular a sensibilidade e o SFDR (*Spurious-free Dynamic Range*) do receptor.

O resultado da simulações é apresentado no Anexo I. A tabela 6.1 resume os principais parâmetros levantados neste conjunto de simulações. A figura de ruído considerada agora e em todas as análises que seguem será a NF SSB (*single side-band noise figure*), que é geralmente mais apropriada para receptores FSK.

A sensibilidade do receptor é definida como a menor potência de sinal na entrada capaz de provocar a recepção com taxa de erro de bit (BER) maior do que um mínimo estabelecido. Matematicamente pode ser expressa em diversas formas, uma das quais pode ser vista em [6]:

Tabela 6.1: Primeiros parâmetros de desempenho para o receptor

Parâmetro	Valor	Unidade
Ganho de Tensão	52,1	dB
Figura de Ruído	4,8	dB
Consumo	10	mW
IIP3	-33,3	dBm

$$P_{min} = -174dBm/Hz + NF + 10\log(B) + SNR_{min} \quad (6.1)$$

Onde NF é a figura de ruído do receptor, B é a banda do ruído (que pode ser aproximada pela largura do canal ocupado pelo sinal), e SNR_{min} é a mínima figura de ruído na entrada necessária à qualidade de recepção desejada. A especificação de sensibilidade do SoC foi definida em: BER de 10^{-3} para um canal de 125 kHz à taxa de 50 kbps. Faz-se necessário então determinar a SNR_{min} associada a esta sensibilidade. Para isto, reescrevemos a razão sinal ruído em termos de parâmetros mais usuais ns sistemas de telecomunicação: a energia por bit E_b e a densidade espectral de ruído N_0 :

$$SNR_{min} = 10\log\left(\frac{E_{bmin}T}{N_0B}\right) = 10\log\left(\frac{E_{bmin}}{N_0}\right) + 10\log(T) - 10\log(B) \quad (6.2)$$

Onde T é a taxa de transmissão. A relação entre BER e o parâmetro E_b/N_0 para diferentes esquemas de modulação é tabelada e pode ser facilmente encontrada na literatura. Consultando a curva da referência [24], verifica-se que para uma BER de 10^{-3} em um sistema operando com modulação FSK binária, o valor de E_{bmin}/N_0 será aproximadamente 12 dB. Conhecidos todos os parâmetros da equação 6.2 calcula-se a SNR_{min} :

$$SNR_{min} = 12 + 10\log(50000) - 10\log(125000) = 8,02dB \quad (6.3)$$

Substituindo em 6.1 chega-se a:

$$P_{min} = -174 + 4,8 + 10\log(125000) + 8,02 = -110,2dBm \quad (6.4)$$

O SFDR de um receptor é comumente definido como o valor de potência de sinal na entrada para o qual a potência de intermodulação de terceira ordem gerada em toda a cadeia de recepção se iguala ao nível de ruído do sistema. Uma expressão para esse parâmetro pode ser vista novamente em [6]:

$$SFDR = \frac{2 \times (IIP3 + 174dBm + NF + 10\log(B))}{3} - SNR_{min} \quad (6.5)$$

A expressão já está em uma forma conveniente, pois todos os parâmetros são conhecidos. Substituindo os valores chegamos a:

$$SFDR = \frac{2 \times (-33,3 + 174 - 4,8 - 10\log(125000))}{3} - 8,02 = 48,6dB \quad (6.6)$$

A sensibilidade estimada para o receptor é muito boa quando comparada com os produtos comerciais existentes no mercado. Já o SPDR deixa um pouco a desejar. Pode-se dizer que o maior limitante para este parâmetro está no baixo valor do IIP3, pois existem receptores comerciais com valores de IIP3 superiores em pelo menos 30 dB ao deste módulo. A alta sensibilidade combinada com SFDR moderado implica que haverão elevados níveis de produtos de intermodulação e portanto degradação da sensibilidade quando o sistema estiver sujeito a alta potência de recepção.

6.4 TROCANDO SENSIBILIDADE POR LINEARIDADE

Há de se questionar porque o IIP3 estimado para o receptor é tão baixo, da ordem de -33,3 dBm, enquanto que os IIP3 previstos tanto para o *mixer* quanto para o LNA são bastante superiores (-4,46 dBm e -6,15 dBm, respectivamente). De fato a explicação é muito simples [6]. Suponhamos por exemplo que o LNA seja perfeitamente linear (IIP3 infinito), e que portanto toda limitação de linearidade do receptor se deva aos produtos de intermodulação gerados no *mixer*. Quando analisamos o *mixer* isoladamente estimamos um IIP3 de -6,15 dBm. Essa é a potência que o sinal deveria ter na entrada do *mixer* para a potência dos produtos de intermodulação na sua saída se iguallassem à potência do sinal. Quando introduzimos o LNA, verificamos que a potência que chega à entrada do *mixer* é amplificada pelo ganho desse estágio. Assim sendo, para que o sinal do receptor chegue à entrada do *mixer* com -6,15 dBm de potência (provocando alta não-linearidade na saída) será necessário que ele seja recebido pelo LNA com potência igual aos -6,15 dBm subtraídos do ganho do LNA. Como o ganho do LNA é da ordem de 30 dB, o IIP3 do *mixer* referenciado à entrada do receptor fica reduzido deste mesmo valor. Esta análise permite prever que um IIP3 global de -36,15 dBm para o receptor, valor bastante coerente com os -33,3 dBm obtidos nas simulações.

A partir desta rápida análise podem-se deduzir dois métodos simples de elevar o IIP3 do sistema: diminuindo o ganho do LNA; aumentando o IIP3 do *mixer*. O ganho do LNA pode ser controlado facilmente atuando na polarização do transistor amplificador fonte-comum, por exemplo, alterando o valor da tensão de polarização. Infelizmente esse procedimento provoca mudanças tanto na transcondutância (e portanto no ganho) quanto na impedância de entrada do LNA (o que pode ser observado na equação 2.3). A mudança na impedância de entrada leva ao aumento do descasamento na conexão com a antena e possivelmente à instabilidade do receptor. Uma forma mais segura de alterar o ganho do LNA atuando no transistor-amplificador consiste em diminuir sua largura. Para que isto seja possível deve-se dividir previamente este transistor em uma pequena quantidade de transistores, dispostos em paralelo. Pode-se então incluir um conjunto de chaves analógicas na ligação entre a referência de transcondutância e a porta de cada um desses transistores. Atuando nas chaves podemos provocar o ligamento ou o desligamento dos transistores, que passarão da região de saturação (quando ligados à referência) para a de corte (quando desligados). O efeito desta operação é o de diminuição na largura efetiva do transistor-amplificador. Mostra-se

que desta forma diminuimos o ganho do LNA sem modificar sua impedância de entrada. É evidente entretanto que o amplificador não estará mais casado para o ruído, e pode-se esperar elevação substancial na NF do módulo.

O IIP3 do *mixer* pode também ser elevado sem muitas dificuldades. Ao projetar a degeneração capacitiva optou-se por uma impedância de degeneração relativamente baixa. Pode-se, de forma análoga ao que foi sugerido para o LNA, introduzir uma chave analógica que nos permita controlar a impedância de degeneração do conversor tensão-corrente. O aumento da impedância de degeneração provoca simultaneamente a diminuição da transcondutância efetiva e o aumento da linearidade do conversor.

Combinando os dois métodos de forma equilibrada pode-se chegar a um compromisso razoável entre a diminuição da sensibilidade (pela degradação do NF) e o aumento do IPP3 do receptor. No LNA, optou-se por dividir o transistor amplificador em quatro sub-transistores iguais. Foram incluídas chaves analógicas simples que permitem escolher entre a ligação da polarização de apenas um destes transistores ou de todos os quatro. Quando apenas um transistor é ligado espera-se redução no ganho do LNA por um fator de aproximadamente 12 dB, que será imediatamente refletido em aumento de 12 dB no IIP3 do sistema. No caso do *mixer* fez-se algo mais drástico: foi incluída uma única chave analógica que permite ligar ou desligar completamente o capacitor de degeneração do circuito. Quando o capacitor estiver ligado o circuito opera normalmente; quando desligado, a impedância de degeneração vista pelo conversor tensão-corrente será igual à resistência da fonte de corrente que polariza o estágio, que pode ser bastante elevada (da ordem de alguns $k\Omega$). Como feito anteriormente, não se fará qualquer tentativa de calcular explicitamente o novo IIP3. Uma rápida simulação, exibida na Figura 6.5, elucida completamente a questão: o IIP3 do *mixer* nesse modo de operação é de 15,92 dBm. Observa-se nessa mesma figura que o novo ganho de conversão do misturador é de aproximadamente 0 dB.

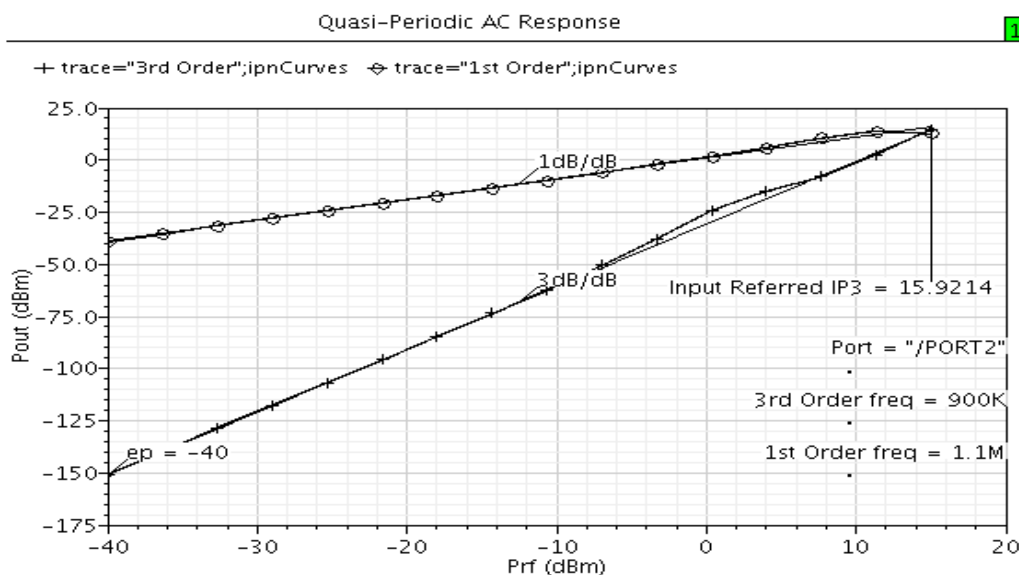


Figura 6.5: Ponto de intercepção de terceira ordem para o *mixer* com capacitor de degeneração desconectado

Da mesma forma que foi feito para o receptor original, procede-se à investigação do principais parâ-

metros de desempenho (ganho, NF e IIP3) do receptor nessa nova configuração. Para tornar a referência aos dois modos de operação do receptor mais claras atribuem-se nomes a essas configurações. O primeiro modo de operação projetado será denominado modo de operação em alta sensibilidade ou, simplesmente, modo de alta sensibilidade. Analogamente, quando o circuito operar na nova configuração projetada diremos que o receptor está no modo de operação em alta linearidade (ou modo de alta linearidade).

O receptor no modo de alta linearidade é simulado, e as curvas obtidas aparecem no Anexo I. A tabela 6.2 resume os principais parâmetros de desempenho para este novo modo de operação.

Tabela 6.2: Primeiros parâmetros de desempenho o receptor no modo alta linearidade

Parâmetro	Valor	Unidade
Ganho de Tensão	25,2	dB
Figura de Ruído	20,2	dB
Consumo	6	mW
IIP3	-9,4	dBm

Os cálculos da sensibilidade e do SFDR são repetidos para este novo caso. Como a figura de ruído do receptor passou de 4,8 para 20,2 dB, haverá uma correspondente diminuição de 15,4 dB na sensibilidade do receptor. Desta forma temos imediatamente:

$$P_{minHL} = P_{min} + 15,4 = -94,8 \text{ dBm} \quad (6.7)$$

E o novo SFDR será:

$$SFDR_{HL} = \frac{2 \times (-9,4 + 174 - 20,2 - 10 \log(125000))}{3} - 8,02 = 54,3 \text{ dB} \quad (6.8)$$

6.5 DESEMPENHO ESPERADO PARA O MÓDULO

Finalizadas as etapas de simulação e ajustes, chegamos a um grande conjunto de parâmetros representativos do desempenho esperado para o receptor implementado com os módulos projetados neste trabalho. Além dos diversos parâmetros previstos e calculados neste capítulo, um último parâmetro de interesse, qual seja, a área ocupada pelos circuitos em silício, foi levantado a partir do desenho dos *layouts* dos blocos. Alguns *layouts* representativos, dentre os quais destaca-se o *layout* do LNA já enviado para fabricação no chip UNB1008, podem ser vistos no Anexo II.

A Tabela 6.3 resume o conjunto de resultados obtidos para o receptor funcionando nos dois modos de operação: alta linearidade e alta sensibilidade. Além disso, apresenta algumas das especificações elétricas mais relevantes para o transceptor de RF do rSoC e também do transceptor de RF do antigo SoC para controle de irrigação. Lembre-se que as metas de desempenho a visadas neste trabalho foram aquelas

estipuladas para o rSoC. As especificações do SoC controle de irrigação são incluídas apenas a título de comparação.

Tabela 6.3: Desempenho esperado para o receptor

Parâmetro	Especificações do receptor		LNA + 2 mixers		Unidade
	Livro Branco (SoC)	rSoC	Modo alta sensibilidade	Modo alta linearidade	
Ganho de Tensão	-	-	52,1	25,2	dB
Figura de Ruído (SSB)	2-5	-	4,8	20,2	dB
Consumo	4-7	20	10	6	mW
Área	12-15	-	0,3	0,3	mm ²
Largura do canal	50	125	125	125	kHz
Taxa de transmissão	9,6	50	50	50	kbps
IIP3	-	-	-33,3	-9,4	dBm
Sensibilidade	-100	-90	-110	-95	dBm
Faixa dinâmica	30	-	48,6	54,3	dB

7 CONCLUSÕES

Neste trabalho foi apresentado o projeto completo de dois blocos de rádio-frequência básicos a serem integrados ao transceptor de RF utilizado no rSoC em desenvolvimento na Universidade de Brasília: um amplificador de baixo ruído (LNA) e um misturador (*mixer*) abaixador de frequência. A descrição das etapas do projeto foi feita de forma metódica, e o desempenho dos circuitos foi amplamente investigado por meio de grande conjunto de simulações. Os módulos serão enviados para fabricação de forma que se possa proceder à etapa de caracterização elétrica em um futuro próximo.

7.1 DESCRIÇÃO DO TRABALHO REALIZADO

Na revisão bibliográfica foram apresentados os conceitos e idéias fundamentais juntamente com a maior parte das equações necessárias ao desenvolvimento do trabalho proposto. Esse capítulo é bastante extenso devido à grande quantidade de conhecimentos não cobertos pelas disciplinas básicas do curso de graduação em Engenharia Elétrica que são necessários ao bom andamento dos projetos realizados.

O amplificador de baixo ruído foi realizado em uma topologia fonte-comum *cascode* com degeneração indutiva e carga LC ressoante. O módulo foi projetado por duas técnicas de otimização distintas, e os circuitos finais foram comparados quanto a seus desempenhos. Os indutores de degeneração e de carga foram contruídos com espirais hexagonais integradas no *chip*, e a rede de casamento da parte imaginária da impedância de entrada foi deixada para ser realizada por componentes discretos. A polarização do amplificador foi realizada por uma referência de transcondutância, que também foi projetada neste trabalho e incluída no *layout* final do LNA desenhado. Ainda no projeto do LNA foram investigados os impactos dos parasitas do encapsulamento ligados às alimentações do circuito sobre o seu desempenho, e foi proposta uma forma de compensação destes efeitos que consiste na inclusão de um grande capacitor de *bypass* integrado abaixo do escudo de terra do indutor de degeneração do próprio LNA.

O *mixer* do receptor foi projetado em uma topologia do tipo célula de Gilbert simplesmente balanceada com algumas modificações. As adaptações da topologia incluem: a divisão da célula de Gilbert em dois estágios, um conversor tensão-corrente e um chaveador de corrente; a inclusão de degeneração capacitiva no transistor conversor tensão-corrente, o que fornece o grau de liberdade necessário para que se possa fazer a troca entre linearidade e ganho de conversão do *mixer*. O circuito foi inteiramente projetado sem inclusão de quaisquer componentes externos, sem a utilização de nenhum indutor integrado e com baixo consumo de potência. Essas características tornam o módulo apropriado para aplicações em que se busque baixo custo e grande autonomia do transceptor.

Após o projeto dos dois blocos procedeu-se à análise do desempenho do receptor, constituído pelos dois módulos cascateados e inteiramente encapsulados no CI. Verificou-se por um lado o ganho de robustez no desempenho do circuito proporcionado pela inclusão do capacitor de *bypass*, e por outro a necessidade de

inclusão de uma rede de casamento de impedância externa mais complexa do que o previsto inicialmente. O ganho, a sensibilidade e o a faixa dinâmica livre de espúrios do receptor foram calculados, e a constatação da baixa linearidade na recepção levou à modificação dos circuitos originais do LNA e do *mixer* para que fosse possível criar um segundo modo de operação do receptor: o modo de alta linearidade. Este novo modo foi igualmente caracterizado quanto a seus principais parâmetros de desempenho.

7.2 PROPOSTAS PARA TRABALHOS FUTUROS

Apresenta-se a seguir um conjunto de tarefas relacionados com o presente trabalho que podem levar à validação dos resultados aqui previstos ou à melhoria de desempenho dos módulos projetados:

- Envio para fabricação dos módulos desenvolvidos neste trabalho. Caracterização elétrica dos circuitos fabricados. De fato, uma primeira versão do LNA já foi enviada para fabricação, mas o circuito não foi caracterizado. Nada neste sentido foi feito para o *mixer* até o momento;
- Estudo da compatibilidade entre a saída do PA e a entrada do LNA, tendo em vista combiná-los em um único pino do encapsulamento. Para que isto seja possível seria necessário incluir uma chave de RF integrada no CI. Desta forma é possível reduzir a quantidade de pinos do transceptor de RF e a quantidade de componentes externos necessários, o que levaria certamente ao barateamento do sistema;
- Estudo de alternativas ao PAD analógico utilizado na entrada do LNA, no sentido de substituí-lo por um PAD próprio para circuitos de rádio-freqüência (PAD de RF). Desta forma pode-se reduzir substancialmente os parasitas capacitivos na entrada do receptor, que são responsáveis por severa degradação na impedância de entrada do circuito.
- Estudo de alternativas aos circuitos de proteção contra descargas eletrostáticas (ESD) do PAD analógico, pelas mesmas razões do item acima;
- Modelagem fina do encapsulamento e de seus efeitos parasitas. Neste trabalho foi utilizado um modelo genérico fornecido pela AMS para um encapsulamento do tipo TSOP16, que não coincide com o encapsulamento em que os módulos do SoC vem sendo rotineiramente fabricados (que é do tipo JLCC). Esse trabalho é necessário para que se possa ter maior segurança nos resultados obtidos para as simulações dos circuitos encapsulados.

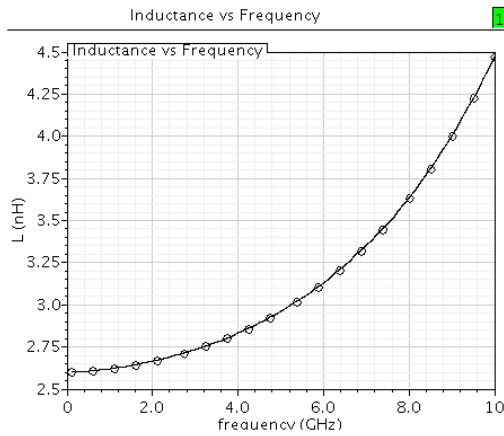
REFERÊNCIAS BIBLIOGRÁFICAS

- [1] AMARAL, W. A. *Amplificador de Baixo Ruído a 900 MHz em tecnologia CMOS para Transceptor de RF em SoC*. Dissertação (Mestrado) — Universidade de Brasília, 2005.
- [2] SOARES, R. R. P. *Sintetizador de Frequência para Transceptor de RF Integrado em um SoC CMOS*. Dissertação (Mestrado) — Universidade de Brasília, 2005.
- [3] VOGEL, P. R. O. *Demodulador em tecnologia CMOS para um Transceptor de RF a 900 MHz em um sistema em chip*. Dissertação (Mestrado) — Universidade de Brasília, 2005.
- [4] MEDEIROS, J. Revisão e Aperfeiçoamento do Módulo de Saída de um transceptor de RF a 900MHz em SoC CMOS. 2007.
- [5] MAK, P.-I.; U, S.-P.; MARTINS, R. *Analog-baseband Architectures and Circuits for Multistandard and Low-Voltage Wireless Transceivers*. [S.l.]: Springer, 2007.
- [6] RAZAVI, B. *RF Microelectronics*. 1. ed. [S.l.]: Prentice-Hall, 1998.
- [7] CROLS, J.; STEYAERT, J. A single-chip 900 mhz cmos receiver front-end with a high performance low-if topology. *IEEE Journal of Solid-State Circuits*, v. 30, n. 12, p. 1483–1492, December 1995.
- [8] RAZAVI, B. *Design of Analog CMOS Integrated Circuits*. 1. ed. [S.l.]: McGraw-Hill, 2001.
- [9] LEE, T. H. *The Design of CMOS Radio-Frequency Integrated Circuits*. 1. ed. [S.l.]: Cambridge University Press, 1998.
- [10] ALLEN, P. E.; HOLDBERG, D. R. *CMOS Analog Circuit Design*. 2. ed. [S.l.]: Oxford University Press, 2002.
- [11] NGUYEN, T.-K. et al. Cmos low-noise amplifier design optimization techniques. *IEEE Transactions on Microwave Theory and Techniques*, v. 52, n. 5, p. 1433–1442, May 2004.
- [12] CHEN, J.; SHI, B. Novel constant transconductance references and the comparisons with the traditional approach. In: *Mixed-Signal Design, 2003. Southwest Symposium on*. [S.l.: s.n.], 2003. p. 104–107.
- [13] TALEBBEYDOKHTI, N. et al. Constant transconductance bias circuit with an on-chip resistor. In: *IEEE International Symposium on Circuits and Systems*. [S.l.: s.n.], 2006.
- [14] ROGERS, J.; PLETT, C. *Radio Frequency Integrated Circuit Design*. 1. ed. [S.l.]: Artech House, 2003.
- [15] RAZAVI, B. Design considerations for direct-conversion receivers. *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on [see also Circuits and Systems II: Express Briefs, IEEE Transactions on]*, v. 44, n. 6, p. 428–435, 1997.

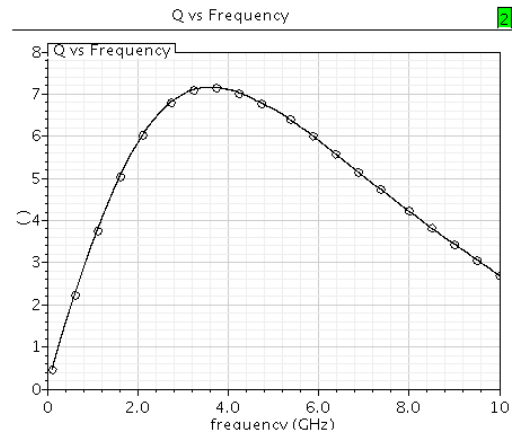
- [16] RAZAVI, B. A 1.5 V 900 MHz downconversion mixer. In: *Solid-State Circuits Conference, 1996. Digest of Technical Papers. 43rd ISSCC., 1996 IEEE International*. [S.l.: s.n.], 1996. p. 48–49.
- [17] LEENAERTS, D.; TANG, J. van der; VAUCHER, C. *Circuit Design for RF Transceivers*. 1. ed. [S.l.]: Kluwer Academic Publishers, 2001.
- [18] HUANG, F.; KENNETH, O. A 0.5- μ m CMOS T/R Switch for 900-MHz Wireless Applications. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, v. 36, n. 3, 2001.
- [19] HASTINGS, R. *The Art of Analog Layout*. [S.l.]: Prentice Hall, 2001.
- [20] LIOU, J. On-chip spiral inductors for rf applications. In: *IEEE Hong Kong Joint Chapter of Electron Devices and Solid-State Circuits Society*. [S.l.: s.n.], 2005.
- [21] YUE, C.; WONG, S. On-chip spiral inductors with patterned ground shields for Si-based RF ICs. *Solid-State Circuits, IEEE Journal of*, v. 33, n. 5, p. 743–752, 1998.
- [22] FONSECA, L.; KRETLY, P.; KRETLY, L. Improving Q-factor of monolithic inductor by using double ground shield-N+ buried and polysilicon \bar{U} a realistic simulation. In: *Communications and Electronics, 2008. ICCE 2008. Second International Conference on*. [S.l.: s.n.], 2008. p. 1–4.
- [23] POZAR, D. *Microwave engineering*. 2. ed. [S.l.]: Addison-Wesley Reading, Mass, 1990.
- [24] LATHI, B. *Modern Digital and Analog Communication Systems*. 3. ed. [S.l.]: Oxford University Press, 1998.
- [25] LNA Design Using SpectreRF. September 2004. CADENCE Application Note.
- [26] MIXER Design Using SpectreRF. June 2004. CADENCE Application Note.

I. SIMULAÇÕES

I.1 SIMULAÇÕES DOS INDUTORES

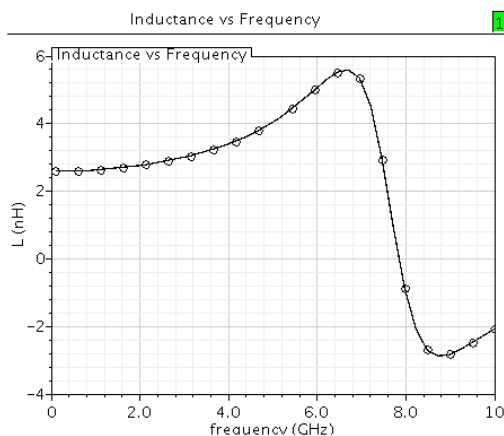


(a) Indutância versus frequência

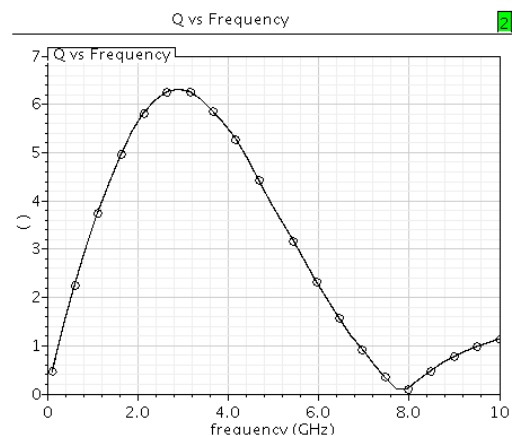


(b) Fator de qualidade versus frequência

Figura I.1: Simulações para indutor de degeneração sem escudo de terra



(a) Indutância versus frequência



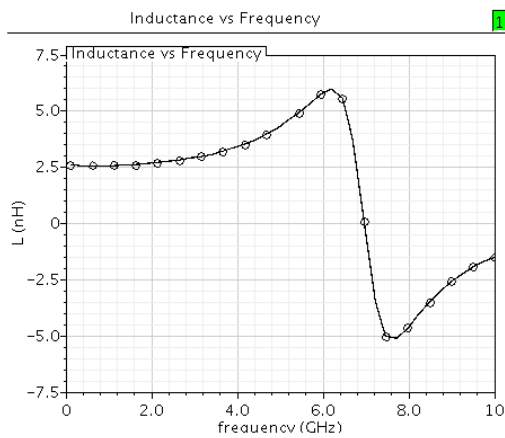
(b) Fator de qualidade versus frequência

Figura I.2: Simulações para indutor de degeneração com escudo de terra formado por metal 1 padronizado ligado a polissilício 2 padronizado

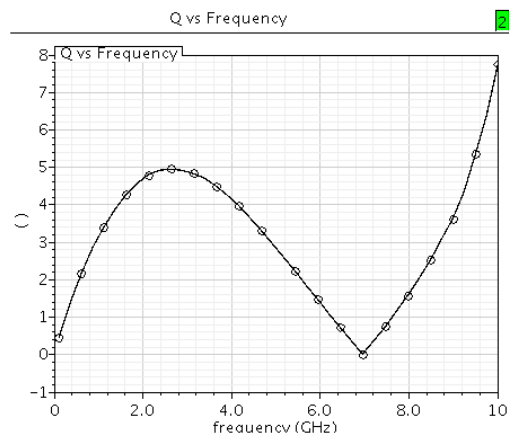
I.2 SIMULAÇÕES DO LNA

Condições de simulação:

- Alimentações internas do circuito (V_{dd} e terra) ligadas por meio de pinos de um encapsulamento TSOP16. O encapsulamento é descrito por um modelo fornecido pelo próprio fabricante (AMS);

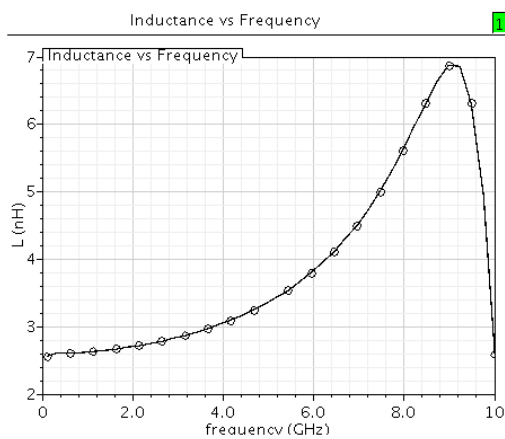


(a) Indutância versus frequência

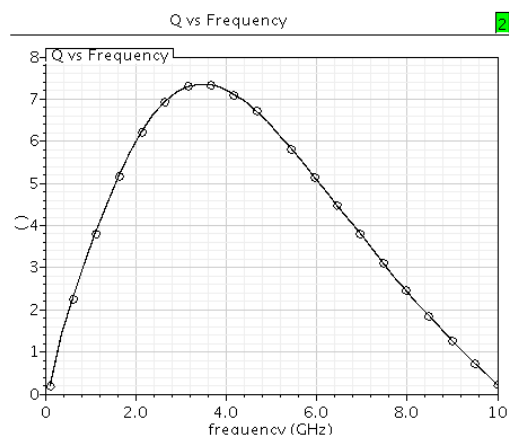


(b) Fator de qualidade versus frequência

Figura I.3: Simulações para indutor de degeneração com escudo de terra formado por metal 1 padronizado ligado a polissilício 2 sólido



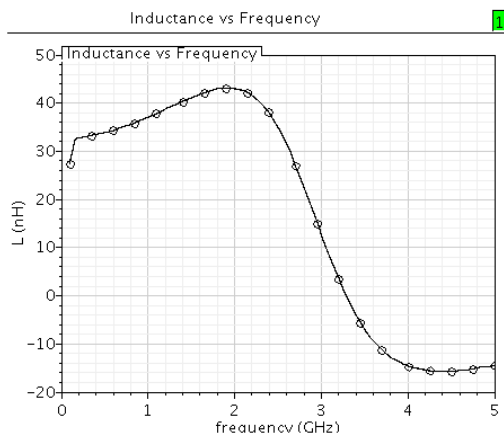
(a) Indutância versus frequência



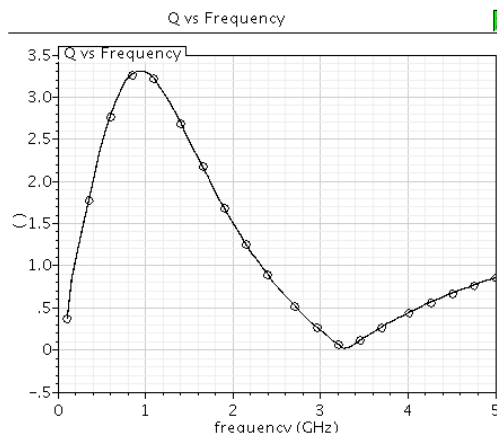
(b) Fator de qualidade versus frequência

Figura I.4: Simulações para indutor de degeneração com escudo de terra formado por polissilício 2 padronizado com interconexões em metal 1

- Em todos os casos, uma porta de impedância 50Ω é ligada à entrada do LNA;
- Para as simulações de parâmetro S , figura de ruído, resistência de entrada, parâmetros de estabilidade K e Δ , ponto de intercepção de terceira ordem e ponto de compressão de 1 dB, a saída do LNA é ligada a uma porta de impedância $1 \text{ k}\Omega$;
- Para as simulações de ganho de tensão, a saída do LNA é ligada a uma porta de impedância $1 \text{ M}\Omega$. Esse valor pode ser considerado infinito no sentido de que não provoca carregamento do circuito;
- As potências de entrada e saída estão sempre referenciadas à impedância da porta que recebe o sinal. Por exemplo, a potência de entrada será sempre igual ao quadrado da tensão neste nó dividido por 50Ω (já que está é a impedância da porta de entrada em todos os casos);
- A temperatura típica de operação do circuito em todas as simulações é de 300 K ;



(a) Indutância versus frequência



(b) Fator de qualidade versus frequência

Figura I.5: Simulações para indutor de carga sem escudo de terra

As simulações foram realizadas no ambiente *Virtuoso* da CADENCE. A referência [25] detalha os procedimentos necessários à execução destas simulações.

I.3 SIMULAÇÕES DO MIXER

Condições de simulação.

- Liga-se à entrada do *mixer* uma porta de impedância 50Ω em paralelo com uma carga de 50Ω . Como a impedância de entrada do mixer é muito maior que 50Ω , e não estamos interessados em avaliar a transferência de potência para este módulo, essa ligação torna a amplitude do sinal de tensão na entrada bem conhecido e nos dá uma forma simples de calculá-la. Além disso, torna mais fácil a comparação do desempenho do *mixer* projetado com outros módulos descritos na literatura, principalmente quando se trata dos parâmetros de linearidade (IIP3 e P1dB), já que em geral esses parâmetros são dados em termos de potência de sinais numa carga 50Ω ;
- Para gerar os sinais do oscilador local utiliza-se uma porta de impedância 50Ω ligada a uma carga de mesma impedância. A saída desta rede é passada a um *balun* ideal, e cada porta de saída do *balun* é ligada a uma das portas LO (LO+ ou LO-);
- A saída diferencial do mixer é conectada a uma fonte de tensão controlada por tensão (VCVS) ideal, isto é, que não carrega o circuito. A saída da fonte é ligada a uma porta de impedância 50Ω . O objetivo desta ligação é novamente o de garantir que o desempenho do circuito possa ser avaliado indistintamente em termos de tensão ou potência na saída, pois para realizar a transformação de potência para tensão basta multiplicar a potência por 50Ω e tomar a raiz quadrada do resultado;
- A temperatura típica de operação do circuito em todas as simulações é de 300 K;

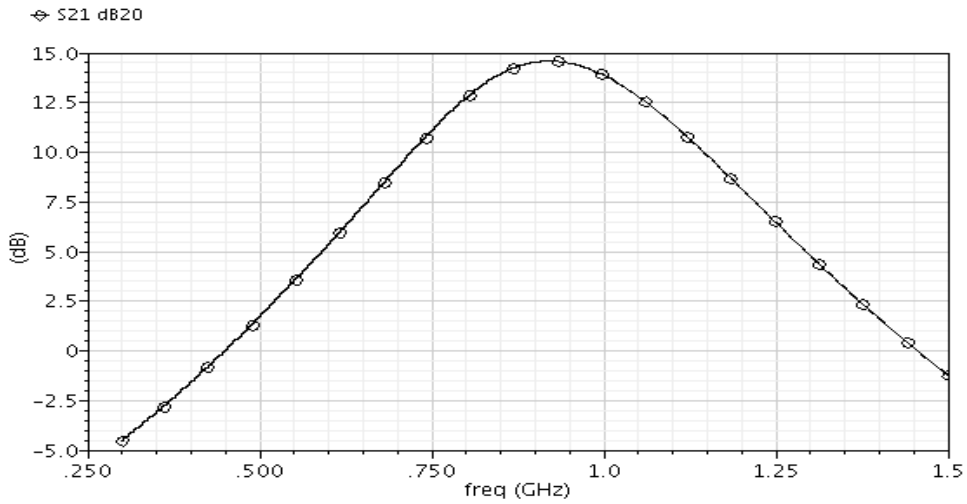
Para detalhes à respeito da implementação destas simulações vide [26].

I.4 SIMULAÇÕES DO RECEPTOR

Condições de simulação:

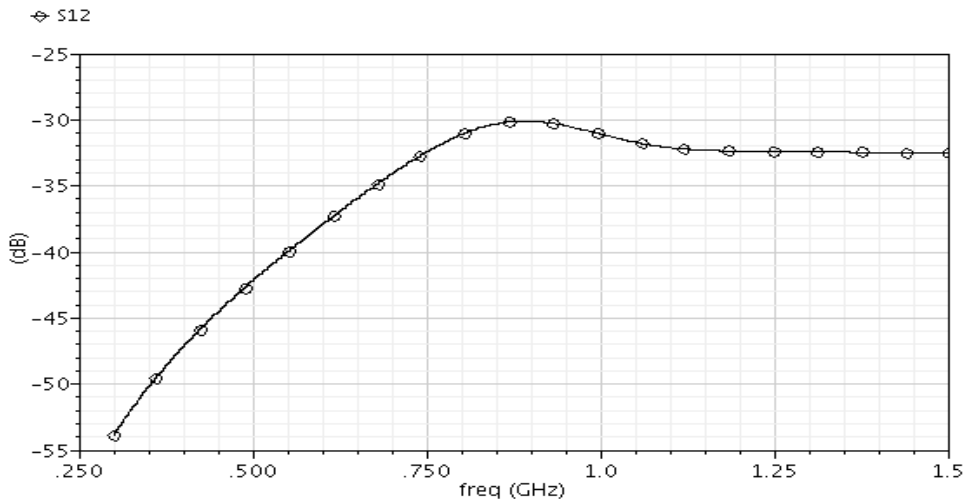
- Todos os pinos do circuito (porta de entrada do LNA, V_{dd} , terra, portas do oscilador local e porta de saída do *mixer*) são ligados a sinais externos por meio de pinos de um encapsulamento TSOP16. O encapsulamento é descrito por um modelo fornecido pelo próprio fabricante (AMS);
- Em todos os casos, uma porta de impedância 50Ω é ligada à entrada do LNA (entrada de RF) por intermédio de uma rede de casamento de impedâncias externa adequada;
- Para gerar os sinais do oscilador local utiliza-se uma porta de impedância 50Ω ligada a uma carga de mesma impedância. A saída desta rede é passada a um *balun* ideal, e cada porta de saída do *balun* é ligada a uma das portas LO (LO+ ou LO-);
- A saída diferencial do mixer é conectada a uma fonte de tensão controlada por tensão (VCVS) ideal, isto é, que não carrega o circuito. A saída da fonte é ligada a uma porta de impedância 50Ω . O objetivo desta ligação é novamente o de garantir que o desempenho do circuito possa ser avaliado indistintamente em termos de tensão ou potência na saída, pois para realizar a transformação de potência para tensão basta multiplicar a potência por 50Ω e tomar a raiz quadrada do resultado;
- A temperatura típica de operação do circuito em todas as simulações é de 300 K;

S-Parameter Response



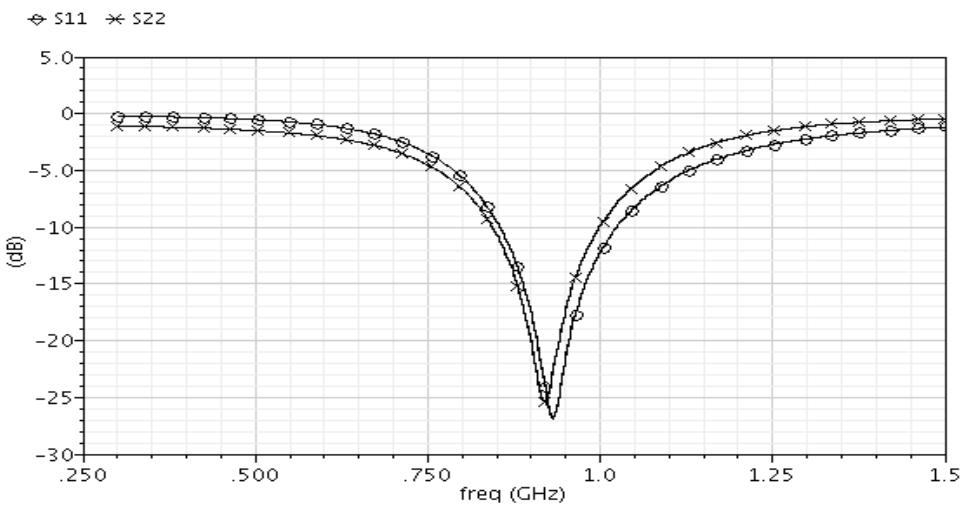
(a) Parâmetro S21

S-Parameter Response

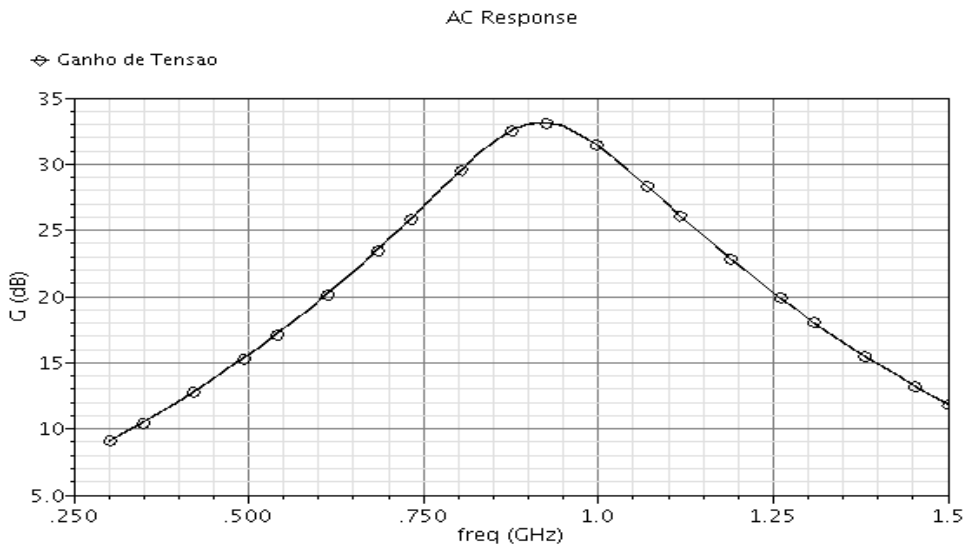


(b) Parâmetro S12

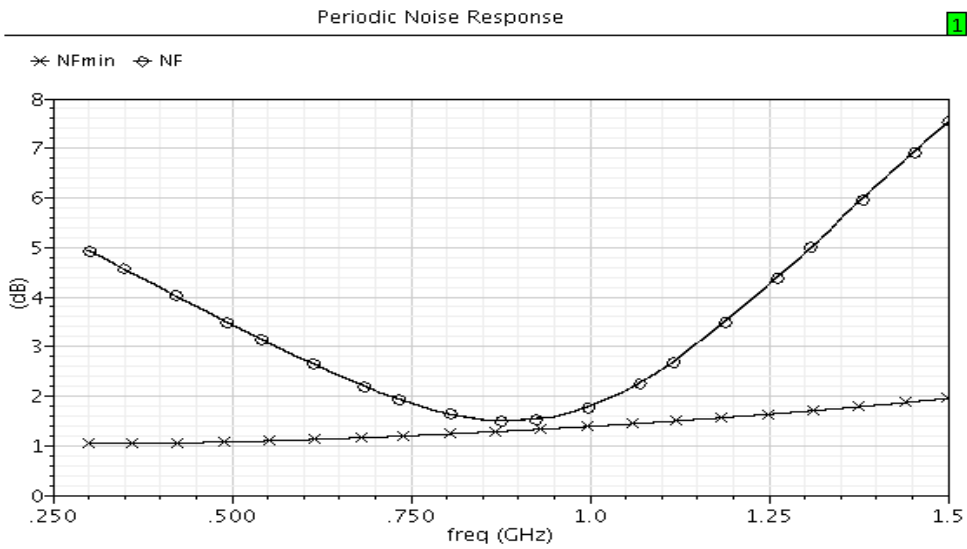
S-Parameter Analysis



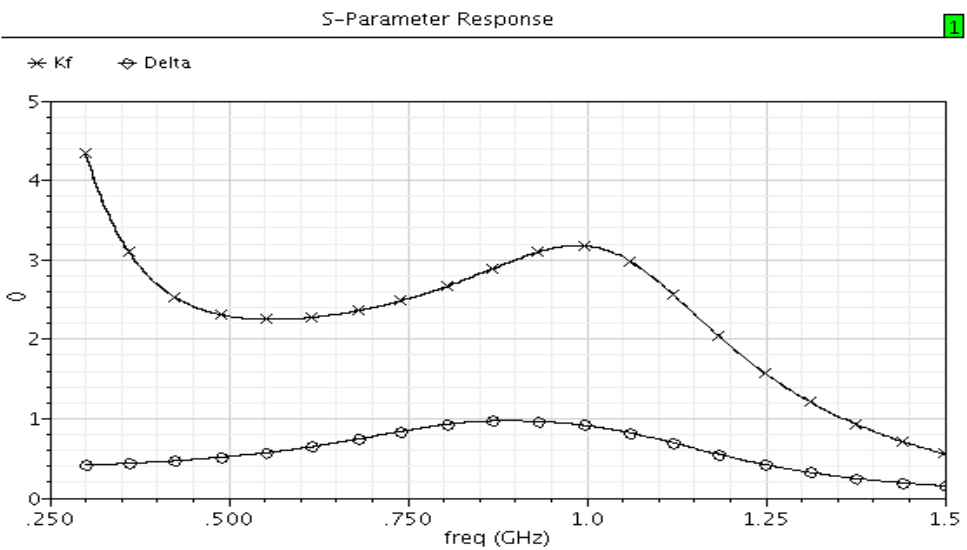
(c) Parâmetros S11 e S22



(d) Ganho de Tensão

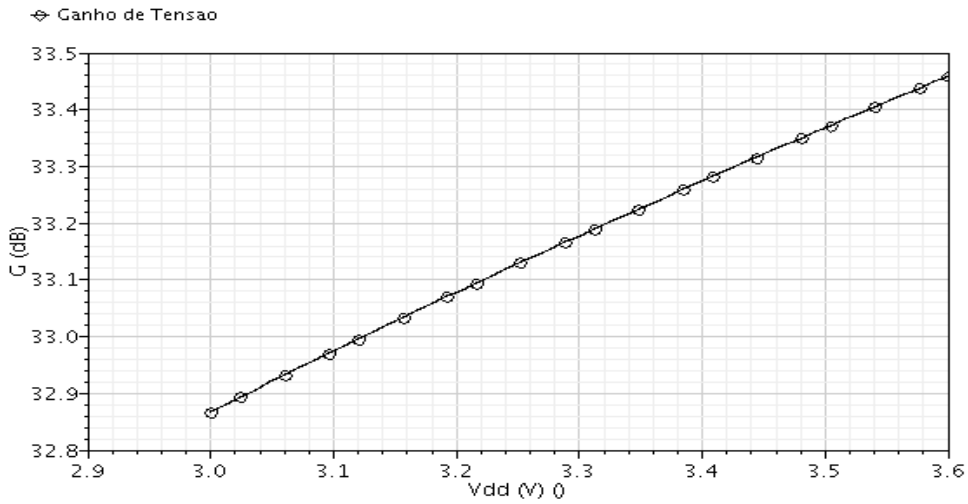


(e) Figura de Ruído



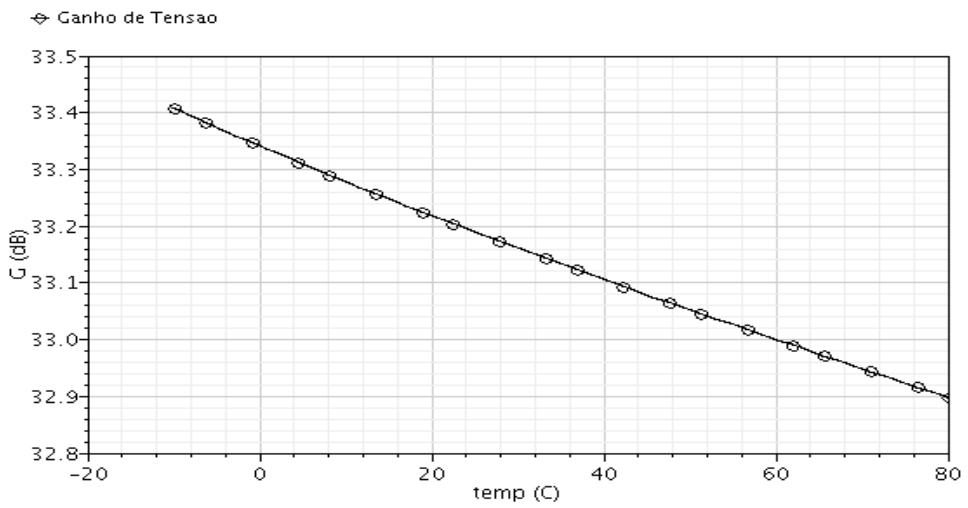
(f) Fatores de estabilidade K e Delta

AC Response



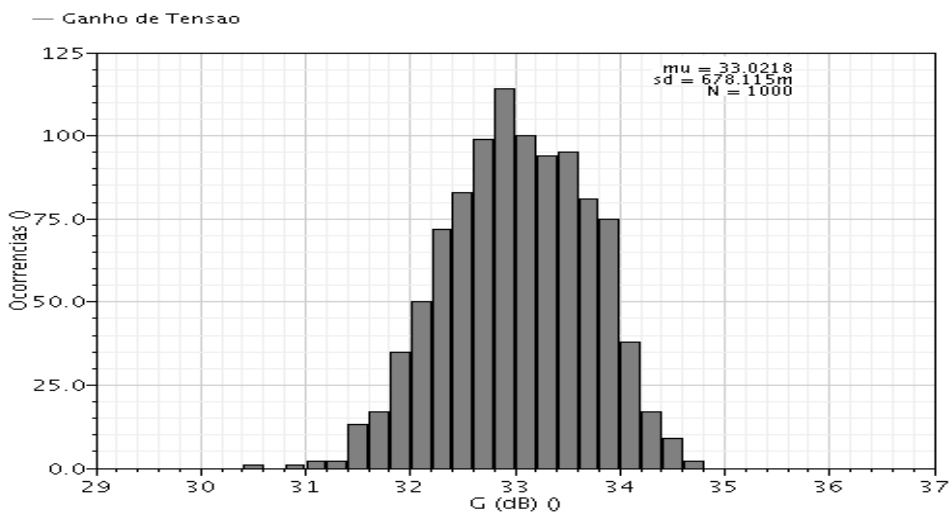
(g) Ganho de Tensão versus tensão de alimentação

AC Response

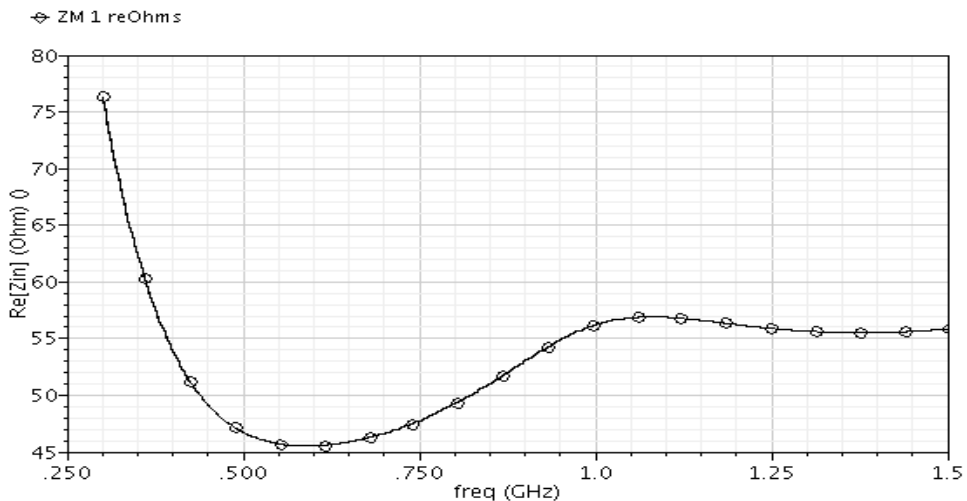


(h) Ganho de tensão versus temperatura

Monte Carlo G

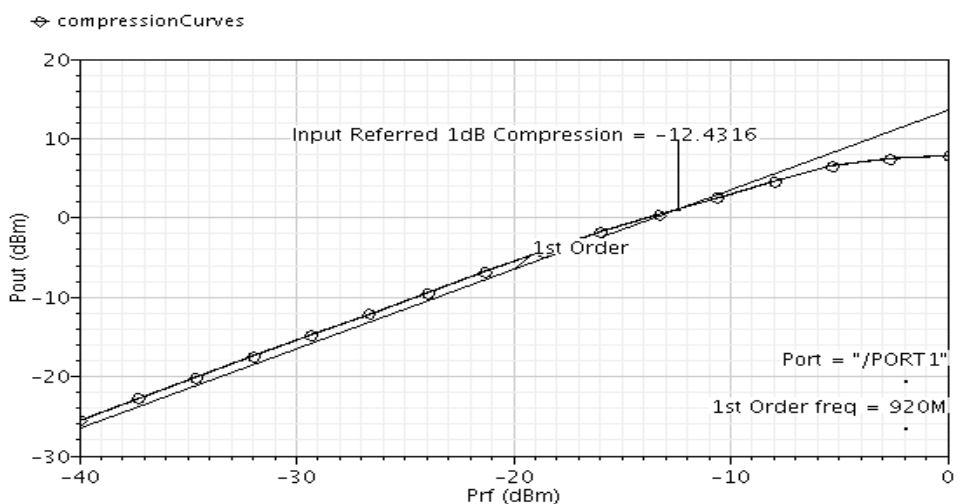


(i) Histograma de um conjunto de simulações Monte Carlo para o ganho de tensão. Número de simulações: 1000



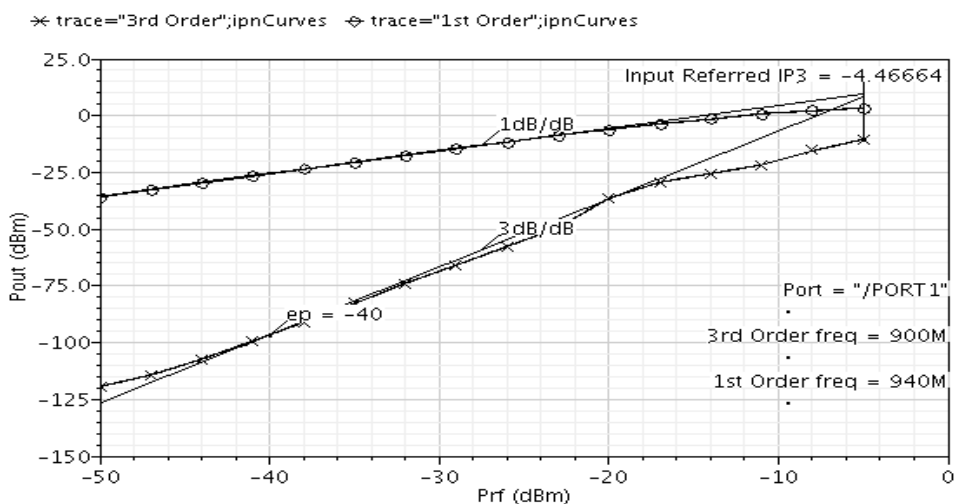
(j) Resistência de entrada

Periodic Steady State Response



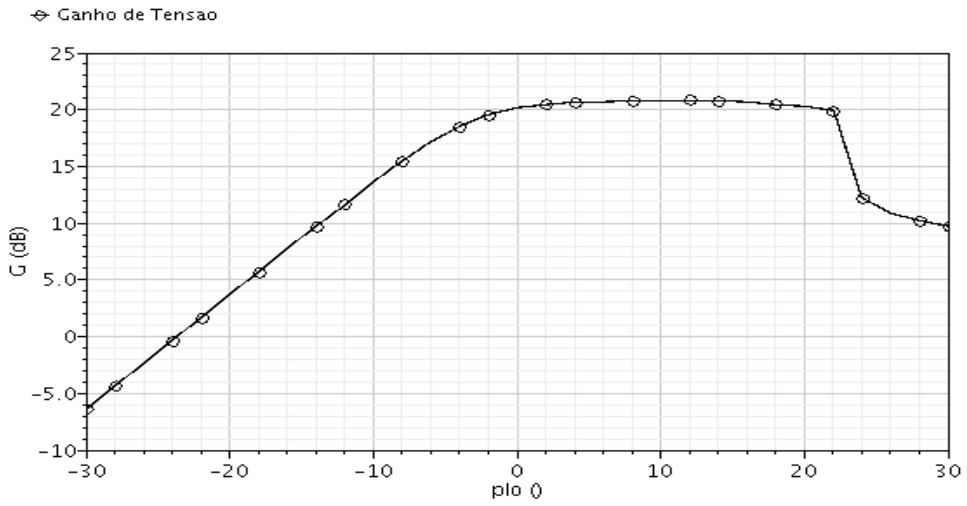
(k) Ponto de compressão de 1 dB

Quasi-Periodic Steady State Response

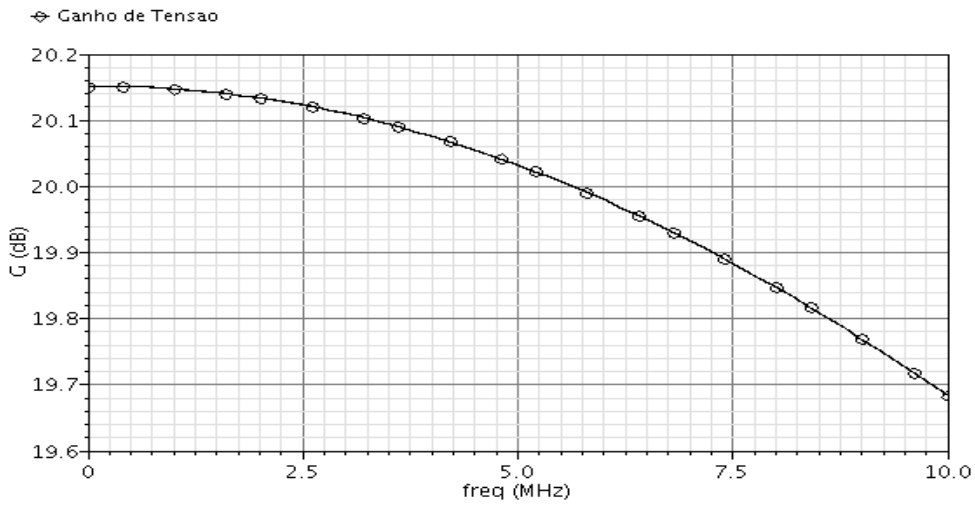


(l) Ponto de intercepção de terceira ordem

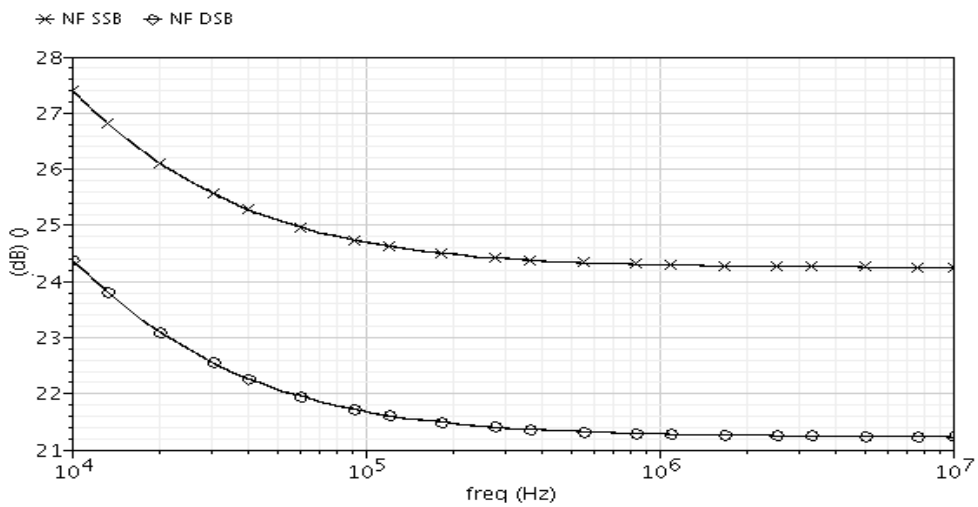
Figura I.6: Simulações do LNA encapsulado



(a) Ganho de conversão versus potência do sinal de LO. Frequência de saída: 1 MHz

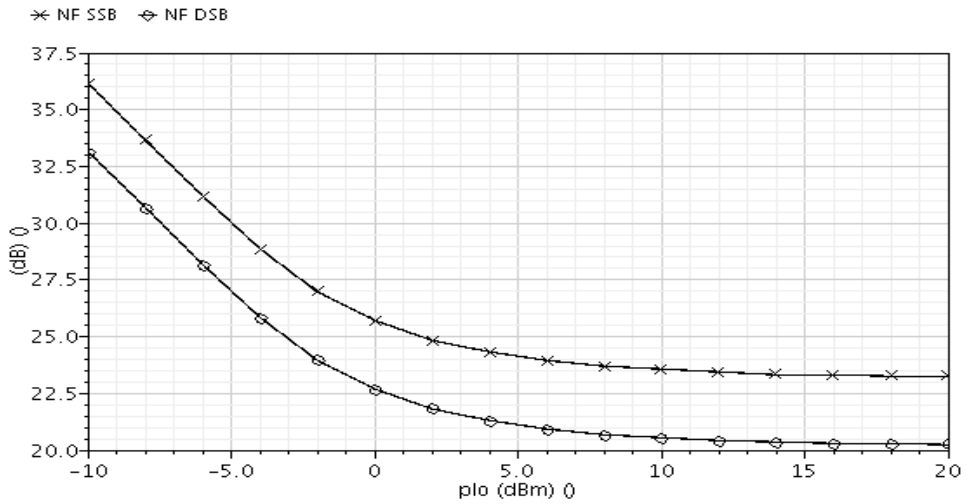


(b) Ganho de conversão versus frequência



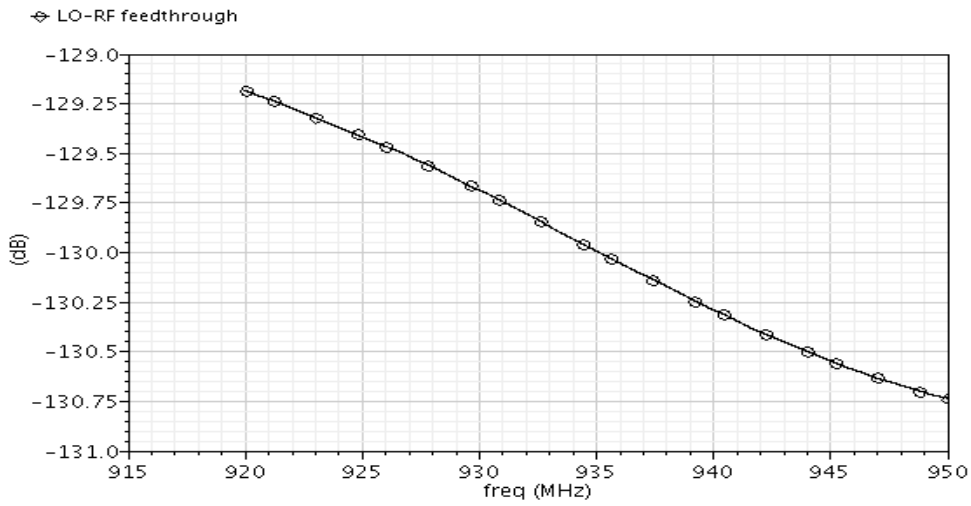
(c) Figura de ruído versus frequência

Periodic Noise Response



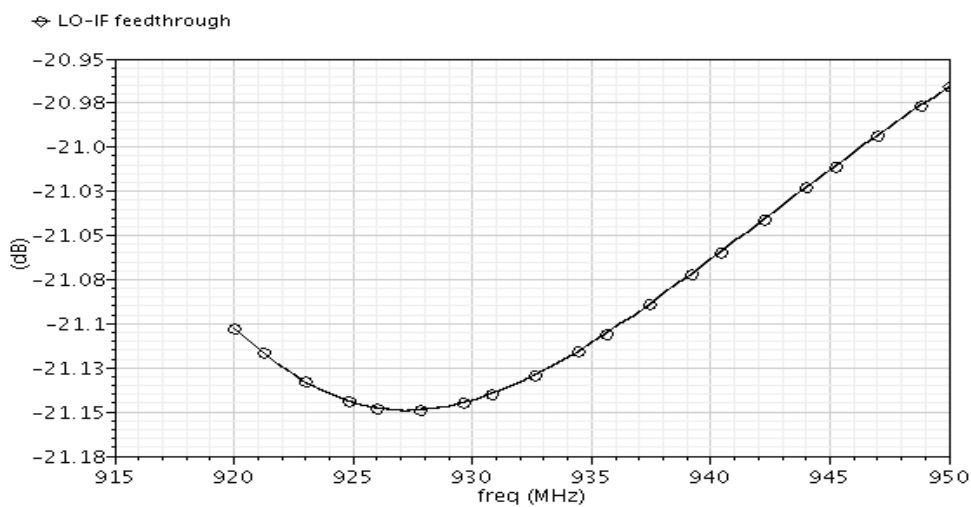
(d) Figura de ruído versus potência do sinal de LO. Frequência de saída: 1 MHz

Periodic XF Response



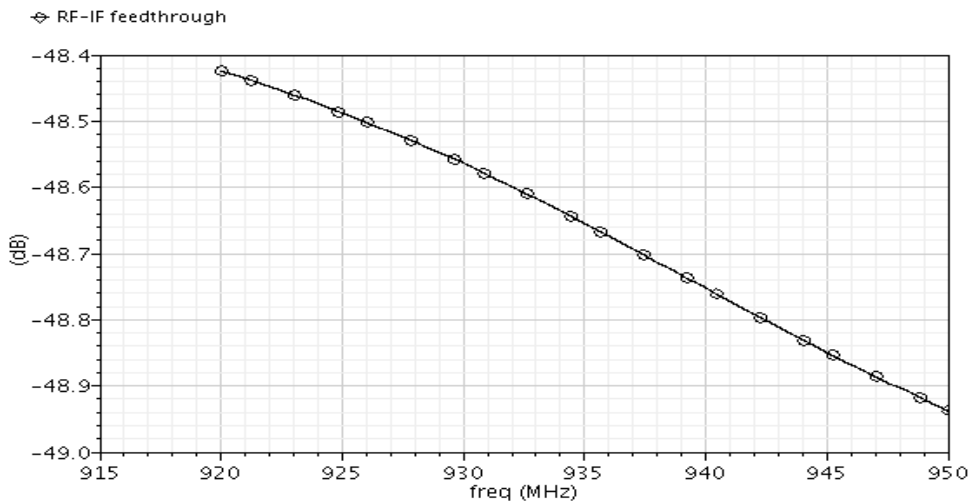
(e) Isolação da porta LO para a porta RF versus frequência

Periodic XF Response



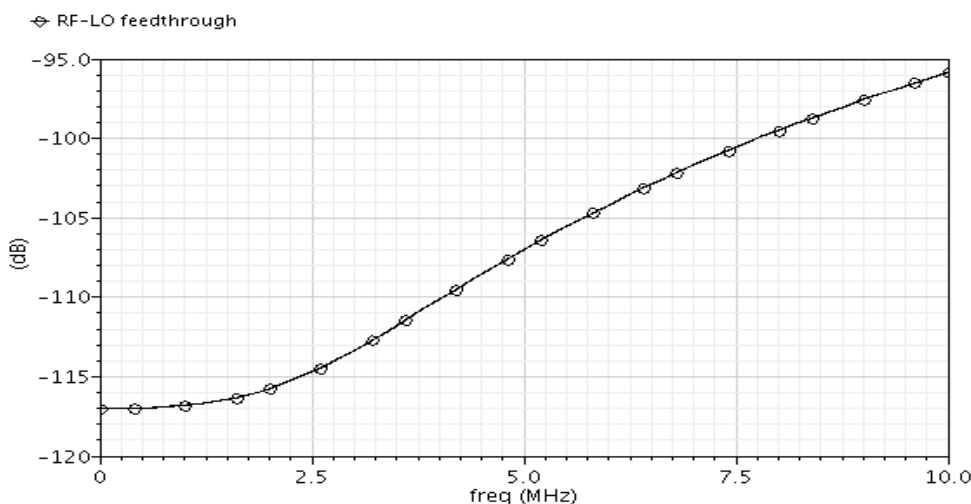
(f) Isolação da porta LO para a porta IF versus frequência

Periodic XF Response



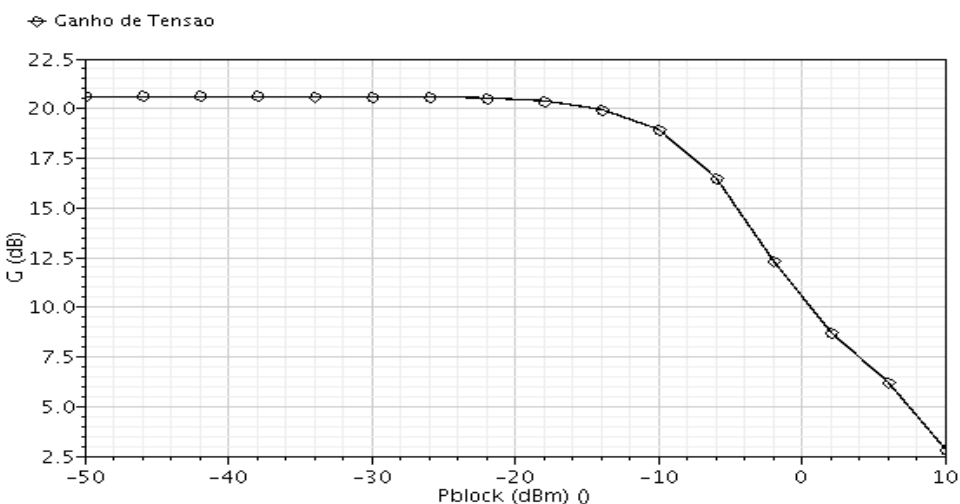
(g) Isolação da porta RF para a porta IF versus frequência

Periodic AC Response



(h) Isolação da porta RF para a porta LO versus frequência (para o sinal convertido)

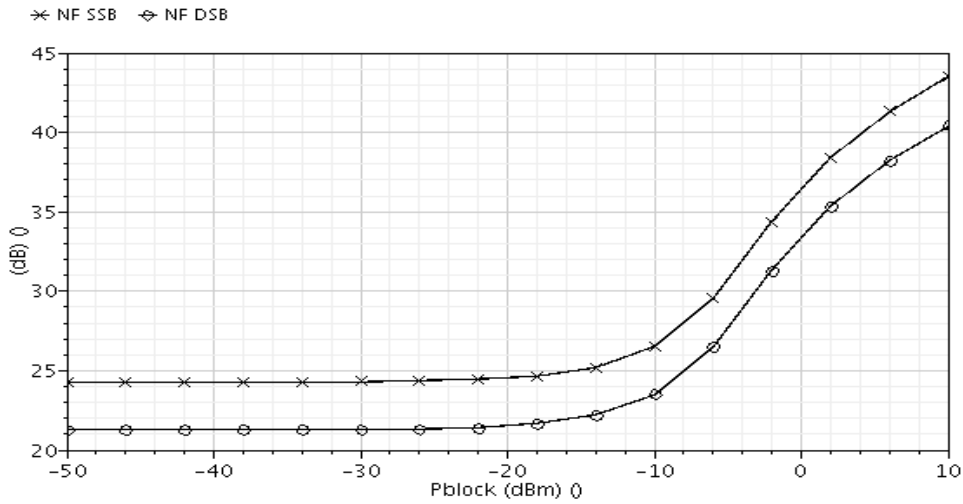
Quasi-Periodic AC Response



(i) Ganho de tensão versus potência de sinal interferente. Frequência de saída: 1 MHz

Quasi-Periodic Noise Response

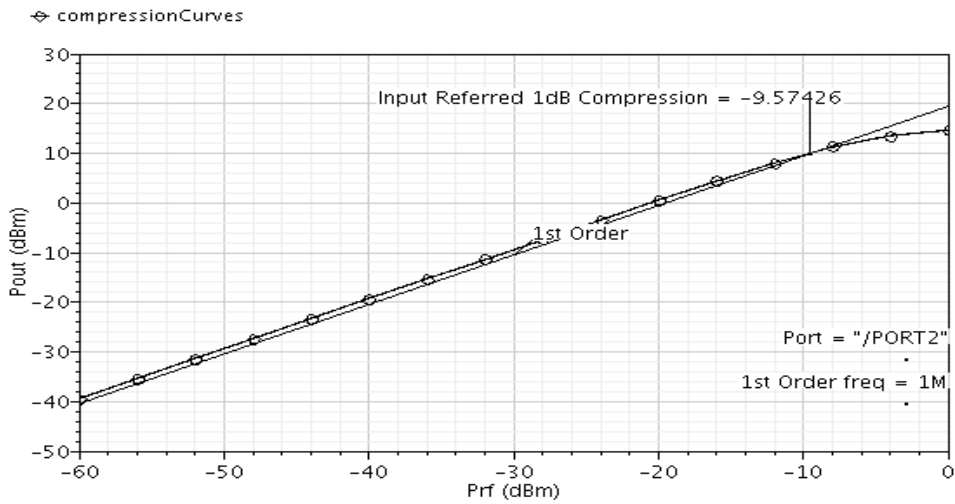
1



(j) Figura de Ruído versus potência de sinal interferente. Frequência de saída: 1 MHz

Quasi-Periodic Steady State Response

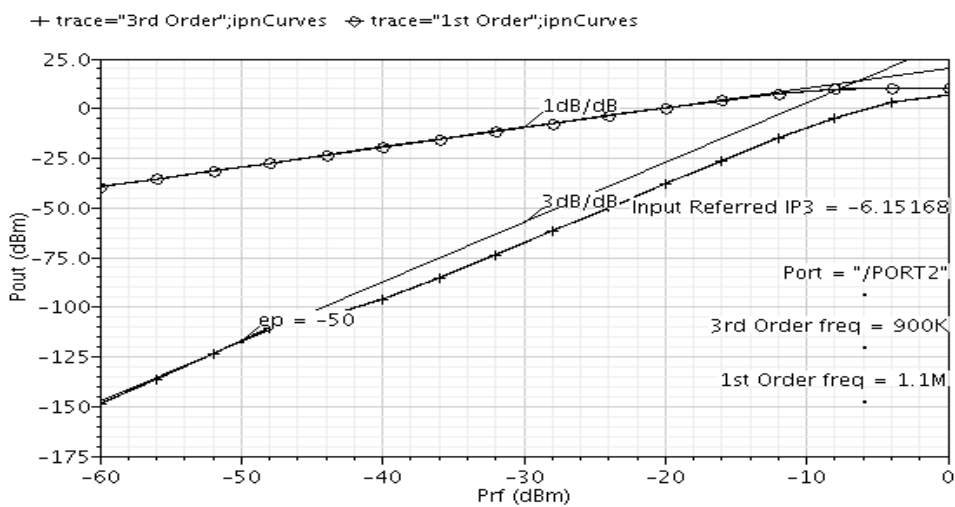
1



(k) Ponto de compressão de 1 dB

Quasi-Periodic AC Response

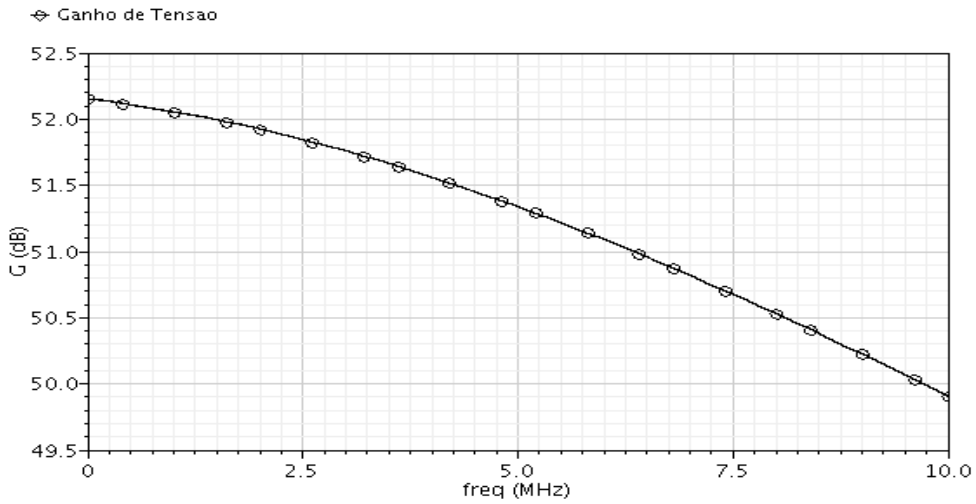
1



(l) Ponto de intercepção de terceira ordem

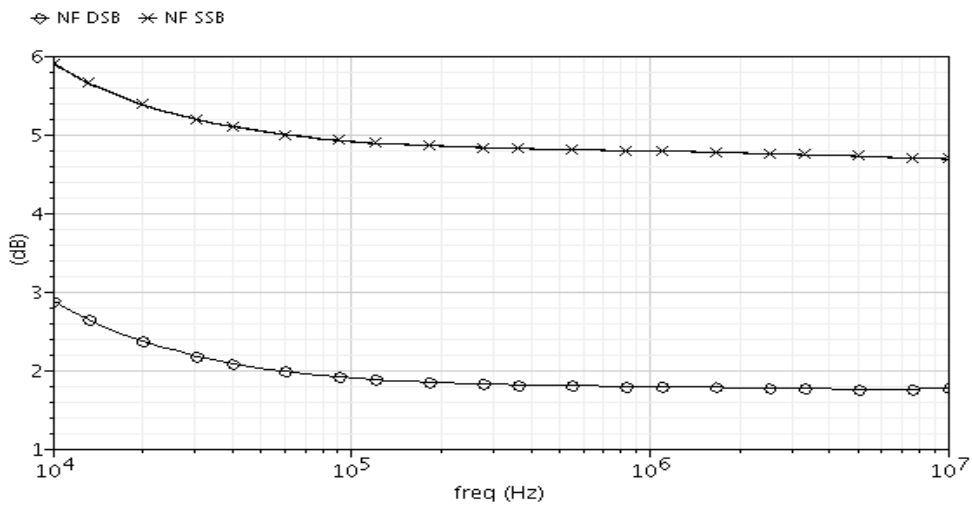
Figura I.7: Simulações do *mixer*

Periodic AC Response



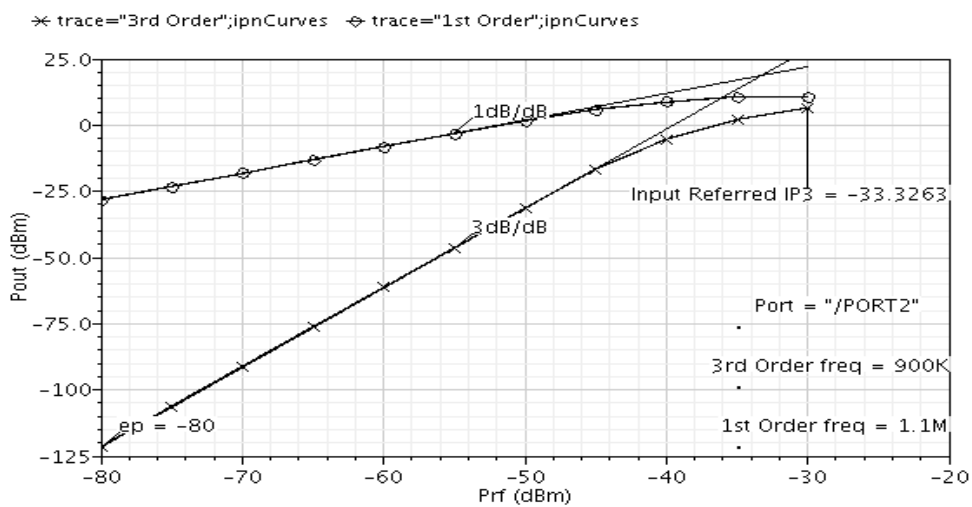
(a) Ganho de tensão versus frequência

Periodic Noise Response

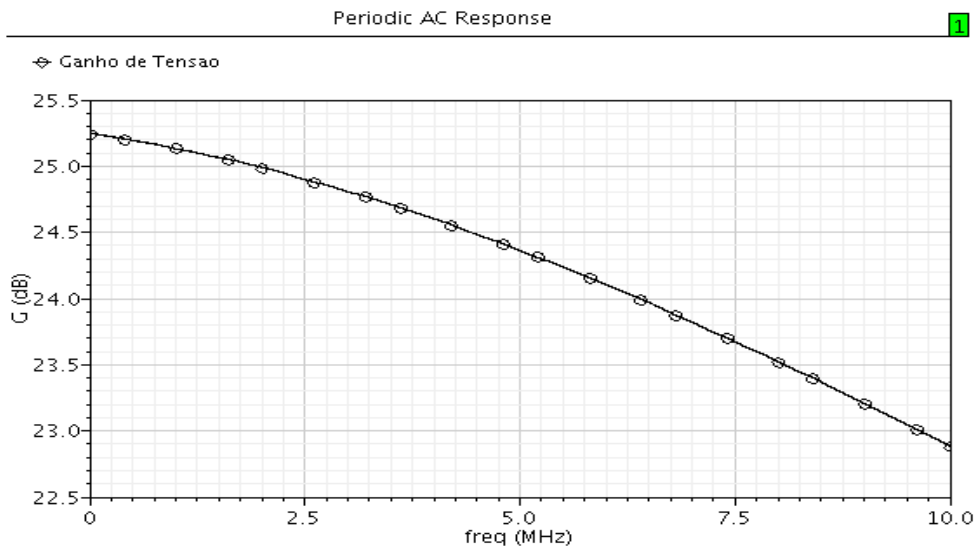


(b) Figura de ruído versus frequência

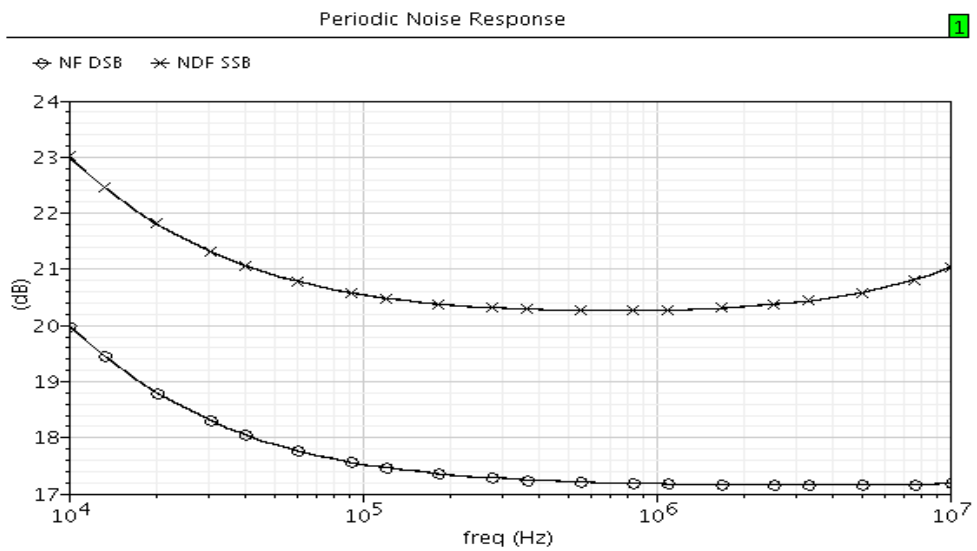
Quasi-Periodic AC Response



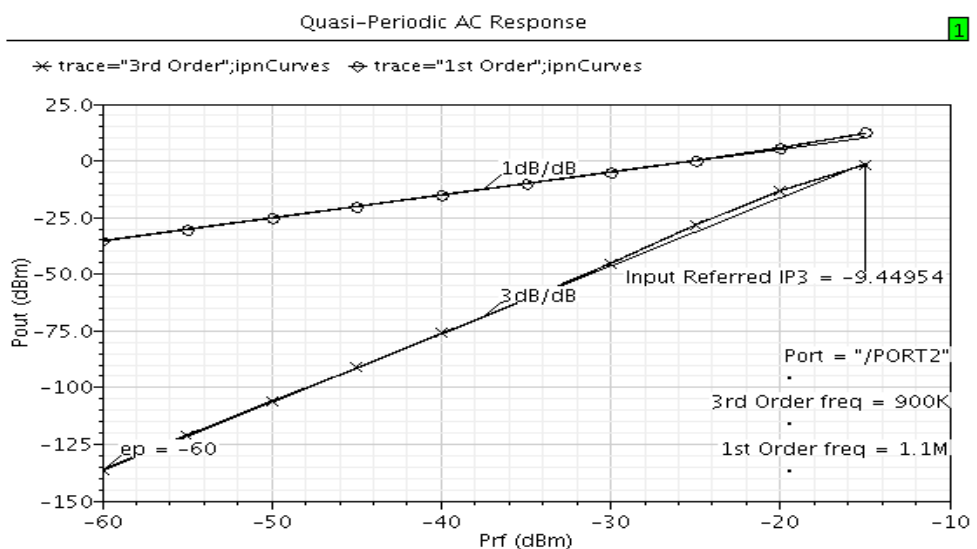
(c) Ponto de intercepção de terceira ordem



(d) Ganho de tensão versus frequência no modo de alta linearidade



(e) Figura de ruído versus frequência no modo de alta linearidade



(f) Ponto de intercepção de terceira ordem no modo de alta linearidade

Figura I.8: Simulações do receptor

II. LAYOUTS

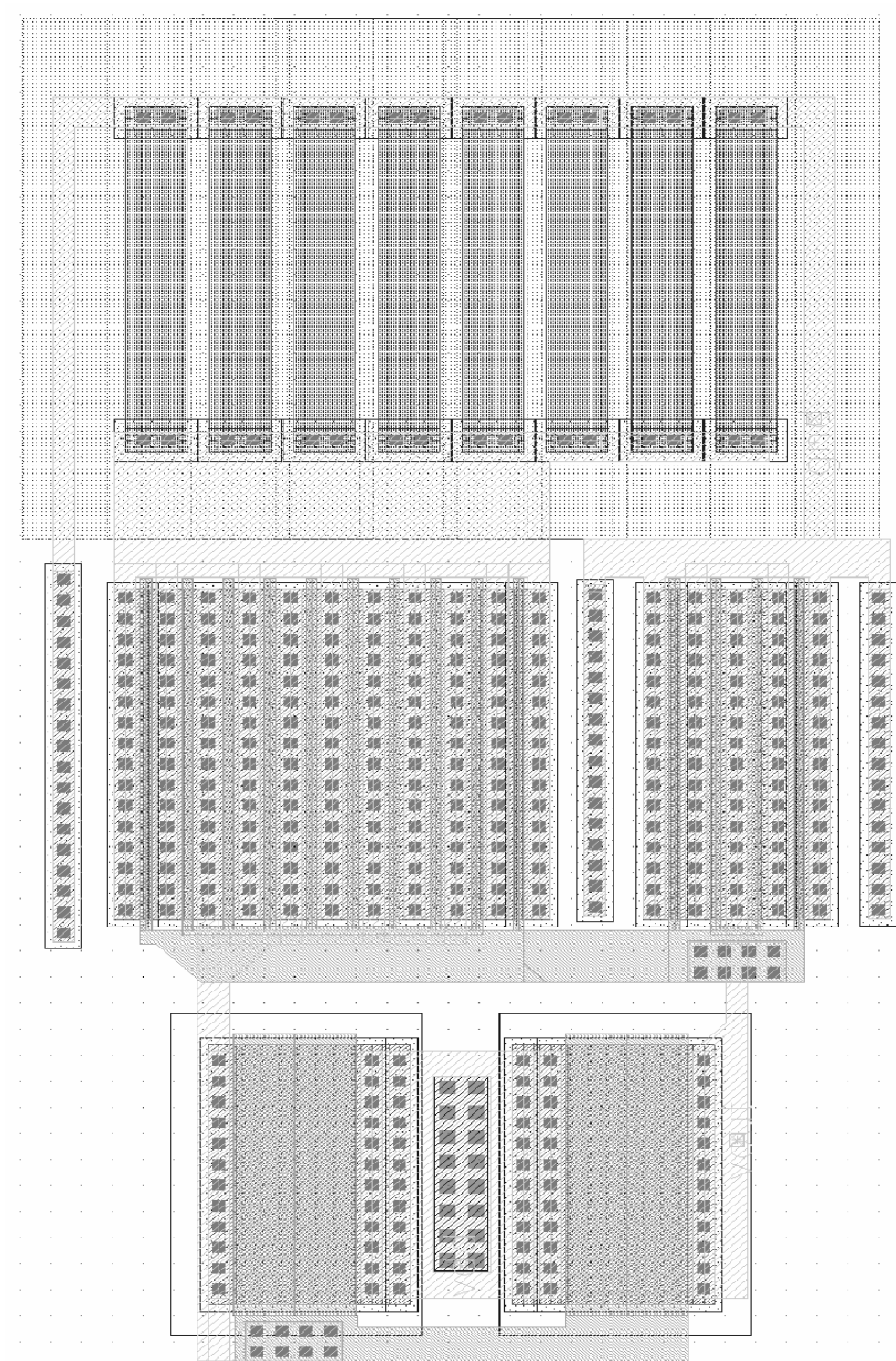


Figura II.1: *Layout* da referência de transcondutância

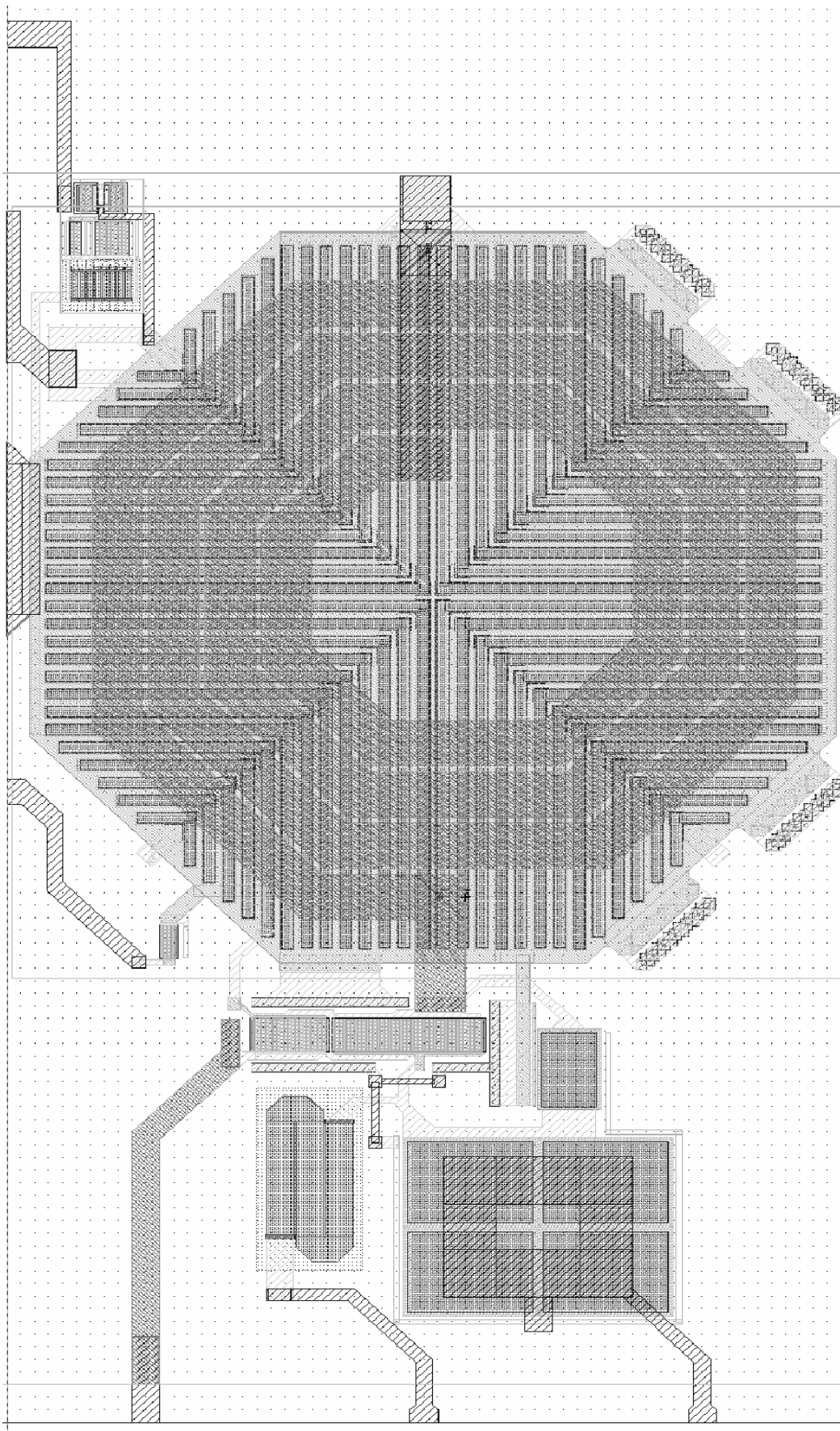


Figura II.2: *Layout* do LNA enviado para fabricação no *chip* UNB1008

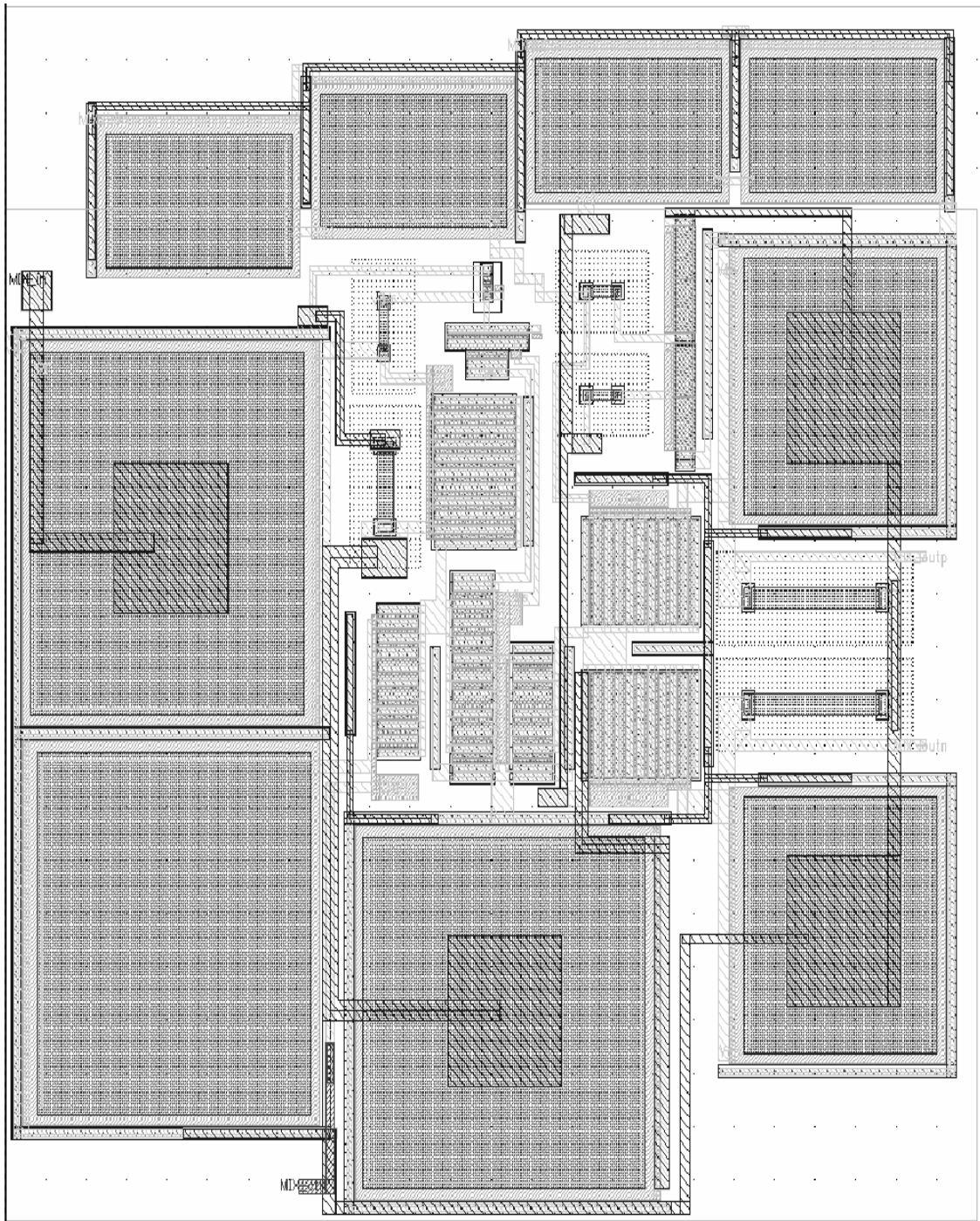


Figura II.3: *Layout do mixer*