

TRABALHO DE GRADUAÇÃO

PROJETO DE UM MISTURADOR EM TECNOLOGIA CMOS PARA UM RECEPTOR RF INTEGRADO

Hugo Romero Fernandes Devoti

Brasília, agosto de 2010

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE GRADUAÇÃO

PROJETO DE UM MISTURADOR EM TECNOLOGIA CMOS PARA UM RECEPTOR RF INTEGRADO

Hugo Romero Fernandes Devoti

Relatório submetido como requisito parcial para obtenção
do grau de Engenheiro Eletricista

Banca Examinadora

Prof. José Camargo da Costa, UnB/ ENE
(Orientador)

Prof. Sandro Augusto Pavlik Haddad, UnB/FGA
(Examinador Externo)

Eng. José Edil Guimarães de Medeiros
(Examinador Externo)

“Só existem dois dias no ano que nada pode ser feito. Um se chama ontem e o outro se chama amanhã, portanto hoje é o dia certo para amar, acreditar, fazer e principalmente viver.”

Dalai Lama

Agradecimentos

Gostaria de agradecer aos meus pais e à minha família pelo apoio incondicional durante a minha graduação. Muito obrigado! Com vocês aprendi que o sucesso é conquistado com suor, inteligência e transparência. Agradeço também ao professor José Camargo por toda orientação, ensinamento e principalmente pela paciência que teve comigo.

Agradeço também a TODOS os meus colegas de laboratório: Pedro, Tiago, Genival, Leonardo, Rafael, Gilmar. E um agradecimento especial ao Edil e Heider, que sempre estiveram dispostos a esclarecer as diversas dúvidas que tive durante 2 anos de laboratório.

Hugo R. F. Devoti

RESUMO

A célula de RF projetada é um Mixer que será utilizado em um circuito transceptor com conversão direta para uma única portadora de baixa frequência. Ele opera na faixa de 915 a 927,5 MHz e possui como entradas um sinal FSK binário oriundo de um LNA (*Low Noise Amplifier*) e uma entrada diferencial vinda de um oscilador local. Este circuito possui como especificação principal um ganho de tensão de pelo menos 15 dBV e evitar figuras de mérito severas em consumo, ruído e linearidade que impossibilitem um bom desempenho do receptor.

SUMÁRIO

1 INTRODUÇÃO	1
1.1 CONTEXTUALIZAÇÃO	1
1.2 DEFINIÇÃO DO PROBLEMA E OBJETIVOS DO PROJETO.....	1
1.3 APRESENTAÇÃO DO MANUSCRITO.....	1
2 REVISÃO BIBLIOGRÁFICA	2
2.1 INTRODUÇÃO.....	2
2.2 CONCEITOS TEÓRICOS	3
2.3 TOPOLOGIAS	6
2.4 TÉCNICAS DE MELHORAMENTO DE DESEMPENHO	8
3 METODOLOGIA	11
3.1 FLUXO DE PROJETO DE CIRCUITOS INTEGRADOS	11
3.2 METODOLOGIA EMPREGADA NO PROJETO DO MIXER.....	12
4 PROJETO	14
4.1 ESPECIFICAÇÕES DO MIXER.....	14
4.2 PROJETO ELÉTRICO	14
4.2.1 PROJETO DO MIXER.....	14
4.2.2 PROJETO DA REFERÊNCIA DE TRANSCONDUTÂNCIA	17
4.2.3 PROJETO DO FILTRO PASSA-ALTA.	18
4.3 TÉCNICAS DE LAYOUT	19
5 RESULTADOS	21
5.2 RESULTADOS DO PROJETO ELÉTRICO	21
5.3 LAYOUT.....	24
5.4 RESULTADOS DO CIRCUITO EXTRAÍDO.....	25
6 CONCLUSÕES	29
REFERÊNCIAS BIBLIOGRÁFICAS	30
ANEXO	31
I SIMULAÇÕES	31

LISTA DE FIGURAS

1.1	Esquema do Receptor	1
2.1	Representação de um <i>Mixer</i>	2
2.2	Representação do ruído SSB	4
2.3	Representação do ruído DSB	4
2.4	Representação do Ponto de Compressão de 1 dB (CP1dB)	5
2.5	Representação do Ponto de Intercepção de 3ª Ordem (IP3).	6
2.6	<i>Mixer</i> passivo	6
2.7	<i>Mixer</i> ativo.....	7
2.8	Célula de Gilbert <i>single-balanced</i> (a) e <i>double-balanced</i> (b).	8
2.9	Técnica da carga ressonante (a) e técnica de reuso de corrente (b).	9
2.10	Circuito com degeneração indutiva.....	9
2.11	Associação entre retroalimentação positiva e negativa.	10
3.1	Metodologia empregada no projeto de circuitos analógicos.....	11
3.2	Algoritmo de otimização do <i>mixer</i>	13
4.2	Topologia do <i>mixer</i> projetado	15
4.3	Topologia da referência de transcondutância	18
4.4	Topologia do filtro passa-alta	19
4.5	Método da semente e da intercalação, com <i>dummys</i> laterais.....	20
4.6	Método do <i>cross-quading</i> para casamento de transistores.....	20
5.1	Circuito de validação	21
5.3	Resultado do Ganho de Conversão (CG)	22
5.4	Resultado da Figura de Ruído (NF).....	22
5.5	Resultado do Ponto de Compressão de 1 dB(CP1dB)	23
5.6	Resultado do Ponto de Intercepção de Terceira Ordem (IP3)	23
5.7	<i>Layout</i> do <i>mixer</i> e da referência de transcondutância	24
5.8	<i>Layout</i> do conjunto <i>mixer</i> e filtro passa-alta.....	25
5.9	Ganho de conversão do circuito extraído.....	26
5.10	Figura de Ruído do circuito extraído	26
5.11	CP1dB do circuito extraído	27
5.12	IP3 do circuito extraído	27

LISTA DE TABELAS

4.1	Parâmetros de tecnologia	15
4.2	Parâmetros de tecnologia	17
4.3	Parâmetros da referência de transcondutância	18
4.4	Parâmetros do filtro passa-alta.....	19
5.1	Resultados do Projeto Elétrico	23
5.2	Resultados do circuito extraído.....	28
6.1	Resultados.....	23
6.2	Resultados do circuito extraído.....	28
I.1	Dados para a simulação do ganho de conversão.....	32
I.2	Dados da simulação PSS para o ganho de conversão.....	33
I.3	Dados da simulação PAC para o ganho de conversão.....	33
I.4	Dados das simulações PSS + PNOISE para o cálculo da NF	33
I.5	Dados das simulações QPSS + QPAC para simulação do IP3 e CP1dB.....	34

LISTA DE SÍMBOLOS

Símbolos Latinos

C	Capacitância	[F]
g_m	Transcondutância de pequenos sinais	[A/V]
K_i	Fator de ganho do transistor i (n ou p)	[A/V ²]
L	Indutância	[H]
R	Resistência	[Ω]
Z	Impedância	[Ω]
W	Largura de canal do transistor	[m]
L	Comprimento de canal do transistor	[m]
V_t	Tensão de limiar	[V]

Siglas

AMS	Austria Micro Systems
CAD	Computer Assisted Design - Projeto Assistido por Computador
CMOS	Complementary Metal-Oxide Semiconductor
CP1dB	Ponto de compressão de 1 dB
DRC	Design Rule Check
IF	Intermediate Frequency - Frequência Intermediária
IP3	Intercept Point, Third Order - Ponto de Intercepção de Terceira Ordem
LNA	Low Noise Amplifier - Amplificador de Baixo Ruído
LVS	Layout versus Schematic
NF	Noise Figure - Figura de Ruído
PAC	Periodic AC
PNOISE	Periodic Noise
PSS	Phased Locked Loop
Q	Fator de qualidade
QPSS	Quasi-Periodic Steady State
RF	Radio Frequency
SNR	Signal to Noise Ratio - Relação Sinal/Ruído
SoC	System on Chip - Sistema em Chip
VCO	Voltage Controlled Oscillator - Oscilador Controlado por Tensão

1 INTRODUÇÃO

1.1 CONTEXTUALIZAÇÃO

Este trabalho apresenta o projeto de uma célula de circuito de RF em tecnologia CMOS que fará parte de um transceptor. A célula é um *Mixer*, ou misturador de sinais, que está inserido em uma topologia de receptor que também possui: um LNA, um PLL, um conversor A/D e um demodulador FSK digital. O transceptor fará parte de um SoC (*System on Chip*) para aplicação em redes de sensores sem fio (*wireless*). Os projetos dos blocos do receptor foram feitos de maneira conjunta, com o objetivo de garantir uma grande integração e acoplamento direto.

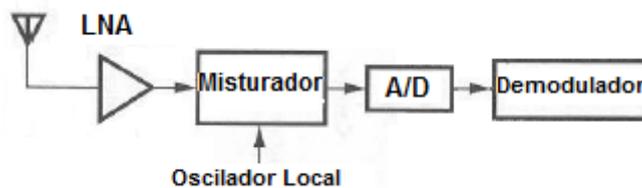


Figura 1.1: Esquema do receptor [1].

O funcionamento do receptor, mostrado na Fig. (1.1), consiste em receber um sinal FSK binário, amplificá-lo, passá-lo para uma frequência intermediária mais baixa e depois convertê-lo em um sinal digital que será entregue ao demodulador. O sinal será amplificado em três estágios: no LNA, no *mixer* e em um estágio de ganho de baixa frequência (antes do conversor A/D). A topologia proposta trabalha com uma frequência intermediária de poucos MHz (entre 1 MHz e 2 MHz) e o acoplamento de um bloco ao outro visa à transferência de tensão. O uso de uma frequência intermediária desta magnitude permite o uso de filtros passa-alta e dão certa imunidade ao ruído de $1/f$ [2].

1.2 DEFINIÇÃO DO PROBLEMA E OBJETIVOS DO PROJETO.

Propor o projeto de um *mixer* compatível com a arquitetura *low-if* de um transceptor RF de um SoC. Ele deve operar entre 915 MHz e 927,5 MHz, seu consumo deve ser coerente com a especificação do consumo de todo o receptor e fornecer boas características em termos de ganho, ruído e linearidade. A tecnologia adotada é C35B4 da AMS, com 4 camadas de metal e comprimento mínimo de canal de $0.35\mu\text{m}$ [11].

1.3 APRESENTAÇÃO DO MANUSCRITO

No Capítulo 2 serão mostrados os fundamentos teóricos para se entender o funcionamento e caracterização de um misturador. Algumas referências com mais detalhes são indicadas. No Capítulo 3 é mostrada a metodologia adotada no projeto do dispositivo e como ocorrem os processos iterativos entre simulações. No Capítulo 4 são feitos os projetos elétricos dos blocos e citadas quais foram as técnicas utilizadas para implementar o *layout*. No Capítulo 5, os resultados do projeto elétrico e do circuito extraído são mostrados e o Capítulo 6 trata-se das conclusões.

2 REVISÃO BIBLIOGRÁFICA

Neste capítulo serão tratados aspectos gerais sobre funcionamento de misturadores. Serão também mostrados alguns conceitos importantes e também topologias típicas para este dispositivo. No final, serão mostradas algumas técnicas de melhoria de desempenho para *mixers* em geral.

2.1 INTRODUÇÃO

Mixers ou misturadores são dispositivos que transladam frequências através da multiplicação de dois sinais [1]. Seu funcionamento em receptores consiste basicamente em passar a informação que está em uma frequência mais alta e passá-la para uma frequência mais baixa. Dispositivos que funcionam desta forma são chamados de “*Downconversion Mixers*”. A associação de *mixers* e filtros fixos substitui o uso de filtros sintonizáveis, facilitando o projeto de receptores.

A relação matemática que rege o funcionamento de um misturador de sinais vem da seguinte identidade trigonométrica:

$$A\cos(\omega_1 t)B\cos(\omega_2 t) = \frac{AB}{2} [\cos(\omega_1 - \omega_2) t + \cos(\omega_1 + \omega_2) t] \quad (2.1)$$

Ao se considerar os dois sinais co-senoidais como entradas, um com amplitude A e outro com amplitude B, haverá na saída do *mixer* o produto destes sinais. Na saída, surgirão dois sinais co-senoidais cujas frequências serão a soma das frequências de entrada e a diferença entre elas. Sabe-se que um sistema linear e invariante no tempo não possui em sua saída componentes de frequência diferentes das componentes de frequência da entrada. Desta forma, como se pode notar na Eq. (2.1), *mixers* são, por natureza, dispositivos não-lineares.

A topologia do dispositivo pode ser vista na Fig. (2.1). As entradas do dispositivo são chamadas de entrada RF e entrada LO (*Local Oscillator*). Da entrada RF vem o sinal que deve ser convertido para uma frequência mais baixa. O sinal que vem do LO é periódico e, em geral, possui amplitude fixa. A saída do *mixer* é sensível a qualquer modulação (desejada ou não) de uma de suas entradas. Uma modulação indesejada seria qualquer tipo de interação não linear que ocorre com algum sinal de entrada e outro sinal qualquer.

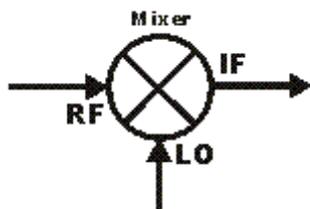


Figura 2.1: Representação de um *Mixer*.

Em geral, a multiplicação dos dois sinais ocorre através de chaveamentos [1]. É mais comum a entrada LO chavear o circuito, modulando-se assim a entrada RF. De acordo com a topologia do *mixer*, haverá no circuito estágios que exercem funções específicas como ganho, polarização, retroalimentação ou o chaveamento já citado.

A saída do misturador possui a nomenclatura de saída IF, pois a nova frequência que surge é dita como intermediária. Esta frequência pode ser alta (centenas de MHz), baixa (até algumas centenas de kHz) ou até mesmo 0 Hz. A frequência intermediária é um parâmetro de projeto importante e crítico

que tem impacto direto na topologia do receptor e do *mixer*. Ela é causa de *trade-offs* em alguns aspectos de desempenho [1].

Para uma topologia que usa frequências altas, por exemplo, o receptor é classificado como super-heteródino [2]. Esta topologia apresenta como vantagens imunidade a ruído de $1/f$ e a *offsets* em DC. Entretanto, apresenta como desvantagem a necessidade de filtros de alto fator de qualidade (filtro de rejeição de imagem e filtro de seleção de canal IF) para rejeitar tanto o sinal da frequência Imagem como canais adjacentes (sistema FDMA), que, se não filtrados, interfere no sinal. O problema pode ser amenizado com o acréscimo de dois estágios de conversão de frequência (com respectivas amplificação e filtragem), o que necessitaria de filtros com menor fator de qualidade. Entretanto, o consumo, a linearidade e o ruído do circuito se tornariam mais críticos. A topologia super-heteródina também pode apresentar problemas ocasionados pela associação entre interferências e distorções de segunda ordem, como é o caso do problema “*half IF*” (mais detalhes em [1], p. 126).

Já uma topologia homódina apresenta uma frequência intermediária de 0 Hz, também chamada de zero-if [2]. Esta topologia apresenta como vantagens o uso de filtros passa-baixa e amplificação em banda base logo depois que o sinal é transladado, tornando o projeto do receptor mais simples e com menos blocos. Esta topologia também não sofre com o problema da frequência Imagem. Apresenta como desvantagem o problema com ruído de $1/f$, típico de circuitos eletrônicos, que degrada severamente o sinal em banda base. Também há problemas com *offsets* DC. Um sinal oriundo do *Local Oscillator* pode passar para a entrada do LNA através de acoplamentos capacitivos e pelo substrato. Este sinal indesejado e com magnitude maior do que o sinal de interesse retornaria para o *mixer* e ocorreria o chamado *self-mixing*, criando um *offset* na saída e saturando os estágios seguintes.

Outro detalhe importante é que tanto a banda superior quanto a banda inferior em torno da frequência RF de entrada são sobrepostas quando ocorre a conversão para a banda base. Se estas bandas carregam informações diferentes, elas não devem ser superpostas. Portanto, deve-se optar por uma modulação e demodulação em quadratura, pois nesta situação consegue-se separar a informação das duas bandas.

Uma topologia que seria o meio termo entre as duas já citadas é a topologia *low-if*. A frequência não é translada para a banda base (topologia homódina), mas sim para uma frequência intermediária de ordem de centenas de kHz ou poucos MHz. Desta forma, é possível a utilização de filtros passa-alta para eliminar o *offset* DC e não há grandes problemas como o ruído de $1/f$. Também a preocupação com a frequência Imagem não é tão crítica [2].

2.2 CONCEITOS TEÓRICOS

Para se entender o funcionamento e a caracterização de um misturador são necessários alguns conceitos. Um deles é referente ao ganho do *mixer*, o chamado “ganho de conversão”. O ganho de conversão estabelece uma relação entre a tensão de saída do *mixer* (amplitude do sinal IF) e a tensão de entrada (amplitude do sinal RF), conforme a Eq. (2.2).

$$CG = \frac{V_{RMS_{IF}}}{V_{RMS_{RF}}} \quad (2.2)$$

Se o intuito do *mixer* for transferir potência e sua impedância de entrada e de saída estiverem casados, o ganho de conversão de potência será igual ao ganho de conversão de tensão. Entretanto, é importante se notar que nem sempre a impedância será casada, logo, nem sempre os ganhos serão iguais.

Outra figura de mérito importante é a figura de ruído (NF). Este parâmetro estabelece uma proporção entre a relação sinal ruído da entrada e da saída do dispositivo. A figura de ruído indica quanto um sinal foi degradado por ruído ao passar por um sistema. No caso dos *mixers*, ocorre uma transladação de ruído para o sinal IF oriundo de duas frequências: a frequência RF e sua frequência Imagem.

$$NF = \frac{SNR_{in}}{SNR_{out}} \quad (2.3)$$

Quando o sinal na saída do misturador possui informação em apenas uma banda do sinal, a figura de ruído considerada é a SDB, ou *single side band* (Fig. (2.2)), Mas para uma situação onde $IF = 0$ Hz e supondo que há informação na banda lateral superior e na inferior do sinal de entrada (no caso de uma modulação de amplitude), o sinal, ao passar pelo *mixer*, terá sua banda superior e inferior sobreposta e não haverá a soma de ruído adicional de outra banda. Esta figura de ruído é estipulada como DSB, ou *double side band* (Fig. (2.3)).

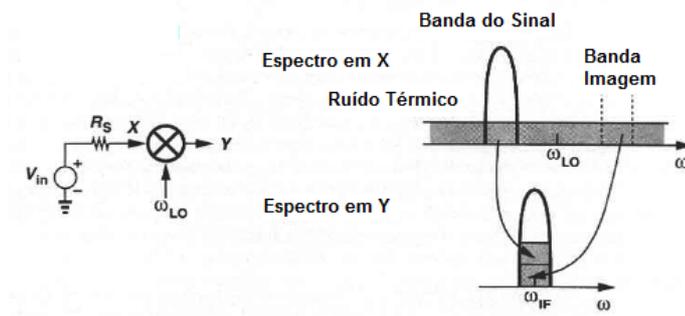


Figura 2.2: Representação do ruído SSB [1].

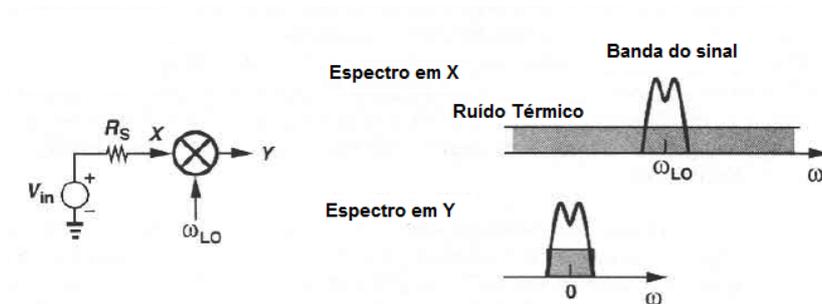


Figura 2.3: Representação do ruído DSB [1].

Outras medidas importantes estão relacionadas a não linearidades e distorções. Um sistema é linear se sua saída pode ser expressa como uma combinação linear das respostas individuais de cada uma das entradas [1]. Supondo-se que $y_1(t)$ e $y_2(t)$ são respostas do sistema para cada uma das entradas $x_1(t)$ e $x_2(t)$, respectivamente, este sistema será linear se:

$$ax_1(t) + bx_2(t) \rightarrow ay_1(t) + by_2(t) \quad (2.4)$$

Onde a e b são constantes e a seta representa a passagem dos sinais de entrada pelo sistema. De um ponto de vista ideal, a saída sempre deveria ser linear em relação à entrada, mas em sistemas físicos reais isto não acontece.

Se a entrada de um sistema é $x(t) = A \cos(\omega t)$ e este sistema é não linear, sua resposta será diferente da Eq. (2.4). A diferença mais notória é que haverá respostas proporcionais ao quadrado da entrada, ao cubo da entrada ou a termos de ordem maior. O comportamento deste sistema pode ser visto desde a Eq. (2.5) até a Eq. (2.7). O termo α_i representa o ganho do termo não linear de ordem i . Para simplificar as equações, termos de quarta ordem ou superiores foram omitidos. Nem sempre em sistemas reais isso é razoável.

$$y(t) = \alpha_1 A \cos(\omega t) + \alpha_2 A^2 \cos^2(\omega t) + \alpha_3 A^3 \cos^3(\omega t) \quad (2.5)$$

$$= \alpha_1 A \cos(\omega t) + \frac{\alpha_2 A^2}{2} (1 + \cos(2\omega t)) + \frac{\alpha_3 A^3}{4} (3 \cos(\omega t) + \cos(3\omega t)) \quad (2.6)$$

$$= \frac{\alpha_2 A^2}{2} + \left(\alpha_1 A + \frac{3\alpha_3 A^3}{4} \right) \cos(\omega t) + \frac{\alpha_2 A^2}{2} \cos(2\omega t) + \frac{\alpha_3 A^3}{4} \cos(3\omega t) \quad (2.7)$$

Nota-se na Eq. (2.7) que há no termo da frequência fundamental um termo proporcional a um α_3 e ao cubo da amplitude A de entrada. Se α_3 for negativo, o ganho começará a decrescer quando A aumentar. Isso ocasiona um desvio em relação a um comportamento linear ideal do ganho. Este desvio se torna evidente quando se plota em escala logarítmica a amplitude da saída e a amplitude de entrada do sistema. Quando o ganho de pequeno sinal do sistema cai 1 dB em relação ao ganho linear ideal, se diz que a amplitude de entrada está no Ponto de Compressão de 1 dB (CP1dB), como se pode ver na Fig. (2.4) abaixo:

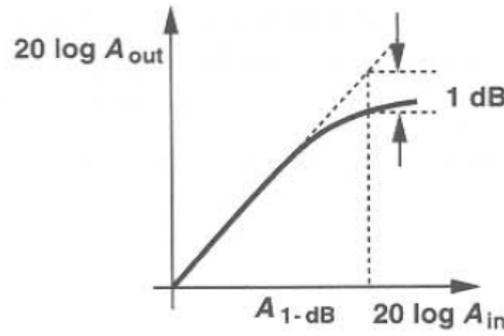


Figura 2.4: Representação do Ponto de Compressão de 1 dB (CP1dB) [1].

Para se calcular o CP1dB, podemos usar a seguinte relação matemática:

$$20 \log \left| \alpha_1 + \frac{3}{4} \alpha_3 A_{CP1dB}^2 \right| = 20 \log |\alpha_1| - 1 \text{ dB} \quad (2.8)$$

Isolando-se a amplitude do sinal de entrada:

$$A_{CP1dB} = \sqrt[2]{0.145 \left| \frac{\alpha_1}{\alpha_3} \right|} \quad (2.9)$$

Quando dois sinais com amplitudes diferentes são aplicados em um sistema não linear, haverá na saída deste sistema componentes que não são harmônicas das entradas. Este fenômeno é determinado como Intermodulação (IM). Para uma entrada $x(t) = A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t)$, temos como saída:

$$y(t) = \alpha_1 (A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t)) + \alpha_2 (A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t))^2 + \alpha_3 (A_1 \cos(\omega_1 t) + A_2 \cos(\omega_2 t))^3 \quad (2.10)$$

Desenvolvendo esta equação, os seguintes produtos de intermodulação aparecem (ignorando-se o termo DC e os harmônicos):

$$\omega_1 \pm \omega_2 : \alpha_2 A_1 A_2 \cos(\omega_1 + \omega_2)t + \alpha_2 A_1 A_2 \cos(\omega_1 - \omega_2)t \quad (2.11)$$

$$2\omega_1 \pm \omega_2 : \frac{3\alpha_3 A_1^2 A_2}{4} \cos(2\omega_1 + \omega_2)t + \frac{3\alpha_3 A_1^2 A_2}{4} \cos(2\omega_1 - \omega_2)t \quad (2.12)$$

$$2\omega_2 \pm \omega_1 : \frac{3\alpha_3 A_2^2 A_1}{4} \cos(2\omega_2 + \omega_1)t + \frac{3\alpha_3 A_2^2 A_1}{4} \cos(2\omega_2 - \omega_1)t \quad (2.13)$$

Para as frequências fundamentais:

$$\omega_1, \omega_2 : \left(\alpha_1 A_1 + \frac{3}{4} \alpha_3 A_1^3 + \frac{3}{2} \alpha_3 A_1 A_2^2 \right) \cos \omega_1 t + \left(\alpha_1 A_2 + \frac{3}{4} \alpha_3 A_2^3 + \frac{3}{2} \alpha_3 A_2 A_1^2 \right) \cos \omega_2 t \quad (2.14)$$

Estes produtos se tornam críticos quando os produtos de terceira ordem da intermodulação ($2\omega_1 \pm \omega_2$ e $2\omega_2 \pm \omega_1$) caem na banda de interesse, interferindo no sinal. Isso geralmente ocorre quando ω_1 e ω_2 são frequências próximas uma da outra. Considerando-se os termos de ordens maiores pequenos e $A_1 = A_2 = A$, é possível ver que na saída do sistema que os termos de terceira ordem da intermodulação crescem em proporção a A^3 , enquanto a frequência fundamental cresce em proporção a A . Ao se plotar em um plano estas saídas no eixo vertical e no eixo horizontal se colocar a amplitude de entrada A , teremos um gráfico que nos informa como cada termo da saída se comporta. Usando-se escala logarítmica, teremos gráficos com comportamentos próximos ao linear, para um A pequeno. A intercepção da extrapolação linear das duas saídas na escala logarítmica informa uma grandeza de linearidade chamada IP3 ou Ponto de Intercepção de Terceira Ordem, mostrado na Fig. (2.5). Seria uma figura de mérito que informa o quanto a intermodulação se torna significativa e degrada o sinal.

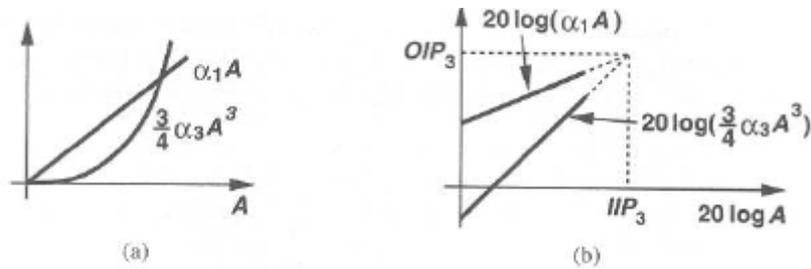


Figura 2.5: Representação do Ponto de Intercepção de 3ª Ordem (IP3) [1].

2.3 TOPOLOGIAS

Um *Mixer* pode possuir elementos ativos ou passivos em seu circuito e isso gera uma classificação em duas categorias: misturadores ativos e passivos. Em geral, misturadores passivos só possuem transistores atuando como chaves e elementos passivos, como resistores. Não possuem em seus circuitos elementos funcionando como fontes de corrente ou referências de tensão.

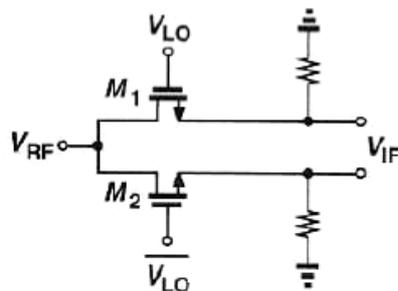


Figura 2.6: *Mixer* passivo [1].

A Figura (2.6) mostra um exemplo de um dispositivo passivo. *Mixers* passivos atenuam o sinal, por isso possuem como parâmetro de projeto a chamada “perda de conversão”. Seu funcionamento consiste basicamente em chaveamento de um sinal (V_{RF}), sem se preocupar em fornecer ganho. Este chaveamento funciona como uma multiplicação no domínio no tempo e por isso ocorre conversão em frequência. Topologias passivas são mais lineares em comparação com topologias ativas e também consomem menos potência [2].

Mixers ativos possuem em seus circuitos elementos ativos, como fontes de correntes. Polarizando-se o circuito de forma correta, ele fornece amplificação. Isto pode ocorrer quando o sinal RF é do tipo pequeno sinal e entra em um *gate* de um transistor em saturação. Assim, ocorre um ganho de transcondutância e a informação é passada para a corrente que polariza o circuito. Um circuito ativo está mostrado na Fig. (2.7) abaixo.

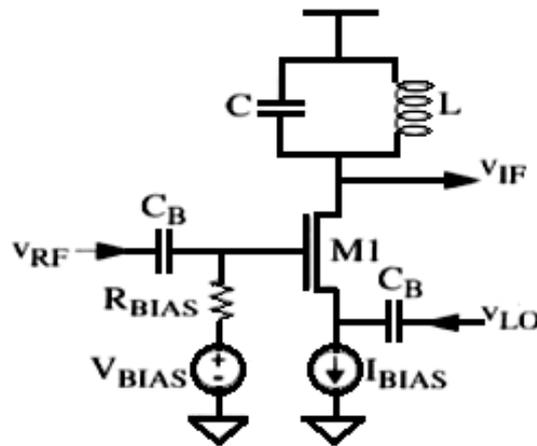


Figura 2.7: *Mixer* ativo [3].

Misturadores podem possuir entradas e saídas diferenciais ou *single-ended*.

A topologia da Fig. (2.6) possui uma entrada diferencial apenas para o sinal oriundo do oscilador local. Como sua saída também é diferencial, ele é classificado levando-se em consideração sua saída, portanto, trata-se de um *mixer* diferencial. Fazendo-se uma comparação com amplificadores analógicos, existem topologias que possuem entrada diferencial e saída *single-ended*, sendo estas classificadas como *single-ended* devido sua saída.

No caso dos dispositivos diferenciais, eles podem ser classificados em *double-balanced* ou *single-balanced*. Balancear um dispositivo consiste basicamente em eliminar espúrios em modo comum através da subtração dos sinais diferenciais da saída. O que diferencia uma topologia da outra é que a topologia *double-balanced* possui entrada diferencial para a entrada RF e LO, enquanto, em geral, a topologia *single-balanced* possui entrada diferencial apenas para a entrada LO. A topologia *single-balanced* apresenta como vantagem uma melhor figura de ruído, um menor consumo de potência e exige menos potência da entrada LO ([4]). Já a topologia *double-balanced* apresenta mais eliminação de espúrios, maior linearidade e isolamento entre portas e apresenta como desvantagem uma ocupação de área maior.

Um circuito diferencial muito usado e amplamente divulgado é a célula de Gilbert (Fig. (2.8)), que pode ser *double-balanced* ou *single-balanced*.

A Célula de Gilbert pode ser dividida em três estágios principais: estágio de transcondutância, estágio de chaveamento e estágio de carga. Entender seu funcionamento ajuda a entender misturadores em geral.

O estágio de transcondutância tem função de transformar o sinal de tensão RF em um sinal de corrente. Para isso, utiliza um transistor MOS saturado (transistor M1 na Fig. 2.8 (a) ou transistores

M1 e M2 na figura (b)). O transistor possui um ganho de transcondutância gm que ajudará no ganho geral do dispositivo.

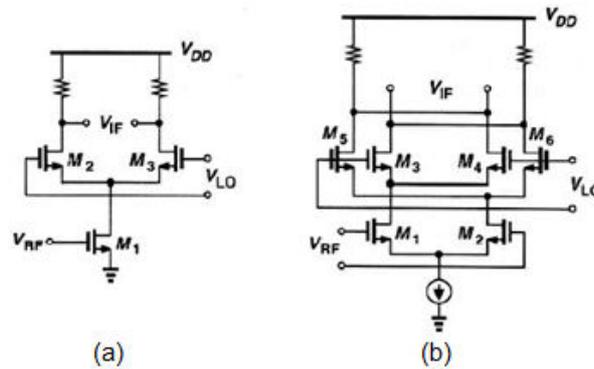


Figura 2.8: Célula de Gilbert *single-balanced* (a) e *double-balanced* (b) [1].

No estágio de chaveamento, os sinais diferenciais VLO+ e VLO- chaveiam a corrente do circuito, que agora possui um sinal RF somado a corrente DC. Para isso, utiliza os transistores M2 e M3 da topologia (a) da Fig. (2.8) ou os quatro transistores M3, M4, M5 e M6 da topologia (b). As amplitudes dos sinais nos *gates* destes transistores possuem a magnitude da tensão de *overdrive*. Essa magnitude permite que os transistores funcionem como chaves. Assim, ora um transistor está em corte, ora em saturação ou triodo. Enquanto isso, seu par diferencial recebe o sinal defasado em 180° ou π radianos. Quando os transistores de chaveamento estão saturados, a topologia da Célula de Gilbert age como um amplificador *cascode*, o que também fornece ganho para o circuito.

O estágio de carga consiste basicamente em um estágio de saída para converter a corrente do circuito em tensão. A resistência do estágio de carga multiplicada pelo ganho de transcondutância fornece o ganho do circuito. Este estágio pode também fornecer algum tipo de filtragem para o sinal de saída do misturador.

2.4 TÉCNICAS DE MELHORAMENTO DE DESEMPENHO

As especificações de um *mixer* podem variar muito. Para determinadas aplicações, é desejada alta linearidade, para outras, baixo ruído. Serão citadas aqui algumas técnicas que melhorem o desempenho de um misturador quando certos objetivos são almejados.

Uma forma de se obter um circuito mais linear se dá com o uso de carga ressonante, como o circuito (a) da Fig. (2.9). Nesta topologia, ocorre ganho numa banda estreita em torno da frequência intermediária [5], projetada como frequência ressonante. Na frequência IF, o ganho pode ser calculado como o produto da transcondutância do transistor RF e o resistor R, pois a impedância se torna real quando a admitância do capacitor anula a admitância do indutor. A tensão DC de saída se torna VDD, uma vez que o indutor estabelece um curto.

Outra técnica que melhora o desempenho do dispositivo é a técnica do reuso de corrente, como no circuito (b) da Fig. (2.9). Ela é utilizada para diminuir a figura de ruído e a queda de tensão dos transistores de chaveamento. A corrente que passa pelo estágio de chaveamento (I_2) é diferente das correntes do estágio de transcondutância (I_4 e I_5). I_2 deve ser menor porque o estágio de chaveamento não ajuda tanto no ganho quanto o estágio de transcondutância. Vale ressaltar também que uma corrente alta neste estágio ainda insere bastante ruído no circuito. Para se evitar isso, a topologia faz uso de uma fonte de corrente que gera I_1 e alimenta o circuito da maneira indicada. A entrada RF é do tipo *push-pull* e sua corrente é garantida elevada pela corrente I_3 que alimenta o transistor NMOS deste estágio.

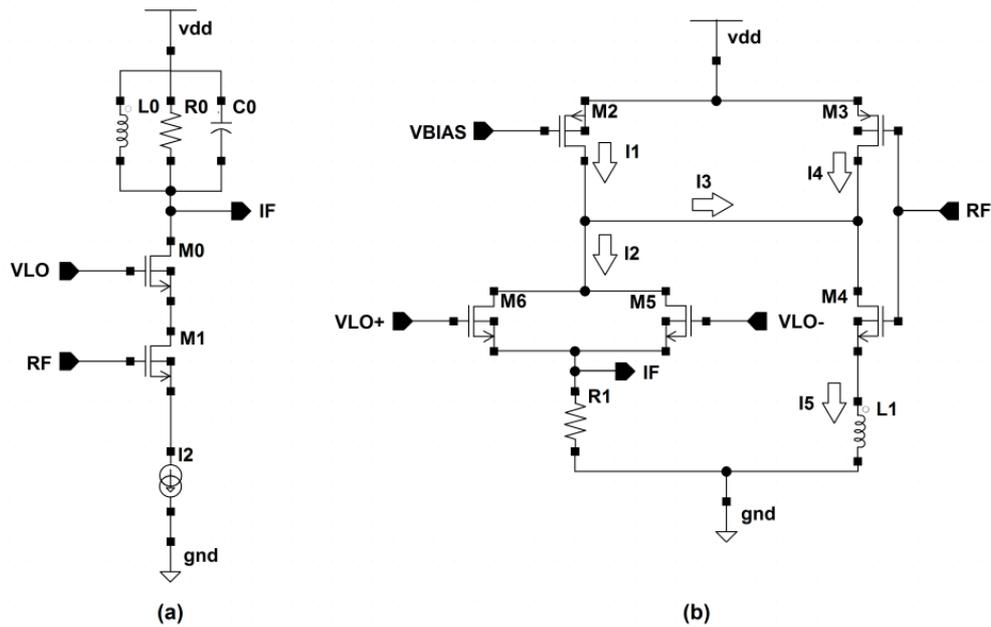


Figura 2.9: Técnica da carga ressonante (a) e técnica de reuso de corrente (b).

Outras topologias fazem uso de degenerações, como mostra a Fig. (2.10).

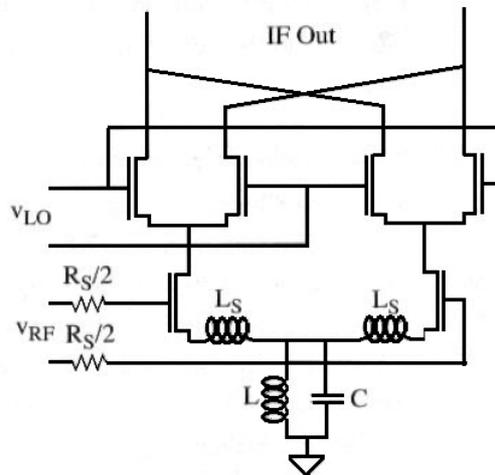


Figura 2.10: Circuito com degeneração indutiva [3].

O intuito da degeneração consiste em modificar impedâncias para aumentar o ganho ou a linearidade do circuito. Na figura acima, o uso da indutância L_s serve para diminuir o efeito da capacitância de entrada e deixar a impedância de entrada mais real. Seu uso ainda auxilia a diminuição de harmônicos e efeitos de intermodulação de frequência maiores [3].

Também é comum a utilização de degeneração capacitiva, que consiste em transformar o transistor de RF em um amplificador fonte-comum, aumentando o ganho do circuito para pequenos sinais. Neste caso, o capacitor é ligado entre a fonte do transistor RF e o terra, em paralelo com o poço de corrente.

Outra técnica que pode ser utilizada é a associação de retroalimentação positiva e negativa, como na Fig. (2.11) abaixo:

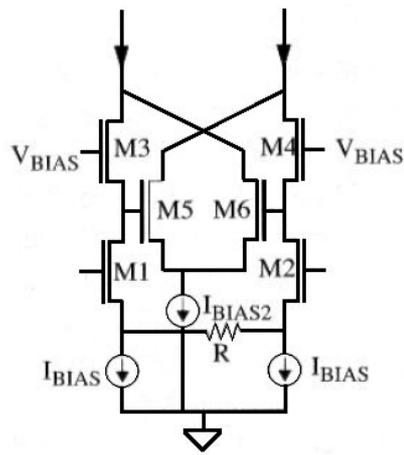


Figura 2.11: Associação entre retroalimentação positiva e negativa [3].

Os transistores $M1$ e $M2$ são transistores de entrada diferencial. Idealmente, não deve passar nenhuma corrente pelo resistor R , que funciona como um curto virtual, um resistor de degeneração e uma retroalimentação positiva. Ao se aplicar uma tensão de pequeno sinal entre os *gates* de $M1$ e $M2$, ela será proporcional a resistência R . Qualquer tensão de descasamento entre as tensões de *gate* e fonte dos transistores $M1$ e $M2$ (ou seja, $v_{gs1} \neq v_{gs2}$) faz mudar as correntes dos outros transistores. Os transistores do meio, $M5$ e $M6$, absorvem uma parcela de corrente proporcional a este descasamento, o que aumenta a linearidade do circuito. A saída diferencial do circuito se dá pelos drenos dos transistores $M3$ e $M4$, que fornece duas correntes diferenciais.

3 METODOLOGIA

3.1 FLUXO DE PROJETO DE CIRCUITOS INTEGRADOS

A Figura (3.1) ilustra de forma esquemática as etapas mais importantes do fluxo de projeto de circuitos analógicos. Esse fluxo é comum para a maioria dos blocos, entretanto, é possível que algumas etapas não sejam realizadas. Isso ocorre levando-se em consideração as peculiaridades do circuito que está sendo projetado.

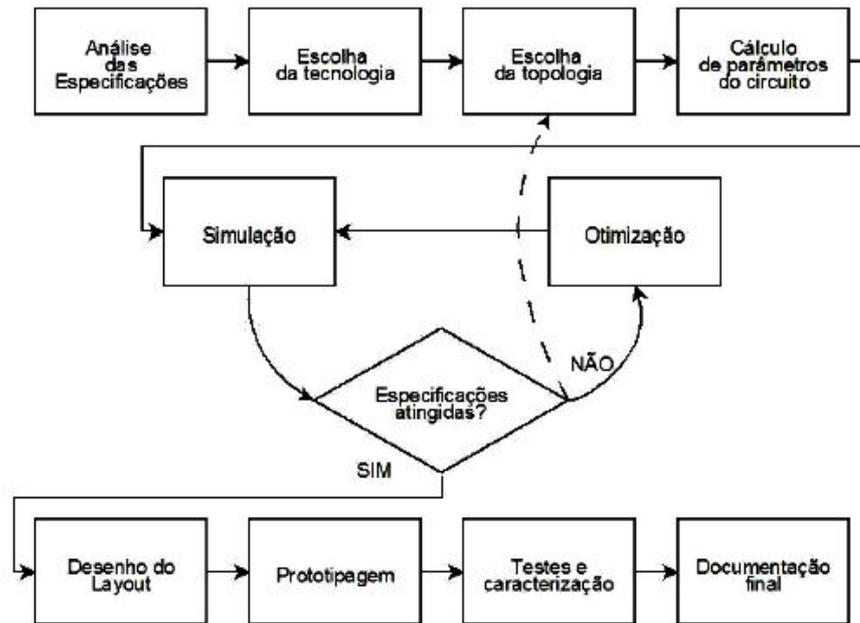


Figura 3.1: Metodologia empregada no projeto de circuitos analógicos [2].

Inicialmente, se faz uma análise das especificações. Nesta etapa são levantadas as características desejadas para o circuito. Para um *mixer*, especificamente, pode-se especificar ganho de conversão, consumo, área ocupada, por exemplo. Quando as especificações estão estipuladas, pode-se escolher a tecnologia mais adequada para alcançá-las.

O próximo passo é a escolha de uma topologia adequada. É bastante comum a escolha de uma topologia inicial que não é adequada para as especificações. Isso é descoberto depois do projeto elétrico, quando se faz os cálculos das grandezas do circuito e depois de simulações e otimizações.

Depois da escolha de uma topologia otimizada que atenda as especificações, se inicia a etapa de *layout*. Nesta etapa, o circuito é montado utilizando representações geométricas dos dispositivos reais. Neste passo, também devem ser seguidas um conjunto de regras elétricas e geométricas do processo de fabricação [5]. Quando estas regras são seguidas, se extrai um circuito deste *layout* que é comparado com o esquemático do projeto elétrico. Se estes circuitos forem equivalentes e o circuito extraído atender as especificações, as etapas seguintes são seguidas.

3.2 METODOLOGIA EMPREGADA NO PROJETO DO MIXER

O misturador está ligado a três blocos diferentes: o LNA, o PLL e um Conversor A/D de 1 bit. O projeto de um bloco específico tem que levar em consideração o projeto dos blocos adjacentes. Como é de profundo interesse para o projeto do receptor o acoplamento direto entre os subcircuitos, os pontos de operação DC das duas entradas e da saída do *mixer* devem ser iguais à tensão DC de saída do LNA, do PLL e tensão de entrada do Comparador. Partindo desse pressuposto, segue-se o procedimento de um método de otimização para o projeto do *mixer*:

1. Escolha dos parâmetros que serão otimizados.
2. Projeto dos transistores e do estágio de carga do *mixer*.
3. Projeto de degeneração capacitiva: escolha de um valor adequado de capacitância que deve ser utilizado para aumentar o ganho do misturador.
4. Simulações para validação do projeto.
5. Projeto de uma referência de transcondutância: o poço de corrente necessita de uma referência que forneça uma tensão adequada que garanta seu funcionamento.
6. Simulações com a referência de transcondutância e *mixer*.

As ferramentas computacionais utilizadas para o projeto foram: CADENCE *Composer*, para desenvolvimento dos esquemáticos, Virtuoso, para desenho do layout, ASSURA DRC e LVS para verificação de regras de projeto, QRC *extractor*, para a extração de parasitários de resistência e capacitância e o simulador Spectre RF para todas as simulações. O algoritmo do projeto se encontra na Fig. (3.2).

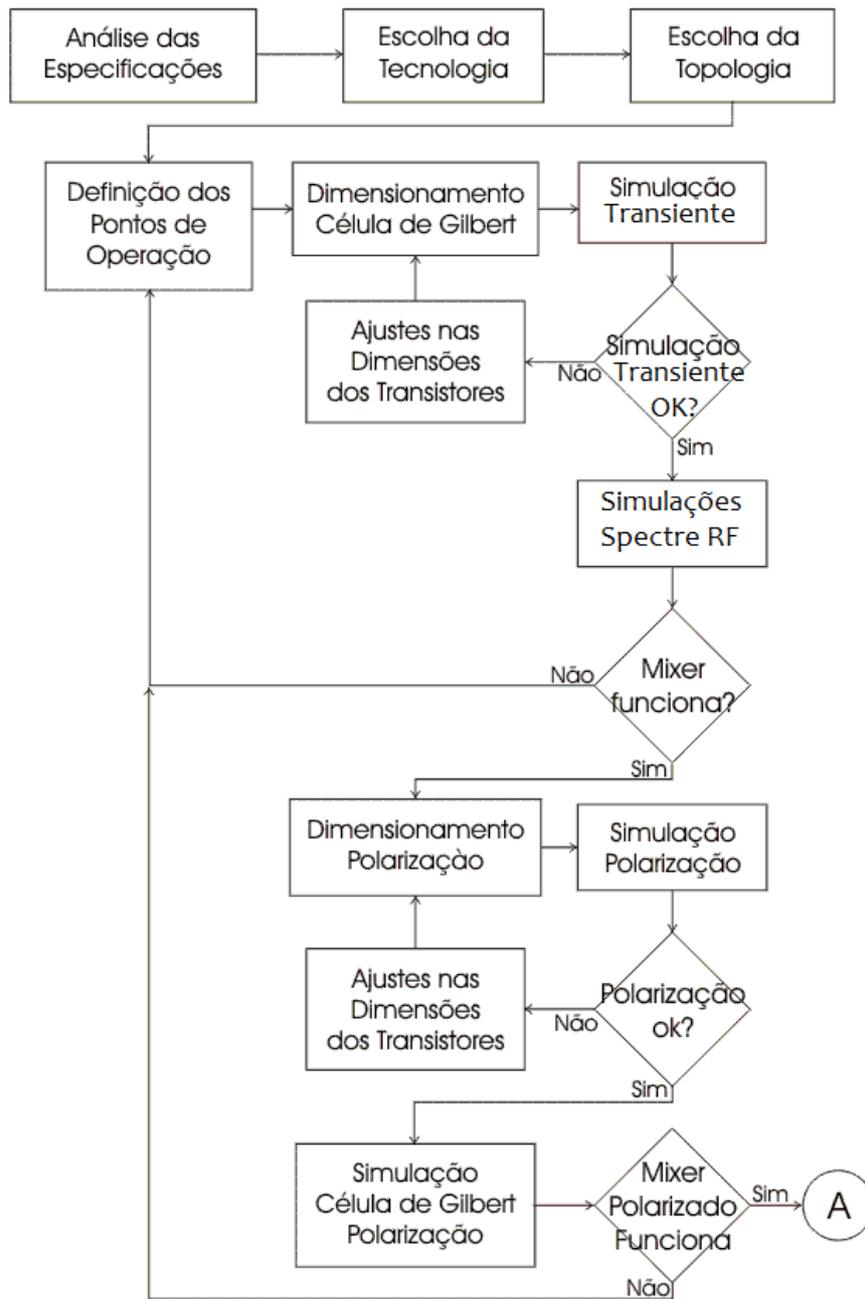


Figura 3.2: Algoritmo de otimização do *mixer*.

4 PROJETO

4.1 ESPECIFICAÇÕES DO MIXER

As especificações do misturador surgiram das especificações globais do transceptor:

- Frequência de operação: 915MHz a 927,5MHz;
- Número de canais: 1;
- Taxa de transmissão: 50 kbps em cada canal com codificação Manchester;
- Modulação: FSK binário;
- Potência de saída do PA: ajustável de -10dBm a +10dBm;
- Consumo no modo TX: máximo de 40mW;
- Consumo no modo RX: máximo de 30mW;
- Sensibilidade: -90dBm para BER de 10^{-3} ;
- Comunicação *Half-Duplex*;
- Os sinais devem ser preferencialmente *single-ended*, ou seja, referenciados ao terra;
- Tensão de alimentação: 3,3V;
- Tecnologia C35B4C3 da AMS;
- Um circuito gerador de relógio externo de 20MHz está previsto.

Como se pode ver, as frequências de operação, as tensões de alimentação ($V_{DD} = 3V$, $V_{SS} = 0V$) e tecnologia de fabricação já estavam estabelecidas. Seu consumo de potência deveria se adequar ao consumo do receptor, que não deveria ultrapassar 30mW. A única especificação direta foi o ganho de conversão, que deveria ser de 15 dBV. As outras especificações, como linearidade e figura de ruído surgiram durante o projeto.

O *mixer* também herdou como especificação a amplitude de entrada do sinal VLO (senóide entre 0 e 3.3V). O ponto de operação DC da entrada RF surgiu durante o projeto conjunto com o LNA. O ponto de operação DC de saída surgiu da especificação do Comparador (Conversor A/D de 1 bit).

Diante destas especificações, podemos classificar o *mixer* como um circuito misto de pequenos e grandes sinais. Seus pontos de operação variam com o tempo, de acordo com a tensão do estágio de chaveamento. Trata-se, portanto, de um circuito variante no tempo.

4.2 PROJETO ELÉTRICO

4.2.1 PROJETO DO MIXER

O projeto elétrico teve como partida a escolha da topologia do circuito. A topologia escolhida é uma Célula de Gilbert clássica, com degeneração capacitiva para aumentar o ganho de conversão. Trata-se de um circuito *single-balanced*, ou seja, possui apenas uma entrada diferencial.

Em seguida, os parâmetros do circuito foram calculados e otimizados através de simulação. Foram utilizados para isso os parâmetros da tecnologia C35B4C3 da AMS [2].

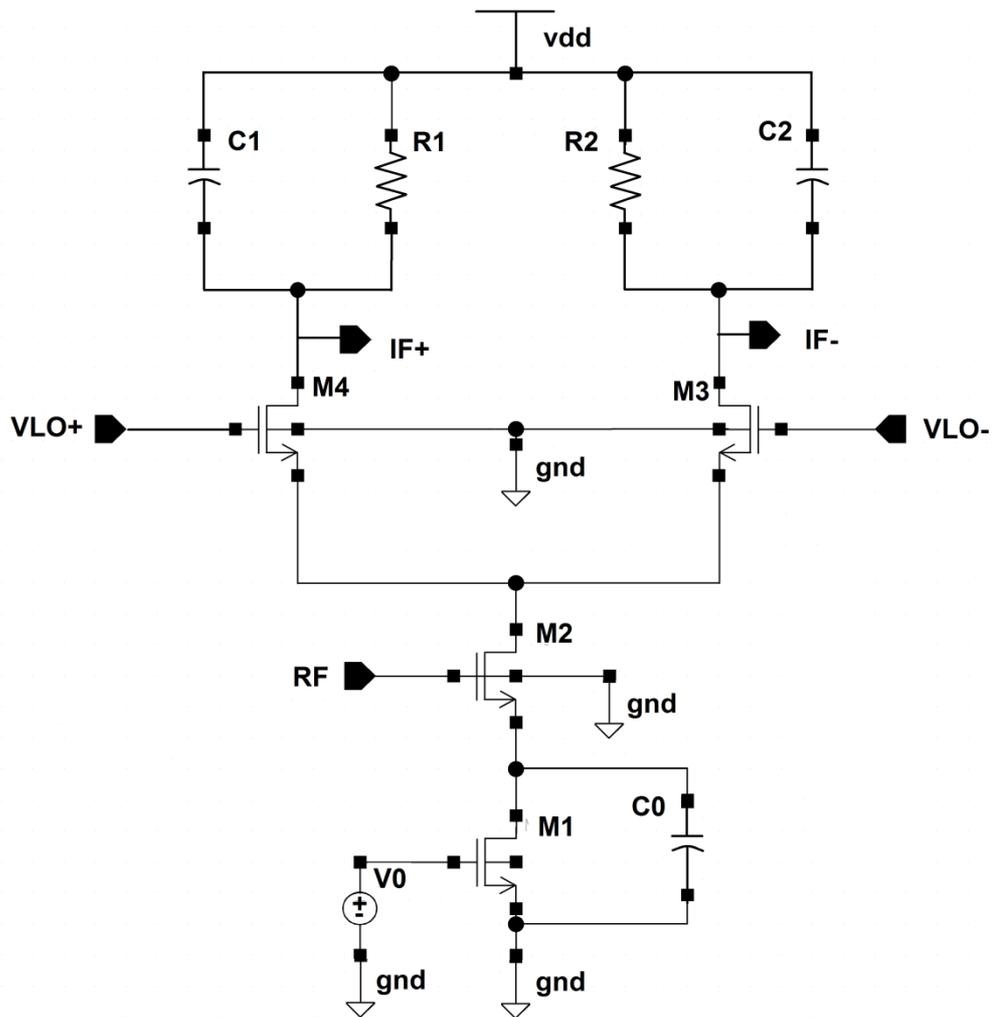


Figura 4.1: Topologia do *mixer* projetado.

Cada característica do circuito influencia outra. Um circuito com alto ganho pode ter sua linearidade prejudicada, pode consumir muita potência ou somar muito ruído ao sinal, por exemplo. Uma tensão de alimentação pequena pode ajudar no baixo consumo, mas pode fazer com que o dispositivo tenha uma faixa dinâmica menor. O projeto elétrico, portanto, atende algumas razões de compromisso e deve levar em consideração as especificações já citadas na seção 4.1. Seguem-se abaixo os dados referentes à tecnologia:

Tabela 4.1: Parâmetros de tecnologia.

Parâmetro	Valor	Unidade	Descrição
K_n	170	$\mu\text{A}/\text{V}^2$	Fator de ganho do transistor NMOS
V_t ($L = 2 \mu\text{m}$)	0,55	V	Tensão limiar do transistor NMOS
C_{ox}	4,54	$\text{fF}/\mu\text{m}^2$	Capacitância parasita porta-canal por unidade de área da porta

O circuito não possui transistores PMOS, por isso não foram mostrados os parâmetros para este tipo de transistor. O primeiro parâmetro estipulado para o projeto foi a corrente de polarização. As

outras grandezas do circuito partiram da corrente. O valor estipulado consiste em adequar o consumo do *mixer* ao consumo do transeptor.

$$I_D = 250 \mu A \quad (4.1)$$

Com o valor da corrente, o poço de corrente (transistor M1) foi projetado. Para garantir que o transistor forneça ao circuito uma corrente adequada, foi estipulada uma tensão de *gate* (V_0) de 900 mV.

Para a tecnologia de fabricação adotada, temos como uma tensão de limiar típica para um transistor NMOS ($L = 0,35 \mu m$) o valor de 0,55 V. Se L for maior do que este valor, a tensão de limiar também será maior.

Como é desejável certa confiabilidade para a atuação do transistor M1, se adotou um $L = 2 \mu m$. Note que se W for grande e L possuir o valor mínimo de $0,35 \mu m$, uma variação de L faz com que a corrente mude muito, o que é indesejável. Para o valor de L adotado, a tensão de limiar possui um valor próximo de 0,55V. Temos assim:

$$V_G = 900 mV \quad (4.2)$$

$$V_{GS} - V_t = 0.9 - 0.55 = 0.35 V \quad (4.3)$$

Para o transistor NMOS, temos um fator de ganho $K_n = 170 \mu A/V^2$. Utilizando a equação para o cálculo da corrente de um transistor na saturação, podemos chegar à fórmula:

$$\frac{W}{L} = \frac{2I_D}{K_n(V_{GS} - V_T)^2} = \frac{(2)(250)}{170(0.35)^2} \approx 25 = \frac{50}{2} \quad (4.4)$$

Para o projeto do transistor RF (M2), devemos projetar um valor de transcondutância:

$$gm = K_n \frac{W}{L} (V_{GS} - V_t) \quad (4.5)$$

O transistor M2 funciona como carga para o LNA. Por isso, sua razão de aspecto não pode ser indefinidamente grande. Novamente é necessária uma certa confiabilidade para o transistor, mas para este caso usaremos um L de $0,7 \mu m$ para se evitar uma capacitância grande para o LNA. O valor de W escolhido foi $200 \mu m$. Para uma frequência de entrada de 922 MHz, o módulo da impedância da entrada RF fica próximo de 100Ω , sendo praticamente uma carga capacitiva. O valor de W escolhido fornece ao transistor uma transcondutância adequada à especificação de ganho do misturador.

Um fato muito importante deve ser levado em consideração para este transistor: sua fonte não está aterrada ao substrato. Isto implica em uma tensão de limiar maior para o transistor devido ao efeito de corpo. Portanto, para se verificar se o transistor está saturado deve se observar: tensão de dreno, tensão de *gate*, tensão da fonte e valor da tensão de limiar levando em consideração este efeito. A ferramenta de simulação fornece estes valores após simulação transiente, mas é importante verificar isso através de cálculos preliminares. Segue-se a equação para o cálculo da tensão de limiar [6]:

$$V_t = V_{t0} + \gamma(\sqrt{|-2\phi_F + v_{SB}|} - \sqrt{|-2\phi_F|}) \quad (4.6)$$

onde V_{t0} é a tensão de limiar sem efeito de corpo, ϕ_F é o potencial de Fermi do semiconductor, v_{SB} é a diferença de tensão entre fonte e corpo do transistor e γ é o coeficiente do efeito de corpo.

O próximo passo foi o projeto das chaves M3 e M4. Seu funcionamento consiste em fornecer uma baixa impedância quando fechadas. Esta baixa impedância é necessária para não tirar o transistor M2 da saturação. A razão de aspecto para estas chaves foi: (120 μm / 0,35 μm). O uso do comprimento de canal mínimo também se justifica porque o estágio de chaveamento insere ruído no circuito. Transistores mais compridos geram mais ruído, logo o uso do comprimento mínimo é uma boa escolha. Neste estágio não estamos preocupados em confiabilidade, desde que as duas chaves tenham a mesma razão de aspecto. Para isso, é necessário um bom casamento entre estes dois transistores. É válido lembrar que duas chaves em paralelo com razão de aspecto (60 μm / 0,35 μm) funcionam como uma única chave com razão (120 μm / 0,35 μm). Este tipo de raciocínio é importante para outras etapas de projeto, como layout. Vale ressaltar aqui a ordem de grandeza dos sinais VLO+ e VLO-: são ondas senoidais de ponto de operação DC de 1,65V e amplitude 1,65 Vpk.

Em relação ao estágio de carga, o compromisso deste estágio está em fornecer uma tensão DC para o bloco seguinte e fornecer um ganho adequado ao *mixer*. A tensão DC de saída deve garantir a saturação dos transistores do bloco seguinte. Uma resistência grande implica em uma tensão de saída baixa. Isto não ocasiona problemas só para o bloco seguinte, mas também para os transistores do *mixer*. Assim, foi estipulado para os resistores R1 e R2 o valor de 7 k Ω . Para os capacitores foi escolhido um valor de 2,8 pF. Com estes valores, teremos um filtro com frequência de corte:

$$f_c = \frac{1}{2\pi RC} = \frac{1}{2\pi(7)(2,8)(10^3)(10^{-12})} \approx 8,12 \text{ MHz} \quad (4.7)$$

A escolha da degeneração capacitiva foi feita através de simulação. Observou-se que para uma capacitância relativamente alta, variações de seu valor não modificavam o ganho do circuito. O valor escolhido foi C0 = 800 pF.

A Tabela 4.2 abaixo mostra os valores para o circuito:

Tabela 4.2: Parâmetros do *mixer*

Parâmetro	Valor
R1 e R2	7 k Ω
C1 e C2	2,8 pF
C0	800 fF
W1/L1	50/2
W2/L2	200/0,7
W3/L3 e W4/L4	120/0,35

4.2.2 PROJETO DA REFERÊNCIA DE TRANSCONDUTÂNCIA

Para o projeto da referência de transcondutância (Fig. (4.3), na página seguinte), foi utilizado um bloco já existente que fornece uma corrente de 10 μA . A topologia escolhida utiliza dois ramos com transistores e realimentação de forma que se a corrente de um ramo aumenta, a corrente do outro ramo tende a estabilizá-la. Os transistores M5 e M6 (que são iguais) servem para dar a mesma tensão DC para os terminais do resistor R4. Supondo-se que no transistor M5 passe uma corrente maior do que a corrente do transistor M6 devido a um descasamento, R4 irá conduzir. Assim, mais corrente passa por M7, o que aumenta a tensão de dreno de M8. Se o inverso ocorre, a tensão de dreno de M8 diminui. Esta topologia apresenta como vantagem que descasamentos não são tão severos quando comparado com polarização por espelhos de correntes, que em geral propagam erros de casamento em cada estágio do espelho e utilizam grandes razões de aspecto, o que facilita o descasamento. Note que a corrente de polarização do mixer é 250 μA , espelhos de corrente deveriam dar um aumento de 25 vezes no valor da corrente. O circuito ainda faz uso de uma resistência (R5) para aumentar a margem de tensão fornecida e garantir a polarização do *mixer*. A seguir, na Tabela 4.3, se encontram os valores dos parâmetros do circuito.

Tabela 4.3: Parâmetros da referência de transcondutância

Parâmetro	Valor
R4	8,3 k Ω
R5	10,5 k Ω
W5/L5 e W6/L6	20/0,35
W7/L7 e W8/L8	5/5

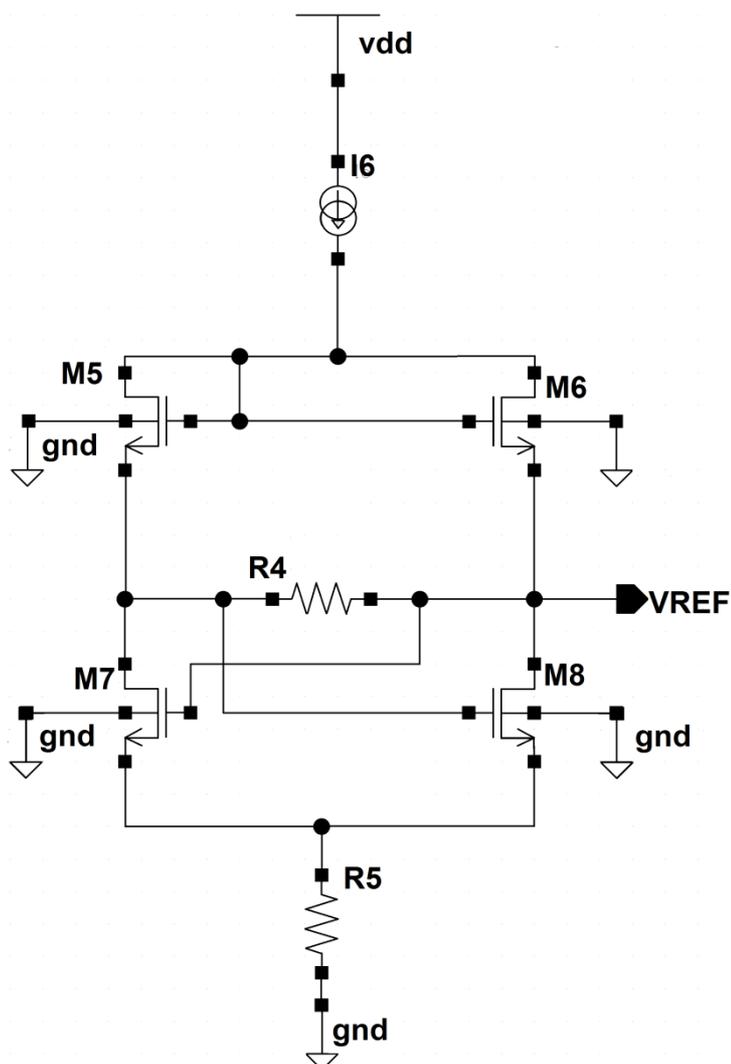


Figura 4.2: Topologia da referência de transcondutância.

4.2.3 PROJETO DO FILTRO PASSA-ALTA

O bloco seguinte ao misturador é um Comparador, que faz a comparação dos sinais diferenciais da saída do *mixer* para a conversão Analógica/Digital. Para seu correto funcionamento foi projetado um filtro passa-alta. Seu uso consiste em evitar que qualquer *offset* na saída do *mixer* saturasse o comparador em um único nível lógico ou aumentasse a taxa de erro de bit. A topologia se encontra na página seguinte, representada na Fig. (4.3).

Sua frequência de corte é de aproximadamente 70 kHz. A Tabela 4.4 informa os valores das componentes:

Tabela 4.4: Parâmetros do filtro passa-alta

Parâmetro	Valor
R1 e R2	1,041 M Ω
C0 e C2	2,18 pF

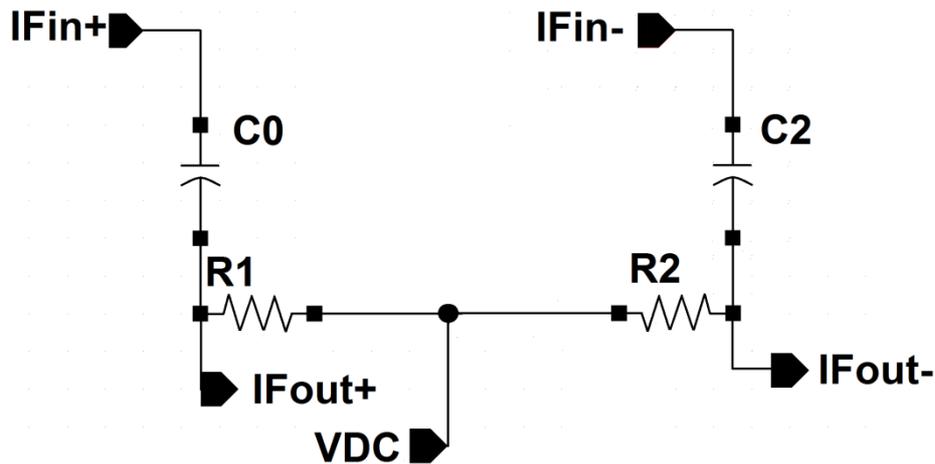


Figura 4.3: Topologia do filtro passa-alta.

4.3 TÉCNICAS DE LAYOUT

Nesta parte serão citadas as técnicas utilizadas na etapa de *layout* do *mixer*. Queremos que haja um bom casamento entre as instâncias do dispositivo. Como se trata de um circuito diferencial, os dois ramos do circuito devem ser idênticos.

O processo de fabricação pode afetar os valores das instâncias e das grandezas físicas como dimensões das resistências, capacitâncias ou na intensidade da dopagem. Para amenizar isso, algumas táticas podem ser utilizadas [7]:

1. Simetria e método do centróide comum: ao se utilizar simetria e centróide comum, o circuito sofrerá menos com efeitos térmicos, pois o circuito será afetado de forma mais uniforme pela temperatura.
2. Instâncias com mesma orientação e próximas entre si: isso fará com que os dispositivos variem de forma parecida. Dois transistores com a mesma razão de aspecto, mas rotacionados 90° entre si terão variações diferentes devido ao processo de fabricação. Isso ocorre porque variações horizontais do processo de fabricação são independentes de variações verticais (dopagem, por exemplo).
3. Utilização de *dummys*: consiste em utilizar instâncias que servem para padronizar o processo de fabricação das instâncias que devem ser casadas. Dispositivos que ficam nas pontas durante o processo de fabricação sofrem com condições diferentes dos outros dispositivos, o que causa descasamento. Portanto, se utiliza dispositivos que não existem no circuito original para proteger os dispositivos que ficam nas extremidades.

4. Método da semente e da intercalação: como é mostrado na Fig. (4.4), um dispositivo é transformado em vários dispositivos menores em série ou maiores em paralelo. Se o projeto consiste em casar dois dispositivos, você intercala as sementes, garantindo que os dispositivos variarão de forma muito parecida.

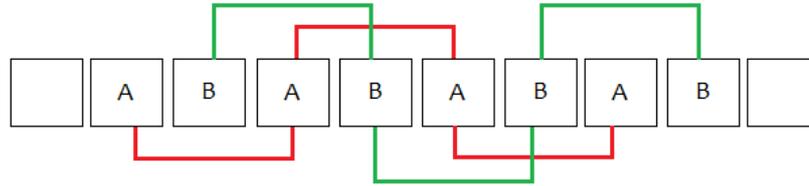


Figura 4.4: Método da semente e da intercalação, com *dummies* laterais.

5. *Cross-quading*: consiste em transformar um par diferencial de transistores em dois pares menores utilizando intercalação e método do centróide comum, como mostra a Fig. (4.5), visando casamento no gradiente vertical e horizontal.

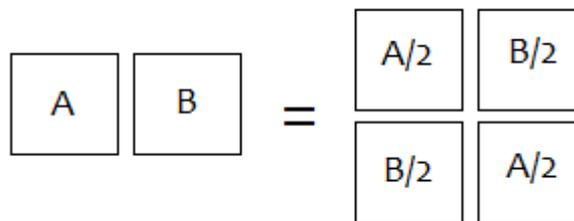


Figura 4.5: Método do *cross-quading* para casamento de transistores.

6. Trilhas com mesma impedância: consiste em deixar trilhas com o mesmo tamanho e com a mesma quantidade de vias quando se trata de circuitos diferenciais. Tenta também casar impedâncias parasitárias, como capacitâncias. Se duas trilhas devem ser equivalentes, mas uma delas passa por cima de uma área de metal e a outra não passa, haverá parasitários diferentes e os ganhos dos dois ramos podem ser diferentes, por exemplo.

5 RESULTADOS

Neste capítulo será mostrado o circuito de validação e os resultados obtidos para o esquemático e para o circuito extraído do *layout*, bem como o *layout* final do misturador.

5.1 RESULTADOS DO PROJETO ELÉTRICO

Para a validação do projeto do misturador foi montado o seguinte circuito de validação:

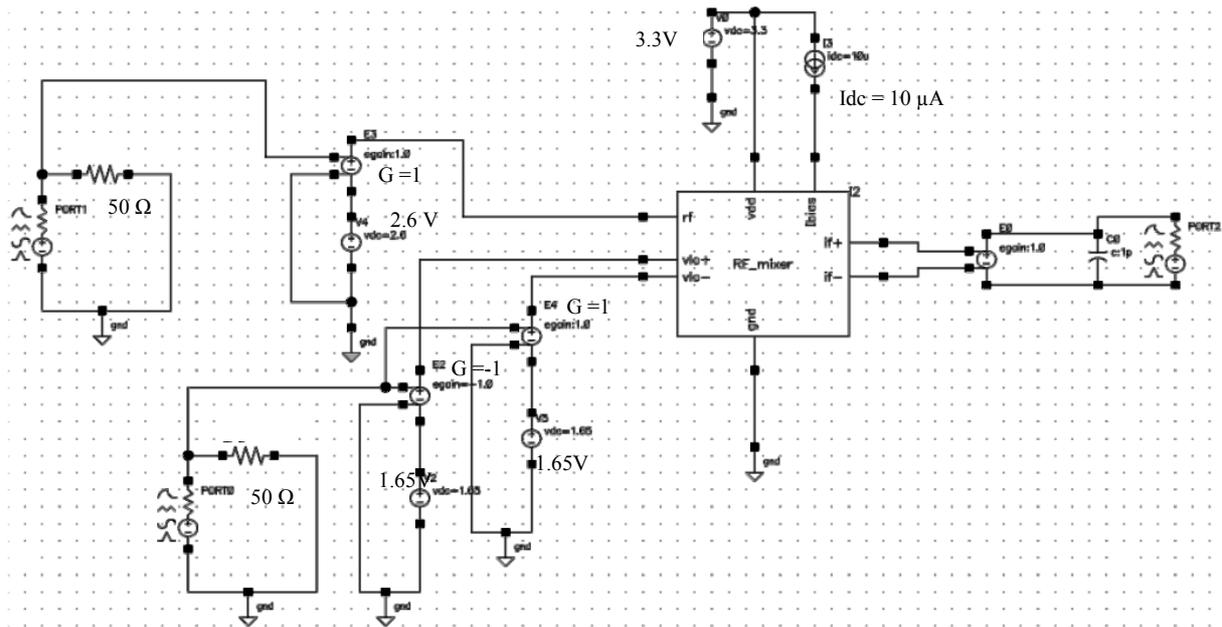


Figura 5.1: Circuito de validação.

O circuito acima possui duas *ports* (PORT1 e PORT0) que geram o sinal RF e VLO. Estas *ports* e os resistores de 50 Ω servem para gerar exatamente os sinais de entrada sem se preocupar com a impedância de entrada do *mixer*. Para isso, a divisão resistiva formada por este conjunto é ligada a um *buffer* ideal. O *buffer* além de lançar nas entradas do *mixer* os sinais estipulados, ainda soma a estes sinais os pontos de operação DC determinados no projeto elétrico. A tensão DC de entrada RF do *mixer* é 2,6V. A tensão DC das entradas VLO+ e VLO- é 1,65V. Os dados sobre as simulações se encontram no Anexo e mais detalhes sobre simulações de misturadores podem ser vistos em [8], [9] e [10]. A primeira figura de mérito simulada do esquemático foi o Ganho de Conversão, que se encontra na Fig. (5.2):

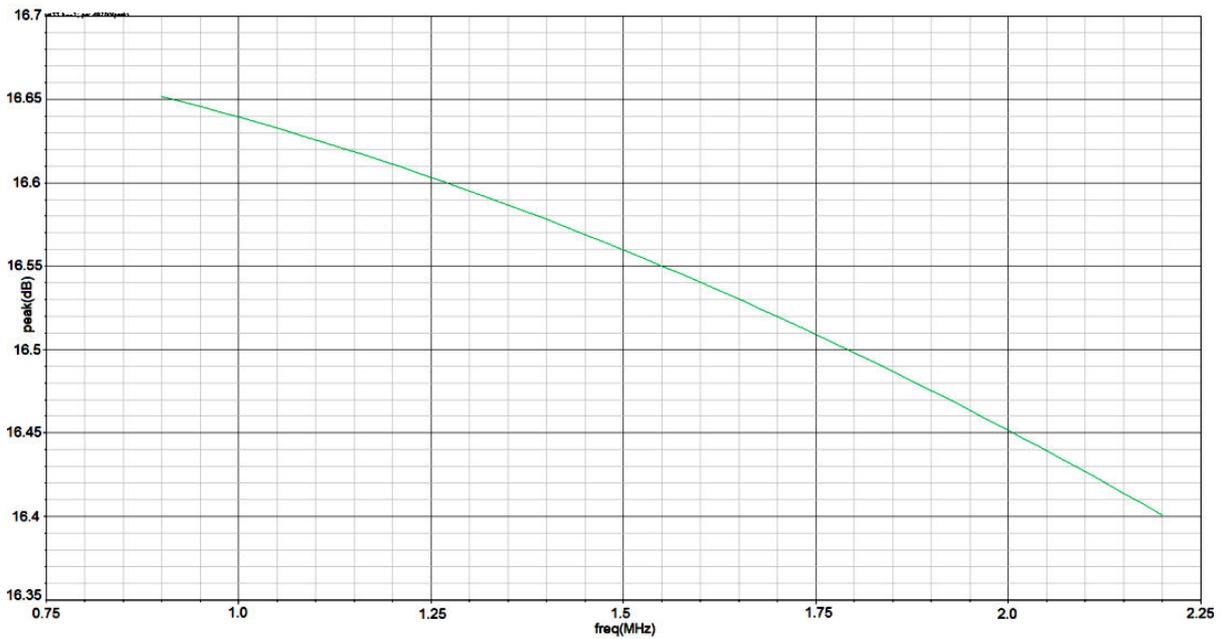


Fig. 5.2: Resultado do Ganho de Conversão (CG).

A Figura (5.2) mostra o comportamento do ganho do misturador. Na banda de interesse, o ganho varia 0,25 dB entre 900 kHz e 2,2Mhz. O valor do ganho chegou ao valor determinado na especificação. A Figura (5.3) mostra a Figura de Ruído do projeto elétrico:

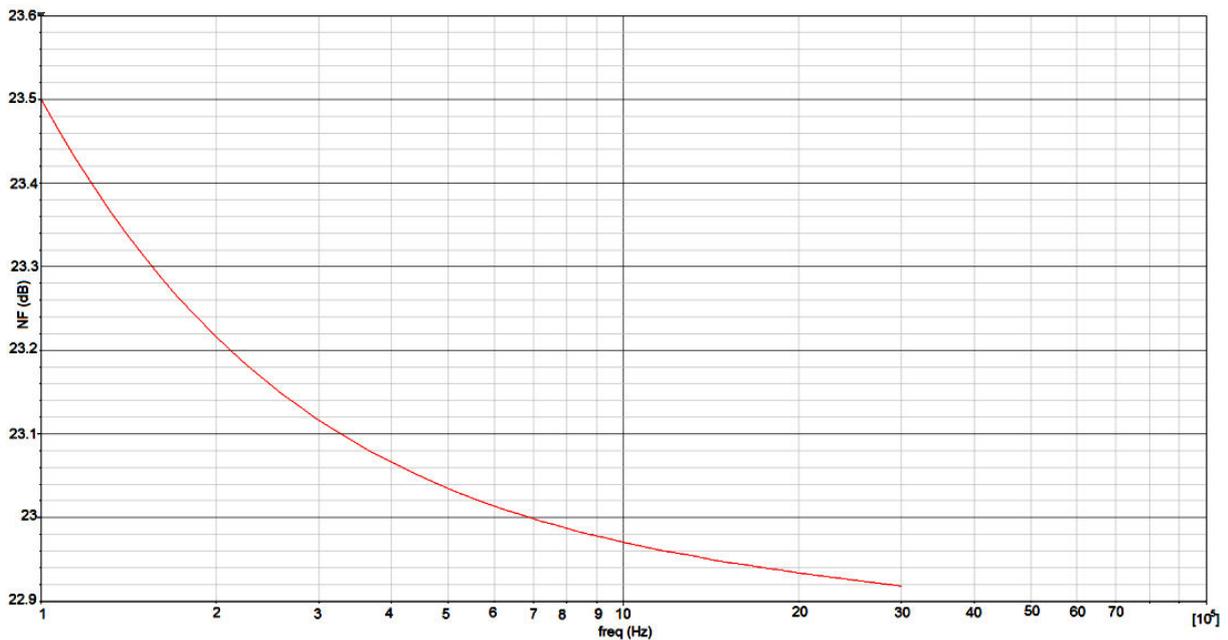


Figura 5.3: Resultado da Figura de Ruído (NF).

A Figura de Ruído fica entre 23 e 22,9 dB para a banda de interesse. Valor próximo é encontrado em [2] para a mesma tecnologia de fabricação e para uma topologia de recepção *low-if*. A Figura (5.4) mostra o gráfico para o Ponto de Compressão de 1 dB:

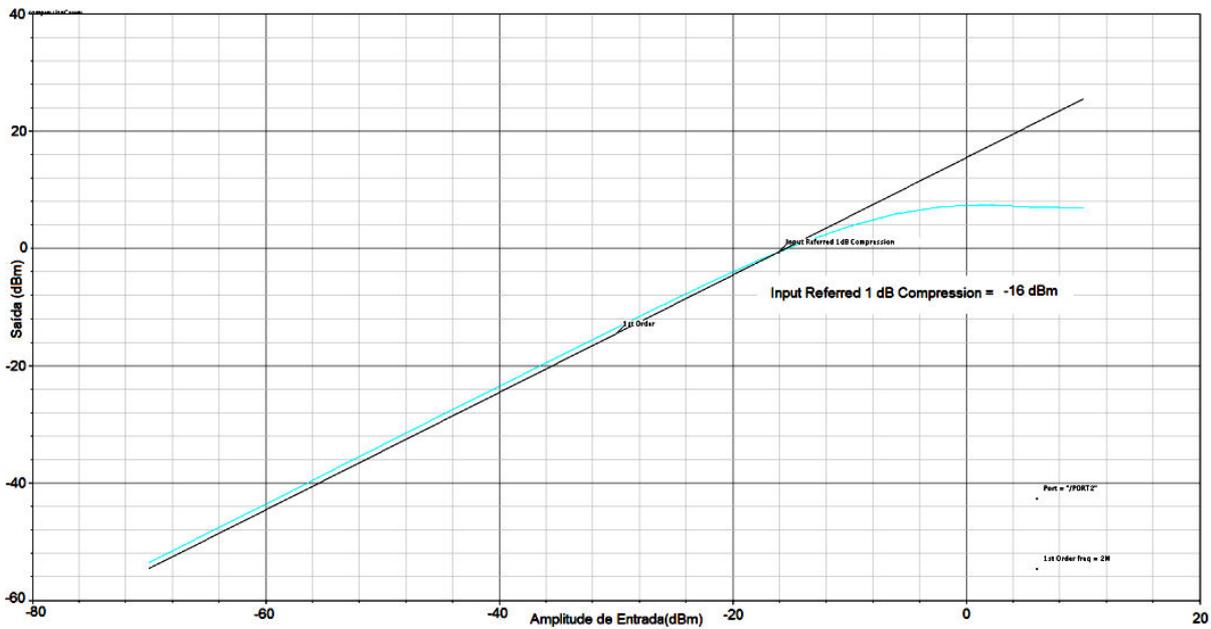


Figura 5.4: Resultado do Ponto de Compressão de 1 dB(CP1dB).

O comportamento do gráfico é típico de dispositivos reais em que ocorre saturação. A Figura (5.5) mostra o gráfico do Ponto de Intercepção de Terceira Ordem:

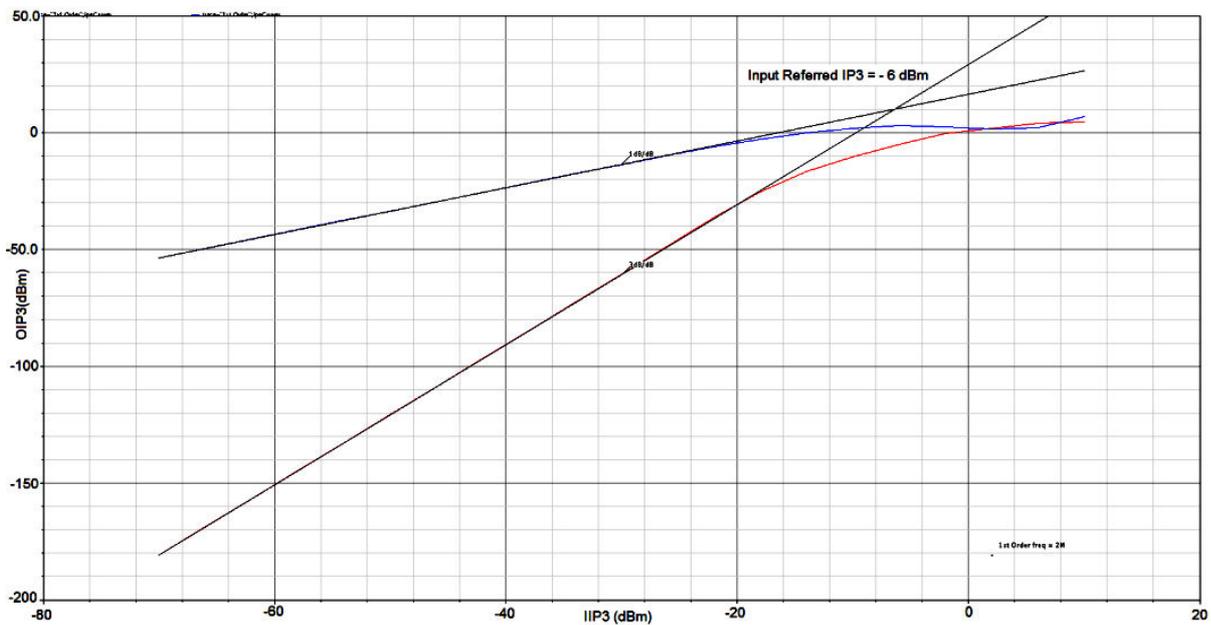


Figura 5.5: Resultado do Ponto de Intercepção de Terceira Ordem (IP3).

Novamente aparece o comportamento não-linear típico de circuitos de RF. O terceiro harmônico cresce de maneira mais rápida do que o harmônico principal. A Tabela (5.1) a seguir mostra os resultados dos gráficos para uma frequência intermediária de 2 MHz:

Tabela 5.1: Resultados do Projeto Elétrico

CG	16,45 dBV
NF	22,93 dB
CP1dB	-16 dBmV
IP3	-6 dBmV

5.2 LAYOUT

A Figura (5.6) a seguir mostra o layout do *mixer* e da referência de transcondutância. Neste layout foram empregadas as técnicas citadas na seção 4.3. Os resistores e capacitores do estágio de carga do misturador foram transformados em uma quantidade maior de instâncias para se utilizar o método da intercalação e a utilização de sementes. Cada resistor foi substituído por três resistores maiores em paralelo. Já os capacitores foram transformados em 4 capacitores menores em paralelo. O capacitor de degeneração também foi transformado em 4 capacitâncias menores.

Os transistores do estágio de chaveamento foram transformados em um *cross-quad* para um melhor casamento dos transistores.

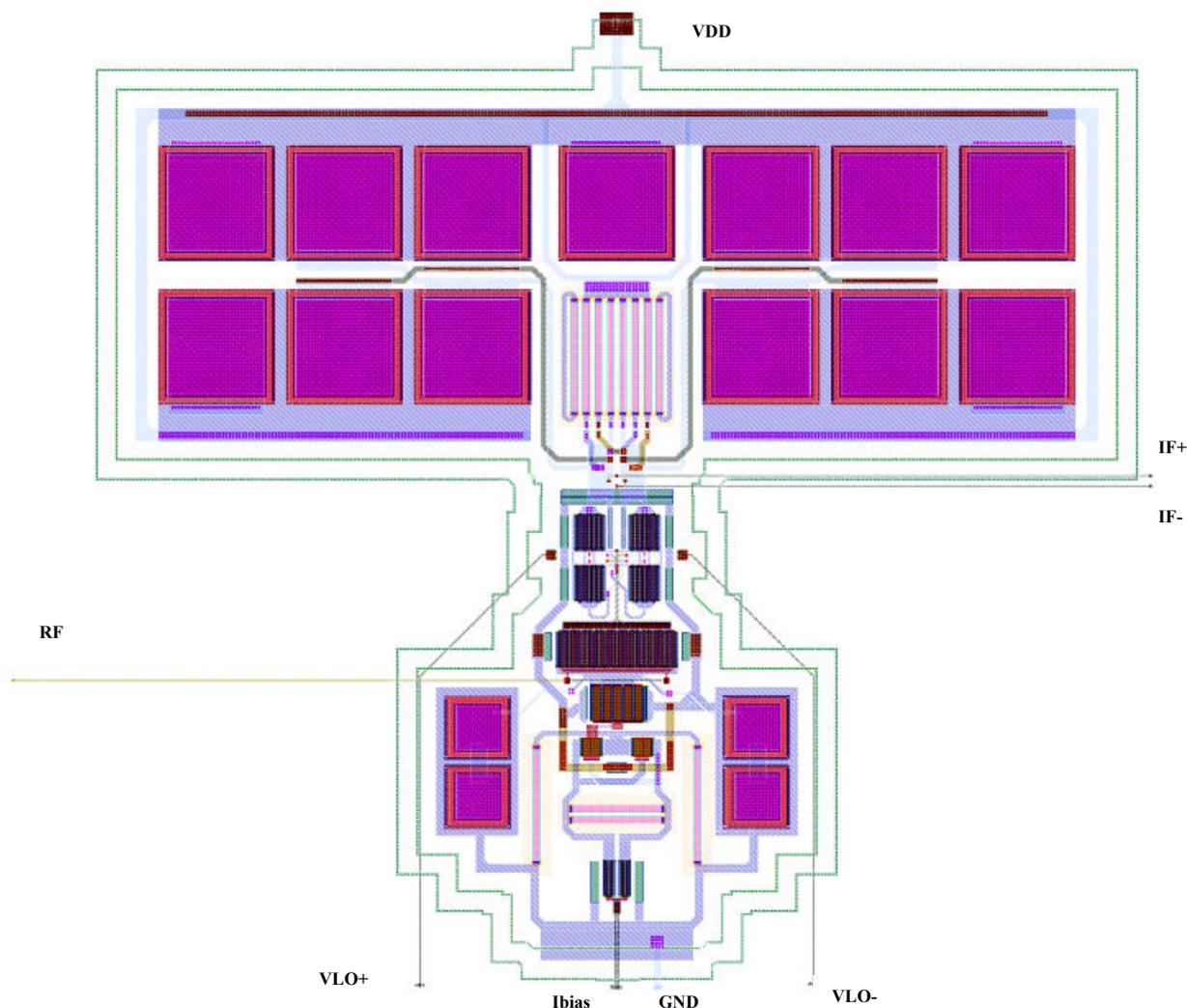


Figura 5.6: *Layout* do *mixer* e da referência de transcondutância.

A Figura (5.7) mostra o *layout* do conjunto *mixer* e filtro passa-alta.

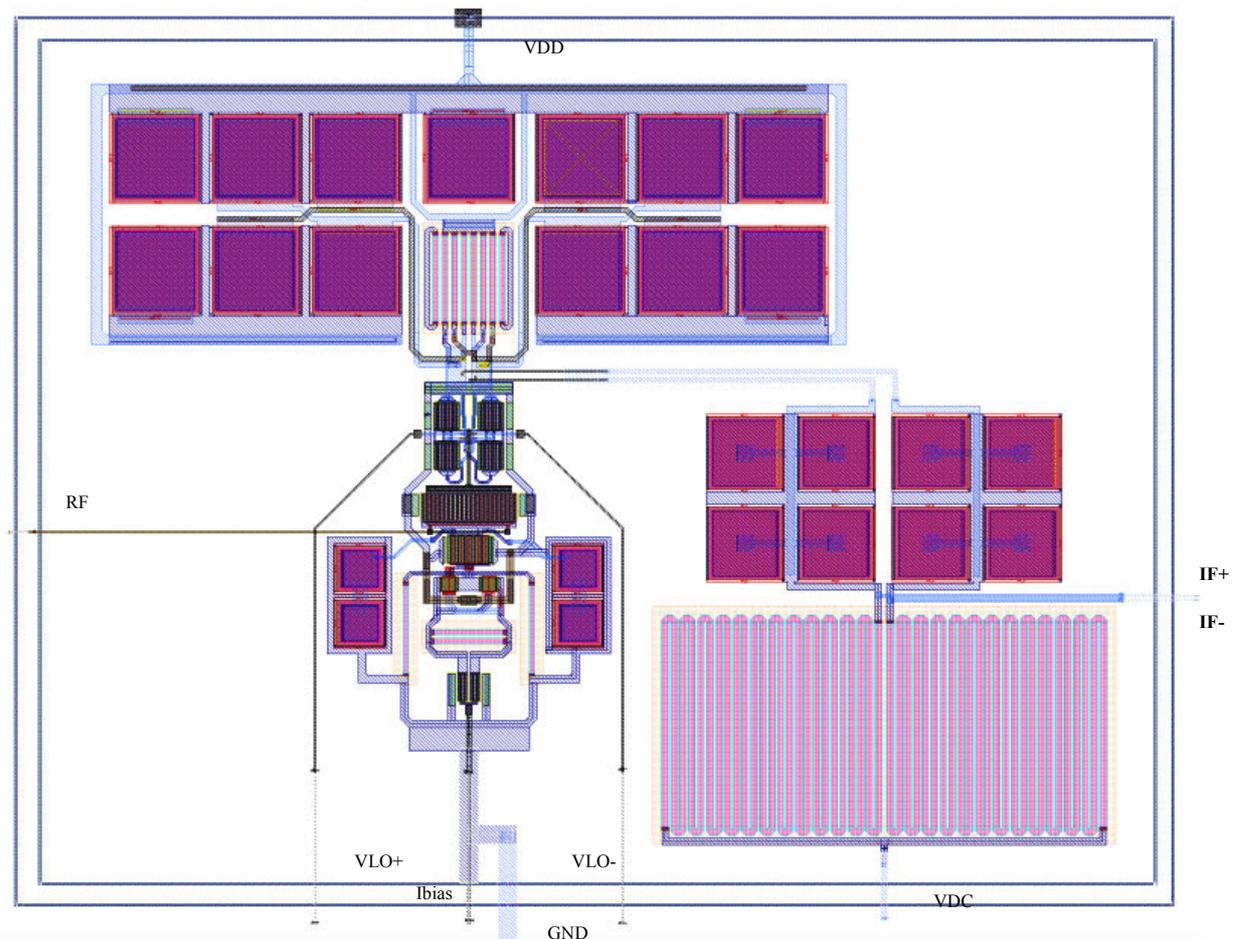


Figura 5.7: Layout do conjunto *mixer* e filtro passa-alta.

5.3 RESULTADOS DO CIRCUITO EXTRAÍDO

Nesta seção serão mostrados os resultados obtidos do circuito extraído. As diferenças entre os resultados obtidos no projeto elétrico e os obtidos do circuito extraído se devem aos parasitários do circuito. Capacitâncias parasitárias, por exemplo, são responsáveis por diminuir o ganho em frequências altas, pois se tornam mais severas. Outras mudanças ocorrem devido às diferenças ôhmicas de trilhas, que podem criar tensões de *offset* em saídas diferenciais.

O consumo de potência medido do *mixer* foi 0,9 mW. O conjunto misturador e referência possui uma área de 310 μm X 283 μm . O conjunto misturador, referência e filtro passa-alta possui uma área de 430 μm X 334 μm .

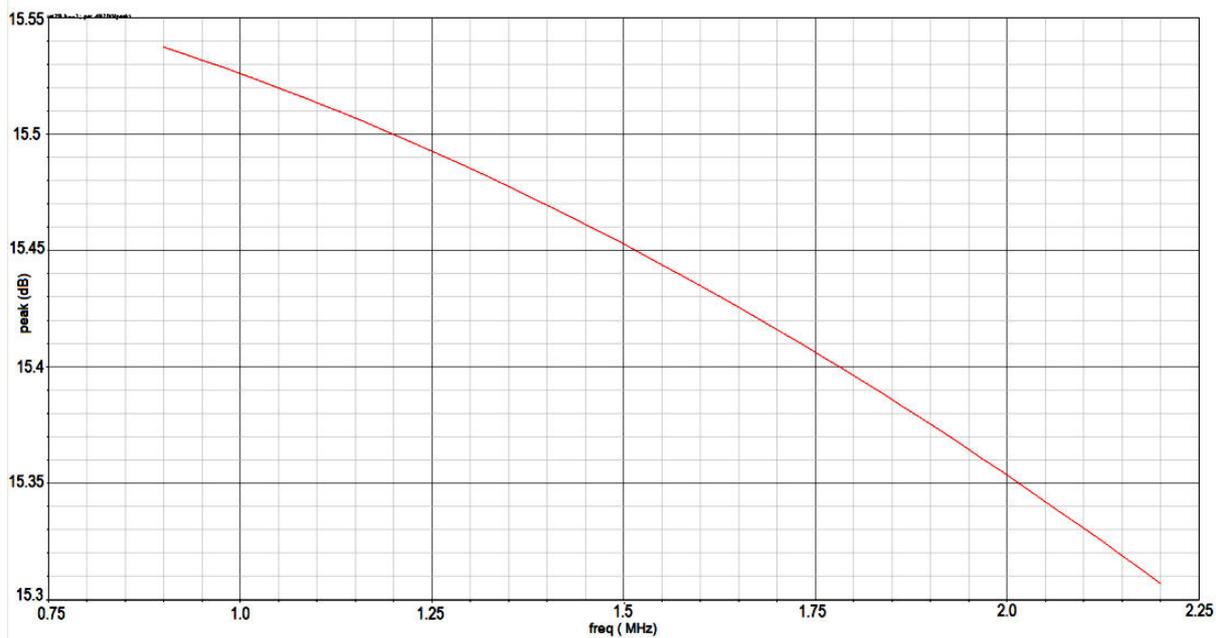


Figura 5.8: Ganho de Conversão do circuito extraído.

O gráfico acima representa o Ganho de Conversão. Pelo formato do gráfico é possível observar o comportamento passa-baixa do misturador. Observa-se que o ganho da frequência intermediária para 1 MHz difere do ganho da frequência de 2 MHz em 0,2 dB , aproximadamente. O *mixer* começa a atenuar o sinal de entrada quando a frequência intermediária fica perto de 20 MHz. O comportamento diferente em relação ao encontrado no projeto elétrico se deve provavelmente a capacitância parasitária. A Figura (5.9) representa o comportamento da Figura de Ruído:

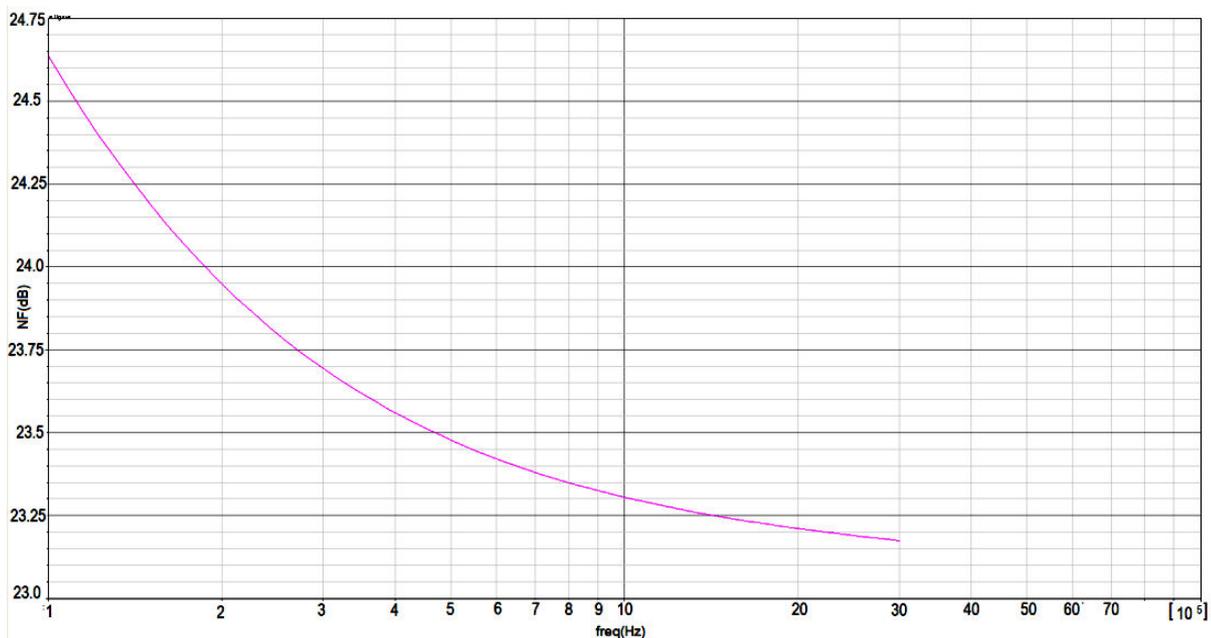


Figura 5.9: Figura de Ruído do circuito extraído.

Observa-se que a Figura de Ruído é maior perto de 0 Hz. Para as frequências de interesse (entre 1 MHz e 2 MHz), ocorre uma variação de 0,1 dB na Figura de Ruído. A Figura (5.10) representa o gráfico do CP1dB:

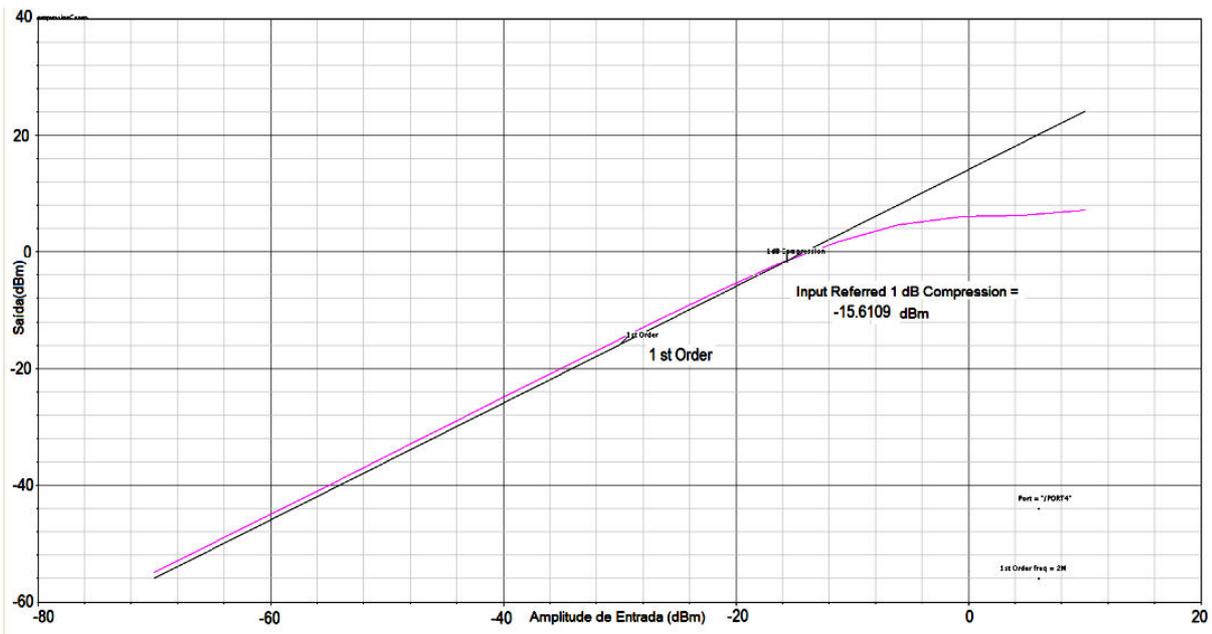


Figura 5.10: CP1dB do circuito extraído.

O aumento da linearidade também pode ser explicado pela presença dos parasitários. Como o ganho do circuito extraído foi menor em relação ao ganho do circuito do projeto elétrico, era esperado que a linearidade do circuito extraído aumentasse, visto que linearidade e ganho são figuras de mérito conflitantes. A Figura (5.11) mostra o gráfico do IP3:

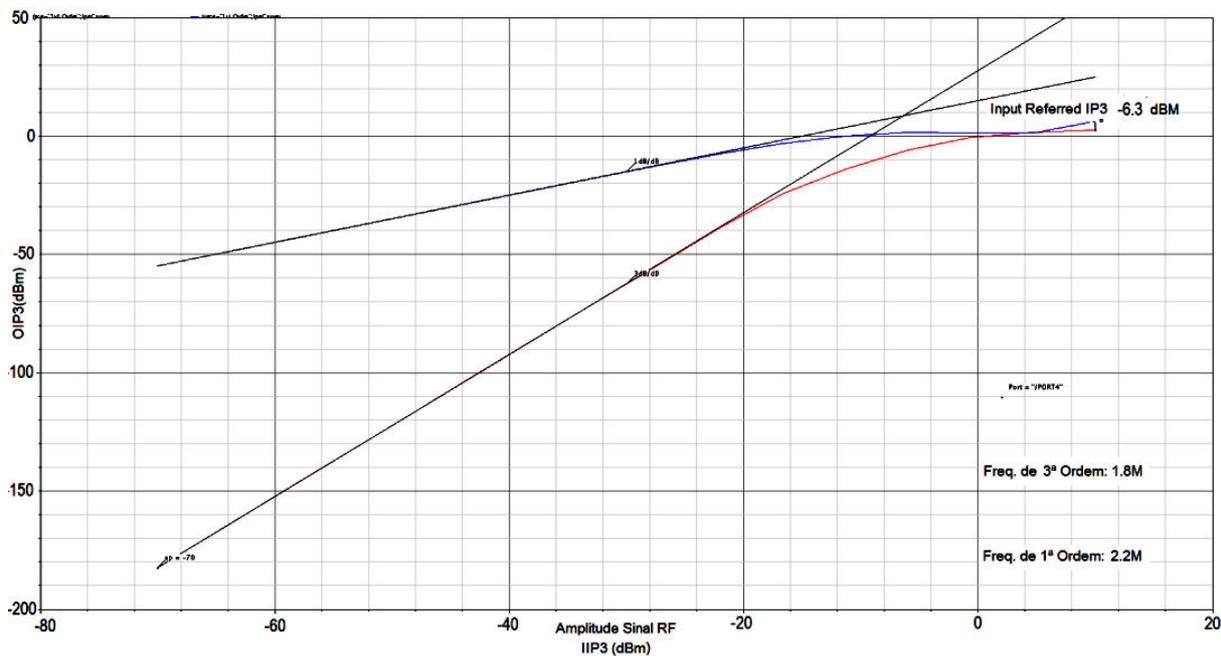


Figura 5.11: IP3 do circuito extraído.

A mudança do valor do IP3 quando comparado com o resultado do projeto elétrico também é justificado pela presença de parasitários e pela diminuição do ganho de conversão.

A Tabela (5.2) abaixo fornece os resultados para uma frequência intermediária de 2MHz:

Tabela 5.2: Resultados do circuito extraído

CG	15,35 dBV
NF	23,25 dB
CP1dB	-15,6 dBmV
IP3	-6,3 dBmV

6 CONCLUSÕES

O trabalho apresentou o projeto de um bloco de RF (misturador, referência de transcondutância e filtro passa-alta) que deve ser integrado com outros blocos do SoC.

O projeto do bloco alcançou as especificações propostas e simulações conjuntas com outros blocos mostraram um comportamento adequado para a demodulação do sinal.

O *mixer* apresentou um consumo de potência 0,9 mW e as figuras de mérito do circuito ficaram equilibradas, condizendo com o objetivo do projeto. A Tabela (6.1) mostra novamente os resultados obtidos para o *mixer*.

Tabela 6.1: Resultados

CG	15,35 dBV
NF	23,25 dB
CP1dB	-15,6 dBmV
IP3	-6,3 dBmV
Consumo	0,9 mW
Corrente	250 μ A

A referência [4] mostra o desempenho de alguns *mixers* para diferentes tecnologias e aplicações, como mostra a Tabela 6.2 ([4], p. 84):

Tabela 6.2: Figuras de mérito de alguns *mixers*

Fonte da Ref. [4]	Vdd (Volt)	Freq. RF (GHz)	Freq. LO (GHz)	Potência LO [dBm]	Corrente [mA]	Ganho [dB]	IIP ₃ [dBm]	Tecnologia [μ m]
[22]	3,0	1,8	1,65	-2	5,2	+10,4	-6	0,35 CMOS
[22]	3,0	1,8	1,65	+7		-7,5	+16	0,35 CMOS
[23]	3,0	0,90	1,0		0,5	-8,4	+26	0,8 CMOS
[23]	2,0	0,90	1,0		1,5	-2,2	+6	0,5 CMOS
[24]		2,4	2,4	0	4,0	+6,4	+17	- CMOS
[26]	1,8	2,42	2,45	-25		+27	-3,7	0,18 CMOS
[26]	1,8	2,42	2,45	-25		+32	-12	0,18 CMOS
[27]	1,8	2,1			3,2		+48,8	0,18 CMOS
[28]	1,8	2,1			4,0	0	+66	0,18 CMOS
[25]	1,8	2,1	2,1	0		-7,1	+7	0,25 CMOS
[29]	2,8	1,3	1,16		3,0	+17	+5,5	0,35 CMOS
[30]	1,8	2,4	2,3	-8	3,3	+6,7	-7,5	0,35 CMOS
[31]	3,0	0,90	0,45	-15,4	1,72	+13	-10,6	0,35 CMOS
[32]	3,3	2,4	2,398	+4	1,02	+12	-1,8	0,35 CMOS
Ref. [4]	2,5	1,8	1,6	+5	3,0	+12,1	+3,1	0,25 CMOS

Observando os valores da tabela e fazendo-se uma comparação com os resultados obtidos, é correto dizer que o comportamento do *mixer* projetado retrata o que era fisicamente esperado, levando em consideração as figuras de mérito do projeto. *Mixers* com maiores ganhos tem um desempenho menor em linearidade. Para se aumentar o ganho de conversão e aumentar o desempenho de linearidade, o consumo de potência do circuito deve ser maior. A tabela não mostra o valor das Figuras de Ruído para comparação.

O misturador foi inteiramente projetado sem inclusão de quaisquer componentes externos, sem a utilização de nenhum indutor integrado e com baixo consumo de potência. Essas características possibilitam a utilização do misturador em aplicações em que baixo custo e autonomia são desejáveis.

O circuito foi mandado para prototipagem e tem previsão de chegada para Outubro de 2010.

REFERÊNCIAS BIBLIOGRÁFICAS

- [1] RAZAVI, B. RF Microelectronics. 1. Ed. [S.l.]: Prentice Hall, Upper Saddle River, USA, 1998.
- [2] SOARES, V. F. PROJETO DE MÓDULOS DE RF PARA SISTEMA EM CHIP CMOS. 2008. Trabalho de Conclusão de Curso, Departamento de Engenharia Elétrica, UnB, Brasília-DF, Brasil, 2008.
- [3] LEE, T. H. The Design of CMOS Radio-Frequency Integrated Circuits. 1. ed. [S.l.]: Cambridge University Press, 1998.
- [4] FERREIRA, F. J. A. Projeto de um Misturador em Tecnologia CMOS de 0,25 μm . 2006. Dissertação de Mestrado, Universidade Federal de Itajubá, Itajubá – MG, Brasil, 2006.
- [5] ARAUJO, G. M. de. CONVERSOR TENSÃO-CORRENTE EM TECNOLOGIA CMOS PARA UM CONVERSOR ANALÓGICO/DIGITAL DE UM SISTEMA EM CHIP. 2008. Dissertação de Mestrado, Departamento de Engenharia Elétrica, UnB, Brasília-DF, Brasil, 2008.
- [6] ALLEN, P. E.; HOLBERG, D. R. CMOS Analog Circuit Desing. 2. ed. :OXFORD UNIVERSITY PRESS, New York, USA, 2002.
- [7] SAINT, C.; SAINT, J. IC Mask Design: Essential Layout Techniques. McGraw-Hill, USA, 2002.
- [8] http://www.d.umn.edu/~htang/Cadence_doc/spectreRFTheory.pdf
- [9] http://www.ek.isy.liu.se/courses/tsek03/LAB2_Mixer_Tutorial.pdf
- [10] http://www.cdnusers.org/community/virtuoso/resources/SpectreRF_Mixer533AN.pdf
- [11] <http://www.austriamicrosystems.com/>

I Simulações

As simulações utilizadas para validação do projeto foram: simulação transiente, simulações de estado estacionário periódico (PSS) e quasi-periódico (QPSS) da ferramenta *Virtuoso Spectre Circuit Simulator RF*.

A utilização da simulação transiente consistia em basicamente em verificar os pontos de operação do circuito no tempo e observar o espectro de saída para se observar se houve conversão de frequência. As outras simulações ocorriam para validar a simulação transiente e caracterizar realmente o *mixer*.

A análise PSS (*Periodic Steady State*) é uma análise de grande sinal que determina os pontos de operação periódicos do circuito utilizando apenas uma frequência [8]. Ela é utilizada para simular circuitos variantes no tempo, como é o caso do *mixer* projetado.

Existem algumas simulações de pequenos sinais que funcionam de maneira conjunta com o PSS, tais como a simulação PAC, a PXF, PNOISE e outras.

A simulação PAC, por exemplo, depois que a simulação PSS estipula uma condição inicial, ela determina uma função de transferência de conversão de frequência (mais detalhes em [8]). Logo, é uma simulação muito adequada para a validação do *mixer*, pois lida com a característica não-linear do circuito.

Se a frequência estipulada na simulação PSS for $f1$ e a frequência estipulada na simulação PAC for $f2$, serão calculadas funções de transferências das seguintes frequências de saída:

$$f_{out} = (i)(f1) + (f2), i = 0, \pm 1, \pm 2, \dots \pm k$$

(i)

Já a simulação QPSS (*Quasi-Periodic Steady State*) é uma análise de grande sinal que usa múltiplos tons. Esta simulação é a ideal para simular distorções e efeitos de harmônicos com dispositivos que transladam frequência [8]. A simulação QPSS também possui simulações auxiliares,

Enquanto a simulação PSS lida com as frequências transladadas da Eq. (i), a simulação QPSS e a simulação QPAC calculam as funções de transferências das seguintes frequências:

$$f_{out} = (i)(f1) + (j)(f2), i e j = 0, \pm 1, \pm 2, \dots \pm k$$

(ii)

O índice k nas equações acima representa o número de bandas laterais do sinal. Esta diferença é que propicia a utilização da simulação QPSS e QPAC para simular o CP1dB e IP3 do *mixer*.

As grandezas que serão utilizadas para a validação devem corresponder com o que cada simulação exige. Para o cálculo do IP3, por exemplo, é exigido um sinal de entrada em dBm. Já no cálculo do ganho de conversão, se utiliza uma escala linear de entrada e uma amplitude unitária para o cálculo da função de transferência de conversão. A seguir serão mostrados como cada simulação foi estipulada

RF Port no esquemático:

- 50 Ohms em *Resistance*
- Sine ou dc em *Source Type*, dependendo do tipo de análise

- Colocar “frf” no campo Frequency name 1 (com a opção “Sine” anterior marcada)
- Colocar “frf” no campo Frequency 1
- Colocar “prf” em Amplitude1(Vpk) , para análises lineares, e Amplitude1(dBm) para análises em escala logarítmica
- Marcar a opção: Display small signal params
- Colocar “pacmag” em PAC Magnitude para análises lineares e PAC Magnitude (dBm) para análises em escala logarítmica.

VLO Port no esquemático:

- 50 Ohms em *Resistance*
- Sine em *Source Type*, sempre!
- Colocar “flo” no campo Frequency name 1 (com a opção “Sine” anterior marcada)
- Colocar “flo” no campo Frequency 1
- Colocar “plo” em Amplitude1(Vpk), sempre!

IF Port no esquemático de validação:

- 50 Ohms em *Resistance*
- dc em *Source Type*, sempre!

Polariza-se o *mixer* com uma corrente DC de 10 μ A e um VDD de 3V.

Para se achar o ganho de conversão: clique em Launch, ADE L, depois clique com o botão direito no campo “Design Variables” e clique em “Copy from Cellview”, para se estabelecer os dados da simulação se utiliza os valores da tabela abaixo:

Tabela I.1: Dados para a simulação do ganho de conversão.

RF PORT	
Source Type	DC
VLO PORT	
Source Type	Sine
ADE L	
plo	1.65 v
flo	920M
frf	922M
pacmag	1
frf	50u

Basicamente, foram dados valores iniciais as grandezas do circuito, tais como as duas frequências de entrada, amplitudes típicas e o valor de pequeno sinal para cálculo da função de transferência ou para uma simulação transiente. Em seguida, foram estipulados os dados da simulação PSS.

Tabela I.2: Dados da simulação PSS para o ganho de conversão.

Beat Frequency	920M
Number of harmonics	10
Accuracy Defaults	Conservative

Nesta etapa você basicamente informa a frequência que o simulador lida e a quantidade de harmônicos. Também é possível variar algum parâmetro para ver como o circuito se comporta (exemplos seriam razões de aspectos de transistores ou valores de resistências), mas não é esse o intuito desta simulação. Depois, os dados da simulação PAC são escolhidos:

Tabela I.3: Dados da simulação PAC para o ganho de conversão.

Sweeptype	Default
Input Frequency Sweep (Start-Stop)	920.9 M – 922.2M
Maximum sideband	2

Ao se estipular estes valores, será calculado o ganho de conversão de frequências entre 920.9 MHz e 922,2MHz. A banda de saída estará entre 900 KHz e 2,2 MHz. As tabelas a seguir consistem nos dados de cada simulação utilizadas.

Tabela I.4: Dados das simulações PSS + PNOISE para o cálculo da NF.

RF PORT	
Source Type	DC
VLO PORT	
Source Type	Sine
ADE L	
plo	1.65
flo	920M
prf	50u
pacmag	1
frf	922M
Simulação PSS	
Beat Frequency	920M
Number of harmonics	10

Simulação PNOISE	
Sweeptype	Default
Output Frequency Sweep Range (Start – Stop)	100k -2.2M
Maximum sideband	10
Output - probe	Selecionar a port de saída
Input – Port	Selecionar a port RF
Reference Side-band	-1
Noise Types	Sources

Tabela I.5: Dados das simulações QPSS + QPAC para simulação do IP3 e CP1dB.

RF PORT	
Source Type	Sine
prf	Em dBm
pacmag	Em dBm
VLO PORT	
Source Type	Sine
ADE L	
plo	1.65
flo	920M
prf	Pacmag
pacmag	-70
frf	922M
Simulação QPSS flo: large , 5 harmônicos frf: moderate, 4 harmônicos	
Beat Frequency	920M
Sweep variable	Prf
Number of steps	20
Start: -70	Stop: 10
Simulação QPAC	
Sweeptype	Absolut

Frequency	922.1M
Max Clock order	2