TRABALHO DE CONCLUSÃO DE CURSO

ESTUDO SOBRE O COMPORTAMENTO DINÂMICO DE CÉLULAS DIGITAIS DE UM MULTIPLICADOR BINÁRIO BASEADO EM TECNOLOGIA SET

Carolina Dias da Cunha

Brasília, julho de 2013

UNIVERSIDADE DE BRASÍLIA

FACULDADE DE TECNOLOGIA

UNIVERSIDADE DE BRASÍLIA
Faculdade de Tecnologia

TRABALHO DE CONCLUSÃO DE CURSO

ESTUDO SOBRE O COMPORTAMENTO DINÂMICO DE CÉLULAS DIGITAIS DE UM MULTIPLICADOR BINÁRIO BASEADO EM TECNOLOGIA SET

Carolina Dias da Cunha

Relatório submetido ao Departamento de Engenharia Elétrica como requisito parcial para obtenção do grau de Engenheiro Eletricista

Banca Examinadora

Profa. Dra. Janaína Gonçalves Guimarães, ENE/UnB _____
Orientadora

Prof. Dr. Alexandre Ricardo Soares Romariz, ENE/UnB _____
Examinador interno

Prof. Dr. Stefan Michael Blawid, ENE/UnB _____
Examinador interno

FICHA CATALOGRÁFICA

CUNHA, CAROLINA DIAS DA
Estudo sobre o comportamento dinâmico de células digitais de um multiplicador binário baseado em tecnologia SET [Distrito Federal] 2013.
xi, 49 p., 210 x 297 mm (ENE/FT/UnB, Engenheiro, Engenharia Elétrica, 2013).
Trabalho de Conclusão de Curso - Universidade de Brasília, Faculdade de Tecnologia.
Departamento de Engenharia Elétrica

1. Nanoeletrônica	2. Multiplicador binário
3. NÃO-E	4. Tempo de atraso
I. ENE/FT/UnB	II. Título (série)

REFERÊNCIA BIBLIOGRÁFICA

CUNHA, C. D. (2013). *Estudo sobre o comportamento dinâmico de células digitais de um multiplicador binário baseado em tecnologia SET* . Trabalho de Conclusão de Curso em Engenharia Elétrica, Departamento de Engenharia Elétrica, Universidade de Brasília, Brasília, DF, 49 p.

CESSÃO DE DIREITOS

AUTOR: Carolina Dias da Cunha
TÍTULO: Estudo sobre o comportamento dinâmico de células digitais de um multiplicador binário baseado em tecnologia SET .
GRAU: Engenheiro Eletricista ANO: 2013

É concedida à Universidade de Brasília permissão para reproduzir cópias deste trabalho de conclusão de curso e para emprestar ou vender tais cópias somente para propósitos acadêmicos e científicos. Os autores reservam outros direitos de publicação e nenhuma parte desse trabalho de conclusão de curso pode ser reproduzida sem autorização por escrito dos autores.

Dedicatória

Aos meus pais

Carolina Dias da Cunha

Agradecimentos

Aos meus pais, por estarem sempre ao meu lado, me apoiando em minhas decisões e dando suporte nos momentos em que mais preciso. Em especial, pela imensa paciência e compreensão ao longo de todo o curso. Às minhas irmãs, Larissa e Luciana, por serem os exemplos que são para mim. Por estarem sempre ao meu lado, pelos bons conselhos, pela paciência. Aos amigos, que estão ao meu lado para celebrar os bons momentos e trazer conforto e alegria nas horas mais difíceis. À Professora Janaína, pela excelente orientação e boa vontade, pelo apoio, pela dedicação, paciência e incentivo, inspiradores.

Carolina Dias da Cunha

RESUMO

Este trabalho verifica o comportamento dinâmico das estruturas de um multiplicador binário de 2 bits implementado com transistores mono-elétron (SET). Isso é realizado a partir da obtenção do tempo de atraso de propagação e da análise da frequência de operação de cada estrutura no LTSPICE. A validade do modelo de transistor mono-elétron utilizado é verificada.

ABSTRACT

This work aims to evaluate the dynamic behavior of the structures of a 2-bit binary multiplier implemented with single-electron transistor (SET). This is done by obtaining the propagation delay time and analyzing the operating frequency of each structure in the LTSPICE software. The validity of the model for a single-electron transistor is verified.

SUMÁRIO

1 INTRODUÇÃO **1**
1.1 Contextualização 1
1.2 Objetivos 1
1.3 Estrutura do trabalho 1

2 REVISÃO BIBLIOGRÁFICA **3**
2.1 Considerações iniciais 3
2.2 Ilha 3
2.3 Tunelamento 3
2.4 Junção-túnel 4
2.5 Efeito de carregamento 4
2.6 Bloqueio de Coulomb 5
2.7 Transistor mono-elétron 6
2.8 NÃO-E nanoeletrônica 7
2.9 Multiplicação binária 8
2.10 Multiplicador binário em tecnologia SET 12
2.11 Modelo SPICE para o transistor mono-elétron 15

3 METODOLOGIA E RESULTADOS **17**
3.1 Metodologia 17
3.1.1 Estratégias 17
3.2 Resultados e análises 17
3.2.1 Porta NÃO-E 19
3.2.2 Flip-Flop D 20
3.2.3 Somador 21
3.2.4 Registrador-deslocador 26
3.2.5 Contador 28
3.2.6 Detector de zero 30
3.2.7 Unidade de controle 30
3.2.8 Multiplicador binário 31
3.2.9 Considerações finais 33

4 CONCLUSÕES **35**

REFERÊNCIAS BIBLIOGRÁFICAS **36**

Anexos **39**

I Códigos do LTSPICE **41**

II Gráficos da simulação da porta NÃO-E nas frequências de 1 MHz e 1 GHz... 47

III Diagrama de Bode da porta NÃO-E..... 49

LISTA DE FIGURAS

2.1 Níveis permitidos na ilha 3
2.2 Junção-túnel 4
2.3 Diagramas de energia 5
2.4 Transistor mono-elétron 6
2.5 Curva característica I x V_g do transistor mono-elétron 6
2.6 Porta NÃO-E nanoeletrônica 7
2.7 Simulação da porta NÃO-E 8
2.8 Exemplos de multiplicação 8
2.9 Processo da multiplicação binária 9
2.10 Diagrama de blocos do circuito de fluxo de dados 10
2.11 Diagrama de blocos do circuito da unidade de controle 10
2.12 Diagrama ASM do projeto do multiplicador binário 11
2.13 Circuito da unidade de controle 13
2.14 Estrutura geral do multiplicador binário 14
2.15 Modelo do transistor mono-elétron no SPICE 15

3.1 Fluxograma da metodologia utilizada 18
3.2 Atraso de propagação 19
3.3 Esquemático do flip-flop D implementado 20
3.4 Simulação do flip-flop D 21
3.5 Somador de 2 bits com 2 somadores completos 22
3.6 Esquemático do somador completo implementado 22
3.7 Simulação do somador completo 23
3.8 Exemplo de soma de números binários de 2 bits 24
3.9 Simulação do somador de 2 bits - Sinais de entrada 25
3.10 Simulação do somador completo - Sinais de saída 25
3.11 Esquemático do registrador implementado 26
3.12 Simulação do registrador 27
3.13 Simulação do deslocador 28
3.14 Esquemático do contador implementado 29
3.15 Simulação do contador 29
3.16 Inversora 30
3.17 Exemplo de multiplicação binária 31

II.1 Simulação da porta NÃO-E na frequência de 1 MHz 47
II.2 Simulação da porta NÃO-E na frequência de 1 GHz 48

III.1 Diagrama de Bode da porta NÃO-E 49

LISTA DE TABELAS

2.1 Parâmetros de simulação da porta NÃO-E em 300 K 7

3.1 Tabela-verdade da porta NÃO-E 19
3.2 Valores de tempo de atraso para a porta NÃO-E 19
3.3 Tabela-verdade do flip-flop D 20
3.4 Valores de tempo de atraso para o flip-flop 21
3.5 Tabela-verdade do somador completo 23
3.6 Valores de tempo de atraso para o somador completo 23
3.7 Tabela-verdade do somador de 2 bits 24
3.8 Valores de tempo de atraso para o somador de 2 bits 26
3.9 Valores de tempo de atraso para o registrador 27
3.10 Valores de tempo de atraso para o deslocador 28
3.11 Tabela-verdade do contador decrescente 28
3.12 Valores de tempo de atraso para o contador 29
3.13 Valores de tempo de atraso para a inversora 30
3.14 Tempos de atraso estimados para a unidade de controle 30
3.15 Tempos de atraso dos blocos do multiplicador 31
3.16 Quantidade de portas NÃO-E dos blocos do multiplicador binário 32
3.17 Comparação entre tecnologia SET e CMOS 32
3.18 Comparação entre tecnologia SET e QCA 33
3.19 Frequências de operação alcançadas pelos blocos do multiplicador 33

LISTA DE SÍMBOLOS, NOMENCLATURA E ABREVIAÇÕES

MOS	*Metal Oxide Semiconductor*
SET	*Single Electron Transistor*
V_o	Energia da barreira de potencial
E_C	Energia eletrostática
e	Carga do elétron
C	Capacitância
R_T	Resistência de tunelamento
h	Constante de Planck
K_B	Constante de Boltzman
T	Temperatura
V_C	Tensão de Bloqueio de Coulomb
V	Tensão
I	Corrente
C_1 e C_2	Capacitâncias de junção
C_G e C_B	Capacitâncias de porta
V_G	Tensão de porta

1 INTRODUÇÃO

1.1 CONTEXTUALIZAÇÃO

As dimensões dos componentes microeletrônicos e dispositivos de memória vêm sendo constantemente reduzidas. Além do limite físico imposto pelo processo de fabricação de dispositivos em escala micro, os efeitos quânticos passam a exercer considerável influência em seu comportamento com essa diminuição. Diante da necessidade de continuação do processo de miniaturização, surgiu a nanoeletrônica.

Para que se possa pensar na nanoeletrônica como sucessora à microeletrônica, é fundamental desenvolver circuitos em nanoescala com funcionalidades semelhantes às implementadas em escala micro, tais como circuitos digitais. Há, no entanto, uma dificuldade em fazer circuitos complexos, pois o método de fabricação não progrediu ao mesmo passo das pesquisas nessa área. Outro obstáculo envolve as limitações intrínsecas aos modelos de componentes utilizados nos circuitos nanoeletrônicos.

O multiplicador binário, alvo de estudo do presente trabalho, é composto por várias células digitais sequenciais e combinacionais associadas. Foi proposta uma implementação em tecnologia nanoeletrônica, utilizando transistores mono-elétron (SET) [1]. Obteve-se uma análise de operação em temperatura ambiente e de estabilidade do circuito. Entretanto, não foi efetuada nenhuma análise dinâmica, o que é uma das metas deste trabalho.

1.2 OBJETIVOS

Pretende-se realizar um estudo do comportamento dinâmico de um multiplicador binário implementado em tecnologia mono-elétron. Espera-se caracterizar as células digitais por meio do tempo de atraso de propagação e verificar a frequência máxima de operação do dispositivo.

Além do comportamento do circuito, também se pretende avaliar a validade do modelo SET utilizado em circuitos com complexidade maior.

1.3 ESTRUTURA DO TRABALHO

No capítulo 2, é feita uma revisão bibliográfica dos conceitos teóricos relacionados à nanoeletrônica e à multiplicação binária.

O capítulo 3 descreve a metodologia seguida para o desenvolvimento do estudo do multiplicador binário. Também são apresentados os resultados e análises obtidos a partir das simulações no *software* LTSPICE.

O capítulo 4 expõe as conclusões e sugestões para trabalhos futuros.

2 REVISÃO BIBLIOGRÁFICA

2.1 CONSIDERAÇÕES INICIAIS

Em escala nanométrica, os efeitos quânticos que regem o transporte do elétron devem ser levados em consideração. A transferência de cargas elétricas entre pontos em um dispositivo ou circuito é a base de muitos dispositivos nanoeletrônicos estudados atualmente, dentre os quais pode-se destacar o transistor mono-elétron (SET - *Single-Electron Transistor*), estrutura básica utilizada neste trabalho. Para o maior entendimento do funcionamento deste componente, são apresentados alguns conceitos básicos neste capítulo.

2.2 ILHA

É a região do dispositivo nanoeletrônico, delimitada por duas paredes finas de uma material normalmente isolante, na qual os elétrons ficam confinados. A dimensão da ilha varia entre 5 e 100 nm. Como as paredes determinam uma barreira de potencial, impedindo o movimento de elétrons pela ilha, estes só a atravessarão caso tenham energia maior que a energia potencial das paredes.

Na região da ilha, a energia é quantizada, ou seja, os elétrons só podem ocupar estados específicos que satisfazem à equação de Schrödinger [3]. Quanto mais níveis de energia na ilha, maior a probabilidade de o elétron permanecer em um deles. Na figura 2.1, pode-se observar a região da ilha e os níveis vagos permitidos.

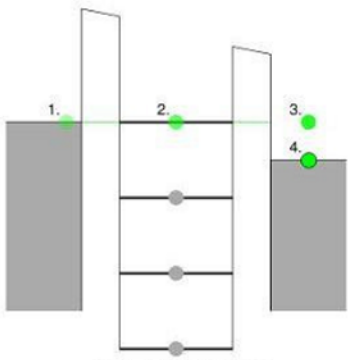

Figura 2.1: Níveis permitidos na ilha [4]

2.3 TUNELAMENTO

Diz-se que o ocorre tunelamento quando uma partícula com energia total menor que a energia potencial da barreira consegue atravessá-la. Isto é possível quando a barreira de potencial for suficientemente fina e

quando houver um nível de energia com o mesmo valor vago do outro lado da barreira [3].

A mecânica clássica não é capaz de explicar esse fenômeno, pois considera que a partícula deveria certamente ser refletida. Por isso, deve-se recorrer à física quântica e assumir o comportamento dual onda-partícula do elétron. Assim, durante o tunelamento, assume-se que o elétron comporta-se como onda e que parte desta é refletida, enquanto outra parte é transmitida através da barreira ao encontrá-la [5].

Para analisar o tunelamento, a teoria mais utilizada é a teoria ortodoxa do tunelamento mono-elétron, proposta por Averin e Likharev [5]. Segundo essa teoria, as dimensões da ilha devem ser desprezíveis. Além disso, o evento do tunelamento é considerado instantâneo, assim como a redistribuição das cargas após a ocorrência do fenômeno. Por último, a quantização da energia é ignorada dentro dos condutores.

2.4 JUNÇÃO-TÚNEL

A junção-túnel é um dispositivo nanoeletrônico formado por dois eletrodos metálicos separados por um fino isolante, de modo a permitir a ocorrência do tunelamento, como ilustrado na figura 2.2 [6].

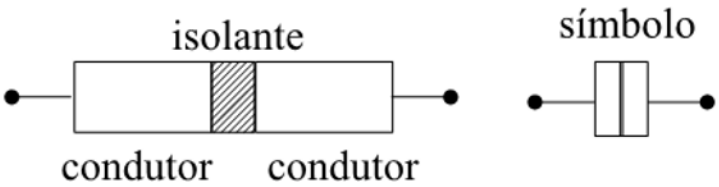

Figura 2.2: Junção-túnel [3]

A junção-túnel é caracterizada por dois parâmetros macroscópicos: a capacitância C e a resistência de tunelamento R_t. A resistência de tunelamento é definida com a aplicação de uma diferença de tensão aos terminais da junção e é dependente da área e da espessura da barreira isolante [7].

2.5 EFEITO DE CARREGAMENTO

Quando um elétron tunela para o interior da ilha, o potencial eletrostático da região é alterado consideravelmente. Uma vez que o campo elétrico é intensificado pela presença desse elétron, outros elétrons não conseguirão atravessar a barreira de potencial para entrar na ilha. A este fenômeno dá-se o nome de efeito de carregamento. Caso o potencial da ilha seja reduzido por meio de uma fonte externa, torna-se possível o controle do fluxo de elétrons na região [7].

Para que se observe o efeito de carregamento, duas condições devem ser respeitadas: a resistência de tunelamento deve ser superior a um valor limite e a energia eletrostática E_C associada à ilha deve ser maior que as flutuações térmicas devido à temperatura de operação do dispositivo. O limiar referente à primeira condição é a resistência R_K (equação 2.1), valor a partir do qual a natureza corpuscular do elétron predomina sobre sua natureza ondulatória.

$$R_t > \frac{h}{e^2} = R_K = 25,8\ k\Omega \tag{2.1}$$

em que h é a constante de Planck e e é a carga do elétron.

A equação 2.2 explicita a segunda condição:

$$E_C \gg k_B T \tag{2.2}$$

em que k_B é a constante de Boltzmann e T é a temperatura de operação.

2.6 BLOQUEIO DE COULOMB

Ao entrar na ilha, um elétron faz com que a energia eletrostática E_C da região aumente, tal que:

$$E_C = \frac{e^2}{2C} \tag{2.3}$$

em que C é a capacitância da ilha.

Com isso, outro elétron só consegue tunelar para o interior da ilha se sua energia for superior a E_C.

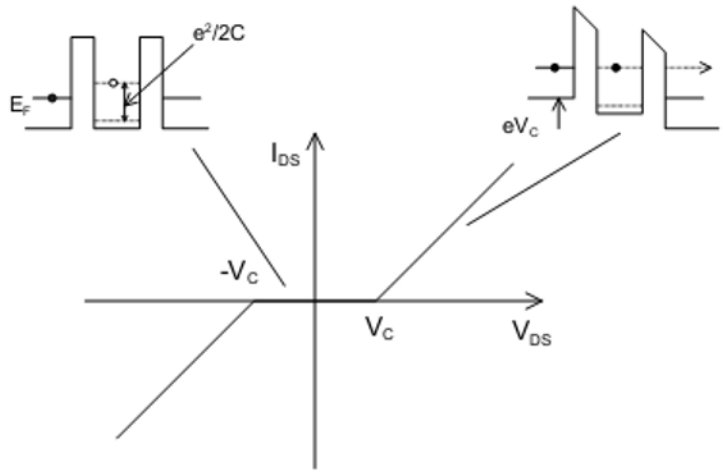

Figura 2.3: Diagramas de energia [8]

Um modo de fornecer energia para o elétron ocupar um dos níveis vazios da ilha é aplicar uma tensão V_g ao circuito, causando uma queda de tensão em C_g e na junção. Quando V_g superar o valor de limiar V_C, denominado tensão de bloqueio de Coulomb, será possível o tunelamento do elétron e haverá fluxo de corrente pelo circuito.

Diz-se que ocorre bloqueio de Coulomb enquanto houver a suspensão do fluxo de elétrons. Na figura 2.3 é possível observar a curva característica I x V_g do circuito e a região do Bloqueio de Coulomb, com os diagramas de energia correspondentes às situações em que há bloqueio e em que há tunelamento [9].

2.7 TRANSISTOR MONO-ELÉTRON

O transistor mono-életron (SET) possibilita o controle do movimento e da posição de um único ou de um pequeno grupo de elétrons (tratamento mono-elétron). Uma vez que seu funcionamento baseia-se no movimento de pequenas quantidades de carga, o consumo de potência desse tipo de dispositivo é baixo [7].

Este transistor é composto por duas junções-túnel em série, formando a ilha, e um terceiro terminal conectando a ilha a uma fonte de tensão V_g por meio de um capacitor, como ilustrado na figura 2.4.

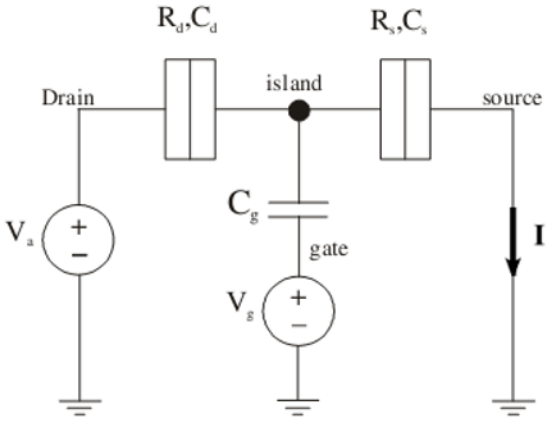

Figura 2.4: Transistor mono-elétron [6]

O terceiro terminal equivale ao terminal de porta dos transistores MOS. Por meio dele, obtém-se um controle da energia eletrostática da ilha [8].

A corrente no dispositivo é resultante do carregamento da ilha através de uma junção e do descarregamento através da outra junção por tunelamento. Esse fluxo pode ser alterado com a variação da tensão de polarização V_g. Mantendo a tensão fonte-dreno V_a constante e aumentando a tensão V_g a partir de V_g=0, observa-se que ao atingir V_g=e/2C_g ocorre o tunelamento de um elétron, que atravessa a ilha e resulta em passagem de corrente. Quando a ilha é descarregada, a corrente cessa e só há novamente tunelamento quando V_g=3e/2C_g. Isto se repete para valores de V_g múltiplos da tensão e/2C_g, uma vez que o tunelamento é um processo discreto. Este efeito é denominado oscilações de Coulomb e é percebido na curva característica da corrente resultante I em função de V_g (figura 2.5).

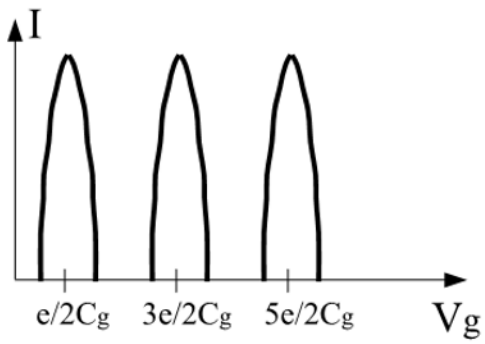

Figura 2.5: Curva característica I x V_g do transistor mono-elétron [3]

2.8 NÃO-E NANOELETRÔNICA

A partir da porta lógica NÃO-E, é possível produzir as funções E, OU, NÃO-OU e inversora. Devido a esse caráter universal, a porta NÃO-E foi escolhida como célula básica para a implementação de todas as estruturas analisadas nesse trabalho [1].

O modelo utilizado para a porta NÃO-E [6] está ilustrado na figura 2.6.

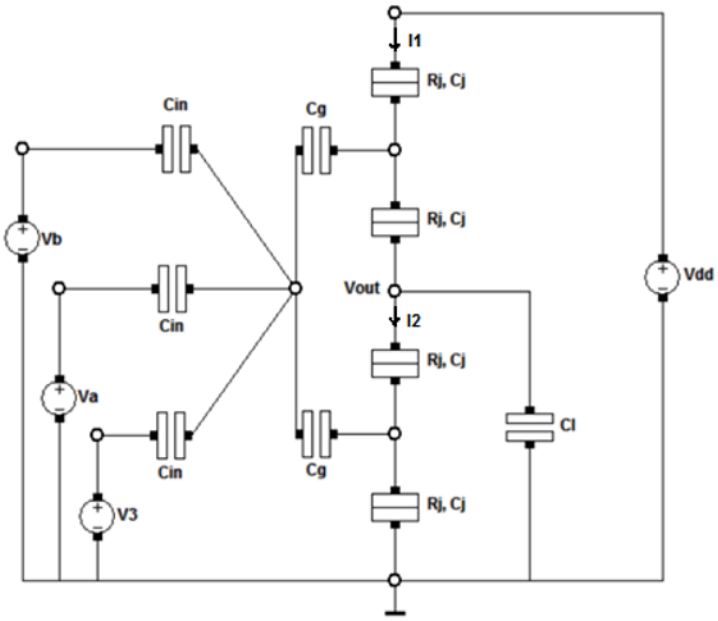

Figura 2.6: Porta NÃO-E nanoeletrônica [1]

Na tabela 2.1, encontram-se os valores utilizados de resistência e capacitância de junção (R_j e C_j, respectivamente), da tensão de alimentação e dos outros parâmetros usados na implementação deste modelo para operação em temperatura ambiente.

Tabela 2.1: Parâmetros de simulação da porta NÃO-E em 300 K

Parâmetro	**Valor**
R_j	$1\ M\Omega$
C_j	$1 \cdot 10^{-21}\ F$
C_{in}	$2 \cdot 10^{-18}\ F$
C_g	$1,5 \cdot 10^{-19}\ F$
C_L	$2,5 \cdot 10^{-19}\ F$
V_{dd}	$0,5\ V$
V_3	$0\ V$

A forma de onda na saída dessa estrutura pode ser observada na figura 2.7, resultado da simulação considerando na entrada o valor de 0 mV referente ao nível lógico 0 e 500 mV referente ao nível lógico 1. A saída é 0 somente quando as duas entradas estão em 1. Além disso, também é possível verificar o período de condução de cada transistor, por meio das correntes I1 e I2 ilustradas.

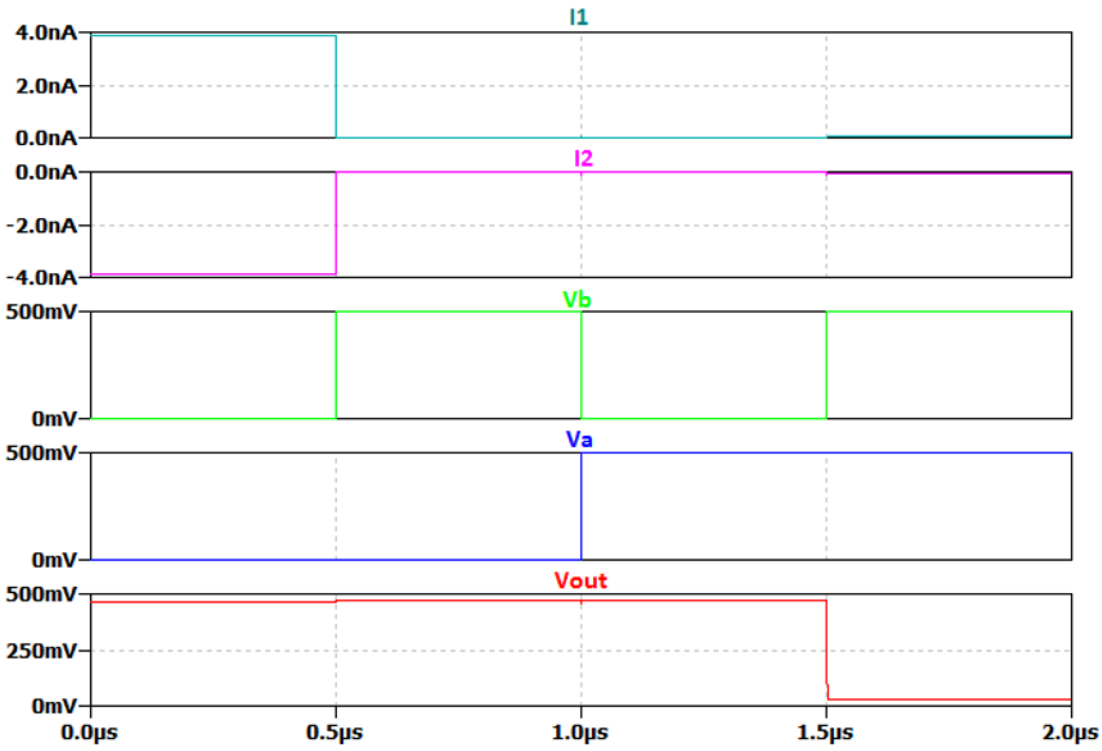

Figura 2.7: Simulação da porta NÃO-E

2.9 MULTIPLICAÇÃO BINÁRIA

Na multiplicação binária, dois números binários são multiplicados seguindo as mesmas regras da multiplicação com números decimais. O multiplicando é multiplicado por cada bit do multiplicador, a partir do bit menos significativo. Cada resultado intermediário é denominado produto parcial. Para obter o resultado final, deve-se somar os produtos parciais deslocados sucessivamente em um bit à esquerda. Este processo está exemplificado na figura 2.8 para uma operação com números decimais e binários [10].

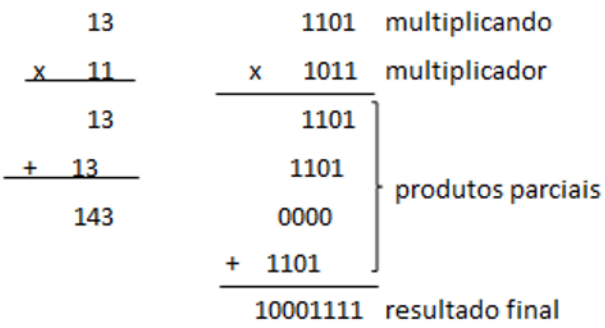

Figura 2.8: Exemplos de multiplicação [1]

Para facilitar a implementação, são feitas algumas alterações em relação ao processo descrito anteriormente. Os produtos parciais são somados dois a dois e armazenados como um resultado parcial após cada adição. Este resultado parcial só se altera quando o bit do multiplicador for 1, visto que uma soma com sequência de zeros não produz mudança em seu valor. Após cada operação, o resultado parcial é deslocado

um bit para a direita, de modo que o bit menos significativo de cada resultado parcial é armazenado diretamente como parte do resultado final da multiplicação. O processo com estas alterações está ilustrado na figura 2.9.

1101	multiplicando
1011	multiplicador
0000	valor inicial do produto parcial
1101	soma o multiplicando, pois o primeiro bit do multiplicador é 1
1101	primeiro resultado parcial
01101	desloca o resultado para a direita
1101	soma o multiplicando, pois o segundo bit do multiplicador é 1
100111	segundo resultado parcial
100111	desloca o resultado para a direita
0100111	só desloca o resultado para a direita, pois o bit do multiplicador é 0
1101	soma o multiplicando, pois o bit do multiplicador é 1
10001111	terceiro resultado parcial
10001111	desloca o resultado para a direita – resultado final

Figura 2.9: Processo da multiplicação binária [1]

Após inicializar o valor do produto parcial em zero, deve-se analisar o bit menos significativo do multiplicador. Caso seja 1, deve-se somar o valor do multiplicando ao resultado parcial.Caso contrário, o resultado parcial referente permanece inalterado. Após este processo, o valor armazenado no resultado parcial é deslocado em um bit para a direita. A análise é prosseguida para todos os bits do multiplicador para que a operação da multiplicação seja concluída.

O circuito proposto capaz de realizar a multiplicação da maneira descrita é composto de uma estrutura de fluxo de dados e uma unidade de controle. A unidade de controle determina a ação que deve ser efetuada pela unidade de fluxo de dados a cada multiplicação por um bit do multiplicador, ou seja, a cada ciclo.

O circuito do fluxo de dados, considerando multiplicando e multiplicador de n bits, contém três registradores (sendo dois registradores-deslocadores) com entradas e saídas de n bits cada, um somador paralelo, com entrada de $2n$ bits e saída de n bits, e um flip-flop, conforme representado na figura 2.10.

O registrador B carrega os bits do multiplicando e o registrador-deslocador Q, do multiplicador. O somador realiza a soma do multiplicando com os resultados parciais deslocados. Caso haja *carry-out* no somador, o flip-flop C recebe esse valor. O registrador-deslocador A armazena os resultados parciais da multiplicação.

No circuito da unidade de controle, além do bloco denominado unidade de controle em si, é necessário um contador decrescente e um detector de zero, conforme diagrama de blocos da figura 2.11.

O contador decrescente P determina quantos ciclos o circuito realizará. São necessários n ciclos, considerando multiplicando e multiplicador de n bits. O detector de zero determina o fim da operação do circuito quando o contador finalizar a contagem.

Ao conectar a estrutura de fluxo de dados e da unidade de controle, o circuito do multiplicador binário torna-se completo. Um diagrama ASM (*Algorithmic State Machine*) representativo do seu funcionamento é mostrado na figura 2.12. Os estados do circuito são representados pelos elementos vermelhos, as decisões pelos elementos azuis, e as operações, pelos verdes.

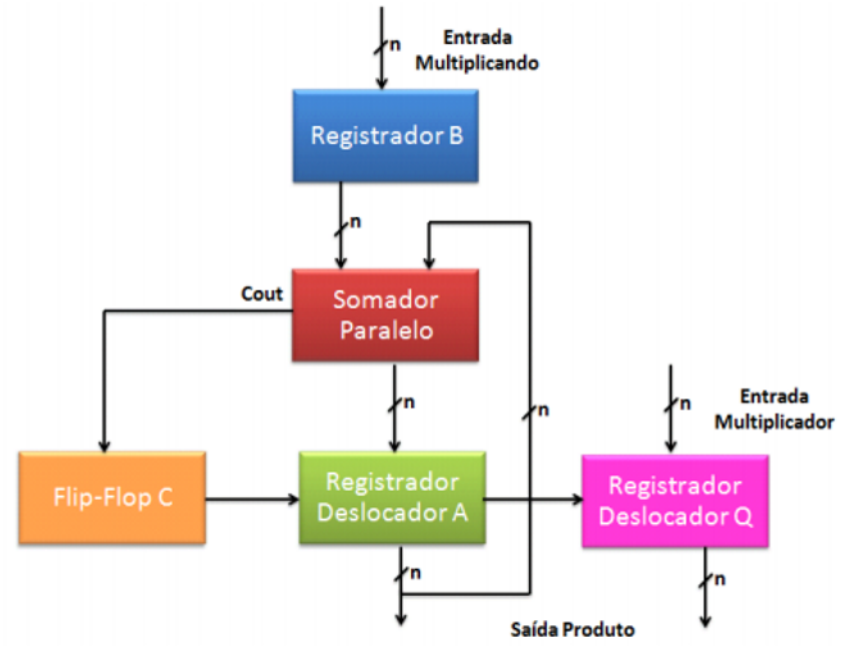

Figura 2.10: Diagrama de blocos do circuito de fluxo de dados [1]

Figura 2.11: Diagrama de blocos do circuito da unidade de controle [1]

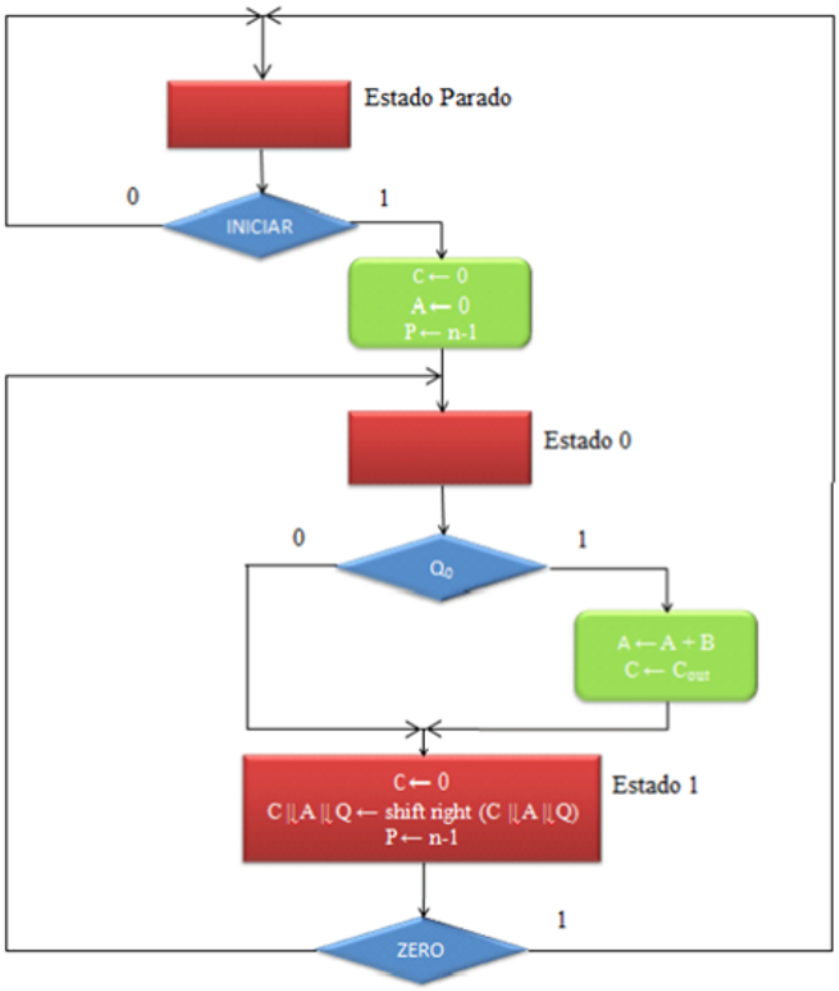

Figura 2.12: Diagrama ASM do projeto do multiplicador binário [1]

No estado PARADO, o circuito fica em espera, antes do começo da multiplicação ou após o seu término. O Estado 0 indica que um ciclo da multiplicação se iniciará. Já o Estado 1 indica que o circuito concluiu as operações necessárias, ao final do ciclo.

A variável de decisão INICIAR determina o começo da multiplicação, enquanto que a variável ZERO determina o fim do processo. A variável Q_0 corresponde ao bit menos significativo armazenado no registrador-deslocador Q. Dependendo do valor atual desta variável, diferentes operações são efetuadas.

No diagrama ASM, estão representadas as seguintes etapas:

I- Inicialização do circuito: carrega-se o contador com o valor n-1, o registrador B com os bits do multiplicando e o registrador-deslocador Q com os bits do multiplicador.

II- Enquanto o contador não atingir o 0, as próximas etapas são efetuadas.

III- Análise de Q_0 (bit do multiplicador): quando Q_0 for igual a 1, soma-se o multiplicando ao resultado parcial. O somador paralelo soma o valor armazenado no registrador B com o valor armazenado no registrador-deslocador A. O resultado dessa soma substitui o valor contido em A e no flip-flop C, caso haja carry-out do somador. Quando Q_0 for igual a 0, nenhuma operação é efetuada nessa etapa.

IV- Deslocamento: em A e em Q ocorre a operação de deslocamento para a direita. O valor de Q_0 anteriormente avaliado é descartado para que o bit seguinte do multiplicador possa ser analisado. Além disso, o bit menos significativo de A toma a posição mais significativa de Q e o valor contido em C passa para a posição mais significativa de A.

V- Quando todos os bits do multiplicador tiverem sidos processados (ao final de n ciclos), Q terá armazenado os n bits menos significativos do resultado final, recebidos de A em cada ciclo. Já os n bits mais significativos terão sido armazenados em A.

As variáveis de decisão indicadas no diagrama da figura 2.12 correspondem às variáveis de entrada da unidade de controle. A partir delas, são geradas as variáveis de saída, isto é, os sinais de controle do fluxo de dados. O circuito da unidade de controle é mostrado na figura 2.13.

Os sinais de controle resultantes são INICIALIZAR, LOAD e SHIFT. O INICIALIZAR habilita todas as entradas do circuito. O sinal LOAD carrega um novo valor no registrador A e no flip-flop C, quando isso for necessário em função do valor de Q_0. O sinal SHIFT está relacionado aos deslocamentos.

A figura 2.14 apresenta a estrutura geral do multiplicador, evidenciando a conexão entre o circuito de fluxo de dados e a unidade de controle.

2.10 MULTIPLICADOR BINÁRIO EM TECNOLOGIA SET

O multiplicador binário proposto é sequencial, ou seja, utiliza circuitos compostos por elementos de memória em sua estrutura. Os blocos desse multiplicador foram anteriormente estudados para um multiplicador de 4 bits [1], com o objetivo de averiguar suas funcionalidades em temperatura ambiente. Foi feita uma avaliação em termos de tensões de entrada e saída e de estabilidade dos circuitos operando a 300 K, utilizando o *software* SIMON, com auxílio de sripts construídos no MATLAB. Entretanto, nenhuma

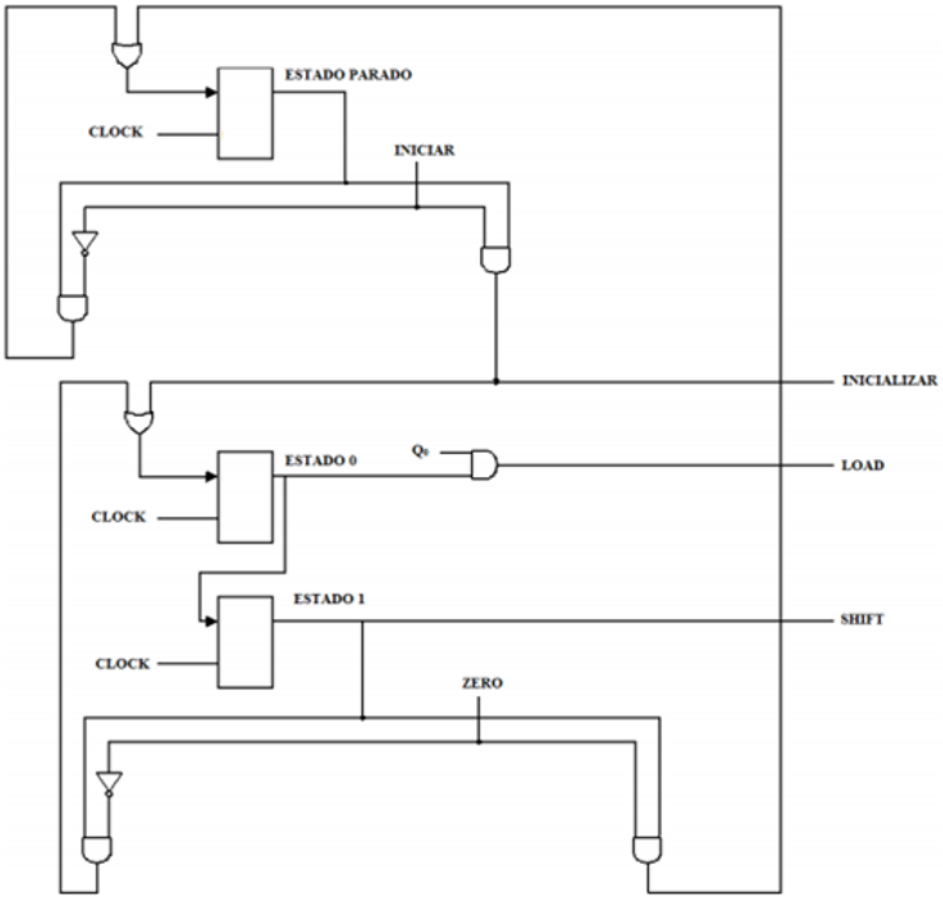

Figura 2.13: Circuito da unidade de controle [1]

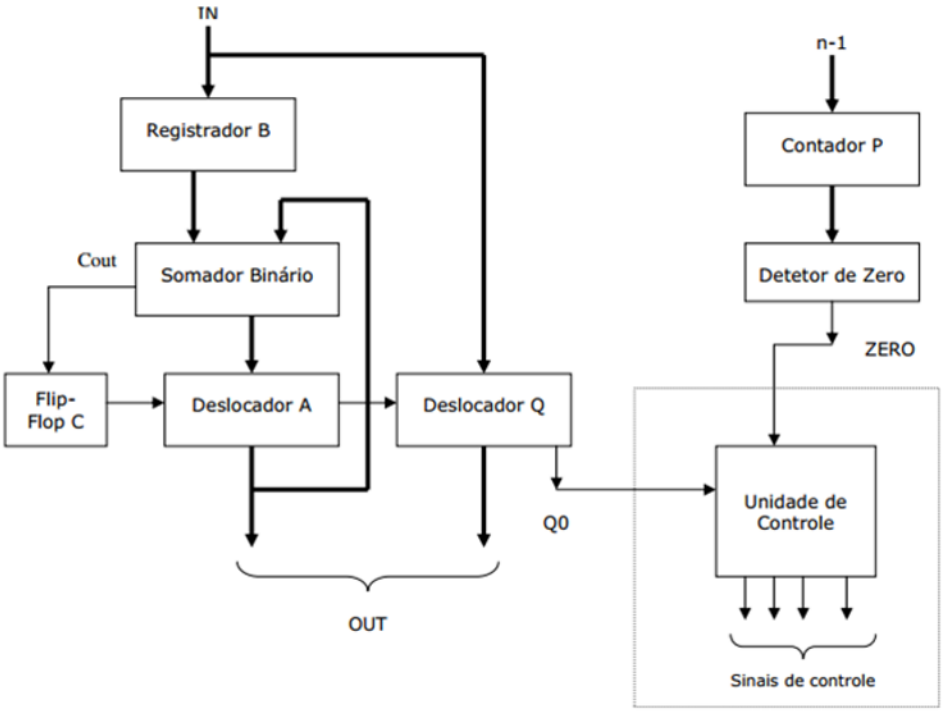

Figura 2.14: Estrutura geral do multiplicador binário [11]

simulação com intuito de avaliar o desempenho dinâmico do circuito foi realizada.

A porta NÃO-E [6] mostrou-se estável e com margem de ruído baixa para operação em temperatura ambiente.

Apesar da existência de algumas propostas nanoeletrônicas de flip-flop D, nenhuma delas mostrou resultado satisfatório em temperatura ambiente. Por isso, optou-se por utilizar um modelo em tecnologia convencional [12], substituindo os dispositivos MOS pela porta NÃO-E em tecnologia mono-elétron apresentada. Essa arquitetura de flip-flop apresentou funcionamento correto e apesar da presença de certo ruído na saída, o circuito operava em uma região de estabilidade.

O somador completo proposto já havia sido implementado em tecnologia mono-elétron [13]. A simulação desse circuito à 300 K mostrou funcionamento correto, mas com grande quantidade de ruído na saída, em função das flutuações térmicas. A sua operação se dava na área de maior estabilidade possível.

Para implementar o registrador-deslocador, novamente foi adotado um modelo em tecnologia convencional [12], com substituição das estruturas pelas portas NÃO-E e pelo flip-flop D nanoeletrônicos, devido à ausência de propostas em tecnologia mono-elétron na literatura. Foi constatado um funcionamento adequado do circuito quando este atuava tanto como registrador como deslocador, em temperatura ambiente. Apesar do perceptível nível de ruído, a visualização do resultado correto não foi impossibilitada. Em ambos os casos, os circuitos operavam em regiões estáveis.

Considerando o projeto para o multiplicador de 4 bits, utilizou-se um contador de 3 bits. Sua implementação se deu a partir de flip-flops T [12], ou seja, flip-flops D em que a entrada é conectada à saída invertida do flip-flop. O contador decrescente realizou corretamente a contagem.

Uma porta NÃO-OU foi usada como detector de zero, visto que a saída dessa porta só é 1 quando as duas entradas são 0 [12]. Para implementá-la, utilizou-se somente as portas NÃO-E propostas. O circuito funcionou de acordo com o esperado e mostrou-se estável em sua região de operação.

Por fim, a unidade de controle foi simulada de acordo com o projeto (Figura 2.13), juntamente com o contador e o detector de zero. A estrutura também funcionou corretamente e em região estável, como todos os circuitos analisados.

2.11 MODELO SPICE PARA O TRANSISTOR MONO-ELÉTRON

O modelo SPICE utilizado para as análises nesse trabalho foi proposto em [2]. O circuito contém dois terminais de porta acoplados a ilha. Uma fonte de tensão é conectada a cada eletrodo (fonte, dreno e os dois terminais de porta). Além disso, uma capacitância parasita C_0 está incluída. A figura 2.15 apresenta a estrutura do transistor.

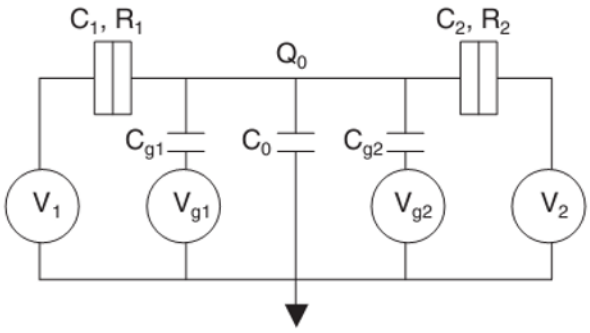

Figura 2.15: Modelo do transistor mono-elétron no SPICE [2]

O modelo não se limita a transistores mono-elétron com junções-túnel com mesmo valor de resistência. Também é possível utilizar tensões de porta mais elevadas, assim como incluir um número arbitrário de estados de carga, permitindo simulações para altas temperaturas e tensões de polarização. O tempo de simulação observado varia linearmente com o número de estados de carga.

Para transistores operando em temperatura elevada, a impedância de saída normalmente é muito maior que R_K (equação 2.1). Quanto maior a impedância de saída, mais devagar é a resposta do circuito.

Este modelo não considera eventos de co-tunelamento, ou seja, situações em que mais de um elétron tunela através de junções-túnel diferentes ao mesmo tempo. Além disso, a quantização da carga é desconsiderada nas regiões da fonte e do dreno, pois as capacitâncias destes eletrodos são suficientemente altas.

A proposta apresentada também pode ser usada em simulações em que os transistores mono-elétron são combinados com outros elementos de circuito.

3 METODOLOGIA E RESULTADOS

3.1 METODOLOGIA

Nesta seção, serão apresentadas as etapas realizadas para validar o funcionamento de cada célula digital componente do multiplicador binário e, posteriormente, analisar o comportamento dinâmico dos blocos da estrutura.

3.1.1 Estratégias

A etapa inicial do trabalho consiste em testar o funcionamento individual dos blocos que fazem parte da estrutura de um multiplicador binário (figuras 2.10 e 2.11). Cada célula digital é adaptada para compor um multiplicador de números binários de 2 bits, tomando por base um projeto de multiplicador proposto com elementos de lógica sequencial [1].

Após validação do funcionamento, procede-se à avaliação dinâmica dos circuitos separadamente. Será analisado o atraso de propagação inerente a cada um deles. Para isso, será estabelecida uma frequência padrão de operação para todos os blocos. Tal frequência será identificada por meio de simulações em diferentes frequências, multiplicando-a por 10 a partir de 1 MHz. O maior valor de frequência possível em comum entre todos os circuitos, que assegura um bom funcionamento destes, será usado como padrão para a análise dinâmica. As simulações serão todas realizadas no *software* LTSPICE.

Em uma segunda etapa, será analisada a possibilidade de integração dos blocos estudados para a implementação do multiplicador binário. As limitações do modelo SET utilizado [2] devem ser levadas em consideração. Também será estabelecida uma comparação de desempenho entre a estrutura montada em tecnologia convencional MOS e a baseada em tecnologia SET.

O fluxograma da figura 3.1 resume os procedimentos que serão adotados para desenvolver a análise dinâmica das células digitais do multiplicador.

3.2 RESULTADOS E ANÁLISES

Os resultados das simulações realizadas no LTSPICE serão mostrados nesta seção. A análise dinâmica se dará em partes, a partir da determinação do tempo de atraso referente a cada circuito. Para o transistor mono-elétron utilizado [2], a temperatura assumida foi de 300 K. A frequência padrão estabelecida para o cálculo do tempo de atraso dos blocos foi de 1 MHz, por ser a frequência máxima possível de funcionamento em comum entre todos os circuitos, identificada após simulações em diferentes frequências.

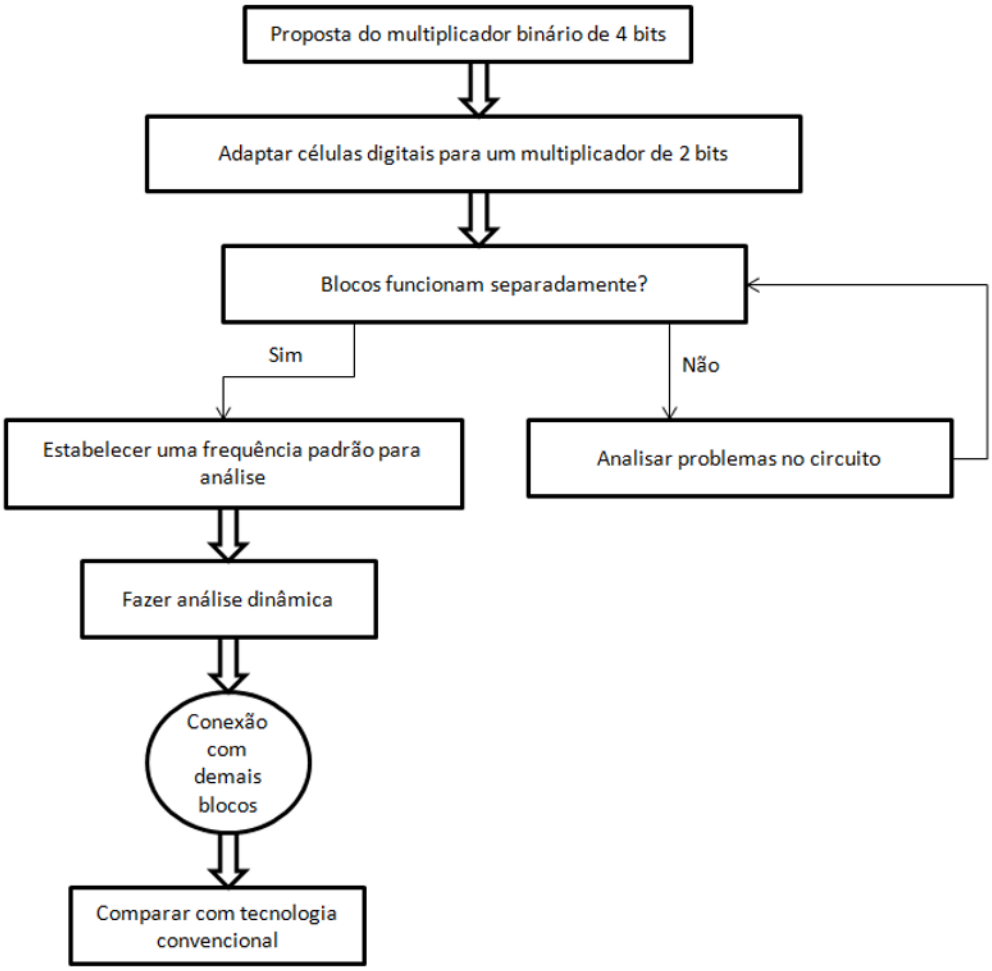

Figura 3.1: Fluxograma da metodologia utilizada

3.2.1 Porta NÃO-E

A porta NÃO-E foi simulada de acordo com o modelo da figura 2.6, utilizando os valores da tabela 2.1 para os parâmetros do circuito.

As formas de onda de saída obtidas (figura 2.7) foram condizentes com o esperado, conforme tabela-verdade 3.1.

Tabela 3.1: Tabela-verdade da porta NÃO-E

Entradas		Saída
V_a	V_b	V_{out}
0	0	1
0	1	1
1	0	1
1	1	0

O tempo de atraso de propagação t_P foi calculado seguindo o mesmo conceito usado para circuitos CMOS, conforme ilustrado na figura 3.2. [12]

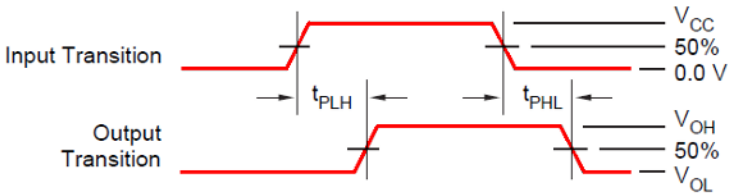

Figura 3.2: Atraso de propagação [12]

Os valores de tensão correspondentes ao nível alto (1) e baixo (0) do sinal de entrada são, respectivamente, V_{cc} (tensão de alimentação= 0,5 V) e 0 V. V_{OH} é o valor de tensão de saída correspondente ao nível alto, e V_{OL} é o valor de tensão de saída associado ao nível baixo. O tempo de atraso de propagação corresponde ao intervalo de tempo entre o instante em que a entrada atinge 50% do valor (V_{cc} - 0) e o instante de tempo em que a saída atinge 50% do valor (V_{OH} - V_{OL}). Se a transição for do nível lógico baixo para o alto, trata-se do tempo de atraso de subida (t_{PLH}). Caso seja do nível lógico alto para o baixo, trata-se do tempo de atraso de descida (t_{PHL}). Para fins de comparação, será considerado o tempo de atraso médio (t_P) entre esses dois valores, referente a cada saída do circuito.

A tabela 3.2 mostra os valores dos tempos de atraso t_{PLH}, t_{PHL} e t_P obtidos para a forma de onda da porta NÃO-E (figura 2.7).

Tabela 3.2: Valores de tempo de atraso para a porta NÃO-E

Saída	t_{PLH}	t_{PHL}	t_P
V_{out}	1,2 ns	0,7 ns	0,95 ns

A porta NÃO-E é capaz de operar em frequências maiores, até 1 GHz. Quanto maior a frequência, maior o tempo de atraso verificado. Isso está ilustrado nas formas de onda obtidas para a simulação em 1

MHz e em 1 GHz, em anexo (figuras II.1 e II.2).

3.2.2 Flip-Flop D

Para simular o flip-flop D, utilizou-se uma arquitetura proposta em tecnologia MOS [12], porém com a substituição das portas NÃO-E convencionais por NÃO-E nanoeletrônicas [6]. Na figura 3.3, está ilustrado o circuito simulado.

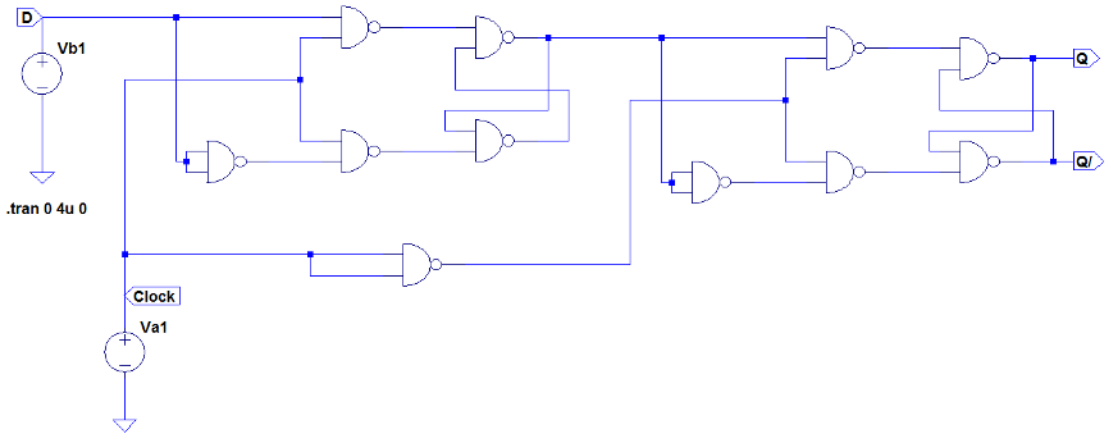

Figura 3.3: Esquemático do flip-flop D implementado

O flip-flop D implementado é disparado pela borda de descida do sinal *Clock*. Assim, os valores esperados para a saída desse circuito estão indicados na tabela 3.3.

Tabela 3.3: Tabela-verdade do flip-flop D

Entradas		Saídas	
D	***Clock***	***Q***	***Q/***
0	↓	0	1
1	↓	1	0
x	0	Q_{t-1}	$Q/_{t-1}$
x	1	Q_{t-1}	$Q/_{t-1}$

O resultado da simulação desse bloco está apresentado na figura 3.4.

Como esperado, o flip-flop carregou os valores da entrada na saída somente na descida do *Clock*, mantendo a saída anterior quando o *Clock* valia 0 ou 1.

Na tabela 3.4, estão apresentados os tempos de atraso referentes às saídas do flip-flop D, com frequência de operação de 1 MHz.

O flip-flop não foi capaz de operar em frequências maiores. A maior frequência alcançada foi de 10 MHz. Isso pode ser resultado das próprias limitações do modelo do transistor utilizado [2] e será analisado posteriormente (seção 4.10).

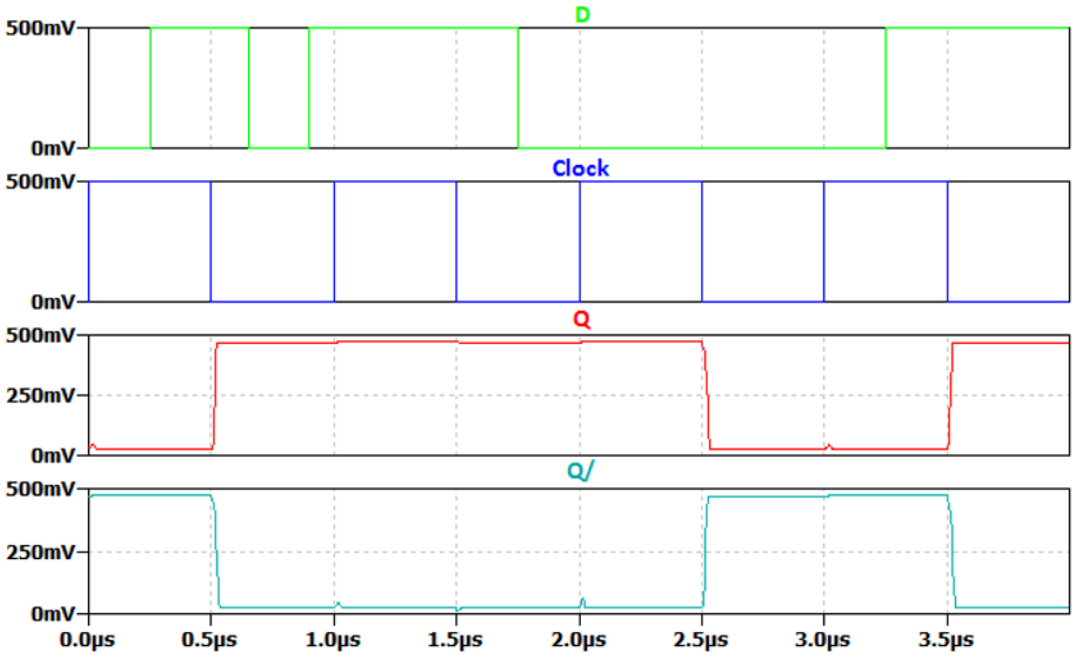

Figura 3.4: Simulação do flip-flop D

Tabela 3.4: Valores de tempo de atraso para o flip-flop

Saída	t_{PLH}	t_{PHL}	t_P
Q	15,4 ns	22,08 ns	18,74 ns
Q/	15,4 ns	22,16 ns	18,78 ns
Média			18,76 ns

3.2.3 Somador

Conforme apresentado no diagrama de blocos do circuito de fluxo de dados (figura 2.10), é necessário um somador com entrada de $2n$ bits para implementar o multiplicador binário de n bits . Então, para o projeto do multiplicador de 2 bits, deve-se utilizar um somador com entrada para 4 bits, isto é, um somador de 2 bits. Sabendo que um somador de n bits pode ser obtido a partir da conexão de n somadores completos [12], será analisado primeiro um somador completo e posteriormente sua conexão para compor o somador de 2 bits, como ilustrado na figura 3.5.

3.2.3.1 Somador completo

A arquitetura do somador utilizada neste trabalho já havia sido implementada anteriormente em tecnologia mono-elétron [13]. O circuito simulado está apresentado na figura 3.6.

As três entradas A, B e C_{in} são somadas, resultando nos valores de saída S e C_{out}. Este representa o *carry-out* da operação. Os valores esperados para o somador são mostrados na tabela 3.5.

O resultado da simulação mostrou o correto funcionamento do somador mono-elétron. Todas as com-

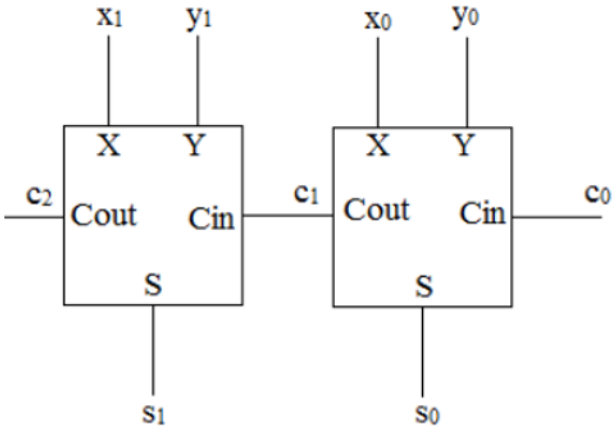

Figura 3.5: Somador de 2 bits com 2 somadores completos [1]

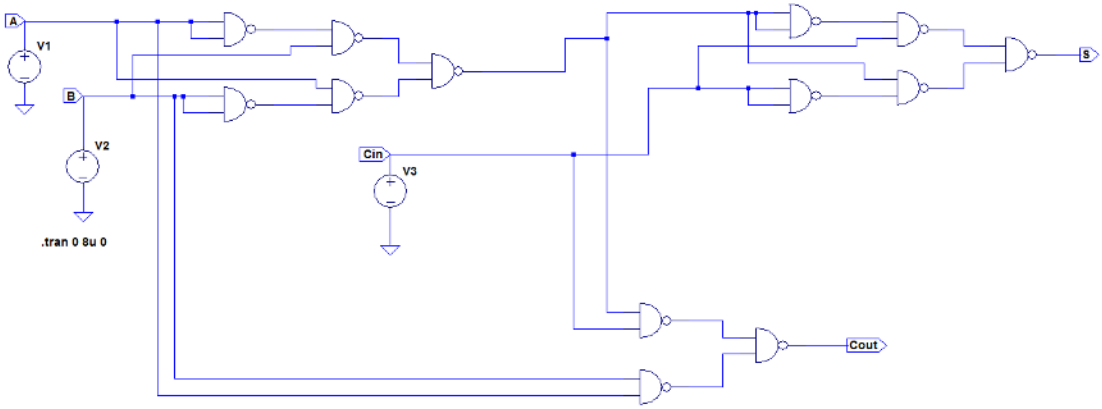

Figura 3.6: Esquemático do somador completo implementado

Tabela 3.5: Tabela-verdade do somador completo

Entradas			Saídas	
C_{in}	A	B	S	C_{out}
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

binações da entrada foram testadas, conforme ilustrado na figura 3.7.

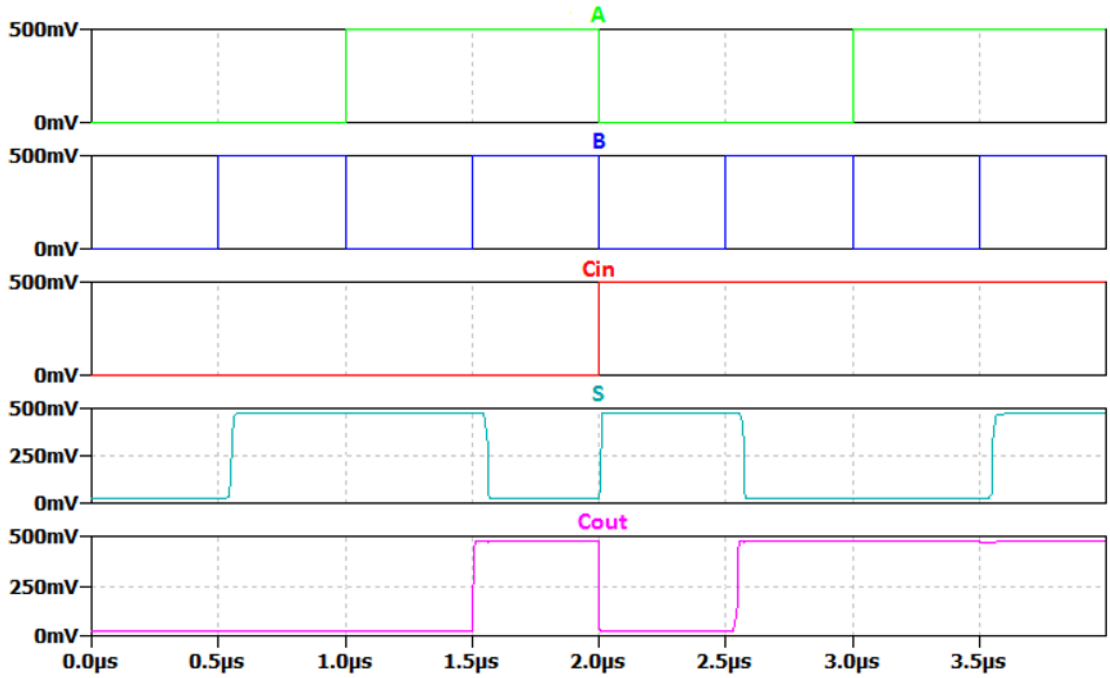

Figura 3.7: Simulação do somador completo

Os tempos de atraso referentes ao somador estão expostos na tabela 3.6. Na frequência padrão de 1 MHz estabelecida, o atraso de propagação obtido foi maior comparado ao flip-flop.

Tabela 3.6: Valores de tempo de atraso para o somador completo

Saída	t_{PLH}	t_{PHL}	t_P
S	8,41 ns	63,04 ns	35,73 ns
C_{out}	6,18 ns	0,61 ns	3,40 ns
Média			19,56 ns

Este circuito não foi capaz de operar em frequências maiores do que 1 MHz, o que torna-se um obstá-

culo à operação do multiplicador binário em altas frequências.

3.2.3.2 Somador de 2 bits

Para simular o somador de 2 bits, foram conectados 2 somadores completos em cascata, conforme indicado na figura 3.5.

As cinco entradas do circuito são os dois bits do primeiro número a ser somado (X_0 e X_1), os dois bits do segundo número da soma (Y_0 e Y_1) e o *carry-in* C_{in}, que permite o cascateamento dos somadores. Como resultado, são exibidas três saídas: S_0, S_1 e o *carry-out* C_{out}. Um exemplo da operação da soma de 2 bits está ilustrado na figura 3.8.

$$\begin{array}{rrr} & \boxed{c_1} & \boxed{c_0} \\ + & X_1 & X_0 \\ & Y_1 & Y_0 \\ \hline c_2 & S_1 & S_0 \end{array} \qquad \begin{array}{rrr} & \boxed{1} & \boxed{0} \\ + & 0 & 1 \\ & 1 & 1 \\ \hline 1 & 0 & 0 \end{array}$$

Figura 3.8: Exemplo de soma de números binários de 2 bits

Foram testadas as combinações apresentadas na tabela 3.7. Na figura 3.9, estão mostradas as formas de onda das entradas do circuito. Já na figura 3.10, encontram-se os valores obtidos para a saída.

Tabela 3.7: Tabela-verdade do somador de 2 bits

Entradas					Saídas		
C0	***X0***	***Y0***	***X1***	***Y1***	***S0***	***S1***	***c2***
1	0	0	0	0	1	0	0
1	0	1	0	0	0	1	0
1	0	0	0	1	1	1	0
0	0	1	0	1	1	1	0
0	1	1	0	0	0	1	0
0	1	0	0	1	1	1	0
0	1	1	0	1	0	0	1
0	0	0	1	1	0	0	1
0	0	1	1	1	1	0	1
0	1	1	1	1	0	1	1

O resultado da simulação indicou que a estrutura funciona corretamente. Alguns picos de tensão ocorreram nos momentos de transição das entradas, mas isto não impediu a identificação dos valores da saída concordantes com o esperado. Uma redução do parâmetro *timestep* do LTSPICE deve reduzir tais picos, mas isso implica em um excessivo aumento do tempo de simulação, inviabilizando a realização desta.

Na tabela 3.8, estão os valores de tempo de atraso.

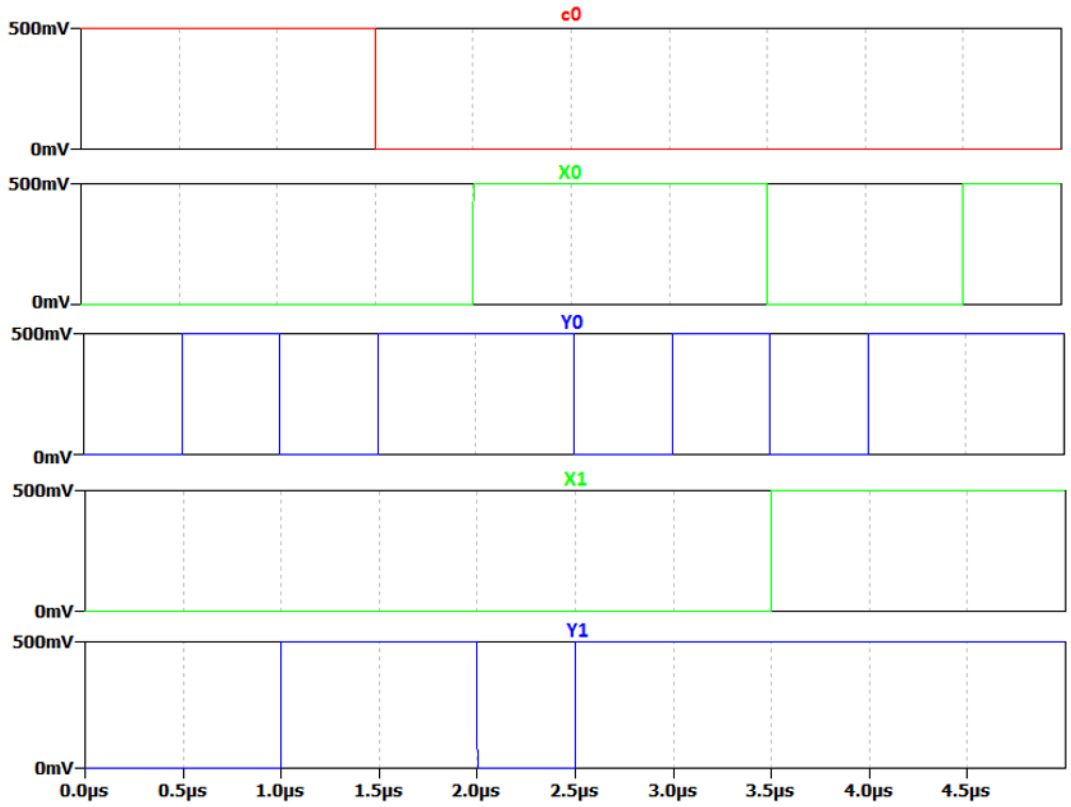

Figura 3.9: Simulação do somador de 2 bits - Sinais de entrada

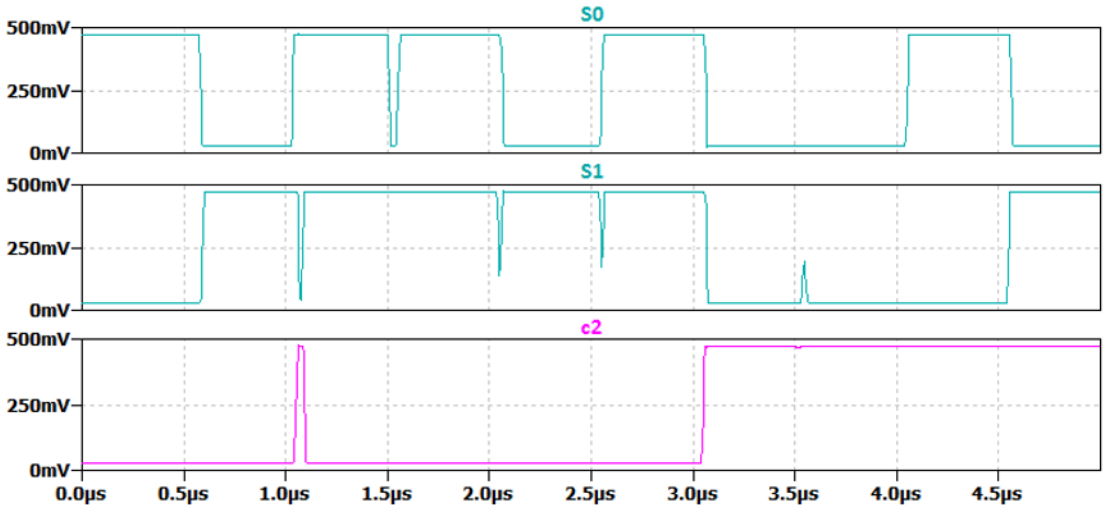

Figura 3.10: Simulação do somador completo - Sinais de saída

Tabela 3.8: Valores de tempo de atraso para o somador de 2 bits

Saída	t_{PLH}	t_{PHL}	t_P
S_0	35,91 ns	64,30 ns	50,11 ns
S_1	43,60 ns	18,40 ns	31,00 ns
c_2	3,27 ns	53,19 ns	28,23 ns
Média			36,45 ns

3.2.4 Registrador-deslocador

Na arquitetura do multiplicador, o registrador-deslocador é usado para armazenar n bits. Assim, é necessário utilizar dois flip-flops em sua estrutura. O registrador-deslocador utilizado foi proposto em tecnologia convencional [12] e depois adaptado para conter apenas portas NÃO-E. Desse modo, obteve-se o circuito implementado, conforme ilustrado na figura 3.11.

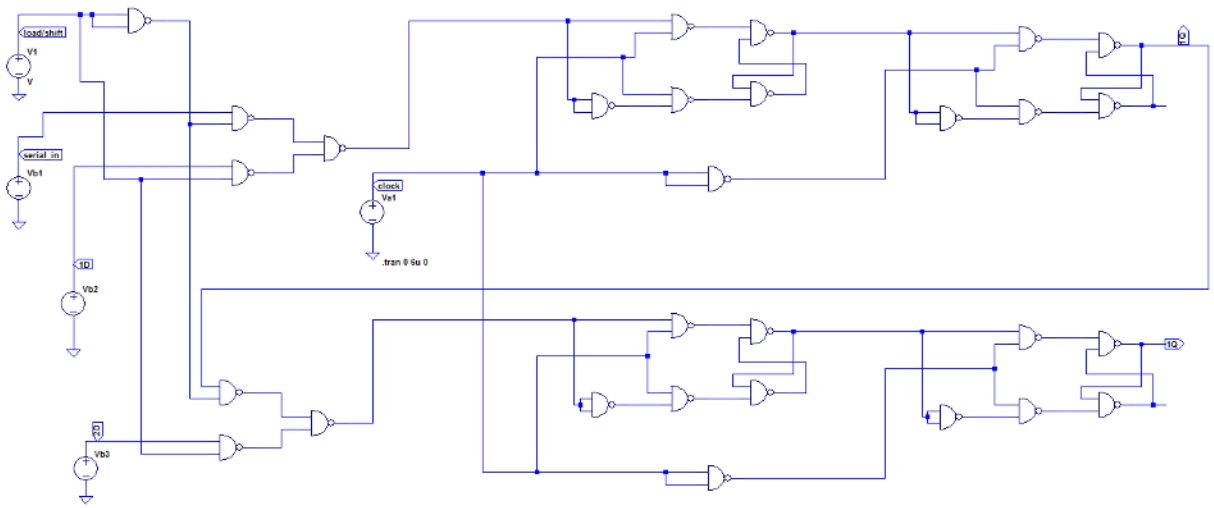

Figura 3.11: Esquemático do registrador implementado

Os sinais de entrada 1D e 2D correspondem às entradas paralelas do registrador. A entrada serial é o sinal *Serial in*. O sinal *load/shift* define o modo de funcionamento da arquitetura. Se *load/shift* for 1, o circuito funcionará como registrador. Caso seja 0, como deslocador. Os sinais 1Q e 2Q são as saídas paralelas.

3.2.4.1 Registrador

Para simular o registrador, carregou-se o valor 1 na entrada *load/shift*, conforme esquemático da figura 3.11. Ao aplicar um sinal nas entradas 1D e 2D, foi obtido o resultado mostrado da figura 3.12.

A resposta obtida está compatível com o esperado, pois, atuando como um registrador, o circuito deve carregar os valores das entradas paralelas 1D e 2D nas saídas 1Q e 2Q, respectivamente, na descida do clock. Observando as formas de onda das saídas (figura 3.12), percebe-se que isto ocorreu.

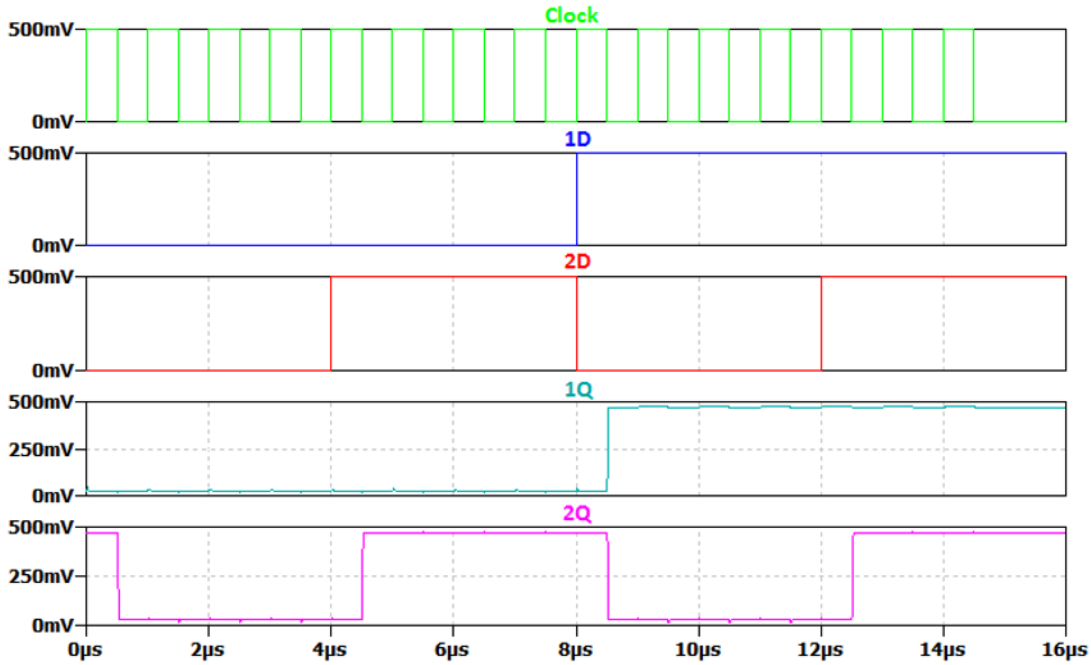

Figura 3.12: Simulação do registrador

Na tabela 3.9, estão relacionados os valores de tempo de atraso obtidos.

Tabela 3.9: Valores de tempo de atraso para o registrador

Saída	t_{PLH}	t_{PHL}	t_P
1Q	29,64 ns	20,89 ns	25,27 ns
2Q	15,50 ns	22,26 ns	18,88 ns
Média			22,08 ns

A maior frequência de operação alcançada por esta estrutura foi 10 MHz.

3.2.4.2 Deslocador

Ao carregar o valor 0 na entrada *load/shift*, o circuito da figura 3.11 passa a atuar como deslocador, transferindo o sinal da entrada *Serial in* para as saídas paralelas a cada período do *Clock*. Dessa forma, para efetuar a simulação da estrutura, foi aplicado um sinal na entrada *Serial in*. O resultado está apresentado na figura 3.13.

Foi comprovado que o deslocador opera adequadamente, uma vez que a cada descida do sinal *Clock* o sinal carregado na entrada serial da estrutura foi sucessivamente deslocado para as saídas paralelas.

Os tempos de atraso obtidos para este bloco estão expostos na tabela 3.10.

Verifica-se que o tempo de atraso do deslocador está próximo ao do registrador (tabela 3.9), o que já era esperado, visto que trata-se do mesmo esquemático apenas com alteração de alguns parâmetros. A frequência máxima observada neste caso também foi de 10 MHz.

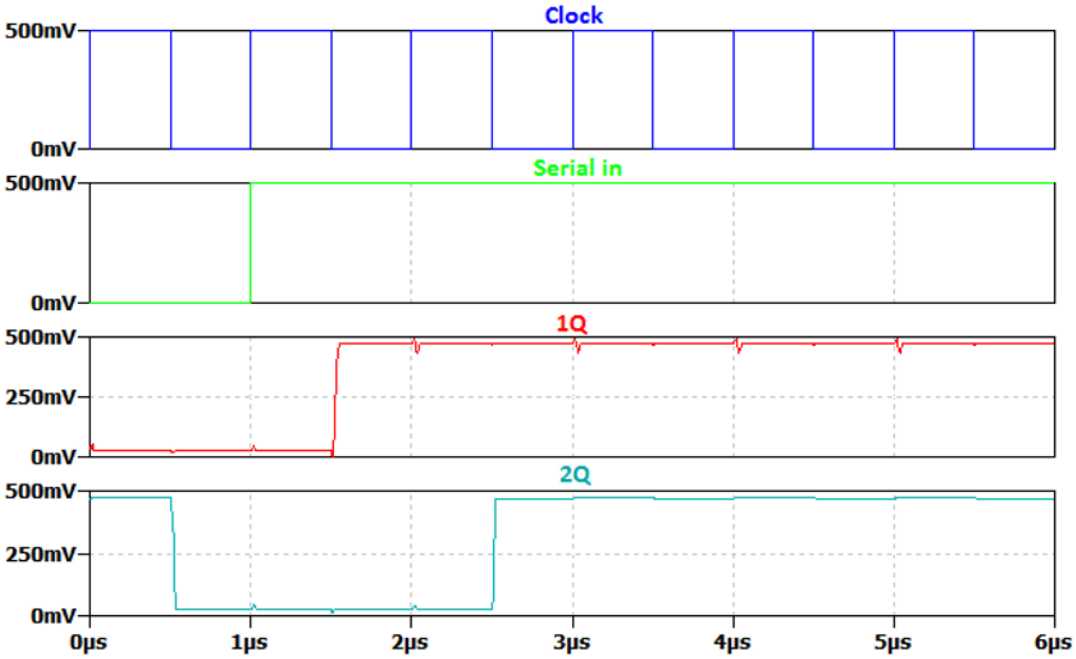

Figura 3.13: Simulação do deslocador

Tabela 3.10: Valores de tempo de atraso para o deslocador

Saída	t_{PLH}	t_{PHL}	t_P
1Q	28,62 ns	19,74 ns	24,18 ns
2Q	15,12 ns	21,10 ns	18,11 ns
Média			21,15 ns

3.2.5 Contador

O contador decrescente faz parte do circuito de controle do multiplicador, como visto no diagrama de blocos da figura 2.11. Esta estrutura determina quantos ciclos são requeridos para efetuar a multiplicação binária.

Para o multiplicador de 2 bits deve-se utilizar um contador que realize a contagem de 1 a 0, pois só há necessidade de 2 ciclos no processo. Este circuito é facilmente implementado com apenas um flip-flop D. Basta, para isso, conectar a saída invertida Q/ do flip-flop à entrada D, transformando-o em um flip-flop tipo T. Este esquema de montagem está ilustrado na figura 3.14.

Os valores esperados, em função do *Clock*, estão listados na tabela 3.11.

Tabela 3.11: Tabela-verdade do contador decrescente

Ciclo do clock	Q
1º	1
2º	0

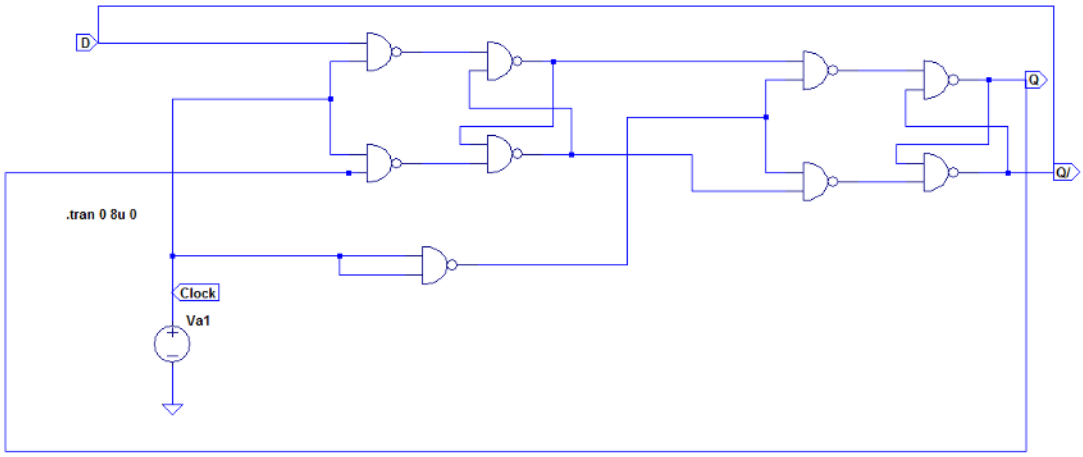

Figura 3.14: Esquemático do contador implementado

A simulação transcorreu como esperado. O circuito começou a contagem a partir do nível lógico 1, passando para 0 no ciclo seguinte do *Clock*, como pode-se observar na figura 3.15.

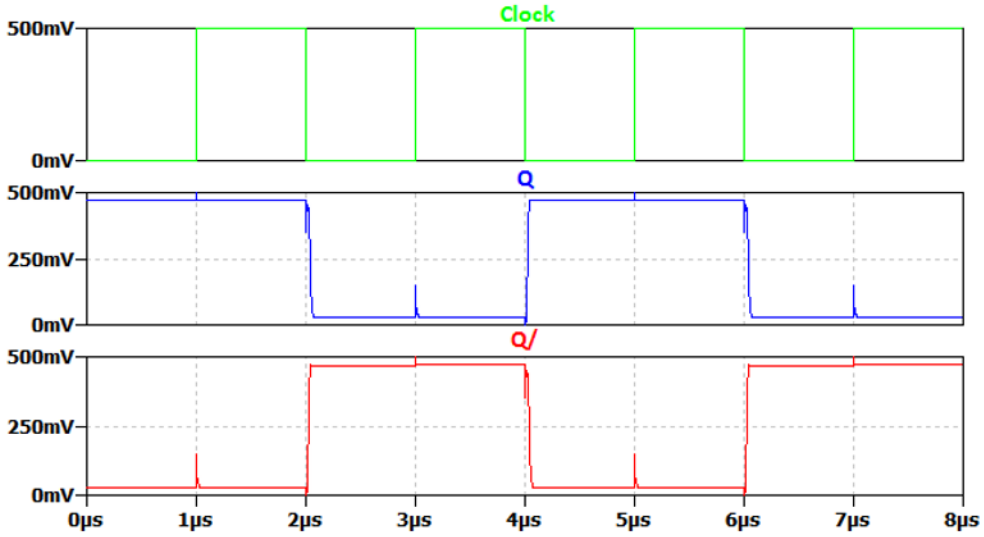

Figura 3.15: Simulação do contador

O tempo de atraso médio obtido foi de 32,3 ns. Na tabela 3.12, estão os tempos de atraso de subida e descida, além do tempo médio.

Tabela 3.12: Valores de tempo de atraso para o contador

Saída	t_{PLH}	t_{PHL}	t_P
Q	23,73 ns	40,86 ns	32,30 ns

3.2.6 Detector de zero

Para detectar o momento em que o contador finaliza a sua contagem, é necessário um circuito detector de zero. Por se tratar de um multiplicador de 2 bits, com um contador de 1 bit, basta utilizar um inversor implementado com a porta NÃO-E nanoeletrônica proposta (figura 3.16). Como a saída do inversor é 1 quando a entrada for 0, esta porta será capaz de detectar o fim da contagem. Esta estrutura já foi implementada com sucesso nos circuitos anteriores, e os tempos de atraso inerentes a ela são apresentados na tabela 3.13.

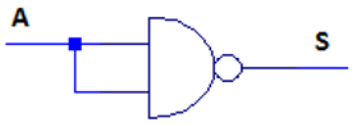

Figura 3.16: Inversora

Tabela 3.13: Valores de tempo de atraso para a inversora

Saída	t_{PLH}	t_{PHL}	t_P
S	0,21 ns	3,93 ns	2,07 ns

3.2.7 Unidade de controle

A simulação da unidade de controle mostrou-se inviável. Além do tempo de simulação desta estrutura ser extremamente alto, limitações técnicas também impediram sua realização. O computador utilizado para realizar as simulações possui processador Intel(R) Core(TM) i5 de 2,5 GHz, memória RAM de 6 GB e HD de 1 TB, mas cada simulação exigia mais de 100 GB livres de memória no processador, o que limitou a capacidade de realizar a simulação.

Apesar de não ter sido possível obter o tempo de atraso do circuito, pode-se estimá-lo. Sabe-se que o tempo de atraso da porta NÃO-E é de 0,95 ns (figura 3.2) e do flip-flop é de 18,76 ns (figura 3.4). Somando o tempo t_P referente a cada parte que compõe a unidade de controle, chega-se à estimativa dos tempos de atraso para as saídas INICIALIZAR, LOAD e SHIFT do circuito, apontadas na tabela 3.14.

Tabela 3.14: Tempos de atraso estimados para a unidade de controle

Saída	t_P
INICIALIZAR	3,02 ns
LOAD	27,82 ns
SHIFT	43,56 ns

3.2.8 Multiplicador binário

Devido às limitações citadas anteriormente, também não foi possível realizar a conexão dos blocos estudados para simular o multiplicador binário. Entretanto, novamente pode-se estimar alguns dados para fins de comparação.

Para obter um tempo de atraso aproximado, será considerado o caso de multiplicação que exige o maior número de etapas realizadas para finalizar a operação de multiplicação, ou seja, quando o multiplicando é 11 e o multiplicador também. Na figura 3.17, estão apresentadas as etapas necessárias no processo.

	11	multiplicando
x	11	multiplicador
	00	valor inicial do produto parcial
+	11	soma o multiplicando, pois o primeiro bit do multiplicador é 1
	11	primeiro resultado parcial
	011	desloca o resultado para a direita
	11	soma o multiplicando, pois o primeiro bit do multiplicador é 1
	1001	desloca o resultado para a direita - resultado final

Figura 3.17: Exemplo de multiplicação binária

O atraso médio de cada bloco envolvido na multiplicação (figura 2.10) encontra-se exposto na tabela 3.15.

Tabela 3.15: Tempos de atraso dos blocos do multiplicador

Circuito	t_P
Flip-flop	18,76 ns
Somador de 2 bits	36,45 ns
Registrador	22,08 ns
Deslocador	21,15 ns

Somando o tempo de atraso inerente ao componente em cada etapa, obtém-se o tempo de atraso médio t_P= 135,84 ns.

A potência dinâmica P_D dissipada pode ser calculada como:

$$P_D = C_I \cdot V_{DD}^2 \cdot f \tag{3.1}$$

em que f é a frequência de operação do circuito, C_I é a capacitância de carga e V_{DD}, a tensão de alimentação.

Para o multiplicador operando em 1 MHz, com capacitância de carga de $2,5 \cdot 10^{-19}$ F (tabela 2.1) e tensão de alimentação de 0,5 V, têm-se:

$$P_D = 11,56\, pW \tag{3.2}$$

O produto potência-atraso (PDP) é dado pela multiplicação do tempo de atraso t_P com a potência dinâmica P_D. Então, com a estimativa do tempo de atraso do multiplicador binário, o PDP associado é:

$$PDP = P_D \cdot t_P = 1,57\ aJ \tag{3.3}$$

Também pode-se estimar a área que o dispositivo projetado irá ocupar. Cada porta NÃO-E possui duas ilhas e seis capacitores. Cada ilha ocupa uma área de diâmetro máximo de 8 nanômetros [14]. A área ocupada por cada capacitor varia de acordo com o valor de sua capacitância, segundo a relação de 5 μF/cm^2 [15]. Assim, considerando os valores de cada capacitor (tabela 2.1), cada porta NÃO-E possui uma área A_1 de aproximadamente:

$$A_1 = 2 \cdot \pi \cdot (\frac{8}{2}\ nm)^2 + 3 \cdot 20\ nm^2 + 2 \cdot 3\ nm^2 + 5\ nm^2 = 172\ nm^2 \tag{3.4}$$

A tabela 3.16 lista a quantidade de portas NÃO-E utilizada em cada parte do multiplicador.

Tabela 3.16: Quantidade de portas NÃO-E dos blocos do multiplicador binário

Circuito	Quantidade de portas NÃO-E
Flip-flop	11
Somador de 2 bits	26
Registrador-deslocador	29
Contador	9
Detector de zero	1
Unidade de controle	51

O total de portas NÃO-E necessário à implementação do multiplicador binário é 185. Então, a área total A_T ocupada por este dispositivo é:

$$A_T = A_1 \cdot 185 = 172\ nm^2 \cdot 185 = 31.820\ nm^2 \tag{3.5}$$

Já existem propostas de implementação de multiplicador binário em tecnologia CMOS [16] e QCA [17]. A proposta CMOS, construída em tecnologia de 32 nm, apresenta um produto potência-atraso de $21,57 \cdot 10^{-15}$ J (tabela 3.17). Percebe-se que o multiplicador nanoeletrônico apresentou um PDP inferior ao da tecnologia convencional. A proposta QCA apresenta uma área ocupada de $4400\ nm^2$ e opera em uma frequência máxima de 240 GHz, na tecnologia de 1 nm (tabela 3.18). Tal frequência é bem superior à alcançada pelo multiplicador em tecnologia SET estudado (1 MHz).

Tabela 3.17: Comparação entre tecnologia SET e CMOS

Tecnologia	PDP
SET	1,57 aJ
CMOS	21,57 fJ

Tabela 3.18: Comparação entre tecnologia SET e QCA

Tecnologia	Área	Frequência máxima
SET	31.820 nm²	1 MHz
QCA	4.400 nm²	240 GHz

3.2.9 Considerações finais

Os blocos simulados apresentaram frequências de operação relativamente baixas. Todos os circuitos foram simulados previamente em diversas frequências, de 1 MHz a 1 GHz. Somente a arquitetura mais simples, a porta NÃO-E foi capaz de funcionar corretamente em 1 GHz. Na tabela 3.19, pode-se observar em que frequências, dentre as testadas, cada bloco atuou com sucesso (indicadas com sinal verde).

Tabela 3.19: Frequências de operação alcançadas pelos blocos do multiplicador

Circuito	Frequência testada			
	1 MHz	10 MHz	100 MHz	1GHz
NÃO-E	✓	✓	✓	✓
Flip-flop	✓	✓	X	X
Somador completo	✓	X	X	X
Somador de 2 bits	✓	X	X	X
Registrador	✓	✓	X	X
Deslocador	✓	✓	X	X
Contador	✓	✓	X	X
Detector de zero	✓	✓	✓	x

O somador foi o que alcançou a menor frequência, 1 MHz, apresentando falha no seu funcionamento para valores superiores a este. Por conta disso, a frequência de 1 MHz foi usada em todos os circuitos na análise para se obter o tempo de atraso de propagação. Com uma mesma frequência de referência, é possível comparar o desempenho das estruturas e verificar a possibilidade de conectá-los para compor o multiplicador binário.

Os circuitos combinacionais simulados apresentaram maior tempo de atraso do que os circuitos sequenciais, como pode ser observado na tabela 3.15. No estudo anterior realizado no SIMON [1], já havia sido verificado que os circuitos combinacionais apresentam mais ruído na saída do que os circuitos sequenciais.

Esperava-se que os circuitos chegassem a frequências mais altas, na ordem de Ghz, mas o modelo SET utilizado [2] apresenta algumas limitações que devem ser levadas em consideração. Este modelo calcula apenas a corrente média, mas não incorpora a natureza estocástica do tunelamento mono-elétron e ocasiona problemas quando a frequência avaliada aproxima-se do valor *I/e*. A corrente I observada nas simulações está na ordem de alguns nanoamperes. Com isso, o valor *I/e* fica na ordem de 10^{10}. Então, circuitos atuando com frequências na ordem de 10^{10} Hz estão sujeitos a apresentarem problemas. Como todos os dados obtidos estão relacionados a este modelo, isso pode ter limitado a operação dos blocos à baixas frequências.

Foi realizada uma análise de frequência da porta NÃO-E utilizando o diagrama de Bode (anexo III.1) e observou-se que ela atinge frequências de até 120 GHz, aproximadamente. Isso não pode ser observado na simulação, dadas as limitações já citadas.

4 CONCLUSÕES

Para atingir o objetivo de investigar o comportamento dinâmico das células digitais que compõem um multiplicador binário nanoelêtronico, foi utilizado um modelo de transistor mono-elétron proposto anteriormente na literatura [2].

A partir do modelo SET, foi implementada a porta básica NÃO-E, utilizada como célula básica para compor todos os blocos do multiplicador. Esta porta mostrou-se capaz de operar em frequências na ordem de GHz.

Com o aumento da complexidade dos circuitos, a frequência de operação destes ia reduzindo. O decréscimo observado foi significativo, chegando ao limiar na ordem de MHz. Esperava-se que uma frequência mais alta pudesse ser atingida, no entanto o modelo mostrou-se limitado, forçando a frequência de simulação a um valor baixo.

O tempo de atraso de propagação de subida e de descida foi estabelecido para cada célula. Com base nestes tempos, obteve-se um tempo de atraso médio das arquiteturas. Foi possível observar que os circuitos sequenciais apresentaram uma resposta mais rápida frente aos circuitos combinacionais.

Todos os circuitos referentes à estrutura do fluxo de dados do multiplicador foram testados. Porém, a estrutura da unidade de controle não pode ser simulada, dadas as condições técnicas limitadas já citadas. Assim, também não foi possível testar o funcionamento do multiplicador binário por meio da conexão de seus blocos. Em contrapartida, as estimativas realizadas com os dados obtidos permitiram estabelecer uma comparação com outras propostas de multiplicador.

Comparado à tecnologia convencional, o multiplicador nanoeletrônico teve um tempo de atraso maior, mas apresentou uma vantagem em termos de potência dissipada. Comparado à proposta de multiplicador implementado em tecnologia QCA, teve desempenho inferior no que diz respeito à área ocupada e frequência máxima.

Em trabalhos futuros, é possível estender a análise dinâmica a outros parâmetros, tais como tempos de *setup* e *hold* das saídas. Cabe também a tentativa de continuação das simulações, visando testar a unidade de controle e, posteriormente, conectar as estruturas para simular o multiplicador binário completo. Pode-se ainda modificar o modelo SET utilizado, a fim de tentar aprimorar o desempenho do circuito, reduzindo eventuais limitações decorrentes do modelo atual estudado.

REFERÊNCIAS BIBLIOGRÁFICAS

[1] TELLES, M. O. *Multiplicador binário baseado em tecnologia SET*. Dissertação (Mestrado) — Universidade de Brasília, 2012.

[2] LIENTSCHNIG G., W. I. e. H. P. *Simulating Hybrid Circuits of Single-Electron Transistors and Field-Effect Transistors*. [S.l.], 2003.

[3] GUIMARÃES, J. G. *Arquitetura de redes neurais nanoeletrônicas em escala GIGA ou TERA*. Tese (Tese de Doutorado) — Universidade de Brasília, 2005.

[4] SILVA, L. M. *Estudo comparativo de células digitais nanoeletrônicas*. [S.l.], 2008.

[5] LIKHAREV, K. K. *Single-Electron Devices and Their Applications*. [S.l.], 1999.

[6] GEROUSIS C. E GREPIOTIS, A. *Programmable Logic Arrays in Single-Electron*. [S.l.], 2008.

[7] AHMED H., N. K. *Single-Electron Devices*. [S.l.], 1996.

[8] GOSER K. E PACHA, C. *System and Circuit Aspects of Nanoelectronics*. [S.l.], 1998.

[9] WASSHUBER, C. *Single-Electronics - How It Works. How It's Used. How It's Simulated.* [S.l.], 2002.

[10] KIME C. R. E MANO, M. M. *Logic and Computer Design Fundamentals*. [S.l.]: Prentice Hall, 2000.

[11] RANZINI, E. *Exemplo 1 de Projeto de Circuito Síncrono: Multiplicador Binário*. [S.l.], 2004.

[12] WAKERLY, J. F. *Digital design: principles and practices*. [S.l.]: Prentice Hall, 2000.

[13] COSTA, G. M. D. *Scripts para a simulação de circuitos nanoeletrônicos baseados em transistores mono elétron*. [S.l.], 2010.

[14] KARRE P. S. K. E BERGSTROM, P. L. *Room temperature operational single electron transistor fabricated by focused ion beam deposition*. [S.l.], 2007.

[15] ALI A., M. H. M. R. A. A. S. P. B. B. J. B. B. R. e. D. S. *Experimental determination of quantum and centroid capacitance in Arsenide-Antimonide*. [S.l.], 2011.

[16] MATHEW K., L. S. A. R. T. e. L. E. *Design and Analysis of an Array Multiplier Using an Area Efficient Full Adder Cell in 32nm CMOS Technology*. [S.l.], 2013.

[17] HäNNINEN I. E TAKALA, J. *Binary Multipliers on Quantum-Dot Cellular Automata*. [S.l.], 2007.

ANEXOS

I. CÓDIGOS DO LTSPICE

```
CE - A SPICE Model of a Single-Electron Transistor
*    Copyright (C) 2001  Peter Hadley and Guenther Lientschnig
*    Delft University of Technology, The Netherlands
*    Further Information about this program available in the article
*    "Simulating Hybrid Circuits of Single-Electron Transistors and
   Field-
*    Effect Transistors", G. Lientschnig, I. Weymanm, and P. Hadley,
*    Japanese Journal of Applied Physics, 42, 6467-6472 (2003).
*    and at http://lamp.tu-graz.ac.at/~hadley/set/spice/
*
*    This program is free software: you can redistribute it and/or
   modify
*    it under the terms of the GNU General Public License as published
    by
*    the Free Software Foundation, either version 3 of the License, or
*    any later version.
*
*    This program is distributed in the hope that it will be useful,
*    but WITHOUT ANY WARRANTY; without even the implied warranty of
*    MERCHANTABILITY or FITNESS FOR A PARTICULAR PURPOSE.  See the
*    GNU General Public License for more details.
*
*    The GNU General Public License can be found at:
*    http://www.gnu.org/licenses/
*
*************************************************
*single electron transistor
*connections: source
*             | drain
*             | | gate
*             | | |
*             | | |
.SUBCKT SETnao 1 2 3  PARAMS:

        +C1=1E-21                    ;  Capacitance of junction 1
    +C2=1E-21                      ;  Capacitance of junction 2
    +R1=1E6                      ;  Resistance of junction 1
    +R2=1E6                      ;  Resistance of junction 2
```

```
    +Cg1=1.5E-19                        ;  Capacitance of gate 1
    +Cg2=0



*       +C1=1E-18                        ;  Capacitance of junction 1
*   +C2=1E-18                          ;  Capacitance of junction 2
*    +R1=1E5                           ;  Resistance of junction 1
*    +R2=1E5                           ;  Resistance of junction 2
*    +Cg1=1E-18                        ;  Capacitance of gate 1
*    +Cg2=0                            ;  Capacitance of gate 2
    +C0=0                              ;  Self Capacitance of the island
    +Q0=0.01                           ;  Offset charge in units of e
    +TEMP=300                         ;  Temperature


.PARAM CSUM={C1+C2+Cg1+Cg2+C0}       ;  The total capacitance of the SET
.PARAM T={TEMP*CSUM*5.3785467E14}    ;  Normalized temperature,
   5.3785467E14 = kB/e^2
.PARAM RN1={R1/(R1+R2)}              ;  Normalized resistance of
   junction 1
.PARAM RN2={R2/(R1+R2)}              ;  Normalized resistance of
   junction 2

.FUNC Q(a,b,c) { (Cg1*c+Cg2*d+C1*a+C2*b)/echarge+Q0 }            ;
   Definition of a charge term in units of e
.FUNC VN(v) { CSUM*v/echarge }
                                                  ;  The normalized
   voltage
.FUNC GAMMA(u) { IF(T==0,IF(u<0,-u,0),IF(u==0,T,u/(EXP(u/T)-1)))}    ;
    The rate function
*.FUNC ROUND(x) { x-IF(cos(pi*x)>0,arcsin(sin(pi*x))/pi,-arcsin(sin(pi
   *x))/pi) } ;  The round() function
.FUNC NOPT(a,b,c) { ROUND((-1*Q(a,b,c))+(CSUM/echarge)*(a*RN2+b*RN1))
   }    ;  The most probable charge on the island in units of e

************************** the rates for the four tunnel events
   ****************************

.FUNC R1L(n,a,b,c) {GAMMA(0.5 - n - Q(a,b,c) + VN(a))/RN1}
.FUNC R1R(n,a,b,c) {GAMMA(0.5 + n + Q(a,b,c) - VN(a))/RN1}
```

```
.FUNC R2L(n,a,b,c) {GAMMA(0.5 + n + Q(a,b,c) - VN(b))/RN2}
.FUNC R2R(n,a,b,c) {GAMMA(0.5 - n - Q(a,b,c) + VN(b))/RN2}

*.FUNC NO(v1,v2,v3,v4) { ROUND(-Q(v1,v2,v3,v4)+(CSUM/E)*(v1*RN2+v2*RN1
   )) }

* determine the relative probabilities; charge state N_OPT is
   initially assumed to have a relative probability equal to one
.FUNC PN_1(n,a,b,c) {(R1L(n,a,b,c)+R2R(n,a,b,c))/(R1R(n-1,a,b,c)+R2L(n
   -1,a,b,c))}
.FUNC PN_2(n,a,b,c) { PN_1(n,a,b,c)*
                              +(R1L(n-1,a,b,c)+R2R(n-1,a,b,c))/(R1R(n-2,
                                 a,b,c)+R2L(n-2,a,b,c))}
.FUNC PN_3(n,a,b,c) { PN_2(n,a,b,c)*
                              +(R1L(n-2,a,b,c)+R2R(n-2,a,b,c))/(R1R(n-3,
                                 a,b,c)+R2L(n-3,a,b,c))}
.FUNC PN_4(n,a,b,c) { PN_3(n,a,b,c)*
                              +(R1L(n-3,a,b,c)+R2R(n-3,a,b,c))/(R1R(n-4,
                                 a,b,c)+R2L(n-4,a,b,c))}
.FUNC PN_5(n,a,b,c) { PN_4(n,a,b,c)*
                              +(R1L(n-4,a,b,c)+R2R(n-4,a,b,c))/(R1R(n-5,
                                 a,b,c)+R2L(n-5,a,b,c))}
.FUNC PN1(n,a,b,c) {(R2L(n,a,b,c)+R1R(n,a,b,c))/(R2R(n+1,a,b,c)+R1L(n
   +1,a,b,c))}
.FUNC PN2(n,a,b,c) { PN1(n,a,b,c)*
                             +(R2L(n+1,a,b,c)+R1R(n+1,a,b,c))/(R2R(n+2,a
                                ,b,c)+R1L(n+2,a,b,c))}
.FUNC PN3(n,a,b,c) { PN2(n,a,b,c)*
                             +(R2L(n+2,a,b,c)+R1R(n+2,a,b,c))/(R2R(n+3,a
                                ,b,c)+R1L(n+3,a,b,c))}
.FUNC PN4(n,a,b,c) { PN3(n,a,b,c)*
                             +(R2L(n+3,a,b,c)+R1R(n+3,a,b,c))/(R2R(n+4,a
                                ,b,c)+R1L(n+4,a,b,c))}
.FUNC PN5(n,a,b,c) { PN4(n,a,b,c)*
                             +(R2L(n+4,a,b,c)+R1R(n+4,a,b,c))/(R2R(n+5,a
                                ,b,c)+R1L(n+5,a,b,c))}

.FUNC PSUM(n,a,b,c) { PN_5(n,a,b,c)+PN_4(n,a,b,c)+PN_3(n,a,b,c)+PN_2(n
   ,a,b,c)
                             ++PN_1(n,a,b,c)+1+PN1(n,a,b,c)+PN2(n,a,b,c)
                                +PN3(n,a,b,c)
                             ++PN4(n,a,b,c)+PN5(n,a,b,c) }
```

```
*************** calculate the current from source to drain
   ***************

.FUNC CUR(n,a,b,c) { PN_5(n,a,b,c)*(R1R(n-5,a,b,c)-R1L(n-5,a,b,c))
                          ++PN_4(n,a,b,c)*(R1R(n-4,a,b,c)-R1L(n-4,a,b,
                              c))
                          ++PN_3(n,a,b,c)*(R1R(n-3,a,b,c)-R1L(n-3,a,b,
                              c))
                          ++PN_2(n,a,b,c)*(R1R(n-2,a,b,c)-R1L(n-2,a,b,
                              c))
                          ++PN_1(n,a,b,c)*(R1R(n-1,a,b,c)-R1L(n-1,a,b,
                              c))
                          ++(R1R(n,a,b,c)-R1L(n,a,b,c))
                          ++PN1(n,a,b,c)*(R1R(n+1,a,b,c)-R1L(n+1,a,b,c
                              ))
                          ++PN2(n,a,b,c)*(R1R(n+2,a,b,c)-R1L(n+2,a,b,c
                              ))
                          ++PN3(n,a,b,c)*(R1R(n+3,a,b,c)-R1L(n+3,a,b,c
                              ))
                          ++PN4(n,a,b,c)*(R1R(n+4,a,b,c)-R1L(n+4,a,b,c
                              ))
                          ++PN5(n,a,b,c)*(R1R(n+5,a,b,c)-R1L(n+5,a,b,c
                              )) }

.FUNC CURRENT(n,a,b,c) { echarge*CUR(n,a,b,c)/(CSUM*PSUM(n,a,b,c)*(R1+
   R2)) }

******************** calculate the island voltage
   ************************

.FUNC VOLT(n,a,b,c) { PN_5(n,a,b,c)*(n-5+Q(a,b,c))
                           ++PN_4(n,a,b,c)*(n-4+Q(a,b,c))
                           ++PN_3(n,a,b,c)*(n-3+Q(a,b,c))
                           ++PN_2(n,a,b,c)*(n-2+Q(a,b,c))
                           ++PN_1(n,a,b,c)*(n-1+Q(a,b,c))
                           ++n+Q(a,b,c)
                           ++PN1(n,a,b,c)*(n+1+Q(a,b,c))
                           ++PN2(n,a,b,c)*(n+2+Q(a,b,c))
                           ++PN3(n,a,b,c)*(n+3+Q(a,b,c))
                           ++PN4(n,a,b,c)*(n+4+Q(a,b,c))
                           ++PN5(n,a,b,c)*(n+5+Q(a,b,c)) }
```

```
.FUNC VOLTAGE(n,a,b,c) { (echarge/CSUM)*VOLT(n,a,b,c)/PSUM(n,a,b,c) }

*.PARAM nn = {NOPT(v(1),v(2),v(3),v(4))}


*G1 1 2 VALUE = { CURRENT(NOPT(v(1,0),v(2,0),v(3,0)),v(1,0),v(2,0),v
    (3,0)) }
E1 4 0 VALUE = { VOLTAGE(NOPT(v(1),v(2),v(3)),v(1),v(2),v(3)) }     ;
    Voltage of the island
G1 1 2 VALUE = { CURRENT(NOPT(v(1),v(2),v(3)),v(1),v(2),v(3)) }    ;
    Current from source to drain
CT1 1 4 {C1}
CT2 2 4 {C2}
CGATE1 3 4 {CG1}
*CGATE2 4 5 {CG2}
.ENDS SETnao
```

II. GRÁFICOS DA SIMULAÇÃO DA PORTA NÃO-E NAS FREQUÊNCIAS DE 1 MHZ E 1 GHZ

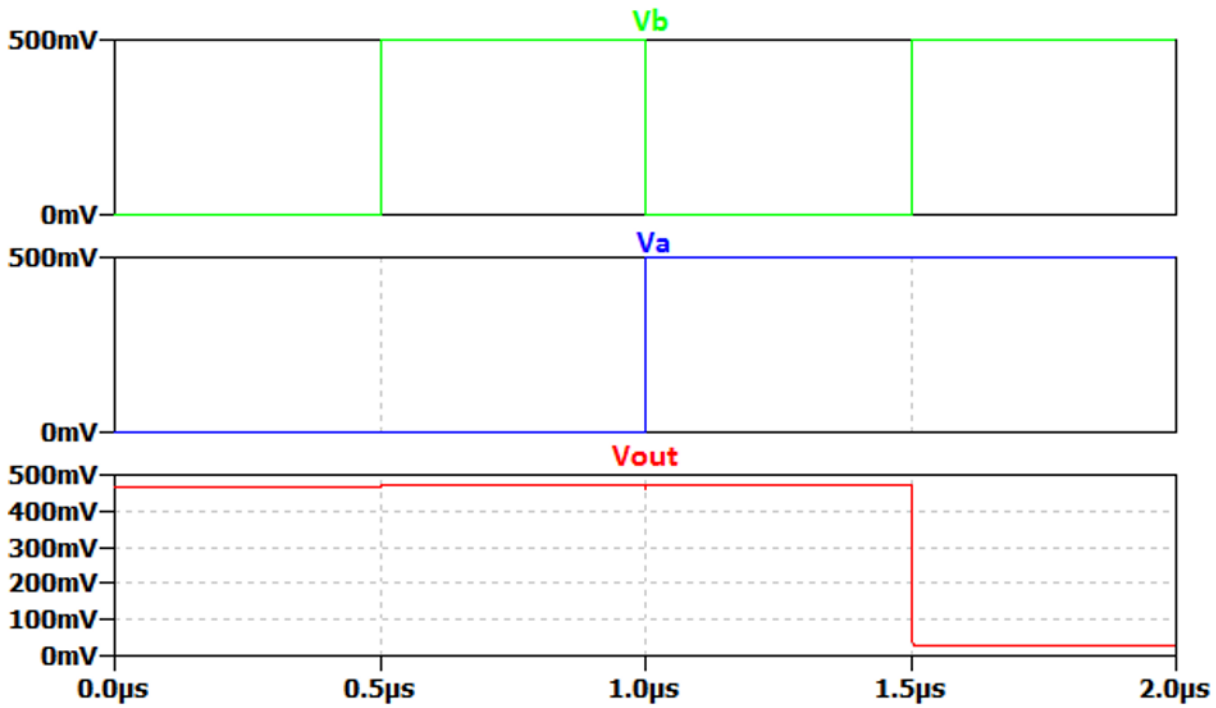

Figura II.1: Simulação da porta NÃO-E na frequência de 1 MHz

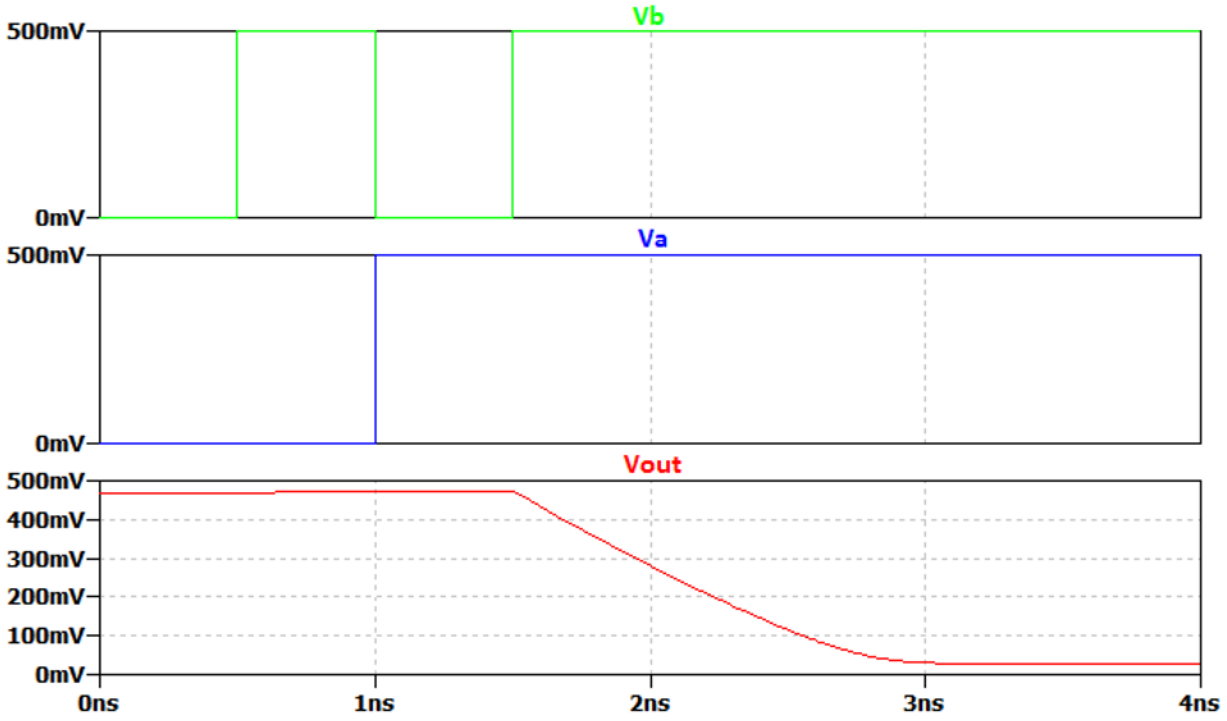

Figura II.2: Simulação da porta NÃO-E na frequência de 1 GHz

III. DIAGRAMA DE BODE DA PORTA NÃO-E

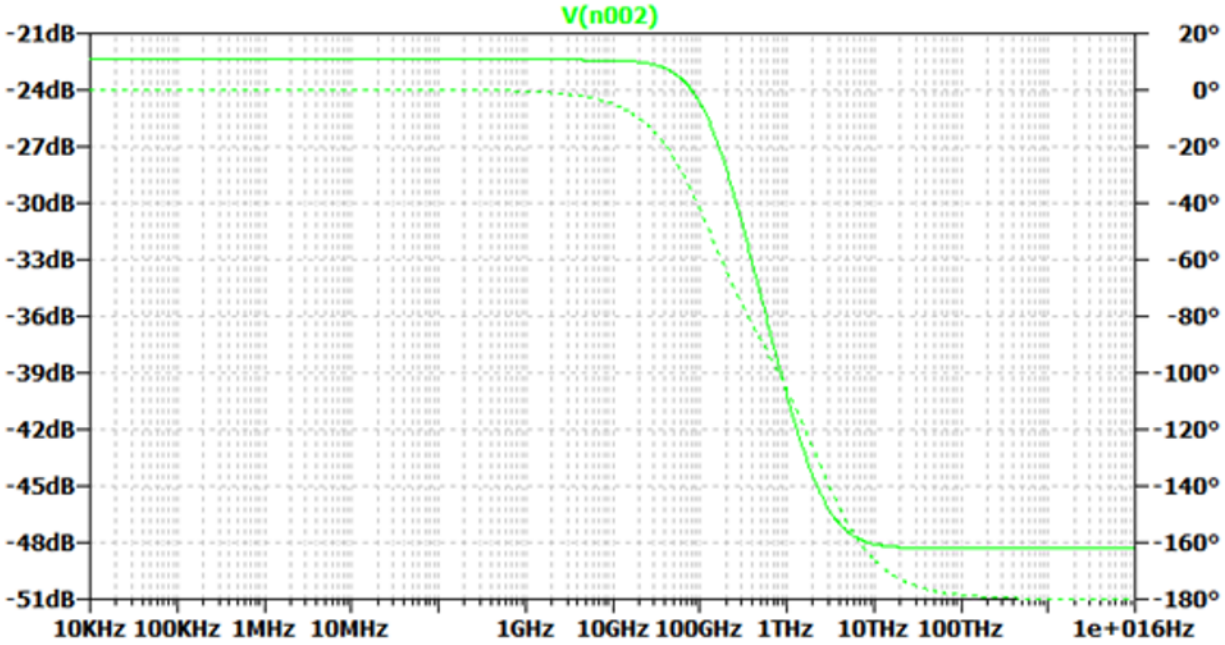

Figura III.1: Diagrama de Bode da porta NÃO-E