



**Universidade de Brasília - UnB
Faculdade UnB Gama - FGA
Curso de Engenharia Eletrônica**

**PROJETO DE CONVERSOR ANALÓGICO-
DIGITAL DE BAIXO CONSUMO DE POTÊNCIA
PARA APARELHOS AUDITIVOS**

**Autor: Alinny Eugênia Veras Silva
Orientador: Sandro A. P. Haddad**

**Brasília, DF
2015**



Alinny Eugênia Veras Silva

**PROJETO DE UM CONVERSOR ANALÓGICO-DIGITAL DE BAIXA
POTÊNCIA DE CONSUMO PARA APARELHOS AUDITIVOS**

Monografia submetida ao curso de graduação em Engenharia Eletrônica da Universidade de Brasília, como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica.

Orientador: Prof. Dr. Sandro A. P. Haddad

Brasília, DF

2015

CIP – Catalogação Internacional da Publicação*

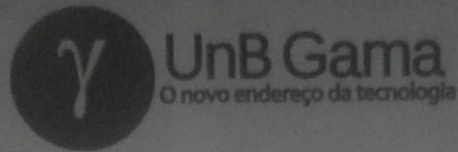
Sobrenome do Autor, Nome Autor.

Título da Monografia: Subtítulo / Nome do Autor (em ordem normal). Brasília: UnB, 2013. 103 p. : il. ; 29,5 cm.

Monografia (Graduação) – Universidade de Brasília
Faculdade do Gama, Brasília, 2013. Orientação: Nome do Orientador.

1. Palavra Chave. 2. Palavra chave. 3. Palavra chave3 I.
Sobrenome do orientador, Nome do orientador. II. Título.

CDU Classificação



Alinny Eugênia Veras Silva

Monografia submetida como requisito parcial para obtenção do Título de Bacharel em Engenharia Eletrônica da Faculdade UnB Gama - FGA, da Universidade de Brasília, 08/07/2015 apresentada e aprovada pela banca examinadora abaixo assinada: 07107

Prof. Dr Sandro Augusto P. Haddad, UnB/ FGA
Orientador

Prof. Dr Gilmar Silva Beserra, UnB/ FGA
Membro Convidado

Prof. Dr: Daniel Mauricio Muñoz Arboleda, UnB/ FGA
Membro Convidado

Brasília, DF
2015

AGRADECIMENTOS

A Deus por ter dado força e saúde para superar todas as dificuldades a fim de que pudesse continuar buscando meus objetivos..

Aos meus pais, pelo amor, incentivo e apoio incondicional.

Ao meu noivo e amigos, pelo carinho e compreensão.

Ao meu orientador professor Sandro Haddad e aos membros da DFChip, em especial ao José e Heider, pelo suporte e incentivo, me auxiliando nas maiores dúvidas e direcionando adequadamente para o bom rumo deste trabalho.

A todos os professores por me proporcionar o conhecimento não somente por terem me ensinado, mas por terem me feito aprender.

A todos que direta ou indiretamente fizeram parte da minha formação, o meu muito obrigado.

RESUMO

A maioria dos equipamentos eletrônicos possuem alguma forma de processamento digital de sinais. Esse processamento deve-se ao dispositivo que é implantado na interface o qual realiza recepção e transmissão dos sinais, o conversor A/D e o D/A, responsáveis por transformar sinais analógicos em sinais digitais e vice-versa. Este trabalho visa a implementação e desenvolvimento dos circuitos integrados analógicos constituintes de um conversor Sigma-Delta para aparelhos auditivos. Primeiramente, o objetivo foi limitado à análise de sistemas de cada bloco do dispositivo, a fim de que sejam determinados os parâmetros necessários. Posteriormente, essa análise foi voltada a nível de circuitos. Durante o decorrer do trabalho foram apresentadas motivações e justificativas para ratificar a arquitetura proposta, entre elas, a alta resolução. Foram abordadas a análise dos Moduladores de primeira e segunda ordem, com o intuito de fazer uma comparação entre essas topologias, para enfim ser escolhida a mais adequada para o projeto, o Modulador Sigma-Delta em modo corrente. Para fins de validação foram apresentadas simulações destes circuitos no software Cadence. Por fim, foi desenvolvido um Modulador Sigma-Delta de baixo consumo de potência.

Palavras-chave: Conversor A/D. Conversor Sigma-Delta. Aparelhos Auditivos. Modulador Sigma-Delta. Modo Corrente.

ABSTRACT

Most electronic equipment has some form of digital signal processing, this processing is due to the device that is implanted in the interface which performs reception and transmission of signals, the A / D and D / A, responsible for transforming signals from Analog to digital domain and vice versa. This work aims the implementation and development of analog integrated circuits constituent of a Sigma-Delta converter to hearing aids. First, the objective was limited to systems analysis of each block of the device, so that the required parameters are determined. Later, this analysis was aimed at circuit level. During the course of the study were presented motivations and justifications to ratify the proposed architecture, among them the high resolution. The first and second order modulators have been addressed, in order to make a comparison between those topologies to be selected and the most suitable for the design, sigma-delta modulator current mode. For validation purposes of these simulations were presented in Cadence Software circuits. Finally, has been developed a Sigma-Delta Modulator low power consumption.

Keywords: A / D converter. Sigma-Delta converter. Hearing Aids. Sigma-Delta Modulator. Current Mode.

LISTA DE ILUSTRAÇÕES

Figura 1.1	Metodologia <i>Top/Down</i> para a implementação do conversor ADC Sigma – Delta.....	13
Figura 2.1	Estrutura do ouvido.....	15
Figura 2.2	Graus de perdas auditivas.....	16
Figura 2.3	Diagrama de um Aparelho Auditivo.....	16
Figura 2.4	Processamento Digital do Sinal.....	17
Figura 2.5	Amostragem de um Sinal Analógico.....	18
Figura 2.6	Conversor A/D Paralelo.....	19
Figura 2.7	Diagrama de Blocos de um Conversor SAR.....	20
Figura 2.8	Conversor Rampa Dupla.....	20
Figura 2.9	Diagrama de Blocos de um conversor A/D Sigma-Delta de primeira ordem.....	21
Figura 3.1	Razão Sinal-Ruído (SNR) em conversores Nyquist (a) e sobreamostrados (b), técnica “noise shaping” em conversores sobreamostrados (c).....	24
Figura 3.2	Conversor Sigma-Delta de primeira ordem.....	25
Figura 3.3	Diagrama em blocos de um modulador $\Sigma\Delta$	25
Figura 3.4	Análise no domínio das frequências (s) do modulador $\Sigma\Delta$	26
Figura 3.5	Ordem do Modulador $\Sigma\Delta$ e SNR x Taxa de amostragem.....	27
Figura 3.6	Diagrama de Blocos de um modulador $\Sigma\Delta$ de 1° ordem no domínio discreto.....	27
Figura 3.7	Lugar Geométrico de um sistema de primeira ordem.....	28
Figura 3.8	Esquemático no Simulink de um Modulador $\Sigma\Delta$ de 1° ordem.....	29
Figura 3.9	Formas de ondas do Modulador $\Sigma\Delta$ de 1° ordem com uma função rampa como sinal de entrada.....	29
Figura 3.10	Saída no quantizador referente ao valor inicial do sinal entrada de 0.21V.....	30
Figura 3.10	Saída no quantizador referente ao valor inicial do sinal entrada de 0.78V.....	30
Figura 3.12	Saída no integrador quando os valores de referência no DAC são $\frac{1}{4}V$ e $\frac{3}{4}V$	31

Figura 3.12	Saída no integrador quando os valores de referência no DAC são 0V e 1V.....	31
Figura 3.14	Diagrama de Blocos de Modulador $\Sigma\Delta$ de 2° ordem.....	32
Figura 3.15	Comparação NTF entre moduladores de 1° e 2° ordem.....	33
Figura 3.16	Lugar Geométrico de um sistema de segunda ordem.....	34
Figura 3.17	Modulador $\Sigma\Delta$ de 2° ordem com atenuação.....	35
Figura 3.18	Efeito do ganho nos integradores e a estabilidade.....	35
Figura 3.19	Esquemático no Simulink de um Modulador $\Sigma\Delta$ de 1° ordem.....	36
Figura 3.20	Formas de ondas do Modulador $\Sigma\Delta$ de 2° ordem com uma função rampa como sinal de entrada.....	36
Figura 3.21	Processo de decimação digital.....	37
Figura 4.1	Arquitetura do Modulador $\Sigma\Delta$ de 1° ordem em modo-corrente.....	38
Figura 4.2	a) Curva da raiz quadrada de I_d e b) $\log(I_d)$ versus V_{gs} em torno e abaixo de V_{th}	39
Figura 4.3	Um loop TL de quatro transistores.....	40
Figura 4.4	Princípio Translinear Dinâmico.....	41
Figura 4.5	(a) Representação de um filtro log-domain, (b) Diagrama de blocos de um filtro log-domain linear.....	44
Figura 4.6	Esquemático do Filtro Log Domain de primeira ordem.....	45
Figura 4.7	Varição do capacitor e suas frequências de corte.....	46
Figura 4.8	Varição de corrente I_0 e suas frequências de corte.....	47
Figura 4.10	Diagrama de blocos do modulador de 1° ordem projetado.....	48
Figura 4.11	Esquemático do Integrador Logdomain.....	49
Figura 4.12	Frequência de corte do Integrador projetado.....	50
Figura 4.13	Esquemático do Circuito Diferenciador.....	51
Figura 4.14	Circuito comparador de correntes.....	52
Figura 4.15	Circuito Inversor.....	52
Figura 4.16	Circuito Comparador de Corrente implementado.....	53
Figura 4.17	Circuito Flip-Flop D com SET e RESET.....	53
Figura 4.18	Diagrama de Blocos do Modulador de 2° ordem em modo corrente...55	55
Figura 4.19	Representação para o Decimador.....	56
Figura 4.20	Topologias e equações dos filtros comb, integrador e CIC.....	56
Figura 5.1	Saída esperada do modulador.....	57
Figura 5.2	Saída do modulador de 1° ordem com um Δ de 2nA e $F_s = 8\text{KHz}$58	58

Figura 5.3	Saída do diferenciador com um Δ de 2nA e $F_s = 8\text{KHz}$	59
Figura 5.4	Saída do integrador com um Δ de 2nA e $F_s = 8\text{KHz}$	59
Figura 5.5	Saída do modulador de 1° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$	60
Figura 5.6	Saída do diferenciador com um Δ de 2nA e $F_s = 8\text{KHz}$	61
Figura 5.7	Saída do integrador com um Δ de 2nA e $F_s = 8\text{KHz}$	61
Figura 5.8	FFT do modulador de 1° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$	62
Figura 5.9	FFT do modulador de 1° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$ em escala logarítmica	63
Figura 5.10	FFT do modulador de 1° ordem com um Δ de 10nA e $F_s = 512\text{KHz}$...	64
Figura 5.11	FFT do modulador de 1° ordem com um Δ de 10nA e $F_s = 512\text{KHz}$ em escala logarítmica	64
Figura 5.12	Saída do modulador de 2° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$	65
Figura 5.13	Saída dos diferenciadores e integradores do modulador de 2° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$	66
Figura 5.14	FFT do modulador de 2° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$	67
Figura 5.15	FFT do modulador de 2° ordem com um Δ de 10nA e $F_s = 512\text{KHz}$...	68
Figura 5.16	FFT do modulador de 2° ordem com um Δ de 10nA e $F_s = 512\text{KHz}$ em escala logarítmica	68

LISTA DE SIGLAS

ADC	Conversor Analógico – Digital
DAC	Conversor Digital - Analógico
A/D	Analógico-Digital
D/A	Digital /Analógico
S/H	Sample and Holder
SNR	Relação sinal/ruído
Matlab	Matrix Laboratory
SAR	Sucessive Aproximation Register
CMOS	Complemetary Metal Oxide Silicon
IFOS	<i>Federation of Oto-Rhino-Laryngological Socities-</i>
DSP	<i>Digital Signal Processor</i>
DR	Dynamic Range
ENOB	Effective number of Bits
Vdd	Fornecimento Positivo de Voltagem
TSMC	Taiwan Semiconductor Manufacturing Company
Fs	Frequência de amostragem
Fb	Frequência de banda do sinal
CIC	Cascaded Integrator-comb
CMOS	Complementary Metal–oxide–semiconductor
FIR	Finite Impulse Response

SUMÁRIO

1 INTRODUÇÃO	11
1.1 OBJETIVOS.....	11
1.2 MOTIVAÇÃO E JUSTIFICATIVAS	11
1.3 METODOLOGIA	12
1.4 ORGANIZAÇÃO DO TRABALHO	13
2 REVISÃO BIBLIOGRÁFICA	14
2.1 O SISTEMA AUDITIVO HUMANO	14
2.2 INTRODUÇÃO AOS APARELHOS AUDITIVOS E DESCRIÇÃO DO PROJETO.....	15
2.3 CONVERSÃO ANALÓGICO-DIGITAL	17
2.4 CONVERSORES ANALÓGICO--DIGITAIS.....	18
2.4.1. Conversor A/D Paralelo ou “flash”	18
2.4.2. Conversor A/D Tipo Aproximação sucessiva (SAR)URAS	19
2.4.3. Conversor A/D tipo Integrador ou Rampa Dupla (Two-Step).....	20
2.4.4. Conversor Sigma-Delta.....	21
3 CONVERSOR SIGMA-DELTA	22
3.1 MOTIVOS	22
3.2 CARACTERÍSTICAS	22
3.3 ANÁLISE SISTEMÁTICA DO CONVERSOR $\Sigma\Delta$	24
3.3.1. Modulador Sigma-Delta.....	25
3.3.1.1. Modulador $\Sigma\Delta$ de 1° ordem.....	27
3.3.1.2. Modulador $\Sigma\Delta$ de 2° ordem.....	32
3.3.2. Decimação Digital.....	36
4 PROJETO DO CONVERSOR ANALÓGICO-DIGITAL $\Sigma\Delta$	38
4.1 MODULADOR SIGMA-DELTA EM MODO CORRENTE.....	38
4.2 CORRENTE SUB-LIMIAR.....	39
4.3 FILTROS TRANSLINEARES (<i>LOGDOMAIN FILTERS</i>)	40
4.3.1. Princípio Translinear Estático (STL).....	41
4.3.2. Princípio Translinear Dinâmico (DTL)	42
4.3.3. Filtro Logdomain de primeira ordem	43
4.4 MODULADOR DE 1° ORDEM	48
4.4.1. Integrador Logdomain.....	48
4.4.2. Diferenciador.....	50
4.4.3. Comparador de Corrente	50
4.4.4. Bloco de Memória (Flip Flop D).....	53

4.5	MODULADOR DE 2° ORDEM	55
4.6	DECIMADOR DIGITAL	55
5	RESULTADOS E CARACTERIZAÇÃO DO MODULADOR $\Sigma\Delta$	57
5.1	VALIDAÇÃO DO MODULADOR 1° ORDEM.....	57
5.2	VALIDAÇÃO DO MODULADOR 2° ORDEM.....	65
6	CONCLUSÃO E SUGESTÃO DE TRABALHOS FUTUROS	70
7	REFERÊNCIAS BIBLIOGRÁFICAS.....	71

1. INTRODUÇÃO

Nesta seção serão explicitados os objetivos, motivações e justificativas do presente trabalho. Além de uma breve descrição da metodologia de pesquisa e desenvolvimento e organização da tese.

1.1. OBJETIVOS

Neste trabalho o objetivo consiste na implementação de um conversor analógico-digital de baixo consumo de potência para aparelhos auditivos. Para isso, o entendimento da topologia do conversor a ser utilizada é essencial, bem como, o desenvolvimento de circuitos na tecnologia CMOS (Complementary Metal Oxide Silicon). Para atingir esses objetivos, foi realizada primeiramente, a análise sistemática da arquitetura do conversor escolhido. Por fim, a apreciação em nível de circuitos foi efetuada.

1.2. MOTIVAÇÃO E JUSTIFICATIVAS

A microeletrônica situa-se entre as conquistas técnico-científicas mais importantes de nosso tempo – muitos a consideram a mais importante. Ela é comparável às revolucionárias inovações técnicas do passado, como a introdução da máquina a vapor no século XVIII ou o aproveitamento técnico da eletricidade no século XIX. Se hoje se fala em uma revolução técnico-científica, ela refere-se, sobretudo à microeletrônica. Nenhuma outra inovação tecnológica nos dias atuais está tão presente em nossas vidas, possibilitando coisas antes inatingíveis [1].

A evolução dos equipamentos na medicina seguiu o desenvolvimento da microeletrônica, como por exemplo, o surgimento do eletrocardiograma, o eletroencefalograma, o microscópio, o marcapasso cardiológico, o aparelho auditivo, que será o novo objeto de estudo, e muitos outros.

A *Internacional Federation of Oto-Rhino-Laryngological Societies*- IFOS - estima que haja cerca de 10% da população mundial com perdas auditivas. O *Better Hearing Institute* afirma que 10% da população dos EUA apresentam algum tipo de perda auditiva. O Censo brasileiro de 2000 identificou 5.735.099 como portadores de perdas auditivas, um contingente maior que o dos portadores de deficiência física ou mental e ligeiramente inferior ao contingente de portadores de deficiência motora. Pesquisadores da Universidade Luterana em Canoas (RS), num estudo de 2004,

identificaram como 6,8% da população local como portadores de perda auditiva incapacitante. Deste total 5,4% com perdas moderadas, 1,2% com perdas severas e 0,2 % com perdas profundas. A considerar que a população brasileira atual seja de cerca de 190 milhões de habitantes contabilizaríamos mais que 10 milhões de portadores de perdas auditivas incapacitantes (acima de 41 dB). A utilizar o padrão de 10%, o contingente brasileiro de portadores de deficiência auditiva alcançaria 19 milhões de pessoas ou toda a população combinada da Dinamarca, Noruega e Suécia [2].

Dessa forma, o motivo principal desse estudo é projetar uma pequena parte do dispositivo aparelho auditivo, o conversor analógico-digital na arquitetura Sigma-Delta.

1.3. METODOLOGIA

Inicialmente foi feito um levantamento bibliográfico sobre o funcionamento do conversor analógico-digital e um estudo aprofundado sobre as topologias existentes, suas metodologias e análises para que assim fosse possível a fundamentação teórica necessária para o desenvolvimento do trabalho.

Após a escolha do conversor A/D mais adequado, foi feita uma simulação do diagrama de blocos do conversor utilizando o software de simulação MATLAB para observar os resultados esperados na saída do conversor, dado um determinado sinal de entrada.

Este trabalho se limita tão somente a análise, tanto a nível de sistemas quanto a nível de circuitos, do modulador. Dessa forma, o bloco do decimador não será objeto de estudo.

Nesse trabalho será utilizada a metodologia *TOP/DOWN*, conforme ilustrado na Figura 1.1, a qual consiste em projetar a partir do sistema até o bloco de menor hierarquia. Uma vez comprovada a estabilidade e o bom funcionamento do sistema, os blocos comportamentais serão substituídos por blocos formados por transistores, sendo feita uma nova verificação. O fluxo do projeto descrito será realizado usando a ferramenta Cadence.

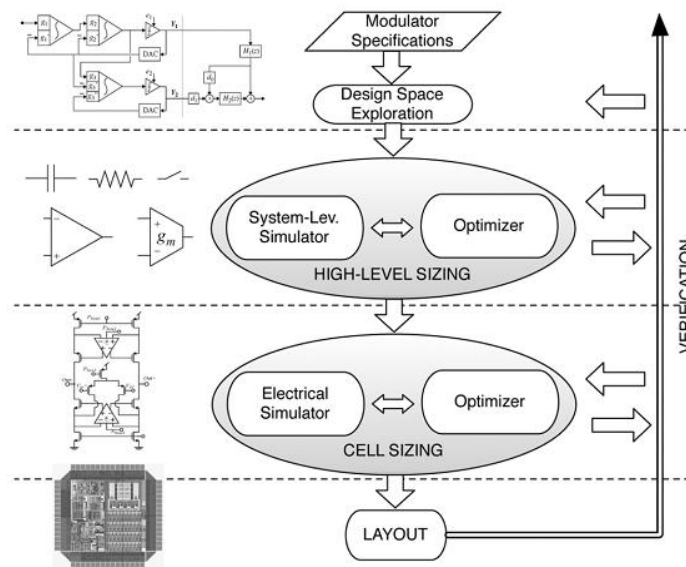


Figura 1.1 Metodologia *Top/Down* para a implementação do conversor ADC Sigma – Delta [3]

1.4. ORGANIZAÇÃO DO TRABALHO

O trabalho está organizado em seis capítulos, sendo o primeiro capítulo de introdução, contendo objetivos e justificativas, metodologia e organização do trabalho.

O capítulo 2 tratará de uma breve apresentação do sistema auditivo, histórico dos aparelhos auditivos e descrição do seu funcionamento. Além de abordar como ocorre o processo de conversão analógico-digital, assim como as principais características das arquiteturas mais consagradas.

O capítulo 3 conterá a justificativa da escolha do conversor Sigma-Delta, bem como a análise sistêmica do mesmo, incluindo as simulações no Matlab e apreciação de cada bloco do conversor.

O capítulo 4 consistirá na apresentação dos circuitos a serem implementados, assim como, a justificativa do emprego dos mesmos. Para uma melhor compreensão, essa etapa foi dividida de acordo com os blocos do sistema.

O quinto capítulo apresentará os resultados obtidos nas simulações no Cadence, bem como a validação e caracterização do modulador como um todo.

Por fim, o último capítulo é dividido em conclusões sobre o trabalho realizado e as propostas futuras do trabalho.

2. REVISÃO BIBLIOGRÁFICA

2.1. O SISTEMA AUDITIVO HUMANO

A audição humana é altamente sensível e consegue captar frequências de onda sonoras que variam entre aproximadamente 20Hz e 20KHz – no entanto, não é igualmente sensível a todas - essa percepção ocorre de maneira que o ouvido converte as vibrações de uma onda sonora em sinais que o cérebro interpreta como som.

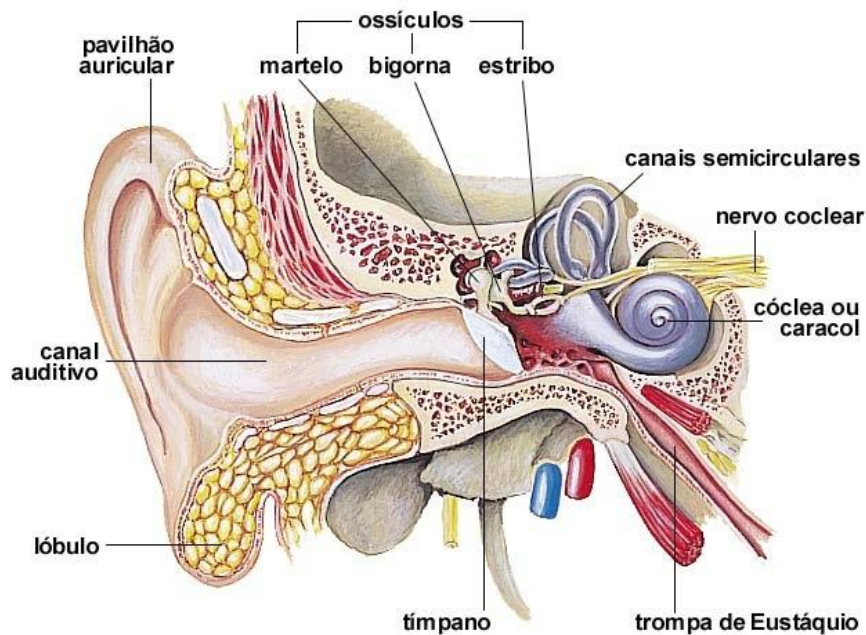


Figura 2.1 - Estrutura do ouvido [6]

De forma bem resumida, o processo da audição se resume em três sub-processos. No primeiro têm-se as vibrações mecânicas deslocando as células ciliadas externas e as frequências sendo selecionadas pelas propriedades da membrana basilar. Com o aumento da frequência, os canais de potássio são abertos e penetram nessas células, gerando os potenciais elétricos receptores e os microfônicos cocleares [4].

No segundo, esses potenciais elétricos geram estímulos mecânicos que constituem o início da eletromobilidade com a frequência do som. A amplificação pela vibração da membrana basilar é determinada em uma região específica (órgão de Corti) influenciada pela união das células ciliadas entre a membrana basilar e

tectorial. Assim a vibração do líquido gera contrações rápidas para o funcionamento do amplificador coclear ativo [5].

No terceiro sub-processo, há a amplificação vibracional por estímulo de grande intensidade das células ciliadas internas. Além disso, ocorre a despolarização que gera potencial receptor e há liberação de neurotransmissores para processar a informação codificada de impulsos elétricos que são levados pelo nervo acústico até o sistema nervoso central [5].

Entre as ações envolvendo o sistema auditivo encontram-se a conversão das vibrações do ambiente em sensações sonoras ou experiências de som, mas também a percepção de localização espacial e a noção de equilíbrio. A Figura 1 ilustra a estrutura do ouvido.

2.2. INTRODUÇÃO AOS APARELHOS AUDITIVOS E DESCRIÇÃO DO PROJETO

Há diversas causas para as perdas auditivas, daí a necessidade dos aparelhos auditivos, ou seja, auxiliar na percepção dos sons. Sua fabricação e funcionamento estão diretamente ligados a dois grandes marcos, primeiramente a invenção do telefone por Graham Bell através da amplificação do som usando um microfone de carbono e uma bateria. Posteriormente Thomas Edison, com o transmissor de carbono que convertia sons em sinais elétricos os quais podiam trafegar por fios e novamente ser convertido em sons.

As características essenciais para circuitos em aparelhos auditivos são a integração, operação em baixos níveis de tensão e potência, pois o mesmo deverá consumir pouca energia e a bateria, e a possibilidade de programação de acordo com o tipo de deficiência auditiva do usuário.

O limiar auditivo (em decibéis, dB) abaixo de 25 dB é considerado normal, fora dessa faixa é classificado como um grau perdas auditivas, como mostra a Figura 2.2. Sendo elas: leve (26 - 40 dB), quando a dificuldade é ouvir falas de intensidade fracas na presença de ruídos, moderada (41 - 70dB), quando sons fracos e moderadamente fortes não são ouvidos, severa (71 - 90 dB), quando a audição de sons fortes é prejudicada, e profunda (91+ dB), quando mesmo a fala sendo amplificada é difícil de entender ou mesmo de ouvir.

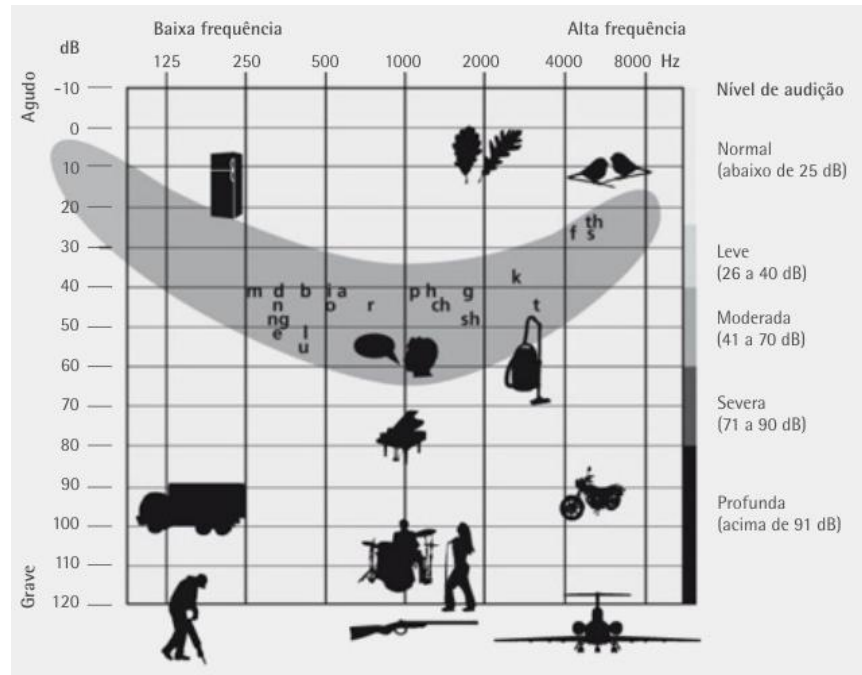


Figura 2.2 Graus de perdas auditivas [7]

Esse equipamento eletrônico, mostrado na Figura 2.3, amplia o som da referida faixa de perda auditiva e é formado, basicamente, por um microfone, filtros, conversores A/D e D/A, além do receptor.

Inicialmente o microfone capta o som e o converte em sinal elétrico, no amplificador o sinal é amplificado, depois as frequências acima da área audível são removidas através do primeiro filtro (um passa-baixas). Então, o conversor analógico-digital (A/D) converte tais sinais em números binários (0's ou 1's) para que sejam manipulados e processados por um microprocessador (DSP, por exemplo). Por fim, a sequência de números binários é novamente convertida em sinais elétricos por meio de um conversor digital-analógico (D/A), as quais passam pelo segundo filtro (um passa-baixas) e depois pelo receptor que os convertem em energia sonora novamente.

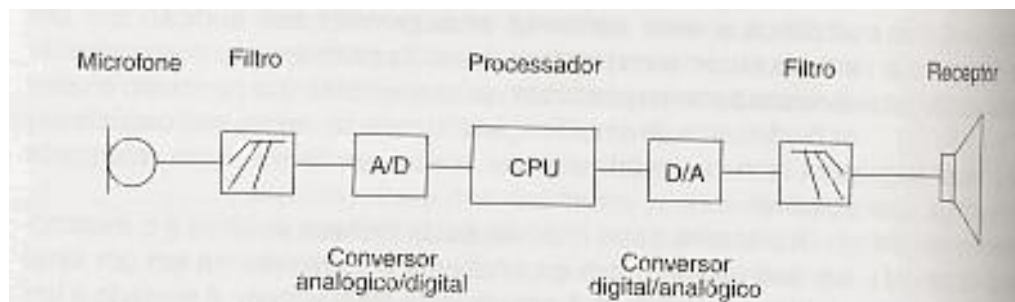


Figura 2.3 Diagrama de um Aparelho Auditivo (Fernandes, 2004)

2.3. CONVERSÃO ANALÓGICO-DIGITAL

Sinais analógicos são aqueles contínuos que variam no decorrer do tempo, como por exemplo, a representação elétrica dos sons, captados através de um microfone ou transmitidos para um amplificador ou alto falantes. O processamento desse sinal no domínio analógico é difícil e pouco flexível, dessa forma, é muito habitual o uso do processamento do sinal analógico no domínio digital, a Figura 2.4 ilustra esse processo.

Essa conversão é realizada por meio de um conversor analógico-digital, e a partir de então o sinal é processado dependendo da resolução escolhida, a qual comumente limita o desempenho desse sistema, juntamente com os blocos de filtragem envolvidos nesse procedimento.

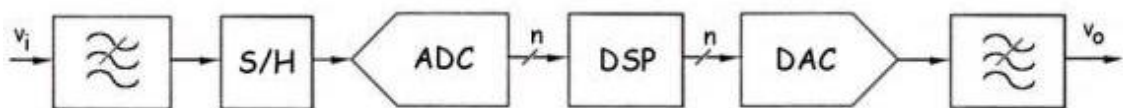


Figura 2.4 Processamento Digital do Sinal [9]

A parte referente à conversão analógico-digital é composta pelo filtro anti-aliasing, pelo circuito S/H (*Sample and Hold*) e pela topologia do conversor A/D escolhida.

O filtro analógico anti-aliasing na entrada do sistema é responsável por reduzir o ruído fora da banda útil do sinal e evitar a degradação do sinal devido a aliasing provocada pelo efeito de amostragem. Dessa forma, limitando a frequência do sinal de entrada, já que o mesmo é tipicamente um passa-baixa ou passa-banda e, por isso, atenua as altas frequências (maiores que a frequência de Nyquist - $F_s/2$ -, onde F_s é a frequência de amostragem).

Já o circuito que executa a etapa de amostragem - *Sample & Hold* (S/H) - possui duas fases de operação distintas: a fase de aquisição (*sample*), na qual a tensão é registrada, e a fase de retenção (*hold*), em que a mesma não é alterada por um determinado tempo igual a $\frac{1}{f_s}$, como mostra a Figura 2.5.

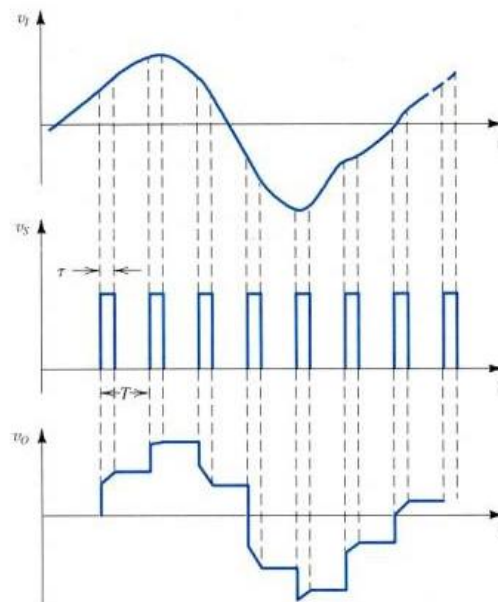


Figura 2.5 Amostragem de um Sinal Analógico [10]

Posteriormente o sinal é quantizado, ou seja, a cada sinal amostrado é atribuído um valor de amplitude em um conjunto finito de valores possíveis, chamados níveis de quantização. Esse processo ocorre de tal forma que a amplitude é alocada no nível de quantização mais próximo a fim de minimizar o erro de quantização, o que pode ser resolvido com o aumento da resolução.

Por fim, ocorre a codificação, realizada por meio de um conversor A/D, que consiste na representação do sinal já amostrado e quantizado em códigos digitais, dentre os mais utilizados estão o código binário e o código Gray [11].

2.4. CONVERSORES ANALÓGICO-DIGITAIS

Diante do exposto, esse projeto visa projetar um conversor A/D especificamente para aparelhos auditivos, por isso, foi feita uma análise de alguns modelos de conversão, para ver qual melhor atende a essa aplicação.

2.4.1. Conversor A/D Paralelo ou “flash”

A Figura 2.6 apresenta o conversor A/D Paralelo, seu princípio de conversão é baseado na comparação simultânea do sinal da entrada com $2^N - 1$ tensões intermediárias distribuídas linearmente dentro da faixa dinâmica do conversor ($n = n^0$ de bits do conversor). Isso possibilita uma maior velocidade de operação já que a

mesma é feita de forma paralela, sua limitação é somente o tempo de resposta dos comparadores e das portas lógicas.

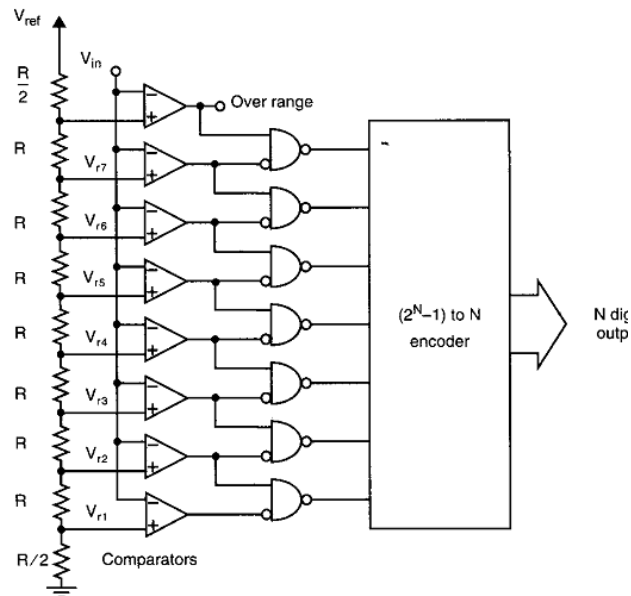


Figura 2.6 Conversor A/D Paralelo [12]

O sinal de entrada – V_{ref} - de cada comparador é resultante de uma queda de tensão oriunda da rede de resistores, dessa forma, a tensão de entrada – V_{in} (sinal analógico) – pode ser comparada com valores distintos de V_{ref} .

Embora o projeto desse conversor seja simples e possua uma excelente velocidade de operação, é necessária uma grande quantidade de comparadores ($2^N - 1$), ou seja, para um conversor de 8 bits são necessários 257 comparadores.

2.4.2. Conversor A/D Tipo Aproximação sucessiva (SAR)

Um conversor A/D por aproximações sucessivas (SAR) está representado na Figura 2.7, e seu funcionamento consiste em N comparações entre a entrada analógica, V_{in} , e a tensão de realimentação, V_{ref} .

Inicialmente, a saída do registrador de aproximações sucessivas corresponde a uma palavra digital igual a $V_{ref}/2$ para o sinal analógico, em que V_{ref} representa o maior valor de entrada do conversor e corresponde à frações de V_{in} . Em seguida, o SAR acrescenta $\frac{1}{4}$ da faixa do sinal digital ($V_{ref}/4$ para o sinal analógico), se a tensão V_{ref} exceder V_{in} este bit é colocado a 0, caso contrário, nível lógico 1 e

dessa forma prosseguirá por N vezes (N é o número de bits), estreitando pela metade a faixa dos possíveis resultados.

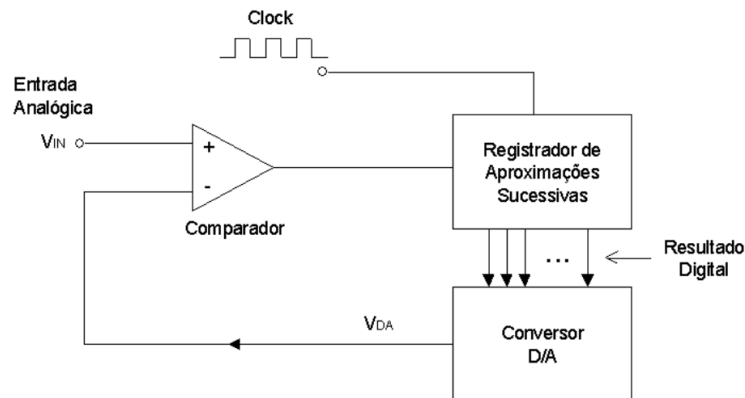


Figura 2.7 Diagrama de Blocos de um Conversor SAR [13]

A vantagem dessa topologia é a resolução, média a alta, no entanto, a taxa de conversão aumenta linearmente com a resolução, outra desvantagem é o seu custo elevado.

2.4.3. Conversor A/D tipo Integrador ou Rampa Dupla (Two-Step)

Nessa topologia, ilustrada pela Figura 2.8, duas integrações são realizadas: a primeira para o sinal analógico de entrada V_{in} , que ocorre por 2^N clocks, ao final desse processo é iniciada a segunda para o sinal de referência $-V_{ref}$, que por ser uma tensão negativa leva a saída do integrador em direção a zero.

A vantagem desse conversor é a sua fácil implementação e a alta resolução. Em contrapartida, apresenta um tempo de conversão que aumenta linearmente com o incremento de 1 bit na resolução, além da necessidade de utilização de componentes externos de alta precisão.

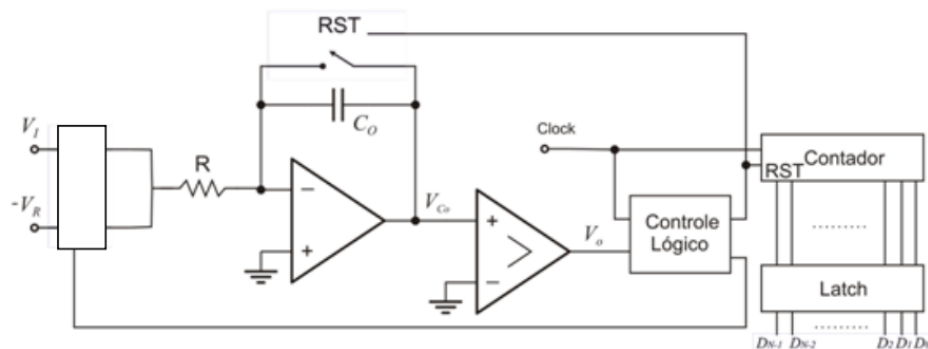


Figura 2.8 Conversor Rampa Dupla [11]

2.4.4. Conversor Sigma-Delta

Os conversores baseados na modulação $\Sigma\Delta$ (sigma-delta) combinam taxas de amostragem em frequências acima das frequências de Nyquist, com realimentação negativa e filtragem digital.

Sua estrutura, indicada na Figura 2.9, inclui um modulador Sigma-Delta, um filtro digital, responsável por remover o ruído localizado fora da largura de faixa de interesse e um decimador, que reduz a taxa de dados de saída de volta à taxa de Nyquist, funcionando como um filtro passa-baixas.

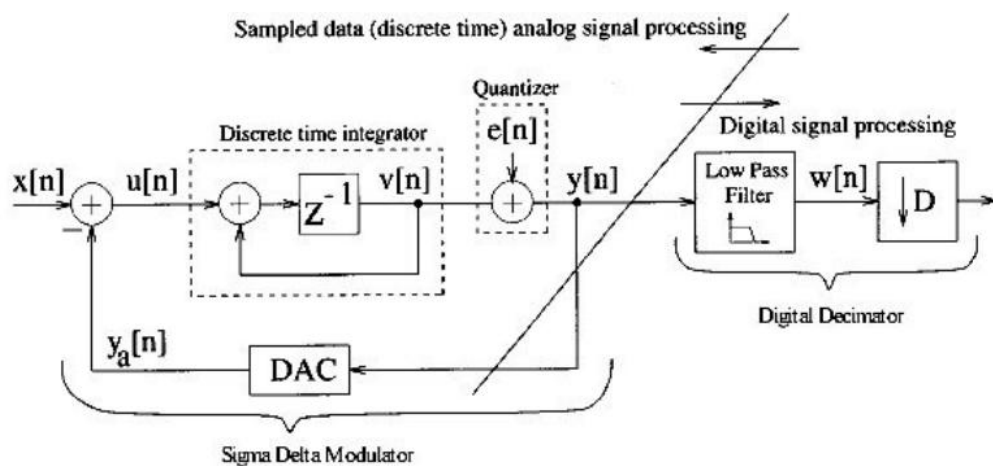


Figura 2.9 Diagrama de Blocos de um conversor A/D Sigma-Delta de primeira ordem [14]

Dentre as grandes vantagens dessa topologia se encontra a alta precisão, baixo tempo de conversão, alta resolução além da menor sensibilidade às imperfeições dos circuitos analógicos. No entanto, como conversor é a base desse projeto, o mesmo será tratado com mais detalhes adiante.

3. CONVERSOR SIGMA-DELTA

3.1. MOTIVOS

Diante da exposição das principais arquiteturas de conversores A/D, optou-se pelo Conversor Sigma-Delta, uma vez que, algumas de suas vantagens são que parte do processamento é feita de forma digital o que facilita a sua integração na mesma pastilha de microprocessadores, como os DSP's (Processador Digital de Sinal). Além da alta resolução (bem maior que os do tipo flash e SAR, que são mais rápidos que os $\Sigma\Delta$), característica essa que compensa a baixa ou média velocidade (maior que os do tipo rampa dupla, que têm resolução melhor), do baixo tempo de conversão e, por fim, a insensibilidade às imperfeições dos circuitos analógicos.

Além disso, conversores com taxa de Nyquist ainda que sejam mais rápidos, sua resolução está limitada a 10 ou 12 bits com as tecnologias atuais, devido a problemas na equalização entre componentes nos circuitos, o que ratificou a preferência pelo conversor sobreamostrado.

O objetivo deste trabalho é implementar um conversor A/D de baixo consumo de potência para aparelhos auditivos, por isso, a arquitetura Sigma-Delta ($\Sigma\Delta$) foi escolhida, uma vez que a mesma tem sido bastante utilizada em aplicações de engenharia de áudio, justificada pelas características já mencionadas. A seguir, a Tab. (1) ilustra um comparativo entre as quatro topologias exemplificadas:

Tabela 1 - Comparação entre os diferentes métodos de conversão estudados [11]

	<i>Aproximações Sucessivas - SAR</i>	<i>Paralelo – Flash</i>	<i>Rampa Dupla</i>	<i>Sigma-Delta - $\Sigma\Delta$</i>
Facilidade de Interface com o Processador	Média	Alta	Média	Alta
<i>Tempo de Conversão ($\frac{1}{f_s}$)</i>	Aumenta linearmente com o aumento da resolução	Tempo de conversão não muda com a maior resolução.	Tempo de conversão dobra a cada aumento de um bit na resolução.	Baixo, para resolução < 14 bits Médio, para 14 bits < resolução < 16 bits Alto, para 16 bits > resolução
<i>Resolução</i>	Médias a altas 8 a 16 bits	Tipicamente limitado a resolução de 8 bits	Altas	Altas.
<i>Tamanho</i>	Aumenta linearmente com o aumento da resolução.	$(2^N - 1)$ de comparadores, tamanho aumenta exponencialmente com a resolução.	Tamanho não altera substancialment e com o aumento da resolução.	Tamanho não altera substancialmente com o aumento da resolução.
<i>Custo</i>	Elevado	Alto	Baixo	Médio

3.2. CARACTERÍSTICAS

Conforme relatado anteriormente, o conversor Sigma-Delta é constituído por modulador $\Sigma\Delta$, um filtro digital e um decimador. Nessa arquitetura é utilizado um conversor A/D de baixa resolução (geralmente, um quantizador de 1 bit), que pode ser aumentada por um processo de decimação, e uma taxa de amostragem de sinal muito alta (sobreamostragem – *oversampling* –).

Essa topologia geralmente dispensa o uso do filtro analógico anti-aliasing na entrada do sistema, ou quando esse se faz necessário o mesmo é de fácil construção. Ao contrário dos exigidos nos conversores tipo flash ou aproximações sucessivas, também exige um casamento preciso de componentes – daí a

insensibilidade às imperfeições dos circuitos analógicos – e ainda, o ajuste por laser, usados nos conversores flash.

Conversores com taxa de sobreamostragem, como o Sigma-Delta, operam a frequências muito maiores que a taxa de Nyquist e aumentam a razão Sinal-Ruído (SNR), como está representado na Figura 3.1. Conseqüentemente, diminui o ruído de quantização, filtrando o ruído para fora da banda do sinal através de um filtro digital na saída, ou pode ser utilizada a técnica de formatação de ruído (“*noise shaping*”) para enviar parte do ruído para fora da banda do sinal.

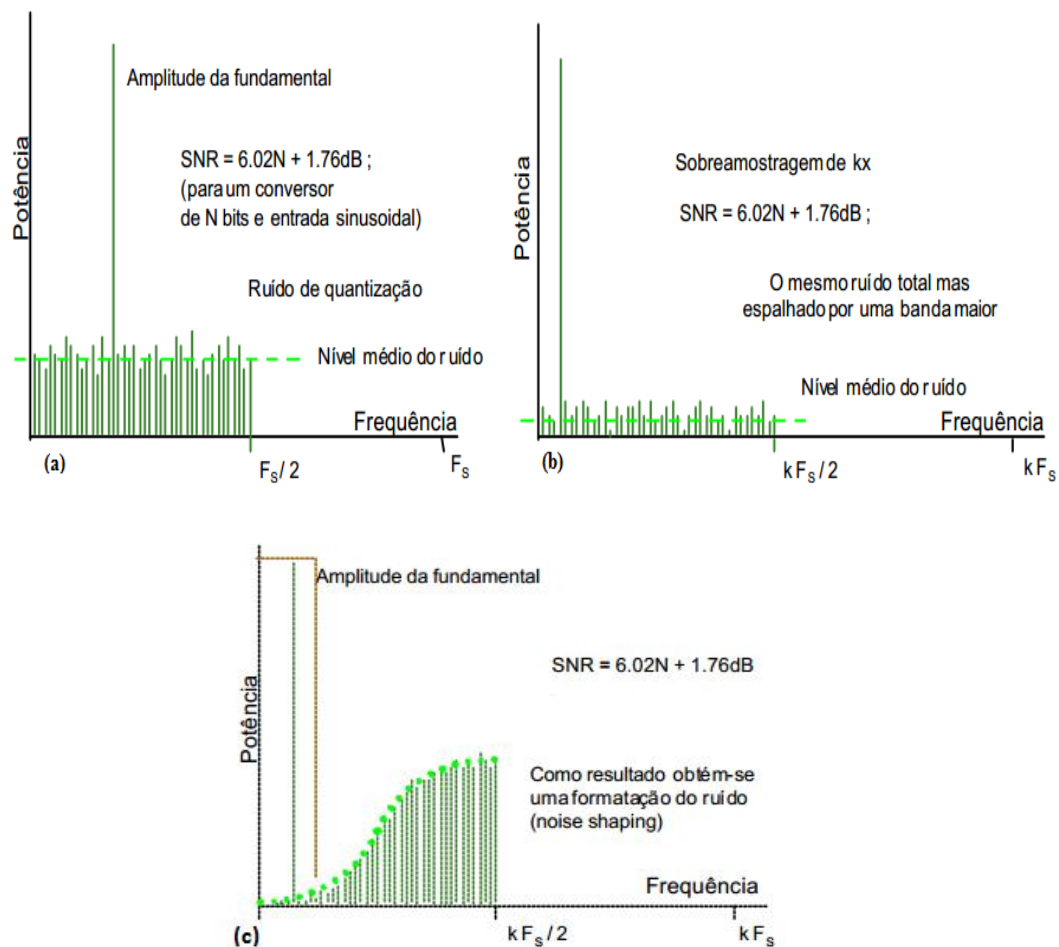


Figura 3.1 Razão Sinal-Ruído (SNR) em conversores Nyquist (a) e sobreamostrados (b), técnica “*noise shaping*” em conversores sobreamostrados (c) [15]

3.3. ANÁLISE SISTEMÁTICA DO CONVERSOR $\Sigma\Delta$

Um Conversor Sobreamostrado Sigma-Delta de primeira ordem é estruturado conforme a Figura 3.2, e seu processamento ocorre da seguinte forma: o sinal analógico entra no primeiro amplificador operacional, integrador somador, gerando

uma onda triangular proporcional à tensão do sinal analógico, posteriormente, o segundo amplificador operacional, quantizador, compara essa onda com o zero volt, esse bloco pode ser considerado um conversor A/D de 1 bit, já que sua saída terá somente dois estados, alto ou baixo, dependendo se a saída do integrador é positiva ou negativa.

A saída do quantizador é usada para realimentar o circuito através de um conversor D/A de um bit, que converterá tensão de saída do quantizador em uma tensão de referencia positiva ou negativa a ser somada por um integrador somador com a próxima amostra do sinal de entrada.

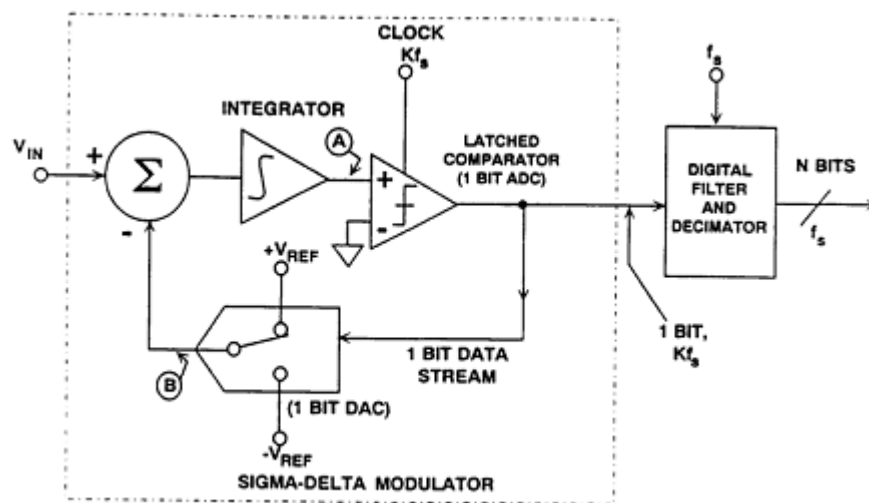


Figura 3.2 Conversor Sigma-Delta de primeira ordem [16]

3.3.1. Modulador Sigma-Delta

A Figura 3.3 mostra que o modulador $\Sigma\Delta$ é formado por um integrador de ordem N, que é um filtro passa-baixa de ordem N, e um quantizador (comparador) e uma malha de realimentação negativa composta por um conversor D/A (geralmente de 1 bit).

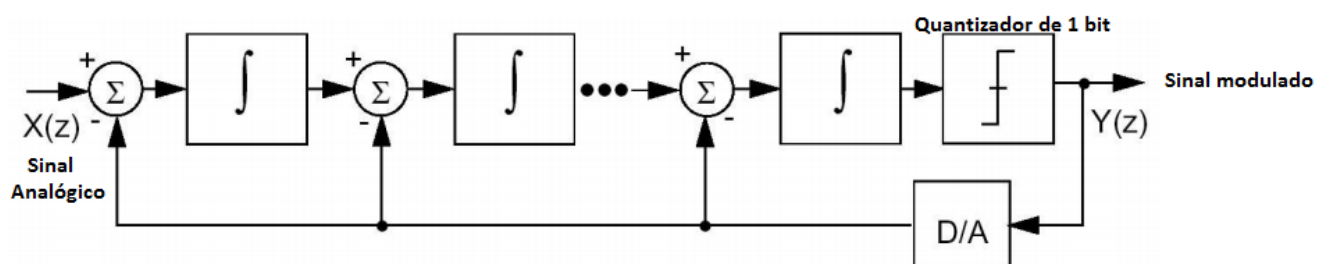


Figura 3.3 Diagrama em blocos de um modulador $\Sigma\Delta$ [14]

A entrada de cada integrador é a diferença entre a saída do integrador anterior e o conversor D/A, a finalidade da realimentação negativa é trazer para zero a entrada do primeiro integrador. Por isso, o valor médio da saída do DAC 1 bit deve ser igual nível médio da entrada, no entanto, como a saída do conversor DAC é somente uma representação analógica da saída digital do quantizador, logo, essa representa o sinal de entrada na forma digital.

O integrador no modulador é representado por um filtro analógico, no entanto, apresenta um efeito passa-baixa no sinal e um efeito passa-alta no ruído de quantização, conforme consta na Figura 3.4. Dessa forma, realizando a função de “moldagem do ruído” no modulador $\Sigma\Delta$ juntamente com a malha de realimentação, que age com a finalidade de minimizar o ruído de quantização em baixas frequências, deslocando-o para as altas frequências.

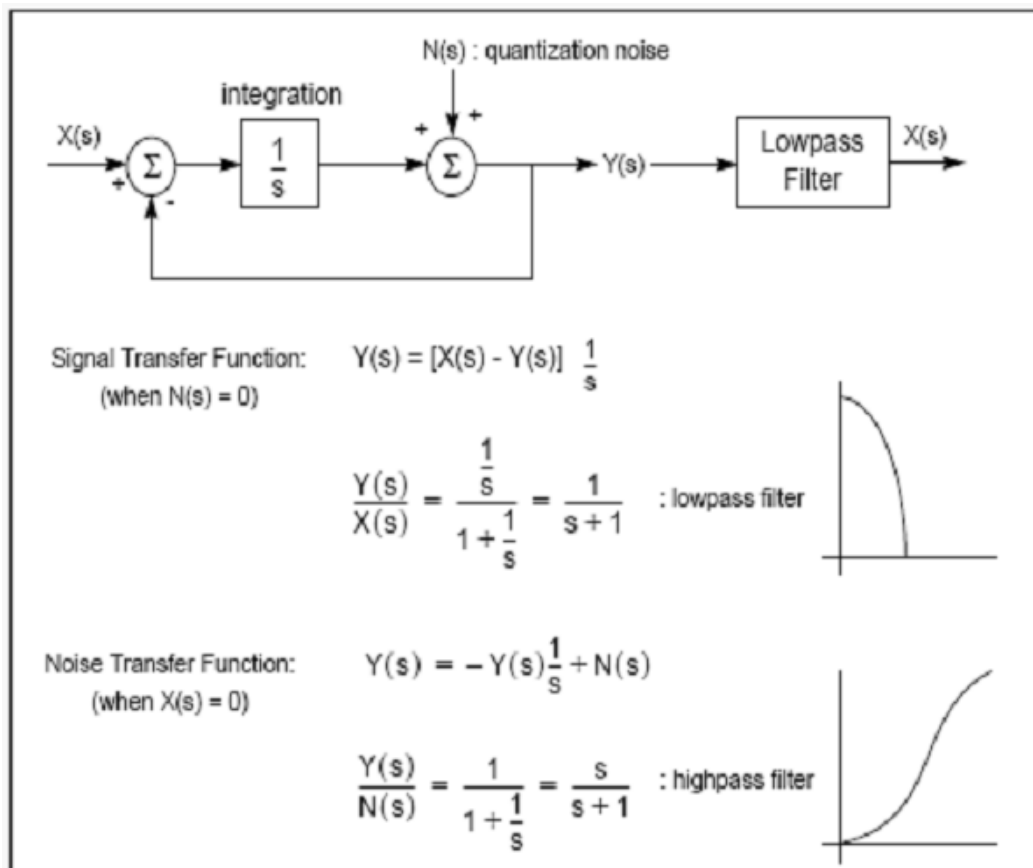


Figura 3.4 Análise no domínio das frequências (s) do modulador $\Sigma\Delta$ [17]

A importância da escolha da ordem do modulador está diretamente ligada com a relação sinal-ruído (SNR) que o mesmo produzirá e taxa de amostragem exigida. Visto que, para se alcançar a mesma relação sinal-ruído, no entanto, fazendo o uso de uma taxa de amostragem menor, basta que seja aumentada a

ordem do modulador, como apresentado na Figura 3.5. Por isso, esse projeto será composto por um modulador $\Sigma\Delta$ de 2° ordem, visando uma menor taxa da amostragem.

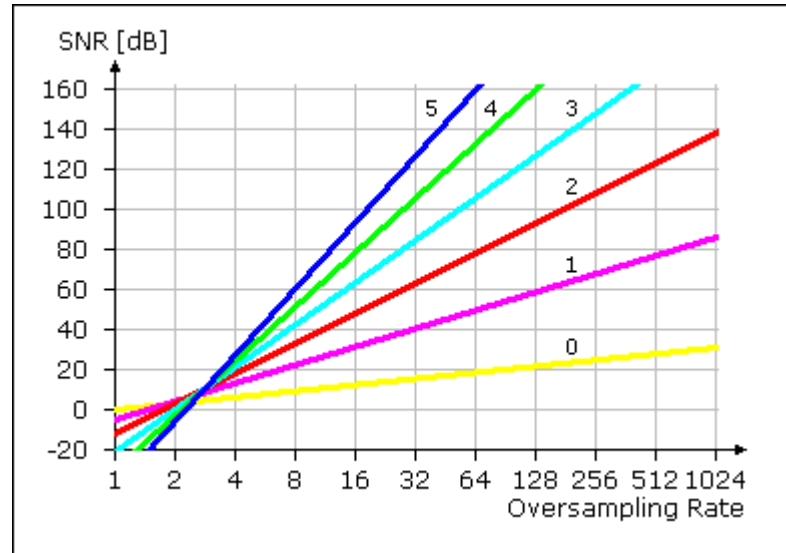


Figura 3.5 Ordem do Modulador $\Sigma\Delta$ e SNR x Taxa de amostragem [18]

3.3.1.1. Modulador $\Sigma\Delta$ de 1° ordem

A seguir será feita a análise de sistemas do modulador sigma-delta de 1° ordem, a partir da Figura 3.6.

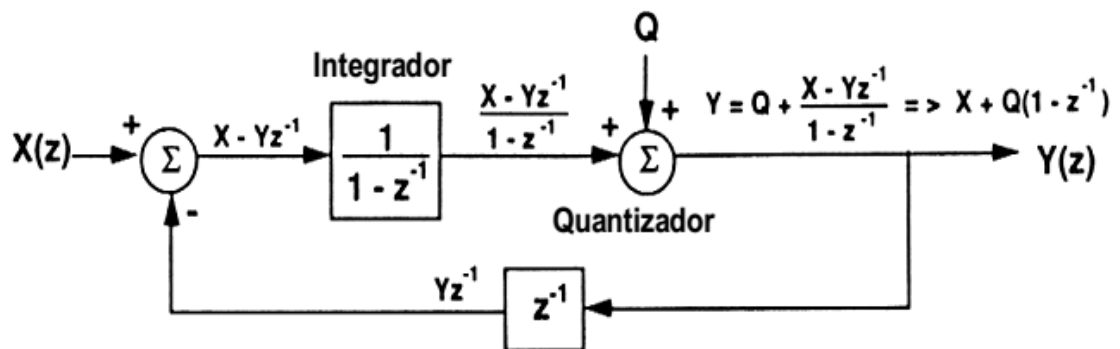


Figura 3.6 Diagrama de Blocos de um modulador $\Sigma\Delta$ de 1° ordem no domínio discreto [19]

Primeiramente, observando o diagrama acima a saída da malha corresponde a Eq. (1).

$$Y(z) = X(z) + Q(z)(1 - Z^{-1}) \quad (1)$$

Dessa forma, o diferenciador $(1 - Z^{-1})$ dobra a potência do ruído de quantização, no entanto, o erro é empurrado para altas frequências, e para removê-

lo, considerando que o sinal de entrada analógica é sobreamostrado, é utilizado um filtro digital passa-baixas no processo de decimação, restando um sinal entre 0 a F_s , sem afetar as características do sinal dentro dessa faixa.

A relação sinal-ruído SNR de um modulador $\Sigma\Delta$ de 1° ordem equivale a Eq (2).

$$SNR = -10 \log\left(\frac{\pi^2}{3}\right) + 9.03 * OSR \text{ dB} \quad (2)$$

Onde OSR corresponde a duplicação da taxa de sobreamostragem, ou seja, a cada incremento essa relação é aumentada de 9 dB.

Com relação a estabilidade deste modulador, é considerado um ganho “a” na entrada do integrador e a análise será procedida pelo método do lugar geométrico das raízes, com isso, sua função de transferência é representada pela Eq. (3).

$$H(s) = a \frac{z^{-1}}{1-z^{-1}} \quad (3)$$

O lugar geométrico começa em $z = 1$ e termina em $z = \infty$, conforme ilustra a Figura 3.7. Dessa forma, conclui-se que o sistemas é estável para valores de “a” até 2.

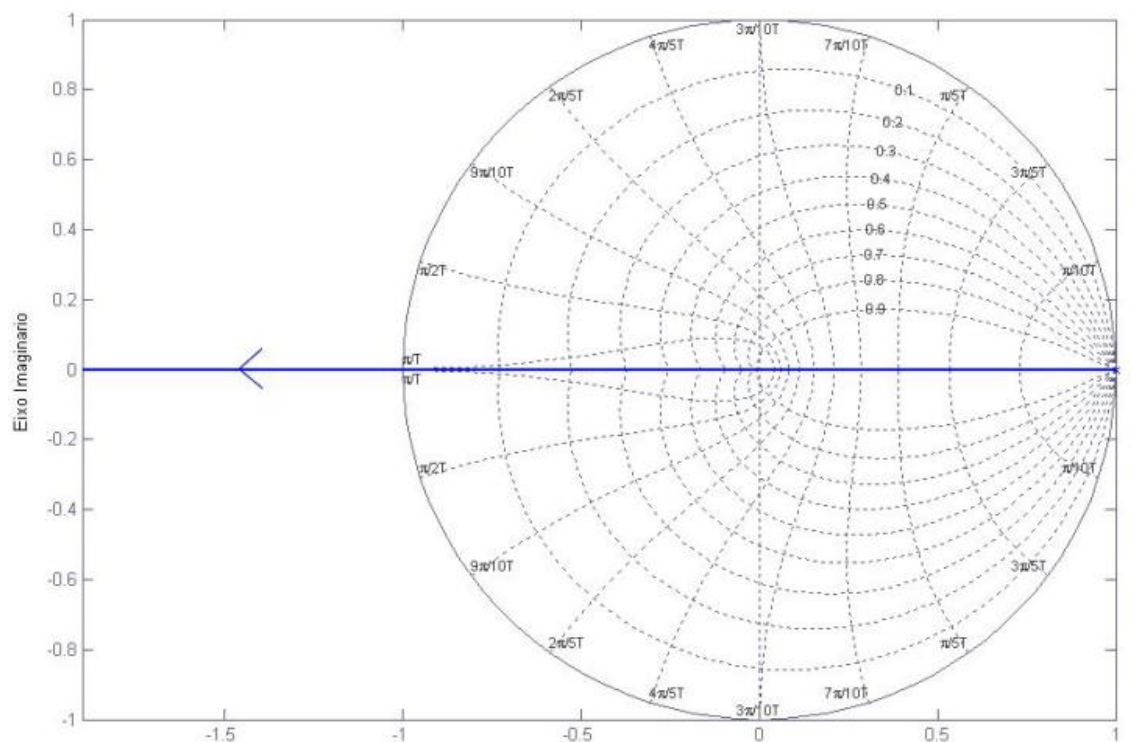


Figura 3.7 Lugar Geométrico de um sistema de primeira ordem [14]

Posteriormente, foi feita uma análise mais profunda no software Matlab, na plataforma Simulink com o intuito de solidificar o conhecimento desse tipo de modulador.

A simulação, como é apresentada na Figura 3.8, foi procedida de tal forma que o sinal entrada é uma função rampa com o valor inicial de 0.26V, e os valores de referências do DAC de 1 bit são $\frac{1}{4}V$ e $\frac{3}{4}V$.

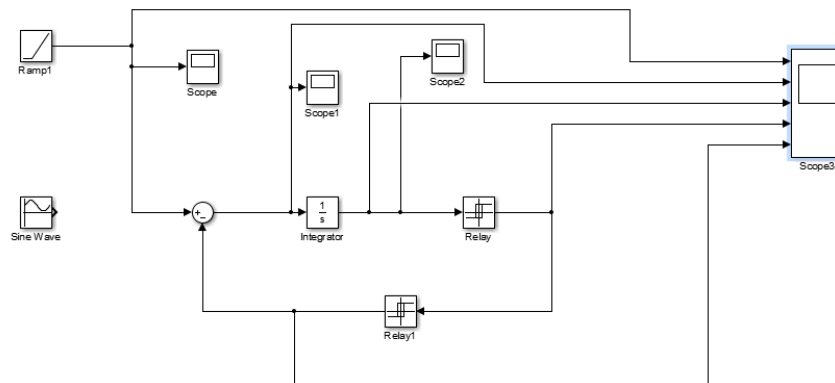


Figura 3.8 Esquemático no Simulink de um Modulador $\Sigma\Delta$ de 1º ordem

As formas de onda de cada etapa do modulador são ilustradas na Figura 3.9, respectivamente: sinal de entrada, diferenciador, integrador, quantizador e DAC.

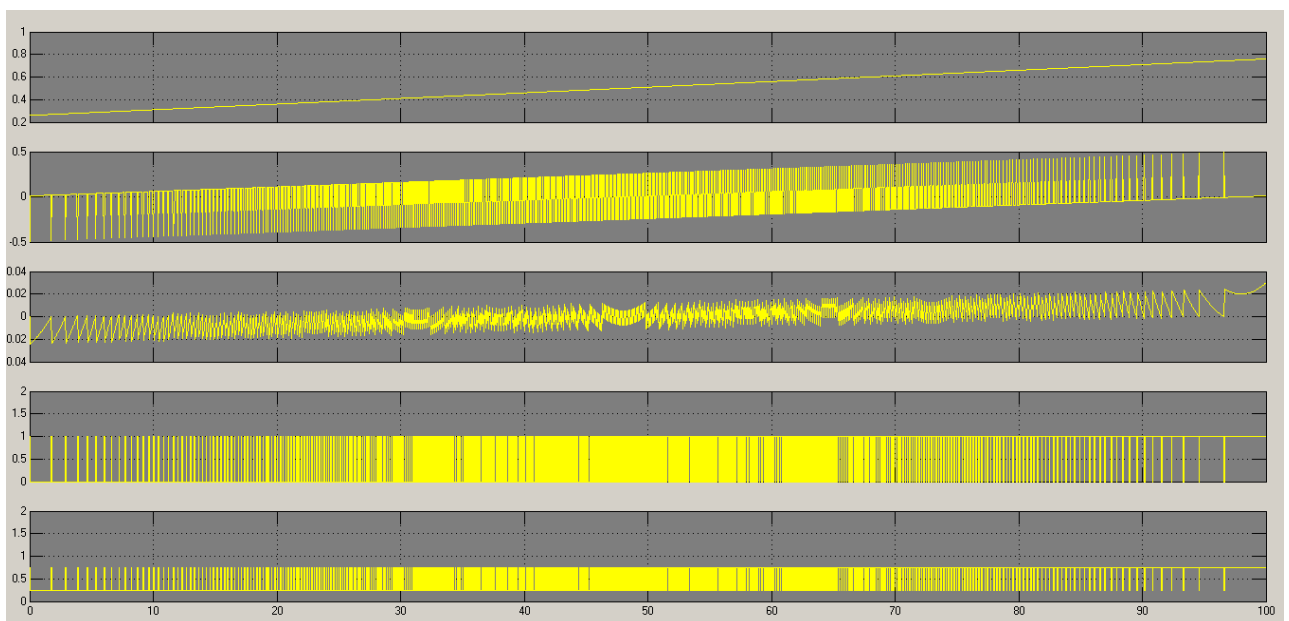


Figura 3.9 Formas de ondas do Modulador $\Sigma\Delta$ de 1º ordem com uma função rampa como sinal de entrada

A primeira análise esteve voltada para o que acarretaria na saída do quantizador, caso fosse alterado o valor inicial do sinal da entrada, levando-se em conta os valores de referências do conversor digital-analógico.

Inicialmente, a simulação foi feita para o valor inicial do sinal de entrada igual a 0.21V. A Figura 3.10 indica na parte de cima a saída do quantizador e na inferior o sinal de entrada.

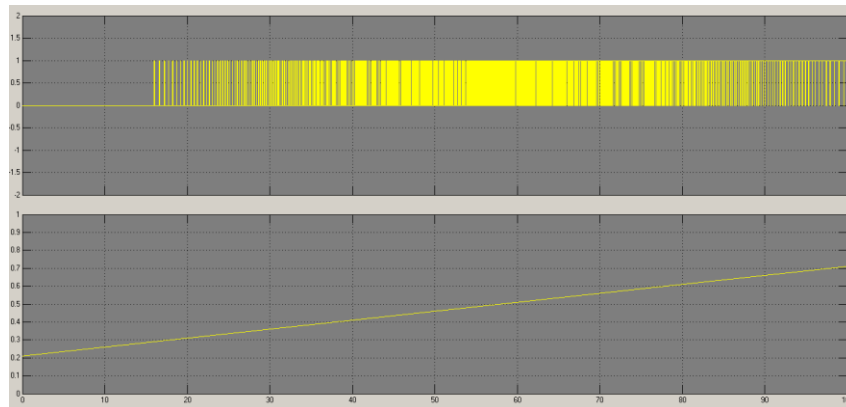


Figura 3.10 Saída no quantizador referente ao valor inicial do sinal entrada de 0.21V

Posteriormente, o mesmo foi feito para um sinal de entrada iniciando em 0.78V, a Figura 3.11 também ilustra a saída do quantizador nesta condição.

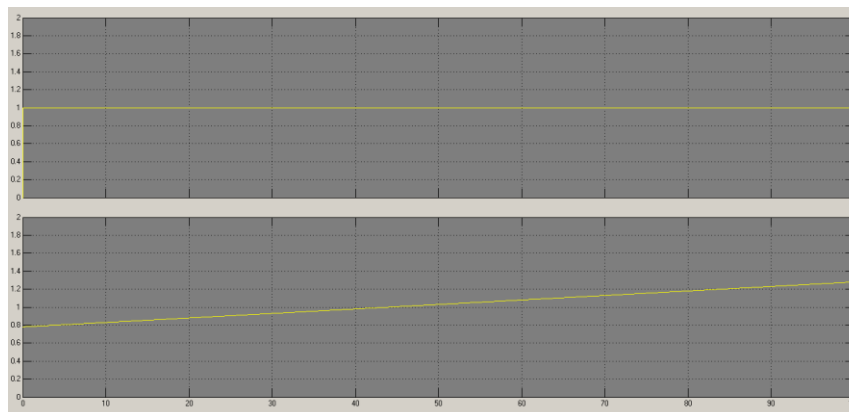


Figura 3.11 Saída no quantizador referente ao valor inicial do sinal entrada de 0.78V

Dessa forma, conclui-se que como os valores de referências são $\frac{1}{4}V$ e $\frac{3}{4}V$, somente para sinais de entrada nessa faixa é que o modulador efetivamente opera, uma vez que, apenas nesse intervalo ocorre a primeira diferenciação e resto do processo. Assim quando o sinal de entrada é menor que $\frac{1}{4}V$, a saída do quantizador

permanece “zero” até que a entrada fique maior que esse valor de referência, o contrário ocorre com quando o sinal de entrada for maior que $\frac{3}{4}V$, nesse caso, a saída permanece “um” a todo o momento, já que, em nenhum instante o valor de entrada estará entre a faixa de referência, portanto, encontra-se saturado.

A segunda análise realizada refere-se aos valores fixados nas referências do DAC, primeiramente foram fixados os valores $\frac{1}{4}V$ e $\frac{3}{4}V$, tal estudo estará voltado para o ocorre com a saída do integrador e a correlação com a resolução. A Figura 3.12 ilustra a saída no integrador nestes termos.

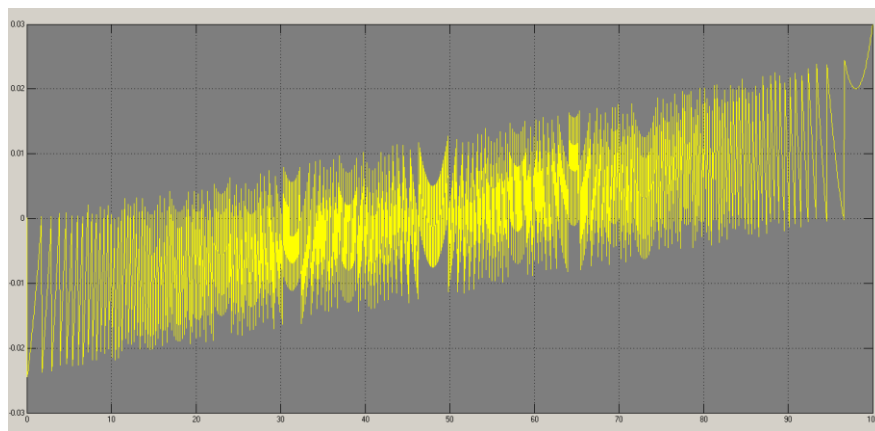


Figura 3.12 Saída no integrador quando os valores de referência no DAC são $\frac{1}{4}V$ e $\frac{3}{4}V$

Logo após, foi feito o mesmo procedimento, no entanto, os novos valores de referência do DAC são 0V e 1V, a Figura 3.13 apresenta a saída do integrador nessas configurações.

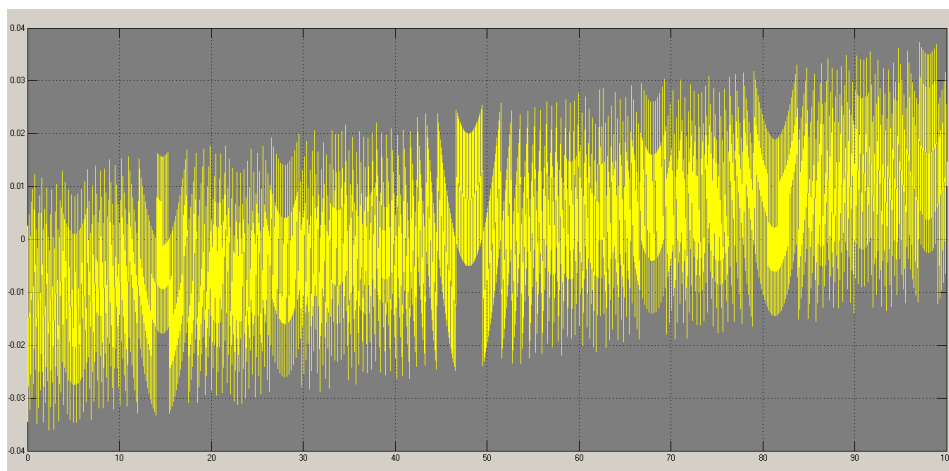


Figura 3.13 Saída no integrador quando os valores de referência no DAC são 0V e 1V

Com isso, observa-se que quanto menor a faixa de referência do conversor digital-analógico, melhor é a resolução, pois assim, a saída do integrador sobe e desce com uma menor intensidade. Diferentemente acontece quando essa faixa é maior, neste caso a saída do integrador sobe mais, no entanto, desce mais abruptamente.

3.3.1.2. Modulador de 2° ordem

Conforme dito anteriormente, o modulador escolhido para realizar esse projeto será o de 2° ordem, já que com esse é necessária uma menor taxa de amostragem para atingir a mesma relação sinal-ruído (SNR), por isso, a análise de sistema feita para o modulador de 1° ordem será estendida a esse.

Por isso, iniciaremos com a análise do diagrama de blocos do Modulador $\Sigma\Delta$ de 2° ordem ilustrado na Figura 3.14.

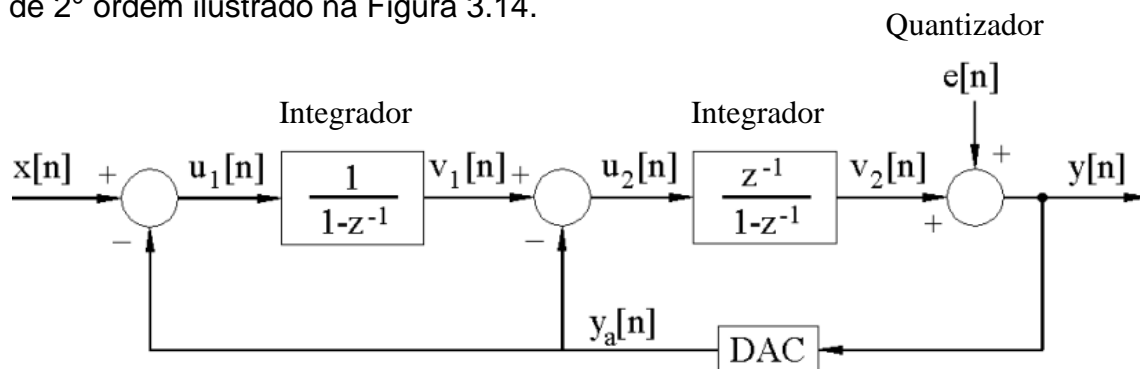


Figura 3.14 Diagrama de Blocos de Modulador $\Sigma\Delta$ de 2° ordem [17]

O comportamento deste modulador segue a mesma lógica que o de primeira ordem, no entanto, a entrada do quantizador é um sinal mais refinado do erro entre a entrada e a saída, já que esse erro $u(n)_1$ é aplicado em um integrador antes de ser subtraído de $y(n)_a$ e gerar $u(n)_2$, com isso, o resultado é uma representação mais precisa do sinal de entrada.

Sua Função de Transferência é representada pela Eq. (4):

$$Y(z) = X(z) Z^{-1} + Q(z)(1 - Z^{-1})^2 \quad (4)$$

Quando comparado a NTF (“*noise transfer function*”) dos moduladores de primeira e segunda ordem, nota-se que este fornece mais supressão do ruído de

quantização em baixas frequências e amplificação do ruído fora da banda do sinal, ou seja, mais ruído é empurrado para altas frequências conforme é ilustrado na figura abaixo. Tal efeito é consequência da presença de mais um integrador nessa arquitetura, uma vez que o mesmo contribui para atenuar o ruído de quantização na banda de interesse e reforça-o em altas frequências. Por isso, conclui-se que quanto maior a ordem do modulador maior é a resolução atingida.

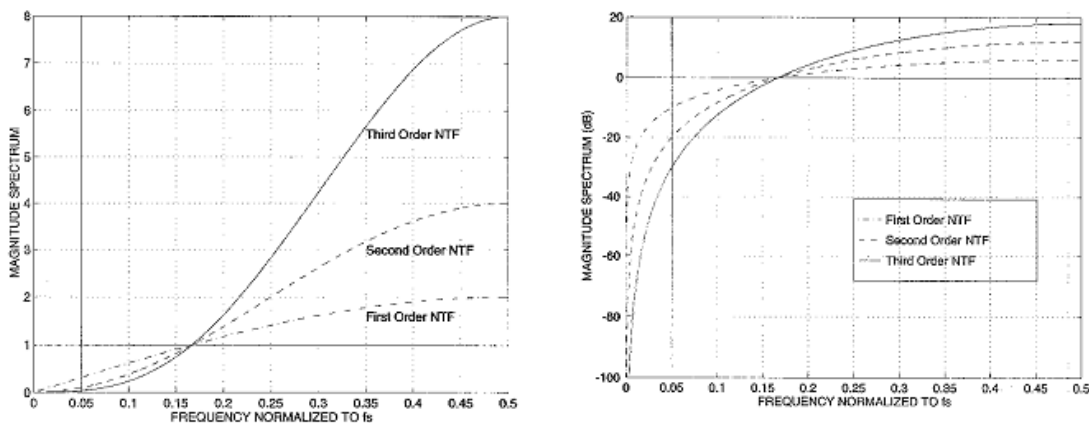


Figura 3.15 Comparação NTF entre moduladores de 1° e 2° ordem [17]

Assumindo que saída deste modulador seja filtrada por um filtro passa-baixas ideal, a relação sinal-ruído SNR equivale a Eq (5).

$$SNR = -10 \log \left(\frac{\pi^4}{5} \right) + 15.05 * OSR \text{ dB} \quad (5)$$

Onde N corresponde a duplicação da taxa de amostragem, ou seja, a cada incremento essa relação é aumentada de 15 dB, proporcionando também um aumento de 2.5 bits na resolução.

É evidente a melhoria da performance do sistema com o aumento da ordem do modulador, entretanto, moduladores de ordem 3 ou superiores com essa topologia e quantizadores de 1 bit são mais instáveis [17].

No que se refere a estabilidade desse modulador também é considerado um ganho “a” na entrada de cada integrador, sendo a mesma analisada pelo método do lugar geométrico das raízes. Dessa forma, temos a seguinte função de transferência representada pela Eq (6).

$$H(s) = a \frac{2z - 1}{(z-1)^2} \quad (6)$$

O lugar geométrico começa em $z = 1$ e termina em $z = 0.5$ e $z = \infty$, conforme ilustra a Figura 3.16. Dessa forma, os moduladores se mostraram estáveis dentro do círculo unitário dado pela transformada z .

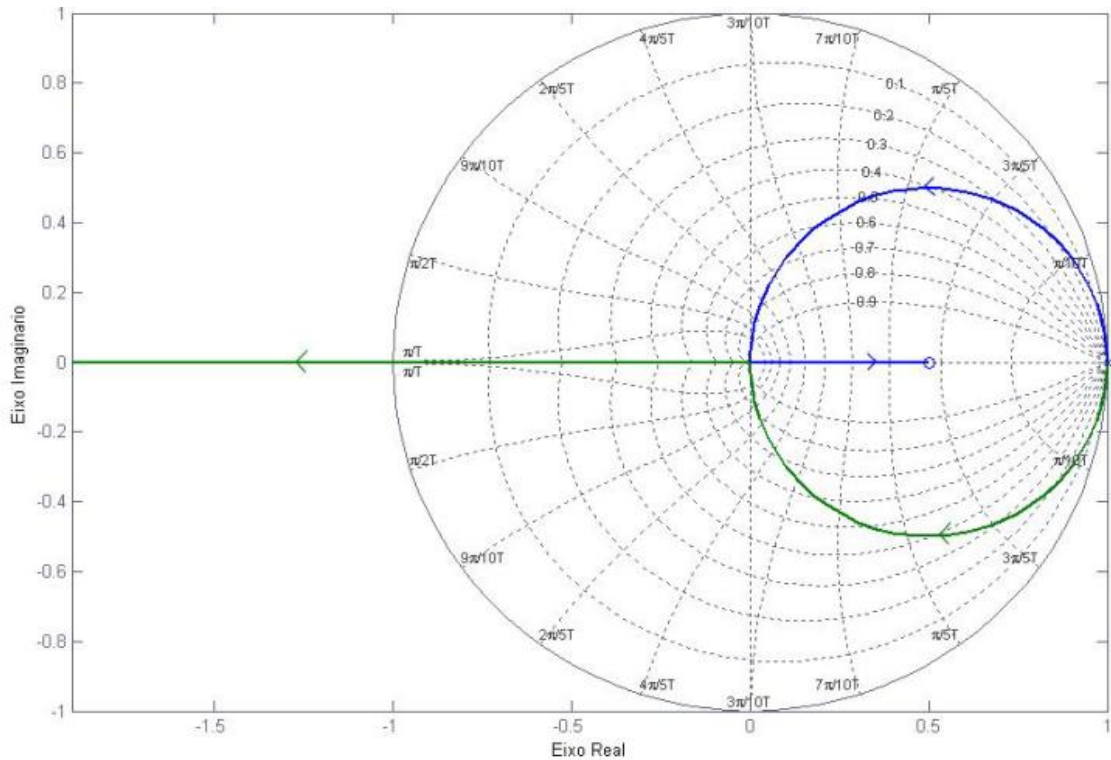


Figura 3.16 Lugar Geométrico de um sistema de segunda ordem [14]

Mesmo que incondicionalmente estável, o modulador de 2° ordem é afetado com a diminuição da SNR para valores próximos do limite $\pm U$ (níveis de saída do quantizador), consequência direta da saturação do segundo integrador. Por isso, é necessário que seja atenuado o ganho dos integradores, o que também diminuiu os requisitos de tempo de estabilização para o funcionamento correto do modulador. A Figura 3.17 traça essa configuração.

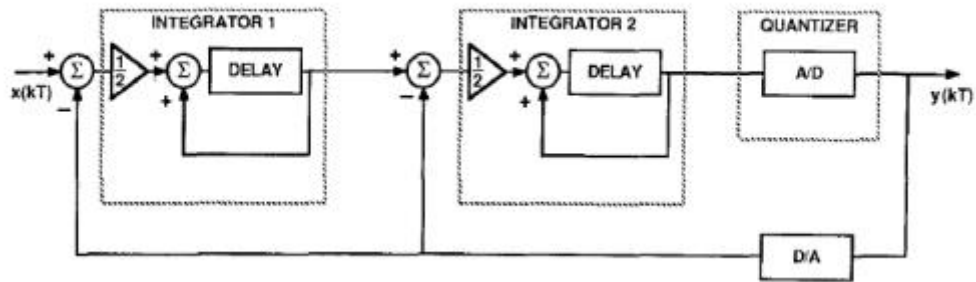


Figura 3.17 Modulador $\Sigma\Delta$ de 2° ordem com atenuação [20]

A Figura 3.18, ilustra bem a relação entre o ganho na entrada dos integradores e a estabilidade que esse acarreta, como se observa, aproximadamente a partir de 0.65 o sistema tornará instável, e a SNR cai rapidamente.

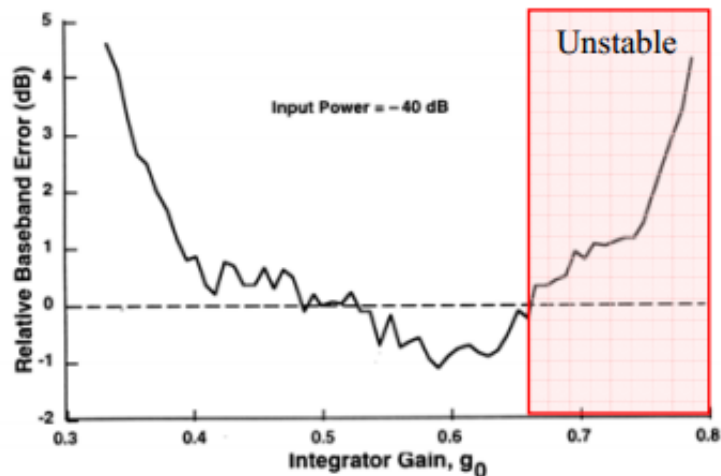


Figura 3.18 Efeito do ganho nos integradores e a estabilidade [20]

Moduladores de ordem superiores possuem uma estabilidade condicional, e para que esses operem corretamente é necessário que a faixa dinâmica da entrada seja limitada de tal forma que os estados nunca saturem.

Posteriormente, foi feita uma análise mais profunda no software Matlab, na plataforma Simulink, com o intuito de determinar as formas de ondas em cada etapa do processo, como consta na Figura 3.19.

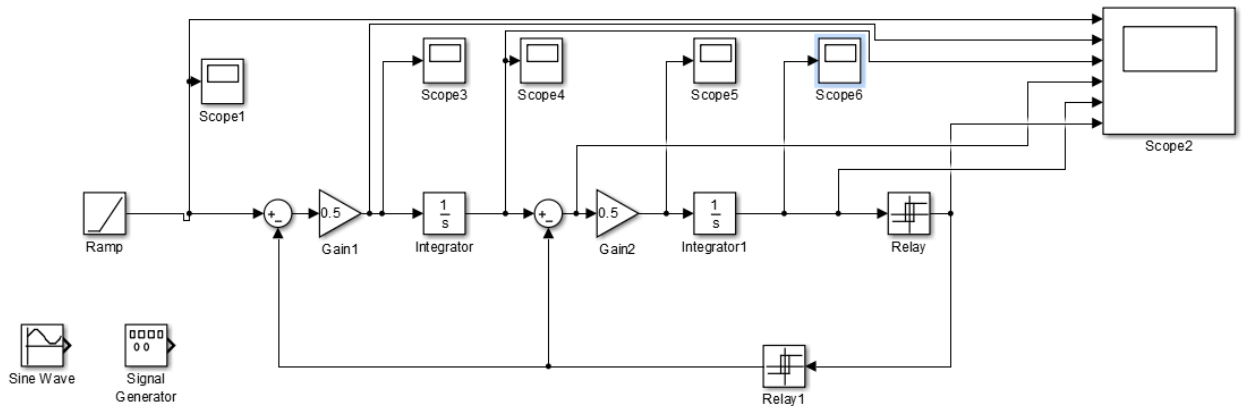


Figura 3.19 Esquemático no Simulink de um Modulador $\Sigma\Delta$ de 2° ordem

Com uma entrada sendo uma função rampa, iniciando em 0.1, as formas de onda de cada etapa do modulador é ilustrada na Figura 3.20, respectivamente: sinal de entrada, diferenciador após o primeiro ganho, primeiro integrador, diferenciador após o segundo ganho, segundo integrador e quantizador.

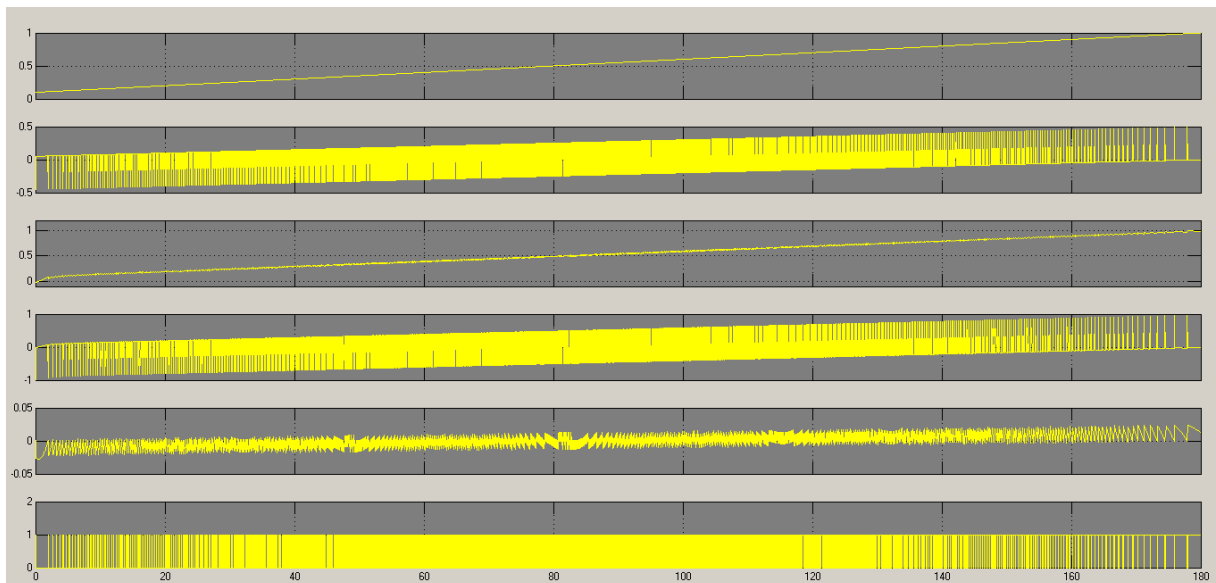


Figura 3.20 Formas de ondas do Modulador $\Sigma\Delta$ de 2° ordem com uma função rampa como sinal de entrada

3.3.2. Decimação Digital

Nessa etapa, os objetivos são: remover o ruído de quantização e realizar a redução da taxa de amostragem, ou seja, retornar à frequência de Nyquist. Como a maior parte do ruído de quantização está presente em altas frequências, decorrência do modulador, o intuito é ter um filtro que remova esta porção de ruído para fora da

banda base, simultaneamente, aumentando a resolução do conversor. Já a decimação, redução da taxa de amostragem, minimiza a quantidade de informação redundante.

Os conversores Sigma-Delta atuais utilizam três a cinco filtros “Comb” cascadeados e um filtro digital adicional. A Figura 3.21 mostra esta topologia. [21]

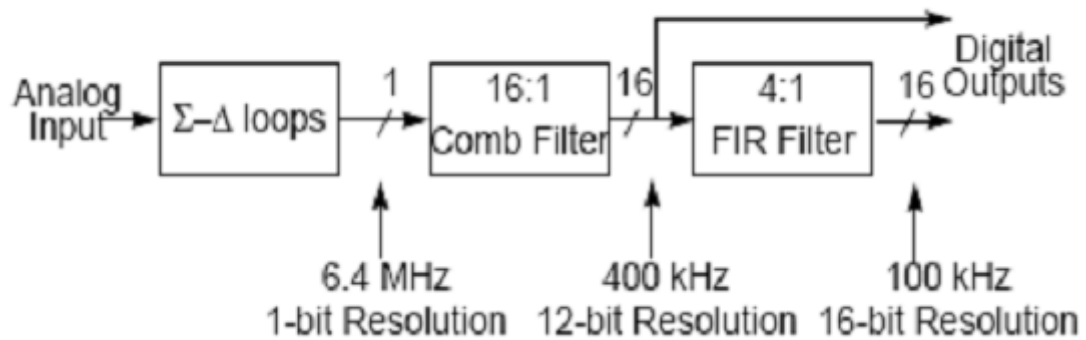


Figura 3.21 Processo de decimação digital [21]

4. PROJETO DO CONVERSOR ANALÓGICO-DIGITAL $\Sigma\Delta$

Este capítulo é direcionado para a análise em nível de circuitos do funcionamento dos blocos do conversor $\Sigma\Delta$, bem como suas implementações, para que por fim seja apresentada uma topologia voltada para aplicações biomédicas, no caso em questão, o aparelho auditivo.

Conforme anteriormente foi definido, este projeto trata-se de um conversor $\Sigma\Delta$, no entanto, visando uma redução do tamanho do circuito, a diminuição no consumo de energia e o aumento da velocidade de operação, o bloco do modulador será feito em modo-corrente. Atualmente, a demanda por circuitos em modo-corrente vem aumentando consideravelmente, tendo em vista a necessidade de se prolongar o uso da bateria, caso contrário, o desempenho do sistema pode ser comprometido. Por isso, tal técnica vem sendo considerada promissora para solucionar essa problemática.

4.1 Modulador Sigma-Delta em Modo Corrente

A Figura 4.1 ilustra a arquitetura de um modulador sigma-delta em modo corrente. O seu funcionamento ocorre da seguinte forma, uma corrente de entrada I_{in} com certa largura de banda, nesta aplicação deve estar entre 20Hz e 20KHz a qual equivale a faixa de frequência audível pelo ouvido humano, é subtraída ou somada por uma corrente de realimentação (I_{DAC}).

Esse resultado corresponde à entrada do integrador o qual fornece uma corrente I_{out} para o comparador, esse realiza a quantização tendo como referência uma corrente I_{ref} , que equivale ao nível DC da corrente I_{in} . A saída do comparador - conversor A/D de um bit - é, por fim, processada por um flip-flop D operando com o sinal de relógio CLK, correspondente a frequência de amostragem - F_s -.

O DAC é implementado com fontes de correntes contínuas, que são ligados à entrada através interruptores, o feedback do sinal é subtraído ou somado da corrente de entrada a depender da saída do flip-flop.

Conforme dito anteriormente, o potencial dessa técnica reside, entre outros fatores, na diminuição da área e do consumo, e a fonte de alimentação de baixa

tensão que é conveniente, por exemplo, para a comunicação celular e no uso do aparelho auditivo.

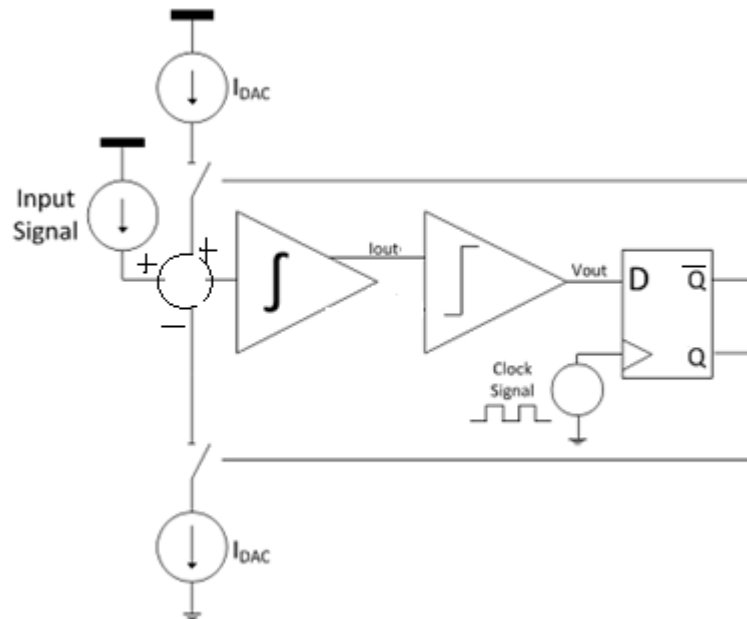


Figura 4.1 – Arquitetura do Modulador $\Sigma\Delta$ de 1° ordem em modo-corrente. [22]

4.2 CORRENTE SUB-LIMIAR

Atualmente, pelo alto nível de integração, para essas aplicações em que se requer baixo consumo de potência (como o aparelho auditivo) existe uma demanda enorme por reduzir cada vez mais a tensão de alimentação. Isto faz com que os transistores operem frequentemente próximo à região de limiar e/ou sub-limiar.

Essa região é denominada sublimiar (subthreshold) ou de inversão fraca, $V_{gs} - V_{th} < 0$ (para o NMOS), porque o canal é fracamente invertido. A curva característica I_d vs V_{gs} muda de uma lei quadrática para uma exponencial, conforme representado na Figura 4.2, ou seja, a corrente não se anula instantaneamente em $V_{gs} < V_{th}$, na realidade o transistor é ligado gradualmente e uma pequena corrente flui através do transistor.

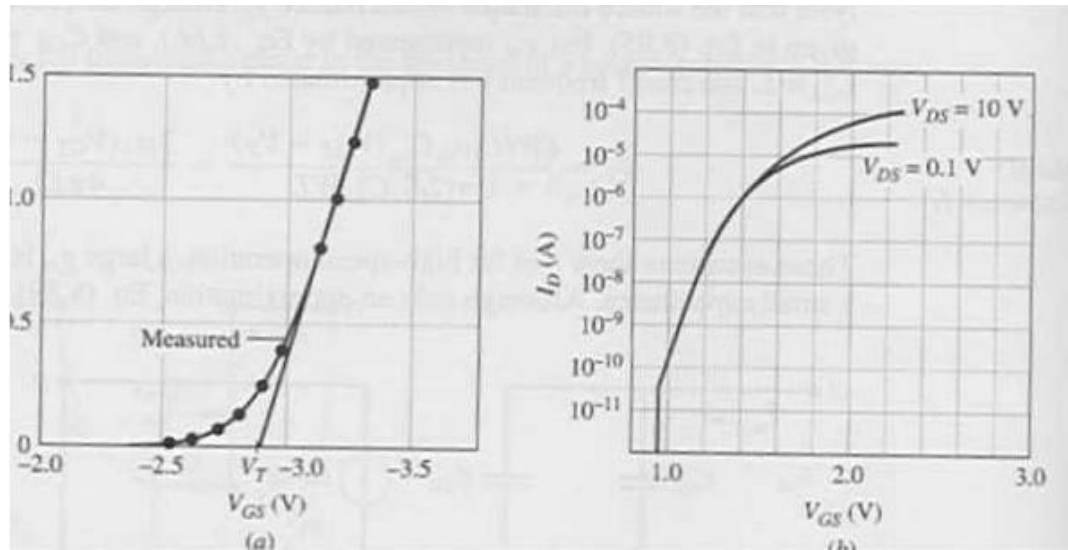


Figura 4.2 - a) Curva da raiz quadrada de I_d e b) $\log(I_d)$ versus V_{gs} em torno e abaixo de V_{th} [23]

O valor de I_d nessa região corresponde a Eq (7).

$$I_d = I_{do} \left(\frac{W}{L} \right) \exp \left(\frac{V_{gs}}{nV_t} \right) \quad (7)$$

onde:

$$I_{do} \text{ (corrente característica em inversão fraca)} = \mu_n C_{ox} (n - 1) V_t^2 e^{\frac{-V_{th}}{nV_t}};$$

$$V_t \text{ (tensão térmica)} = \frac{KT}{q} \approx 26 \text{ mV para } T = 300\text{K};$$

$$n \text{ (índice de sublimiar)} = \frac{C_{ox} + C_{depl}}{C_{ox}};$$

4.3 FILTROS TRANSLINEARES (LOG DOMAIN FILTERS)

Com o intuito de se obter um menor consumo de potência, fazer uso de uma baixa tensão de alimentação e a operar em baixas frequências, será utilizado filtros translineares (*log domain filter*) para a implementação do integrador.

A abordagem translinear é uma técnica em modo corrente - na qual é inerente a não linearidade - e executa uma compressão e uma expansão no sinal processado. Essa propriedade é chamada de princípio de *companding* (compressão e expansão). O benefício de um sistema *companding* é que o sinal com um DR (*Dynamic Range*) particular pode ser processado em um sistema de blocos com um

DR menor que o sinal, e assim, oferecer uma operação em baixas tensões (low-voltage) e baixas potências (low-power). [24]

Circuitos translineares, também conhecidos como *log-domain*, são sistemas não lineares internamente e lineares externamente (Externally Linear Internally Nonlinear systems, ELIN), ou seja, as variáveis de entrada e saída estão relacionadas linearmente às correntes (operação modo corrente). Esses circuitos baseiam-se na relação exponencial entre tensão e corrente, característico de vários dispositivos semicondutores, como o diodo, transistor bipolar e o transistor MOS operando em inversão fraca.

São classificados em: Circuito Translinear Estático (STL - *Static Translinear*) ou Circuito Translinear Dinâmico (DTL - *Dynamic Translinear*). Circuitos STL são implementados para realizar funções de transferência estáticas e seu princípio de funcionamento é voltado pra realizar *loops* em junções semicondutoras. Um *loop* Translinear (TL) é caracterizado por um número par de junções. A Figura 4.3 representa um *loop* translinear com quatro transistores, em que o número de dispositivos com orientação horária é igual ao número de dispositivos no sentido anti-horário.

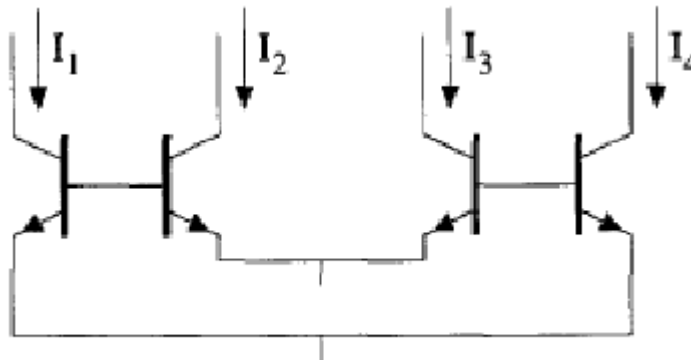


Figura 4.3 - Um loop TL de quatro transistores [25]

4.3.1 Princípio Translinear Estático (STL)

Os circuitos translineares são típicos exemplos de circuitos em modo-corrente, o que significa que o comportamento do *loop* translinear pode ser caracterizado em termos da corrente. Esse princípio é baseado na expressão da corrente do coletor de um transistor bipolar, representado pela Eq. 8.

$$I_c = I_s \exp\left(\frac{V_{be}}{V_t}\right) \quad (8)$$

onde:

I_s = corrente de saturação;

Ou em termos da tensão V_{be} , segundo a Eq 9.

$$V_{be} = V_t \ln\left(\frac{I_c}{I_s}\right) \quad (9)$$

Considerando o exemplo do *loop* translinear esquematizado na Figura 4.3, que os quatro transistor estejam polarizados e operando na mesma temperatura, ao se aplicar a lei de Kirchoff (*Kirchoff low* - LTK), resultando na Eq 10 e 11.

$$V_{be_1} + V_{be_3} = V_{be_2} + V_{be_4} \quad (10)$$

$$V_t \ln\left(\frac{I_1}{I_s}\right) + V_t \ln\left(\frac{I_3}{I_s}\right) = V_t \ln\left(\frac{I_2}{I_s}\right) + V_t \ln\left(\frac{I_4}{I_s}\right) \quad (11)$$

Aplicando-se a exponencial em ambos os lados e posteriormente dividindo toda a equação por I_s , resulta na Eq. 12.

$$I_1 \cdot I_3 = I_2 \cdot I_4 \quad (12)$$

Dessa forma, a Eq. 12 mostra que o princípio STL pode ser utilizado para implementar operações aritmética de multiplicação e divisão no domínio da corrente. Uma das vantagens de circuitos TL, quando estático, é que variáveis dependente da temperatura, como o V_t , e outras independentes, como o I_s , são eliminadas nesse processo.

4.3.2 Princípio Translinear Dinâmico (DTL)

O princípio translinear dinâmico (*Dynamic Translinear*) permite transformar equações diferenciais, lineares ou não, também em circuitos translineares. Para

realizar esta transformação, basta associar um capacitor a um dispositivo de comportamento exponencial, dado pela Eq. 8. A presença desse capacitor como elemento básico, aumenta significativamente a aplicação desse tipo de circuito translinear e por consequência o sistema é representado por meio de equações diferenciais. [26,27]

Esse princípio pode ser explicado tendo como referência o circuito da Figura 4.4. Sendo I_{cap} a corrente que flui pelo capacitor e V_{const} uma fonte de tensão contínua. Aplicando a LTK na malha translinear, resulta na Eq.13.

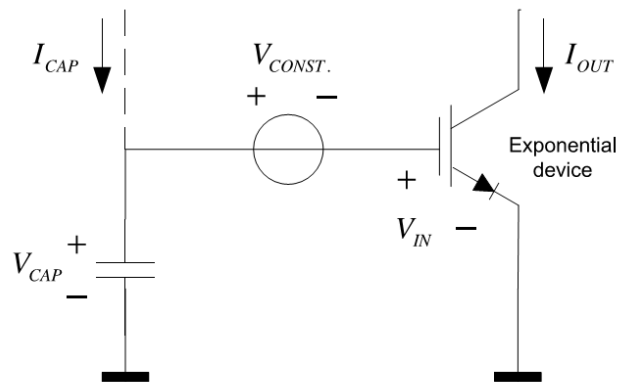


Figura 4.4 – Princípio Translinear Dinâmico [28]

$$-V_{cap} + V_{const} + V_{be} = 0 \quad (13)$$

Substituindo a expressão de V_{be} , dada pela Eq.9, na Eq. 13, depois diferenciando com relação ao tempo, resulta em:

$$\frac{dV_{cap}}{dt} = V_t \left(\frac{1}{I_c} \right) \frac{dI_c}{dt} \quad (14)$$

No entanto,

$$I_{cap} = C \frac{dV_{cap}}{dt} \quad (15)$$

Substituindo a Eq. 15 em Eq.14, tem-se a Eq.16 que segue:

$$I_{cap} = V_t \cdot C \left(\frac{1}{I_c} \right) \frac{dI_c}{dt} \quad (16)$$

Equivalente a Eq.17.

$$I_{cap} \cdot Ic = Vt \cdot C \dot{I}c \quad (17)$$

Dessa forma, ao analisar a Eq. 17, fica evidente que a derivada no tempo de uma corrente pode ser mapeada em um produto de correntes, e que essa operação pode ser implementada facilmente utilizando o princípio STL.

4.3.3 Filtro *Log Domain* de primeira ordem

A Figura 4.5 - a esquematiza um típico filtro *log domain* que pode ser representado por um circuito diodo-capacitor. A corrente da capacitância I_{cap} pode ser expressa em termos da tensão V_{in} e V_c e obedece à lei exponencial do dispositivo (neste caso, o diodo), ilustrada pela Eq.18.

$$I_{cap} = Id = C \cdot \dot{V}c = Is \cdot \exp \frac{V_{in} - V_c}{Vt} \quad (18)$$

A partir da Eq.12 observa-se que o filtro é inerentemente não-linear, dessa forma, para que a linearidade do sistema seja mantida é necessário que a corrente de entrada seja convertida em tensão por um conversor logaritmo, para então ser processado por um por um integrador não-linear antes de ser convertido em uma corrente de saída por um conversor exponencial. O diagrama de blocos do filtro logdomain linear é mostrado na Figura 4.5 - b.

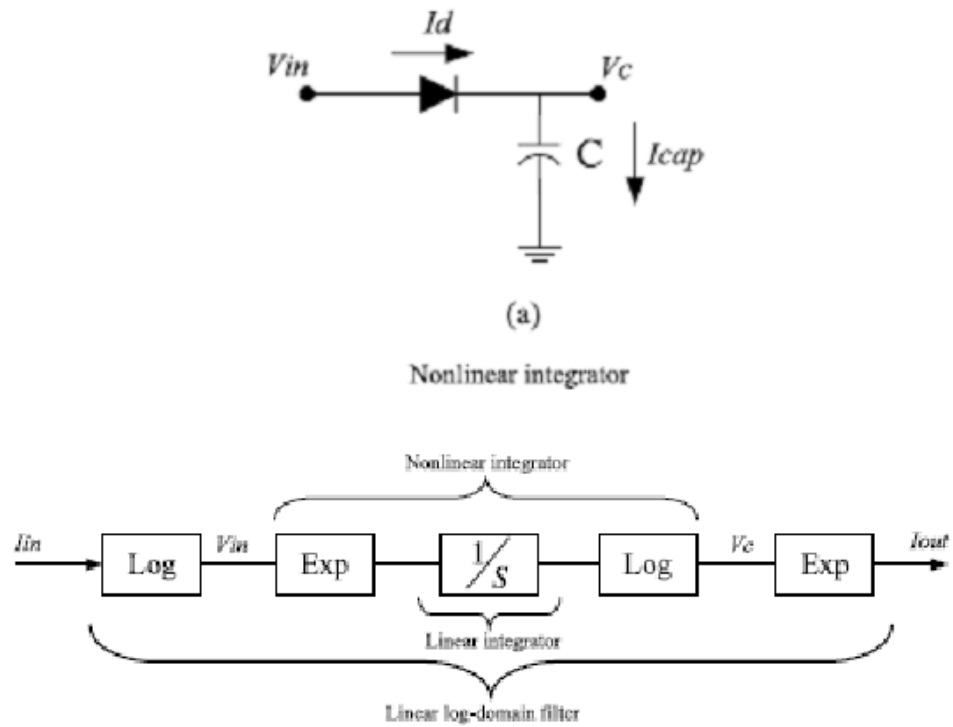


Figura 4.5 - (a) Representação de um filtro *log-domain*, (b) Diagrama de blocos de um filtro *log-domain* linear [28].

A maneira mais simples de se implementar um filtro *log-domain* de primeira ordem é esquematizado na Figura 4.6 e é composto pela combinação de *loop* STL e DTL. Tal filtro é representado pela Eq.19 que segue:

$$CV_t I_{out} + I_o I_{out} = I_o I_{in} \quad (19)$$

Representando um filtro passa-baixas translinear, com frequência de corte equivalente a Eq.20.

$$f_c = \frac{I_o}{2\pi CV_t} \quad (20)$$

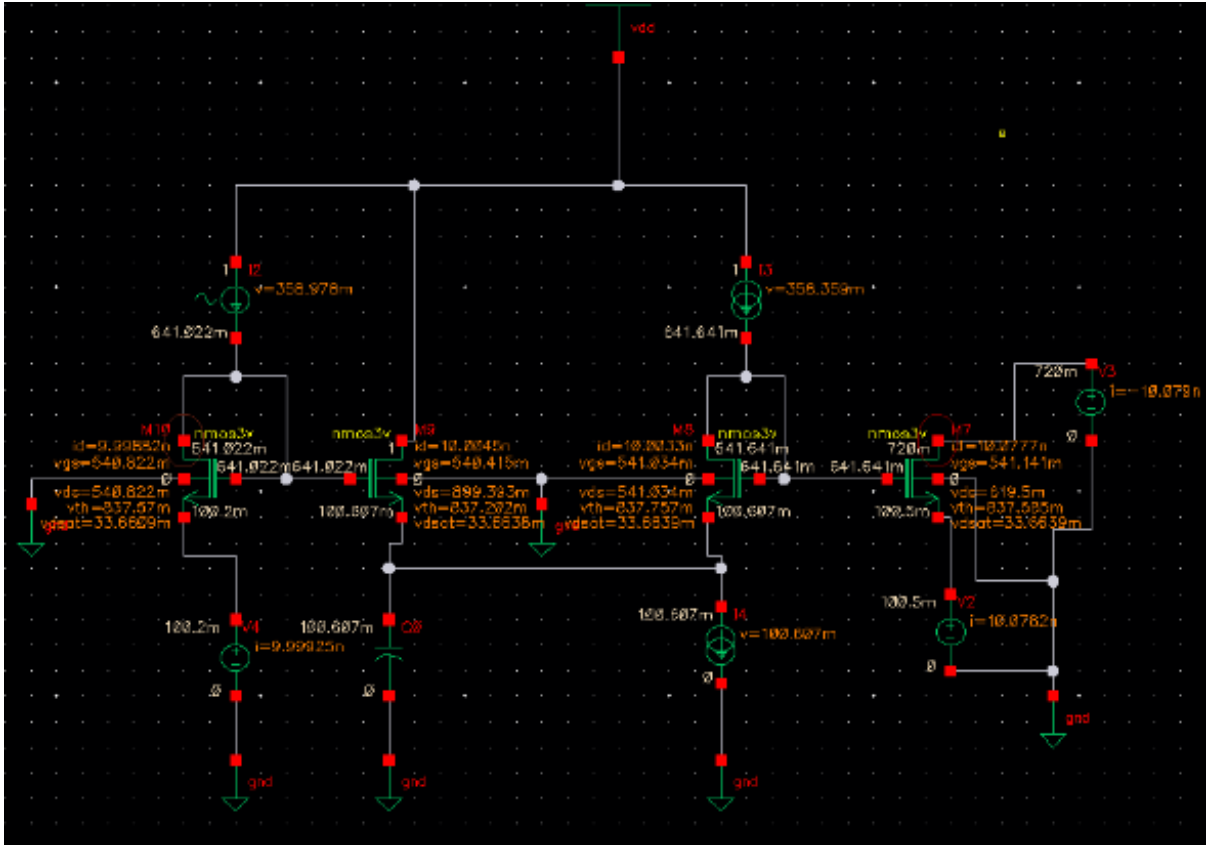


Figura 4.6 – Esquemático do Filtro *Log Domain* de primeira ordem

O circuito acima foi implementado no software CADENCE, utilizando transistores NMOS com os seguintes valores: $W/L_1 = W/L_2 = W/L_3 = W/L_4 = 30/2$ e $V_{dd} = 1V$. Em seguida, foram feitas simulações com a finalidade de constatar como o sistema reage a alterações de algumas variáveis.

Inicialmente, modificou-se o valor do capacitor conforme esquematizado na Tabela 2, na qual se observa uma linearidade na relação entre o valor do capacitor e da frequência de corte, ratificando a Eq. 7, ou seja, dobrando o valor do capacitor a frequência de corte cai pela metade. A Figura 4.7 sintetiza esses dados.

Capacitância (pF)	10	20	40	80
Frequência (KHz)	5,677	2,922	1,464	0,742

Tabela 2 - Variação de capacitância e seus respectivos valores de frequência de corte.

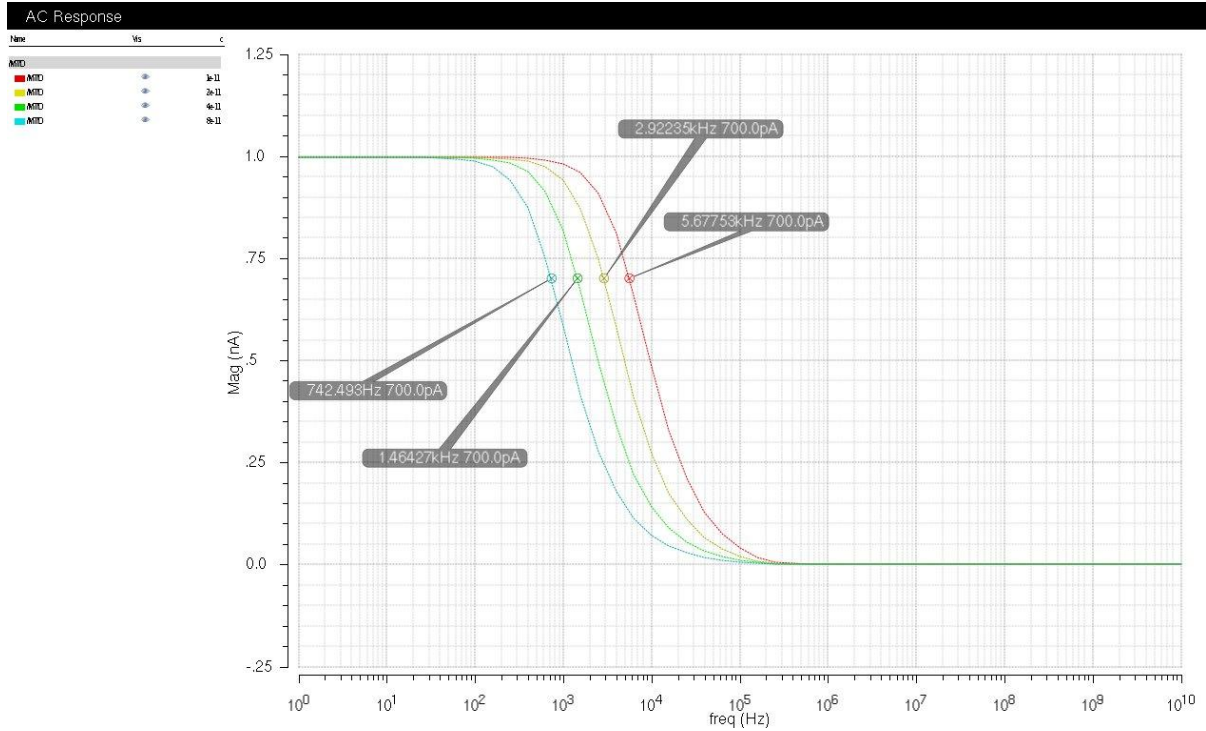


Figura 4.7 - Variação do capacitor e suas frequências de corte.

O mesmo foi feito para a corrente I_0 , ilustrado na Figura 4.8 e sintetizado na Tabela 3, ou seja, ao dobrar o valor da corrente I_0 a frequência de corte também é dobrada.

Corrente (nA)	10	20	40	80
Frequência (KHz)	5,66	11,17	21,75	42,16

Tabela 3 - Variação de corrente I_0 e seus respectivos valores de frequência de corte.

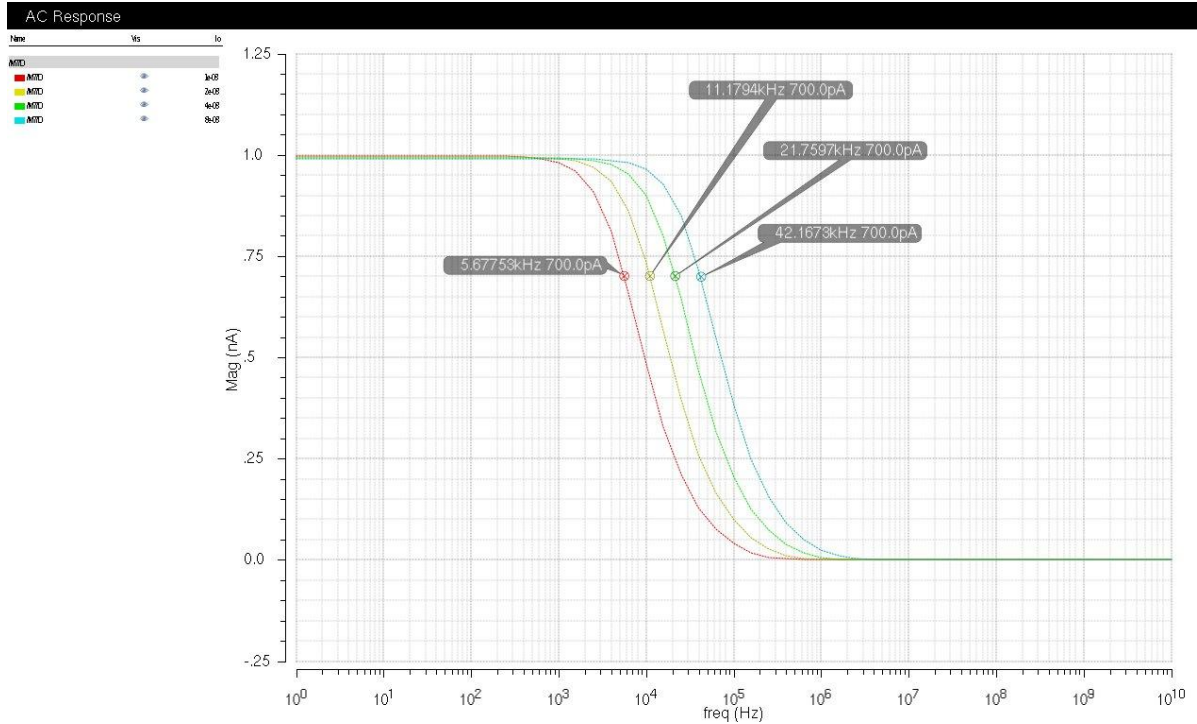


Figura 4.8 - Variação de corrente I_O e suas frequências de corte.

4.4 MODULADOR DE 1° ORDEM

Inicialmente foi projeto o modulador Sigma-Delta de 1° ordem, para tal, a análise em nível de circuitos foi dividida em blocos com o intuito de aperfeiçoar o entendimento geral do sistema. A Figura 4.10 representa o diagrama de blocos do modulador de 1° ordem projetado.

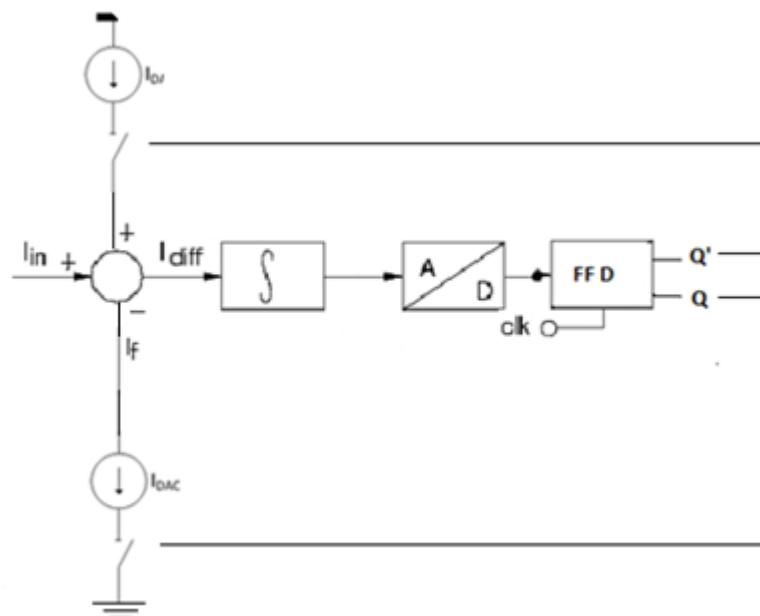


Figura 4.10 – Diagrama de blocos do modulador de 1° ordem projetado

4.4.1 Integrador *Logdomain*

O integrador é um filtro passa-baixas para o sinal, e por isso, foi implementado usando filtros translineares com a finalidade de aferir um menor consumo de potência, conforme relatado anteriormente. A figura 4.11 ilustra o esquemático do integrador *logdomain* projetado. Ressaltando que, apenas neste estágio, os transistores MOS devem operar na região de inversão fraca ($V_{gs} < V_{th}$) a fim de explorar as características exponenciais.

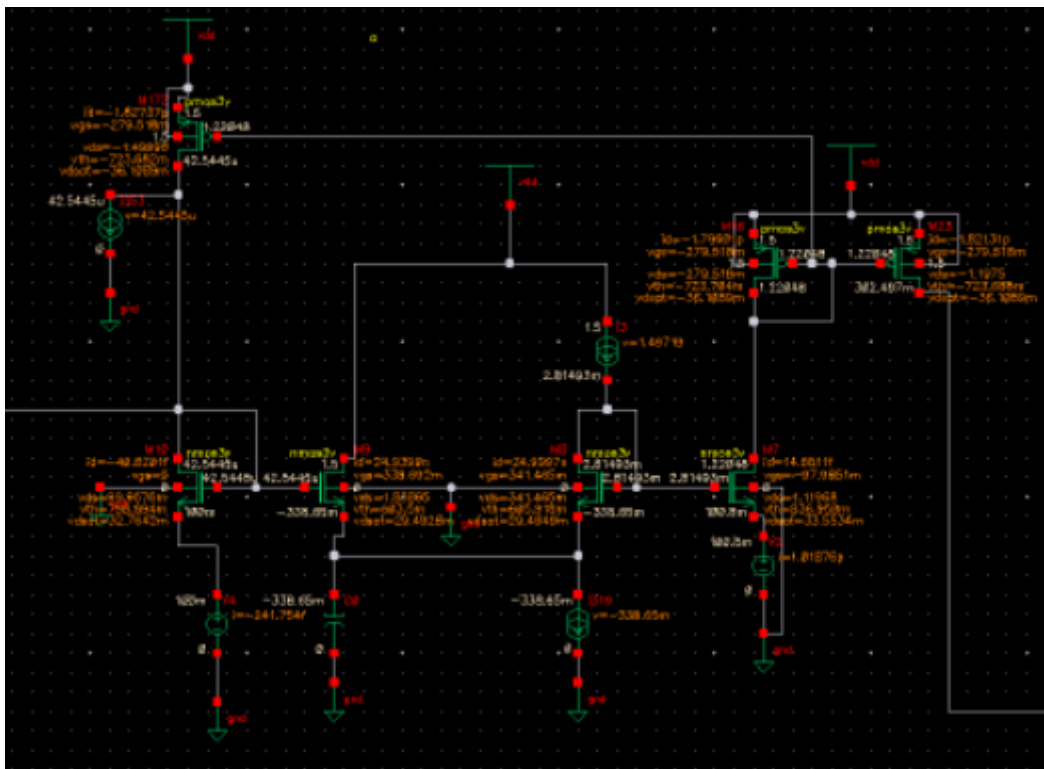


Figura 4.11 – Esquemático do Integrador *Logdomain*

No circuito exposto, nota-se que este difere da topologia do filtro *logdomain* apresentado anteriormente a tomar pela realimentação, uma vez que, com essa técnica um pólo é suprimido e o mesmo passa a se comportar como um integrador ideal.

O valor do capacitor corresponde a 50pF, esse valor alto é justificado pela interferência que as capacitâncias parasitas dos transistores do bloco diferenciador causavam. Com isso, tomando a entrada como uma onda senoidal com DC de 25nA, a frequência de corte desse filtro passa-baixas equivale a 2,9KHz. A Figura 4.12 ilustra a frequência de corte do integrador projetado.

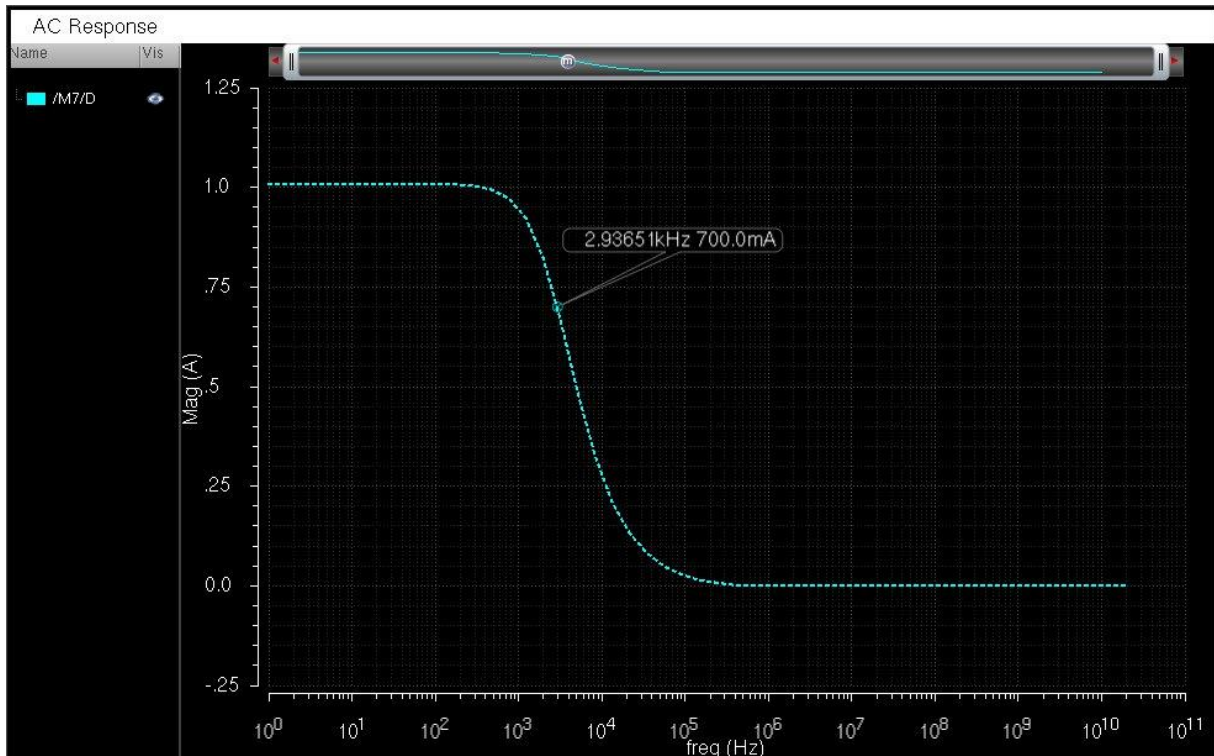


Figura 4.12 – Frequência de corte do Integrador projetado

4.4.2 Diferenciador

O circuito diferenciador foi projetado segundo exposto na Figura 4.13. Conforme dito anteriormente, a corrente de entrada deve ser subtraída ou somada de um delta (Δ) dependendo da saída do Flip-Flop. Dessa forma, se a saída do integrador for maior que o a corrente de referência do comparador (I_{ref}), a corrente de entrada é subtraída do I_{DAC} , caso contrário, a soma é processada.

A saída do Flip-Flop, por ser uma onda quadrada, é que vai controlar através do *gate* a passagem ou interrupção da corrente. Além disso, foram adicionados dois transistores (M171 e M178) os quais funcionam como chaves que recebem a saída do FF invertida possibilitando, assim, o correto funcionamento do diferenciador.



Figura 4.13 – Esquemático do Circuito Diferenciador

4.4.3 Comparador de Corrente

O circuito introduzido pela Figura 4.14 é a forma mais simples de comparação de correntes. Os transistores *diode-connected* NMOS-PMOS produzem uma corrente, esta corrente de referência é espelhado para a saída como I_{th} , e corrente de entrada é espelhado para a saída como I_{in} .

A saída do circuito comparador é tensão alta lógica, ou seja, nó de saída tem o mesmo potencial que a alimentação, quando o corrente de entrada é menor do que I_{th} e tensão lógica baixa, ou seja, nó de saída tem a mesma voltagem com solo, quando a corrente de entrada é maior do que I_{th} .

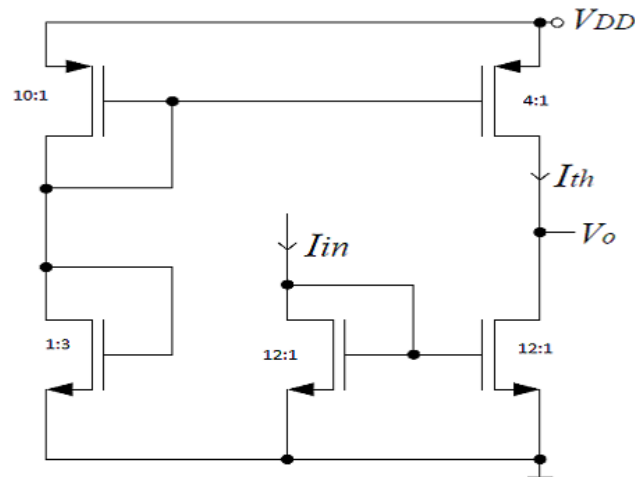


Figura 4.14 – Circuito comparador de correntes [30]

Dessa forma, fica claro que a lógica desse comparador é inversa, por isso, é necessário que seja implementado um inversor na saída desse comparador a fim de que se tenha o nível lógico alto quando a corrente de entrada é maior do que I_{th} , e nível lógico baixo quando for menor. A Figura 4.15 ilustra o circuito inversor.

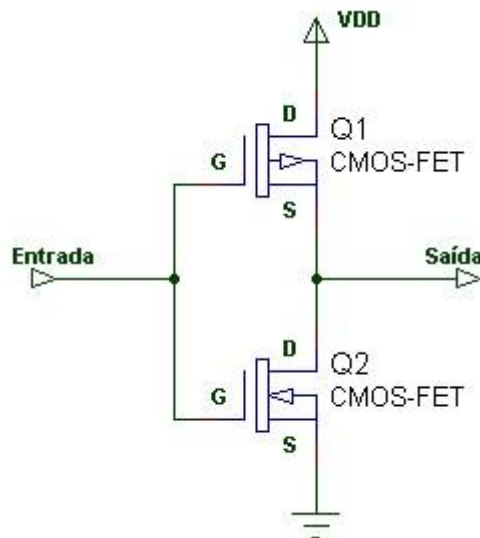


Figura 4.15 – Circuito Inversor [31]

A Figura 4.16 sintetiza o esquemático do circuito comparador de corrente implementado, o qual a corrente é comparada com o nível DC da entrada (25nA), dessa forma, quando esta for superior a esse valor, a saída corresponderá a tensão Vdd (1,5V), caso contrário, será atribuído 0V (Gnd).

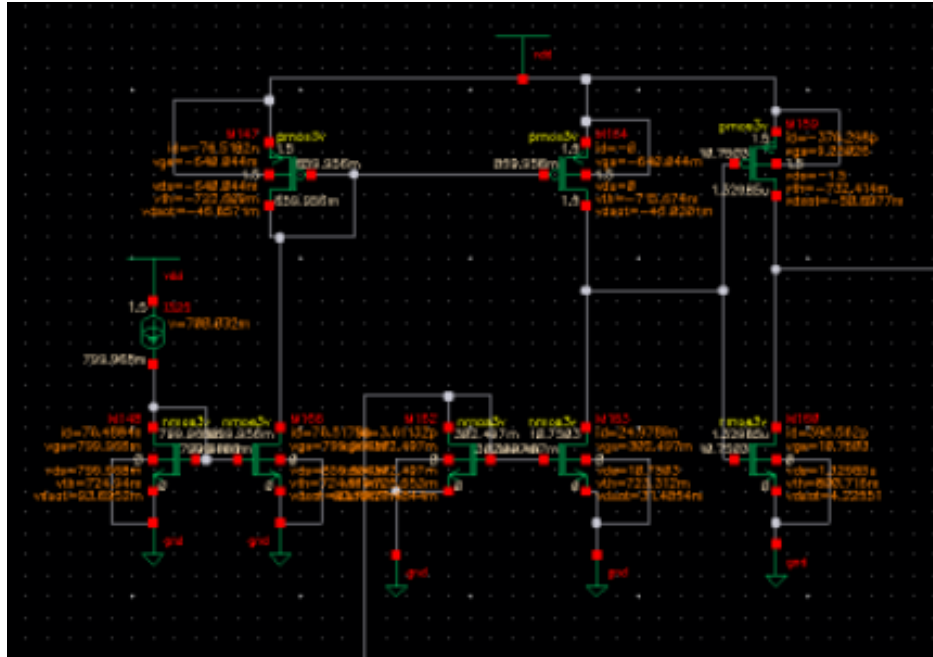


Figura 4.16 – Circuito Comparador de Corrente implementado

4.4.4 Bloco de Memória (Flip Flop D)

Esse bloco estará composto por um Flip-Flop D, o qual o *clock* corresponde à frequência de amostragem. A Figura 4.17 representa o circuito do FF D implementado. O cálculo da frequência de amostragem foi realizado por meio das Eq. 21 ,22 e 23.

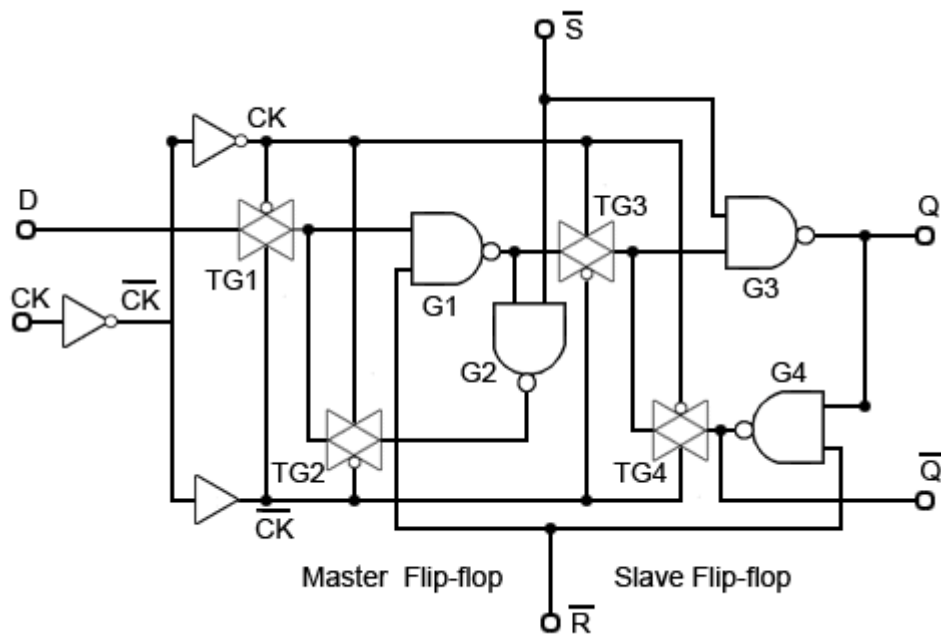


Figura 4.17 – Circuito Flip-Flop D com SET e RESET [32]

$$F_s = 2 M F_b \quad (21)$$

onde:

F_s = frequência de amostragem

M = mínimo *oversampling*

F_b = frequência de banda do sinal de entrada

$$M = \left(\frac{2}{3} \frac{\pi^{2L}}{2^{L+1}} \frac{DR^2}{2^{B-1}} \right)^{\frac{1}{2L+1}} \quad (22)$$

onde:

DR = *Dynamic Range*

L = ordem do modulador

B = bits do quantizador

$$DR = 6,02 \cdot ENOB + 1,76 \quad (23)$$

onde:

ENOB = *Effective Number Of Bits*

A partir deste momento, alguns parâmetros do modulador de primeira ordem foram definidos, tais como: ENOB e F_b . A Tabela 4 sintetiza esses valores, no qual, o ENOB é o mais importante deles.

Parâmetro	Valor
F_b	50Hz
ENOB	8 bits
L	1
B	1
DR	50 dB
M (Taxa de amostragem)	64
F_s	6.4KHz

Tabela 4 – Síntese dos parâmetros do modulador de 1º ordem a ser projetado

A frequência de entrada deve corresponder a faixa audível humana (20Hz-20Kz), no entanto, foi fixada em 50Hz devido às limitações de tempo de simulação, uma vez que, ao se usar o máximo valor, a frequência de amostragem fica em torno de Mega Hertz, aumentando consideravelmente o tempo de simulação.

4.5 MODULADOR DE 2° ORDEM

O projeto do modulador de 2° ordem difere do anterior, tão somente, pela quantidade de integradores e diferenciadores. A Figura 4.18 representa o Diagrama de Blocos do Modulador de 2° ordem em modo corrente, o qual, cada bloco será substituído por seu circuito correspondente ilustrado anteriormente.

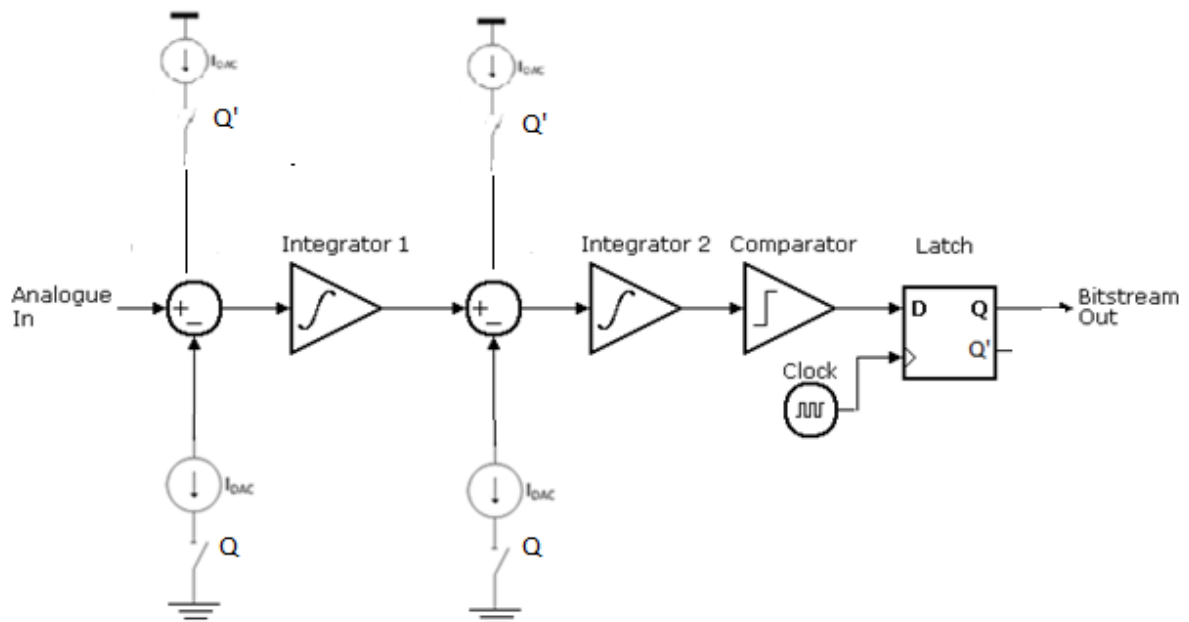


Figura 4.18 – Diagrama de Blocos do Modulador de 2° ordem em modo corrente

4.6 DECIMADOR DIGITAL

Decimação é uma técnica usada para reduzir o número de amostras em um sinal de frequência mais alta em tempo-discreto. O processo de decimação é usado em conversores $\Sigma\Delta$ para eliminar informação redundante, introduzida pelo oversampling. Na prática, isto normalmente implica na convolução de um sinal por um filtro passa-baixas (do tipo CIC), e então, a redução de sua taxa efetiva de

amostragem. O filtro decimador acumula um *stream* de bits por um certo tempo e divide a soma pelo número de períodos. [33]

A Figura 4.19 ilustra a representação de um decimador, na qual, $F_1 = M.F_0$, ou seja, esse componente deixa passar uma amostra a cada M. A sua complexidade reside, portanto, não na sua implementação mais sim nas condições necessárias para que essa operação não destrua a informação relevante.

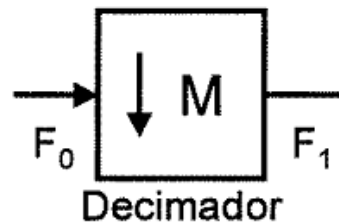


Figura 4.19 – Representação para o Decimador

Em processamento digital de sinais, filtros CIC são classes otimizadas de filtros de resposta finita ao impulso (i.e., finite impulse response), utilizados em aplicações de interpolação e decimação. A Figura 4.18 apresenta as topologias e equações dos filtros comb, integrador e CIC. Para melhorar a característica de um passa-baixas, estágios múltiplos de um único CIC podem ser cascateados [34]

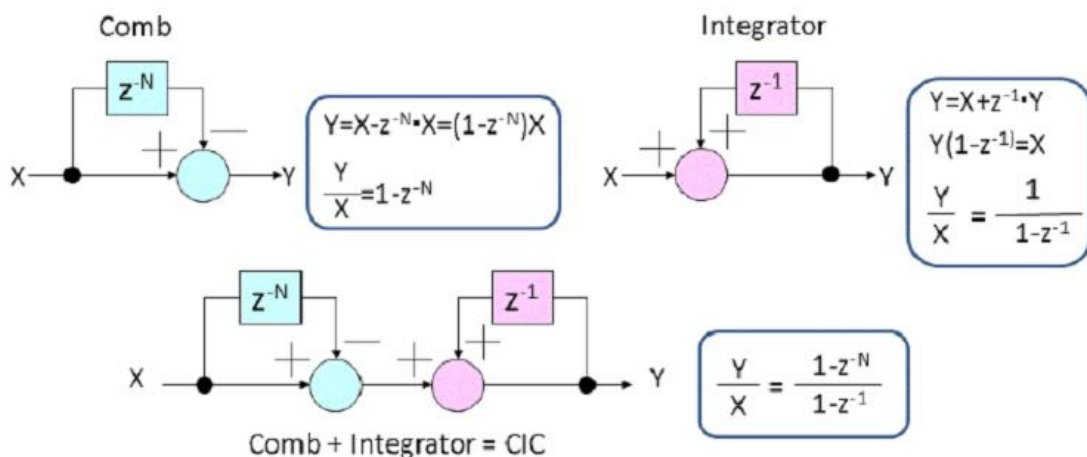


Figura 4.18 – Topologias e equações dos filtros comb, integrador e CIC.

5 RESULTADOS E CARACTERIZAÇÃO DO MODULADOR $\Sigma\Delta$

A tecnologia utilizada para a síntese lógica e física, bem como todas as verificações mencionadas, foi a CMOS TSMC 0.18 μm (tsmc18). A escolha da mesma quando comparada à tecnologia AMS 0.35 μm , também utilizada na Universidade de Brasília, é baseada em sua característica mais profissional, aliada ao robusto *standard cells* disponíveis.

5.1 VALIDAÇÃO DO MODULADOR 1° ORDEM

Ao iniciar o processo de validação do sistema, os parâmetros listados pela Tabela 5 foram definidos.

Parâmetro	Valor
I_{IN}	Senóide DC = 25nA Amplitude = 5nA $F_b = 50\text{Hz}$
V_{DD}	1,5V
$C_{INTEGRADOR}$	50 pF

Tabela 5 – Síntese dos parâmetros definidos inicialmente.

O primeiro aspecto a ser analisado será a relação entre a variação do valor do Δ e a saída do modulador, uma vez que, o correto funcionamento desse componente corresponde a uma saída ilustrada pela Figura 5.1.

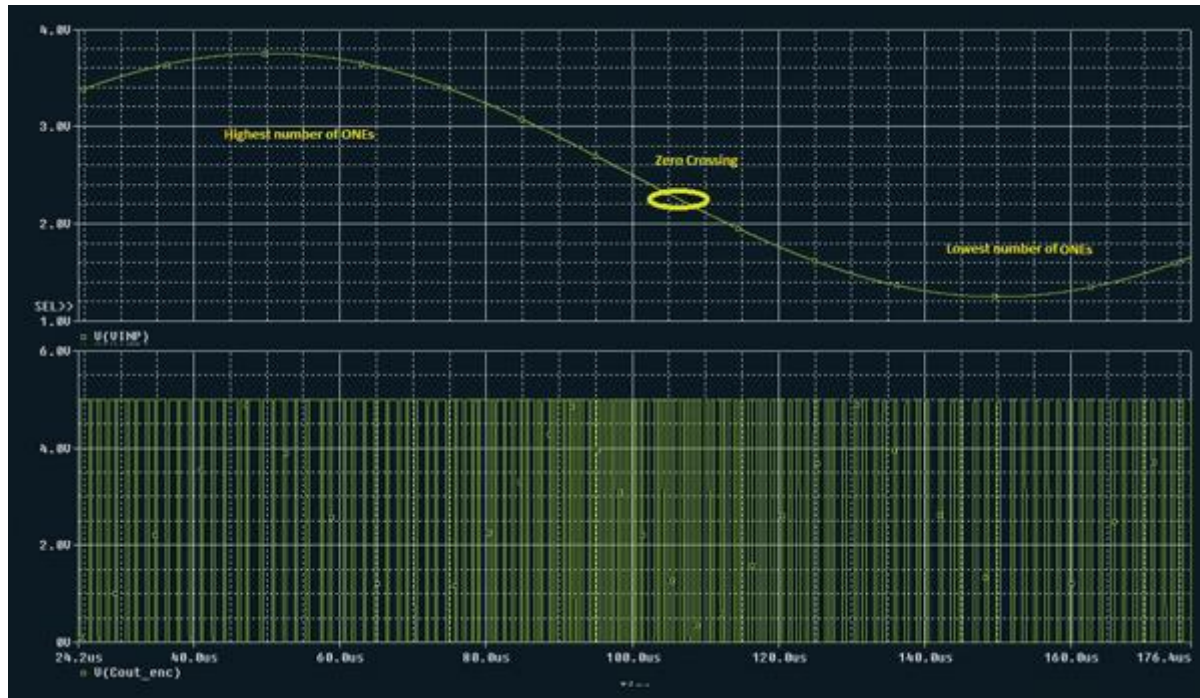


Figura 5.1 – Saída esperada do modulador.

Inicialmente foi realizada a simulação com um Δ de 2nA. Nesse momento, cabe ressaltar que uma condição necessária para a modulação ocorrer é que o Δ deva ser menor ou igual que a amplitude do sinal.

Nesse sentido, feita a simulação com o Δ correspondendo a 2nA e uma frequência de amostragem de 8KHz para que a resolução fosse atendida. A saída do modulador, nessas condições, é representada pela Figura 5.2. A partir dela, é possível observar que o mesmo se encontra saturado.

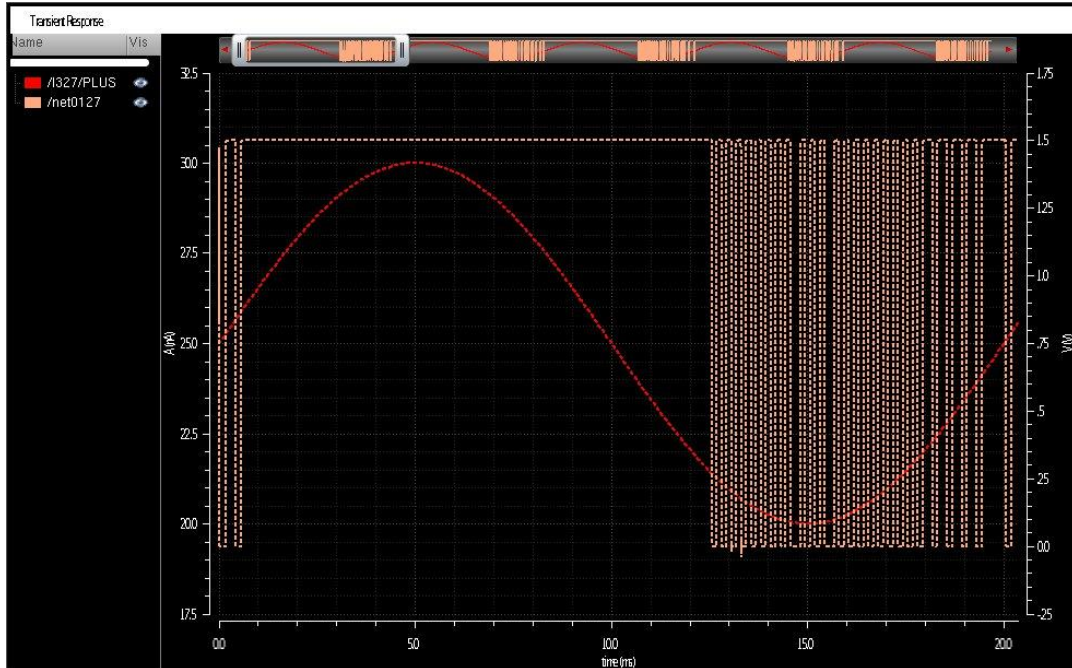


Figura 5.2 – Saída do modulador de 1º ordem com um Δ de 2nA e $F_s = 8\text{KHz}$.

A Figura 5.3 representa o comportamento do diferenciador com relação à saída do FF, e a Figura 5.4 ilustra a saída do integrador nas mesmas condições. Tomando como base a primeira, observa-se que quando a saída do FF possui nível lógico alto (V_{dd}) é subtraído da entrada o valor do Δ (2nA), caso contrário, esse valor é somado. As formas de ondas que seguem representam respectivamente: a saída do FF, a corrente do diferenciador a ser somada, a corrente do diferenciador a ser subtraída, e por fim, a saída do diferenciador.

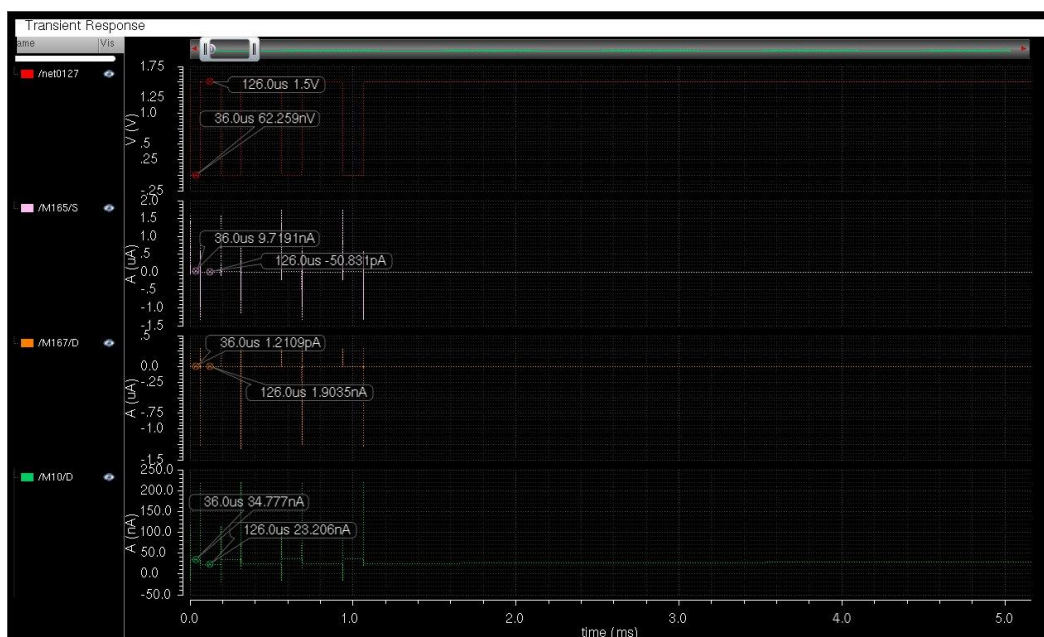


Figura 5.3 – Saída do diferenciador com um Δ de 2nA e $F_s = 8\text{KHz}$

Ao se analisar a Figura 5.4, fica evidente a partir de que momento o modulador, nessas condições, torna-se saturado. Isso se justifica pelo fato do valor do delta ser muito menor que a amplitude do sinal de entrada. As formas de ondas que seguem ilustram a saída do diferenciador e do integrador.

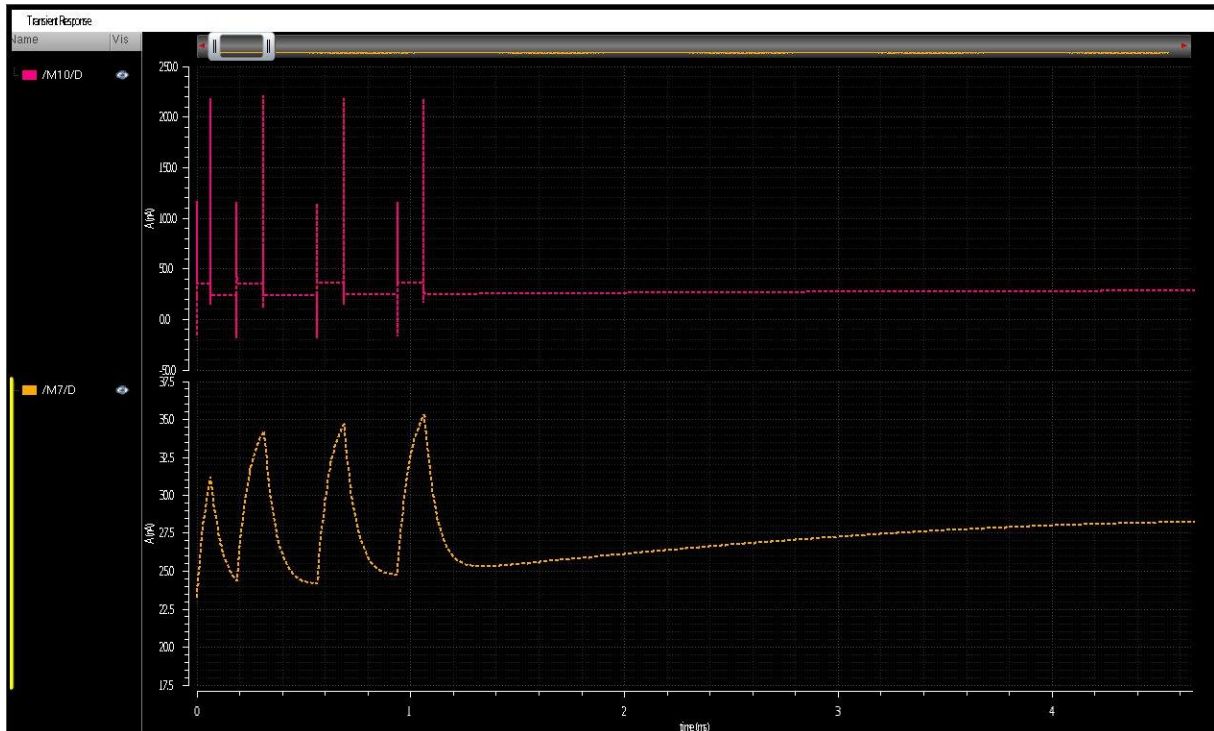


Figura 5.4 – Saída do integrador com um Δ de 2nA e $F_s = 8\text{KHz}$.

Os picos presentes nos gráficos acima, deve-se ao fato do DAC ser implementado como uma chave, dessa forma ocorre um fenômeno chamado *charge injection* (“injeção de carga”).

A injeção de carga em comutadores analógicos é uma mudança de nível causada pela capacitância parasita associado com os NMOS e PMOS que compõem a chave analógica.

Posteriormente foi feita simulação para um Δ de 10 nA. A Figura 5.5 ilustra a saída do modulador. Nessas condições, é notável que a mesma está mais próxima do gráfico esperado.

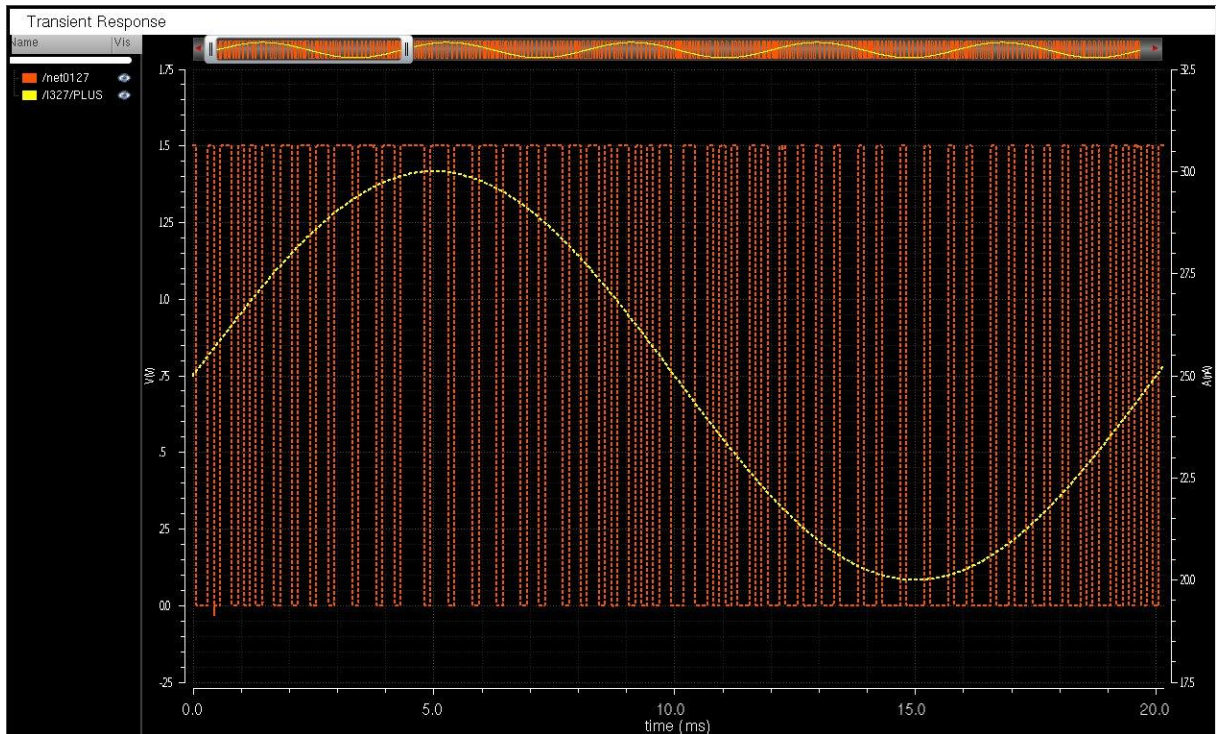


Figura 5.5 – Saída do modulador de 1° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$.

A Figura 5.6 ilustra o comportamento do diferenciador com relação à saída do FF, e a Figura 5.7 ilustra a saída do integrador nas mesmas condições. Ressalta-se que quando a saída do FF possui nível lógico alto (V_{dd}) é subtraído da entrada o valor do Δ (10 nA) , caso contrário, esse valor é somado.

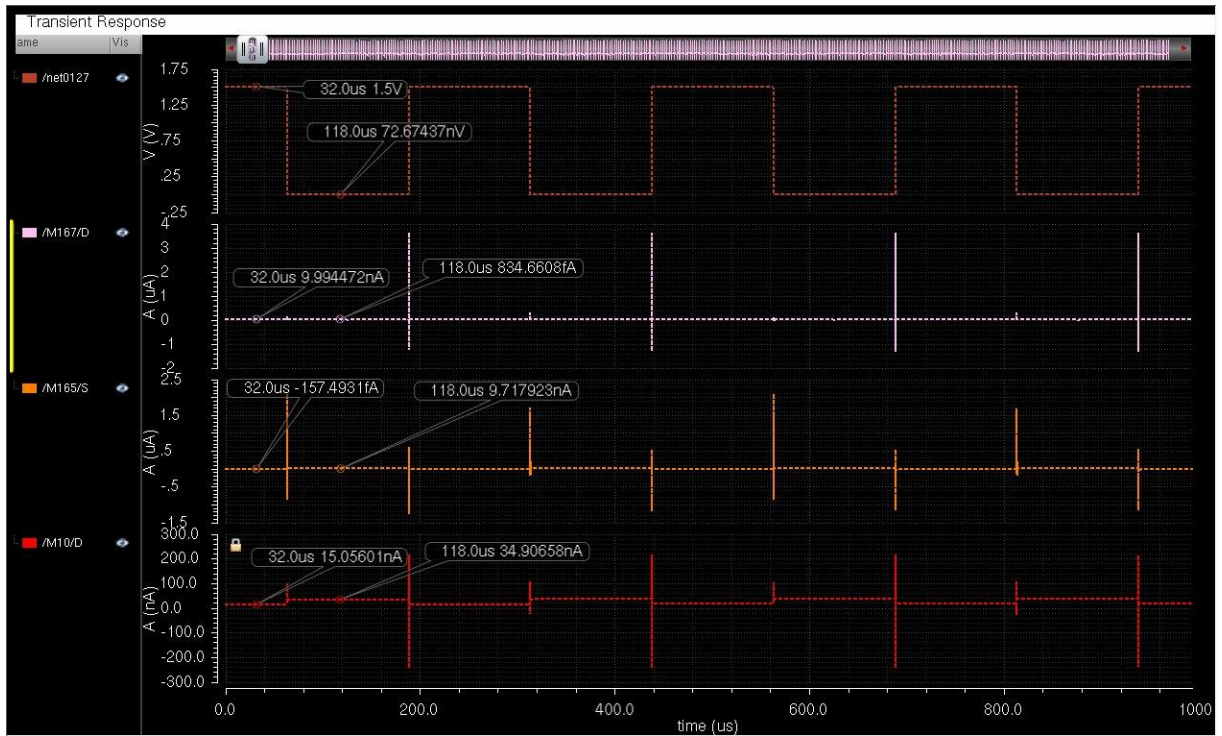


Figura 5.6 – Saída do diferenciador com um Δ de 10nA e $F_s = 8\text{KHz}$

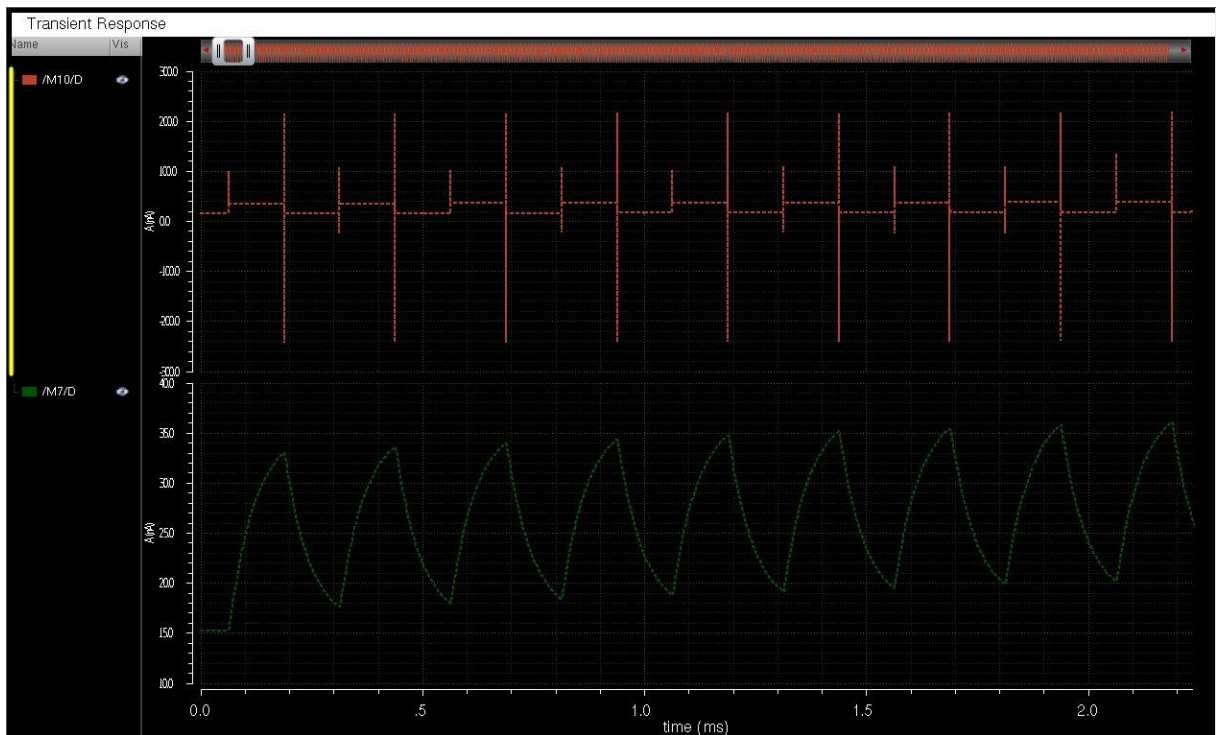


Figura 5.7 – Saída do integrador com um Δ de 10nA e $F_s = 8\text{KHz}$.

Após essas análises, tomando o Δ com valor de 10 nA, uma vez que, foi o resultado que apresentou uma melhor modulação, foi plotado a *FFT* com o intuito de fazer a análise em frequência para que fosse possível extrair importantes, como o *ENOB* e a *SNR*. A Figura 5.8 ilustra o resultado da *FFT*, com ela, nota-se que a largura de banda do sinal (4KHz) vale metade da frequência de amostragem (8KHz), conforme refere o Teorema de Nyquist.

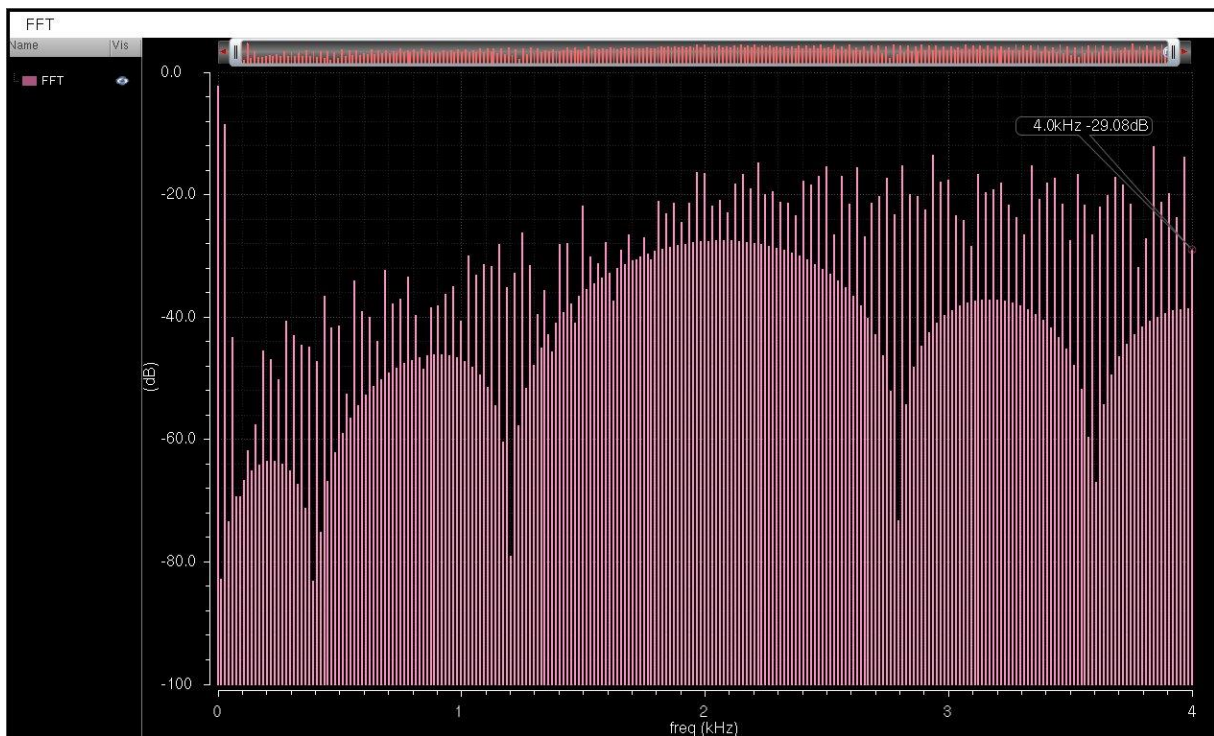


Figura 5.8 – FFT do modulador de 1° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$.

Já a Figura 5.9 representa a mesma análise em frequência, no entanto, a escala do eixo das abscissas foi transformada em logarítmica com a finalidade de aperfeiçoar a análise que se destina. A partir dessa, é possível notar em torno de 60Hz há a presença de um harmônico que é responsável por diminuir a *SNR* e, por conseguinte, o *ENOB* deste modulador.

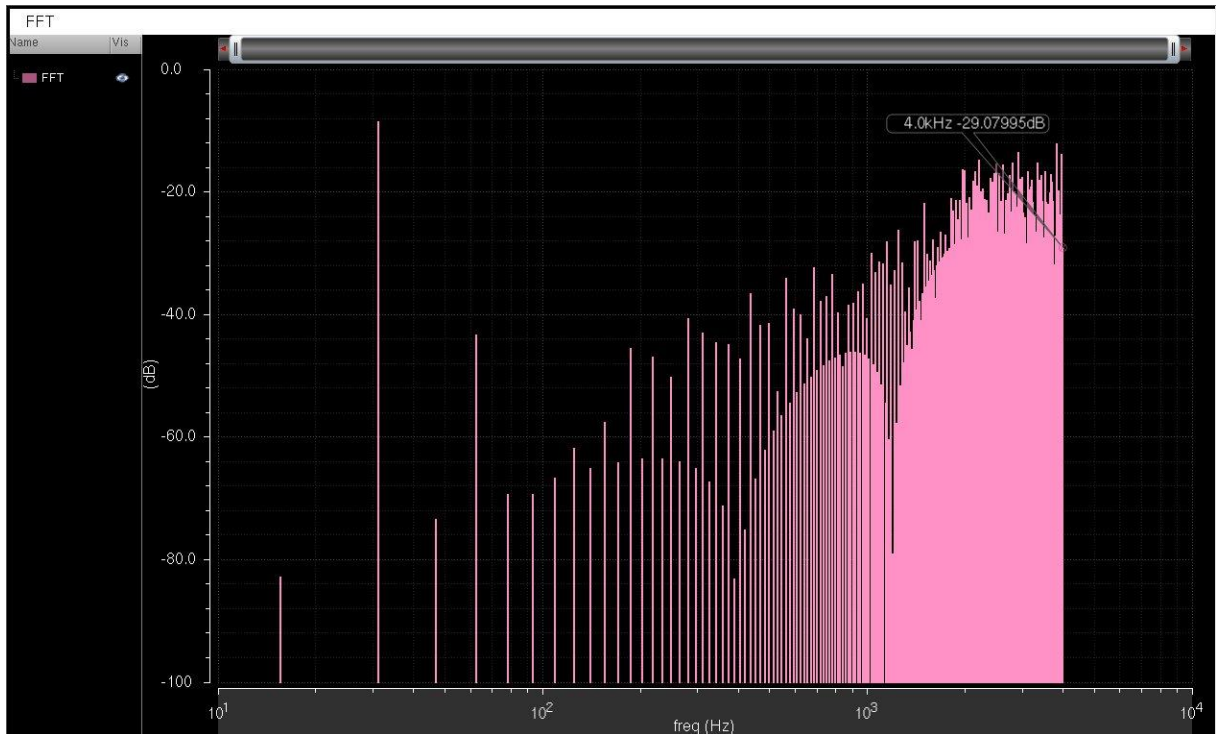


Figura 5.9 – FFT do modulador de 1° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$ em escala logarítmica .

Algumas tentativas para eliminar esse harmônico foram feitas como, por exemplo, aumentar o numero de ciclos de transiente que seriam eliminados no janelamento. Mas, esse objetivo não foi alcançado, por isso, para que fosse possível atingir o ENOB especificado foi necessário aumentar a frequência de amostragem. A tabela 6 resume os parâmetros atingidos até o momento.

Parâmetro	Valor
ENOB	5,38 bits
SNR	34,15 dB
F_s	8KHz
Taxa de amostragem (M)	128
Δ	10nA

Tabela 6 – Especificações do modulador de 1° ordem

Dessa forma, a frequência de amostragem foi aumentada para 512KHz, por isso, considerando a frequência do sinal de entrada de 50Hz, a taxa de amostragem

para a ser 8192. A Figura 5.10 exibe a resposta em frequência da saída do modulador nessas especificações.

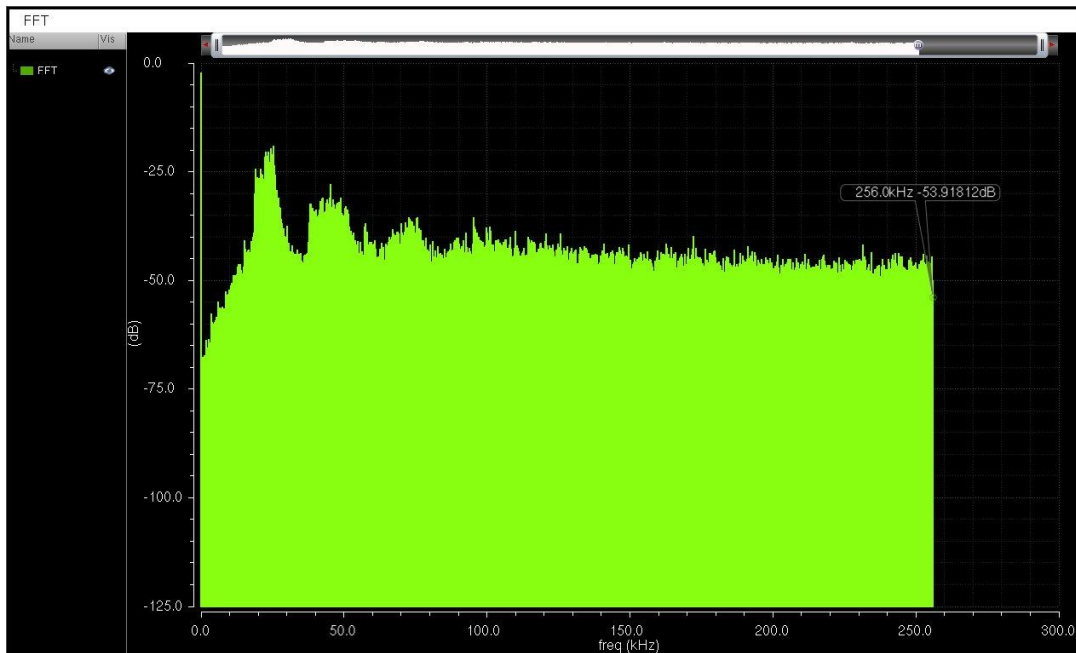


Figura 5.10 – FFT do modulador de 1° ordem com um Δ de 10nA e $F_s = 512\text{KHz}$.

A Figura 5.11 também representa a análise em frequência. É possível notar que em torno de 60Hz ainda há a presença do harmônico que é responsável por diminuir a SNR e, por conseguinte, o ENOB deste modulador. No entanto, como a frequência de amostragem foi aumentada, a resolução também aumentou quando comparado ao caso anterior.

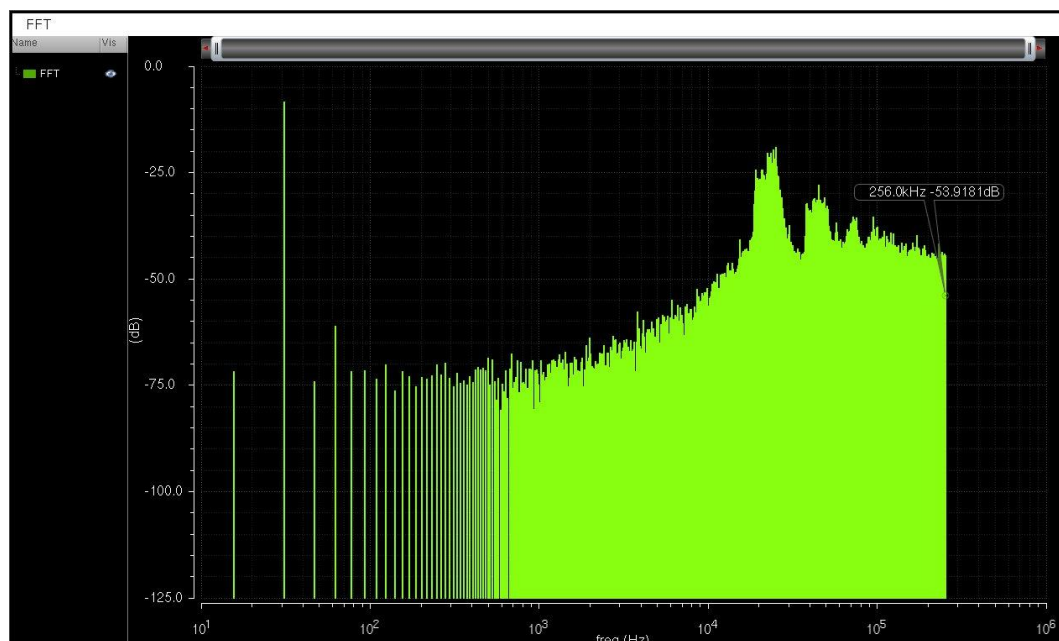


Figura 5.11 – FFT do modulador de 1° ordem com um Δ de 10nA e $F_s = 512\text{KHz}$ em escala logarítmica .

A Tabela 7 resume os parâmetros nessas condições, na qual fica evidente que o ENOB pretendido é alcançado. No entanto, não com a frequência de amostragem inicialmente almejada, tendo em vista a presença do harmônico relatado anteriormente.

Parâmetro	Valor
ENOB	8,08 bits
SNR	50,44 dB
Fs	512KHz
Taxa de amostragem (M)	8192
Δ	10nA
Potência	208,125 nW

Tabela 7 – Especificações do modulador de 1° ordem

5.2 VALIDAÇÃO DO MODULADOR 2° ORDEM

Com a finalidade de se obter a mesma SNR, com uma frequência de amostragem menor é necessário aumentar a ordem do modulador. Essa seção será destinada a caracterização do modulador de 2° ordem. A Figura 12 representa a saída do modulador de 2° ordem com uma frequência de amostragem de 8KHz.

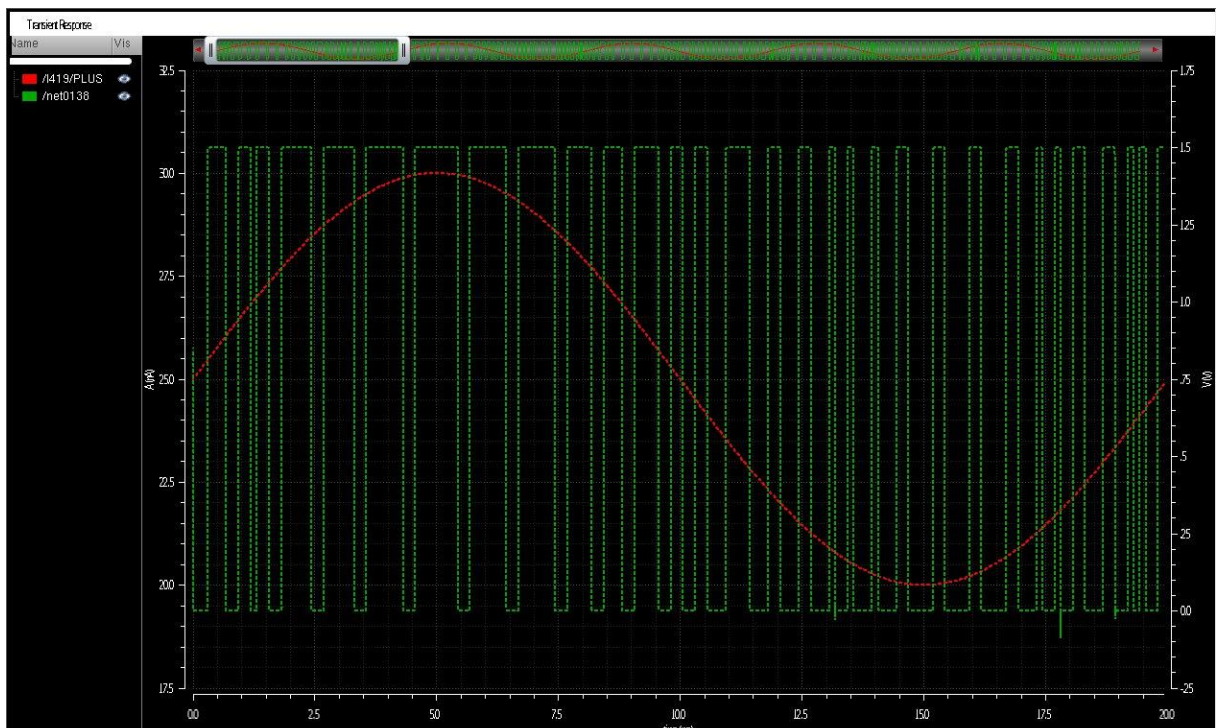


Figura 5.12 – Saída do modulador de 2° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$.

A figura 5.13 ilustra, nessa ordem, as saídas do primeiro diferenciador, do primeiro integrador, do segundo diferenciador e, por fim, do segundo integrador.

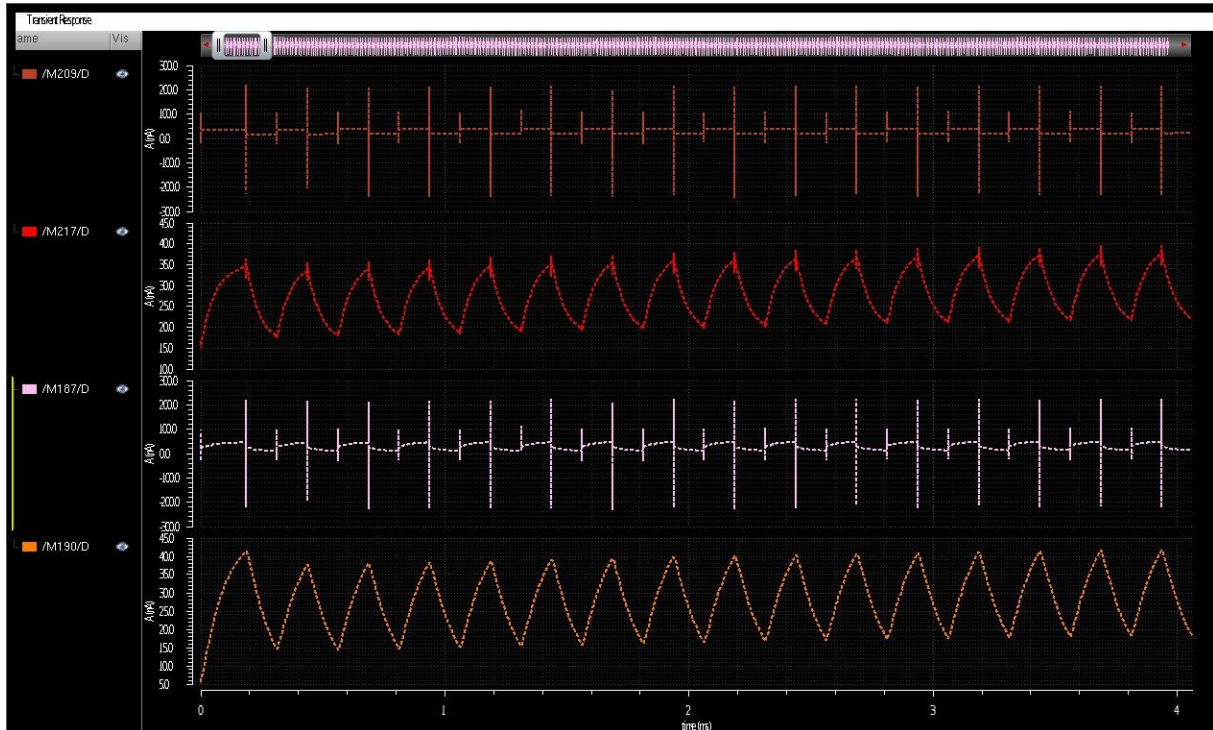


Figura 5.13 – Saída dos diferenciadores e integradores do modulador de 2° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$.

Ao ser feita a *FFT* do sinal de saída do Flip-Flop obteve-se o gráfico na Figura 5.14. A partir dele, foi possível extrair o valor da SNR e ENOB que valem, respectivamente, 20,87dB e 3,19 bits. Neste caso, como foi incrementado uma ordem o que deveria ocorrer é o aumento desses parâmetros para a mesma taxa de amostragem. No entanto, não foi o que se deparou, tendo em vista a grande instabilidade que esse circuito demonstrou apresentar.

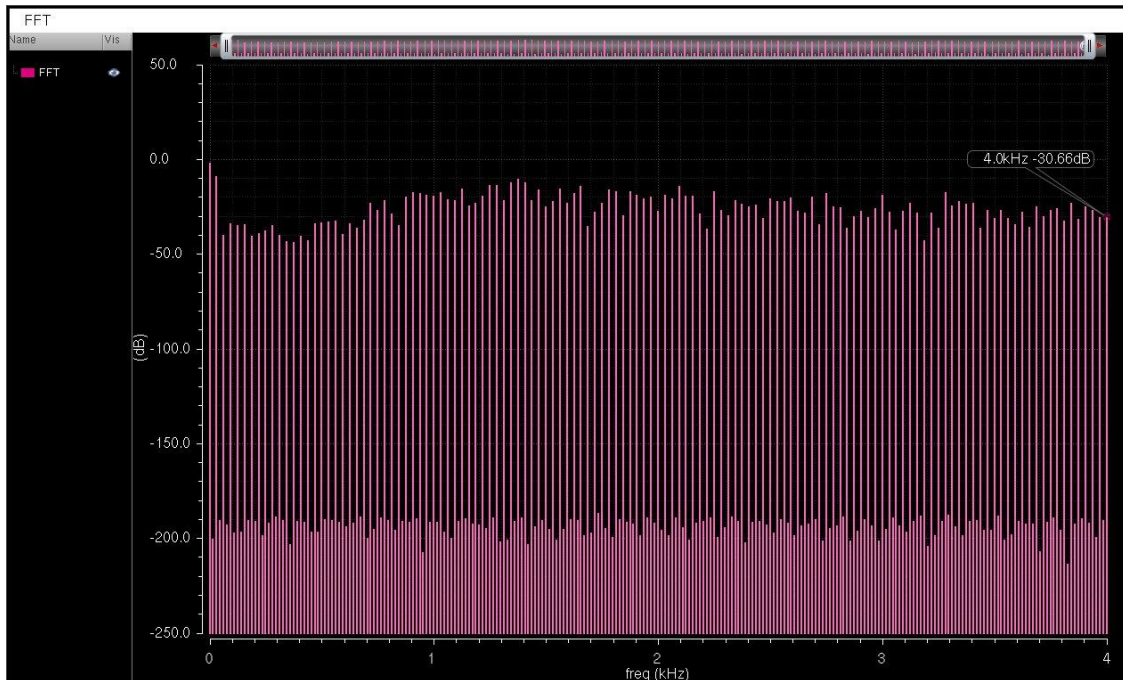


Figura 5.14 – FFT do modulador de 2° ordem com um Δ de 10nA e $F_s = 8\text{KHz}$.

O mesmo procedimento foi realizado para acrescer o ENOB desse modulador, ou seja, aumentou-se a frequência de amostragem, passando a ser 512KHz. A Figura 5.15 ilustra a FFT nessas condições. A partir dela, é possível notar que a SNR aumentou, conforme esperado.

A SNR passou a valer aproximadamente 80dB e o Enob 12 bits, no entanto, a problemática do harmônico presente em torno de 60Hz prossegue, e é esse fator que trava o aumento do valor dessas variáveis. Com a Figura 5.16, que ilustra a FFT em escala logarítmica, fica clara essa conclusão.

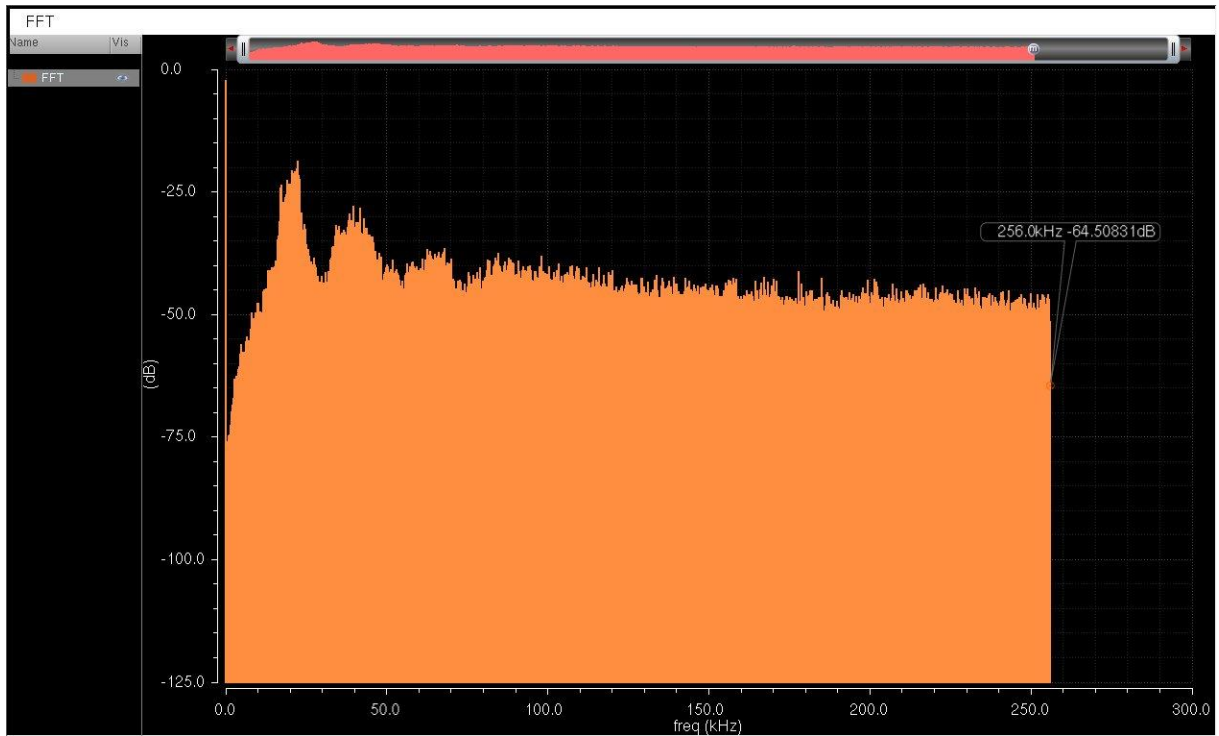


Figura 5.15 – FFT do modulador de 2° ordem com um Δ de 10nA e $F_s = 512$ KHz.

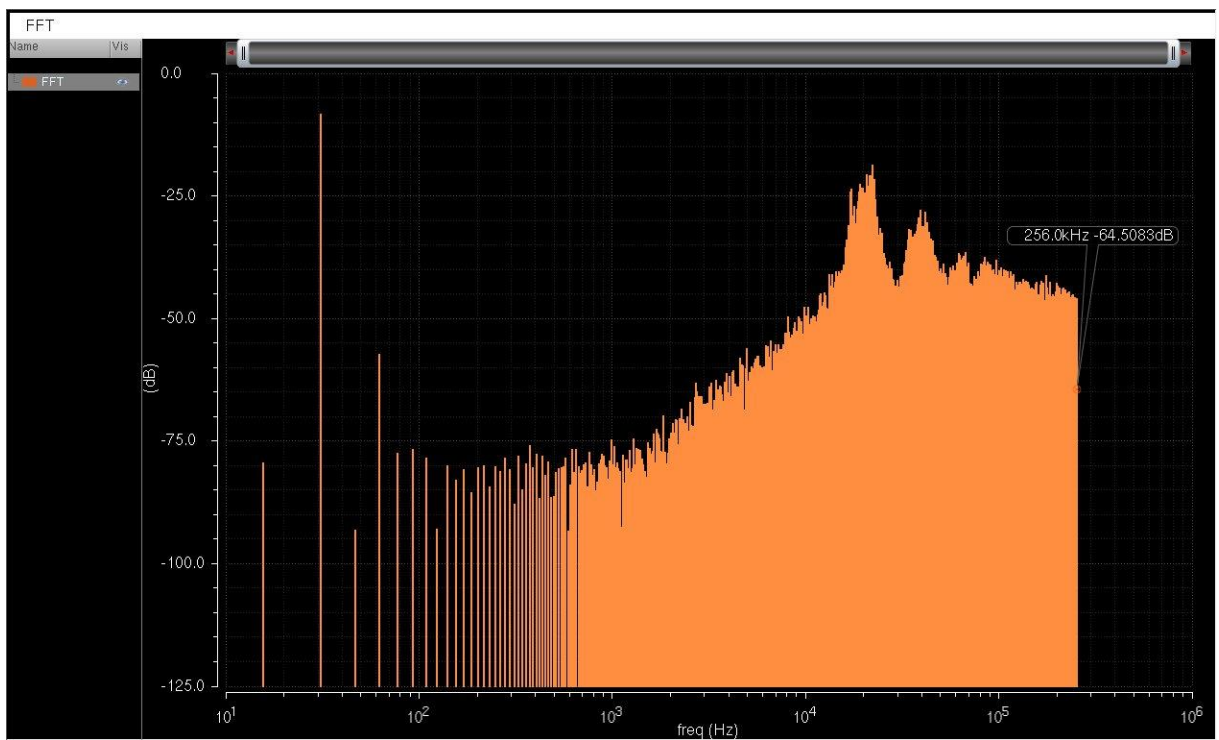


Figura 5.16 – FFT do modulador de 2° ordem com um Δ de 10nA e $F_s = 512$ KHz em escala logarítmica .

6 CONCLUSÃO E SUGESTÃO DE TRABALHOS FUTUROS

Neste trabalho foi desenvolvido um modulador Sigma-Delta para aparelhos auditivos, utilizando para isso circuitos translineares em modo corrente e técnicas para baixo consumo de potência.

Inicialmente, foram apresentados uma breve introdução aos aparelhos auditivos e graus de deficiências, seu funcionamento e composição. A delimitação deste trabalho se estende à implementação de um conversor A/D.

O Conversor Sigma-Delta foi a opção feita, tendo em vista principalmente pela alta resolução que o mesmo proporciona, primordial para aplicações em engenharia de áudio, como no caso em questão, a implementação de um aparelho auditivo.

A análise minuciosa de cada bloco do conversor A/D levou a preferência pelo modulador de segunda ordem, uma vez que esse exige uma frequência de amostragem menor, para a mesma relação sinal-ruído (SNR).

Ratificou-se também, aumentando a ordem do modulador mantendo a mesma taxa de amostragem, realmente obtém um maior ENOB. Conforme demonstrado neste trabalho, para um de primeira ordem 8 bits, para segunda ordem 12 bits, a uma taxa de 512KHz.

Por fim, foi possível concluir que a maneira mais intuitiva de aumentar a resolução de um modulador, mantendo a mesma taxa de amostragem, é aumentando a ordem do mesmo. No entanto, deve-se tomar cuidado com relação à instabilidade que esses trazem ao sistema, além do surgimento de harmônicos indesejáveis quando implementados em modo-corrente, oriundos das capacitâncias parasitas e das não linearidades presentes nos circuitos.

Existem pontos a serem explorados, melhorados e aperfeiçoados, dentre as quais a remoção desses harmônicos e a confecção do layout. Está proposta fica como um possível trabalho futuro.

Este trabalho proporcionou maior entendimento e uma profundidade de conhecimento dos temas abordados durante matérias cursadas no curso de Microeletrônica. Além de proporcionar o conhecimento de conceitos teóricos e análises de projeto de circuitos translineares estáticos e dinâmicos. A partir desse trabalho concluiu-se que estes circuitos têm como principais vantagens em relação a outras técnicas de baixo consumo o alto desempenho em ambientes de baixa

tensão e a possibilidade de serem aplicados em funções não-lineares, sendo assim, uma ótima aplicação para sistemas biomédicos de baixo consumo de potência.

6 REFERÊNCIAS BIBLIOGRÁFICAS

- [1] ENDERLEIN, R. *Microeletrônica: Uma introdução ao universo dos microchips, seu funcionamento e aplicações*. 1994.
- [2] PENTEADO, S. P., 2008, “*Projeto e Desenvolvimento do Aparelho Auditivo Digital de Baixo Custo - Manaus*”.
- [3] ROSO, J. M., 2011; *Sigma-Delta Modulators: Tutorial Overview, Design Guide, and State-of-the-Art Survey*.
- [4] EVEDO, A. P.; *feito de Produtos Químicos e Ruído na Gênese de Perda Auditiva Ocupacional*. Fundação Oswaldo Cruz, 2004.
- [5] OLIVEIRA, L. A.; *Fundamentos Históricos, Biológicos e Legais da Surdez*. Curitiba: *lesde Brasil*, 2010.
- [6] Morfologia do ouvido
Disponível em: <https://ouveosilencio.wordpress.com/surdez/morfologia-do-ouvido/>
- [7] Graus de Perdas Auditivas, 2014
Disponível em:
http://www.phonak.com/br/b2c/pt/hearing/understanding_hearingloss/types_of_hearing_loss.html
- [8] FERNANDES, F. F., 2004, “Próteses Auditivas Digitais”.
- [9] Circuitos e Sistemas Eletrônicos, 2014.
Disponível em: <http://cadeiras.iscte.pt/cse/Folhas/Conversores/Conversores.htm>
- [10] Instrumentação e Controle, 2012
Disponível em:
http://www.enautica.pt/publico/professores/baptista/instrum/slides_IC_cap9.pdf
- [11] BEZERRA, T. B., 2012. *Desenvolvimento de um conversor A/D integrador com faixa de entrada e resolução programável a capacitor chaveado*.
- [12] MARTIN, K., 1997. *Analog Integrated Circuit Design*.
- [13] SANTOS, L. G., 2006; *Desenvolvimentos em hardware e software para experimentos de física via Web*.
- [14] FVÁRIO, D., 2003; *Conversor analógico-digital para um sistema em chip*.
- [15] SILVA, J. M., 2005; *Conversores Analógico-Digital/ Digital-Analógico*.
- [16] PEREIRA, S., 2010. *Conversão de Sinais Analógicos para Digitais*.
- [17] AZIZ, P. M., 1996. *An overview of Sigma-Delta Converters*.

[18] An Introduction to Sigma Delta Converters, 2007.

Disponível em: <http://www.beis.de/Elektronik/DeltaSigma/SigmaDelta.html>

[19] ALMEIDA, W. R. M., 2009, 'Modulador $\Sigma\Delta$ Térmico: Modelagem, Simulação e Concepção”.

[20] B.E. Boser; B.A. Wooley. *The Design of Sigma-Delta Modulation A/D Converters*. IEEE J. Solid-State Circuits, vol. 23, no. 6, pp. 1298-1308, Dec. 1988.

[21] Conversão Sigma-Delta, 2014

Disponível em: <http://www.demic.fee.unicamp.br/~elnatan/ee610/22a%20Aula.pdf>

[22] MADUREIRA, Heider Marconi G; MEDEIROS, José Edil G. ; HADDAD, Sandro Augusto P. *Ultra Low-Power Sigma Delta Modulator Using Sinh Translinear Class-AB Integrator*.

[23] SWART, Jacobus. *O Transistor de Efeito de Campo Metal-Óxido-Semicondutor MOSFET*.

[24] CHRISÓSTOMO, Lucas Araújo Prata. *Front-End Para Aparelhos Auditivos Analógicos Utilizando Transformadas Wavelet*, 2014.

[25] MULDER, Jan. *Static and Dynamic Translinear Circuit*. Copyright, 1998.

[26] DUTRA, Daiane Cristine de Oliveira. *Circuitos Translineares Aplicados A Sistemas Biomédicos De Baixo Consumo De Potência*, 2014.

[27] ANDRARDE, Diogo. *Algoritmo de síntese de circuitos analógicos translineares*

[28] HADDAD, Sandro Augusto Pavlik; SERDIJN Wouter Anton. *Ultra Low-Power Biomedical Signal Processing*.: Springer, 2009

[29] RAMEZANI, Lida. *A low voltage log-domain integrator using MOSFET in a weak inversion*.

[30] SAMUEL, Lino M. *CMOS current comparator with Regenerative property*.

[31] Curso Eletrônica Digital

Disponível em: http://www.eletronicadigital.com/site/curso-eletronica-digital/12_licao4.html?start=2

[32] Eletrônica Digital

Disponível em: <http://www.learnabout-electronics.org/Digital/dig55.php>

[33] MEKALA, H. In: *Third Order CMOS Decimator Design for Sigma-Delta Modulators*. A Thesis Submitted to the Graduate Faculty of the Louisiana State University and Agricultural and Mechanical College, Louisiana, United States of America: [s.n.], 2009

[34] HALIM, Tommy; LEITIS Karsten Leitis. *Current Mode Delta-Sigma-Modulation for low-voltage operation*. Gabrovo, 2010.

[35] LOLOEE, Arash. *Understanding Delta-Sigma Modulators*. 2013